

公告本

申請日期：9/28 案號：91111357
 類別：H01L 23/12

(以上各欄由本局填註)

發明專利說明書 548808

一、發明名稱	中文	半導體裝置及其製造方法和印刷光罩
	英文	Semiconductor Device, Method of Fabricating the Same, and Printing Mask
二、發明人	姓名(中文)	1. 影山茂己
	姓名(英文)	1. Shigeki KAGEYAMA
	國籍	1. 日本
	住、居所	1. 東京都千代田區丸之內二丁目2番3號 三菱電機股份有限公司內
三、申請人	姓名(名稱)(中文)	1. 三菱電機股份有限公司
	姓名(名稱)(英文)	1. 三菱電機株式会社(MITSUBISHI DENKI KABUSHIKI KAISHA)
	國籍	1. 日本
	住、居所(事務所)	1. 日本國東京都千代田區丸之內二丁目2番3號
	代表人姓名(中文)	1. 谷口一郎
	代表人姓名(英文)	1. Ichiro TANIGUCHI



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

2002/01/24 2002-015800

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明(1)

本發明係有關於一種半導體裝置及其製法和印刷光罩，特別與用以接合半導體裝置回路所用膠材之印刷有關。

背景技術

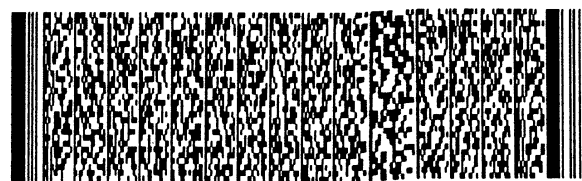
隨著行動個人助理裝置的普及，為達產品的微型輕量化，越多無線電半導體晶片採用單晶微波IC(Monolithic Microwave IC, MMIC)。此種晶片用於無線電半導體裝置之模組或封裝之組立。例如製作具有MMIC晶片的模組時，將晶片以晶粒接著(die bonding)方式固定於多層基板的凹部，接著於多層基板表面的配線層上方印刷用以接合回路元件的焊錫，之後將回路元件接合於配線層上。

為求行動裝置的微型輕量化，不僅MMIC晶片需小型化，為使多層基板小型化，回路元件的晶片也需小型化，因而要將個個回路元件接合的焊錫之印刷面積也需隨之縮小。

例如晶片零件的使用也由1005型(零件平面大小1.0mmx0.5mm)趨向採用0603型(零件平面大小0.6mmx0.3mm)。

第17圖顯示如特開平8-321567號公報中所記載習知之凹部掩埋型模組的剖面圖。

第17圖中，100為模組、102為半導體晶片、104為多層基板、104a為凹部、106為晶片零件、108為端面電極、110為晶粒接著材、112為零件焊接材、114為包覆材



五、發明說明(2)

(potting)、116為接線、118為保護包覆材、120為放熱用電極、122為金屬殼。在以下各圖中相同代號均表同樣元件。

以下說明過去模組100的製作。首先將半導體晶片102固定於多層基板104的凹部104a，用接線116將半導體晶片102與多層基板104連接後，以包覆材料(potting material)114將凹部104a填滿並硬化。此時包覆材114的高度不比多層基板104的高度高。

接著於多層基板104表面印刷零件接合膠材112，用於接合晶片零件106。

第18圖係用以說明印刷零件接合膠材112的模式。圖中124為印刷光罩，124a為留以塗佈膠材的開口，126為橡膠滾軸，112a為焊錫。

將印刷光罩124裝置於多層基板104表面後，提供焊錫112a於印刷光罩124表面、再將橡膠滾軸126朝箭頭方向移動，使焊錫112a被壓入印刷光罩124的開口124a並塗佈至多層基板104的表面。接著移除印刷光罩124，在多層基板104表面留下形狀對應於開口124a的焊錫112a，將晶片零件106裝置於其上後，經由加熱將晶片零件106接合。

發明預解決問題

然而隨著晶片零件106微型化，逐漸採用0603型晶片零件106取代1005型，印刷光罩124的開口部124a面積也減小，藉由橡膠滾軸126附著於多層基板104表面的焊錫



五、發明說明(3)

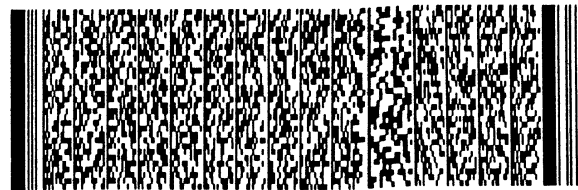
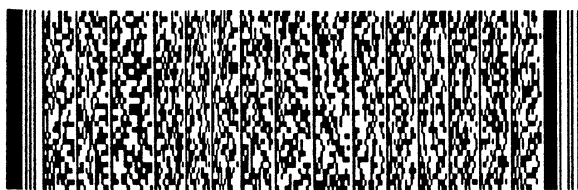
112a，在多層基板104表面的印刷光罩124移除後，會依附在印刷光罩124之開口124a周圍而隨之移除，即便沒有完全移除，殘留於多層基板104表面之錒錫112a的量也大幅減少，因而發生晶片零件106組裝不良的情形。

一方面，雖然增加錒錫112a的流動性可以減少其隨著印刷光罩124脫附的現象，然而因塗佈後的錒錫112a流動性增加，使的相鄰的錒錫112a容易相互接合而發生接線短路等降低良率的問題。

因此隨著零件的微型化，錒錫112a的接著面積減小，若不改變其流動性，則當移除印刷光罩124時容易有錒錫112a脫附的現象發生，另一方面若增加錒錫112a的流動性，則雖減少錒錫112a的脫附，但因其容易流動也亦使接線相連導致短路，上述兩情形都會產生因晶片零件106的組裝不良而導致的問題。

本發明即著眼於上述問題點，第一目的在提供低組裝不良率及高生產良率的半導體裝置，第二目的在提供減少組裝不良率的製作方法，第三目的在提供上述方法所使用之印刷光罩。

特開平11-54665號公報中記載一習知技術，其提供一可使錒球的接合更容易的半導體裝置製作方法，首先於一陶瓷基板上形成一凹部，將半導體晶片裝置於此凹部上，將此半導體晶片與表層配線以接線連接，並以包覆材包覆，且凹部上方包覆材的高度設定於基板表面0.2mm以下的高度，讓用以將錒球接合至陶瓷基板上樹脂基板表面



五、發明說明 (4)

的錒錫膠得以印刷塗佈於其上。

本發明所提半導體裝置，包含有一基板，其上設有一配線層及一凹部；一半導體晶片，設置於該凹部中；一被覆材，覆蓋於上述晶片上，同時於其一部份表面形成有一突起部，該突起部高度較上述配線層厚度為高；以及複數個回路元件，經由導電性接合材與上述配線層接合。藉由上述製作容易的突起部，可確保基板表面留有足夠接合晶片零件的接合材，從而降低組裝的不良率。

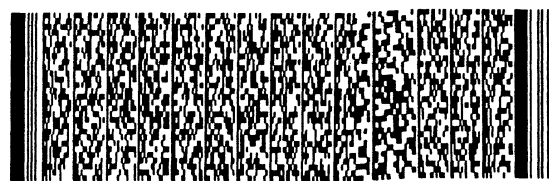
而且藉由在基板凹部周圍設置突起部，使披覆材可選用流動性高種類，使半導體晶片的包覆更有效率。

又藉由在基板凹部周圍的表面進一步設置比基板表面更光滑之第二突起部，可提高對披覆材的親和性，使披覆材更容易形成突起部，且對披覆材高度位置的控制也更容易。

另外可藉由在基板凹部之中央設置突起部，將突起部的高度設定較高，使接合材的印刷效果提高。

此外可藉由使用不同材料變換材料的流動性，如利用基底層的第一材料與上部層的第二材料構成披覆材，並利用上層部的第二材料構成突起部，利用第一材料可使半導體晶片的包覆更有效率，利用第二材料可使突起部高度的控制更容易。

本發明尚提出一半導體裝置，包含有一基板，其上設有一配線層及一凹部；一半導體晶片，設置於該凹部中；一被覆材，覆蓋於上述晶片上，複數個回路元件，經由導



五、發明說明(5)

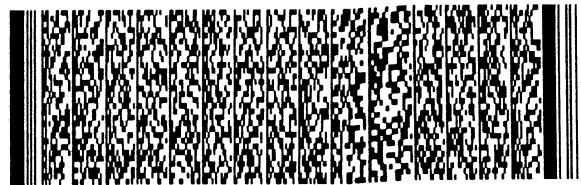
電性接合材與上述配線層接合；以及一突起部，設置於形成有上述回路元件之配線層附近的基板表面，且該突起部由基板表面算起之高度較上述配線層厚度為高。由於突起部的位置不需遷就於凹部位置，只需在接合材塗佈位置附近設置，因而提高了配線層構成的自由度。

本發明所提半導體裝置之製作方法，包含一第一步驟，包含提供一基板，其上設有一配線層及一凹部，並設置一半導體晶片於該凹部中；一第二步驟，包含覆蓋一披覆材於上述晶片上，同時於其一部份表面形成一突起部，該突起部高度較上述配線層厚度為高；以及一第三步驟，包含於該基板表面裝置用於塗佈接合材之一印刷光罩，並利用此光罩於上述配線層上塗佈一導電性接合材。由於印刷光罩與基板表面間因突起部的存在，使得中間有空隙，當印刷接合材時基板表面與印刷光罩中間密著，當移除印刷光罩時也避免接合材與光罩一起脫離基板表面。

且由於在基板凹部周圍形成突起部，使可選用流動性高的披覆材，讓半導體晶片能在更短時間有效率的完成披覆。

另外可藉由在基板凹部之中央設置突起部，將突起部的高度設定較高，使接合材的印刷效果提高。

此外可藉由使用不同材料變換材料的流動性，如利用基底層的第一材料與上部層的第二材料構成披覆材，並利用上部層的第二材料構成突起部，利用第一材料可使半導體晶片的包覆更有效率，利用第二材料可使突起部高度的



五、發明說明(6)

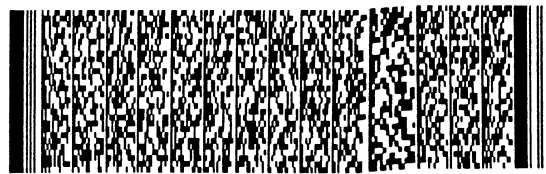
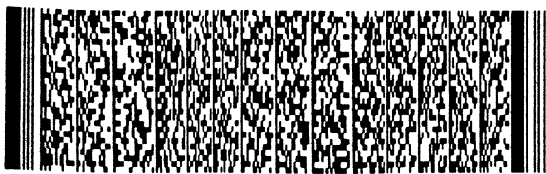
控制更容易。

又可在包覆半導體晶片前，藉由在基板凹部周圍的表面進一步設置比基板表面更光滑之第二突起部，使披覆材更容易在基板凹部周圍的既定位置形成突起部。

本發明尚提出半導體裝置製造方法，包含一第一步驟，包含提供一基板，其上設有一配線層及一凹部，並設置一半導體晶片於該凹部中；一第二步驟，包含覆蓋一被覆材於上述晶片上；一第三步驟，包含於基板表面裝置用於塗佈接合材之一印刷光罩，並利用此光罩於上述配線層上塗佈導電性接合材；以及於塗佈接合材前，於上述設有回路元件之配線層附近之基板表面上形成一突起部。由於突起部的位置不需遷就於凹部位置，只需在接合材塗佈位置附近設置，因而提高了配線層構成的自由度。

本發明尚提出一種半導體裝置製造方法，包含：一第一步驟，包含提供一基板，其上設有一配線層及一凹部，並設置一半導體晶片於該凹部中；一第二步驟，包含覆蓋一被覆材於上述晶片上；一第三步驟，包含於基板表面裝置用於塗佈接合材之一印刷光罩，並利用此光罩於上述配線層上塗佈導電性接合材，上述印刷光罩包含有一遮蔽膜，其上有一用於塗佈膠材之開口部，及一突起部，形成於上述遮蔽膜表面，且係與鄰近上述開口部之基板相對。其未增加新的步驟，但可達避免接合材在光罩移除時一同脫離基板表面的效用。

本發明提出之印刷光罩，包含：一遮蔽膜，其上有一



五、發明說明 (7)

用於塗佈膠材之開口部；以及一突起部，形成於上述遮蔽膜表面，且係與鄰近上述開口部之基板相對。其在遮蔽膜開口面積變小的情形下，仍能達到確實印刷的功效。

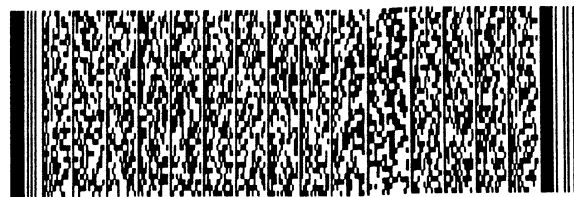
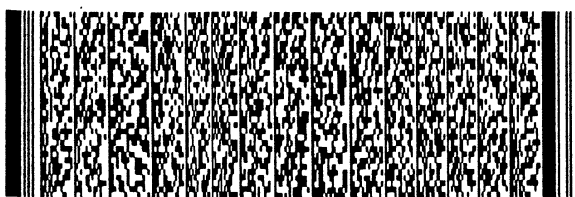
為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳之實施例，並配合所附圖示，作詳細說明如下。實施例中所提之半導體裝置，如為用於行動電話之RF部分的電源擴大之半導體模組。

實施例1

第1圖係表示本發明實施例1中半導體裝置之局部平面圖。第2圖係表示自第1圖II-II線段切割之剖面圖。第1及第2圖中，10為實施例之模組，12為半導體晶片，14為作為基板之陶瓷多層基板。多層基板14的表面中央形成有凹部14a，於凹部14a中設置有半導體晶片12，以晶片接著材，如樹脂接著材16，將其與基板14接著住。凹部14a內的配線層（未顯示）與半導體晶片12之電極間並有接線18將其連接。

20為多層基板14的表面配置的配線層，22為作為回路元件之晶片零件。晶片零件22使用如低熔點銲錫24之接合材接合至配線層20之配線島20a。將低熔點銲錫24塗佈於配線島20a上時，為利用印刷光罩40將漿糊狀的銲錫膠24a塗佈上去。銲錫膠24a的製備方法如利用錫鉛比約63比37、顆粒粒徑約30微米的銲錫合金與助熔劑混和揉捏而成的糊狀物。

26為作為披覆材之包覆材，例如為混入矽填充物、以



五、發明說明(8)

調整其熱膨脹率使其與半導體晶片12一致的環氧樹脂。本實施例中，包覆材26之表面中央於對應凹部中心處14a具有一凹陷部，並於對應凹部14邊緣處14b具有一突起部26a，由多層基板14的表面開始突起。突起部26a的高度 h_1 比接合有晶片零件22的配線島20a的表面高出50微米以下。

使用多層基板14的高密度組裝中，由凹部14a到最近的晶片零件22之配線島20a，最少需150微米的間隔。為使錫膠24a能在多層基板14的表面正確的印刷，印刷光罩40必須與基板接觸。在印刷錫膠24a時，一邊按壓印刷光罩40上的塗佈工具，例如橡膠滾軸42（參照第3圖），一邊將其推移，以塗佈錫膠24a。此時由於橡膠滾軸42的按壓，造成包覆材26的突起部26a與印刷光罩40的彈性變形，使印刷光罩40與基板14接觸。

影響印刷光罩40與基板14之間接觸性的因素，有硬化後包覆材26之彈性率或彈性變形的限制、受印刷光罩之材質或厚度影響之彈性率、印刷時橡膠滾軸之材質、壓力、移動速度、以及由包覆材26突起部26a到最近的晶片零件22之配線島20a的間距等等。考慮上述因素，本實施例中較佳為採用可用於半導體晶片12封裝的包覆材26、一般印刷光罩40（SUS製，厚度50到200微米）、硬度90等級的氨基鉀酸酯製橡膠滾軸42，而凹部14a到最近的晶片零件22之配線島20a之間距則設為150微米，突起部26a的高度 h_1 設為50微米以下。



五、發明說明 (9)

28 為設置於多層基板14側面的端面電極、30為設置於多層基板14裡面的裡面電極、32為覆蓋於形成有晶片零件22之多層基板14表面的覆蓋層。又第1圖為省略覆蓋層32之平面圖。

以下說明半導體裝置之製作方法。首先提供表面形成有配線層20的多層基板14，其為複數個陣列狀的多層薄板（未顯示），接著以樹脂接合材將半導體晶片12接著於個個基板14的凹部14a，並以接線18將配線層20與半導體晶片12連接。配線層20表面除接合有晶片零件22的配線島20a外，其餘露出之部分必要時可以保護膜（未顯示）將其覆蓋。

接著以針狀的注射器將包覆材26注入凹部14a中。注入量需達將半導體晶片12與接線18覆蓋的程度。包覆材26的表面形狀必須為於凹部14a的中央較低，於凹部14a周圍14b附近比多層基板14表面配線層20的高度為高。注入量例如為使包覆材26的高度達凹部14a深度的3/4以上、或為約使凹部14a完全填滿或差一點填滿的量。

控制突起部26a高度h1的方法，可利用調整包覆材26之黏度、觸變性及注入凹部14a注入量來達成。例如於本實施例中，使用黏度100PaS以下、觸變性指數1.5以下的包覆材26。此時如果凹部14a深度為0.3mm~0.4mm、晶粒接著後半導體晶片12上方之高度為100微米（正負15微米）、接合後接線18之最高位置為由半導體晶片12上方算起高度120微米（正負20微米），則此時包覆材26的注入量



五、發明說明 (10)

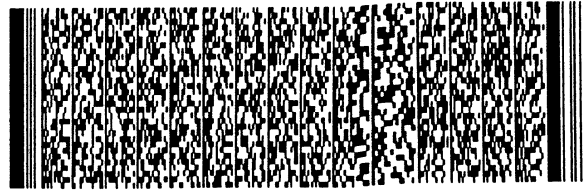
需使表面由凹部14a底部算起達220微米（正負35微米），以將半導體晶片12與接線18完全覆蓋。

因此藉由注入高度達凹部14a深度3/4或以上的包覆材26，可濕潤凹部14a周圍14b處、並越過凹部14a周圍14b處而突起形成突起部26a。之後再利用包覆材26的硬化步驟，於凹部14a周圍14b處形成突起部26a。

接著說明鍍錫膠的印刷步驟。第3圖為說明實施例1之半導體裝置製作方法之剖面圖，其顯示塗佈鍍錫膠的印刷步驟。第3圖中與第一圖及第2圖中相同符號代表相同元件，以下第4圖中亦同。第3圖中，40為印刷光罩、40a為印刷光罩40之遮蔽膜、40b為印刷光罩40之開口部，鍍錫膠24a即由此塗佈至多層基板14表面。42為橡膠滾軸。

首先於形成有複數個多層基板14的多層薄板上，進行印刷光罩40的對位。印刷光罩40之開口部40b為對應配線層20之配線島20a所設置。接著提供鍍錫膠24a於印刷光罩40上，以氨基鉀酸酯製橡膠滾軸42一邊按壓印刷光罩40，一邊朝第3圖中箭頭方向移動橡膠滾軸42、在移動間於印刷光罩40之開口部40b中供給鍍錫膠24a，以將鍍錫膠24a塗佈於配線島20a上。

此時印刷光罩40與突起部26a頂部接觸，與多層基板14表面間留有空隙，未完全密和。隨著橡膠滾軸42接近開口部40b，突起部26a及印刷光罩40因受到橡膠滾軸42施加的壓力而有彈性變形，因而部分印刷光罩40受壓擠而與多層基板14表面接觸。此時鍍錫膠24a便藉由橡膠滾軸42的



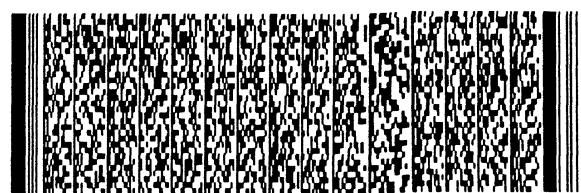
五、發明說明(11)

擠壓而經由開口部40b塗佈上配線島20a的表面。

部分印刷光罩40在橡膠滾軸42通過施加最大壓力的點之後，便開始脫離多層基板14表面。然而即便橡膠滾軸42施加最大壓力的點已通過開口部40b，只要橡膠滾軸42仍在開口部40b上方，橡膠滾軸42仍持續按壓錒錫膠24a，因此避免配線島20a上方塗佈之錒錫膠24a隨著印刷光罩40移除而脫離。如此將錒錫膠24a塗抹於配線島20a上方後，再移除多層基板14。之後將晶片22置於塗佈有錒錫膠24a的配線島20a上方，以加熱低熔點錒錫膠24a的方式將晶片22接合於配線島20a。之後分割成個別的基板，組立成模組10。

接著說明其作用。錒錫膠24a為利用顆粒粒徑約30微米的錒錫合金與助熔劑混和揉捏而成的糊狀物，不僅具有黏性，且具有觸變性。觸變性一般以觸變指數表示。觸變指數的測定方法如下：首先以旋轉黏度計測試物質於低轉速時的扭矩 T_a ，接著測定高轉速時的扭矩 T_b 。觸變指數即以低轉速時的扭矩 T_a 與高轉速時的扭矩 T_b 的比值加以定義，亦即觸變指數為 T_a/T_b 。附帶一提，水的 $T_a=T_b$ ，故其觸變指數為1。

低轉速時的扭矩 T_a 為接近靜止狀態時的黏性，亦即表示靜態黏性；高轉速時的扭矩 T_b 為流動狀態時的黏性，故被視為動態黏性。故隨著觸變指數由1往上提高，代表物質性質維持靜止時狀態的趨力越強。若固定用以接著0603型晶片零件22的錒錫膠24a之觸變指數，使其與用以接著



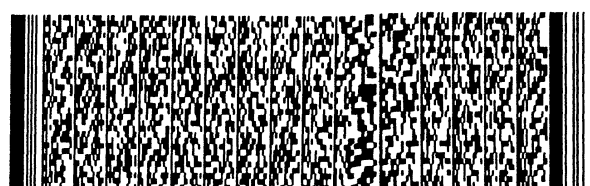
五、發明說明 (12)

1005型晶片零件22的鐳錫膠24a之觸變指數相同，並用與以往相同的印刷方式加以塗佈，則用以接著0603型晶片零件22的鐳錫膠24a之必要接合面積較小，所需鐳錫膠24a的質量也較少。因此印刷上的鐳錫膠24a重量或與多層基板14間的接著力都較接著1005型晶片零件22時為小。

使用與1005型晶片零件22鐳錫膠相同觸變指數的鐳錫膠，且以一般鐳錫膠印刷方式來印刷0603型的鐳錫膠時，由於鐳錫膠之觸變性趨於維持靜態，亦即維持黏附在印刷光罩上的狀態，故印刷上的鐳錫膠之重量或與基板之黏著力變得比由基板分離鐳錫膠所需力量小，因此印刷上的鐳錫膠隨著印刷光罩一起移除，或殘留在基板的量減少。

模組10的此種製作方法，利用包覆於半導體晶片12與接線18上的包覆材26於凹部14a周圍14b處形成突起部26a，再於印刷時利用橡膠滾軸42按壓，使印刷光罩40與多層基板14表面因印刷光罩40及突起部26a的彈性變形而緊密接合，進而將鐳錫膠24a塗佈於配線層20的配線島20a上方。之後即使突起部26a的彈性變形些微回復，而印刷光罩40也脫離多層基板14表面，鐳錫膠24a仍受橡膠滾軸42按壓於基板上。

由於橡膠滾軸42對鐳錫膠24a持續的按壓，使其不會黏附在印刷光罩40遮蔽膜40的開口部40b邊緣，而與印刷光罩40一同脫離多層基板14表面，反而會繼續被壓在多層基板14表面。因此即使鐳錫膠24a的印刷面積變小、印刷上的鐳錫膠之重量或與基板之黏著力也變得比由基板分離



五、發明說明 (13)

銲錫膠所需力量小，當印刷光罩40脫離多層基板14表面時，仍能避免銲錫膠24a因隨印刷光罩40一起脫離而使多層基板14表面殘留量減少的缺點。

亦即即便隨著晶片零件22尺寸減小，配線島20a的面積需隨之縮小，利用選擇低黏度的銲錫膠24a，能於配線島20a表面塗佈既定量的銲錫膠24a，而確保可將晶片零件22接合於配線島20a上。

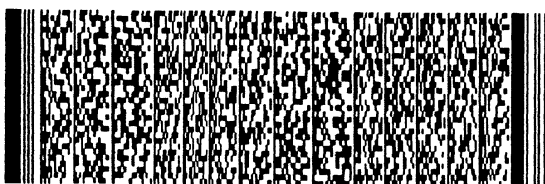
由此因銲錫膠24a流動性高導致鄰近銲錫膠24a相連接的情形，或是因銲錫膠24a不足而使晶片零件22接著不良的情形都可避免，進而以較低成本提供高度可靠性的模組。

模組10中，利用包覆材26於凹部14a周圍14b處形成突起部26a的簡單設計，便可防止晶片零件22接著不良的情形，而成為具有高良率，高信賴性的模組。

實施例2

第4圖係表示本發明實施例2中半導體裝置之局部平面圖。第5圖係表示自第4圖V-V線段切割之剖面圖。46為本實施例中的模組。相對於實施例1中，包覆材26於凹部14a周圍14b處形成突起部26a，本實施例中包覆材26為於凹部14a中央處形成突起部26a。

第4圖與第5圖中，包覆材26僅於凹部14a中央處形成突起部26a，並未超過凹部14a周圍14b處。如第5圖中，包覆材26之突起部26a在凹部14a中央處最高。突起部26a在由多層基板14表面算起的高度 h_1 ，在本實施例中，為超過



五、發明說明 (14)

配線層的厚度約100微米或以下。此高度為依據凹部14a的平面形狀，例如凹部14a的平面形狀為2mmx2mm時，由突起部26a最高點至凹部14a周圍14b處為如約1mm，由凹部14a周圍14b處至距離其最近的接著晶片零件22的配線島20a為止，需150微米左右的間距。

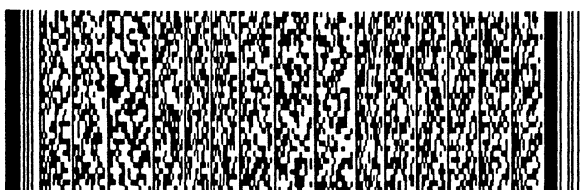
使印刷光罩40與多層基板14表面達適當接觸的要素大致與實施例1中相同。由突起部26a到離凹部14a周圍14b處最近之配線島20a，最少比突起部26a最高點至凹部14a周圍14b處的間隔長1mm。由此即便突起部26a的高度叫實施例1中高，印刷錫膠時，印刷光罩40與多層基板14表面仍能藉由橡膠滾軸的按壓，在配線島20a附近達密合。

因此，與實施例1比較，本實施例中突起部26a的高度範圍較大，而精準度容忍範圍也較廣。而因為突起部26a的高度範圍影響錫膠的印刷，模組的良率也隨之提高。

本實施例中模組46的製法大致與實施例1中相同。作為披覆材之包覆材26，與實施例1中相同，例如為混入矽填充物的環氧樹脂，但其黏度及觸變指數較高。例如使用黏度大於100PS、觸變指數大於1.5的包覆材26。

將包覆材26注入凹部14a中至約3/4以上深度，且將半導體晶片12與接線18覆蓋住後，最後移動注入包覆材26的工具，使其注入孔對準於凹部14a中央，於此注入包覆材26，將其往上堆疊。

由於包覆材26黏度大於100PS、觸變指數大於1.5，使包覆材26形狀得以保持，將之硬化後，可形成突起部



五、發明說明 (15)

26a。因注入之包覆材26形狀相較下較易保持，相對突起部26a的高度也變得較易控制。

鍍錫膠的印刷步驟大致與實施例1中相同。印刷光罩40與突起部26a頂部接觸，與多層基板14表面間留有空隙，未完全密和。隨著橡膠滾軸42接近開口部40b，突起部26a及印刷光罩40因受到橡膠滾軸42施加的壓力而有彈性變形，因而部分印刷光罩40受壓擠而與多層基板14表面接觸。此時鍍錫膠24a便藉由橡膠滾軸42的擠壓而經由開口部40b塗佈上配線島20a的表面。

即便橡膠滾軸42施加最大壓力的點已通過開口部40b，只要橡膠滾軸42仍在開口部40b上方，橡膠滾軸42仍持續按壓鍍錫膠24a，因此避免配線島20a上方塗佈之鍍錫膠24a隨著印刷光罩40移除而脫離。

因此本實施例之模組製作方法與實施例1可達相同效果。且因突起部26a的高度自由度較大、精準度容忍範圍較廣，製程中與尺寸精確度相關的管理可簡化。亦即利用更為簡單的步驟，即可達防止晶片零件22接著不良的情形，而以較低成本提供具有高良率，高信賴性模組的效果。且可提供具有與模組10相同功效的模組46，而製作具有高良率，高信賴性的模組。

實施例3

第6圖係表示本發明實施例3中半導體裝置之剖面圖。第6圖中50為本實施例中的模組。261為作為披覆材第一材料之低黏度披覆材；262為作為披覆材第二材料之高黏度



五、發明說明(16)

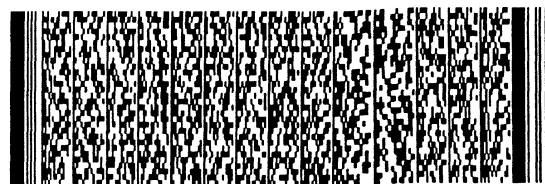
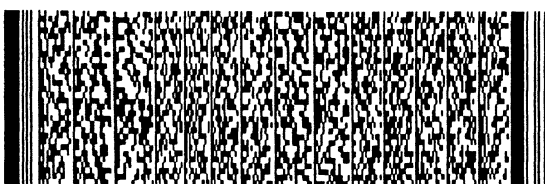
披覆材。實施例3之模組50中，使用低黏度披覆材261及高黏度披覆材262作為包覆材26。

第6圖中基底部之低黏度披覆材261，與實施例1中相同，例如為混入矽填充物的環氧樹脂，調製成黏度例如小於100PS、觸變指數小於1.5。頂部之高黏度披覆材262，與實施例2中相同，例如為混入矽填充物的環氧樹脂，調製成黏度例如大於100PS、觸變指數大於1.5。

先用低黏度披覆材261將凹部14a中央設置的半導體晶片12與接著於晶片之接線18覆蓋住。此低黏度披覆材261表面於凹部14a中呈平坦面。在於此低黏度披覆材261表面，於凹部14a中央位置以高黏度披覆材262形成突起部26a。突起部26a突出於多層基板14表面的高度與實施例2中相同，大於配線層的厚度，約達100微米或以下。

本實施例之模組50製作方法與實施例1、2大致相同，惟以包覆材26披覆半導體晶片12與接線18的步驟不大相同。以包覆材26披覆半導體晶片12與接線18的步驟，首先將低黏度披覆材261注入凹部14a，至將半導體晶片12與接線18浸覆的程度，未完全浸覆亦可。利用低黏度披覆材261披覆，因其流動性較佳，可在短時間內披覆至凹部14a四角落，且可使氣泡等較易釋出，故可達半導體晶片12與接線18的有效包覆。

之後在低黏度披覆材261上方，移動注入高黏度披覆材262的工具，使其注入孔對準於凹部14a中央，於此注入高黏度披覆材262，將其往上堆疊。之後將低黏度披覆材



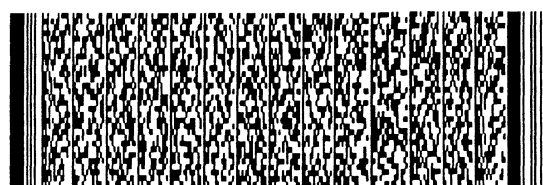
五、發明說明 (17)

261與高黏度披覆材262硬化。硬化步驟可在注入低黏度披覆材261後、在注入高黏度披覆材262前進行，亦可為單純將樹脂中溶劑揮發的第一段硬化步驟。之後的印刷步驟大致與實施例2中相同。

本實施例之模組50與實施例2中同樣因突起部26a的高度範圍較大，而精準度容忍範圍也較廣。而因為突起部26a的高度範圍影響錒錫膠的印刷，模組的良率也隨之提高。且由於先以低黏度披覆材261進行有效包覆，且利用高黏度披覆材262而形成突起部26a，可使突起部26a的高度更均一，使製作出突起部26a的高度範圍縮小。

因此本實施例之模組50披覆的信賴性提高、突起部26a的高度範圍縮小，加上對突起部26a的精準度容忍範圍也較廣，因此在錒錫膠的印刷時，可以確保接合晶片零件所需錒錫膠的量，使得因錒錫膠不足致使晶片零件22接著不良的情形得以避免，進而製作具有高良率，高信賴性的模組。

本實施例之模組50製作方法中，因首先利用低黏度披覆材261將半導體晶片12與接線18披覆，因其流動性較佳，可在短時間內披覆至凹部14a四角落，且可使氣泡等較易釋出，故可達半導體晶片12與接線18的有效包覆。加上利用高黏度披覆材262形成突起部26a，可使突起部26a的高度更均一，使製作出突起部26a的高度範圍縮小。因此可在短時間將半導體晶片12與接線18進行有效包覆，且突起部26a的高度差可控制在更小範圍，可達防止晶片零



五、發明說明 (18)

件22接著不良的情形，而以較低成本提供具有高良率，高信賴性模組的效果。

實施例4

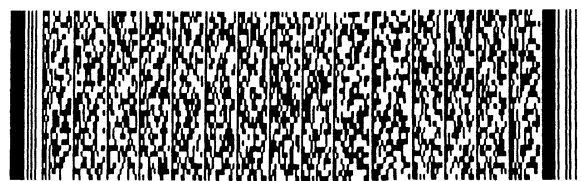
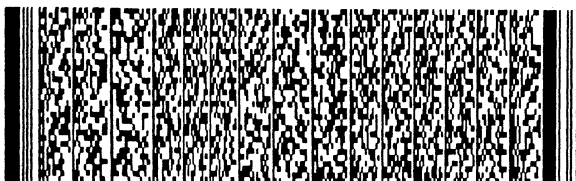
第7圖係表示本發明實施例4中半導體裝置之局部平面圖。第8圖係表示自第7圖VIII-VIII線段切割之剖面圖。第7圖中54為本實施例中的模組。56為作為第二突起部的突起保護膜。模組54中於多層基板14之凹部14a周圍14b處設計有突起保護膜56。突起保護膜56為在配線層20表面形成玻璃系材料之保護膜時同時形成的突起保護膜。

由於多層基板14為陶瓷組成，其表面較粗，可濕性(wettability)較差。故當於凹部14a注入包覆材26，以於凹部14a周圍14b處形成突起部時，包覆材26因不易流動與分散，使其不易散佈均勻。因此利用作為保護膜，且表面較陶瓷光滑的玻璃系材料，於凹部14a周圍14b處形成突起保護膜56。

由於突起保護膜56為玻璃系材料，其表面較為光滑，且對包覆材26的可濕性亦較佳。

將包覆材26注入凹部14a中至約3/4以上深度，且將半導體晶片12與接線18覆蓋住後，最後移動注入包覆材26的工具，使其注入孔對準於凹部14a中央，於此注入包覆材26，將其往上堆疊。

又因可更容易控制突起部26a位置的設定，設計於凹部14a附近配線層20上的配線島20a可避免因包覆材26越過凹部14a周圍14b處將其包覆的缺點。之後的印刷步驟與實



五、發明說明 (19)

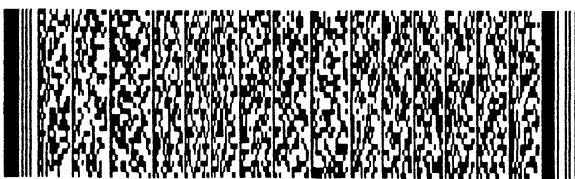
施例1以同樣方式進行。

依本實施例之半導體裝置製作方法，藉由在多層基板14之凹部14a周圍14b處設計有表面較多層基板14光滑的突起保護膜56，可更容易控制突起部26a位置的設定及突起部26a的高度。因此在鐳錫膠的印刷步驟中，可更穩定的將鐳錫膠塗佈至配線島20a上方。亦即可達防止晶片零件22接著不良的情形，而以較低成本提供具有高良率，高信賴性模組的效果。

實施例5

第9圖係表示本發明實施例5中半導體裝置之局部平面圖。第10圖係表示自第9圖X-X線段切割之剖面圖。第9及第10圖中，60為本實施例5中的模組。62為作為突起部的表面突起。模組60中並未設計由包覆材26形成的突起部26a，而未達與突起部26a相同的機能，改於多層基板14表面，於配線島20a附近設計一表面突起。

表面突起62在使用陶瓷多層基板14的情形下，為如經由導體糊(paste)反覆印刷、乾燥而於多層基板14表面形成具有既定高度的表面突起62。亦可利用玻璃系材質的塗佈材經反覆印刷、乾燥後而於多層基板14表面形成具有既定高度的表面突起62。亦可利用導體糊及塗佈材的組合經反覆印刷、乾燥後而於多層基板14表面形成具有既定高度的表面突起62。或可於積層多層基板時，使用具有既定深度之凹部的模具，而於多層基板14表面形成具有既定高度的表面突起62。而於使用有機材料之多層基板時，可利用



五、發明說明 (20)

厚的錒錫阻材 (solder resist) , 或將其與導體圖形結合, 而於多層基板14表面形成具有既定高度的表面突起62。又可在模組製程中, 於既定位置塗佈樹脂而將其硬化。

上述方法形成之表面突起62, 其由多層基板14表面算起之高度, 雖和其與配線島20a之間的距離相關, 但由於橡膠滾軸42施加的壓力產生的彈性變形無法預估, 故其高度需低於實施例1~4中突起部26a的高度。因此表面突起62由多層基板14表面算起之高度, 雖大於配線層20的厚度, 較佳為30微米以下。

印刷步驟中, 印刷光罩40與表面突起62頂部接觸, 與多層基板14表面間留有空隙, 未完全密和。隨著橡膠滾軸42接近開口部40b, 表面突起62及印刷光罩40因受到橡膠滾軸42施加的壓力而有彈性變形, 因而部分印刷光罩40受壓擠而與多層基板14表面接觸。此時錒錫膠24a便藉由橡膠滾軸42的擠壓而經由開口部40b塗佈上配線島20a的表面。

即便橡膠滾軸42施加最大壓力的點已通過開口部40b, 只要橡膠滾軸42仍在開口部40b上方, 橡膠滾軸42仍持續按壓錒錫膠24a, 因此避免配線島20a上方塗佈之錒錫膠24a隨著印刷光罩40移除而脫離。

本實施例5中的模組60, 其在印刷步驟中的作用大致與實施例1中突起部26a相同, 並達與實施例1相同效果。此外由於模組60中的表面突起62非由包覆材26形成, 且可



五、發明說明(21)

於多層基板14表面上的任意位置形成，因此可提高需塗佈錐錫膠之配線島20a位置設計的自由度。亦即於無線電波使用模組中配線層的設計可更自由，提高其電性。

實施例6

第11圖係表示本發明實施例6中印刷光罩之局部平面圖。第12圖係表示自第11圖中X II-X II線段切割之剖面圖。第11與第12圖中，66為印刷光罩、68為印刷光罩66之SUS製遮蔽膜、厚度約50~200微米。

70為遮蔽膜68之開口部、開口部70為對應設置晶片零件22之配線島20a位置而設計、72為突起部，形成於遮蔽膜68與基板14相對的表面一側，利用如樹脂等材質於表面開口部70附近形成。遮蔽膜突起部72的厚度與與開口部70與其之間距離有關，亦較配線層20為厚，約為30微米以下。

利用印刷光罩66進行錐錫膠的印刷時，印刷光罩66之遮蔽膜突起部72與多層基板14表面接觸，與多層基板14表面間留有空隙，未完全密和。隨著橡膠滾軸42接近開口部70，遮蔽膜突起部72不大有彈性變形，但遮蔽膜68因受到橡膠滾軸42施加的壓力而有彈性變形，因而受橡膠滾軸42壓擠附近之遮蔽膜68與多層基板14表面形成接觸。此時錐錫膠24a便在遮蔽膜68與多層基板14表面密著狀態下藉由橡膠滾軸42的擠壓而經由開口部70塗佈上配線島20a的表面。

部分印刷光罩66在橡膠滾軸42通過施加最大壓力的點



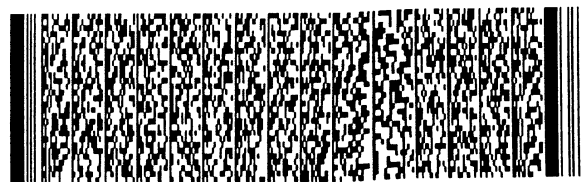
五、發明說明 (22)

之後，便開始脫離多層基板14表面。然而即便橡膠滾軸42施加最大壓力的點已通過開口部68，只要橡膠滾軸42仍在開口部68上方，橡膠滾軸42仍持續按壓錒錫膠24a，因此避免配線島20a上方塗佈之錒錫膠24a隨著印刷光罩66移除而脫離。

使用本實施例中之印刷光罩進行錒錫膠之印刷時，特別因不需更動原製程步驟，即使在因晶片零件22尺寸變小而需縮小配線島20a面積時，即使無法降低錒錫膠24a之黏度，亦可於配線島20a上提供足夠的錒錫膠24a，確保晶片零件22能接著在配線島20a上。因此即使錒錫膠24a的黏度變低、也可在不更動原製程步驟下防止錒錫膠24a接合、或因錒錫膠24a不足導致晶片零件22接合不良等情形，而可以較低成本提供具有高良率，高信賴性的模組。

第13圖係表示本發明實施例7中印刷光罩變形例之局部平面圖。第14圖係表示自第13圖中XIV-XIV線段切割之剖面圖。第15圖係表示本發明實施例8中印刷光罩變形例之局部平面圖。第16圖係表示自第15圖中XVI-XVI線段切割之剖面圖。

第13圖及第14圖之印刷光罩變形例中，遮蔽膜突起部72為遮蔽膜68的突起，而於與多層基板14相對之一面形成突起。第15圖及第16圖之印刷光罩變形例中，遮蔽膜突起部72為遮蔽膜68的突起，而於與多層基板14相對之一面形成突起，且遮蔽膜突起部72為藉由遮蔽膜68部分的塑性變形而形成。雖在實施例1至6中使用錒錫膠加以說明，然使



五、發明說明(23)

用添加導電填料的樹脂接著劑亦可達相同效果。

本發明之半導體裝置及其製法和印刷光罩，其具有上述構成及製程步驟，而達到以下的效果。

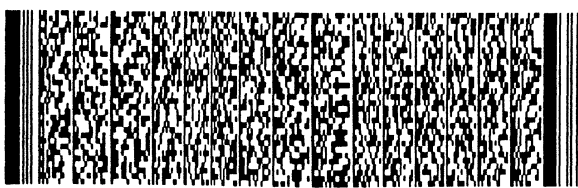
本發明所提半導體裝置，包含有一基板，其上設有一配線層及一凹部；一半導體晶片，設置於該凹部中；一被覆材，覆蓋於上述晶片上，同時於其一部份表面形成有一突起部，該突起部高度較上述配線層厚度為高；以及複數個回路元件，經由導電性接合材與上述配線層接合。藉由上述製作容易的突起部，可確保基板表面留有足夠接合晶片零件的接合材，從而降低組裝的不良率。

而且藉由在基板凹部周圍設置突起部，使披覆材可選用流動性高種類，使半導體晶片的包覆更有效率。因此可提供具有高度信賴性的半導體裝置。

又藉由在基板凹部周圍的表面進一步設置比基板表面更光滑之第二突起部，可提高對披覆材的親和性，使披覆材更容易形成突起部，且對披覆材高度位置的控制也更容易。因此可形成穩定的突起部，形成接合材之印刷穩定的半導體裝置，可減少組裝時的不良，進而提高良率。

另外可藉由在基板凹部之中央設置突起部，將突起部的高度設定較高，使接合材的印刷效果提高，可減少組裝時的不良，進而提高良率。

此外可藉由使用不同材料變換材料的流動性，如利用基底層的第一材料與上部層的第二材料構成披覆材，並利用上層部的第二材料構成突起部，利用第一材料可使半導



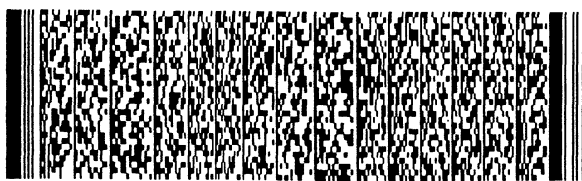
五、發明說明(24)

體晶片的包覆更有效率，利用第二材料可使突起部高度的控制更容易。因此可提供具有高度信賴性的半導體裝置。

本發明尚提出一半導體裝置，包含有一基板，其上設有一配線層及一凹部；一半導體晶片，設置於該凹部中；一被覆材，覆蓋於上述晶片上，複數個回路元件，經由導電性接合材與上述配線層接合；以及一突起部設置於形成有上述回路元件之配線層附近的基板表面，且該突起部由基板表面算起之高度較上述配線層厚度為高。由於突起部的位置不需遷就於凹部位置，只需在接合材塗佈位置附近設置，因而提高了配線層構成的自由度。因此可提供具有較佳電性的半導體裝置。

本發明所提半導體裝置之製作方法，包含一第一步驟，包含提供一基板，其上設有一配線層及一凹部，並設置一半導體晶片於該凹部中；一第二步驟，包含覆蓋一被覆材於上述晶片上，同時於其一部份表面形成一突起部，該突起部高度較上述配線層厚度為高；以及一第三步驟，包含於該基板表面裝置用於塗佈接合材之一印刷光罩，並利用此光罩於上述配線層上塗佈一導電性接合材。由於印刷光罩與基板表面間因突起部的存在，使得中間有空隙，當印刷接合材時基板表面與印刷光罩中間密著，當移除印刷光罩時也避免接合材與光罩一起脫離基板表面。因此可將回路元件確實與配線層接合，提升良率，並以較低成本提供具有高度信賴性的半導體裝置。

且由於在基板凹部周圍形成突起部，使可選用流動性



五、發明說明 (25)

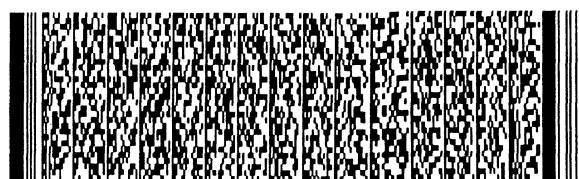
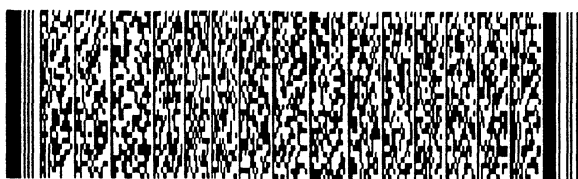
高的披覆材，讓半導體晶片能在更短時間有效率的完成披覆。因此可減短製程所需時間，以較低成本提供具有高度信賴性的半導體裝置。

另外可藉由在基板凹部之中央設置突起部，將突起部的高度設定較高，使接合材的印刷效果提高。因此可提高半導體裝置的良率。

此外可藉由使用不同材料變換材料的流動性，如利用基底層的第一材料與上部層的第二材料構成披覆材，並利用上層部的第二材料構成突起部，利用第一材料可使半導體晶片的包覆更有效率，利用第二材料可使突起部高度的控制更容易。因此可於短時間內對半導體晶片進行有效披覆，並控制突起部的形成，完成良好品質的印刷。

又可在包覆半導體晶片前，藉由在基板凹部周圍的表面進一步設置比基板表面更光滑之第二突起部，使披覆材更容易在基板凹部周圍的既定位位置形成突起部。因此可完成接合材良好並穩定品質的印刷，提高半導體裝置的良率。

本發明尚提出半導體裝置製造方法，包含一第一步驟，包含提供一基板，其上設有一配線層及一凹部，並設置一半導體晶片於該凹部中；一第二步驟，包含覆蓋一被覆材於上述晶片上；一第三步驟，包含於基板表面裝置用於塗佈接合材之一印刷光罩，並利用此光罩於上述配線層上塗佈導電性接合材；以及於塗佈接合材前，於上述設有回路元件之配線層附近之基板表面上形成一突起部。由於



五、發明說明 (26)

突起部的位置不需遷就於凹部位置，只需在接合材塗佈位置附近設置，因而提高了配線層構成的自由度。因此可提供較佳良率、具有較佳電性的半導體裝置。

本發明尚提出一種半導體裝置製造方法，包含：一第一步驟，包含提供一基板，其上設有一配線層及一凹部，並設置一半導體晶片於該凹部中；一第二步驟，包含覆蓋一被覆材於上述晶片上；一第三步驟，包含於基板表面裝置用於塗佈接合材之一印刷光罩，並利用此光罩於上述配線層上塗佈導電性接合材，上述印刷光罩包含有一遮蔽膜，其上有一用於塗佈膠材之開口部，及一突起部，形成於上述遮蔽膜表面，且係與鄰近上述開口部之基板相對。其未增加新的步驟，但可達避免接合材在光罩移除時一同脫離基板表面的效用。因此可以更為簡單的方式提高半導體裝置的製造良率。

本發明提出之印刷光罩，包含：一遮蔽膜，其上有一用於塗佈膠材之開口部；以及一突起部，形成於上述遮蔽膜表面，且係與鄰近上述開口部之基板相對。其在遮蔽膜開口面積變小的情形下，仍能達到確實印刷的功效。因此藉由此光罩之使用，可以更為簡單的方式提高半導體裝置的製造良率。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係表示本發明實施例1中半導體裝置之局部平面圖。

第2圖係表示自第1圖 II - II 線段切割之剖面圖。

第3圖為說明實施例1之半導體裝置製作方法之剖面圖。

第4圖係表示本發明實施例2中半導體裝置之局部平面圖。

第5圖係表示自第4圖 V - V 線段切割之剖面圖。

第6圖係表示本發明實施例3中半導體裝置之剖面圖。

第7圖係表示本發明實施例4中半導體裝置之局部平面圖。

第8圖係表示自第7圖 VIII - VIII 線段切割之剖面圖。

第9圖係表示本發明實施例5中半導體裝置之局部平面圖。

第10圖係表示自第9圖 X - X 線段切割之剖面圖。

第11圖係表示本發明實施例6中印刷光罩之局部平面圖。

第12圖係表示自第11圖中 X II - X II 線段切割之剖面圖。

第13圖係表示本發明實施例7中印刷光罩變形例之局部平面圖。

第14圖係表示自第13圖中 X IV - X IV 線段切割之剖面圖。

第15圖係表示本發明實施例8中印刷光罩變形例之局



圖式簡單說明

部平面圖。

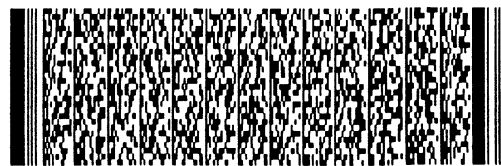
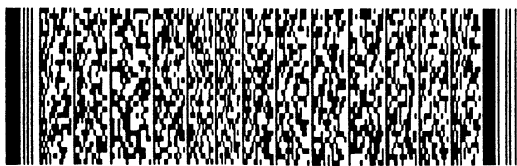
第16圖係表示自第15圖中 X VI- X VI 線段切割之剖面圖。

第17圖顯示習知之凹部掩埋型模組的剖面圖。

第18圖係用以說明印刷零件接合膠材的模式。

符號說明：

半導體晶片 ~102、12；	多層基板 ~104、14；
凹部 ~104a、14a；	凹部邊緣處 ~14b；
接線 ~116、18；	包覆材 ~114、16；
接合膠材 ~112；	印刷光罩 ~124、40、66；
塗佈膠材的開口 ~124a；	橡膠滾軸 ~126、42；
焊錫 ~112a；	配線層 ~20；
配線島 ~20a；	晶片零件 ~22；
低熔點鉛錫 ~24；	鉛錫膠 ~24a；
包覆材 ~26；	低黏度披覆材 ~261；
高黏度披覆材 ~262；	突起部 ~26a；
端面電極 ~28；	裡面電極 ~30；
覆蓋層 ~32；	突起保護膜 ~56；
遮蔽膜突起部 ~72；	
作為突起部的表面突起 ~62；	
模組 ~100、10、50、54、60；	
印刷光罩之遮蔽膜 ~40a、68；	
印刷光罩之開口部 ~40b、70。	



四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法和印刷光罩)

本發明提供之半導體裝置，為於多層基板表面凹部內設置半導體晶片，並以包覆材將此晶片包覆，包覆材並形成有一突起部，其由多層基板表面算起之高度 h_1 大於多層基板表面配線層的厚度，接著利用以印刷方式塗佈的低融點鉛錫將晶片零件22與配線層接合。

英文發明摘要 (發明之名稱：Semiconductor Device, Method of Fabricating the Same, and Printing Mask)

A semiconductor device includes a multilayer substrate provided with a cavity, a semiconductor chip placed in the cavity, wiring lines provided with lands, a cover formed of a potting material, covering the semiconductor chip and having a protruding part, and chips bonded to the wiring lines with a solder having a low melting point. The protruding part has a height (h_1) from the surface of the multilayer substrate greater than the thickness of the wiring layer.



六、申請專利範圍

1. 一種半導體裝置，包含有：

一基板，其上設有一配線層及一凹部；

一半導體晶片，設置於該凹部中；

一包覆材，覆蓋於上述晶片上，同時於其一部份表面形成有一突起部，該突起部由該基板表面算起之高度較上述配線層厚度為高；以及

複數個回路元件，經由導電性接合材與上述配線層接合。

2. 如申請專利範圍第1項所述之半導體裝置，其特徵係該突起部係設置於上述凹部的周圍。

3. 如申請專利範圍第2項所述之半導體裝置，其更包括一第二突起部，其表面較基板表面更光滑，且形成於上述凹部周圍之基板表面上。

4. 如申請專利範圍第1項所述之半導體裝置，其特徵係該突起部係設置於上述凹部的中央。

5. 如申請專利範圍第4項所述之半導體裝置，其特徵係該包覆材為由該基底之第一材料及該上層部之第二材料所構成，且該突起部係由上述上層部之第二材料所構成。

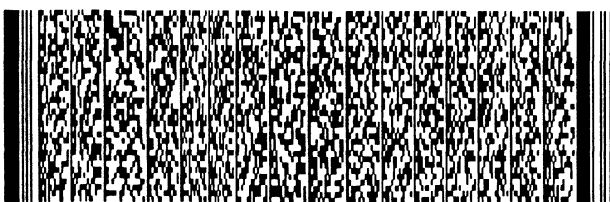
6. 一種半導體裝置，包含有：

一基板，其上設有一配線層及一凹部；

一半導體晶片，設置於該凹部中；

一包覆材，覆蓋於上述晶片上，

複數個回路元件，經由導電性接合材與上述配線層接合；以及



六、申請專利範圍

一突起部，設置於形成有上述回路元件之配線層附近的基板表面，且該突起部由基板表面算起之高度較上述配線層厚度為高。

7. 一種半導體裝置製造方法，包含：

一第一步驟，包含提供一基板，其上設有一配線層及一凹部，並設置一半導體晶片於該凹部中；

一第二步驟，包含覆蓋一包覆材於上述晶片上，同時於其一部份表面形成一突起部，該突起部由基板表面算起之高度較上述配線層厚度為高；以及

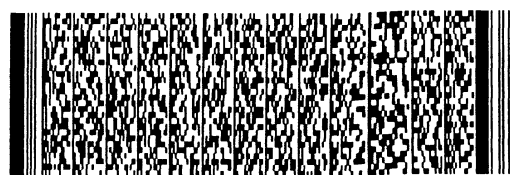
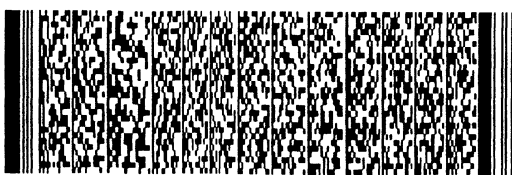
一第三步驟，包含於該基板表面裝置用於塗佈接合材之一印刷光罩，並利用此光罩於上述配線層上塗佈一導電性接合材。

8. 如申請專利範圍第7項所述之半導體裝置製造方法，其特徵係該突起部係設置於上述凹部的周圍。

9. 如申請專利範圍第7項所述之半導體裝置製造方法，其特徵係該突起部係設置於上述凹部的中央。

10. 如申請專利範圍第9項所述之半導體裝置製造方法，上述包覆材為由該基底之第一材料及該上層部之第二材料所構成，且該突起部係由上述上層部之第二材料所構成。

11. 如申請專利範圍第8項所述之半導體裝置製造方法，進一步包含一步驟，其於將半導體晶片以包覆材覆蓋前，於上述凹部邊緣之基板表面上形成一第二突起部，其表面較該基板表面光滑。



六、申請專利範圍

12. 一種半導體裝置製造方法，包含：

一 第一步驟，包含提供一基板，其上設有一配線層及一凹部，並設置一半導體晶片於該凹部中；

一 第二步驟，包含覆蓋一包覆材於上述晶片上；

一 第三步驟，包含於基板表面裝置用於塗佈接合材之一印刷光罩，並利用此光罩於上述配線層上塗佈一導電性接合材；以及

於塗佈該接合材前，於上述設有回路元件之配線層附近之基板表面上形成一突起部。

13. 一種半導體裝置製造方法，包含：

一 第一步驟，包含提供一基板，其上設有一配線層及一凹部，並設置一半導體晶片於該凹部中；

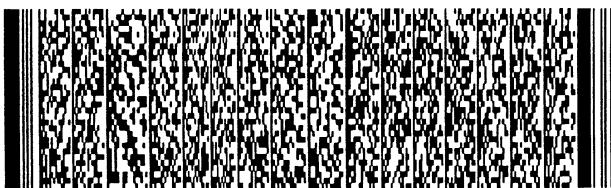
一 第二步驟，包含覆蓋包被覆材於上述晶片上；

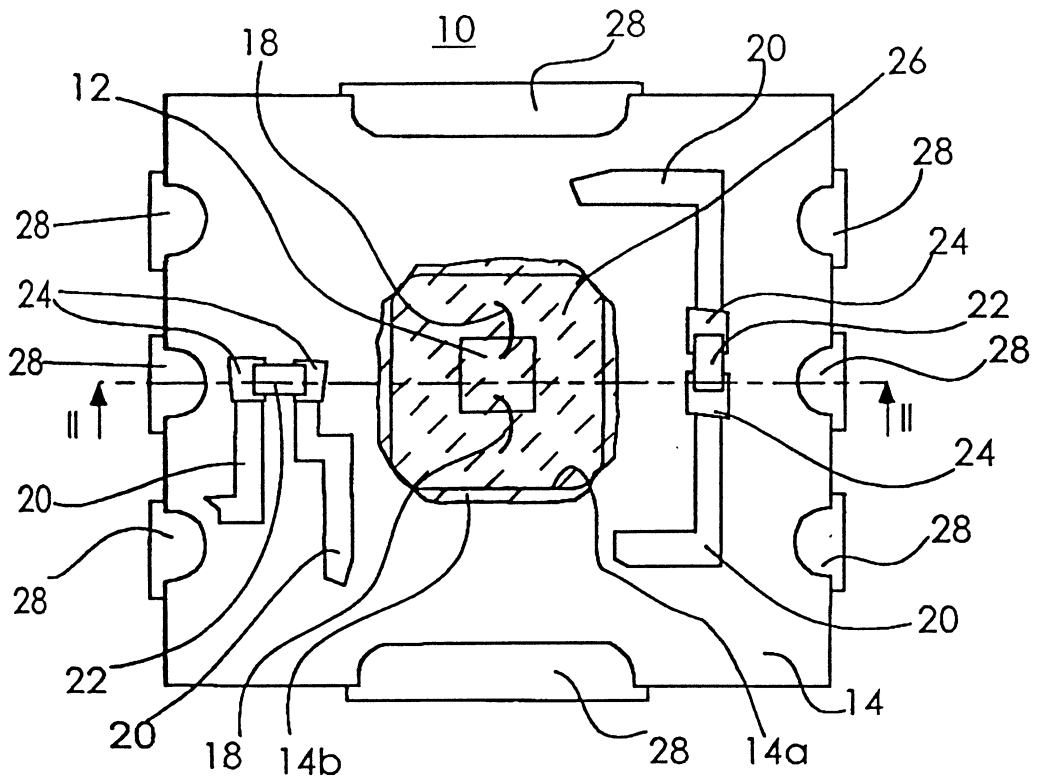
一 第三步驟，包含於該基板表面裝置用以塗佈接合材之一印刷光罩，並利用此光罩於上述配線層上塗佈一導電性接合材，上述印刷光罩包含有一遮蔽膜，其上有一用於塗佈膠材之開口部，及一突起部，形成於上述遮蔽膜表面，且係與鄰近上述開口部之基板相對。

14. 一種印刷光罩，包含：

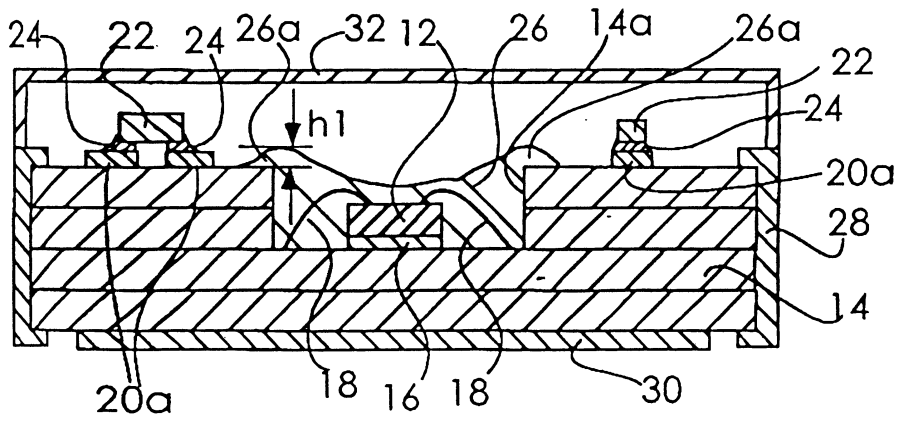
一 遮蔽膜，其上有一用於塗佈膠材之開口部；以及

一 突起部，形成於上述遮蔽膜表面，且係與鄰近上述開口部之基板相對。

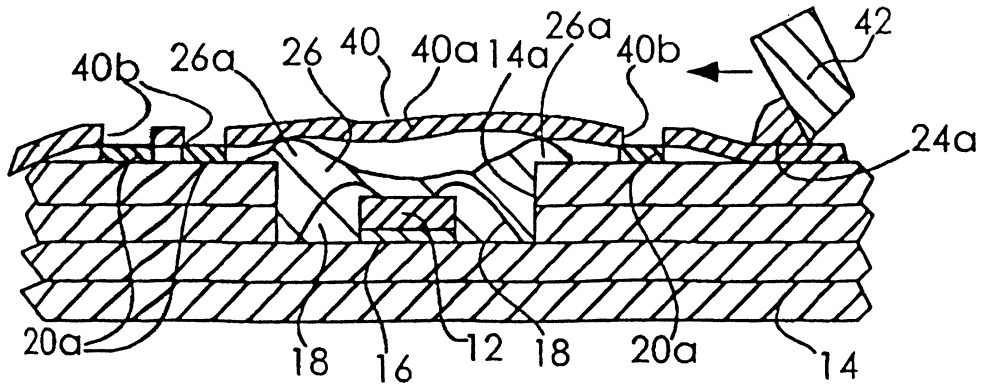




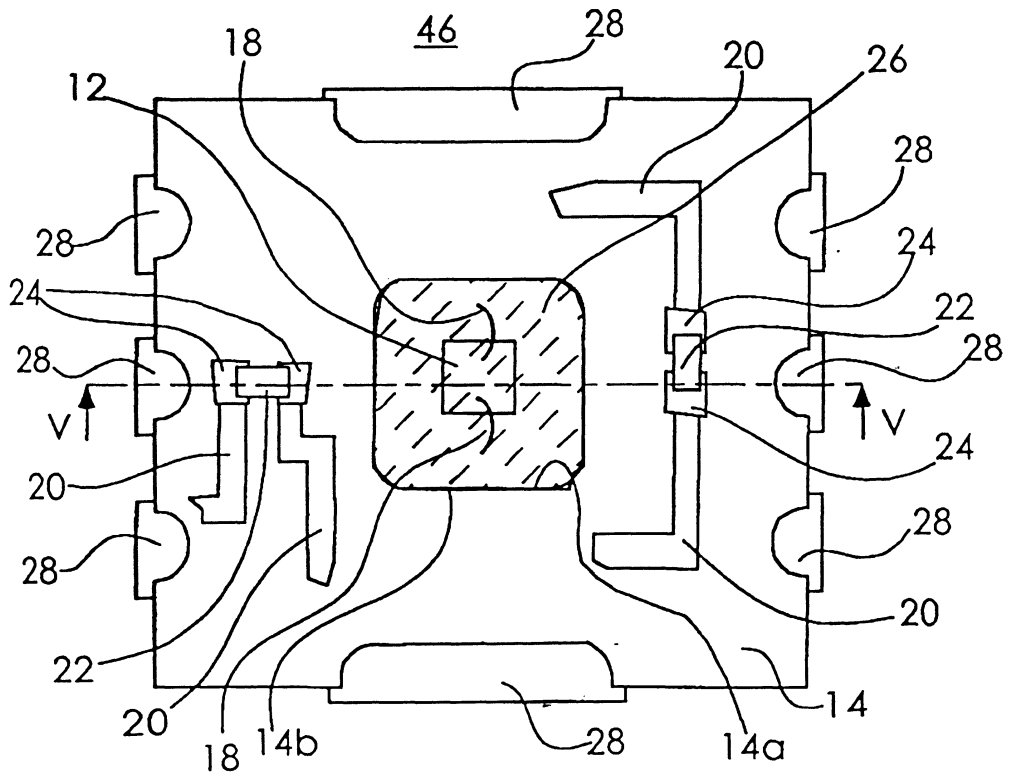
第 1 圖



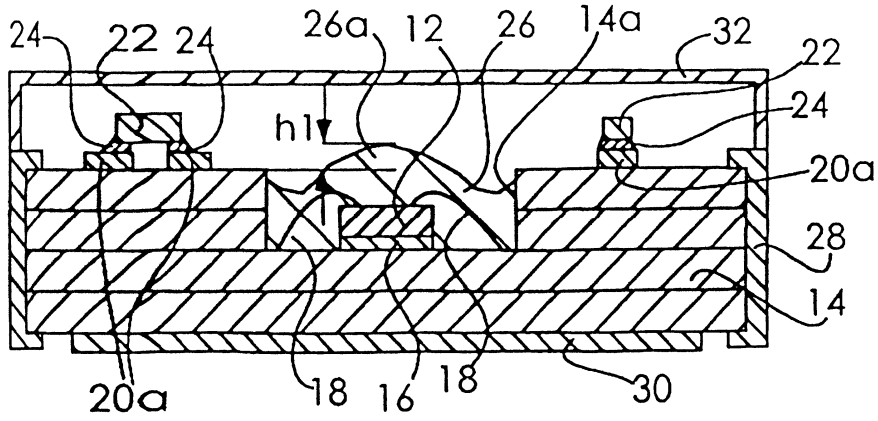
第 2 圖



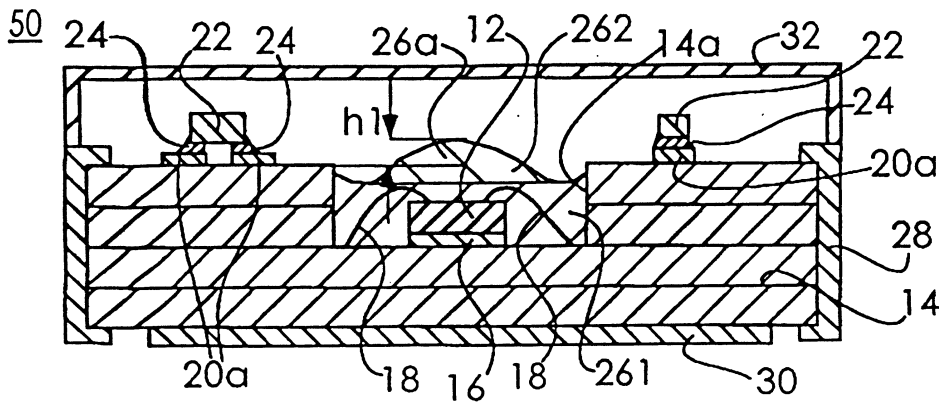
第 3 圖



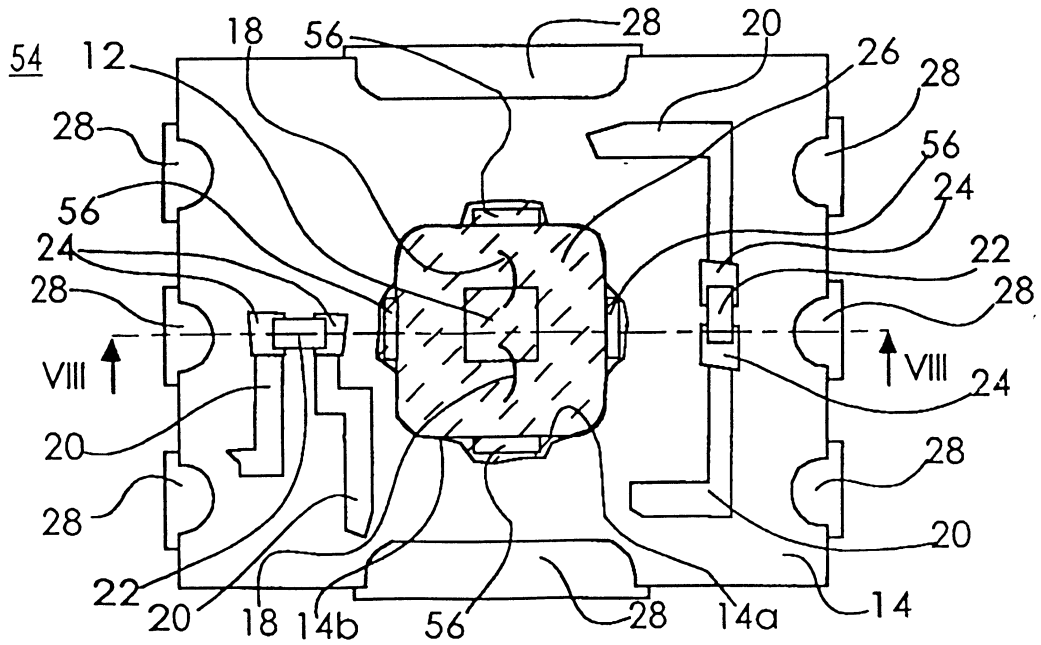
第 4 圖



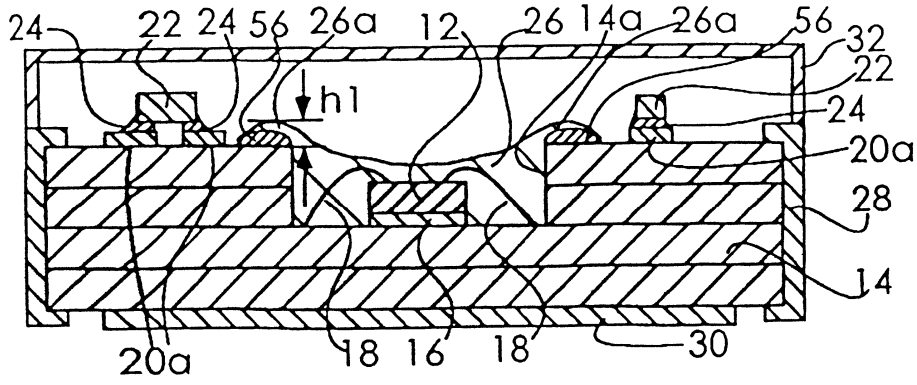
第 5 圖



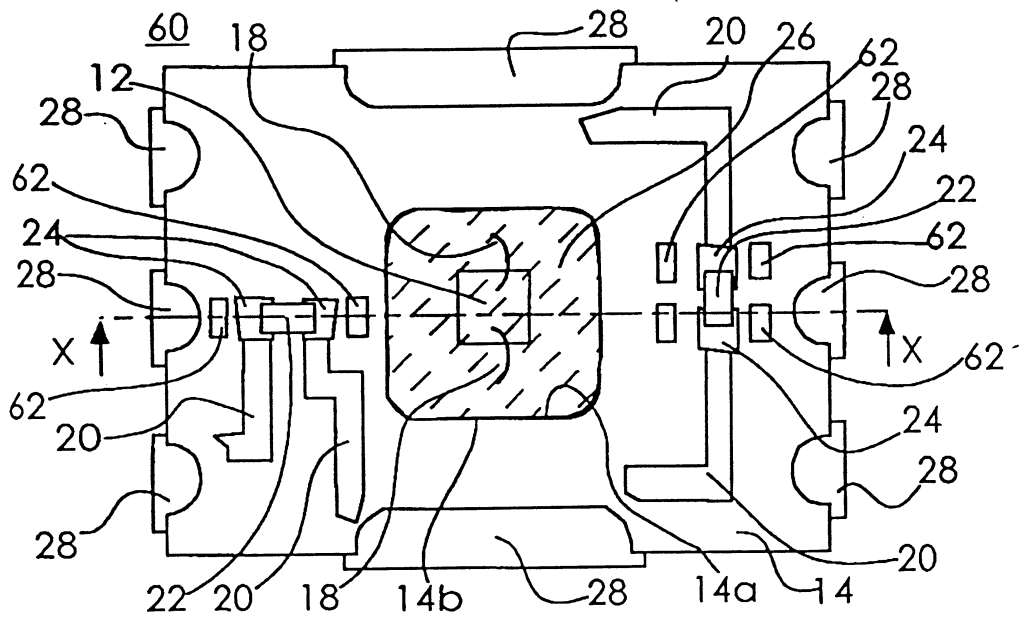
第 6 圖



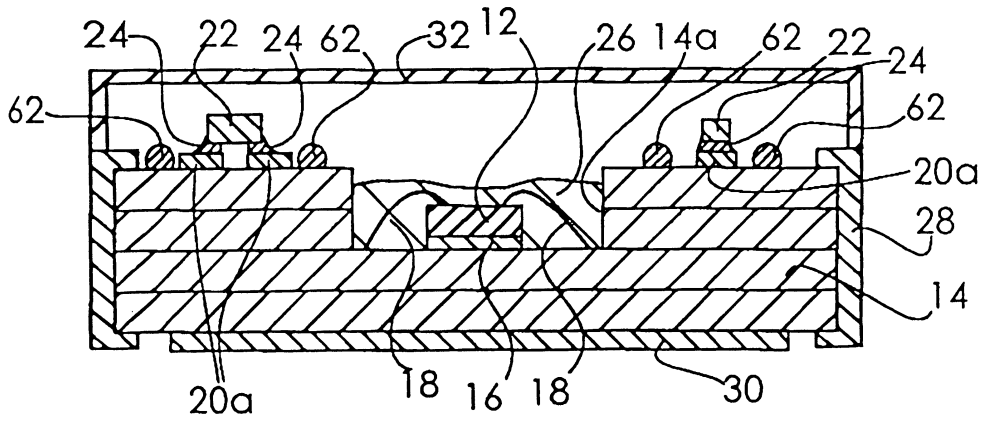
第 7 圖



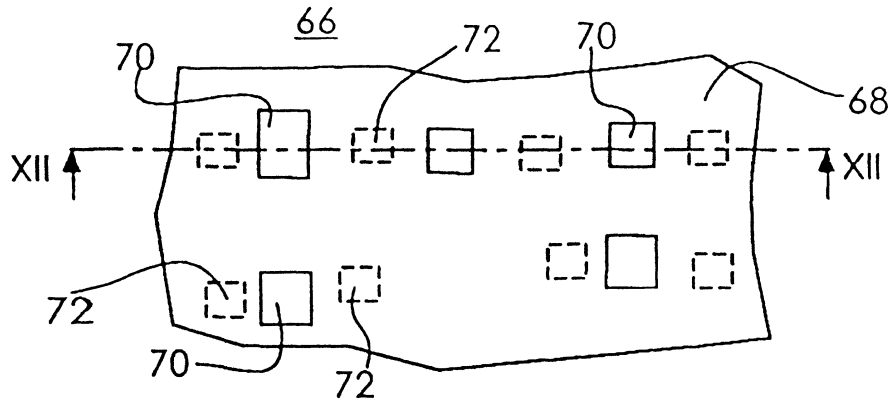
第 8 圖



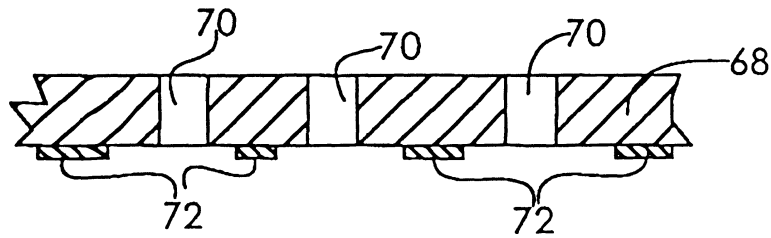
第 9 圖



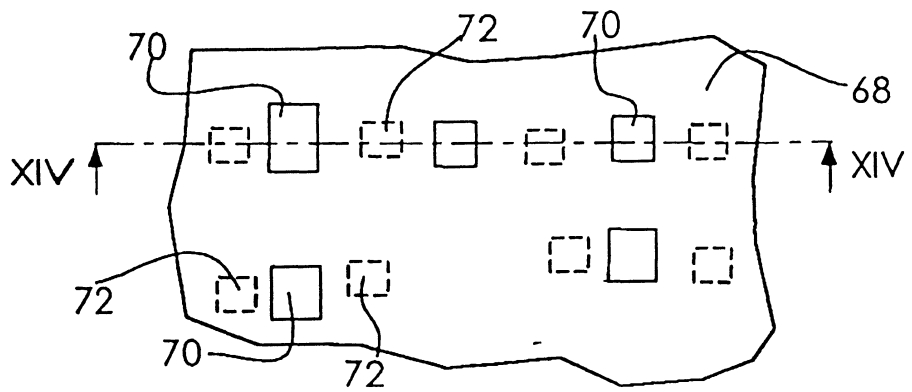
第 10 圖



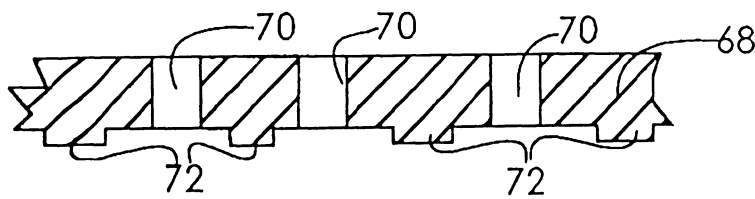
第 11 圖



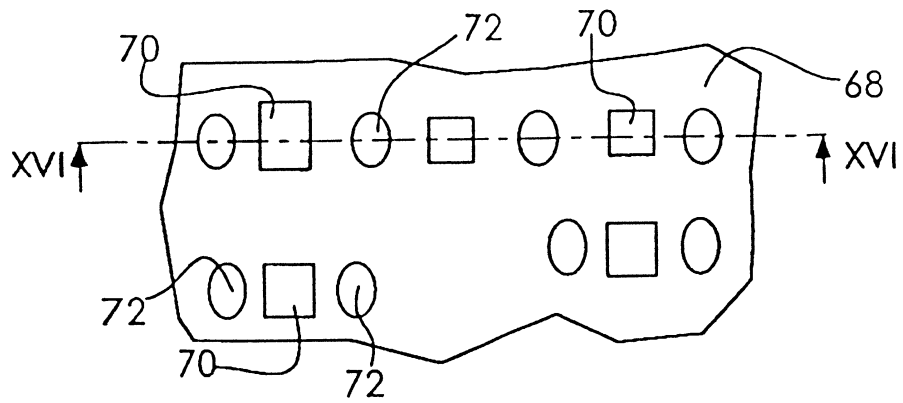
第 12 圖



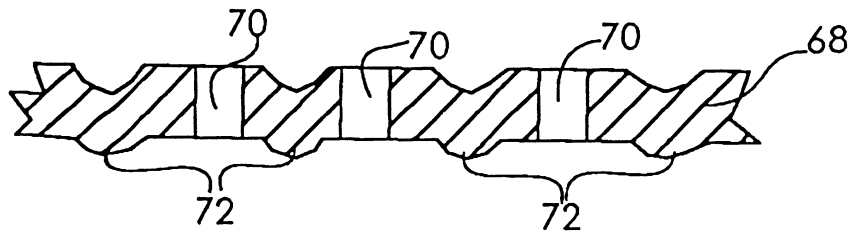
第 13 圖



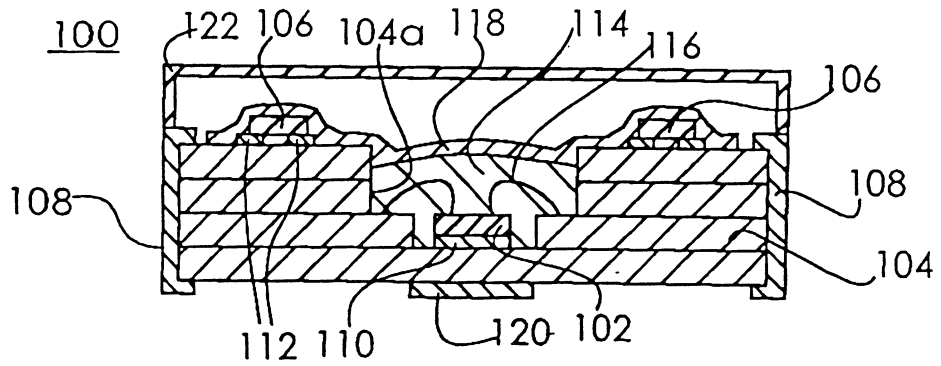
第 14 圖



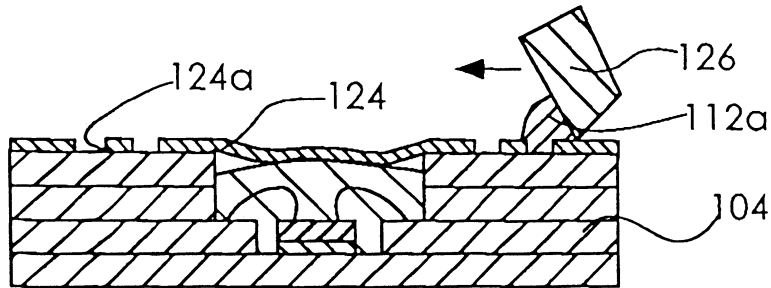
第 15 圖



第 16 圖



第 17 圖



第 18 圖