

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5926583号
(P5926583)

(45) 発行日 平成28年5月25日(2016.5.25)

(24) 登録日 平成28年4月28日(2016.4.28)

(51) Int.Cl.		F I			
HO4L 7/04	(2006.01)	HO4L 7/04			
HO4L 29/08	(2006.01)	HO4L 13/00	3 O 7 D		
HO4L 25/40	(2006.01)	HO4L 25/40	D		

請求項の数 7 (全 18 頁)

(21) 出願番号	特願2012-53681 (P2012-53681)	(73) 特許権者	000001007
(22) 出願日	平成24年3月9日(2012.3.9)		キヤノン株式会社
(65) 公開番号	特開2013-187865 (P2013-187865A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成25年9月19日(2013.9.19)	(74) 代理人	100076428
審査請求日	平成27年1月8日(2015.1.8)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 情報処理装置、シリアル通信システムおよびそれらの通信初期化の方法、並びにシリアル通信装置

(57) 【特許請求の範囲】

【請求項1】

マスタと該マスタと複数の信号線によってシリアル通信可能に接続されているスレーブとを有する情報処理装置であって、

前記マスタが、前記複数の信号線のうちのクロック信号線によって前記スレーブに伝送するクロックの周期より長い期間、前記複数の信号線に含まれる第1データ信号線の信号レベルを第1の信号レベルから第2の信号レベルに変化させ、前記スレーブが、前記マスタによって前記第1データ信号線の信号レベルが前記第2の信号レベルに変化されたことに基づいて、前記複数の信号線のうちのクロック信号線によって前記マスタに伝送するクロックの周期より長い期間、前記複数の信号線に含まれる第2データ信号線の信号レベルを前記第1の信号レベルから前記第2の信号レベルに変化させる、ことにより前記マスタと前記スレーブとがハンドシェイクするように構成されており、

前記マスタが、前記スレーブによって前記第2データ信号線の信号レベルが前記第2の信号レベルに変化されたことに基づいて、前記スレーブに伝送するクロックの周期より長い期間、前記第1データ信号線の信号レベルを前記第1の信号レベルに変化させ、前記スレーブが、前記マスタによって前記第1データ信号線の信号レベルが前記第1の信号レベルに変化されたことに基づいて、前記マスタに伝送するクロックの周期より長い期間、前記第2データ信号線の信号レベルを前記第1の信号レベルに変化させる、ことにより前記マスタと前記スレーブとがハンドシェイクするように構成されている

ことを特徴とする情報処理装置。

【請求項 2】

マスタ装置とスレーブ装置とを含むシリアル通信システムであって、
前記マスタ装置と前記スレーブ装置とは、
前記マスタ装置から前記スレーブ装置に第 1 のクロック信号を伝送する第 1 クロック信号線と、
前記マスタ装置から前記スレーブ装置に第 1 のデータ信号を伝送する第 1 データ信号線と、
前記スレーブ装置から前記マスタ装置に第 2 のクロック信号を伝送する第 2 クロック信号線と、
前記スレーブ装置から前記マスタ装置に第 2 のデータ信号を伝送する第 2 データ信号線
10
と、
により接続されており、
前記マスタ装置は、
少なくとも前記第 1 のクロック信号の周期より長い期間、前記第 1 データ信号線をアサートするよう制御する第 1 駆動手段と、
前記第 2 データ信号線がアサートされているか否かを判定する第 1 判定手段と、
前記第 1 駆動手段により前記第 1 データ信号線をアサートした後、少なくとも前記第 2 のクロック信号の周期より長い期間、前記第 2 データ信号線がアサートされていることが前記第 1 判定手段により検出されると、前記第 1 データ信号線のアサートを解除するよう制御する第 1 解除手段と、
20
前記第 1 解除手段により前記第 1 データ信号線のアサートを解除した後、少なくとも前記第 2 のクロック信号の周期より長い期間、前記第 2 データ信号線がアサートされていないことが前記第 1 判定手段により検出された場合、前記スレーブ装置が通信可能状態にあると判定する第 1 状態判定手段と、
を備え、
前記スレーブ装置は、
前記第 1 データ信号線がアサートされているか否かを判定する第 2 判定手段と、
少なくとも前記第 1 のクロック信号の周期より長い期間、前記第 1 データ信号線がアサートされていることが前記第 2 判定手段により検出されると、少なくとも前記第 2 のクロック信号の周期より長い期間、前記第 2 データ信号線をアサートするよう制御する第 2 駆
30
動手段と、
前記第 2 駆動手段により前記第 2 データ信号線をアサートした後、少なくとも前記第 1 のクロック信号の周期より長い期間、前記第 1 データ信号線がアサートされていないことが前記第 2 判定手段により検出された場合、前記マスタ装置が通信可能状態にあると判定すると共に前記第 2 データ信号線のアサートを解除するよう制御する第 2 状態判定手段と、
を備えることを特徴とするシリアル通信システム。

【請求項 3】

前記第 1 判定手段は、前記第 2 のクロック信号に従って前記第 2 データ信号線の信号をサンプリングし、所定回数連続してアサートされているか否かを判定するよう構成されており、
40
前記第 2 判定手段は、前記第 1 のクロック信号に従って前記第 1 データ信号線の信号をサンプリングし、所定回数連続してアサートされているか否かを判定するよう構成されている、
ことを特徴とする請求項 2 に記載のシリアル通信システム。

【請求項 4】

前記第 1 判定手段は、前記第 2 のクロック信号に従って前記第 2 データ信号線の信号をサンプリングし、該サンプリングにより得られたシリアル信号を M ビット (M は 2 以上の整数) のパラレル信号に変換し、該変換された M ビットのパラレル信号の M ビットの全てがアサートされているか否かを判定するよう構成されており、
50

前記第 2 判定手段は、前記第 1 のクロック信号に従って前記第 1 データ信号線の信号をサンプリングし、該サンプリングにより得られたシリアル信号を N ビット (N は 2 以上の整数) のパラレル信号に変換し、該変換された N ビットのパラレル信号の N ビットの全てがアサートされているか否かを判定するよう構成されている、
ことを特徴とする請求項 2 に記載のシリアル通信システム。

【請求項 5】

マスタと該マスタと複数の信号線によってシリアル通信可能に接続されているスレーブとを有する情報処理装置における通信初期化の方法であって、

前記マスタが、前記複数の信号線のうちのクロック信号線によって前記スレーブに伝送するクロックの周期より長い期間、前記複数の信号線に含まれる第 1 データ信号線の信号レベルを第 1 の信号レベルから第 2 の信号レベルに変化させる工程と、

前記スレーブが、前記マスタによって前記第 1 データ信号線の信号レベルが前記第 2 の信号レベルに変化されたことに基づいて、前記複数の信号線のうちのクロック信号線によって前記マスタに伝送するクロックの周期より長い期間、前記複数の信号線に含まれる第 2 データ信号線の信号レベルを前記第 1 の信号レベルから前記第 2 の信号レベルに変化させる工程と、

前記マスタが、前記スレーブによって前記第 2 データ信号線の信号レベルが前記第 2 の信号レベルに変化されたことに基づいて、前記スレーブに伝送するクロックの周期より長い期間、前記第 1 データ信号線の信号レベルを前記第 1 の信号レベルに変化させる工程と

、
前記スレーブが、前記マスタによって前記第 1 データ信号線の信号レベルが前記第 1 の信号レベルに変化されたことに基づいて、前記マスタに伝送するクロックの周期より長い期間、前記第 2 データ信号線の信号レベルを前記第 1 の信号レベルに変化させる工程と、
を含むことを特徴とする方法。

【請求項 6】

マスタ装置とスレーブ装置とを含むシリアル通信システムにおける通信初期化の方法であって、

前記マスタ装置と前記スレーブ装置とは、

前記マスタ装置から前記スレーブ装置に第 1 のクロック信号を伝送する第 1 クロック信号線と、

前記マスタ装置から前記スレーブ装置に第 1 のデータ信号を伝送する第 1 データ信号線と、

前記スレーブ装置から前記マスタ装置に第 2 のクロック信号を伝送する第 2 クロック信号線と、

前記スレーブ装置から前記マスタ装置に第 2 のデータ信号を伝送する第 2 データ信号線と、

により接続されており、前記方法は、

前記マスタ装置が、少なくとも前記第 1 のクロック信号の周期より長い期間、前記第 1 データ信号線をアサートするよう制御する第 1 駆動工程と、

前記スレーブ装置が、少なくとも前記第 1 のクロック信号の周期より長い期間、前記第 1 データ信号線がアサートされていることが検出されると、少なくとも前記第 2 のクロック信号の周期より長い期間、前記第 2 データ信号線をアサートするよう制御する第 2 駆動工程と、

前記マスタ装置が、前記第 1 駆動工程により前記第 1 データ信号線をアサートした後、少なくとも前記第 2 のクロック信号の周期より長い期間、前記第 2 データ信号線がアサートされていることが検出されると、前記第 1 データ信号線のアサートを解除するよう制御する第 1 解除工程と、

前記スレーブ装置が、前記第 2 駆動工程により前記第 2 データ信号線をアサートした後、少なくとも前記第 1 のクロック信号の周期より長い期間、前記第 1 データ信号線がアサートされていないことが検出された場合、前記マスタ装置が通信可能状態にあると判定す

ると共に前記第2データ信号線のアサートを解除するよう制御する第2状態判定工程と、前記マスタ装置が、前記第1解除工程により前記第1データ信号線のアサートを解除した後、少なくとも前記第2のクロック信号の周期より長い期間、前記第2データ信号線がアサートされていないことが検出された場合、前記スレーブ装置が通信可能状態にあると判定する第1状態判定手段と、を含むことを特徴とする方法。

【請求項7】

シリアル通信装置であって、
第1クロック信号線に第1のクロック信号を送信する第1クロック端子と、
第1データ信号線に第1のデータ信号を送信する第1データ端子と、
第2クロック信号線から第2のクロック信号を受信する第2クロック端子と、
第2データ信号線から第2のデータ信号を受信する第2データ端子と、
前記シリアル通信装置と通信可能な対向装置が、前記第1クロック端子、前記第1データ端子、前記第2クロック端子、前記第2データ端子の4つの端子を介して接続されているかを判定する判定手段と、
を備え、

前記判定手段は、

少なくとも前記第1のクロック信号の周期より長い期間、前記第1データ信号線をアサートするよう制御する駆動手段と、

前記第2データ信号線がアサートされているか否かを判定する判定手段と、

前記駆動手段により前記第1データ信号線をアサートした後、少なくとも前記第2のクロック信号の周期より長い期間、前記第2データ信号線がアサートされていることが前記判定手段により検出されると、前記第1データ信号線のアサートを解除するよう制御する解除手段と、

前記解除手段により前記第1データ信号線のアサートを解除した後、少なくとも前記第2のクロック信号の周期より長い期間、前記第2データ信号線がアサートされていないことが前記判定手段により検出された場合、通信可能な対向装置が接続されていると判定する接続判定手段と、

を含む、

ことを特徴とするシリアル通信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリアル通信技術に関するものである。

【背景技術】

【0002】

集積回路の集積度の向上や処理能力の向上と共に、複数の集積回路間のデータのやりとりも増加しており、さらなるデータ転送速度の向上が望まれている。データ転送速度の向上は、データを並列に転送することによっても実現されうるが、集積回路の端子数の増加に伴うコストアップを招き、また、データ間のスキュー調整が困難となる。そのため、近年は、高速なシリアル転送方式を採用することが増えている。

【0003】

シリアル転送には大きく分けてエンベデッドクロック (embedded clock) 方式とソースシンクロナス (source synchronous) 方式に分類できる。エンベデッドクロック方式は、クロック成分をデータ信号に埋め込み、受信側でデータ列からクロックとデータを抽出して通信を行う。そのため、受信側でデータに埋め込んだクロック情報を抽出する機構が必要となり、結果として集積回路の規模が増大しコストが高くなる。ただし、エンベデッドクロック方式ではクロックとデータの間の時間差 (位相ずれ / スキュー) が理論上発生しないため、高速伝送や長距離転送が容易となる。一方、ソースシンクロナス方式は、送信側からデータとは別にクロックを伝送し、受信側では、受信したクロックを用いて、デー

10

20

30

40

50

タをサンプリングして通信を行う。そのため、構成がシンプルというメリットがあるが、クロックとデータを別々に伝送することに起因する受信時間差が生じ、正しくデータが受け取れないという問題が発生しうる。特に、近年の数百MHz～GHzクラスの高速度動作においては、クロックとデータ間の位相ずれを調整する機構（キャリブレーション）が必要となってきた。

【0004】

通常、シリアル通信においては、実際のデータ転送に先立って、初期化と呼ばれる通信可能な状態にするための手続きが行われる。この手続きには、物理的に接続されているかの有無、接続先が初期化開始可能かどうかの有無（電源投入済、リセット済のケア）、タイミング調整（位相ずれ調整、通信速度調整）等が含まれる。例えば、特許文献1は、ソースシンクロナス方式のシリアル通信において、装置本体ではコマンド信号のレベルを変化させて通信の開始を通知し、外部装置ではコマンド信号のレベルの変化を検出して、通信の開始を判断する技術を開示している。また、特許文献2は、マスタ機がランダムデータを発生し当該データ列にCRCのチェックコードを付与しスレーブ機に転送を行う。そして、スレーブ機側で、CRCによる誤りチェックを行い、誤りが無ければマスタ機側に通知を行い、通信可能かどうかを判断する技術を開示している。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-135545公報

20

【特許文献2】特開平11-177744公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、近年の集積回路システムでは、電力削減のため、頻繁に電源・リセットをON/OFFが発生し得る。そして、信号レベルの変化の通知タイミングが、対向の集積回路の電源投入中や、リセット処理中である場合、信号レベルの変化の検出機会を失い通信可能か否かの判断が正常に行われない場合が発生する。

【0007】

また、ソースシンクロナス方式のシリアル通信では、エンベデッドクロック方式と異なり、未接続状態と接続時における転送が無い状態とは、データ信号線での信号状態から区別が出来無い。そのため、対向の装置との間でデータのやり取りを行うことでしか状態を検出する術が無い。

30

【0008】

上述の特許文献1に記載の技術では、対向の集積回路が電源投入後且つリセット処理後の安定状態にあることが前提となっている。また、特許文献2に記載の技術では、近年の高速度シリアル通信においては、電源投入後の初期化時において、位相ずれが存在する可能性があるため、必ずしも正しいデータが受け取れる保証が無い。そのため、未接続状態なのか位相ずれ状態なのか区別できず、通信可能かどうかを知ることができない可能性がある。

40

【0009】

本発明は、上記課題に鑑みてなされたものであり、高速シリアル通信において、適切に対向装置の状態を確認可能とする技術を提供する。

【課題を解決するための手段】

【0010】

上述の問題点を解決するため、本発明の情報処理装置は以下の構成を備える。すなわち、マスタと該マスタと複数の信号線によってシリアル通信可能に接続されているスレーブとを有する情報処理装置において、前記マスタが、前記複数の信号線のうちのクロック信号線によって前記スレーブに伝送するクロックの周期より長い期間、前記複数の信号線に含まれる第1データ信号線の信号レベルを第1の信号レベルから第2の信号レベルに変化

50

させ、前記スレーブが、前記マスタによって前記第 1 データ信号線の信号レベルが前記第 2 の信号レベルに変化されたことに基づいて、前記複数の信号線のうちのクロック信号線によって前記マスタに伝送するクロックの周期より長い期間、前記複数の信号線に含まれる第 2 データ信号線の信号レベルを前記第 1 の信号レベルから前記第 2 の信号レベルに変化させる、ことにより前記マスタと前記スレーブとがハンドシェイクするように構成されており、前記マスタが、前記スレーブによって前記第 2 データ信号線の信号レベルが前記第 2 の信号レベルに変化されたことに基づいて、前記スレーブに伝送するクロックの周期より長い期間、前記第 1 データ信号線の信号レベルを前記第 1 の信号レベルに変化させ、前記スレーブが、前記マスタによって前記第 1 データ信号線の信号レベルが前記第 1 の信号レベルに変化されたことに基づいて、前記マスタに伝送するクロックの周期より長い期間、前記第 2 データ信号線の信号レベルを前記第 1 の信号レベルに変化させる、ことにより前記マスタと前記スレーブとがハンドシェイクするように構成されている。

10

【発明の効果】

【0011】

本発明によれば、高速シリアル通信において、適切に対向装置の状態を確認可能とする技術を提供することができる。

【図面の簡単な説明】

【0012】

【図 1】シリアル通信システムを含む情報処理装置の構成例を示す図である。

【図 2】シリアル通信装置間の接続を示す図である。

20

【図 3】クロック信号線及びデータ信号線で伝送される信号を例示的に示す図である。

【図 4】シリアル通信におけるパケット転送を例示的に示す図である。

【図 5】第 1 実施形態に係るシリアル通信システムにおける接続確認のための初期化シーケンスにおける各信号線上の波形を例示的に示す図である。

【図 6】第 1 実施形態に係るシリアル通信マスタ装置の内部構成を例示的に示す図である。

【図 7】第 1 実施形態に係るシリアル通信スレーブ装置の内部構成を例示的に示す図である。

【図 8】第 1 実施形態に係るシリアル通信システムにおける接続確認のための初期化シーケンス図である。

30

【図 9】接続確認のための初期化シーケンス図である（スレーブ装置リセット再発生のケース 1）。

【図 10】接続確認のための初期化シーケンス図である（スレーブ装置リセット再発生のケース 2）。

【図 11】接続確認のための初期化シーケンス図である（マスタ装置リセット再発生のケース 1）。

【図 12】接続確認のための初期化シーケンス図である（マスタ装置リセット再発生のケース 2）。

【図 13】第 2 実施形態に係るシリアル通信マスタ装置の内部構成を例示的に示す図である。

40

【図 14】第 2 実施形態に係るシリアル通信スレーブ装置の内部構成を例示的に示す図である。

【発明を実施するための形態】

【0013】

以下に、図面を参照して、この発明の好適な実施の形態を詳しく説明する。なお、以下の実施の形態はあくまで例示であり、本発明の範囲を限定する趣旨のものではない。

【0014】

（第 1 実施形態）

本発明に係るシリアル通信システムの第 1 実施形態として、双方向でシリアル通信を行う 2 つの集積回路を含む情報処理装置を例に挙げて以下に説明する。

50

【 0 0 1 5 】

< 装置構成 >

図 1 は、シリアル通信システムを含む情報処理装置の構成例を示す図である。情報処理装置において、CPU 10、ROM 11、RAM 12 は第 1 バス 13 に接続され、PCI 20、USB 21、IDE 22 は第 2 バス 23 に接続されている。そして第 1 バス 13 と第 2 バス 23 はシリアル通信マスタ装置 100 とシリアル通信スレーブ装置 200 を介して接続されている。この構成は汎用のコンピュータにおける 2 チップセット構成で代表的な構成であり、集積回路 1 は、シリアル通信マスタ装置 100 を含み、集積回路 2 は、シリアル通信マスタ装置 100 とシリアル通信可能に接続されているシリアル通信スレーブ装置 200 を含む。

10

【 0 0 1 6 】

CPU 10 は、ROM 11 に格納されたプログラムを RAM 12 に展開し当該プログラムを実行する。第 2 バス 23 に接続されている PCI 20、USB 21、IDE 22 は、それぞれ、各種周辺機器（不図示）を制御する制御部（即ち、PCI、USB、IDE インタフェースのコントローラ）である。

【 0 0 1 7 】

シリアル通信マスタ装置 100 は、例えば、第 1 バス 13 上の所定のプロトコルに従って RAM 12 から入力されるデータをソースシンクロナス方式のシリアル通信によってシリアル通信スレーブ装置 200 へ転送する。そして、シリアル通信スレーブ装置 200 は、シリアル通信マスタ装置 100 から入力されたデータを、第 2 バス 23 上の所定のプロ

20

【 0 0 1 8 】

なお、第 1 バス 13 上のプロトコルと第 2 バス 23 上のプロトコルとは同一である必要はない。また、情報処理装置におけるシリアル通信システムの構成は図 1 の構成に限定されず、既知のソースシンクロナス方式のシリアル通信システムと同様の任意の構成が適用できる。

【 0 0 1 9 】

図 2 は、シリアル通信装置間の接続を示す図である。シリアル通信マスタ装置 100 とシリアル通信スレーブ装置 200 は双方向でソースシンクロナス方式のシリアル通信を行うように接続されている。

30

【 0 0 2 0 】

シリアル通信マスタ装置 100 は、クロック端子（第 1 クロック端子）及びデータ端子（第 1 データ端子）を介し、クロック信号線 101（第 1 クロック信号線）及びデータ信号線 102（第 1 データ信号線）に接続されている。クロック信号線 101 及びデータ信号線 102 は、それぞれ、シリアル通信スレーブ装置 200 へのシリアル通信の、クロック信号（第 1 のクロック信号）及びデータ信号（第 1 のデータ信号）を伝送する。

【 0 0 2 1 】

また、シリアル通信マスタ装置 100 は、クロック端子（第 2 クロック端子）及びデータ端子（第 2 データ端子）を介し、クロック信号線 201（第 2 クロック信号線）及びデータ信号線 202（第 2 データ信号線）に接続されている。クロック信号線 201 及びデータ信号線 202 は、それぞれ、シリアル通信スレーブ装置 200 からのシリアル通信の、クロック信号（第 2 のクロック信号）及びデータ信号（第 2 のデータ信号）を伝送する。

40

【 0 0 2 2 】

データ信号線 102 のデータはクロック信号線 101 のクロックに同期しており、データ信号線 202 のデータはクロック信号線 201 のクロックに同期している。なお、ここでは、1 方向あたり 1 線を用いる場合について説明するが、データ信号線 102 および、データ信号線 202 は複数使用した場合にも適用できる。

【 0 0 2 3 】

図 3 は、クロック信号線及びデータ信号線で伝送される信号を例示的に示す図である。

50

ここでは、センターアライン方式におけるクロック信号線とデータ信号線と構成を示している。なお、センターアライン方式とは、クロックの立ち上がり、データ信号における隣接する遷移点間の中央地点にくるように構成される方式を意味する。もちろん、本発明は、クロックの立ち上がりをデータ信号の遷移点にそろえるエッジアライン方式などの他の方式であっても適用可能である。

【0024】

なお、近年の高速動作においては、クロック信号の間隔が短くなり、またプリント基板上の配線の影響や、集積回路内のプロセスのバラツキの影響によって、設計マージンの確保が困難になってきている。そこで、図3に示すように、シリアル通信マスタ装置100は、クロック信号線を遅延させるための遅延素子103と、クロックとデータの位相を調整するために、遅延素子に指示を与える位相調整機構104を持つ。クロックの立ち上がり、データ信号の遷移と遷移の間の中央地点に来るように、伝送装置ごとに接続確認後に調整する。なお、図3はクロックの立ち上がりのみの使用によるSDR (Single Data Rate) 方式を示しているが、クロックの立ち上がりおよび立下りを使用するDDR (Double Data Rate) 方式にも適用できる。

10

【0025】

図4は、シリアル通信におけるパケット転送を例示的に示す図である。ここでは、シリアル通信において、32ビットを1つのパケットとして転送している例を示している。

【0026】

時刻t0からt3では、データ信号線の論理値が"0" (信号線がアサートされていない状態、信号レベルがネガティブな状態、第1の信号レベル)であり、転送が無いことをシリアル通信マスタ装置100とシリアル通信スレーブ装置200が互いに認識している。時刻t4では、転送開始を示すスタートビットとしてデータ信号線の論理値を"1"にセットする (信号線をアサート状態にする、信号レベルがアクティブな状態、第2の信号レベル) ことで、パケット転送の開始を互いの装置で認識する。これに続く32サイクルが、パケット (32ビットのデータ) の転送を示している。引き続き、時刻t37では、スタートビットとしてデータ信号線の論理値を"1"にセットして (つまり、アサートして)、2番目のパケットを転送している。そして、転送終了後 (t70以降) は、データ信号線を"0"にセットする (つまり、アサートを解除する) ことで、再び、転送が無いことをシリアル通信マスタ装置100とシリアル通信スレーブ装置200が互いに認識する。

20

30

【0027】

図5は、第1実施形態における接続確認のための初期化シーケンスにおける各信号線上の波形を例示的に示す図である。電源投入・リセット解除後に行われる初期化シーケンス開始時には、位相ずれの可能性があり、データの受け渡しが正しくできない可能性がある。また当該時点では、対向の装置 (集積回路) の状態を知ることができず、接続手続きの開始の適切なタイミングを知る術が無い。

【0028】

そこで、第1実施形態では、データ信号線を、対応するクロック信号の周期より長い期間、連続した同一論理値で駆動することにより、仮想的なフルハンドシェイク接続を実現する。具体的には、データライン上で擬似的な制御信号として、全ビットが"0"のパケット及び全ビットが"1"のパケットを双方向で送受信する。クロック信号の周期より長い期間とすることにより、位相ずれや接続開始のタイミングに影響を受けることなく接続確認を行うことが可能となる。

40

【0029】

仮想的なフルハンドシェイク接続が実現することにより、シリアル通信マスタ装置100は、シリアル通信スレーブ装置200と物理的に接続がされていることを認識する (接続判定) ができる。また、シリアル通信マスタ装置100は、シリアル通信スレーブ装置200が電源処理とリセット処理の後の通信可能状態であることを認識することができる。一旦接続確認を行うことができれば、その後位相調整を行うことで、適切な通信状

50

態に移行することができる。

【 0 0 3 0 】

シリアル通信スレーブ装置 2 0 0 が、電源投入前・電源投入中・リセット処理中の何れかの状態であれば、図 5 におけるデータ信号線 2 0 2 の値が " 0 " のままである。シリアル通信スレーブ装置 2 0 0 は、電源処理およびリセット処理が終了後に、データ信号線 2 0 2 の値を " 1 " にセットすることにより、シリアル通信マスタ装置 1 0 0 は、シリアル通信スレーブ装置 2 0 0 が通信可能な状態に移行したことを知ることができる。

【 0 0 3 1 】

また、上述したように、データ信号線上では、比較的長い時間、同一の論理値 (" 0 " または " 1 ") の状態が保持されるため、位相ずれなどに起因するデータの取りこぼしの発生を防ぐことが可能となる。そして、シリアル通信マスタ装置 1 0 0 及びシリアル通信スレーブ装置 2 0 0 は、それぞれ、接続手続き開始後に対向装置からのデータ信号線において一定時間応答が無ければ、未接続や断線等の障害があると判断できる。

10

【 0 0 3 2 】

図 6 は、シリアル通信マスタ装置 1 0 0 の内部構成を例示的に示す図である。シリアル通信マスタ装置 1 0 0 は、論理層 1 0 0 1、シリアライザ 1 0 0 2、デシリアライザ 1 0 0 3、検出部 1 0 0 4 を含む。なお、上述したように、シリアル通信マスタ装置 1 0 0 は、送信及び受信の両方を行う。

【 0 0 3 3 】

論理層 1 0 0 1 は、第 1 バス 1 3、シリアライザ 1 0 0 2、デシリアライザ 1 0 0 3、検出部 1 0 0 4 に接続される。そして、論理層 1 0 0 1 は、検出部 1 0 0 4 のからの検出通知に基づき、パケットのシリアライザ 1 0 0 2 への送信及びシリアライザ 1 0 0 2 へのシリアライズ開始指示を行う。さらに、論理層 1 0 0 1 は、デシリアライザ 1 0 0 3 から取得したパケットの解析を行い、第 1 バス 1 3 に受信データを送出するよう構成されている。

20

【 0 0 3 4 】

シリアライザ 1 0 0 2 は、論理層 1 0 0 1、データ信号線 1 0 2 に接続され、論理層 1 0 0 1 から取得したパラレル信号をシリアル信号に変換してデータ信号線 1 0 2 へ出力する。なお、ここでは、シリアライザ 1 0 0 2 は、論理層 1 0 0 1 からクロックに同期してシリアライズ処理を行うよう構成されている。

30

【 0 0 3 5 】

検出部 1 0 0 4 は、データ信号線 2 0 2 で受信される論理値 (" 0 " または " 1 ") をサンプリングし、同一の論理値が所定回数連続しているか否かを判定する。検出部 1 0 0 4 は、受信データの検出指示を論理層 1 0 0 1 から受信すると、クロック信号線 2 0 1 から受信したクロックに基づいてデータ信号線 2 0 2 のサンプリングを開始する。なお、シリアル通信マスタ装置 1 0 0 の内部に含まれるクロック源を使用してサンプリングするように構成しても良い。そして、同一の論理値が所定回数連続していると判定した場合、検出通知を論理層 1 0 0 1 に送信する。なお、上述の判定を論理層 1 0 0 1 ではなく検出部 1 0 0 4 で行うのは、論理値 " 0 " の連続においてはスタートビット (論理値 " 1 ") が設定できず、デシリアライザ 1 0 0 3 でパケット抽出することができないためである。

40

【 0 0 3 6 】

デシリアライザ 1 0 0 3 は、データ信号線 2 0 2 からシリアル信号のデータの入力を受け付ける。そして、デシリアライザ 1 0 0 3 は、入力されたシリアル信号を M ビット (M は 2 以上の整数) のパラレル信号に変換し論理層 1 0 0 1 へ出力する。

【 0 0 3 7 】

図 7 は、シリアル通信スレーブ装置 2 0 0 の内部構成を例示的に示す図である。シリアル通信スレーブ装置 2 0 0 は、論理層 2 0 0 1、シリアライザ 2 0 0 2、デシリアライザ 2 0 0 3、検出部 2 0 0 4 を含む。なお、上述したように、シリアル通信スレーブ装置 2 0 0 も、送信及び受信の両方を行う。なお、シリアル通信スレーブ装置 2 0 0 内の各部の動作は、シリアル通信マスタ装置 1 0 0 の対応する各部の動作と同様であるため説明は省

50

略する。例えば、デシリアライザ2003は、入力されたシリアル信号をNビット（Nは2以上の整数）の平行信号に変換し論理層2001へ出力する。

【0038】

<装置の動作>

図8は、第1実施形態に係るシリアル通信システムにおける接続確認のための通信初期化のシーケンス図である。なお、図8は、図5をシーケンス図として描き直したものに相当する。初期化処理では、シリアル通信マスタ装置100とシリアル通信スレーブ装置200との間で、シリアル通信を確立するために、お互いが通信可能な状態か否かを判定する処理を行う。

【0039】

ステップS300では、シリアル通信マスタ装置100は、シリアル通信スレーブ装置200との間でシリアル通信を確立するために、接続状態のチェックを開始する。具体的には、データ信号線102の論理値を初期値"0"から"1"に変化させる。つまり、ここでは、シリアル通信スレーブ装置200の状態を事前にチェックすることなく、強制的にデータ信号線102の論理値を"1"とすることにより、シリアル通信マスタ装置100の状態変化（接続手続き開始）を対向の装置に通知する。例えば、直接データ信号線102を"1"に駆動するよう構成する（第1駆動手段）。ただし、ここでは、論理層1001において、同一論理値（全て"1"）の複数ビットから構成されるパケットを連続的に生成し、シリアライザ1002に送出するものとする。これにより、追加の回路無しに、データ信号線102を"1"に駆動することができる。

【0040】

ステップS301では、シリアル通信スレーブ装置200は、電源投入処理完了とリセット処理完了後に動作可能な状態となった後に、データ信号線102の論理値の検出を開始する。ここでは、論理層2001は、受信データの検出指示を検出部2004に送信し、検出部2004は、データ信号線102のサンプリングにより得られた1パケット長（ここでは32ビット）の論理値を解析する。論理値が全て"1"であることを検出すると（第2判定手段）、接続手続き開始状態に移行した対向の装置があると判定し、論理層2001にその旨を通知する。

【0041】

シリアル通信スレーブ装置200は、接続手続き開始状態に移行した対向の装置があると判定すると、データ信号線202の論理値を初期値"0"から"1"に変化させる。つまり、ここでは、接続手続き開始状態に移行した対向の装置の存在確認をトリガに、強制的にデータ信号線202の論理値を"1"とすることにより、シリアル通信スレーブ装置200の状態変化（接続手続き開始）を対向の装置に通知する。例えば、直接データ信号線202を"1"に駆動するよう構成する（第2駆動手段）。ただし、ここでは、論理層2001において、同一論理値（全て"1"）の複数ビットから構成されるパケットパケットを連続的に生成し、シリアライザ2002に送出するものとする。

【0042】

ステップS302では、シリアル通信マスタ装置100は、接続手続き開始の処理（S300）の後、データ信号線202の論理値の検出を開始する。ここでは、論理層1001は、受信データの検出指示を検出部1004に送信し、検出部1004は、データ信号線202のサンプリングにより得られた1パケット長（ここでは32ビット）の論理値を解析する。論理値が全て"1"であることを検出すると（第1判定手段）、接続手続き開始状態に移行した対向の装置があると判定し、論理層1001にその旨を通知する。

【0043】

シリアル通信マスタ装置100は、接続手続き開始状態に移行した対向の装置があると判定すると、データ信号線102の論理値を初期値"1"から"0"に変化させる。なお、直接データ信号線102を"0"に駆動するよう構成しても良いが、ここでは、論理層1001において、論理値が全て"0"のパケットを連続的に生成し、シリアライザ1002に出力するものとする。なお、論理層1001におけるパケットの生成を抑制するこ

10

20

30

40

50

とによりデータ信号線 102 が初期値の "0" のままとなるよう構成しても良い。

【0044】

ステップ S303 では、シリアル通信スレーブ装置 200 は、接続手続き開始の処理 (S301) の後、データ信号線 102 の論理値の検出を開始する。ここでは、論理層 2001 は、受信データの検出指示を検出部 2004 に送信し、検出部 2004 は、データ信号線 102 のサンプリングにより得られた 1 パケット長 (ここでは 32 ビット) の論理値を解析する。

【0045】

検出部 2004 にて論理値が全て "0" であることを検出すると、接続手続き完了と判定し、論理層 2001 にその旨を通知する (第 2 状態判定手段)。また、データ信号線 202 の論理値を "1" から "0" に変化させる (第 2 解除手段)。

10

【0046】

ステップ S304 では、シリアル通信マスタ装置 100 は、データ信号線 102 の論理値を初期値 "1" から "0" に変化させた (S302) 後、データ信号線 202 の論理値の検出を開始する。ここでは、論理層 1001 は、受信データの検出指示を検出部 1004 に送信し、検出部 1004 は、データ信号線 202 のサンプリングにより得られた 1 パケット長 (ここでは 32 ビット) の論理値を解析する。

【0047】

検出部 1004 にて論理値が全て "0" であることを検出すると、接続手続き完了と判定し、論理層 2001 にその旨を通知する (第 1 状態判定手段)。また、データ信号線 102 の論理値を "1" から "0" に変化させる (第 1 解除手段)。

20

【0048】

なお、シリアル通信マスタ装置 100 は、ステップ S300 の処理を完了後、データ信号線 202 の論理値が "1" に変化したことを所定時間内に確認できない場合は、対向の装置が接続されていないとして判定する。

【0049】

<リセット再発生時での動作シーケンス>

図 9 および図 10 は、シリアル通信スレーブ装置 200 にリセットが再発生した場合の初期化シーケンス図である。図 11 および図 12 は、シリアル通信マスタ装置 100 にリセットが再発生した場合の初期化シーケンス図である。なお、電源遮断・投入処理はリセット処理と同様に考慮できる。なお、各ステップでの動作は図 8 を参照して説明した各ステップと同様である。

30

【0050】

各図から理解されるように、シリアル通信マスタ装置 100 及びシリアル通信スレーブ装置 200 において、初期化中にリセットが発生しても、単に、初期化シーケンスを再実施するだけで良いことが分かる。すなわち、リセット再発生は、データ信号線 102 またはデータ信号線 202 の論理値を "0" とする動作であるため、初期化シーケンスの各ステップにおける処理内容を変更する必要が無く再実施できる。よって、上述した初期化シーケンスは、接続確認において、互いの装置状態の影響を受けにくいという特徴を持つ。

【0051】

以上説明したように、第 1 実施形態によれば、シリアル通信マスタ装置 100 とシリアル通信スレーブ装置 200 との間で仮想的なフルハンドシェイク接続を実現出来る。また、高速シリアル通信 (つまり高いクロック) であるものの、データ信号線上の論理値の変化はクロック信号の周期より長い時間スケールである。そのため、位相ずれや接続開始のタイミングに影響を受けることなく接続確認を行うことが可能となる。

40

【0052】

なお、上述の第 1 実施形態では、集積回路間におけるシリアル通信について説明したが、本発明は同一集積回路内におけるシリアル通信においても適用できる。また、本発明はシリコン基板を貫通する多数の貫通電極 TSV (Through Silicon Via) によって上下に隣接する集積回路間におけるシリアル通信においても適用できる。

50

【 0 0 5 3 】

(第2実施形態)

第2実施形態では、データ信号線202において同一の論理値が所定回数連続していることを、論理層1001で判定する形態について説明する。第1実施形態で述べたように、論理値"0"の連続においてはスタートビット(論理値"1")が設定できず、デシリアライザ1003でパケット抽出することができない。そこで、第2実施形態では、データ信号線202とデシリアライザ1003との間に極性切替部1005を設け、擬似的なスタートビットを生成している。

【 0 0 5 4 】

<装置構成>

図13は、シリアル通信マスタ装置100の内部構成を例示的に示す図である。シリアル通信マスタ装置100は、論理層1001、シリアライザ1002、デシリアライザ1003、極性切替部1005を含む。なお、第1実施形態と同様、シリアル通信マスタ装置100は、送信及び受信の両方を行う。

【 0 0 5 5 】

論理層1001は、第1バス13、シリアライザ1002、デシリアライザ1003に接続される。そして、論理層1001は、パケットのシリアライザ1002への送信及びシリアライザ1002へのシリアライズ開始指示を行う。さらに、論理層1001は、デシリアライザ1003から取得したパケットの解析を行い、第1バス13に受信データを送出するよう構成されている。ここで、論理層1001は、デシリアライザ1003から取得したパケットが同一の論理値により構成されているか否かを判定する。

【 0 0 5 6 】

シリアライザ1002は、論理層1001、データ信号線102に接続され、論理層1001から取得したパラレル信号をシリアル信号に変換してデータ信号線102へ出力する。なお、ここでは、シリアライザ1002は、論理層1001からのクロックに同期してシリアライズ処理を行うよう構成されている。

【 0 0 5 7 】

デシリアライザ1003は、データ信号線202からシリアル信号のデータの入力を受け付ける。そして、デシリアライザ1003は、スタートビットを検出すると、入力されたシリアル信号をMビット(Mは2以上の整数)のパラレル信号に変換し論理層1001へ出力する。

【 0 0 5 8 】

極性切替部1005は、データ信号線202から受信した信号を極性の切替えを制御する。具体的には、論理層1001からの極性制御信号1006に基づき、受信した信号をそのままデシリアライザ1003に出力するか、受信した信号の極性を反転してデシリアライザ1003に出力するかを切り替える。

【 0 0 5 9 】

図14は、シリアル通信スレーブ装置200の内部構成を例示的に示す図である。シリアル通信スレーブ装置200は、論理層2001、シリアライザ2002、デシリアライザ2003、極性切替部2005を含む。なお、上述したように、シリアル通信スレーブ装置200も、送信及び受信の両方を行う。なお、シリアル通信スレーブ装置200内の各部の動作は、シリアル通信マスタ装置100の対応する各部の動作と同様であるため説明は省略する。例えば、デシリアライザ2003は、スタートビットを検出すると、入力されたシリアル信号をNビット(Nは2以上の整数)のパラレル信号に変換し論理層2001へ出力する。

【 0 0 6 0 】

<装置の動作>

第2実施形態における、シリアル通信マスタ装置100とシリアル通信スレーブ装置200との間での初期化動作は第1実施形態とほぼ同様であるが、以下の点で異なる。

【 0 0 6 1 】

・ステップS301において、論理層2001は、データ信号線202の論理値を初期値"0"から"1"に変化させると共に、極性制御信号2006を極性切替部2005に送信し、データ信号線102からの信号の極性を反転するよう制御する。この反転制御により、論理層2001は、データ信号線102での論理値"0"及び"1"を、それぞれ、論理値"1"及び"0"として認識することになる。

【0062】

・ステップS302において、論理層1001は、データ信号線102の論理値を初期値"1"から"0"に変化させると共に、極性制御信号1006を極性切替部1005に送信し、データ信号線202からの信号の極性を反転するよう制御する。この反転制御により、論理層1001は、データ信号線202での論理値"0"及び"1"を、それぞれ、論理値"1"及び"0"として認識することになる。

10

【0063】

・ステップS303においては、論理層2001は、論理値が全て"1"である(つまり、データ信号線102では全て"0")ことを検出すると、接続手続き完了と判定する。また、論理層2001は、データ信号線202の論理値を"1"から"0"に変化させると共に、極性制御信号2006を極性切替部2005に送信し、データ信号線102からの信号の極性反転を解除するよう制御する。その後、シリアル通信スレーブ装置200は通信可能状態に移行する。

【0064】

・ステップS304においては、論理層1001は、論理値が全て"1"である(つまり、データ信号線202では全て"0")ことを検出すると、接続手続き完了と判定する。また、論理層1001は、データ信号線102の論理値を"1"から"0"に変化させると共に、極性制御信号1006を極性切替部1005に送信し、データ信号線202からの信号の極性反転を解除するよう制御する。その後、シリアル通信マスタ装置100は通信可能状態に移行する。

20

【0065】

すなわち、データ信号線からの信号の極性を反転することにより、データ信号線における"1"から"0"の変化は、デシリアライザにおいては"0"から"1"の変化として検出されることになる。つまり、デシリアライザは、先頭の論理値"1"を擬似的なスタートビットとしてシリアルデータを抽出することが可能となる。

30

【0066】

以上説明したように、第2実施形態によれば、シリアル通信マスタ装置100とシリアル通信スレーブ装置200との間で仮想的なフルハンドシェイク接続を実現出来る。また、デシリアライザによりパラレルデータに変換された後、論理値の判定を行うことが出来るため、第1実施形態に比較して更に低クロックでの判定が可能になる。なお、上述の説明においては信号レベルがハイをアクティブ(正論理)としているが、信号レベルを変化させる点の本発明の肝であり、マスタとスレーブで対応が取れていればローをアクティブ(負論理)とする形態にも適用することができる。

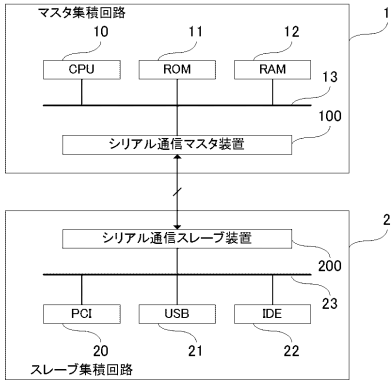
【0067】

(その他の実施例)

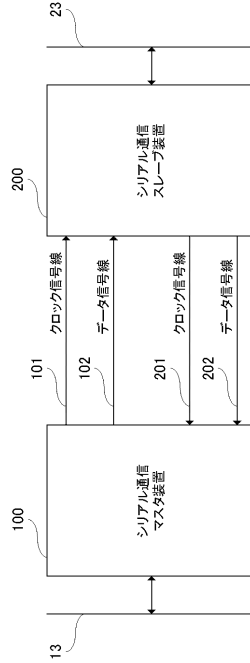
40

また、本発明は、以下の処理を実行することによっても実現される。即ち、上述した実施形態の機能を実現するソフトウェア(プログラム)を、ネットワーク又は各種記憶媒体を介してシステム或いは装置に供給し、そのシステム或いは装置のコンピュータ(またはCPUやMPU等)がプログラムを読み出して実行する処理である。

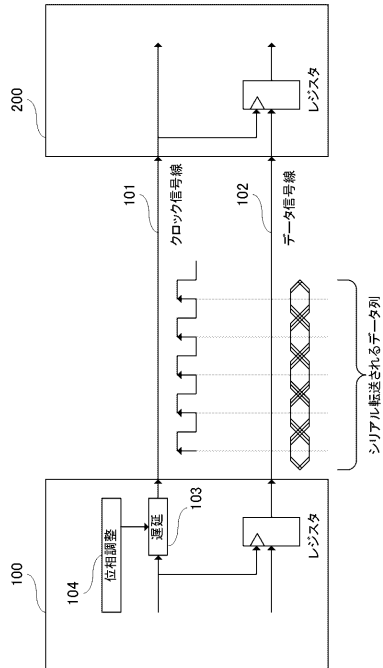
【図1】



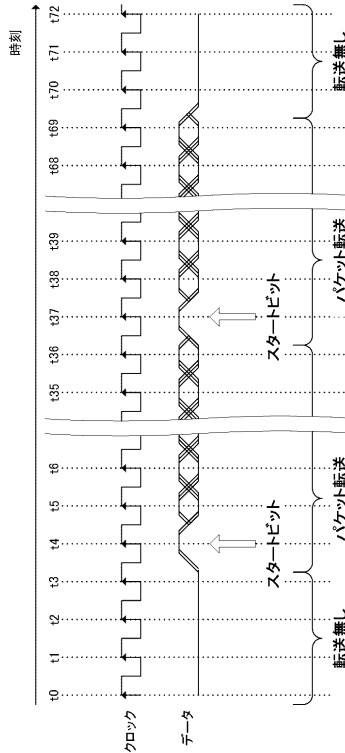
【図2】



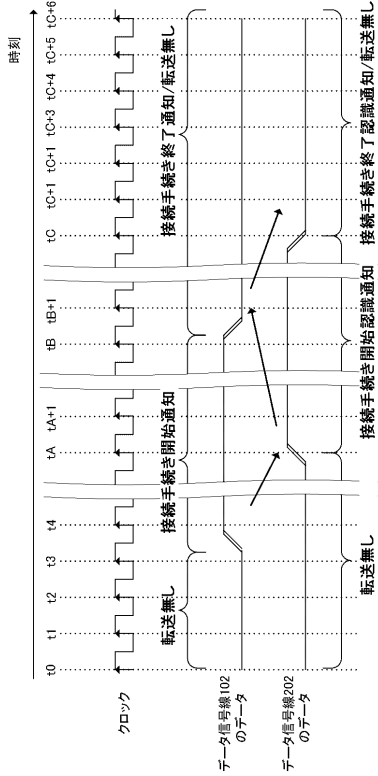
【図3】



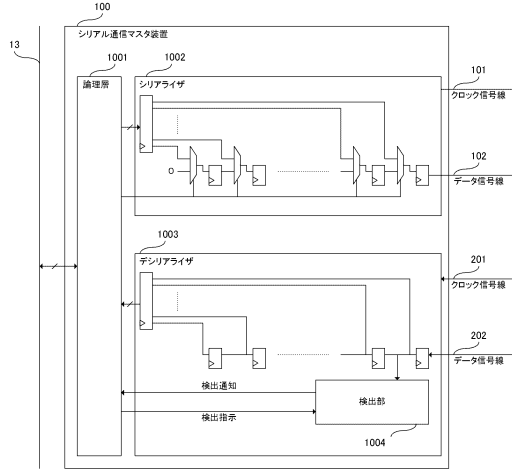
【図4】



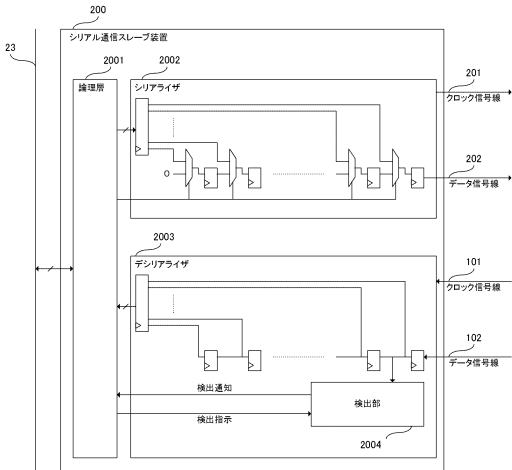
【図5】



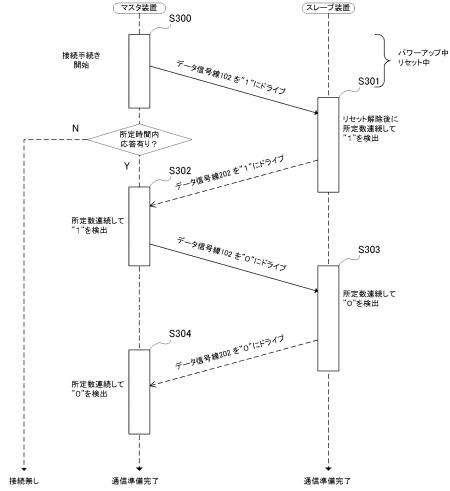
【図6】



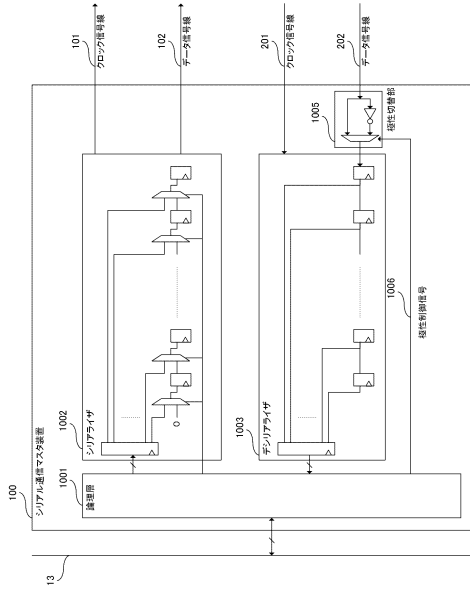
【図7】



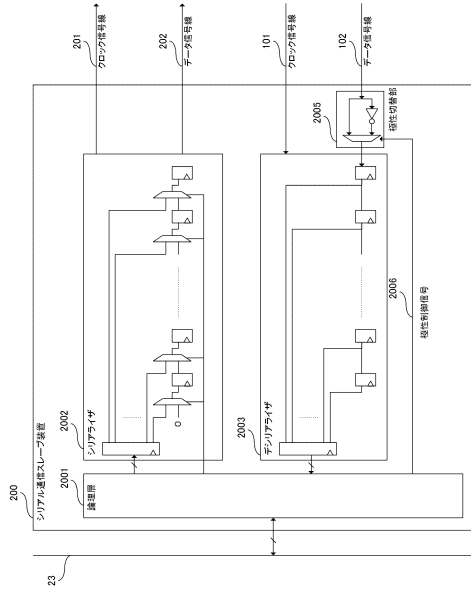
【図8】



【 図 13 】



【 図 14 】



フロントページの続き

- (72)発明者 平岡 豪
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 浅井 弘樹
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 白井 亮

- (56)参考文献 特開平03-276942(JP,A)
特開昭50-134507(JP,A)
特開2003-157230(JP,A)
特開2008-176743(JP,A)
特開2011-055112(JP,A)
米国特許第06247082(US,B1)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| H04L | 7/04 |
| H04L | 25/40 |
| H04L | 29/08 |