(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년01월29일
(11) 등록번호 10-0939447
(24) 등록일자 2010년01월22일

(51) Int. Cl.
H03F 3/217 (2006.01)
(21) 출원번호 10-2004-7002929
(22) 출원일자 2002년08월13일
심사청구일자 2007년08월13일
(85) 번역문제출일자 2004년02월27일
(65) 공개번호 10-2004-0039310
(43) 공개일자 2004년05월10일
(86) 국제출원번호 PCT/US2002/025905
(87) 국제공개번호 WO 2003/021770
국제공개일자 2003년03월13일
(30) 우선권주장
09/943,177 2001년08월30일 미국(US)
(56) 선행기술조사문헌
US0539800 A*
US6100729 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리암 캐논 드라이브 웨스트 6501
(72) 발명자
마이다팔랩
미국,일리노이즈60173,샴버그,케세이코트#6929
록크너윌리암
미국,일리노이즈60110,카퓐터스빌,오크놀레인3005
(74) 대리인
장훈

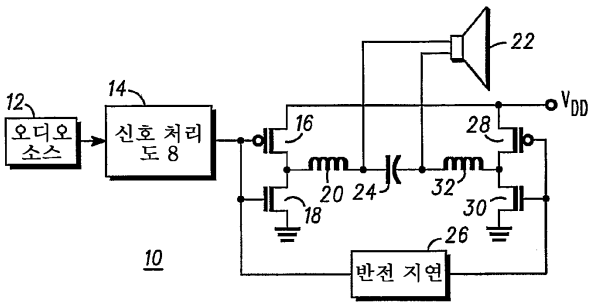
전체 청구항 수 : 총 5 항 심사관 : 정병홍

(54) 차동 출력 스위칭 증폭기에서 스펙트럼 널을 생성하기위한 회로 및 그 방법

(57) 요 약

변조된 신호가 풀 브리지 스위칭 증폭기(16, 18, 28, 30)에 연결되고 미리결정된 주파수 및 이의 홀수 고조파들을 제거하도록 보상된다. 보상은 풀 브리지의 제1 하프 브리지에 연결되는, 미리정해진 스위치 주파수를 갖는 신호를 반전시키고 지연시키며(26), 지연되고 반전된 신호를 풀 브리지의 제2 하프 브리지에 인가한다. 지연량은 적어도 하나의 스펙트럼 지연을 생성하기 위해 미리정해진 스위치 주파수에 관련된다. 홀수개의 반 사이클들만큼 지연시킴으로써, 같은 신호가 풀 브리지 출력의 양측에 존재하게 되므로 캐리어 및 이의 홀수 고조파들이 상쇄된다. 이들 두개의 동일한 신호들이 풀 브리지 액션에 의해 감하여졌을 때, 캐리어 및 홀수 고조파들이 억압된다. 스펙트럼 널들이 각종의 신호 응용들과 여러 가지 유형들의 변조 기술들에 제공된다.

대 표 도 - 도1



특허청구의 범위

청구항 1

차동 출력 스위칭 증폭기(16, 18, 20, 24, 28, 30, 32)에서 적어도 하나의 스펙트럼 널(spectral null)(F_{NULL})을 생성하기 위한 회로(10)에 있어서,

입력 신호를 수신하는 입력;

상기 입력에 결합되어, 상기 입력 신호를 변조하고 상기 입력 신호로부터 제1 스위칭 신호를 발생시키기 위한 변조 변환 회로(54)로서, 상기 제 1 스위칭 신호는 주기적이고 스위칭 주파수를 결정하는 사이클 시간을 갖는, 상기 변조 변환 회로(54);

상기 제 1 스위칭 신호에 결합된, 게이트들을 갖는 2개의 직렬 접속된 트랜지스터들을 포함하는 제 1 하프 브리지 스위칭 증폭기(first half bridge switching amplifier)(16, 18);

상기 변조 변환 회로에 결합되어, 상기 제1 스위칭 신호로부터 제2 스위칭 신호를 발생시키기 위한 반전 지연 회로(26)로서, 상기 제2 스위칭 신호는 상기 제1 스위칭 신호에 비하여 반전되어 지연량만큼 지연되며, 상기 지연량은 상기 적어도 하나의 스펙트럼 널을 제공하기 위해 상기 사이클 시간의 미리결정된 배수임으로써 상기 스위칭 주파수에 관련되는, 상기 반전 지연 회로(26); 및

상기 제 2 스위칭 신호를 수신하기 위해 상기 반전 지연 회로(26)에 결합된, 게이트들을 갖는 다른 2개의 직렬 접속된 트랜지스터들을 포함하는 제 2 하프 브리지 스위칭 증폭기(28, 30)를 포함하는, 스펙트럼 널 생성 회로.

청구항 2

제1항에 있어서,

상기 제 1 하프 브리지 스위칭 증폭기(16, 18) 및 상기 제 2 하프 브리지 스위칭 증폭기(28, 30)의 출력을 필터링하기 위해 상기 제 1 하프 브리지 스위칭 증폭기 및 상기 제 2 하프 브리지 스위칭 증폭기 모두에 결합된 저역 통과 필터(20, 32, 24)를 더 포함하는, 스펙트럼 널 생성 회로.

청구항 3

제1항에 있어서,

상기 입력 신호를 수신하여 필터링하도록 결합되고 또한 상기 필터링된 입력 신호를 상기 변조 변환 회로(54)에 제공하도록 결합된 보상 필터 회로(52)를 더 포함하고, 상기 제1 스위칭 신호는 상기 필터링된 입력 신호로부터 발생되는, 스펙트럼 널 생성 회로.

청구항 4

차동 출력 스위칭 증폭기에서 적어도 하나의 스펙트럼 널을 생성하기 위한 방법에 있어서,

입력 신호를 수신하는 단계;

2개의 직렬 접속된 트랜지스터들의 게이트들에 접속된 상기 차동 출력 스위칭 증폭기(16, 18)의 제1 입력에 대해 상기 입력 신호로부터 제1 스위칭 신호를 발생시키는 단계로서, 상기 제 1 스위칭 신호는 주기적이고 미리결정된 스위칭 주파수를 결정하는 사이클 시간을 갖는, 상기 제1 스위칭 신호 발생 단계;

다른 2개의 직렬 접속된 트랜지스터들의 게이트들에 접속된 상기 차동 출력 스위칭 증폭기(28, 30)의 제2 입력에 대해 상기 제1 스위칭 신호로부터 제2 스위칭 신호를 발생시키는 단계로서, 상기 제2 스위칭 신호는 상기 제1 스위칭 신호에 비하여 반전되어 지연량만큼 지연되며, 상기 지연량은 상기 적어도 하나의 스펙트럼 널을 제공하기 위해 상기 사이클 시간의 미리결정된 배수임으로써 상기 미리결정된 스위칭 주파수에 관련되는, 상기 제2 스위칭 신호 발생 단계;

상기 2개의 직렬 접속된 트랜지스터들 및 상기 다른 2개의 직렬 접속된 트랜지스터들을 포함하는 풀 브리지 전력 단(full bridge power stage)을 사용하여 상기 제 1 스위칭 신호 및 상기 제 2 스위칭 신호를 증폭시키는 단계; 및

부하를 구동시키기 위해 상기 풀 브리지 전력 단의 출력을 저역 통과 필터링하는 단계를 포함하는, 스펙트럼 널 생성 방법.

청구항 5

제4항에 있어서,

상기 제1 스위칭 신호는 대응하는 사이클 시간을 가지며, 상기 지연량은 상기 사이클 시간의 반의 배수인, 스펙트럼 널 생성 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 일반적으로 집적회로들에 관한 것으로, 특히 오디오 신호들을 처리하기 위한 스위칭 증폭기들에 관한 것이다.

배 경 기 술

[0002] 오디오 스위칭 전력 증폭기들은 공지되어 있고 널리 사용되고 있다. 이러한 증폭기들은 펄스 변조된 디지털 신호와 같은, 변조된 오디오 신호를 수신한다. 대부분의 고 효율 디지털 오디오 스위칭 전력 증폭기들은 펄스폭 변조(PWM)에 기초한다. PWM은 이를테면 디지털 오디오 증폭기들 및 모터 제어기들을 포함하는 제어 응용들 등, 다양한 응용들에서 널리 사용된다. 이들 응용들 대다수는 고 효율 및 고 정확성을 얻기 위해서, 샘플링된 디지털 신호를 디지털 펄스폭 변조 신호로 변환한다. PWM 신호는 디지털 PWM 입력 신호를 현저히 높은 전압 레벨들을 갖는 디지털 PWM 신호로 전환시키는 레벨 시프트 기능을 수행하는 스위칭 증폭기에 제공된다. 전력 증폭을 달성하기 위해서, 고전압 전원이 사용된다.

[0003] 스위칭 증폭기들의 급(class)은 AD급으로서 알려져 있다. AD급은 단지 두 개의 이산 레벨들만이, 예를 들면 1 및 -1이 사용되는 변조 형태이다. AD급 변조 증폭기에서는 + 전원 전압 혹은 -전원 전압이 부하에 인가된다.

발명의 상세한 설명

[0004] 스위칭 증폭기들에서 잡음원은 증폭시 출력 신호가 스위칭을 하게 되는 주파수와 관계가 있다. 잡음 성분은 스위칭 주파수에 그리고 이 주파수의 고조파들에 존재한다. 스위칭 주파수 및 이의 고조파들의 주파수 스펙트럼 내 잡음은 통상 통과 대역 외에 있다고 해도, 그럼에도 이러한 잡음은 순환하는 전류들에 기인하여 대기 전력 손실(standby power loss)을 야기하여 효율을 감소시킨다. 이들 바람직하지 못한 주파수 성분들을 제거하기 위해서, 대개는 스위칭 혹은 캐리어 주파수를 제거하는 필터가 필요하다. 통상의 시스템들에 있어서는 스위칭 주파수를 충분히 억제하기 위해 4극 L-C 필터가 필요하다. 이 필터의 크기 및 필요한 유도성 요소들 때문에, 필터는 집적화에 적합하지 않는 시스템의 한 부품이 된다. 또한, 이러한 필터는 고가이어서, 통상 저가의 고음량(high volume) 응용들에선 이러한 스위칭 증폭기들을 사용하지 않는다.

[0005] 본 발명을 예를 들어 예시하지만 본 발명은 유사한 구성요소에 동일 참조부호를 사용한 첨부한 도면들로 한정되지 않는다.

실 시 예

[0014] 당업자들은 도면들에 구성요소들이 간단하게 하고 명료하게 하기 위해 예시된 것으로 반드시 크기에 맞게 도시된 것이 아니라는 것을 이해할 것이다. 예를 들면, 도면들에서 일부 구성요소들의 크기들은 본 발명의 실시예들의 이해를 나아지게 하는데 도움이 되도록 다른 구성요소들에 비해 과장되어 있을 수도 있다.

[0015] 도 1은 본 발명에 따라 스펙트럼 널(spectral null)을 갖춘 스위칭 증폭기(10)를 도시한 것이다. 예시 목적상, 오디오 신호를 사용하는 예를 보이도록 하겠다. 본 발명은 오디오 신호들 이외에, 스펙트럼 널을 만들어내는 것이 바람직한 어떤 유형의 신호에도 적용될 수 있음을 알아야 할 것이다. 오디오 소스(12)는 신호를 신호 처리부(14)의 입력에 제공한다. 오디오 소스(12)는 오디오 신호를 제공하는데 사용될 임의의 유형의 소스일 수 있다. 예를 들면, 오디오 소스(12)는 콤팩트 디스크(CD) 플레이어 소스, 수신된 라디오 신호, 수신된 텔레비전 오디오 신호, 인터넷 오디오 신호, 혹은 이외 다른 임의의 유형의 오디오 신호일 수 있다. 오디오 소스(12)는

디지털 혹은 아날로그일 수 있다. 신호 처리부(14)의 출력은 P-채널 트랜지스터(16) 및 N-채널 트랜지스터(18) 형태의 제1 하프 브리지 스위칭 증폭기에 접속된다. 예시된 형태에서, P-채널 트랜지스터(16)의 소스는 V_{DD}로 표시된 정(positive) 전원 단자에 접속되어 있다. 트랜지스터(16)의 게이트는 N-채널 트랜지스터(18)의 게이트 및 신호 처리부(14)의 출력에 접속되어 있다. 트랜지스터(16)의 드레인은 N-채널 트랜지스터(18)의 드레인에 접속되어 있다. N-채널 트랜지스터(18)의 소스는 접지 기준 단자 혹은 전압 기준 단자에 접속되어 있다. 트랜지스터들(16, 18)의 드레인들은 인덕턴스(20)의 제1 단자에 접속되어 있다. 인덕턴스(20)의 제2 단자는 스피커(22)의 제1 단자 및 캐패시터(24)의 제1 전극에 접속되어 있다. 스피커(22)의 제2 단자는 캐패시터(24)의 제2 전극에 접속되어 있다. 신호 처리부(14)의 출력은 반전 지연부(26)의 입력에 또한 접속되어 있다. 반전 지연부(26)의 출력은 P-채널 트랜지스터(28) 및 N-채널 트랜지스터(30)로 형성된 제2 하프 브리지 스위칭 증폭기에 접속되어 있다. 반전 지연부(26)의 출력은 트랜지스터들(28, 30) 각각의 게이트에 접속되어 있다. 트랜지스터(28)의 소스 전극은 VDD로 표시된 전원 단자에 접속되어 있다. 트랜지스터(28)의 드레인은 트랜지스터(30)의 드레인 및 인덕턴스(32)의 제1 단자에 접속되어 있다. 트랜지스터(30)의 소스는 접지 기준 단자 혹은 전압 기준 단자에 접속되어 있다. 인덕턴스(32)의 제2 단자는 스피커(22)의 제2 단자 및 캐패시터(24)의 제2 전극에 접속되어 있다. 스위칭 증폭기(10)의 여러 요소들은 설계 선택에 따라 단일의 집적회로에 포함될 수 있음을 알 것이다. 예를 들면, 트랜지스터들(16, 18, 28, 30)로 형성된 풀 브리지 증폭기는 특정 응용의 전력 구동 요구조건에 따라 신호 처리부(14) 및 반전 지연부(26)와 더불어 집적회로에 포함될 수도 있다. 매우 높은 와트량의 출력들에 있어선, 트랜지스터들(16, 18, 28, 30)을 대량의 출력 전력을 제공할 수 있는 이산 전력 디바이스들로서 구현하는 것이 바람직할 수 있다. 트랜지스터들(16, 18, 28, 30)로 형성된 풀 브리지 증폭기는 도시된 디바이스들 이외의 다른 회로 및 다른 회로 기술들로 구현될 수도 있음을 알 것이다. 선택되는 풀 브리지 증폭기의 유형은 사용될 전압 범위들 및 제품 응용의 유형에 따른다.

[0016] 동작에서, 오디오 소스(12)는 오디오 신호를 신호 처리부(14)에 제공한다. 도 8에 관련하여 신호 처리부(14)를 보다 상세히 설명한다. 오디오 소스(12)에 의해 제공되는 오디오 신호는 이를테면 PDM(pulse density modulation), PWM(pulse width modulation) 혹은 PCM(pulse code modulation)과 같은 몇몇의 변조 기술에 따라 변조된 형태로 되어 있을 것이다. 변조의 유형을 신호 유형이라 할 수도 있다. 신호 처리부(14)는 오디오 신호를 취하여 오디오 신호를 디지털 펄스폭 변조 신호로 변환하는 변조 변환을 수행하도록 기능한다. 오디오 신호가 PWM 신호로서 신호 처리부(14)에 제공되는 경우엔, 어떠한 변조 변환 기술도 필요하지 않다. 또한, 신호 처리부(14)는 오디오 신호의 샘플링율을 수정할 수도 있고 도 8에 관련하여 후술하는 바와 같은 필터링을 수행한다. 입력 샘플율은 통상 낮으므로 신호는 바람직한 샘플링 주파수로 높이도록 샘플율을 높여 업 샘플링된다. 입력 샘플율이 높은 응용에 경우엔, 신호는 바람직한 샘플링 주파수로 낮추도록 샘플율을 낮추어 다운 샘플링된다. 통상 바람직한 샘플링 주파수는 양측(two-sided) PWM에 대해선 스위칭 주파수의 2배이다. 양측 PWM은 PWM 신호의 상승 에지 및 하강 에지 모두가 변조되는 것을 특징으로 한다. 통상 바람직한 샘플링 주파수는 일측 PWM에 대해선 스위칭 주파수와 동일하다.

[0017] 신호 처리부(14)는 스위칭 신호로서 기능하는, 대응하는 사이클 시간 Ts를 갖는 미리결정된 클럭율로 단일의 PWM 신호를 제공한다. PWM 스위칭 신호는 트랜지스터들(16, 18)로 형성된 하프 브리지에 직접 연결된다. 이에 따라 제1 스위칭 신호는 트랜지스터들(16, 18)의 게이트 전극들로 형성된 제1 입력에 연결된다. 결과는 논리 1 혹은 논리 0 값이 인덕턴스(20)에 결합되는 것이다. 신호 내용은 V_{DD} 혹은 접지 값이 인덕턴스(20)에 결합되는 시간량의 함수이다. 이와 동시에, 트랜지스터들(28, 30)로 형성된 하프 브리지는 신호 처리부(14)에 의해 제공된 제1 스위칭 신호(PWM 출력 신호)를 지연하고 반전시킨 제2 스위칭 신호를 수신한다. 반전 지연부(26)는 제1 스위칭 신호에 비해 반전되고 지연량만큼 지연된 제2 스위칭 신호를 발생한다. 제2 스위칭 신호는 트랜지스터들(28, 30)의 게이트 전극들로 형성된 제2 입력에 접속된다. 일 형태에서, 지연량은 적어도 대략 스위칭 주파수의 한 사이클의 1/4이다. 또 다른 형태에서, 지연량은 대략 사이클 시간의 반의 배수이다. 그러므로, 제2 스위칭 신호의 각각의 펄스는 제1 스위칭 신호의 대응하는 펄스와 동일한 펄스폭을 갖는다. 제2 하프 브리지는 제1 하프 브리지의 PWM 신호를 지연하고 반전한 버전을 사용하기 때문에, 신호 처리부(14)는 제2 하프 브리지를 위한 어떠한 추가의 계산도 할 필요가 없다. 통상 이러한 계산은 풀 브리지 응용을 위해 두 개의 스위칭 신호들에 업 샘플링 및 PWM 듀티 비로의 변환을 포함한다. 계산 비용은 스위칭 증폭기 시스템의 비용의 상당 부분이 되기 때문에 이러한 계산이 없으면 본 해결책을 저가의 고음량 오디오 제품들에 사용할 수 있게 하는데 도움이 된다.

[0018] 또 다른 형태에서, 제2 스위칭 신호는 스위칭 주파수의 홀수 개의 반 사이클들만큼 지연된다. 여기서 사용되는 "스위칭 주파수"라는 용어는 "캐리어 주파수" 혹은 "캐리어"와 동일한 것임을 알아야 할 것이다. 두 개의

디지털 PWM 신호들은 트랜지스터들(16, 18, 28, 30)로 형성된 풀 브리지 전력 단(stage)에 입력된다. 풀 브리지 전력 단은 PWM 신호를 증폭시킨다. PWM 전력 신호들은 인덕터들(20, 32) 및 캐패시터(24)로 형성된 저역 통과 필터에 입력된다. 저역 통과 필터는 통상의 수동 LC 네트워크이다. 홀수 개의 반 사이클들만큼 지연시킴으로써, 캐리어 및 이의 홀수(odd) 고조파들은 풀 브리지 출력의 양측에 동일한 신호가 존재하기 때문에 실질적으로 억제된다. 이들 두 개의 동일한 신호들이 풀 브리지 동작에 의해 감하여질 때, 캐리어 및 홀수 고조파들이 상쇄된다. 저역 통과 필터의 출력은 스피커(22)인 부하를 구동시킨다.

[0019] 도 2는 풀 브리지 스위칭 증폭기의 출력에서의 PWM 신호에 대한 주파수 스펙트럼을 그래픽으로 도시한 것이다. 모든 정수(integer)의 고조파들과 캐리어 또는 스위칭 주파수 fs에서 현저한 양의 스위칭 잡음이 존재하는 것에 유의한다. 통과 대역 내 잡음은 잡음 정형화(shaping)에 의해 최소화되었다. 스위칭 주파수 및 이의 고조파들이 통과 대역 내엔 없고 따라서 스피커에선 들려질 수 없을지라도, 이들로 인해서 전력이 손실되고 오디오 시스템 내 다른 회로(도시 생략)를 간섭할 가능성이 있게 된다. 통상 전력 손실은 시스템의 바람직하지 못한 과도한 열로서 나타난다. "통과 대역"이라는 용어를 사용하였지만, "기저대"라는 용어가 본 발명의 어떤 응용들에서는 더 적합할 수 있음을 알 것이다.

[0020] 도 3은 스위칭 증폭기에 있어서의 캐리어 주파수가 억압되지 않은 파형의 진폭과 캐리어 주파수가 억압된 파형의 진폭을 그래픽으로 도시한 것이다. 캐리어 억압이 없을 땐, 좌측 및 우측의 하프 브리지 상의 PWM 신호들은 크기는 동일하고 부호는 서로 반대이다. 풀 브리지에 결과적인 차동 신호는 풀 브리지의 한쪽의 신호의 크기에 대략 2배이다. 캐리어 억압이 있을 땐, 좌측 및 우측의 하프 브리지 상의 PWM 신호들은 또한 크기가 동일하고 부호가 서로 반대이다. 그러나, 브리지의 우측은 홀수 개의 반 사이클들만큼 좌측의 하프 브리지로부터 지연된다. 결과적인 풀 브리지 출력 신호는 캐리어 주파수를 갖지 않는다. N개의 반사이클들(N은 홀수 정수)을 지연시킴으로써, N으로 분주된 캐리어 주파수 및 그것의 모든 홀수 고조파들에서 널들(nulls)이 생성된다.

[0021] 도 4는 반전 지연부(26)에 하나의 반 사이클 지연이 사용된 억압된 캐리어의 주파수 스펙트럼을 도시한 것이다. 결국, 스위칭 주파수의 한 사이클의 역인 스위칭 주파수 f_s에 스펙트럼 널이 존재한다. 또한, 제1 널의 모든 홀수 고조파들에 널들이 존재한다.

[0022] 도 5는 반전 지연부(26)에 3개의 반 사이클 지연이 사용된 억압된 캐리어의 주파수 스펙트럼을 도시한 것이다. 결국, 스위칭 주파수의 3 사이클의 역인 스위칭 주파수의 1/3, $f_s/3$에 스펙트럼 널이 존재한다. 또한, 제1 널의 모든 홀수 고조파들($3f_s/3$, $5f_s/3$, $7f_s/3$, $9f_s/3$, 등)에 널들이 존재한다.

[0023] 본 발명은 다른 스위칭 변조 기술들에 동일하게 적용될 수 있음을 알아야 할 것이다. 예를 들면, 도 6은 PDM 신호의 주파수 스펙트럼을 도시한 것이다. 통과 대역 내 잡음은 낮고 통과 대역 외의 모든 주파수들에서 양자화 잡음이 있는 것에 유의한다.

[0024] 도 7은 스펙트럼 널이 생성된 PDM 신호의 주파수 스펙트럼을 도시한 것이다. 주파수 널이 도 7에서 주파수 f_{null}을 갖는 것으로서 지정되어 있다. 주파수 f_{null}는 반전 지연부(26)의 지연을 변경시킴으로써 조정될 수 있다는 것에 유의한다. 따라서, 여기 교시된 스펙트럼 널 방법은 대부분의 스위칭 변조 기술들에 적용될 수 있음을 알아야 할 것이다.

[0025] 도 8은 도 1의 신호 처리부(14)의 블록도이다. 또다시, 오디오 신호는 단지 예로서 사용된 것이고 한정의 의미로 사용된 것은 아니다. 오디오 신호는 입력 신호로서 제공되고 샘플율 변환기(50)의 입력에 연결된다. 샘플율 변환기(50)의 출력은 보상 필터(52)의 입력에 연결된다. 보상 필터(52)의 출력은 변조 변환부(54)의 입력에 연결된다. 변조 변환부(54)의 출력은 트랜지스터들(16, 18)의 게이트들 및 반전 지연부(26)의 입력에 연결되는 스위칭 신호를 제공한다.

[0026] 동작에서, 샘플율 변환기(50)는 오디오 신호의 샘플링 주파수를 수정하도록 기능한다. 예를 들면, 오디오 신호가 CD 플레이어로부터 수신되었다면, 오디오 신호는 초당 44.1K 샘플들에서 초당 705.6K 샘플들로 업 샘플링될 수 있다. 보상 필터(52)는 스펙트럼 널 삽입에 의해 야기된 신호 저하(droop)의 통과 대역의 주파수 응답을 보상하는데 사용된다. 여기 교시된 방법의 지연 및 반전은 D.C.에서 왜곡은 없으나, 통과 대역에서 높은 오디오 주파수들에서 작은 진폭 저하가 있다. DVD 오디오를 포함하는, 고사양 오디오 시스템들의 경우, 이러한 저하는 용인될 수 없을 수도 있다. 그러므로, 나중에 야기될 통과 대역에서의 저하를 보정하기 위해서 보상 필터(52)가 사용된다. 일 형태에서, 보상 필터(52)는 유한 임펄스 응답(FIR) 필터이다.

[0027] 지금까지는 차동 출력 스위칭 증폭기에서 스펙트럼 주파수 널을 생성하기 위한 회로 및 방법을 제공하였음을 알

것이다. 반전 및 홀수 반 사이클 지연을 통해 두개의 신호들을 형성하도록 하나의 변조 신호를 처리함으로써, 통과 대역 혹은 기저대의 주파수들 외의 홀수 스위칭 고조파들의 널이 구현될 수 있다. 결국, 필터링 요건이 감소되어 시스템 비용이 감소된다. 반전 지연부를 부가하는 것의 추가는 시스템의 전체 회로 관점에서 보면 무시할 수 있고 복잡한 회로를 수반하지 않는다. 서로로부터 지연되는 두 개의 스위칭 신호들은 이를테면 1 내지 2 dB만큼, 다소 대역내 신호 대 잡음 비(SNR)를 향상시키며 대역 외 잡음을 예를 들면 최대 10dB 이상만큼 감소시키는 것에 유의한다.

[0028] 본 발명을 구현하는 장치는 대부분이 이 기술에 숙련된 자들에게 공지된 전자부품들 및 회로들로 구성되기 때문에, 본 발명의 기본 개념들을 이해하고 알기 위해서 그리고 본 발명에 교시된 바가 모호해지거나 이로부터 벗어나지 않도록 하기 위해서, 위에 예시된 바와 같이 필요한 것으로 여겨진 것 이상으로 회로의 상세에 대해 설명하진 않도록 하겠다.

[0029] 전술의 명세서에서, 본 발명이 구체적인 실시예들을 참조하여 기술되었다. 그러나, 이 기술에 통상의 숙련된 자는 이하 청구항들에 개시된 본 발명의 범위 내에서 여러 가지 수정 및 변경들이 행해질 수 있음을 알 것이다. 예를 들면, 반전 지연 회로는 클럭 레지스터, 하나 이상의 반전기단들 혹은 버퍼단들 혹은 홀수개의 반 사이클만큼 반전 및 지연시키는 기능을 구현하는 이외의 회로 등, 임의의 유형의 지연 회로로 구현될 수 있다. 또한, 반전 지연 기능은 소프트웨어로 제어될 수도 있고 각종의 제품 응용에 적응성 있게 사용자가 프로그램 할 수도 있다. 트랜지스터들(16, 18, 28, 30) 형태로 구현되는 스위칭 증폭기 회로는 차동 스위칭 기능을 수행하는 여러 다른 회로 형태들로 구현될 수도 있다. 따라서, 명세서 및 도면들은 한정의 의미가 아니라 예시적인 것으로 간주되어야 하고, 모든 이러한 수정들은 본 발명의 범위 내 포함된다.

[0030] 이익들, 이외의 잇점들, 및 문제들에 대한 해결책을 특정의 실시예들에 관하여 위에 기술하였다. 그러나, 이익들, 잇점들, 문제들에 대한 해결책들, 및 어떤 이익, 잇점 혹은 해결책을 유발시키는 혹은 보다 두드러지게 하는 어떤 요소(들)이든 청구항들 중 어느 하나 혹은 모든 청구항들의 결정적이거나, 필요한 것이거나, 혹은 필수 특징 혹은 요소인 것으로 해석되지는 않는다. 여기서 사용되는 "포함하다", "포함하는" 또는 그것의 변형된 용어는 열거된 요소들을 포함하는 공정, 방법, 물품, 혹은 장치가 이들 요소들만을 포함하는 것이 아니라 명료하게 열거되지 않은 혹은 이러한 공정, 방법, 물품, 혹은 장치에 본연의 것인 다른 요소들도 포함할 수 있게, 비배타적 포함을 포괄하는 것이다.

도면의 간단한 설명

[0006] 도 1은 본 발명에 따른 스위칭 증폭기를 블록도 형태도 도시한 도면.

[0007] 도 2는 스위칭 증폭기의 출력 신호의 주파수 스펙트럼을 그래픽 형태로 도시한 도면.

[0008] 도 3은 스위칭 증폭기의 차동 출력의 좌측, 우측 및 풀 브리지 신호들에 연관된, 캐리어 억압이 없는 파형과 캐리어 억압이 있는 파형을 도시한 도면.

[0009] 도 4는 하나의 반 사이클 지연을 사용한 도 1의 스위칭 증폭기의 출력 신호의 주파수 스펙트럼을 그래픽 형태로 도시한 도면.

[0010] 도 5는 3개의 반 사이클 지연을 사용한 도 1의 스위칭 증폭기의 출력 신호의 주파수 스펙트럼을 그래픽 형태로 도시한 도면.

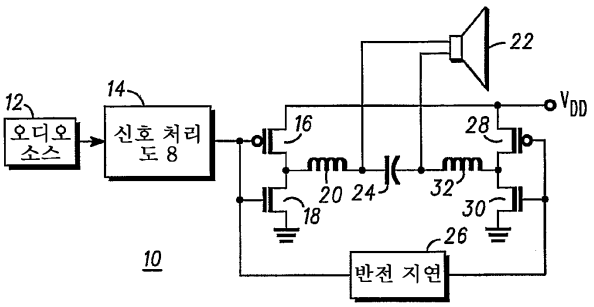
[0011] 도 6은 캐리어 억압이 없이 PDM(pulse density modulation) 신호들을 처리하는 스위칭 증폭기의 주파수 스펙트럼을 그래픽 형태로 도시한 도면.

[0012] 도 7은 캐리어를 억압하여 PDM 신호들을 처리하는 스위칭 증폭기의 주파수 스펙트럼을 그래픽 형태로 도시한 도면.

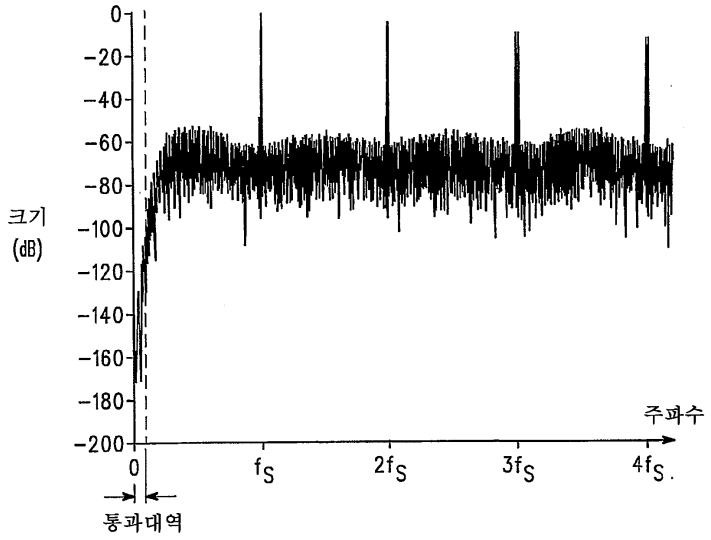
[0013] 도 8은 도 1의 신호 처리부를 블록도 형태로 도시한 도면.

도면

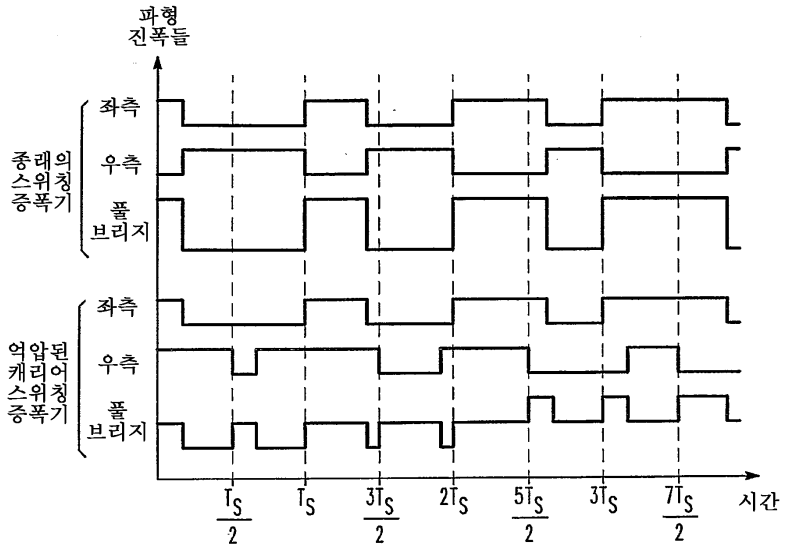
도면1


12
오디오 소스
14
신호 처리 도 8
16
18
20
24
22
28
30
32
26
반전 지연
V_{DD}
10

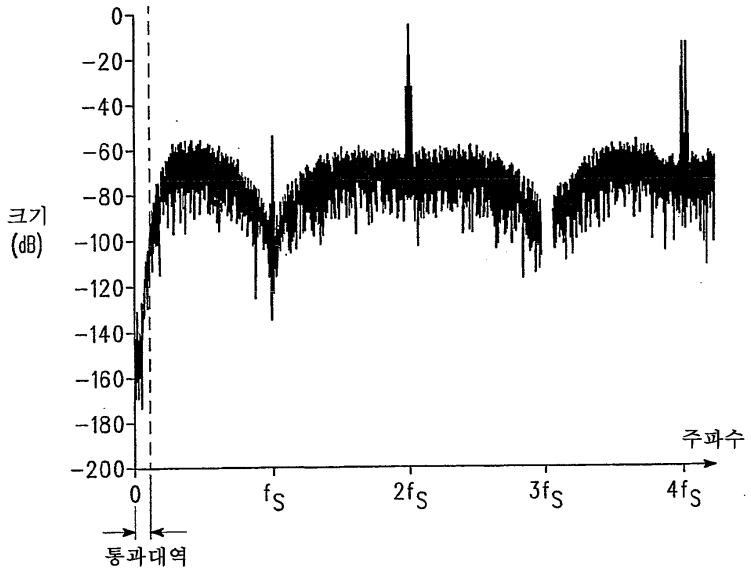
도면2


0
-20
-40
-60
-80
-100
-120
-140
-160
-180
-200
크기 (dB)
주파수
0
f_S
$2f_S$
$3f_S$
$4f_S$
통과대역

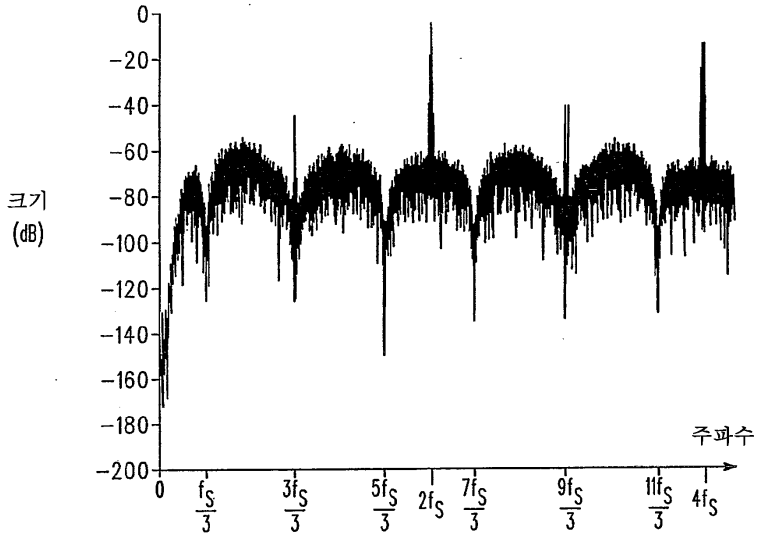
도면3


파형
진폭들
종래의
스위칭
증폭기
좌측
우측
풀
브리지
억압된
캐리어
스위칭
증폭기
좌측
우측
풀
브리지
$\frac{T_S}{2}$
T_S
$\frac{3T_S}{2}$
$2T_S$
$\frac{5T_S}{2}$
$3T_S$
$\frac{7T_S}{2}$
시간

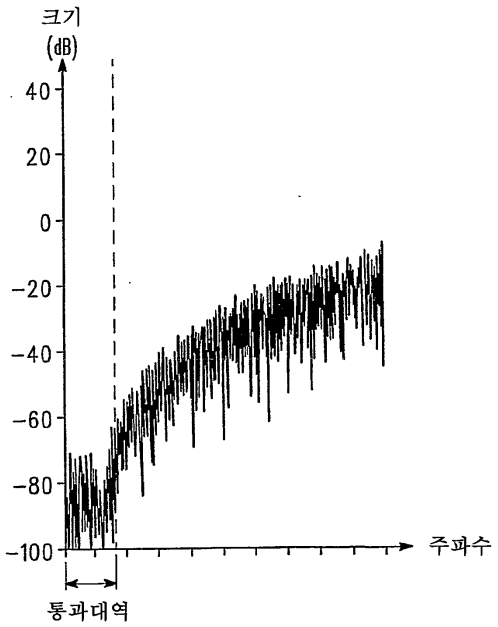
도면4


크기
(dB)
0
-20
-40
-60
-80
-100
-120
-140
-160
-180
-200
0
f_S
$2f_S$
$3f_S$
$4f_S$
주파수
통과대역

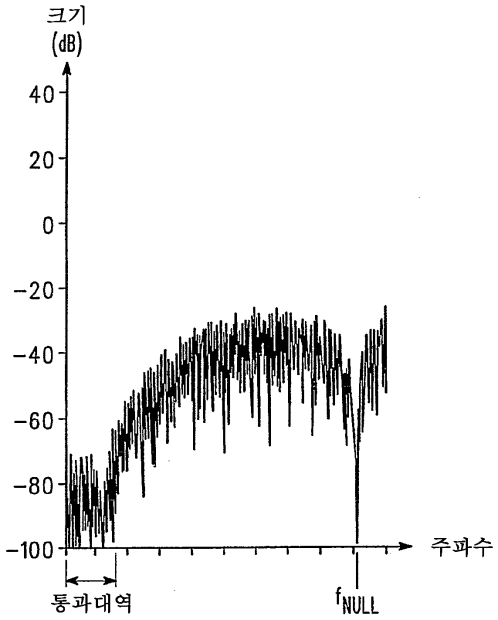
도면5


크기
(dB)
0
-20
-40
-60
-80
-100
-120
-140
-160
-180
-200
주파수
0
fS/3
3fS/3
5fS/3
2fS
7fS/3
9fS/3
11fS/3
4fS

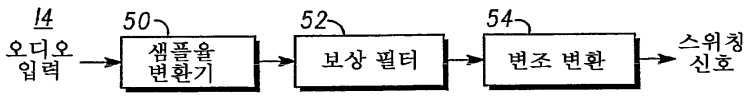
도면6


크기
(dB)
40
20
0
-20
-40
-60
-80
-100
주파수
통과대역

도면7


크기
(dB)
40
20
0
-20
-40
-60
-80
-100
주파수
통과대역
f_{NULL}

도면8


14
오디오
입력
50
샘플율
변환기
52
보상 필터
54
변조 변환
스위칭
신호