

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7623267号
(P7623267)

(45)発行日 令和7年1月28日(2025.1.28)

(24)登録日 令和7年1月20日(2025.1.20)

(51)国際特許分類 F I
H 0 1 L 21/768 (2006.01) H 0 1 L 21/90 B
H 0 1 L 23/522 (2006.01)

請求項の数 10 (全37頁)

(21)出願番号	特願2021-181263(P2021-181263)	(73)特許権者	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22)出願日	令和3年11月5日(2021.11.5)	(74)代理人	110001195 弁理士法人深見特許事務所
(65)公開番号	特開2023-69425(P2023-69425A)	(72)発明者	丸山 隆弘 東京都江東区豊洲三丁目2番24号 ル ネサスエレクトロニクス株式会社内
(43)公開日	令和5年5月18日(2023.5.18)	(72)発明者	萩原 琢也 東京都江東区豊洲三丁目2番24号 ル ネサスエレクトロニクス株式会社内
審査請求日	令和6年3月7日(2024.3.7)	(72)発明者	丸山 卓也 東京都江東区豊洲三丁目2番24号 ル ネサスエレクトロニクス株式会社内
		審査官	正山 旭

最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【特許請求の範囲】

【請求項1】

第1主面及び第2主面を有する半導体基板を準備する工程と、
前記第1主面にリセスを形成し、前記リセスに絶縁膜を埋め込む工程と、
前記絶縁膜上にポリシリコン膜を形成する工程と、
前記絶縁膜及び前記ポリシリコン膜を覆うように前記第1主面上に層間絶縁膜を形成する工程と、
第1コンタクトホール及び第2コンタクトホールを形成する工程とを備え、
前記半導体基板は、前記第1主面に形成されている第1不純物拡散領域と、前記第1不純物拡散領域の前記第2主面側に接している第2不純物拡散領域とを有し、
前記第1コンタクトホールは、前記層間絶縁膜を貫通して前記第1コンタクトホールから前記第2不純物拡散領域が露出するように形成されており、
前記第2コンタクトホールは、前記層間絶縁膜を貫通して前記第2コンタクトホールから前記ポリシリコン膜が露出するように形成されており、
前記第1コンタクトホール及び前記第2コンタクトホールを形成する工程では、第1エッチング、第2エッチング及び第3エッチングが行われ、
前記第2エッチングは、前記第1エッチングの後に行われ、
前記第3エッチングは、前記第2エッチングの後に行われ、
前記第1エッチングが行われた後であって前記第2エッチングが行われる前において、
前記第1コンタクトホールから前記第1主面が露出しているとともに、前記第2コンタク

10

20

トホールの底面に前記層間絶縁膜が残存しており、

前記第2エッチングが行われた後であって前記第3エッチングが行われる前において、前記第1コンタクトホールから前記第2不純物拡散領域が露出しているとともに、前記第2コンタクトホールの底面に前記層間絶縁膜が残存しており、

前記第3エッチングが行われた後において、前記第2コンタクトホールから前記ポリシリコン膜が露出している、半導体装置の製造方法。

【請求項2】

平面視における前記第2コンタクトホールの開口面積は、平面視における前記第1コンタクトホールの開口面積よりも大きく、

前記第1エッチングの条件は、平面視における前記第2コンタクトホールの開口面積が大きくなるにつれて前記第1エッチング中のデポジション量が多くなるように設定されている、請求項1に記載の半導体装置の製造方法。

10

【請求項3】

前記第1エッチングに用いられるエッチングガスは、C/F比が0.50以上のフルオロカーボン系ガスであり、かつアルゴン及び酸素とともに用いられ、

前記第1エッチングが行われている際の前記半導体基板の温度は、20以下である、請求項2に記載の半導体装置の製造方法。

【請求項4】

前記第1コンタクトホール及び前記第2コンタクトホールは、平面視において第1方向に延びており、

20

前記第1方向に直交する第2方向における前記第1コンタクトホールの幅は、前記第2方向における前記第2コンタクトホールの幅よりも大きく、

前記第1エッチングの条件は、前記第2方向における前記第1コンタクトホールの幅及び前記第2方向における前記第2コンタクトホールの幅が前記層間絶縁膜の上面から離れるにつれて小さくなるように設定されている、請求項1に記載の半導体装置の製造方法。

【請求項5】

前記第1エッチングに用いられるエッチングガスは、フルオロカーボン系ガスであり、かつ水素を含有している、請求項4に記載の半導体装置の製造方法。

【請求項6】

前記第1コンタクトホール及び前記第2コンタクトホールは、平面視において第1方向に延びており、

30

前記第1方向に直交する第2方向における前記第1コンタクトホールの幅は、前記第2方向における前記第2コンタクトホールの幅よりも大きく、

前記第1エッチングの条件は、前記第2方向における前記第2コンタクトホールの幅が小さくなるにつれてエッチングレートが小さくなるように設定されている、請求項1に記載の半導体装置の製造方法。

【請求項7】

前記第1エッチングに用いられるエッチングガスは、フルオロカーボン系ガスであり、前記第1エッチングが行われている際のチャンバ内の圧力は、50mTorr以上である、請求項6に記載の半導体装置の製造方法。

40

【請求項8】

レジストを前記層間絶縁膜上に形成する工程と、

前記第1コンタクトホールに対応する位置にある第1開口及び前記第2コンタクトホールに対応する位置にある第2開口を有するように前記レジストをフォトリソグラフィによりパターンニングする工程とをさらに備え、

前記第1エッチングが行われる前において、前記第1開口から前記層間絶縁膜が露出しているとともに、前記第2開口の底面に前記レジストが残存しており、

前記第1エッチングの条件は、前記層間絶縁膜に対するエッチングレートが前記レジストに対するエッチングレートよりも大きくなるように設定されている、請求項1に記載の半導体装置の製造方法。

50

【請求項 9】

前記フォトリソグラフィにおいて、前記レジストは、第 1 透光部及び第 2 透光部を有するレチクルを用いて露光され、

前記第 1 開口及び前記第 2 開口が形成される前記レジストの部分は、それぞれ、前記第 1 透光部を透過した光及び前記第 2 透光部を透過した光により露光され、

前記第 1 透光部の透過率は、前記第 2 透光部の透過率よりも高い、請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記第 1 エッチングに用いられるエッチングガスは、C/F 比が 0.5 以上のフルオロカーボン系ガスであり、かつアルゴン及び酸素とともに用いられる、請求項 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本開示は、半導体装置の製造方法に関する。

【背景技術】**【0002】**

例えば特開 2013 - 140885 号公報（特許文献 1）には、IGBT（Insulated Gate Bipolar Transistor）を有する半導体装置が記載されている。特許文献 1 に記載の半導体装置は、半導体基板と、層間絶縁膜とを有している。

【0003】

半導体基板は、第 1 主面と、第 2 主面とを有している。第 2 主面は、第 1 主面の反対面である。半導体基板は、ソース領域と、チャンネル領域とを有している。ソース領域は、第 1 主面に配置されている。チャンネル領域は、ソース領域の第 2 主面側に接して配置されている。層間絶縁膜は、第 1 主面上に配置されている。層間絶縁膜には、コンタクトホール（以下「第 1 コンタクトホール」とする）が形成されている。第 1 コンタクトホールは、層間絶縁膜を貫通しているとともに、チャンネル領域に達している。

【先行技術文献】**【特許文献】****【0004】**

【文献】特開 2013 - 140885 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

半導体装置は、IGBTに加えて、温度検知用又は電流検知用のダイオードをさらに有していることがある。特許文献 1 に記載の半導体装置がこのようなダイオードをさらに有する場合、第 1 主面上に配置されている絶縁膜及び絶縁膜上に形成されているポリシリコン膜がさらに形成されることになる。また、この場合、層間絶縁膜には、第 1 コンタクトホールとは別のコンタクトホール（以下「第 2 コンタクトホール」とする）がさらに形成されることになる。

【0006】

第 1 コンタクトホール及び第 2 コンタクトホールは、例えば、以下の方法により形成される。第 1 に、第 1 主面上に層間絶縁膜が形成されるとともに、層間絶縁膜の上面がCMP（Chemical Mechanical Polishing）等により平坦化される。第 2 に、層間絶縁膜上に、第 1 レジストが形成される。第 1 レジストは、第 1 コンタクトホールに対応する位置が開口するようにパターンニングされている。第 3 に、層間絶縁膜は、第 1 レジストをマスクとして、第 1 主面が露出するまでエッチングされる。これにより、層間絶縁膜中に第 1 コンタクトホールが形成される。第 4 に、半導体基板の第 1 主面側が、第 1 レジスト及び層間絶縁膜をマスクとして、エッチングされる。このエッチングにより第 1 コンタクトホールが半導体基板中へと延び、第 1 コンタクトホールからチャンネル領域が露出する。

なお、この後、第1レジストは、除去される。

【0007】

第5に、層間絶縁膜上に、第2レジストが形成される。第2レジストは、第2コンタクトホールに対応する位置が開口するようにパターンニングされている。第6に、層間絶縁膜は、第2レジストをマスクとして、ポリシリコン膜が露出するまでエッチングされる。これにより、層間絶縁膜中に第2コンタクトホールが形成される。このように第1コンタクトホール及び第2コンタクトホールを別々に形成するのは、ソース領域上における層間絶縁膜の厚さとポリシリコン膜上における層間絶縁膜の厚さが大きく異なり、第1コンタクトホールをチャネル領域に達するように形成する必要があるため、第1コンタクトホール及び第2コンタクトホールを同時に形成すると、第2コンタクトホールがポリシリコン膜を貫通してしまうおそれがあるからである。

10

【0008】

上記の方法により第1コンタクトホール及び第2コンタクトホールを形成する場合、レジストの形成が2回必要になり、製造コストが増大してしまうことになる。

【0009】

本開示は、第2コンタクトホールがポリシリコン膜を貫通することを抑制しつつ、第1コンタクトホール及び第2コンタクトホールを形成するための製造コストを削減することが可能な半導体装置の製造方法を提供するものである。

【0010】

その他の課題及び新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

20

【課題を解決するための手段】

【0011】

一実施形態に係る半導体装置の製造方法は、第1主面及び第2主面を有する半導体基板を準備する工程と、第1主面にリセスを形成し、リセスに絶縁膜を埋め込む工程と、絶縁膜上にポリシリコン膜を形成する工程と、絶縁膜及びポリシリコン膜を覆うように第1主面上に層間絶縁膜を形成する工程と、第1コンタクトホール及び第2コンタクトホールを形成する工程とを備えている。半導体基板は、第1主面に形成されている第1不純物拡散領域と、第1不純物拡散領域の第2主面側に接している第2不純物拡散領域とを有している。第1コンタクトホールは、層間絶縁膜を貫通して第1コンタクトホールから第2不純物拡散領域が露出するように形成されている。第2コンタクトホールは、層間絶縁膜を貫通して第2コンタクトホールからポリシリコン膜が露出するように形成されている。第1コンタクトホール及び第2コンタクトホールを形成する工程では、第1エッチング、第2エッチング及び第3エッチングが行われる。第2エッチングは、第1エッチングの後に行われる。第3エッチングは、第2エッチングの後に行われる。第1エッチングが行われた後であって第2エッチングが行われる前において、第1コンタクトホールから第1主面が露出しているとともに、第2コンタクトホールの底面に層間絶縁膜が残存している。第2エッチングが行われた後であって第3エッチングが行われる前において、第1コンタクトホールから第2不純物拡散領域が露出しているとともに、第2コンタクトホールの底面に層間絶縁膜が残存している。第3エッチングが行われた後において、第2コンタクトホールからポリシリコン膜が露出している。

30

40

【発明の効果】

【0012】

一実施形態に係る半導体装置の製造方法によると、第2コンタクトホールがポリシリコン膜を貫通することを抑制しつつ、第1コンタクトホール及び第2コンタクトホールを形成するための製造コストを削減することが可能である。

【図面の簡単な説明】

【0013】

【図1】半導体装置DEV1の断面図である。

【図2】半導体装置DEV1の平面図である。

50

- 【図 3】半導体装置 D E V 1 の製造方法を示す工程図である。
- 【図 4】準備工程 S 1 を説明する断面図である。
- 【図 5】第 1 不純物拡散領域形成工程 S 2 を説明する断面図である。
- 【図 6】絶縁膜形成工程 S 3 を説明する断面図である。
- 【図 7】第 1 トレンチ形成工程 S 4 を説明する断面図である。
- 【図 8】ゲート絶縁膜形成工程 S 5 を説明する断面図である。
- 【図 9】第 1 ポリシリコン膜形成工程 S 6 を説明する断面図である。
- 【図 10】第 2 ポリシリコン膜形成工程 S 7 を説明する断面図である。
- 【図 11】第 2 不純物拡散領域形成工程 S 8 を説明する断面図である。
- 【図 12】第 3 不純物拡散領域形成工程 S 9 を説明する断面図である。 10
- 【図 13】層間絶縁膜形成工程 S 10 を説明する断面図である。
- 【図 14 A】レジスト形成工程 S 111 を説明する断面図である。
- 【図 14 B】レジストパターンニング工程 S 112 を説明する第 1 断面図である。
- 【図 14 C】レジストパターンニング工程 S 112 を説明する第 2 断面図である。
- 【図 14 D】第 1 エッチング工程 S 113 を説明する断面図である。
- 【図 14 E】第 2 エッチング工程 S 114 を説明する断面図である。
- 【図 14 F】第 3 エッチング工程 S 115 を説明する断面図である。
- 【図 15】第 4 不純物拡散領域形成工程 S 12 を説明する断面図である。
- 【図 16】コンタクトプラグ形成工程 S 13 を説明する断面図である。
- 【図 17】配線形成工程 S 14 を説明する断面図である。 20
- 【図 18】ポリイミド膜形成工程 S 15 を説明する断面図である。
- 【図 19】第 5 不純物拡散領域形成工程 S 16 を説明する断面図である。
- 【図 20】第 6 不純物拡散領域形成工程 S 17 を説明する断面図である。
- 【図 21】半導体装置 D E V 1 a の断面図である。
- 【図 22】半導体装置 D E V 1 a の平面図である。
- 【図 23】半導体装置 D E V 1 b の断面図である。
- 【図 24】半導体装置 D E V 1 b の平面図である。
- 【図 25】半導体装置 D E V 1 c の断面図である。
- 【図 26】半導体装置 D E V 1 c の平面図である。
- 【図 27 A】半導体装置 D E V 1 c の製造方法のレジストパターンニング工程を説明する第 1 断面図である。 30
- 【図 27 B】半導体装置 D E V 1 c の製造方法のレジストパターンニング工程を説明する第 2 断面図である。
- 【図 28】半導体装置 D E V 2 の断面図である。
- 【図 29】半導体装置 D E V 2 の製造方法を示す工程図である。
- 【図 30】半導体装置 D E V 2 の製造方法の第 2 トレンチ形成工程 S 19 を説明する断面図である。
- 【図 31】半導体装置 D E V 2 の製造方法の第 2 ポリシリコン膜形成工程 S 7 を説明する断面図である。
- 【図 32】半導体装置 D E V 2 の製造方法の第 2 不純物拡散領域形成工程 S 8 を説明する断面図である。 40
- 【図 33】半導体装置 D E V 2 の製造方法の第 3 不純物拡散領域形成工程 S 9 を説明する断面図である。
- 【図 34】半導体装置 D E V 2 の製造方法の層間絶縁膜形成工程 S 10 を説明する断面図である。
- 【図 35 A】半導体装置 D E V 2 の製造方法の第 1 エッチング工程 S 113 を説明する断面図である。
- 【図 35 B】半導体装置 D E V 2 の製造方法の第 2 エッチング工程 S 114 を説明する断面図である。
- 【図 36】半導体装置 D E V 2 a の断面図である。 50

【図 3 7】半導体装置 D E V 2 a の製造方法を示す工程図である。

【図 3 8】半導体装置 D E V 2 a の製造方法の第 2 トレンチ形成工程 S 1 9 を説明する断面図である。

【図 3 9】半導体装置 D E V 2 a の製造方法の第 1 トレンチ形成工程 S 4 を説明する断面図である。

【図 4 0】半導体装置 D E V 2 a の製造方法の第 1 ポリシリコン膜形成工程 S 6 を説明する断面図である。

【図 4 1】半導体装置 D E V 2 b の断面図である。

【図 4 2】半導体装置 D E V 2 b の製造方法を示す工程図である。

【図 4 3】半導体装置 D E V 2 b の製造方法の第 2 トレンチ形成工程 S 1 9 を説明する断面図である。

10

【図 4 4】半導体装置 D E V 2 b の製造方法の第 1 トレンチ形成工程 S 4 を説明する断面図である。

【図 4 5】半導体装置 D E V 2 b の製造方法の第 1 ポリシリコン膜形成工程 S 6 を説明する断面図である。

【図 4 6】半導体装置 D E V 2 b の製造方法の第 2 ポリシリコン膜形成工程 S 7 を説明する断面図である。

【発明を実施するための形態】

【0014】

本開示の実施形態の詳細を、図面を参照しながら説明する。以下の図面では、同一又は相当する部分に同一の参照符号を付し、重複する説明は繰り返さないものとする。

20

【0015】

(第 1 実施形態)

第 1 実施形態に係る半導体装置を説明する。第 1 実施形態に係る半導体装置を、半導体装置 D E V 1 とする。

【0016】

<半導体装置 D E V 1 の構成>

以下に、半導体装置 D E V 1 の構成を説明する。

【0017】

図 1 は、半導体装置 D E V 1 の断面図である。図 1 に示されているように、半導体装置 D E V 1 は、半導体基板 S U B と、ゲート絶縁膜 G I と、ポリシリコン膜 P S F 1、ポリシリコン膜 P S F 2、ポリシリコン膜 P S F 3、ポリシリコン膜 P S F 4 及びポリシリコン膜 P S F 5 と、絶縁膜 I F と、ポリシリコン膜 P S F 6 と、層間絶縁膜 I L D とを有している。半導体装置 D E V 1 は、コンタクトプラグ C P 1、コンタクトプラグ C P 2、コンタクトプラグ C P 3、コンタクトプラグ C P 4 及びコンタクトプラグ C P 5 と、配線 W L 1、配線 W L 2、配線 W L 3 及び配線 W L 4 と、ポリイミド膜 P F と、電極 E L とを有している。

30

【0018】

半導体基板 S U B は、第 1 主面 M S 1 と、第 2 主面 M S 2 とを有している。第 1 主面 M S 1 及び第 2 主面 M S 2 は、半導体基板 S U B の厚さ方向における端面である。第 2 主面 M S 2 は、第 1 主面 M S 1 の反対面である。半導体基板 S U B は、例えば、単結晶のシリコン (S i) により形成されている。

40

【0019】

第 1 主面 M S 1 には、トレンチ T R 1 と、トレンチ T R 2 と、トレンチ T R 3 と、トレンチ T R 4 と、トレンチ T R 5 とが形成されている。トレンチ T R 1、トレンチ T R 2、トレンチ T R 3、トレンチ T R 4 及びトレンチ T R 5 は、第 2 主面 M S 2 側に向かって延びている。トレンチ T R 1 及びトレンチ T R 2 は、隣り合っている。トレンチ T R 3 及びトレンチ T R 4 は、隣り合っている。トレンチ T R 3 及びトレンチ T R 4 は、トレンチ T R 2 とトレンチ T R 5 との間に配置されている。トレンチ T R 2 は、トレンチ T R 1 よりもトレンチ T R 3 の近くにある。トレンチ T R 4 は、トレンチ T R 3 よりもトレンチ T R

50

5の近くにある。

【0020】

半導体基板SUBは、コレクタ領域CLRと、フィールドストップ領域FSRと、ドリフト領域DRと、チャンネル領域CHRと、エミッタ領域EMRと、コンタクト領域CTRと、ホールバリア領域HBRと、ウェル領域WRとを有している。

【0021】

コレクタ領域CLRは、第2主面MS2に形成されている。フィールドストップ領域FSRは、コレクタ領域CLR上に配置されている。ドリフト領域DRは、フィールドストップ領域FSR上に配置されている。チャンネル領域CHRは、第1主面MS1に形成されている。トレンチTR1とトレンチTR2との間では、第1主面MS1にエミッタ領域EMRが配置されており、エミッタ領域EMRの第2主面MS2側にチャンネル領域CHRが接している。

10

【0022】

コンタクト領域CTRは、トレンチTR1とトレンチTR2との間にあるチャンネル領域CHR中に配置されている。ホールバリア領域HBRは、トレンチTR1とトレンチTR2との間及びトレンチTR3及びトレンチTR4との間において、ドリフト領域DRとチャンネル領域CHRとの間に配置されている。ウェル領域WRは、トレンチTR2とトレンチTR3との間において、ドリフト領域DRとチャンネル領域CHRとの間に配置されている。ウェル領域WRは、トレンチTR5よりも外側(トレンチTR4と反対側)においても、ドリフト領域DRとチャンネル領域CHRとの間に配置されている。

20

【0023】

フィールドストップ領域FSR、ドリフト領域DR、ホールバリア領域HBR及びエミッタ領域EMRの導電型は、n型である。コレクタ領域CLR、チャンネル領域CHR、コンタクト領域CTR及びウェル領域WRの導電型は、p型である。エミッタ領域EMR中のドーパント濃度は、フィールドストップ領域FSR中のドーパント濃度よりも高くなっている。フィールドストップ領域FSR中のドーパント濃度は、ドリフト領域DR中のドーパント濃度よりも高くなっている。ホールバリア領域HBR中のドーパント濃度は、ドリフト領域DR中のドーパント濃度よりも高くなっている。コレクタ領域CLR中及びコンタクト領域CTR領域中のドーパント濃度は、チャンネル領域CHR中のドーパント濃度よりも高くなっている。チャンネル領域CHR中のドーパント濃度は、ウェル領域WR中のドーパント濃度よりも高くなっている。

30

【0024】

ポリシリコン膜PSF1、ポリシリコン膜PSF2、ポリシリコン膜PSF3、ポリシリコン膜PSF4及びポリシリコン膜PSF5は、それぞれ、トレンチTR1、トレンチTR2、トレンチTR3、トレンチTR4及びトレンチTR5に埋め込まれている。ポリシリコン膜PSF1、ポリシリコン膜PSF2、ポリシリコン膜PSF3、ポリシリコン膜PSF4及びポリシリコン膜PSF5は、n型のドーパントを含有するポリシリコンにより形成されている。

【0025】

ゲート絶縁膜GIは、ポリシリコン膜PSF1とトレンチTR1の側面及び底面との間に配置されている。同様に、ゲート絶縁膜GIは、ポリシリコン膜PSF2とトレンチTR2の側面及び底面との間、ポリシリコン膜PSF3とトレンチTR3の側面及び底面との間、ポリシリコン膜PSF4とトレンチTR4の側面及び底面との間、ポリシリコン膜PSF5とトレンチTR5の側面及び底面との間にも配置されている。ゲート絶縁膜GIは、例えば、酸化シリコン(SiO₂)により形成されている。

40

【0026】

トレンチTR1及びトレンチTR2の側面からは、エミッタ領域EMR、チャンネル領域CHR及びホールバリア領域HBRが露出している。ポリシリコン膜PSF1及びポリシリコン膜PSF2は、ゲート絶縁膜GIを介在させて、エミッタ領域EMR及びホールバリア領域HBRに挟み込まれているチャンネル領域CHRの部分と対向している。このこと

50

を別の観点から言えば、ポリシリコン膜 P S F 1 及びポリシリコン膜 P S F 2 は、I G B T のゲートになっている。図示されていないが、ポリシリコン膜 P S F 1 及びポリシリコン膜 P S F 2 は、ポリシリコン膜 P S F 5 に接続されている。

【 0 0 2 7 】

絶縁膜 I F は、第 1 主面 M S 1 上に配置されている。より具体的には、第 1 主面 M S 1 には、リセス R C S が形成されている。第 1 主面 M S 1 は、リセス R C S において、第 2 主面 M S 2 側に窪んでいる。絶縁膜 I F は、リセス R C S に埋め込まれている。なお、リセス R C S は、トレンチ T R 5 よりも外側に配置されている。すなわち、絶縁膜 I F は、リセス L O C O S (L O C a l O x i d a t i o n o f S i l i c o n) 構造になっている。

【 0 0 2 8 】

ポリシリコン膜 P S F 6 は、絶縁膜 I F 上に配置されている。ポリシリコン膜 P S F 6 は、ドーパントを含有しているポリシリコンにより形成されている。ポリシリコン膜 P S F 6 は、第 1 部分 P S F 6 a と、第 2 部分 P S F 6 b とを有している。第 1 部分 P S F 6 a はコンタクト部 P S F 6 c を有しており、第 2 部分 P S F 6 b はコンタクト部 P S F 6 d を有している。

【 0 0 2 9 】

第 1 部分 P S F 6 a 及び第 2 部分 P S F 6 b は、互いに異なる導電型になっている。例えば、第 1 部分 P S F 6 a の導電型は p 型であり、第 2 部分 P S F 6 b の導電型は n 型である。そのため、第 1 部分 P S F 6 a と第 2 部分 P S F 6 b とは p n 接合しており、ポリシリコン膜 P S F 6 は、ダイオードになっている。

【 0 0 3 0 】

コンタクト部 P S F 6 c 及びコンタクト部 P S F 6 d は、それぞれ、第 1 部分 P S F 6 a にあるポリシリコン膜 P S F 6 の上面及び第 2 部分 P S F 6 b にあるポリシリコン膜 P S F 6 の上面にある。コンタクト部 P S F 6 c 中のドーパント濃度は、第 1 部分 P S F 6 a 中のドーパント濃度よりも高くなっている。コンタクト部 P S F 6 c の導電型は、第 1 部分 P S F 6 a の導電型と同一になっている。コンタクト部 P S F 6 d 中のドーパント濃度は、第 2 部分 P S F 6 b 中のドーパント濃度よりも高くなっている。コンタクト部 P S F 6 d の導電型は、第 2 部分 P S F 6 b の導電型と同一になっている。

【 0 0 3 1 】

層間絶縁膜 I L D は、絶縁膜 I F 及びポリシリコン膜 P S F 5 を覆うように、第 1 主面 M S 1 上に配置されている。層間絶縁膜 I L D は、例えば、酸化シリコンにより形成されている。層間絶縁膜 I L D の上面は、平坦化されている。層間絶縁膜 I L D には、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 が形成されている。

【 0 0 3 2 】

コンタクトホール C H 1 は、層間絶縁膜 I L D を貫通している。コンタクトホール C H 1 の下端は、トレンチ T R 1 とトレンチ T R 2 との間にあるチャネル領域 C H R に達している。コンタクトホール C H 2 は、層間絶縁膜 I L D を貫通している。コンタクトホール C H 2 の下端は、トレンチ T R 3 とトレンチ T R 4 との間にあるチャネル領域 C H R 及びポリシリコン膜 P S F 3 に達している。

【 0 0 3 3 】

コンタクトホール C H 3 は、層間絶縁膜 I L D を貫通している。コンタクトホール C H 3 の下端は、ポリシリコン膜 P S F 5 に達している。なお、コンタクトホール C H 1 の底面、コンタクトホール C H 2 の底面及びコンタクトホール C H 3 からは、コンタクト領域 C T R が露出している。

【 0 0 3 4 】

コンタクトホール C H 4 は、層間絶縁膜 I L D を貫通している。コンタクトホール C H 4 からは、コンタクト部 P S F 6 c が露出している。コンタクトホール C H 5 は、層間絶縁膜 I L D を貫通している。コンタクトホール C H 5 からは、コンタクト部 P S F 6 d が露出している。コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C

10

20

30

40

50

H 3 及びコンタクトホール C H 4 の内壁面上には、図示しないバリアメタルが配置されている。このバリアメタルは、チタン (T i)、窒化チタン (T i N) 等により形成されている。

【 0 0 3 5 】

図 2 は、半導体装置 D E V 1 の平面図である。図 2 中では、配線 W L 1、配線 W L 2、配線 W L 3 及び配線 W L 4 並びにポリイミド膜 P F の図示が省略されている。図 2 に示されているように、コンタクトホール C H 1 の数は複数であり、複数のコンタクトホール C H 1 の各々は、平面視において矩形状である。複数のコンタクトホール C H 1 の各々は、平面視において、第 1 方向 D 1 に沿って列をなすように並んでいる。コンタクトホール C H 2 及びコンタクトホール C H 3 についても、同様である。

10

【 0 0 3 6 】

コンタクトホール C H 4 は、平面視において、第 1 方向 D 1 に沿って延びている。平面視におけるコンタクトホール C H 4 の開口面積は、平面視におけるコンタクトホール C H 1 (コンタクトホール C H 2、コンタクトホール C H 3) の開口面積よりも大きい。コンタクトホール C H 5 についても、同様である。

【 0 0 3 7 】

図 1 に示されているように、コンタクトプラグ C P 1 は、コンタクトホール C H 1 に埋め込まれている。コンタクトプラグ C P 1 の下端は、エミッタ領域 E M R 及びトレンチ T R 1 とトレンチ T R 2 との間にあるチャネル領域 C H R に電氣的に接続されている。コンタクトプラグ C P 2 は、コンタクトホール C H 2 に埋め込まれている。コンタクトプラグ C P 2 の下端は、トレンチ T R 3 とトレンチ T R 4 との間にあるチャネル領域 C H R 及びポリシリコン膜 P S F 3 に電氣的に接続されている。

20

【 0 0 3 8 】

コンタクトプラグ C P 3 は、コンタクトホール C H 3 に埋め込まれている。コンタクトプラグ C P 3 の下端は、ポリシリコン膜 P S F 5 に電氣的に接続されている。コンタクトプラグ C P 4 は、コンタクトホール C H 4 に埋め込まれている。コンタクトプラグ C P 5 は、コンタクトホール C H 5 に埋め込まれている。コンタクトプラグ C P 4 の下端及びコンタクトプラグ C P 5 の下端は、それぞれ、第 1 部分 P S F 6 a 及び第 2 部分 P S F 6 b に電氣的に接続されている。すなわち、コンタクトプラグ C P 4 の下端及びコンタクトプラグ C P 5 の下端は、ダイオードに電氣的に接続されている。コンタクトプラグ C P 1、コンタクトプラグ C P 2、コンタクトプラグ C P 3、コンタクトプラグ C P 4 及びコンタクトプラグ C P 5 は、例えば、タングステン (W) により形成されている。

30

【 0 0 3 9 】

配線 W L 1 は、層間絶縁膜 I L D 上に配置されている。配線 W L 1 は、コンタクトプラグ C P 1 の上端及びコンタクトプラグ C P 2 の上端に電氣的に接続されている。配線 W L 1 は、エミッタ電位になっている。そのため、エミッタ領域 E M R、トレンチ T R 1 とトレンチ T R 2 との間にあるチャネル領域 C H R、トレンチ T R 3 とトレンチ T R 4 との間にあるチャネル領域 C H R 及びポリシリコン膜 P S F 3 も、エミッタ電位になっている。

【 0 0 4 0 】

配線 W L 2 は、層間絶縁膜 I L D 上に配置されている。配線 W L 2 は、コンタクトプラグ C P 3 の上端に電氣的に接続されている。配線 W L 2 は、ゲート電位になっている。そのため、ポリシリコン膜 P S F 5、ポリシリコン膜 P S F 1 及びポリシリコン膜 P S F 2 も、ゲート電位になっている。配線 W L 3 及び配線 W L 4 は、層間絶縁膜 I L D 上に配置されている。配線 W L 3 及び配線 W L 4 は、それぞれ、コンタクトプラグ C P 4 の上端及びコンタクトプラグ C P 5 の上端に電氣的に接続されている。配線 W L 1、配線 W L 2、配線 W L 3 及び配線 W L 4 は、例えばアルミニウム (A l) 合金により形成されている。

40

【 0 0 4 1 】

ポリイミド膜 P F は、配線 W L 1、配線 W L 2、配線 W L 3 及び配線 W L 4 を覆うように、層間絶縁膜 I L D 上に配置されている。図示されていないが、配線 W L 1、配線 W L 2、配線 W L 3 及び配線 W L 4 の各々は電極パッド部を有しており、ポリイミド膜 P F に

50

はそれらの電極パッド部を露出させる開口が形成されている。電極 E L は、第 2 主面 M S 2 上に配置されている。電極 E L は、コレクタ領域 C L R に電氣的に接続されている。電極 E L は、例えばアルミニウム合金より形成されている。

【 0 0 4 2 】

< 半導体装置 D E V 1 の製造方法 >

以下に、半導体装置 D E V 1 の製造方法を説明する。

【 0 0 4 3 】

図 3 は、半導体装置 D E V 1 の製造方法を示す工程図である。図 3 に示されているように、半導体装置 D E V 1 の製造方法は、準備工程 S 1 と、第 1 不純物拡散領域形成工程 S 2 と、絶縁膜形成工程 S 3 と、第 1 トレンチ形成工程 S 4 と、ゲート絶縁膜形成工程 S 5 と、第 1 ポリシリコン膜形成工程 S 6 と、第 2 ポリシリコン膜形成工程 S 7 と、第 2 不純物拡散領域形成工程 S 8 と、第 3 不純物拡散領域形成工程 S 9 と、層間絶縁膜形成工程 S 1 0 と、コンタクトホール形成工程 S 1 1 と、第 4 不純物拡散領域形成工程 S 1 2 と、コンタクトプラグ形成工程 S 1 3 と、配線形成工程 S 1 4 と、ポリイミド膜形成工程 S 1 5 と、第 5 不純物拡散領域形成工程 S 1 6 と、第 6 不純物拡散領域形成工程 S 1 7 と、電極形成工程 S 1 8 とを有している。

【 0 0 4 4 】

図 4 は、準備工程 S 1 を説明する断面図である。図 4 に示されているように、準備工程 S 1 では、半導体基板 S U B が準備される。図 5 は、第 1 不純物拡散領域形成工程 S 2 を説明する断面図である。図 5 に示されているように、第 1 不純物拡散領域形成工程 S 2 では、ホールバリア領域 H B R 及びウェル領域 W R が形成される。第 1 不純物拡散領域形成工程 S 2 では、第 1 に、ホールバリア領域 H B R が形成される半導体基板 S U B の部分の第 1 主面 M S 1 側及びウェル領域 W R が形成される半導体基板 S U B の部分の第 1 主面 M S 1 側に、イオン注入が行われる。このイオン注入の際、ホールバリア領域 H B R 及びウェル領域 W R が形成されない半導体基板 S U B の部分の第 1 主面 M S 1 上には、レジストが配置される。このレジストは、上記のイオン注入が行われた後に除去される。第 2 に、半導体基板 S U B に対して、熱処理が行われる。これにより、注入されたドーパントが第 2 主面 M S 2 側に向かって拡散し、ホールバリア領域 H B R 及びウェル領域 W R が形成される。

【 0 0 4 5 】

図 6 は、絶縁膜形成工程 S 3 を説明する断面図である。図 6 に示されているように、絶縁膜形成工程 S 3 では、リセス R C S が形成されるとともに、リセス R C S に絶縁膜 I F が埋め込まれる。絶縁膜形成工程 S 3 では、第 1 に、半導体基板 S U B の第 1 主面 M S 1 側がエッチングされることにより、リセス R C S が形成される。このエッチングは、例えば、第 1 主面 M S 1 上に配置されている酸化シリコン膜及び当該酸化シリコン膜上に配置されている窒化シリコン (S i N) 膜により構成されているハードマスクを用いて行われる。このハードマスクは、リセス R C S が形成される部分に、第 1 主面 M S 1 を露出させる開口が形成されている。第 2 に、半導体基板 S U B の第 1 主面 M S 1 側に対して熱酸化が行われることにより、リセス R C S が絶縁膜 I F により埋め込まれる。なお、絶縁膜 I F が形成された後、上記のハードマスクは、除去される。

【 0 0 4 6 】

図 7 は、第 1 トレンチ形成工程 S 4 を説明する断面図である。図 7 に示されているように、第 1 トレンチ形成工程 S 4 では、半導体基板 S U B の第 1 主面 M S 1 側がエッチングされることにより、トレンチ T R 1、トレンチ T R 2、トレンチ T R 3、トレンチ T R 4 及びトレンチ T R 5 が形成される。このエッチングは、例えば、第 1 主面 M S 1 上に配置されている酸化シリコン膜及び当該酸化シリコン膜上に配置されている窒化シリコン膜により構成されているハードマスクを用いて行われる。このハードマスクは、トレンチ T R 1、トレンチ T R 2、トレンチ T R 3、トレンチ T R 4 及びトレンチ T R 5 が形成される部分に、第 1 主面 M S 1 を露出させる開口が形成されている。なお、トレンチ T R 1、トレンチ T R 2、トレンチ T R 3、トレンチ T R 4 及びトレンチ T R 5 が形成された後、上

10

20

30

40

50

記のハードマスクは、除去される。

【 0 0 4 7 】

図 8 は、ゲート絶縁膜形成工程 S 5 を説明する断面図である。図 8 に示されているように、ゲート絶縁膜形成工程 S 5 では、半導体基板 S U B の第 1 主面 M S 1 側が熱酸化されることにより、トレンチ T R 1、トレンチ T R 2、トレンチ T R 3、トレンチ T R 4 及びトレンチ T R 5 の内壁面（側面、底面）上に、ゲート絶縁膜 G I が形成される。

【 0 0 4 8 】

図 9 は、第 1 ポリシリコン膜形成工程 S 6 を説明する断面図である。図 9 に示されているように、第 1 ポリシリコン膜形成工程では、ポリシリコン膜 P S F 1、ポリシリコン膜 P S F 2、ポリシリコン膜 P S F 3、ポリシリコン膜 P S F 4 及びポリシリコン膜 P S F 5 が形成される。第 1 ポリシリコン膜形成工程では、第 1 に、ポリシリコンが、トレンチ T R 1、トレンチ T R 2、トレンチ T R 3、トレンチ T R 4 及びトレンチ T R 5 内に埋め込まれる。このポリシリコンの埋め込みは、例えば、C V D (Chemical Vapor Deposition) により行われる。このポリシリコンは、ドーパントを含有している。第 2 に、トレンチ T R 1、トレンチ T R 2、トレンチ T R 3、トレンチ T R 4 及びトレンチ T R 5 から

10

はみ出したポリシリコンが、例えば C M P により除去される。

【 0 0 4 9 】

図 1 0 は、第 2 ポリシリコン膜形成工程 S 7 を説明する断面図である。図 1 0 に示されているように、第 2 ポリシリコン膜形成工程 S 7 では、絶縁膜 I F を覆うように、第 1 主面 M S 1 上にポリシリコン膜 P S F 6 が形成される。この時点では、ポリシリコン膜 P S F 6 はドーパントを含有していない。

20

【 0 0 5 0 】

図 1 1 は、第 2 不純物拡散領域形成工程 S 8 を説明する断面図である。図 1 1 に示されているように、第 2 不純物拡散領域形成工程 S 8 では、第 1 に、イオン注入により、チャネル領域 C H R が形成される。また、このイオン注入の際、ポリシリコン膜 P S F 6 にもドーパントが注入される。第 2 に、ポリシリコン膜 P S F 6 がパターンニングされる。このパターンニングは、フォトリソグラフィによりパターンニングされたレジストをマスクとするエッチングにより行われる。

【 0 0 5 1 】

図 1 2 は、第 3 不純物拡散領域形成工程 S 9 を説明する断面図である。図 1 2 に示されているように、第 3 不純物拡散領域形成工程 S 9 では、イオン注入により、エミッタ領域 E M R が形成される。このイオン注入の際、第 2 部分 P S F 6 b となるポリシリコン膜 P S F 6 の部分にもドーパントが注入される。この際にドーパントが注入されなかったポリシリコン膜 P S F 6 の部分が、第 1 部分 P S F 6 a となる。このイオン注入の際、エミッタ領域 E M R が形成されない半導体基板 S U B の部分の第 1 主面 M S 1 上及び第 2 部分 P S F 6 b が形成されないポリシリコン膜 P S F 6 の部分上には、レジストが配置される。このレジストは、上記のイオン注入が行われた後に除去される。

30

【 0 0 5 2 】

図 1 3 は、層間絶縁膜形成工程 S 1 0 を説明する断面図である。図 1 3 に示されているように、層間絶縁膜形成工程 S 1 0 では、層間絶縁膜 I L D が形成される。層間絶縁膜形成工程 S 1 0 では、第 1 に、層間絶縁膜 I L D の構成材料（酸化シリコン）が、例えば C V D により、ポリシリコン膜 P S F 6 及び絶縁膜 I F を覆うように第 1 主面 M S 1 上に成膜される。第 2 に、成膜された酸化シリコンが、C M P 等により平坦化される。

40

【 0 0 5 3 】

コンタクトホール形成工程 S 1 1 は、図 3 に示されているように、レジスト形成工程 S 1 1 1 と、レジストパターンニング工程 S 1 1 2 と、第 1 エッチング工程 S 1 1 3 と、第 2 エッチング工程 S 1 1 4 と、第 3 エッチング工程 S 1 1 5 とを有している。

【 0 0 5 4 】

図 1 4 A は、レジスト形成工程 S 1 1 1 を説明する断面図である。図 1 4 A に示されているように、レジスト形成工程 S 1 1 1 では、層間絶縁膜 I L D 上に、レジスト P R が形

50

成される。図14Bは、レジストパターンニング工程S112を説明する第1断面図である。図14Bに示されているように、レジストパターンニング工程S112では、レチクルRETを用いて、レジストPRが露光される。レチクルRETは、ガラス基板GSUBと、第1層FLと、第2層SLとを有している。第1層FLはガラス基板GSUB上に配置されており、第2層SLは第1層FL上に配置されている。第1層FL及び第2層SLは、それぞれ、珪化モリブデン(MoSi)及びクロム(Cr)により形成されている。レチクルRETは第1層FL及び第2層SLが除去されている部分を有しており、当該部分を透過した光により、レジストPRが露光される。

【0055】

図14Cは、レジストパターンニング工程S112を説明する第2断面図である。図14Cに示されているように、レジストパターンニング工程S112では、第2に、露光されたPRが、現像される。これにより、コンタクトホールCH1、コンタクトホールCH2、コンタクトホールCH3、コンタクトホールCH4及びコンタクトホールCH5に対応する位置において開口するように、レジストPRがパターンニングされる。

【0056】

図14Dは、第1エッチング工程S113を説明する断面図である。図14Dに示されているように、第1エッチング工程S113では、層間絶縁膜ILD中にコンタクトホールCH1、コンタクトホールCH2、コンタクトホールCH3及びコンタクトホールCH4が形成される。第1エッチング工程S113のエッチング条件は、エッチングしようとするコンタクトホールの開口面積が大きくなるにつれてエッチング中のデポジション量が多くなるように設定される。そのため、第1エッチング工程S113が行われた後において、コンタクトホールCH1、コンタクトホールCH2及びコンタクトホールCH3は層間絶縁膜ILDを貫通しているが、コンタクトホールCH4及びコンタクトホールCH5は層間絶縁膜ILDを貫通していない。

【0057】

より具体的には、このエッチングに用いられるエッチングガスは、フルオロカーボン系ガス(CF系ガス)である。このエッチングガスのC/F比は、0.5以上である。このエッチングガスは、例えば、ヘキサフルオロブタジエン(C₄F₆)、オクタフルオロシクロブタン(C₄F₈)又はオクタフルオロシクロペンテン(C₅F₈)である。また、このエッチングガスは、アルゴン(Ar)及び酸素(O₂)とともに用いられる。第1エッチング工程S113が行われている際には、半導体基板SUBの温度は、20以下とされる。

【0058】

図14Eは、第2エッチング工程S114を説明する断面図である。図14Eに示されているように、第2エッチング工程S114では、コンタクトホールCH1が、トレンチTR1とトレンチTR2との間にあるチャネル領域CHRに達するように延びる。また、第2エッチング工程S114では、コンタクトホールCH2がトレンチTR3とトレンチTR4との間のチャネル領域CHR及びポリシリコン膜PSF3に達するように延びるとともに、コンタクトホールCH3がポリシリコン膜PSF5に達するように延びる。しかしながら、第2エッチング工程S114のエッチングは層間絶縁膜ILDに対する選択比の大きいエッチングガスが用いられるため、第2エッチング工程S114が行われた後において、コンタクトホールCH4及びコンタクトホールCH5は、層間絶縁膜ILDを貫通していない。上記のエッチングガスは、例えば、6フッ化硫黄(SF₆)である。

【0059】

図14Fは、第3エッチング工程S115を説明する断面図である。図14Fに示されているように、第3エッチング工程S115では、コンタクトホールCH4及びコンタクトホールCH5が、ポリシリコン膜PSF6に向かって延び、層間絶縁膜ILDを貫通する。第3エッチング工程S115のエッチングガスには、エッチング中のデポジション性が低いエッチングガス、例えばテトラフルオロメタン(CF₄)が用いられる。このエッチングガスは、アルゴンとともに用いられる。

10

20

30

40

50

【 0 0 6 0 】

図 1 5 は、第 4 不純物拡散領域形成工程 S 1 2 を説明する断面図である。図 1 5 に示されているように、第 4 不純物拡散領域形成工程 S 1 2 では、コンタクトホール C H 1 から露出しているチャンネル領域 C H R に、コンタクト領域 C T R が形成される。コンタクト領域 C T R は、コンタクトホール C H 2 から露出しているチャンネル領域 C H R 及びポリシリコン膜 P S F 3 並びにコンタクトホール C H 3 から露出しているポリシリコン膜 P S F 5 にも形成される。また、第 4 不純物拡散領域形成工程 S 1 2 では、コンタクト部 P S F 6 c 及びコンタクト部 P S F 6 d も形成される。チャンネル領域 C H R、コンタクト部 P S F 6 c 及びコンタクト部 P S F 6 d は、イオン注入により形成される。

【 0 0 6 1 】

図 1 6 は、コンタクトプラグ形成工程 S 1 3 を説明する断面図である。図 1 6 に示されているように、コンタクトプラグ形成工程 S 1 3 では、コンタクトプラグ C P 1、コンタクトプラグ C P 2、コンタクトプラグ C P 3、コンタクトプラグ C P 4 及びコンタクトプラグ C P 5 が形成される。コンタクトプラグ形成工程 S 1 3 では、コンタクトプラグ C P 1、コンタクトプラグ C P 2、コンタクトプラグ C P 3、コンタクトプラグ C P 4 及びコンタクトプラグ C P 5 の構成材料（タングステン）が、例えば C V D によりコンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 に埋め込まれる。第 2 に、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 からはみ出したタングステンが、例えば C M P により除去される。

【 0 0 6 2 】

図 1 7 は、配線形成工程 S 1 4 を説明する断面図である。配線形成工程 S 1 4 では、図 1 7 に示されているように、配線 W L 1、配線 W L 2、配線 W L 3 及び配線 W L 4 が形成される。配線形成工程 S 1 4 では、第 1 に、配線 W L 1、配線 W L 2、配線 W L 3 及び配線 W L 4 の構成材料（アルミニウム合金）が、層間絶縁膜 I L D 上にスパッタリング等により成膜される。第 2 に、成膜されたアルミニウム合金が、フォトリソグラフィを用いて形成されたレジストをマスクとするエッチングにより、パターンニングされる。

【 0 0 6 3 】

図 1 8 は、ポリイミド膜形成工程 S 1 5 を説明する断面図である。図 1 8 に示されているように、ポリイミド膜形成工程 S 1 5 では、配線 W L 1、配線 W L 2、配線 W L 3 及び配線 W L 4 を覆うように、層間絶縁膜 I L D 上にポリイミド膜 P F が形成される。ポリイミド膜 P F が形成された後、ポリイミド膜 P F には、フォトリソグラフィを用いてパターンニングされることにより、配線 W L 1、配線 W L 2、配線 W L 3 及び配線 W L 4 の電極パッド部を露出させる開口が形成される。

【 0 0 6 4 】

図 1 9 は、第 5 不純物拡散領域形成工程 S 1 6 を説明する断面図である。図 2 0 は、第 6 不純物拡散領域形成工程 S 1 7 を説明する断面図である。図 1 9 及び図 2 0 に示されているように、第 5 不純物拡散領域形成工程 S 1 6 ではフィールドストップ領域 F S R が第 2 主面 M S 2 に形成され、第 6 不純物拡散領域形成工程 S 1 7 ではコレクタ領域 C L R が第 2 主面 M S 2 に形成される。フィールドストップ領域 F S R 及びコレクタ領域 C L R の形成は、第 2 主面 M S 2 側からのイオン注入により行われる。

【 0 0 6 5 】

電極形成工程 S 1 8 では、第 2 主面 M S 2 上に、電極 E L が形成される。電極 E L の形成は、例えばスパッタリングにより行われる。以上により、図 1 及び図 2 に示される構造の半導体装置 D E V 1 が形成される。

【 0 0 6 6 】

< 半導体装置 D E V 1 の製造方法の効果 >

上記のとおり、半導体装置 D E V 1 の製造方法では、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 を形成するためのレジストの形成は、1 回のみである。そのため、半導体装置

10

20

30

40

50

DEV1の製造方法によると、コンタクトホールCH1、コンタクトホールCH2、コンタクトホールCH3、コンタクトホールCH4及びコンタクトホールCH5を形成するための製造コストを低減することが可能である。

【0067】

また、半導体装置DEV1の製造方法では、コンタクトホールCH4及びコンタクトホールCH5からポリシリコン膜PSF6が露出していない状態で第2エッチング工程S114が行われ、その後に第3エッチング工程S115によりコンタクトホールCH4及びコンタクトホールCH5からポリシリコン膜PSF6が露出されるため、コンタクトホールCH4及びコンタクトホールCH5がポリシリコン膜PSF6を貫通することが抑制される。

10

【0068】

(変形例1)

変形例1に係る半導体装置DEV1を、半導体装置DEV1aとする。ここでは、半導体装置DEV1と異なる点を主に説明し、重複する説明は繰り返さないものとする。

【0069】

<半導体装置DEV1aの構成>

以下に、半導体装置DEV1aの構成を説明する。

【0070】

図21は、半導体装置DEV1aの断面図である。図22は、半導体装置DEV1aの平面図である。図22中では、配線WL1、配線WL2、配線WL3及び配線WL4並びにポリイミド膜PFの図示が省略されている。図21及び図22に示されているように、半導体装置DEV1aでは、コンタクトホールCH1、コンタクトホールCH2、コンタクトホールCH3、コンタクトホールCH4及びコンタクトホールCH5が、平面視において第1方向D1に沿って延びている。

20

【0071】

半導体装置DEV1aでは、第2方向D2におけるコンタクトホールCH1の幅、第2方向D2におけるコンタクトホールCH2の幅及び第2方向D2におけるコンタクトホールCH3の幅は、第2方向D2におけるコンタクトホールCH4及び第2方向D2におけるコンタクトホールCH5の幅よりも大きい。第2方向D2は、第1方向D1に直交する方向である。

30

【0072】

第2方向D2におけるコンタクトホールCH1の幅、第2方向D2におけるコンタクトホールCH2の幅、第2方向D2におけるコンタクトホールCH3の幅、第2方向D2におけるコンタクトホールCH4の幅及び第2方向D2におけるコンタクトホールCH5の幅は、層間絶縁膜ILDの上面から離れるにつれて小さくなっている。すなわち、コンタクトホールCH1、コンタクトホールCH2、コンタクトホールCH3、コンタクトホールCH4及びコンタクトホールCH5は、順テーパ状に形成されている。但し、層間絶縁膜ILDよりも下方にあるコンタクトホールCH1の部分、層間絶縁膜ILDよりも下方にあるコンタクトホールCH2の部分及び層間絶縁膜ILDよりも下方にあるコンタクトホールCH3の部分は、順テーパ状になっていなくてもよい。

40

【0073】

<半導体装置DEV1aの製造方法>

以下に、半導体装置DEV1aの製造方法を説明する。

【0074】

半導体装置DEV1aの製造方法では、第1エッチング工程S113のエッチング条件が、コンタクトホールCH1、コンタクトホールCH2、コンタクトホールCH3、コンタクトホールCH4及びコンタクトホールCH5が順テーパ状に形成されるように選択される。そのため、半導体装置DEV1aの製造方法では、コンタクトホールCH4及びコンタクトホールCH5が、コンタクトホールCH1、コンタクトホールCH2及びコンタクトホールCH3よりも、第1エッチング工程S113が行われている途中で閉塞されや

50

すい。その結果、半導体装置 D E V 1 a の製造方法でも、第 1 エッチング工程 S 1 1 3 が行われた後において、コンタクトホール C H 1、コンタクトホール C H 2 及びコンタクトホール C H 3 は層間絶縁膜 I L D を貫通しているが、コンタクトホール C H 4 及びコンタクトホール C H 5 は層間絶縁膜 I L D を貫通していない。

【 0 0 7 5 】

より具体的には、半導体装置 D E V 1 a の製造方法では、第 1 エッチング工程 S 1 1 3 に用いられるエッチングガスが、水素を含むフルオロカーボン系ガスである。このエッチングガスは、例えばトリフルオロメタン (C H F ₃) 又はジフルオロメタン (C H ₂ F ₂) である。このようなエッチングガスが用いられる場合、エッチング中のデポジションの付着係数が低いことからコンタクトホールの側壁にデポジションが起こりやすくなり、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 が順テーパ状に形成される。

10

【 0 0 7 6 】

< 半導体装置 D E V 1 a の製造方法の効果 >

半導体装置 D E V 1 a の製造方法では、半導体装置 D E V 1 の製造方法と同様に、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 を形成するためのレジストの形成が 1 回のみとなるため、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 を形成するための製造コストを低減することが可能である。

20

【 0 0 7 7 】

(変形例 2)

変形例 2 に係る半導体装置 D E V 1 を、半導体装置 D E V 1 b とする。ここでは、半導体装置 D E V 1 と異なる点を主に説明し、重複する説明は繰り返さないものとする。

【 0 0 7 8 】

< 半導体装置 D E V 1 b の構成 >

以下に、半導体装置 D E V 1 b の構成を説明する。

【 0 0 7 9 】

図 2 3 は、半導体装置 D E V 1 b の断面図である。図 2 4 は、半導体装置 D E V 1 b の平面図である。図 2 4 中では、配線 W L 1、配線 W L 2、配線 W L 3 及び配線 W L 4 並びにポリミド膜 P F の図示が省略されている。図 2 3 及び図 2 4 に示されているように、半導体装置 D E V 1 b では、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 が、平面視において第 1 方向 D 1 に沿って延びている。

30

【 0 0 8 0 】

半導体装置 D E V 1 b では、第 2 方向 D 2 におけるコンタクトホール C H 1 の幅、第 2 方向 D 2 におけるコンタクトホール C H 2 の幅及び第 2 方向 D 2 におけるコンタクトホール C H 3 の幅は、第 2 方向 D 2 におけるコンタクトホール C H 4 及び第 2 方向 D 2 におけるコンタクトホール C H 5 の幅よりも大きい。

【 0 0 8 1 】

< 半導体装置 D E V 1 b の製造方法 >

以下に、半導体装置 D E V 1 b の製造方法を説明する。

【 0 0 8 2 】

半導体装置 D E V 1 b の製造方法では、第 1 エッチング工程 S 1 1 3 のエッチング条件が、第 2 方向 D 2 におけるコンタクトホール C H 1 の幅 (第 2 方向 D 2 におけるコンタクトホール C H 2 の幅、第 2 方向 D 2 におけるコンタクトホール C H 3 の幅、第 2 方向 D 2 におけるコンタクトホール C H 4、第 2 方向 D 2 におけるコンタクトホール C H 5 の幅) が小さくなるにつれてエッチングレートが小さくなるように選択される。その結果、半導体装置 D E V 1 b の製造方法でも、第 1 エッチング工程 S 1 1 3 が行われた後において、コンタクトホール C H 1、コンタクトホール C H 2 及びコンタクトホール C H 3 は層間絶

40

50

縁膜 I L D を貫通しているが、コンタクトホール C H 4 及びコンタクトホール C H 5 は層間絶縁膜 I L D を貫通していない。

【 0 0 8 3 】

より具体的には、半導体装置 D E V 1 b の製造方法では、第 1 エッチング工程 S 1 1 3 に用いられるエッチングガスがフルオロカーボン系ガスであり、第 1 エッチング工程 S 1 1 3 が行われている際のチャンバ内の圧力が 5 0 m T o r r 以上である。このエッチングガスは、例えば、フルオロメタンである。このようなエッチング条件が用いられると、第 1 エッチング工程 S 1 1 3 が行われている際に、第 2 方向 D 2 における幅が小さいコンタクトホールにエッチングガスが入り込みにくくなるため、第 2 方向 D 2 における幅が小さいコンタクトホール C H 4 及びコンタクトホール C H 5 に対するエッチングレートが、第 2 方向 D 2 における幅が大きいコンタクトホール C H 1、コンタクトホール C H 2 及びコンタクトホール C H 3 に対するエッチングレートよりも低くなる。

10

【 0 0 8 4 】

< 半導体装置 D E V 1 b の製造方法の効果 >

以下に、半導体装置 D E V 1 b の製造方法の効果の説明する。

【 0 0 8 5 】

半導体装置 D E V 1 b の製造方法は、半導体装置 D E V 1 の製造方法と同様に、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 を形成するためのレジストの形成が 1 回のみとなるため、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 を形成するための製造コストを低減することが可能である。

20

【 0 0 8 6 】

(変形例 3)

変形例 3 に係る半導体装置 D E V 1 を、半導体装置 D E V 1 c とする。ここでは、半導体装置 D E V 1 と異なる点を主に説明し、重複する説明は繰り返さないものとする。

【 0 0 8 7 】

< 半導体装置 D E V 1 c の構成 >

以下に、半導体装置 D E V 1 c の構成の説明する。

【 0 0 8 8 】

図 2 5 は、半導体装置 D E V 1 c の断面図である。図 2 6 は、半導体装置 D E V 1 c の平面図である。図 2 6 中では、配線 W L 1、配線 W L 2、配線 W L 3 及び配線 W L 4 並びにポリイミド膜 P F の図示が省略されている。図 2 5 及び図 2 6 に示されているように、半導体装置 D E V 1 c では、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 が、平面視において第 1 方向 D 1 に沿って延びている。但し、半導体装置 D E V 1 c では、平面視におけるコンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 の形状は、これに限られない。

30

【 0 0 8 9 】

< 半導体装置 D E V 1 c の製造方法 >

以下に、半導体装置 D E V 1 c の製造方法を説明する。

40

【 0 0 9 0 】

図 2 7 A は、半導体装置 D E V 1 c の製造方法のレジストパターンニング工程を説明する第 1 断面図である。半導体装置 D E V 1 c の製造方法のレジストパターンニング工程 S 1 1 2 に用いられるレチクル R E T は、図 2 7 A に示されているように、透光部 R E T 1 と、透光部 R E T 2 と、透光部 R E T 3 と、透光部 R E T 4 と、透光部 R E T 5 とを有している。コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 に対応する位置にあるレジスト P R の部分は、それぞれ、透光部 R E T 1、透光部 R E T 2、透光部 R E T 3、透光部 R E T 4 及び透光部 R E T 5 を透過した光により露光される。

50

【 0 0 9 1 】

透光部 R E T 1、透光部 R E T 2 及び透光部 R E T 3 における光の透過率は、透光部 R E T 4 及び透光部 R E T 5 における光の透過率よりも大きい。透光部 R E T 1、透光部 R E T 2 及び透光部 R E T 3 における光の透過率は、例えば 1 0 0 パーセントである。他方で、透光部 R E T 4 及び透光部 R E T 5 における光の透過率は、例えば 5 0 パーセント以上 8 0 パーセント以下である。すなわち、透光部 R E T 4 及び透光部 R E T 5 では、レチクル R E T が、ハーフトーンになっている。透光部 R E T 1、透光部 R E T 2 及び透光部 R E T 3 では、第 1 層 F L 及び第 2 層 S L が除去されている。他方で、透光部 R E T 4 及び透光部 R E T 5 では、第 2 層 S L が除去されているが、第 1 層 F L は残存している。

【 0 0 9 2 】

図 2 7 B は、半導体装置 D E V 1 c の製造方法のレジストパターンニング工程を説明する第 2 断面図である。半導体装置 D E V 1 c の製造方法のレジストパターンニング工程 S 1 1 2 では、透光部 R E T 1、透光部 R E T 2 及び透光部 R E T 3 における光の透過率が透光部 R E T 4 及び透光部 R E T 5 における光の透過率よりも大きくなっているため、露光後の現像が行われることにより、コンタクトホール C H 1、コンタクトホール C H 2 及びコンタクトホール C H 3 に対応する位置にあるレジスト P R の部分に層間絶縁膜 I L D を露出させる開口が形成されるが、コンタクトホール C H 4 及びコンタクトホール C H 5 に対応する位置にあるレジスト P R の開口の底面にはレジスト P R が残存する。

【 0 0 9 3 】

半導体装置 D E V 1 c の製造方法では、層間絶縁膜 I L D に対するエッチングレートがレジスト P R に対するエッチングレートよりも大きくなるように、第 1 エッチング工程 S 1 1 3 のエッチング条件が設定される。その結果、コンタクトホール C H 4 及びコンタクトホール C H 5 を形成する位置における層間絶縁膜 I L D のエッチングがコンタクトホール C H 1、コンタクトホール C H 2 及びコンタクトホール C H 3 を形成する位置における層間絶縁膜 I L D のエッチングよりも遅れることになり、半導体装置 D E V 1 c の製造方法でも、コンタクトホール C H 1、コンタクトホール C H 2 及びコンタクトホール C H 3 が層間絶縁膜 I L D を貫通した時点で、コンタクトホール C H 4 及びコンタクトホール C H 5 は、層間絶縁膜 I L D を貫通していない。

【 0 0 9 4 】

より具体的には、半導体装置 D E V 1 c の製造方法では、第 1 エッチング工程 S 1 1 3 に用いられるエッチングガスがフルオロカーボン系ガスであり、その C / F 比が、例えば 0 . 5 以上である。このエッチングガスは、酸素及びアルゴンとともに用いられる。このエッチングガスは、例えばオクタフルオロシクロブタン (C 4 F 8) である。

【 0 0 9 5 】

< 半導体装置 D E V 1 c の製造方法の効果 >

以下に、半導体装置 D E V 1 c の製造方法の効果の説明する。

【 0 0 9 6 】

半導体装置 D E V 1 c の製造方法は、半導体装置 D E V 1 の製造方法と同様に、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 を形成するためのレジストの形成が 1 回のみとなるため、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 を形成するための製造コストを低減することが可能である。

【 0 0 9 7 】

(第 2 実施形態)

第 2 実施形態に係る半導体装置を説明する。第 2 実施形態に係る半導体装置を、半導体装置 D E V 2 とする。ここでは、半導体装置 D E V 1 と異なる点を説明し、重複する説明は繰り返さないものとする。

【 0 0 9 8 】

< 半導体装置 D E V 2 の構成 >

以下に、半導体装置 D E V 2 の構成を説明する。

【 0 0 9 9 】

図 2 8 は、半導体装置 D E V 2 の断面図である。図 2 8 に示されているように、半導体装置 D E V 2 は、半導体基板 S U B と、ゲート絶縁膜 G I と、ポリシリコン膜 P S F 1、ポリシリコン膜 P S F 2、ポリシリコン膜 P S F 3、ポリシリコン膜 P S F 4 及びポリシリコン膜 P S F 5 と、絶縁膜 I F と、ポリシリコン膜 P S F 6 と、層間絶縁膜 I L D とを有している。半導体装置 D E V 1 は、さらに、コンタクトプラグ C P 1、コンタクトプラグ C P 2、コンタクトプラグ C P 3、コンタクトプラグ C P 4 及びコンタクトプラグ C P 5 と、配線 W L 1、配線 W L 2、配線 W L 3 及び配線 W L 4 と、ポリイミド膜 P F と、電極 E L とを有している。この点に関し、半導体装置 D E V 2 の構成は、半導体装置 D E V 1 の構成と共通している。

10

【 0 1 0 0 】

半導体装置 D E V 2 では、絶縁膜 I F の上面に、トレンチ T R 6 が形成されている。トレンチ T R 6 は、絶縁膜 I F の底面側に向かって延びている。トレンチ T R 6 には、ポリシリコン膜 P S F 6 が埋め込まれている。半導体装置 D E V 2 では、コンタクトホール C H 4 及びコンタクトホール C H 5 の下端が、ポリシリコン膜 P S F 6 まで達している。これらの点に関し、半導体装置 D E V 2 の構成は、半導体装置 D E V 1 の構成と異なっている。なお、半導体装置 D E V 2 では、図示されていないが、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 が、平面視において第 1 方向 D 1 に沿って延びていてもよい。

20

【 0 1 0 1 】

< 半導体装置 D E V 2 の製造方法 >

以下に、半導体装置 D E V 2 の製造方法を説明する。

【 0 1 0 2 】

図 2 9 は、半導体装置 D E V 2 の製造方法を示す工程図である。図 2 9 に示されているように、準備工程 S 1 と、第 1 不純物拡散領域形成工程 S 2 と、絶縁膜形成工程 S 3 と、第 1 トレンチ形成工程 S 4 と、ゲート絶縁膜形成工程 S 5 と、第 1 ポリシリコン膜形成工程 S 6 と、第 2 ポリシリコン膜形成工程 S 7 と、第 2 不純物拡散領域形成工程 S 8 と、第 3 不純物拡散領域形成工程 S 9 と、層間絶縁膜形成工程 S 1 0 と、コンタクトホール形成工程 S 1 1 と、第 4 不純物拡散領域形成工程 S 1 2 と、コンタクトプラグ形成工程 S 1 3 とを有している。半導体装置 D E V 2 の製造方法は、配線形成工程 S 1 4 と、ポリイミド膜形成工程 S 1 5 と、第 5 不純物拡散領域形成工程 S 1 6 と、第 6 不純物拡散領域形成工程 S 1 7 と、電極形成工程 S 1 8 とをさらに有している。この点に関し、半導体装置 D E V 2 の製造方法は、半導体装置 D E V 1 の製造方法と共通している。

30

【 0 1 0 3 】

半導体装置 D E V 2 の製造方法は、第 2 トレンチ形成工程 S 1 9 をさらに有している点が、半導体装置 D E V 1 の製造方法と異なっている。半導体装置 D E V 2 の製造方法は、第 2 ポリシリコン膜形成工程 S 7、第 2 不純物拡散領域形成工程 S 8、第 3 不純物拡散領域形成工程 S 9、層間絶縁膜形成工程 S 1 0 及びコンタクトホール形成工程 S 1 1 の詳細も、半導体装置 D E V 1 の製造方法と異なっている。なお、第 2 トレンチ形成工程 S 1 9 は、第 1 ポリシリコン膜形成工程 S 6 の後であって第 2 ポリシリコン膜形成工程 S 7 の前に行われる。

40

【 0 1 0 4 】

図 3 0 は、半導体装置 D E V 2 の製造方法の第 2 トレンチ形成工程 S 1 9 を説明する断面図である。図 3 0 に示されているように、半導体装置 D E V 2 の製造方法の第 2 トレンチ形成工程 S 1 9 では、トレンチ T R 6 が形成される。トレンチ T R 6 は、第 1 主面 M S 1 上に形成されているレジストをマスクとするエッチングにより形成される。なお、このレジストは、エッチング後に除去される。

【 0 1 0 5 】

図 3 1 は、半導体装置 D E V 2 の製造方法の第 2 ポリシリコン膜形成工程 S 7 を説明す

50

る断面図である。図 3 1 に示されているように、第 2 ポリシリコン膜形成工程 S 7 では、ポリシリコン膜 P S F 6 が形成される。第 2 に、トレンチ T R 6 を埋め込むように、第 1 主面 M S 1 上にポリシリコン膜 P S F 6 が形成される。この時点では、ポリシリコン膜 P S F 6 はドーパントを含有していない。

【 0 1 0 6 】

図 3 2 は、半導体装置 D E V 2 の製造方法の第 2 不純物拡散領域形成工程 S 8 を説明する断面図である。図 3 2 に示されているように、半導体装置 D E V 2 の製造方法の第 2 不純物拡散領域形成工程 S 8 では、第 1 に、イオン注入により、チャネル領域 C H R が形成される。このイオン注入の際、ポリシリコン膜 P S F 6 にも、ドーパントが注入される。第 2 に、トレンチ T R 6 からはみ出しているポリシリコン膜 P S F 6 が、例えば C M P により除去される。

10

【 0 1 0 7 】

図 3 3 は、半導体装置 D E V 2 の製造方法の第 3 不純物拡散領域形成工程 S 9 を説明する断面図である。図 3 3 に示されているように、半導体装置 D E V 2 の製造方法の第 3 不純物拡散領域形成工程 S 9 では、イオン注入により、エミッタ領域 E M R が形成される。このイオン注入の際、第 2 部分 P S F 6 b となるポリシリコン膜 P S F 6 の部分にもドーパントが注入される。この際にドーパントが注入されなかったポリシリコン膜 P S F 6 の部分が、第 1 部分 P S F 6 a となる。このイオン注入の際、エミッタ領域 E M R が形成されない半導体基板 S U B の部分の第 1 主面 M S 1 上及び第 2 部分 P S F 6 b が形成されないポリシリコン膜 P S F 6 の部分上には、レジストが配置される。このレジストは、上記のイオン注入が行われた後に除去される。

20

【 0 1 0 8 】

図 3 4 は、半導体装置 D E V 2 の製造方法の層間絶縁膜形成工程 S 1 0 を説明する断面図である。図 3 4 に示されているように、半導体装置 D E V 2 の製造方法の層間絶縁膜形成工程 S 1 0 では、層間絶縁膜 I L D が形成される。層間絶縁膜形成工程 S 1 0 では、第 1 に、層間絶縁膜 I L D の構成材料（酸化シリコン）が、ポリシリコン膜 P S F 6 及び絶縁膜 I F を覆うように、第 1 主面 M S 1 上に成膜される。但し、層間絶縁膜 I L D が成膜された後、層間絶縁膜 I L D の上面は、C M P 等により平坦化されなくてもよい。

【 0 1 0 9 】

図 3 5 A は、半導体装置 D E V 2 の製造方法の第 1 エッチング工程 S 1 1 3 を説明する断面図である。図 3 5 A に示されているように、半導体装置 D E V 2 の製造方法の第 1 エッチング工程 S 1 1 3 では、層間絶縁膜 I L D 中にコンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 が形成される。

30

【 0 1 1 0 】

半導体装置 D E V 2 の製造方法の第 1 エッチング工程 S 1 1 3 では、第 1 エッチング工程 S 1 1 3 が行われた後において、コンタクトホール C H 1、コンタクトホール C H 2 及びコンタクトホール C H 3 のみならず、コンタクトホール C H 4 及びコンタクトホール C H 5 も、層間絶縁膜 I L D を貫通している。そのため、半導体装置 D E V 2 の製造方法では、第 3 エッチング工程 S 1 1 5 が不要となる。

40

【 0 1 1 1 】

図 3 5 B は、半導体装置 D E V 2 の製造方法の第 2 エッチング工程 S 1 1 4 を説明する断面図である。図 3 5 B に示されているように、半導体装置 D E V 2 の製造方法の第 2 エッチング工程 S 1 1 4 では、コンタクトホール C H 1 が、トレンチ T R 1 とトレンチ T R 2 との間にあるチャネル領域 C H R に達するように延びる。半導体装置 D E V 2 の製造方法の第 2 エッチング工程 S 1 1 4 では、コンタクトホール C H 2 がトレンチ T R 3 とトレンチ T R 4 との間のチャネル領域 C H R 及びポリシリコン膜 P S F 3 に達するように延びるとともに、コンタクトホール C H 3 がポリシリコン膜 P S F 5 に達するように延びる。

【 0 1 1 2 】

さらに、半導体装置 D E V 2 の製造方法の第 2 エッチング工程 S 1 1 4 では、コンタク

50

トホールCH4及びコンタクトホールCH5が、ポリシリコン膜PSF6に達するように延びる。

【0113】

<半導体装置DEV2の製造方法の効果>

以下に、半導体装置DEV2の製造方法の効果の説明する。

【0114】

上記のとおり、半導体装置DEV2の製造方法でも、コンタクトホールCH1、コンタクトホールCH2、コンタクトホールCH3、コンタクトホールCH4及びコンタクトホールCH5を形成するためのレジストの形成は、1回のみである。そのため、半導体装置DEV2の製造方法によると、コンタクトホールCH1、コンタクトホールCH2、コンタクトホールCH3、コンタクトホールCH4及びコンタクトホールCH5を形成するための製造コストを低減することが可能である。

10

【0115】

また、半導体装置DEV2の製造方法では、コンタクトホールCH1、コンタクトホールCH2及びコンタクトホールCH3が形成される部分における層間絶縁膜ILDの厚さがコンタクトホールCH4及びコンタクトホールCH5が形成される部分における層間絶縁膜ILDの厚さと異ならないため、コンタクトホール形成工程S11が行われている際にポリシリコン膜PSF6がコンタクトホールCH4及びコンタクトホールCH5により貫通されることが抑制される。

【0116】

20

(変形例1)

変形例1に係る半導体装置DEV2を、半導体装置DEV2aとする。ここでは、半導体装置DEV2と異なる点を主に説明し、重複する説明は繰り返さないものとする。

【0117】

<半導体装置DEV2aの構成>

以下に、半導体装置DEV2aの構成を説明する。

【0118】

図36は、半導体装置DEV2aの断面図である。図36に示されているように、半導体装置DEV2aは、ハードマスクHM1をさらに有している。ハードマスクHM1は、第1主面MS1上及び絶縁膜IF上に配置されている。ハードマスクHM1上には、層間絶縁膜ILDが配置されている。トレンチTR1、トレンチTR2、トレンチTR3、トレンチTR4、トレンチTR5及びトレンチTR6は、ハードマスクHM1を貫通するように延びている。ハードマスクHM1は、例えば酸化シリコンにより形成されている。

30

【0119】

<半導体装置DEV2bの製造方法>

以下に、半導体装置DEV2aの製造方法を説明する。

【0120】

図37は、半導体装置DEV2aの製造方法を示す工程図である。図37に示されているように、半導体装置DEV2aの製造方法では、第2トレンチ形成工程S19が、絶縁膜形成工程S3の後であって第1トレンチ形成工程S4の前に行われる。半導体装置DEV2aの製造方法は、第2ポリシリコン膜形成工程S7を有していない。

40

【0121】

図38は、半導体装置DEV2aの製造方法の第2トレンチ形成工程S19を説明する断面図である。図38に示されているように、半導体装置DEV2aの製造方法の第2トレンチ形成工程S19では、ハードマスクHM1及びトレンチTR6が形成される。半導体装置DEV2aの製造方法の第2トレンチ形成工程S19では、第1に、第1主面MS1上に、ハードマスクHM1が形成される。

【0122】

第2に、ハードマスクHM1が、フォトリソグラフィを用いてパターンニングされたレジストをマスクとしてエッチングされる。エッチング後のハードマスクHM1は、トレン

50

チTR1、トレンチTR2、トレンチTR3、トレンチTR4及びトレンチTR5に対応する位置に開口が形成される。また、このエッチングにより、ハードマスクHM1を貫通して絶縁膜IFにトレンチTR6が形成される。

【0123】

図39は、半導体装置DEV2aの製造方法の第1トレンチ形成工程S4を説明する断面図である。図39に示されているように、半導体装置DEV2aの製造方法の第1トレンチ形成工程S4では、トレンチTR1、トレンチTR2、トレンチTR3、トレンチTR4及びトレンチTR5が形成される。トレンチTR1、トレンチTR2、トレンチTR3、トレンチTR4及びトレンチTR5は、ハードマスクHM1をマスクとするエッチングにより形成される。

10

【0124】

図40は、半導体装置DEV2aの製造方法の第1ポリシリコン膜形成工程S6を説明する断面図である。図40に示されるように、半導体装置DEV2aの製造方法の第1ポリシリコン膜形成工程S6では、ポリシリコン膜PSF1、ポリシリコン膜PSF2、ポリシリコン膜PSF3、ポリシリコン膜PSF4及びポリシリコン膜PSF5に加え、ポリシリコン膜PSF6が形成される。半導体装置DEV2aの製造方法の第1ポリシリコン膜形成工程S6では、第1に、ポリシリコンが、トレンチTR1、トレンチTR2、トレンチTR3、トレンチTR4、トレンチTR5及びトレンチTR6に埋め込まれる。このポリシリコンの埋め込みは、例えば、CVDにより行われる。このポリシリコンは、p型のドーパントを含有している。

20

【0125】

第2に、イオン注入が行われる。これにより、ポリシリコン膜PSF1、ポリシリコン膜PSF2、ポリシリコン膜PSF3、ポリシリコン膜PSF4及びポリシリコン膜PSF5の上方にあるポリシリコンにn型のドーパントが注入される。このn型のドーパントは、イオン注入後の熱処理により、ポリシリコン膜PSF1、ポリシリコン膜PSF2、ポリシリコン膜PSF3、ポリシリコン膜PSF4及びポリシリコン膜PSF5中に拡散し、ポリシリコン膜PSF1、ポリシリコン膜PSF2、ポリシリコン膜PSF3、ポリシリコン膜PSF4及びポリシリコン膜PSF5の導電型がn型となる。第3に、トレンチTR1、トレンチTR2、トレンチTR3、トレンチTR4、トレンチTR5及びトレンチTR6からはみ出したポリシリコンが、例えばCMPにより除去される。

30

【0126】

<半導体装置DEV2aの製造方法の効果>

以下に、半導体装置DEV2aの製造方法の効果を説明する。

【0127】

半導体装置DEV2aの製造方法は、半導体装置DEV2の製造方法と同様に、コンタクトホールCH1、コンタクトホールCH2、コンタクトホールCH3、コンタクトホールCH4及びコンタクトホールCH5を形成するためのレジストの形成が1回のみとなるため、コンタクトホールCH1、コンタクトホールCH2、コンタクトホールCH3、コンタクトホールCH4及びコンタクトホールCH5を形成するための製造コストを低減することが可能である。

40

【0128】

半導体装置DEV2aの製造方法では、絶縁膜IF上にハードマスクHM1が形成されているため、絶縁膜IFの厚さを小さくしても、トレンチTR6の深さを確保することが可能となる。半導体装置DEV2aの製造方法では、トレンチTR1、トレンチTR2、トレンチTR3、トレンチTR4、トレンチTR5及びトレンチTR6を形成するためのレジストの形成が1回のみとなるため、トレンチTR1、トレンチTR2、トレンチTR3、トレンチTR4、トレンチTR5及びトレンチTR6を形成するための製造コストを低減することが可能である。

【0129】

また、半導体装置DEV2aの製造方法では、ポリシリコン膜PSF1、ポリシリコン

50

膜 P S F 2、ポリシリコン膜 P S F 3、ポリシリコン膜 P S F 4、ポリシリコン膜 P S F 5 及びポリシリコン膜 P S F 6 の埋め込みを 1 回の工程で行うことができるため、工程の簡略化が可能である。

【 0 1 3 0 】

(変形例 2)

変形例 2 に係る半導体装置 D E V 2 を、半導体装置 D E V 2 b とする。ここでは、半導体装置 D E V 2 と異なる点を主に説明し、重複する説明は繰り返さないものとする。

【 0 1 3 1 】

< 半導体装置 D E V 2 b の構成 >

以下に、半導体装置 D E V 2 b の構成を説明する。

10

【 0 1 3 2 】

図 4 1 は、半導体装置 D E V 2 b の断面図である。図 4 1 に示されているように、半導体装置 D E V 2 b は、ハードマスク H M 1 と、ポリシリコン膜 P S F 7 及びポリシリコン膜 P S F 8 とをさらに有している。

【 0 1 3 3 】

ハードマスク H M 1 は、第 1 主面 M S 1 上及び絶縁膜 I F 上に配置されている。ハードマスク H M 1 上には、層間絶縁膜 I L D が配置されている。半導体装置 D E V 2 b では、トレンチ T R 6 に代えて、トレンチ T R 7 及びトレンチ T R 8 が形成されている。トレンチ T R 7 及びトレンチ T R 8 は、絶縁膜 I F の上面に形成されており、絶縁膜 I F の底面側に向かって延びている。トレンチ T R 7 及びトレンチ T R 7 は、それぞれ、平面視においてコンタクトホール C H 4 及びコンタクトホール C H 5 に重なる位置にある。

20

【 0 1 3 4 】

トレンチ T R 7 及びトレンチ T R 8 には、それぞれ、ポリシリコン膜 P S F 7 及びポリシリコン膜 P S F 8 が埋め込まれている。トレンチ T R 1、トレンチ T R 2、トレンチ T R 3、トレンチ T R 4、トレンチ T R 5、トレンチ T R 7 及びトレンチ T R 8 は、ハードマスク H M 1 を貫通するように延びている。ポリシリコン膜 P S F 6 は、ハードマスク H M 1 (ポリシリコン膜 P S F 7 及びポリシリコン膜 P S F 8) 上に配置されている。

【 0 1 3 5 】

< 半導体装置 D E V 2 b の製造方法 >

以下に、半導体装置 D E V 2 b の製造方法を説明する。

30

【 0 1 3 6 】

図 4 2 は、半導体装置 D E V 2 b の製造方法を示す工程図である。図 4 2 に示されているように、半導体装置 D E V 2 b の製造方法では、第 2 トレンチ形成工程 S 1 9 が、絶縁膜形成工程 S 3 の後であって第 1 トレンチ形成工程 S 4 の前に行われる。

【 0 1 3 7 】

図 4 3 は、半導体装置 D E V 2 b の製造方法の第 2 トレンチ形成工程 S 1 9 を説明する断面図である。図 4 3 に示されているように、半導体装置 D E V 2 b の製造方法の第 2 トレンチ形成工程 S 1 9 では、ハードマスク H M 1、トレンチ T R 7 及びトレンチ T R 8 が形成される。半導体装置 D E V 2 b の製造方法の第 2 トレンチ形成工程 S 1 9 では、第 1 に、第 1 主面 M S 1 上に、ハードマスク H M 1 が形成される。

40

【 0 1 3 8 】

第 2 に、ハードマスク H M 1 が、フォトリソグラフィを用いてパターンニングされたレジストをマスクとしてエッチングされる。エッチング後のハードマスク H M 1 は、トレンチ T R 1、トレンチ T R 2、トレンチ T R 3、トレンチ T R 4 及びトレンチ T R 5 に対応する位置に、開口が形成される。また、このエッチングにより、ハードマスク H M 1 を貫通して絶縁膜 I F にトレンチ T R 7 及び T R 8 が形成される。

【 0 1 3 9 】

図 4 4 は、半導体装置 D E V 2 b の製造方法の第 1 トレンチ形成工程 S 4 を説明する断面図である。図 4 4 に示されているように、半導体装置 D E V 2 b の製造方法の第 1 トレンチ形成工程 S 4 では、トレンチ T R 1、トレンチ T R 2、トレンチ T R 3、トレンチ T

50

R 4 及びトレンチ T R 5 が形成される。トレンチ T R 1、トレンチ T R 2、トレンチ T R 3、トレンチ T R 4 及びトレンチ T R 5 は、ハードマスク H M 1 をマスクとするエッチングにより形成される。

【 0 1 4 0 】

図 4 5 は、半導体装置 D E V 2 b の製造方法の第 1 ポリシリコン膜形成工程 S 6 を説明する断面図である。図 4 5 に示されるように、半導体装置 D E V 2 b の製造方法の第 1 ポリシリコン膜形成工程 S 6 では、ポリシリコン膜 P S F 1、ポリシリコン膜 P S F 2、ポリシリコン膜 P S F 3、ポリシリコン膜 P S F 4 及びポリシリコン膜 P S F 5 に加え、ポリシリコン膜 P S F 7 及びポリシリコン膜 P S F 8 が形成される。

【 0 1 4 1 】

半導体装置 D E V 2 b の製造方法の第 1 ポリシリコン膜形成工程 S 6 では、第 1 に、ポリシリコンが、トレンチ T R 1、トレンチ T R 2、トレンチ T R 3、トレンチ T R 4、トレンチ T R 5、トレンチ T R 7 及びトレンチ T R 8 に埋め込まれる。このポリシリコンの埋め込みは、例えば、C V D により行われる。このポリシリコンは、n 型のドーパントを含有している。第 2 に、トレンチ T R 1、トレンチ T R 2、トレンチ T R 3、トレンチ T R 4、トレンチ T R 5、トレンチ T R 7 及びトレンチ T R 8 からはみ出したポリシリコンが、例えば C M P により除去される。

【 0 1 4 2 】

図 4 6 は、半導体装置 D E V 2 b の製造方法の第 2 ポリシリコン膜形成工程 S 7 を説明する断面図である。図 4 6 に示されているように、半導体装置 D E V 2 b の製造方法の第 2 ポリシリコン膜形成工程 S 7 では、ポリシリコン膜 P S F 7 及びポリシリコン膜 P S F 8 を覆うように、ハードマスク H M 1 上にポリシリコン膜 P S F 6 が配置される。

【 0 1 4 3 】

なお、ポリシリコン膜 P S F 6 は、半導体装置 D E V 2 b の製造方法の第 2 不純物拡散領域形成工程 S 8 において、p 型のドーパントがイオン注入されるとともに、フォトリソグラフィを用いてパターンニングされたレジストをマスクとするエッチングによりパターンニングされる。ポリシリコン膜 P S F 6 は、半導体装置 D E V 2 b の製造方法の第 3 不純物拡散領域形成工程 S 9 において n 型のドーパントがイオン注入されることにより第 2 部分 P S F 6 b が形成され、当該イオン注入が行われなかった部分が第 1 部分 P S F 6 a となる。半導体装置 D E V 2 b の製造方法の層間絶縁膜形成工程 S 1 0 では、層間絶縁膜 I L D の上面が、例えば C M P により平坦化される。

【 0 1 4 4 】

< 半導体装置 D E V 2 b の製造方法の効果 >

以下に、半導体装置 D E V 2 b の製造方法の効果の説明する。

【 0 1 4 5 】

半導体装置 D E V 2 b の製造方法は、半導体装置 D E V 2 の製造方法と同様に、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 を形成するためのレジストの形成が 1 回のみとなるため、コンタクトホール C H 1、コンタクトホール C H 2、コンタクトホール C H 3、コンタクトホール C H 4 及びコンタクトホール C H 5 を形成するための製造コストを低減することが可能である。

【 0 1 4 6 】

半導体装置 D E V 2 b の製造方法では、コンタクトホール C H 1、コンタクトホール C H 2 及びコンタクトホール C H 3 が形成される部分における層間絶縁膜 I L D の厚さがコンタクトホール C H 4 及びコンタクトホール C H 4 が形成される部分における層間絶縁膜 I L D の厚さと異なっている。しかしながら、半導体装置 D E V 2 b の製造方法では、ポリシリコン膜 P S F 6 の下方にポリシリコン膜 P S F 7 及びポリシリコン膜 P S F 8 があるため、コンタクトホール形成工程 S 1 1 が行われている際に、コンタクトホール C H 4 によりポリシリコン膜 P S F 6 及びポリシリコン膜 P S F 7 が貫通されることが抑制されるとともに、コンタクトホール C H 5 によりポリシリコン膜 P S F 6 及びポリシリコン膜

10

20

30

40

50

P S F 8 が貫通されることが抑制される。

【 0 1 4 7 】

第 2 実施形態に係る説明は、以下に付記する特徴を含む。

< 付記 1 >

第 1 主面及び第 2 主面を有する半導体基板を準備する工程と、
前記第 1 主面上にリセスを形成し、前記リセスに絶縁膜を埋め込む工程と、
前記絶縁膜に第 1 トレンチを形成する工程と、
前記第 1 トレンチに第 1 ポリシリコン膜を埋め込む工程と、
前記絶縁膜及び前記第 1 ポリシリコン膜を覆うように前記第 1 主面上に層間絶縁膜を形成する工程と、

10

第 1 コンタクトホール及び第 2 コンタクトホールを形成する工程とを備え、
前記半導体基板は、前記第 1 主面に形成されている第 1 不純物拡散領域と、前記第 1 不純物拡散領域の前記第 2 主面側に接している第 2 不純物拡散領域とを有し、
前記第 1 コンタクトホールは、前記層間絶縁膜を貫通して前記第 1 コンタクトホールから前記第 2 不純物拡散領域が露出するように形成されており、
前記第 2 コンタクトホールは、前記層間絶縁膜を貫通して前記第 2 コンタクトホールから前記第 1 ポリシリコン膜が露出するように形成されており、
前記第 1 コンタクトホール及び前記第 2 コンタクトホールを形成する工程では、第 1 エッチング及び第 2 エッチングが行われ、

20

前記第 2 エッチングは、前記第 1 エッチングの後に行われ、
前記第 1 エッチングが行われた後であって前記第 2 エッチングが行われる前において、前記第 1 コンタクトホールから前記第 1 主面が露出しているとともに前記第 2 コンタクトホールから前記第 1 ポリシリコン膜が露出している、半導体装置の製造方法。

【 0 1 4 8 】

< 付記 2 >

前記絶縁膜を覆うように前記第 1 主面上にハードマスクを形成する工程と、
前記第 1 主面に第 2 トレンチを形成する工程とをさらに備え、
前記絶縁膜に前記第 1 トレンチを形成する工程では、前記ハードマスクを用いたエッチングにより、前記ハードマスクを貫通して前記絶縁膜に前記第 1 トレンチが形成されるとともに、前記ハードマスクに前記ハードマスクを貫通する開口が形成され、
前記第 1 主面に前記第 2 トレンチを形成する工程では、前記ハードマスクを用いたエッチングにより、前記開口に対応する位置に前記第 2 トレンチが形成され、
前記第 1 トレンチに前記第 1 ポリシリコン膜を埋め込む工程では、前記第 2 トレンチに第 2 ポリシリコン膜がさらに埋め込まれ、

30

前記第 1 コンタクトホールは、前記層間絶縁膜及び前記ハードマスクを貫通して前記第 1 コンタクトホールから前記第 2 不純物拡散領域が露出するように形成されており、
前記第 2 コンタクトホールは、前記層間絶縁膜を貫通して前記第 2 コンタクトホールから前記第 1 ポリシリコン膜が露出するように形成されている、付記 1 に記載の半導体装置の製造方法。

【 0 1 4 9 】

< 付記 3 >

第 1 主面及び第 2 主面を有する半導体基板を準備する工程と、
前記第 1 主面上にリセスを形成し、前記リセスに絶縁膜を埋め込む工程と、
前記絶縁膜を覆うように前記絶縁膜上にハードマスクを形成する工程と、
前記ハードマスクを貫通して前記絶縁膜に第 1 トレンチを形成するとともに、前記ハードマスクに前記ハードマスクを貫通する開口を形成する工程と、
前記第 1 主面に第 2 トレンチを形成する工程と、
前記第 1 トレンチ及び前記第 2 トレンチにそれぞれ第 1 ポリシリコン膜及び第 2 ポリシリコン膜を埋め込む工程と、

40

前記第 1 ポリシリコン膜を覆うように前記ハードマスク上に第 3 ポリシリコン膜を形成

50

する工程と、

前記絶縁膜及び前記第3ポリシリコン膜を覆うように前記第1主面上に層間絶縁膜を形成する工程と、

第1コンタクトホール及び第2コンタクトホールを形成する工程とを備え、

前記半導体基板は、前記第1主面に形成されている第1不純物拡散領域と、前記第1不純物拡散領域の前記第2主面側に接している第2不純物拡散領域とを有し、

前記第2トレンチは、前記ハードマスクを用いたエッチングにより、前記開口に対応する位置に形成され、

前記第1コンタクトホールは、前記層間絶縁膜及び前記ハードマスクを貫通して前記第1コンタクトホールから前記第2不純物拡散領域が露出するように形成されており、

前記第2コンタクトホールは、前記層間絶縁膜を貫通して前記第2コンタクトホールから前記第3ポリシリコン膜が露出するように形成されており、

前記第1コンタクトホール及び前記第2コンタクトホールを形成する工程では、第1エッチング及び第2エッチングが行われ、

前記第2エッチングは、前記第1エッチングの後に行われ、

前記第1エッチングが行われた後であって前記第2エッチングが行われる前において、前記第1コンタクトホールから前記第1主面が露出しているとともに、前記第2コンタクトホールから前記第3ポリシリコン膜が露出している、半導体装置の製造方法。

【0150】

以上、本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

【0151】

CH1, CH2, CH3, CH4, CH5 コンタクトホール、CP1, CP2, CP3, CP4, CP5 コンタクトプラグ、CTR コンタクト領域、CHR チャネル領域、CLR コレクタ領域、D1 第1方向、D2 第2方向、DEV1, DEV1a, DEV1b, DEV1c, DEV2, DEV2a, DEV2b 半導体装置、DR ドリフト領域、EL 電極、EMR エミッタ領域、FL 第1層、FSR フィールドストップ領域、GI ゲート絶縁膜、GSUB ガラス基板、HBR ホールバリア領域、HM1 ハードマスク、IF 絶縁膜、ILD 層間絶縁膜、MS1 第1主面、MS2 第2主面、PF ポリイミド膜、PR レジスト、PSF1, PSF2, PSF3, PSF4, PSF5, PSF6, PSF7, PSF8 ポリシリコン膜、PSF6c, PSF6d コンタクト部、PSF6a 第1部分、PSF6b 第2部分、RCS リセス、RET レチクル、RET1, RET2, RET3, RET4, RET5 透光部、S1 準備工程、S2 第1不純物拡散領域形成工程、S3 絶縁膜形成工程、S4 第1トレンチ形成工程、S5 ゲート絶縁膜形成工程、S6 第1ポリシリコン膜形成工程、S7 第2ポリシリコン膜形成工程、S8 第2不純物拡散領域形成工程、S9 第3不純物拡散領域形成工程、S10 層間絶縁膜形成工程、S11 コンタクトホール形成工程、S12 第4不純物拡散領域形成工程、S13 コンタクトプラグ形成工程、S14 配線形成工程、S15 ポリイミド膜形成工程、S16 第5不純物拡散領域形成工程、S17 第6不純物拡散領域形成工程、S18 電極形成工程、S19 第2トレンチ形成工程、S111 レジスト形成工程、S112 レジストパターンニング工程、S113 第1エッチング工程、S114 第2エッチング工程、S115 第3エッチング工程、SL 第2層、SUB 半導体基板、TR1, TR2, TR3, TR4, TR5, TR6, TR7, TR8 トレンチ、WL1, WL2, WL3, WL4 配線、WR ウェル領域。

10

20

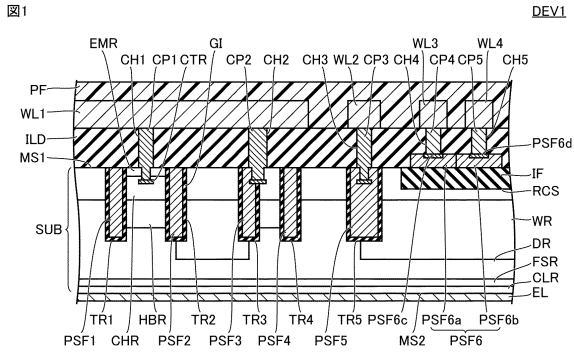
30

40

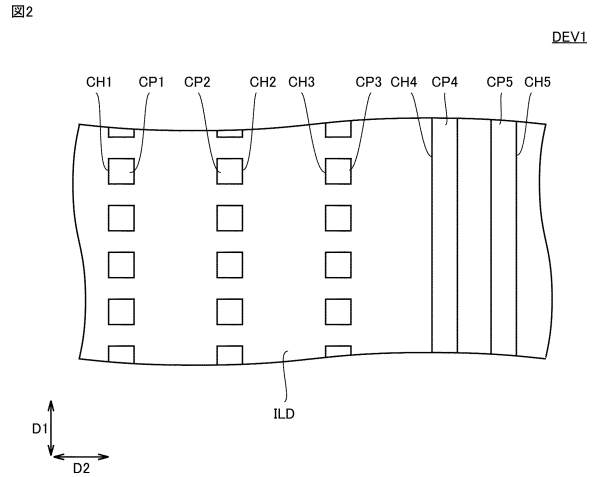
50

【図面】

【図 1】

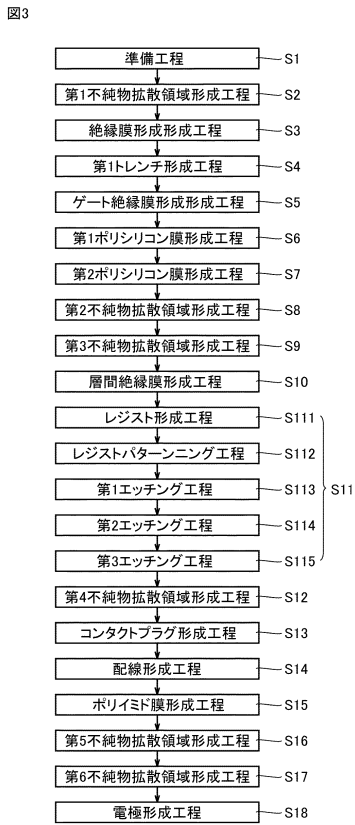


【図 2】



10

【図 3】



【図 4】



20

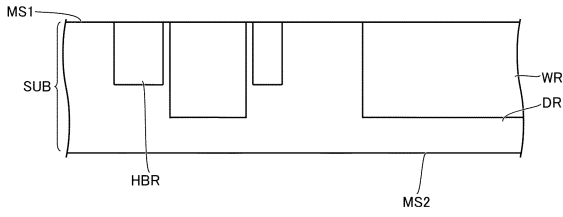
30

40

50

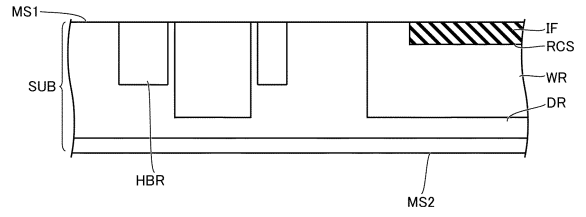
【 5 】

図5



【 6 】

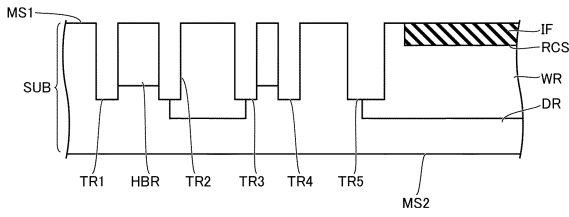
図6



10

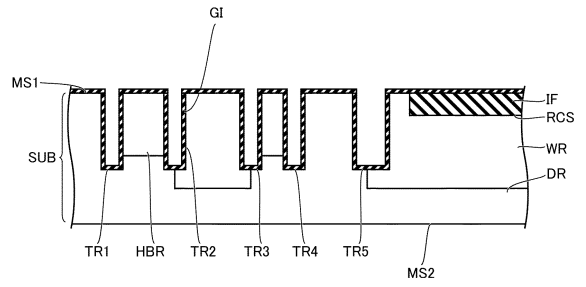
【 7 】

図7



【 8 】

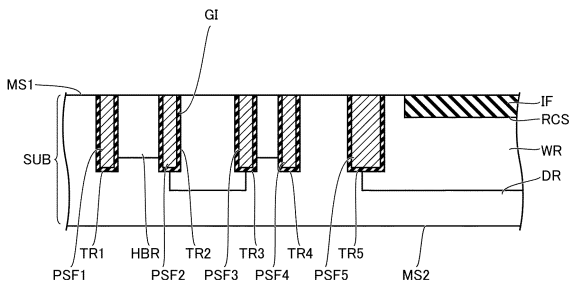
図8



20

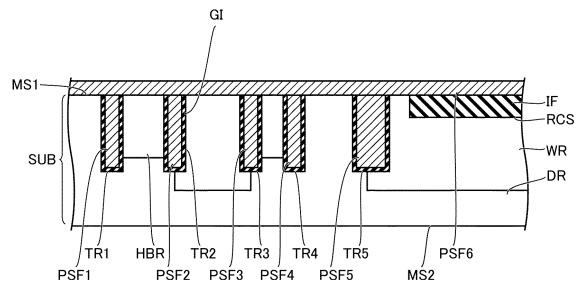
【 9 】

図9



【 10 】

図10



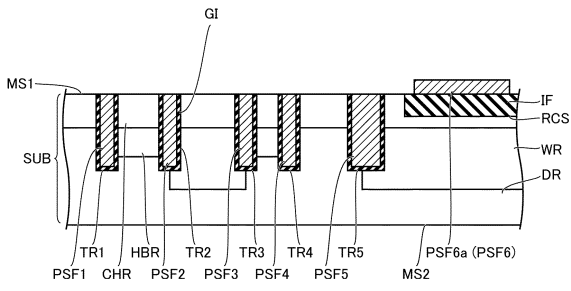
30

40

50

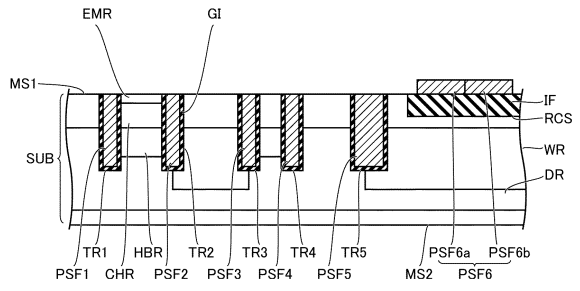
【図 1 1】

図11



【図 1 2】

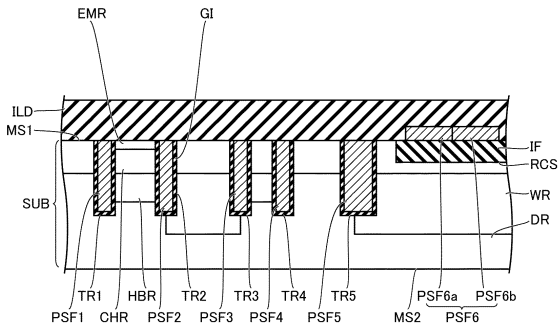
図12



10

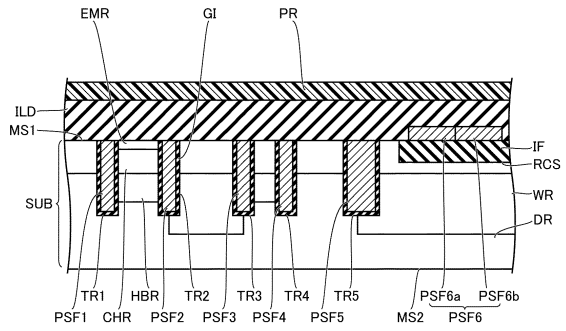
【図 1 3】

図13



【図 1 4 A】

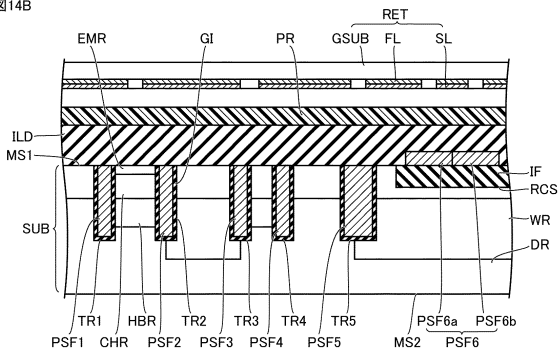
図14A



20

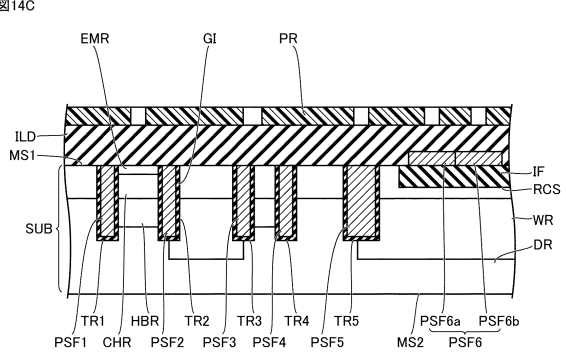
【図 1 4 B】

図14B



【図 1 4 C】

図14C



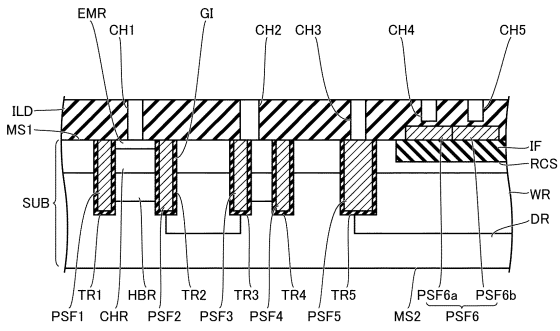
30

40

50

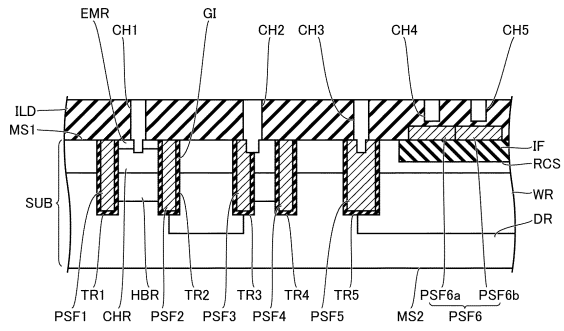
【 14 D 】

14D



【 14 E 】

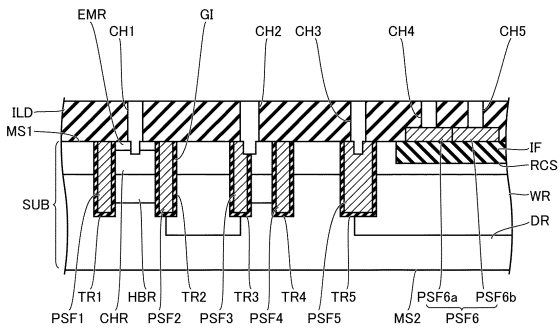
14E



10

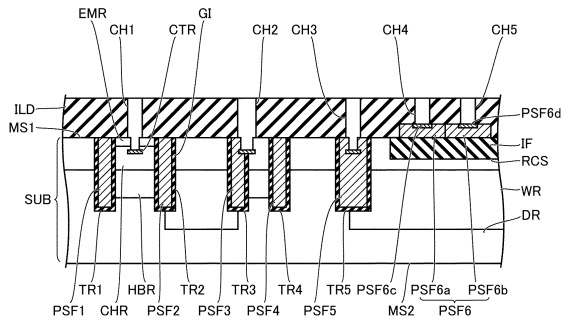
【 14 F 】

14F



【 15 】

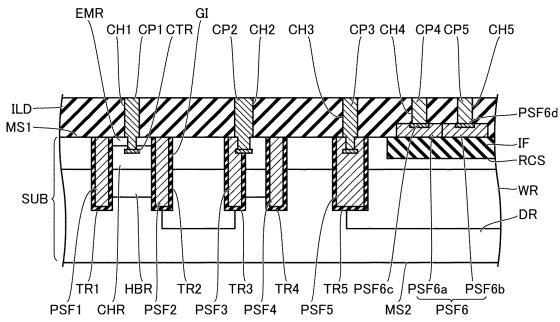
15



20

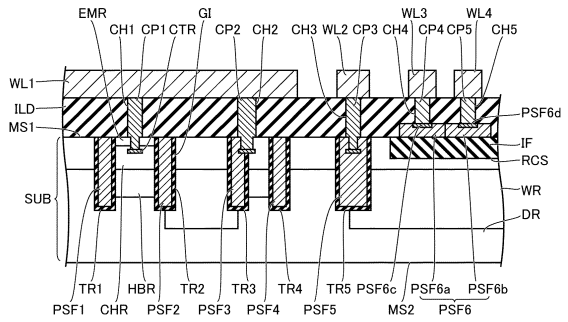
【 16 】

16



【 17 】

17



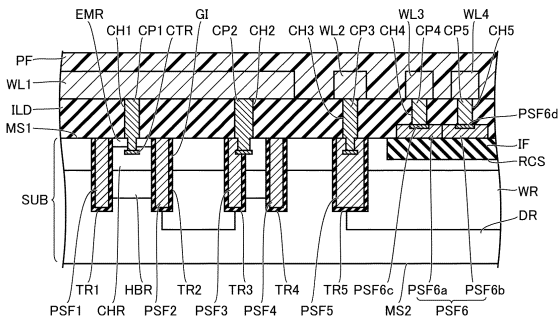
30

40

50

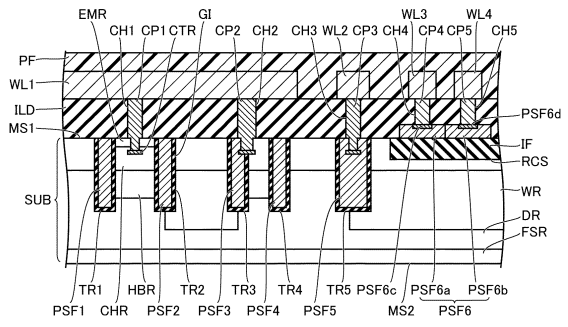
【 図 18 】

図18



【 図 19 】

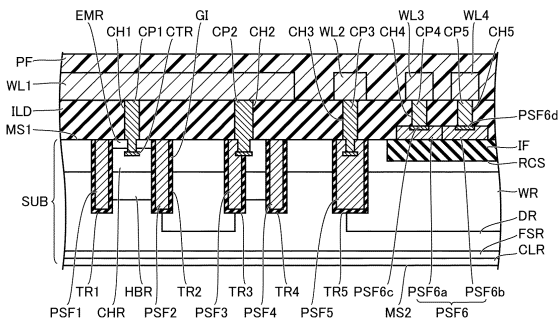
図19



10

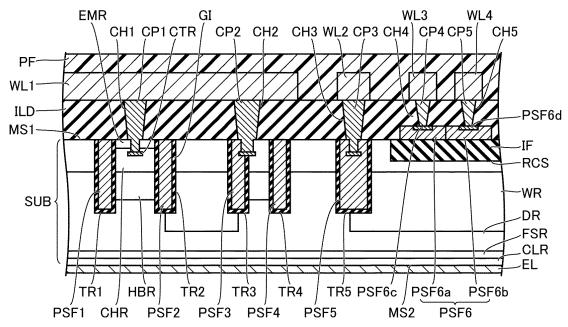
【 図 20 】

図20



【 図 21 】

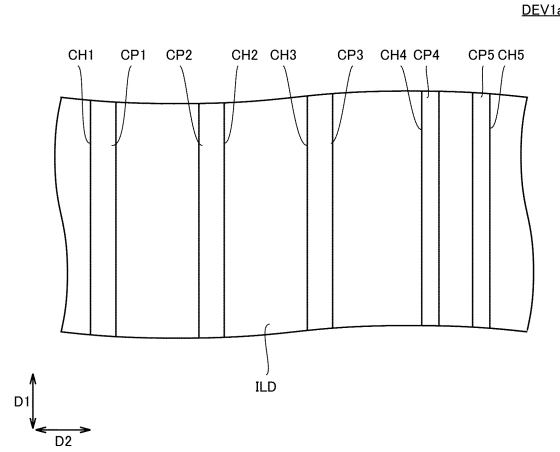
図21



20

【 図 22 】

図22

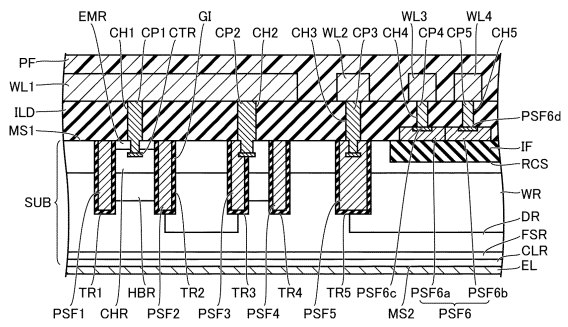


DEV1a



【 図 23 】

図23



DEV1b

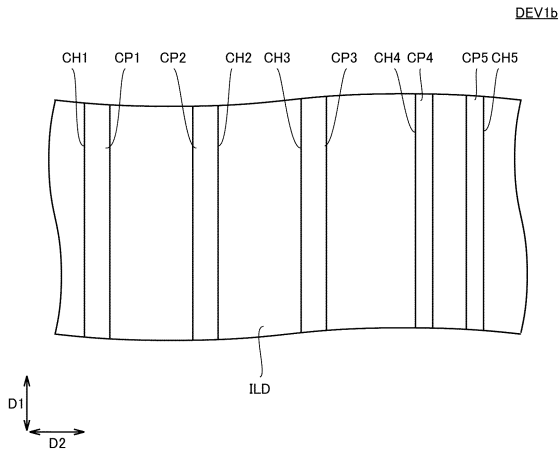
30

40

50

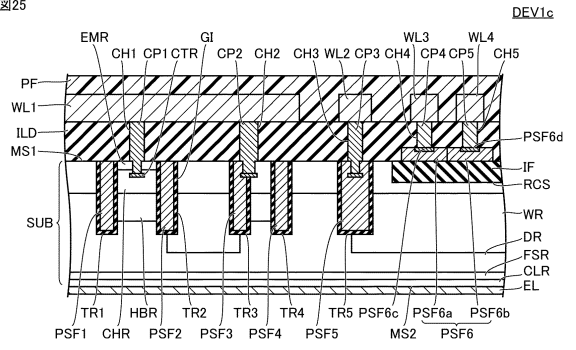
【 2 4 】

24



【 2 5 】

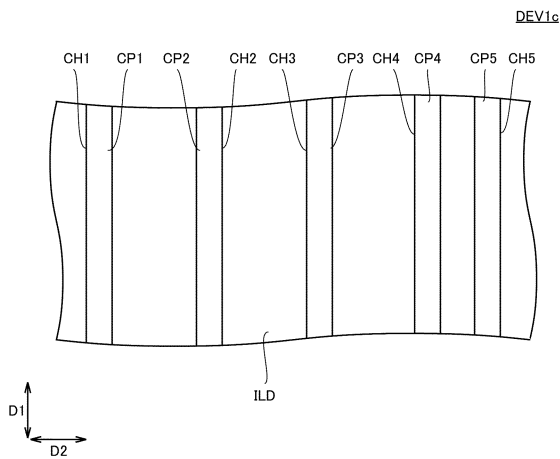
25



10

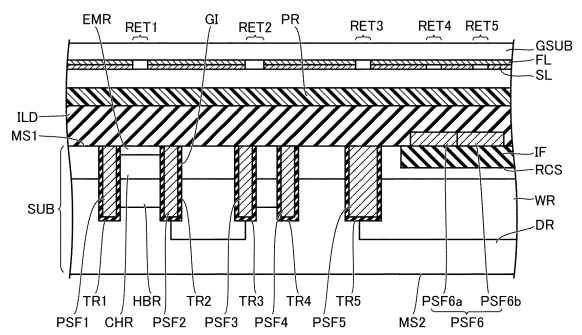
【 2 6 】

26



【 2 7 A 】

27A



20

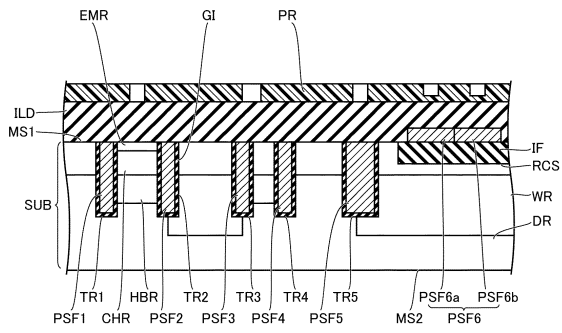
30

40

50

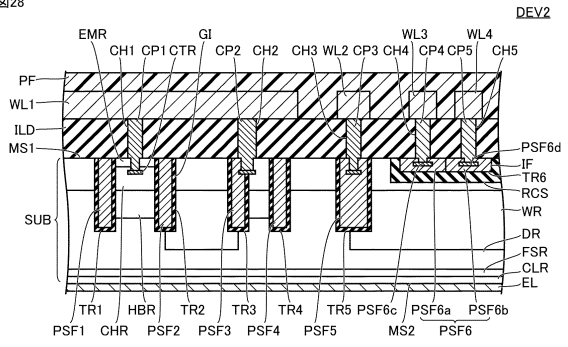
【図27B】

図27B



【図28】

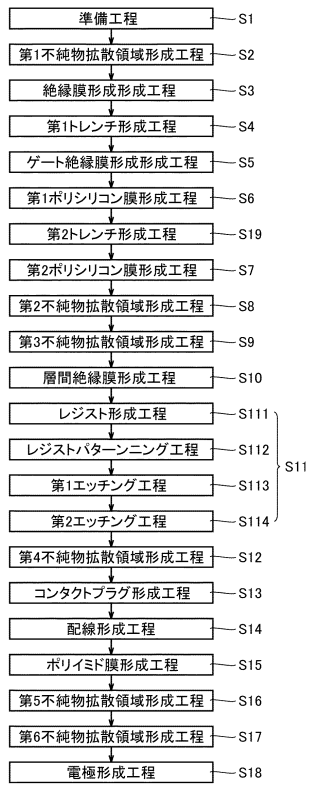
図28



10

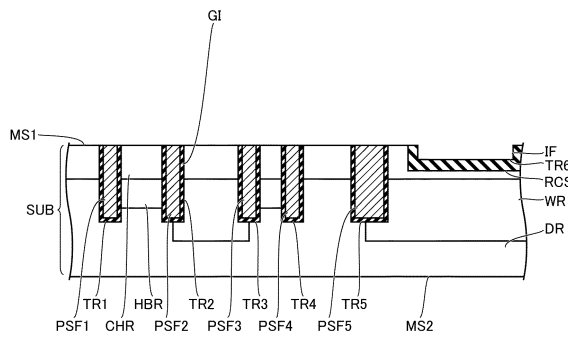
【図29】

図29



【図30】

図30



20

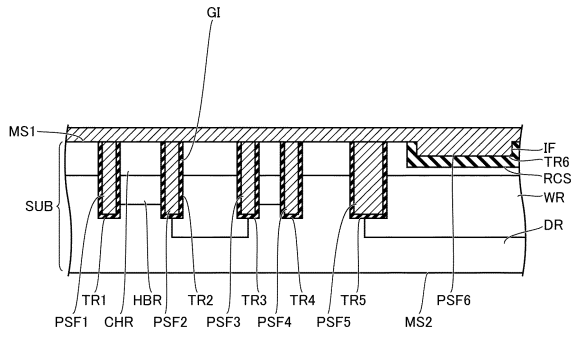
30

40

50

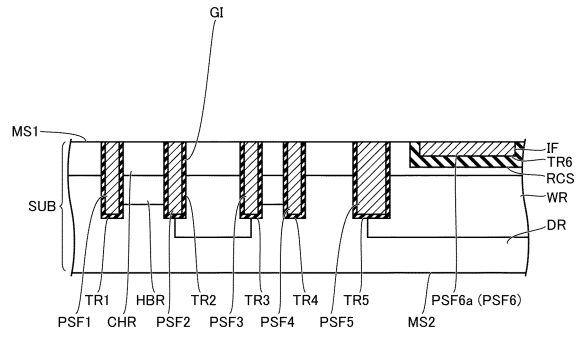
【 3 1 】

31



【 3 2 】

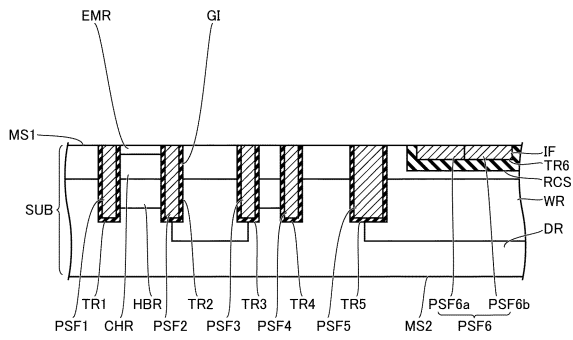
32



10

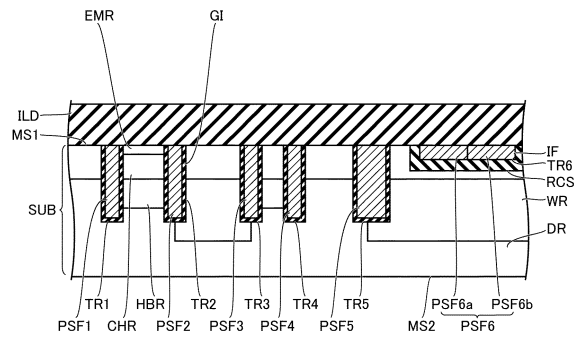
【 3 3 】

33



【 3 4 】

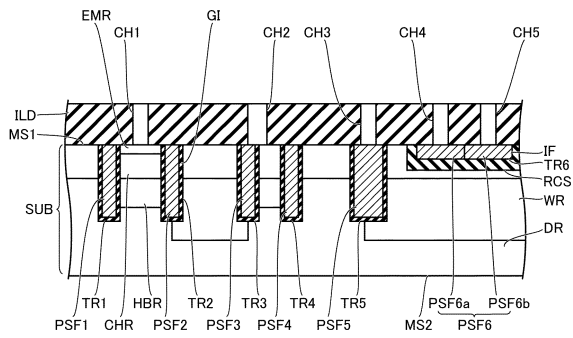
34



20

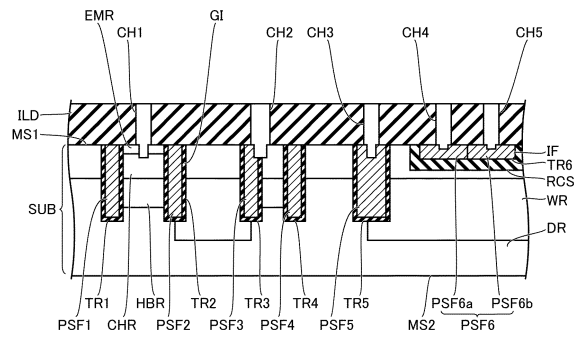
【 3 5 A 】

35A



【 3 5 B 】

35B



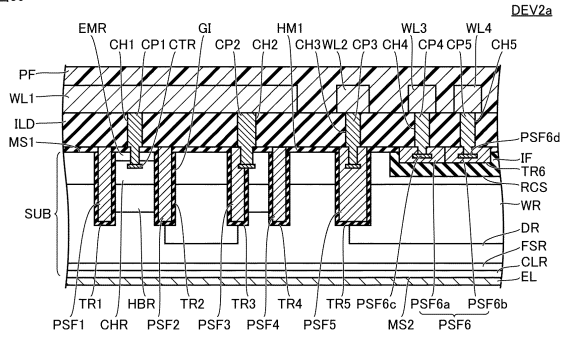
30

40

50

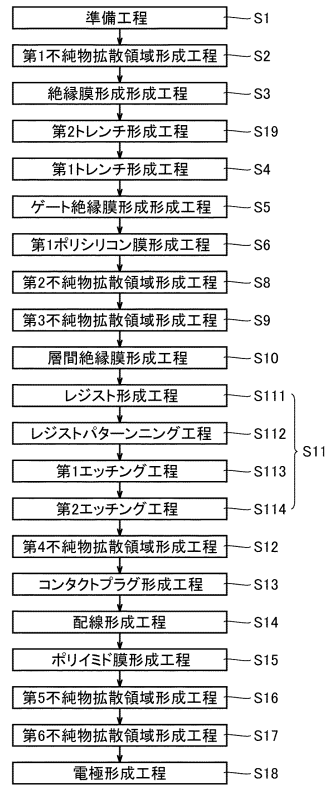
【図36】

図36



【図37】

図37

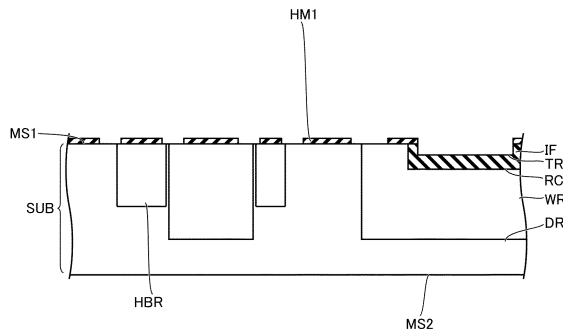


10

20

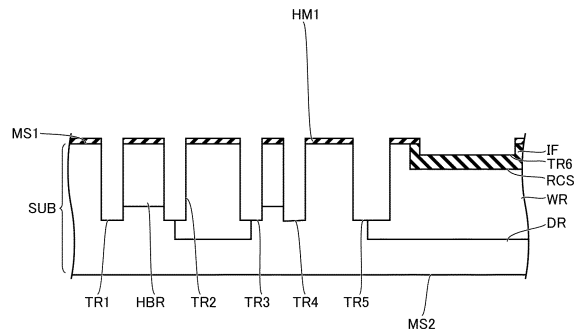
【図38】

図38



【図39】

図39



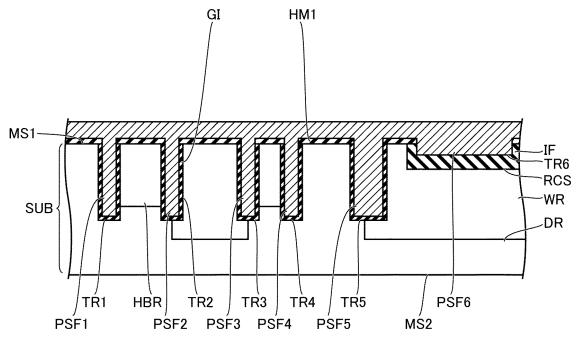
30

40

50

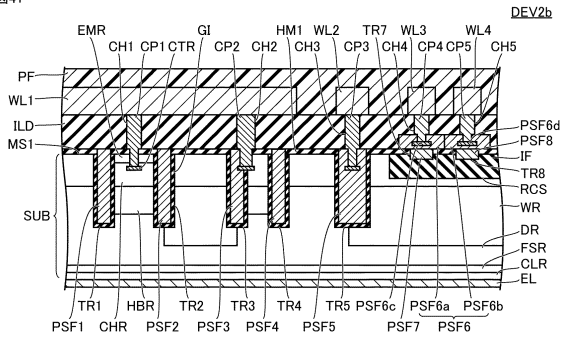
【図40】

図40



【図41】

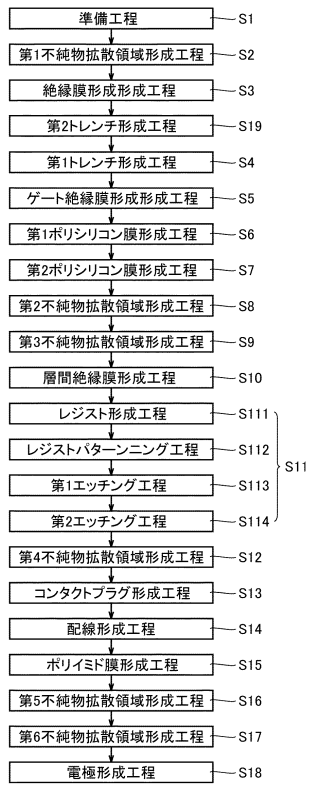
図41



10

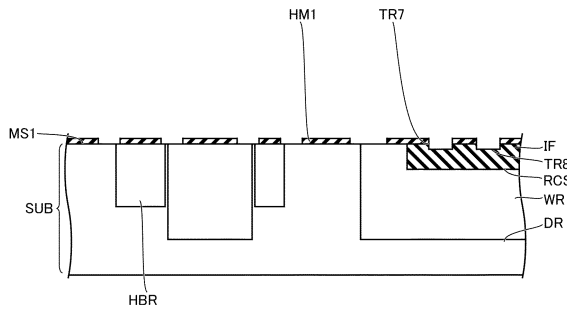
【図42】

図42



【図43】

図43



20

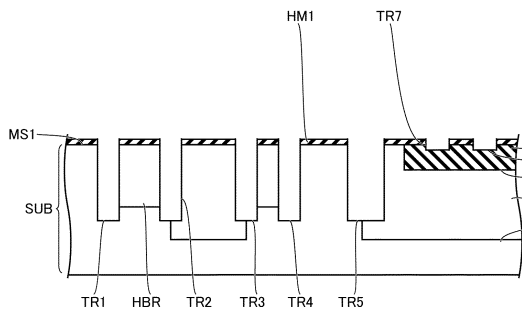
30

40

50

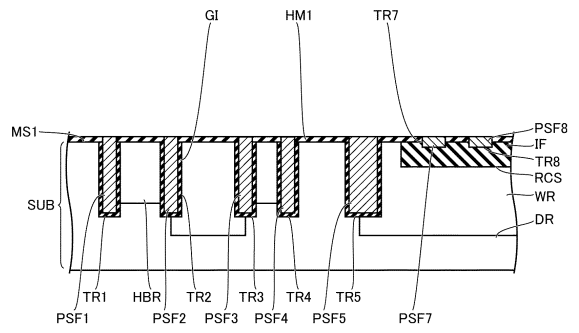
【 4 4 】

44



【 4 5 】

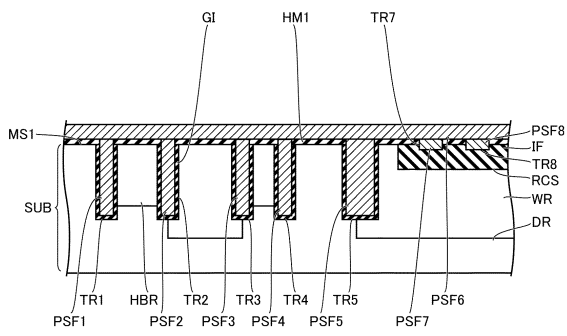
45



10

【 4 6 】

46



20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 0 5 - 0 5 7 0 5 0 (J P , A)
特開 2 0 1 6 - 0 3 5 9 9 6 (J P , A)
特開平 0 5 - 3 1 5 4 5 7 (J P , A)
特開平 0 4 - 1 5 2 5 2 1 (J P , A)
特開 2 0 1 5 - 1 7 9 7 0 7 (J P , A)
特開 2 0 1 3 - 1 1 5 1 6 6 (J P , A)
米国特許出願公開第 2 0 0 5 / 0 0 2 9 5 8 4 (U S , A 1)
米国特許出願公開第 2 0 1 6 / 0 0 3 5 8 4 4 (U S , A 1)
米国特許第 0 5 3 1 7 1 9 3 (U S , A)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 1 L 2 1 / 7 6 8