

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 10 月 20 日 (20.10.2016)



(10) 国际公布号
WO 2016/165256 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) *H01L 21/77* (2006.01)
- (21) 国际申请号: PCT/CN2015/087633
- (22) 国际申请日: 2015 年 8 月 20 日 (20.08.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510181256.1 2015 年 4 月 16 日 (16.04.2015) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。北京京东方显示技术有限公司 (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市北京经济技术开发区经海一路 118 号, Beijing 100176 (CN)。
- (72) 发明人: 刘正 (LIU, Zheng); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。白金超 (BAI, Jinchao); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张治超 (ZHANG, Zhichao); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张小祥 (ZHANG, Xiaoxiang); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。刘明悬

(LIU, Mingxuan); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。郭总杰 (KUO, Tsung Chieh); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

- (74) 代理人: 北京天昊联合知识产权代理有限公司 (TEE&HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区建国门内大街 28 号民生金融中心 D 座 10 层陈源, Beijing 100005 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: ARRAY SUBSTRATE, MANUFACTURING METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制造方法和显示装置

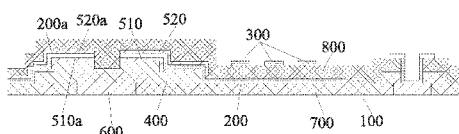


图 2

(57) Abstract: An array substrate, a manufacturing method therefor, and a display device. The array substrate is divided into multiple pixel units. The multiple pixel units are each provided therein with a first transparent electrode (200) and a thin-film transistor. The thin-film transistor comprises a drain electrode (520). The drain electrode (520) is provided above the first transparent electrode (200) and is electrically connected to the first transparent electrode (200). The first transparent electrode (200) is provided below the drain electrode (520); therefore, a step formed on the first transparent electrode (100) is of a reduced height compared with the prior art; hence, while the first transparent electrode (200) is being formed, the first transparent electrode (200) is prevented from cracking.

(57) 摘要: 一种阵列基板及其制造方法, 以及一种显示装置, 所述阵列基板被划分为多个像素单元, 所述多个像素单元中的每一个内均设置有第一透明电极 (200) 和薄膜晶体管, 所述薄膜晶体管包括漏极 (520), 所述薄膜晶体管的漏极 (520) 设置在所述第一透明电极 (200) 上, 并与所述第一透明电极 (200) 电连接。由于所述第一透明电极 (200) 设置在漏极 (520) 的下方, 因此, 相比于现有技术, 第一透明电极 (200) 上形成的台阶高度较小, 从而在形成第一透明电极 (200) 的过程中, 第一透明电极 (200) 不会产生断裂。

WO 2016/165256 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

阵列基板及其制造方法和显示装置

5 相关申请的交叉引用

本申请要求在 2015 年 4 月 16 日向中国国家知识产权局提交的申请号为 201510181256.1 的优先权，该申请全部内容以引用方式并入本文中。

10 技术领域

本发明涉及显示装置的制造领域，具体地，涉及一种阵列基板、该阵列基板的制造方法和一种包括所述阵列基板的显示装置。

背景技术

15 图 1 中所示的是现有技术的一种阵列基板的局部剖视图。如图 1 所示，所述阵列基板包括薄膜晶体管、第一透明电极 200 和第二透明电极 300，第一透明电极 200 为像素电极，其搭接在薄膜晶体管的漏极 520 上。

20 为了保证阵列基板的透明度，第一透明电极 200 通常具有较小的厚度（一般为 300~800 Å）。由于薄膜晶体管的漏极 520 的厚度较大（1500~4000 Å），导致搭接在其上的第一透明电极 200 上形成的台阶高度（即，第一透明电极 200 的处于不同水平面的下表面的高度差）较大。这种情况下，在漏极 520 上沉积形成较薄的第一透明电极 200 的过程中，第一透明电极 200 上容易产生断
25 裂、导致断路，从而降低产品良率。

因此，如何避免第一透明电极产生断裂成为本领域亟待解决的技术问题。

发明内容

30 本发明的目的在于提供一种阵列基板、该阵列基板的制造方

法和一种包括所述阵列基板的显示装置。在所述阵列基板中，第一透明电极不容易产生断裂。

为了实现上述目的，作为本发明的一个方面，提供一种阵列基板，所述阵列基板被划分为多个像素单元，所述多个像素单元中的每一个内均设置有第一透明电极和薄膜晶体管，所述薄膜晶体管包括漏极，其中，所述薄膜晶体管的漏极设置在所述第一透明电极上，并与所述第一透明电极电连接。

可选地，所述薄膜晶体管还包括设置在所述第一透明电极下方的有源层。当所述有源层由多晶硅制成时，所述薄膜晶体管还包括设置在所述有源层与所述第一透明电极之间的导电过渡层，所述导电过渡层在所述有源层表面共形地形成，且所述导电过渡层的位置对应于所述薄膜晶体管的漏极的位置，所述第一透明电极的一端搭接在所述导电过渡层上方，以使得所述第一透明电极与所述导电过渡层之间以及所述有源层和所述导电过渡层之间均形成欧姆接触。

可选地，所述薄膜晶体管还包括源极和设置在所述有源层与所述源极之间的附加导电过渡层，所述附加导电过渡层在所述有源层表面共形地形成，且所述附加导电过渡层的位置对应于所述薄膜晶体管的源极的位置。

可选地，每个像素单元还包括设置在所述附加导电过渡层与所述源极之间的附加透明电极，所述附加透明电极在所述源极的下表面共形地形成。

可选地，所述导电过渡层的厚度小于所述漏极的厚度。

可选地，所述导电过渡层的材料与所述漏极的材料相同。

作为本发明的另一个方面，提供一种阵列基板的制造方法，所述阵列基板被划分为多个像素单元，所述多个像素单元中的每一个内均设置有第一透明电极和薄膜晶体管，所述薄膜晶体管包括漏极，其中，所述制造方法包括步骤：形成包括第一透明电极的图形；以及在所述包括第一透明电极的图形上形成包括漏极的图形。

可选地，在根据本发明实施例的阵列基板的制造方法中，所述薄膜晶体管还包括有源层，所述制造方法还包括：在所述形成包括第一透明电极的图形的步骤之前，形成包括有源层的图形，并且所述包括第一透明电极的图形位于所述包括有源层的图形上方。

在根据本发明实施例的阵列基板的制造方法中，当所述有源层由多晶硅制成时，所述制造方法还包括：在所述形成包括有源层的图形的步骤之后，并且在所述形成包括第一透明电极的图形的步骤之前，形成包括导电过渡层的图形，所述导电过渡层在有源层表面共形地形成。

其中，在所述形成包括第一透明电极的图形的步骤中，所述第一透明电极的一端搭接在所述导电过渡层上，以使得所述第一透明电极与所述导电过渡层之间以及所述有源层和所述导电过渡层之间均形成欧姆接触。

可选地，在根据本发明实施例的阵列基板的制造方法中，所述导电过渡层的厚度小于所述漏极的厚度。

可选地，在根据本发明实施例的阵列基板的制造方法中，所述导电过渡层的材料与所述漏极的材料相同。

可选地，在根据本发明实施例的阵列基板的制造方法中，所述薄膜晶体管还包括源极，并且所述形成包括有源层的图形的步骤、所述形成包括导电过渡层的图形的步骤、所述形成包括第一透明电极的图形的步骤和所述形成包括漏极的图形的步骤具体包括：

依次形成包括初始有源层的图形和包括初始导电过渡层的图形，所述初始有源层的边缘轮廓对应于所述有源层的轮廓，所述初始导电过渡层的边缘与所述初始有源层的边缘对齐，且所述初始导电过渡层层叠在所述初始有源层上；

依次形成透明电极材料层和第二金属材料层，且所述第二金属材料层位于所述透明电极材料层上；

在所述第二金属材料层上方形成光刻胶层；

对所述光刻胶层进行曝光显影，以形成第一掩膜图形层，所述第一掩膜图形层包括分别对应于各个像素单元的多个第一掩膜图形，所述第一掩膜图形包括对应于所述薄膜晶体管的源极和漏极之间的间隔区域的沟道孔，每个像素单元内均形成有一个所述第一掩膜图形，所述第一掩膜图形所覆盖的区域的形状与所述薄膜晶体管的源极和第一透明电极的上表面的形状一致；

通过刻蚀去除所述透明电极材料层和所述第二金属材料层上除所述第一掩膜图形所覆盖的区域之外的材料；

对所述第一掩膜图形层进行灰化处理，以获得第二掩膜图形层，所述第二掩膜图形层包括分别对应于各个像素单元的多个第二掩膜图形，每个所述像素单元内均形成有一个所述第二掩膜图形，所述第二掩膜图形所覆盖的区域的形状与源极和漏极上表面的形状一致；

通过刻蚀形成包括源极和漏极的图形，并通过刻蚀去除所述沟道孔中的位于有源层上的初始导电过渡层材料。

可选地，依次形成包括初始有源层的图形和包括初始导电过渡层的图形的步骤具体包括：

依次形成半导体材料层和第一金属材料层，且所述第一金属材料层位于所述半导体材料层上；

对所述半导体材料层和所述第一金属材料层进行构图，以获得包括初始有源层的图形和包括初始导电过渡层的图形。

可选地，所述制造方法还包括步骤：在形成包括漏极的图形之后，对所述有源层上对应于所述沟道孔的部分进行刻蚀，以使得所述有源层上对应于所述沟道孔的部分的厚度小于所述有源层上其他部分的厚度。

作为本发明的另一个方面，提供一种显示装置，所述显示装置包括阵列基板，其中，所述阵列基板为本发明所提供的上述阵列基板。

在本发明中，由于第一透明电极设置在漏极的下方，因此，相比于现有技术，第一透明电极上形成的台阶高度较小，从而在

通过沉积形成第一透明电极的过程中，第一透明电极不易产生断裂，提高了产品良率。

附图说明

5 附图用于提供对本发明的进一步理解，并且构成说明书的一部分，与下面的具体实施方式一起用于解释本发明，但并非旨在限定本发明。在附图中：

图 1 是现有技术中的阵列基板的局部剖视图；

图 2 是根据本发明实施例的阵列基板的局部剖视图；

10 图 3 示出了根据本发明实施例的制造方法，在透明基板上形成栅极、初始有源层和初始导电过渡层之后的结构；

图 4 示出了根据本发明实施例的制造方法在图 3 中所示的结构上形成透明电极材料层和金属材料层之后的结构；

15 图 5 示出了根据本发明实施例的制造方法在图 4 中所示的结构上形成第一掩膜图形之后的结构；

图 6 示出了根据本发明实施例的制造方法，在图 5 中所示的结构上通过刻蚀去除透明电极材料层和第二金属材料层上除第一掩膜图形所覆盖的区域之外的材料后的结构；

20 图 7 示出了根据本发明实施例的制造方法在图 6 中所示的结构上形成第二掩膜图形至后的结构；以及

图 8 示出了根据本发明实施例的制造方法在图 7 中所示的结构上形成包括了漏极的图形之后的结构。

具体实施方式

25 以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是，此处所描述的具体实施方式仅用于说明和解释本发明，并不用于限制本发明。

应当理解的是，在本发明实施例中，术语“上”是指图 2 至图 8 中所指向的“上”方。在本发明实施例中，术语“共形”用于描述这样一种位置关系：第一层形成在第二层的表面上，并且

30

在不考虑制造工艺的公差的情况下，第一层的形状和与其接触的第二层的表面的那部分的形状相同。

如图 2 所示，作为本发明的一个方面，提供一种阵列基板，所述阵列基板被划分为多个像素单元，所述多个像素单元中的每一个内均设置有第一透明电极 200 和薄膜晶体管，所述薄膜晶体管包括漏极 520，其设置在第一透明电极 200 上，并与第一透明电极 200 电连接。

本领域技术人员应当理解的是，薄膜晶体管包括栅极 600、源极 520a、漏极 520 和有源层 400 等结构，这些结构的设置是本领域人员所公知的，故本发明中并未对其进行详细描述。应当注意的是，由于薄膜晶体管的漏极 520 一般采用不透明的金属材料制成，因此不能够设置在阵列基板的开口区中，以免影响开口率。

在本发明的实施例中，由于第一透明电极 200 设置在漏极 520 的下方，因此，相比于现有技术，第一透明电极 200 上形成的台阶高度较小，从而在通过沉积形成第一透明电极 200 的过程中，第一透明电极 200 不会产生断裂，由此提高了产品良率。

在本发明实施例中，所述多个像素单元中的每一个内还设置有第二透明电极 300。容易理解的是，第一透明电极 200、第二透明电极 300 和薄膜晶体管均设置在透明基板 100 上。

根据本发明的实施例，第一透明电极 200 的一端搭接在有源层 400 上方。当向所述薄膜晶体管的栅极 600 提供开启电压时，有源层 400 开始导电，并且，从所述薄膜晶体管的源极 520a 输入的灰阶信号能够通过有源层 400 传递给第一透明电极 200 以及和第一透明电极 200 电连接的漏极 520。

在本发明实施例中，对有源层的具体材料并不做限定，例如，有源层 400 可以由氧化物制成，也可以由多晶硅制成。

当有源层 400 由氧化物制成时，在形成第一透明电极 200 之前，为防止在形成第一透明电极时破坏有源层，需要在有源层 400 上形成刻蚀阻挡层。当有源层 400 由多晶硅制成时，由于在形成第一透明电极时不会破坏有源层，因此无需在有源层上形成刻蚀

阻挡层。

本发明实施例中，以有源层 400 由多晶硅制成为例进行详细描述。通常，透明电极由 ITO（即，氧化铟锡）制成，当多晶硅与 ITO 直接接触时，在二者之间形成肖基特接触，其接触电阻较大。可选地，为了减小多晶硅与 ITO 之间的接触电阻，可选可以在采用多晶硅制成的有源层 400 和采用 ITO 制成的第一透明电极 200 之间设置导电过渡层 510。在本发明实施例中，导电过渡层 510 的材料可以是能够满足以下条件的任何材料，即，在有源层和导电过渡层之间以及在第一透明电极和导电过渡层之间均形成欧姆接触。

具体地，当有源层 400 由多晶硅制成时，所述薄膜晶体管还包括设置在有源层 400 与第一透明电极 200 之间的导电过渡层 510，导电过渡层 510 在有源层 400 的表面共形地形成，且其位置对应于所述薄膜晶体管的漏极 520 的位置，第一透明电极 200 的一端搭接在导电过渡层 510 上方。

在本发明实施例中，为了形成导电过渡层 510，需要先在有源层 400 上形成一层金属层，然后通过刻蚀去除对应于源极和漏极之间的间隔区域的金属层，从而形成彼此独立的两部分金属层。其中，对应于薄膜晶体管的漏极 520 的位置的那部分金属层为导电过渡层 510，对应于薄膜晶体管的源极 520a 的位置的那部分金属层为附加导电过渡层 510a。换言之，附加透明电极 510a 在所述源极 520a 的下表面共形地形成。形成附加导电过渡层 510a 的优点在于，在制造阵列基板时，可以连续地形成用于形成有源层 400 的材料层和用于形成导电过渡层 510 的材料层，然后利用同一道掩膜工艺形成初始有源层 B 和初始导电过渡层 A（如图 3 所示），然后在形成有初始有源层 B 和初始导电过渡层 A 的透明基板 100 上依次形成透明电极材料层 C 和金属材料层 D（如图 4 所示），再通过形成沟道孔 E1 的方式使初始导电过渡层 A 形成附加导电过渡层 510a 和导电过渡层 510。

当然，在形成导电过渡层 510 时，也可以不保留附加导电过

渡层 510a (即, 仅保留对应于所述薄膜晶体管的漏极 520 的位置的那部分金属层, 而将其他部分的金属层全部刻蚀掉)。这种情况下, 在形成了初始导电过渡层 A 之后, 还要再进行一道掩膜、刻蚀工艺, 通过刻蚀去除对应于除所述薄膜晶体管的漏极 520 的位置之外的金属层, 才能形成导电过渡层 510。与上文中所述的保留附加导电过渡层 510a 的方案相比, 多了一道掩膜、刻蚀工艺。由此可知, 保留附加导电过渡层 510a 可以简化制造阵列基板的步骤。

相应地, 在形成第一透明电极 200 时, 可以通过刻蚀去除对应于除第一透明电极 200 的位置之外的透明电极材料层, 从而只形成位于漏极 520 下方的第一透明电极 200; 也可以保留对应于源极 520a 下方位置的透明电极材料层, 从而同时形成位于漏极 520 下方的第一透明电极 200 和位于源极 520a 下方的附加透明电极 200a, 以节省一道掩膜、刻蚀工艺。需要指出的是, 如果保留了附加透明电极 200a, 则需要同时保留附加导电过渡层 510a, 以确保通过源极 520a 输入的信号能够传递至有源层 400。可选地, 所述薄膜晶体管中保留有附加导电过渡层 510a 和附加透明电极 200a 这两者, 从而可以简化制造阵列基板的步骤。

可选地, 为了进一步地确保第一透明电极 200 不会产生断裂, 可选导电过渡层 510 的厚度小于漏极 520 的厚度。由于导电过渡层 510 厚度较小, 因此, 可以减小形成第一透明电极 200 时第一透明电极 200 的阶跃高度 (即, 台阶高度)。

可选地, 为了简化阵列基板的制造方法, 导电过渡层 510 的可选材料与所漏极 520 的材料相同。例如, 当漏极 520 由金属铝制成时, 导电过渡层 510 也由金属铝制成。

当然, 导电过渡层 510 的材料也可以不同于漏极 520 的材料。例如, 当导电过渡层 510 由金属铝制成时, 漏极可以包括 MoAlMo (钼铝钼) 的三层金属结构。

如图 2 所示, 根据本发明实施例的阵列基板还可以包括第二透明电极 300、位于栅极层 (包括栅线、公共电极线、栅极等) 与有

源层之间的栅绝缘层 700，以及位于有源层上方的钝化层 800。第二透明电极 300 形成在钝化层 800 上，并且，第二透明电极 300 可以为通过过孔和栅极层中的公共电极线进行电连接的梳状电极。这种情况下，相应地，第一透明电极 200 为块状电极。

5

参照图 3 至图 8，作为本发明的另一个方面，提供上述阵列基板的制造方法，所述阵列基板被划分为多个像素单元，所述多个像素单元中的每一个内均设置有第一透明电极和薄膜晶体管，其中，所述制造方法包括步骤：形成包括第一透明电极的图形；
10 以及在所述包括第一透明电极的图形上形成包括漏极的图形。

在本发明实施例中，由于第一透明电极位于漏极的下方，因此，相比于现有技术，在形成第一透明电极时，第一透明电极的台阶高度较小，所以第一透明电极不容易产生断裂。

在本发明实施例中，所述多个像素单元中的每一个内还设置有第二透明电极，所述薄膜晶体管包括有源层、栅极、源极和漏极等结构。
15

根据本发明实施例的制造方法还包括步骤：在所述形成包括第一透明电极的图形之前，形成包括有源层的图形。这种情况下，在所述包括有源层的图形上方形成包括第一透明电极的图形，即，
20 包括第一透明电极的图形位于包括有源层的图形上方。

在上述步骤中，所述包括有源层的图形包括分别对应于各个像素单元的薄膜晶体管的多个有源层。所述包括漏极的图形包括各个薄膜晶体管的漏极，还包括各个薄膜晶体管的源极、多条数据线等。

如上文所述，在本发明实施例中，对形成有源层的材料并不做限定，例如，有源层可以由氧化物制成，也可以由多晶硅制成。
25

在根据本发明实施例的制造方法中，当有源层由氧化物制成时，在形成第一透明电极之前，为防止在形成第一透明电极时破坏有源层，需要在有源层上形成刻蚀阻挡层；当有源层由多晶硅制成时，由于在形成第一透明电极时不会破坏有源层，因此无需
30

在有源层上形成刻蚀阻挡层。

在根据本发明实施例的制造方法中，当所述有源层由多晶硅制成时，由于透明电极通常由 ITO 制成，若多晶硅与 ITO 直接接触，二者之间形成肖特基接触，接触电阻较大，为了减小多晶硅与 ITO 之间的接触电阻，可选地，所述制造方法还包括以下步骤：

在形成包括有源层的图形之后，并且在形成包括第一透明电极的图形之前，形成包括导电过渡层的图形，所述导电过渡层在有源层的表面共形地形成，且其位置对应于所述漏极的位置。这种情况下，所述第一透明电极的一端搭接在所述导电过渡层上，以使得所述第一透明电极与所述导电过渡层之间以及所述有源层和所述导电过渡层之间均形成欧姆接触。

在根据本发明实施例的制造方法中，导电过渡层的材料可以是能够满足以下要求的任何材料，即，在第一透明电极与导电过渡层之间以及有源层和导电过渡层之间均形成欧姆接触。

可选地，在根据本发明实施例的制造方法中，所述导电过渡层的厚度小于所述漏极的厚度，以减小第一透明电极的台阶高度。

可选地，所述导电过渡层的材料与所述源极和漏极的材料相同，以简化所述阵列基板的制造方法。

在本发明中，对形成各个图形层的具体方式并不做限定。通常，可以通过光刻构图工艺形成。

可选地，为了简化所述阵列基板的制造方法，可选所述形成包括有源层的图形的步骤、所述形成包括导电过渡层的图形的步骤、所述形成包括第一透明电极的图形的步骤和所述形成包括漏极的图形的步骤具体包括：

依次形成包括初始有源层 B 的图形和包括初始导电过渡层 A 的图形，所述初始有源层 B 的边缘轮廓对应于所述有源层的轮廓，所述初始导电过渡层 A 的边缘与所述初始有源层 B 的边缘对齐，且所述初始导电过渡层 A 堆叠在所述初始有源层 B 上（如图 3 所示），其中，所述包括初始有源层 B 的图形包括分别对应于各个像素单元的薄膜晶体管的多个初始有源层 B，所述包括初始导电

过渡层 A 的图形包括分别对应于各个像素单元的薄膜晶体管的多个初始导电过渡层 A;

依次形成透明电极材料层 C 和第二金属材料层 D (如图 4 所示), 且第二金属材料层 D 位于透明电极材料层 C 上;

5 在第二金属材料层 D 上形成光刻胶层;

对所述光刻胶层进行曝光显影, 以形成第一掩膜图形层, 该第一掩膜图形层包括分别对应于各个像素单元的多个第一掩膜图形 E, 换言之, 每个像素单元内均形成有一个第一掩膜图形 E (如图 5 所示), 该第一掩膜图形 E 包括对应于所述薄膜晶体管的源极和漏极之间的间隔区域的沟道孔 E1, 且所述第一掩膜图形 E 所覆盖的区域的形状与所述薄膜晶体管的源极和第一透明电极的上表面的形状一致;

10 通过刻蚀去除透明电极材料层 C 和第二金属材料层 D 上除第一掩膜图形 E 所覆盖的区域之外的材料 (如图 6 所示);

15 对第一掩膜图形层进行灰化处理, 以获得第二掩膜图形层, 所述第二掩膜图形层包括分别对应于各个像素单元的多个第二掩膜图形 F, 换言之, 每个所述像素单元内均形成有一个第二掩膜图形 F (如图 7 所示), 所述第二掩膜图形 F 所覆盖的区域的形状与所述薄膜晶体管中的源极和漏极的上表面的形状一致;

20 通过刻蚀形成包括漏极的图形, 并通过刻蚀去除沟道孔 E1 中的位于有源层 400 上的初始导电过渡层 A (如图 8 所示)。经过此次刻蚀可以防止有源层 400 的表面上残留导电材料, 从而可以确保薄膜晶体管的正常导通和正常关断的性能, 有利于提高显示面板的良率。在刻蚀时, 第二掩膜图形 F 可以保护该第二掩膜图形 F 所覆盖的区域的材料不被刻蚀, 未被刻蚀的金属材料层形成为所述薄膜晶体管的源极和漏极。

25 应当理解的是, 本文中所述的“薄膜晶体管的源极和第一透明电极的上表面的形状”是指薄膜晶体管的源极的上表面与第一透明电极的上表面形成的组合的形状, 以及“源极和漏极上表面的形状”是指源极的上表面与漏极的上表面形成的组合的形状。

30

如上文所述，在通过刻蚀工艺形成源极和漏极之前，并未通过刻蚀去除位于有源层上且与源极相对应的位置处的初始导电过渡层 A，这样可以减少一道掩膜、刻蚀工艺，从而简化了所述阵列基板的制造方法，降低了生产成本。

5 可选地，在根据本发明实施例的制造方法中，对应于沟道孔 E1 位置处的有源层 400 的厚度小于其他位置处的有源层 400 的厚度，从而可以确保有源层上没有导电材料残留。因此，所述制造方法还包括以下步骤：在形成了包括漏极的图形之后，对所述有源层上对应于所述沟道孔 E1 的部分进行刻蚀，以使得所述有源层的对应于所述沟道孔部分的厚度小于所述有源层的其他部分的厚度。

10 在根据本发明实施例的制造方法中，上述步骤均可以通过干法刻蚀完成。

15 在根据本发明实施例的制造方法中，第二金属材料层 D 可以包括堆叠设置的多个子金属层，且相邻两层子金属层的成分可以不同。例如，第二金属层可以是 AlMoAl(铝钼铝)三层金属结构。

在根据本发明实施例的制造方法中，依次形成包括初始有源层 B 的图形和包括初始导电过渡层 A 的图形的步骤具体可以包括：

20 依次形成半导体材料层和第一金属材料层，且第一金属材料层位于半导体材料层上；

对所述半导体材料层和所述第一金属材料层进行构图，以获得包括初始有源层 B 的图形和包括初始导电过渡层 A 的图形（如图 3 所示）。

25 可选地，在根据本发明实施例的制造方法中，第一金属材料层的成分与第二金属材料层 D 的成分可以相同，以简化所述阵列基板的制造方法。当然，第一金属材料层的成分与第二金属材料层的成分也可以不同。

30 本领域技术人员容易理解的是，根据本发明实施例的制造方法还可包括以下步骤：在形成包括有源层的图形之前，依次形成包括栅极 600 的图形和栅绝缘层，且栅绝缘层位于包括栅极的图

形上。其中，有源层形成在栅极上方的栅绝缘层上。所述包括栅极的图形包括各薄膜晶体管的栅极，还包括栅线和公共电极线。

5 本领域技术人员容易理解的是，根据本发明实施例的制造方法还可包括以下步骤：在形成包括漏极的图形之后，依次形成钝化层和包括第二透明电极的图形，且包括第二透明电极的图形位于钝化层上。其中，钝化层覆盖包括漏极的图形，而第二透明电极为梳状电极，通过过孔与公共电极线相连。

10 作为本发明的又一个方面，提供一种显示装置，所述显示装置包括阵列基板，其中，所述阵列基板为本发明所提供的上述阵列基板。

容易理解的是，所述显示装置可以为液晶显示装置，该显示装置还包括与所述阵列基板对盒设置的对盒基板。可以将彩膜层设置在对盒基板上，以实现彩色显示。

15 所述显示装置可以是显示器、笔记本电脑、导航仪、手机、平板电脑等。

20 可以理解的是，以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式，然而本发明并不局限于此。对于本领域内的普通技术人员而言，在不脱离本发明的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本发明的保护范围。

权利要求书

UP-151953-02

1、一种阵列基板，所述阵列基板被划分为多个像素单元，所述多个像素单元中的每一个内均设置有第一透明电极和薄膜晶体管，所述薄膜晶体管包括漏极，其中，所述薄膜晶体管的漏极设置在所述第一透明电极上，并与所述第一透明电极电连接。

2、根据权利要求1所述的阵列基板，其中，所述薄膜晶体管还包括有源层，所述有源层设置在所述第一透明电极下方。

3、根据权利要求2所述的阵列基板，其中所述有源层由多晶硅制成，并且所述薄膜晶体管还包括设置在所述有源层与所述第一透明电极之间的导电过渡层，所述导电过渡层在所述有源层表面共形地形成，且所述导电过渡层的位置对应于所述薄膜晶体管的漏极的位置，所述第一透明电极的一端搭接在所述导电过渡层上方，以使得所述第一透明电极与所述导电过渡层之间以及所述有源层与所述导电过渡层之间均形成欧姆接触。

4、根据权利要求3所述的阵列基板，其中所述薄膜晶体管还包括源极和设置在所述有源层与所述源极之间的附加导电过渡层，所述附加导电过渡层在所述有源层表面共形地形成，且所述附加导电过渡层的位置对应于所述薄膜晶体管的源极的位置。

5、根据权利要求4所述的阵列基板，其中所述多个像素单元中的每一个内还包括设置在所述附加导电过渡层与所述源极之间的附加透明电极，所述附加透明电极在所述源极的下表面共形地形成。

6、根据权利要求3所述的阵列基板，其中所述导电过渡层的厚度小于所述漏极的厚度。

7、根据权利要求 3 所述的阵列基板，其中所述导电过渡层的材料与所述漏极的材料相同。

5 8、一种阵列基板的制造方法，其中所述阵列基板被划分为多个像素单元，所述多个像素单元中的每一个内均设置有第一透明电极和薄膜晶体管，所述薄膜晶体管包括漏极，所述制造方法包括步骤：

 形成包括第一透明电极的图形；以及

10 在所述包括第一透明电极的图形上形成包括漏极的图形。

 9、根据权利要求 8 所述的制造方法，其中所述薄膜晶体管还包括有源层，并且所述制造方法还包括步骤：

15 在所述形成包括第一透明电极的图形的步骤之前，形成包括有源层的图形，并且所述包括第一透明电极的图形位于所述包括有源层的图形上方。

 10、根据权利要求 9 所述的制造方法，其中所述有源层由多晶硅制成，并且所述制造方法还包括步骤：

20 在所述形成包括有源层的图形的步骤之后，并且在所述形成包括第一透明电极的图形的步骤之前，形成包括导电过渡层的图形，所述导电过渡层在有源层表面共形地形成，其中，

 在形成包括第一透明电极的图形的步骤中，所述第一透明电极的一端搭接在所述导电过渡层上，以使得所述第一透明电极与
25 所述导电过渡层之间以及所述有源层和所述导电过渡层之间均形成欧姆接触。

 11、根据权利要求 10 所述的制造方法，其中所述导电过渡层的厚度小于所述漏极的厚度。

30

12、根据权利要求 10 所述的制造方法，其特征在于，所述导电过渡层的材料与所述漏极的材料相同。

13、根据权利要求 10 所述的制造方法，其中所述薄膜晶体管还包括源极，并且所述形成包括有源层的图形的步骤、所述形成包括导电过渡层的图形的步骤、所述形成包括第一透明电极的图形的步骤和所述形成包括漏极的图形的步骤具体包括：

依次形成包括初始有源层的图形和包括初始导电过渡层的图形，所述初始有源层的边缘轮廓对应于所述有源层的轮廓，所述初始导电过渡层的边缘与所述初始有源层的边缘对齐，且所述初始导电过渡层堆叠在所述初始有源层上；

依次形成透明电极材料层和第二金属材料层，且所述第二金属材料层位于所述透明电极材料层上；

在所述第二金属材料层上方形成光刻胶层；

对所述光刻胶层进行曝光显影，以形成第一掩膜图形层，所述第一掩膜图形层包括分别对应于各个像素单元的多个第一掩膜图形，所述第一掩膜图形包括对应于所述薄膜晶体管的源极和漏极之间的间隔区域的沟道孔，每个像素单元内均形成有一个所述第一掩膜图形，所述第一掩膜图形所覆盖的区域的形状与所述薄膜晶体管的源极和第一透明电极的上表面的形状一致；

通过刻蚀去除所述透明电极材料层和所述第二金属材料层上除所述第一掩膜图形所覆盖的区域之外的材料；

对所述第一掩膜图形层进行灰化处理，以获得第二掩膜图形层，所述第二掩膜图形层包括分别对应于各个像素单元的多个第二掩膜图形，每个所述像素单元内均形成有一个所述第二掩膜图形，所述第二掩膜图形所覆盖的区域的形状与源极和漏极上表面的形状一致；以及

通过刻蚀形成包括漏极的图形，并通过刻蚀去除所述沟道孔中的位于有源层上的初始导电过渡层材料。

14、根据权利要求 13 所述的制造方法，其中所述依次形成包括初始有源层的图形和包括初始导电过渡层的图形的步骤具体包括：

5 依次形成半导体材料层和第一金属材料层，且所述第一金属材料层位于所述半导体材料层上；以及

对所述半导体材料层和所述第一金属材料层进行构图，以获得包括初始有源层的图形和包括初始导电过渡层的图形。

10 15、根据权利要求 13 所述的制造方法，其中所述制造方法还包括：

在所述形成包括漏极的图形之后，对所述有源层上对应于所述沟道孔的部分进行刻蚀，以使得所述有源层上对应于所述沟道孔的部分的厚度小于所述有源层上其他部分的厚度。

15 16、根据权利要求 15 所述的制造方法，其中利用干法刻蚀对所述有源层上对应于所述沟道孔的部分进行刻蚀。

20 17、根据权利要求 13 所述的方法，其中第二金属层由多层金属材料堆叠而成。

25 18、一种显示装置，所述显示装置包括阵列基板，其中所述阵列基板为权利要求 1-7 中任意一项所述的阵列基板。

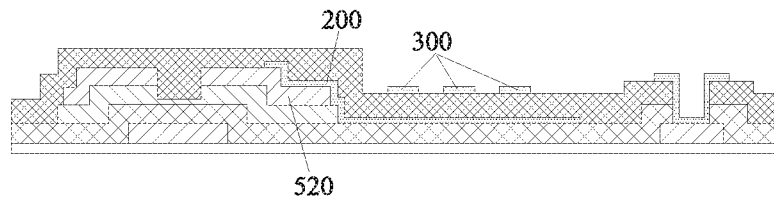


图 1

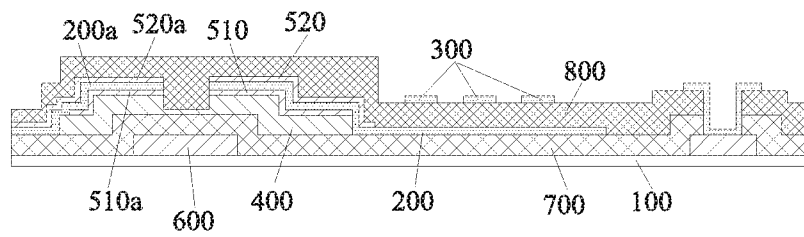


图 2

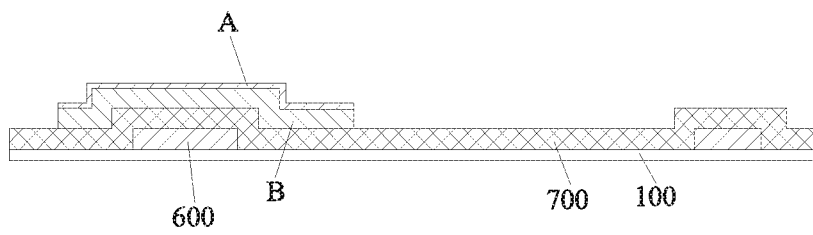


图 3

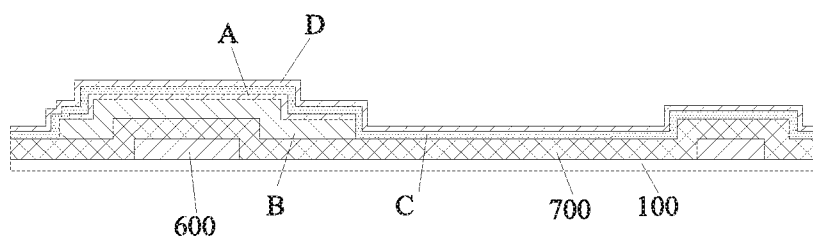


图 4

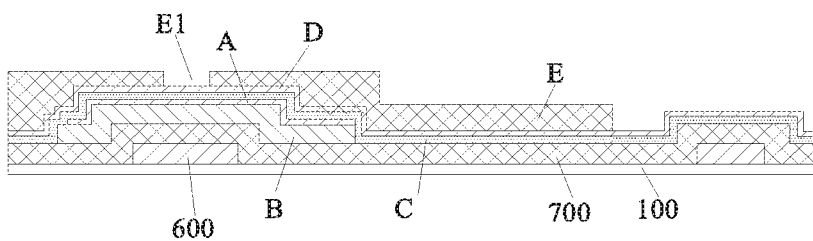


图 5

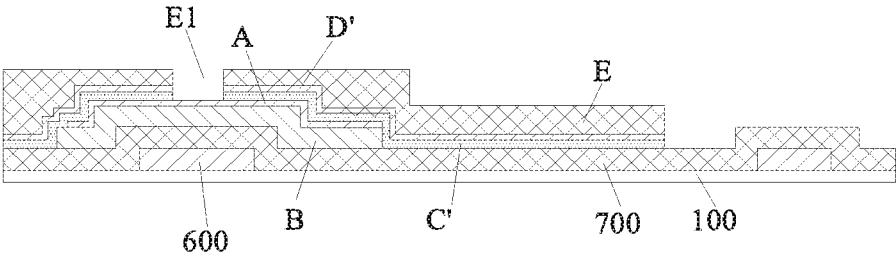


图 6

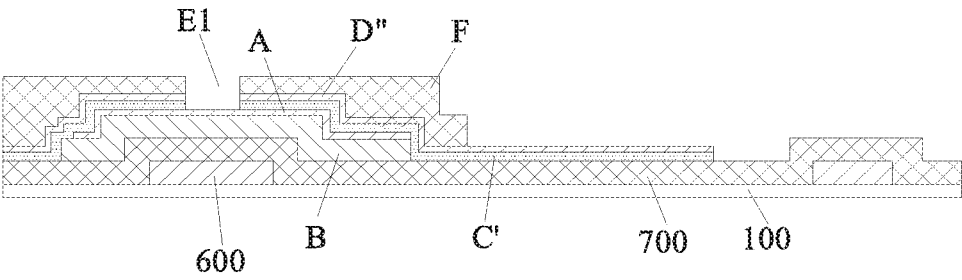


图 7

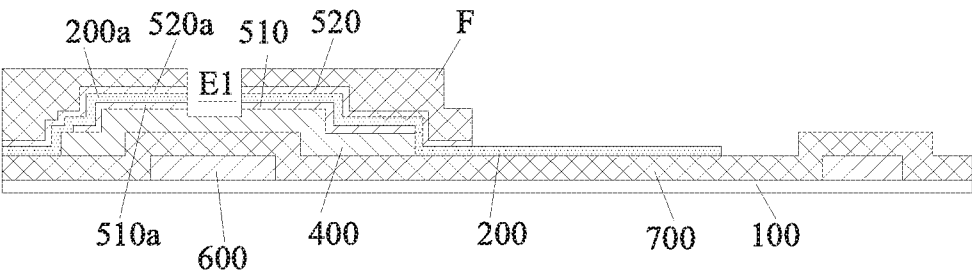


图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/087633

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006. 01) i; H01L 21/77 (2006. 01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, IEEE, CNKI: array, substrate, display, pixel, transparent, drain, show, crystal valve, ohmic contact, pixel electrode, transparency electrode, buffer layer, transition layer, metal, source, BOE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104779258 A (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD. et al.) 15 July 2015 (15.07.2015) description, paragraphs [0057]-[0115], and figures 2-8	1-18
X	CN 103972245 A (AU OPTRONICS CORPORATION) 06 August 2014 (06.08.2014) description, paragraphs [0027]-[0041], and figures 1-9	1-18
X	CN 102693938 A (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD.) 26 September 2012 (26.09.2012) description, paragraphs [0041]-[0100], and figures 1-8	1-18
X	CN 102629582 A (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD.) 08 August 2012 (08.08.2012) description, paragraphs [0054]-[0110], and figures 1-14	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 28 December 2015	Date of mailing of the international search report 18 January 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YAN, Miaoling Telephone No. (86-10) 82245409

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/CN2015/087633

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104779258 A	15 July 2015	None	
CN 103972245 A	06 August 2014	US 2015263050 A1	17 September 2015
		TW 201535688 A	16 September 2015
CN 102693938 A	26 September 2012	CN 102693938 B	18 June 2014
CN 102629582 A	08 August 2012	CN 102629582 B	02 April 2014

A. 主题的分类		
H01L 27/12(2006.01)i; H01L 21/77(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
H01L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
WPI, EPDOC, CNPAT, IEEE, CNKI:阵列基板, 显示, 晶体管, 欧姆接触, 像素电极, 透明电极, 缓冲层, 过渡层, 金属, 源极, 漏极, 京东方, array, substrate, display, pixel, transparent, drain		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 104779258 A (京东方科技集团股份有限公司 等) 2015年 7月 15日 (2015 - 07 - 15) 说明书第[0057]-[0115]段、附图2-8	1-18
X	CN 103972245 A (友达光电股份有限公司) 2014年 8月 6日 (2014 - 08 - 06) 说明书第[0027]-[0041]段、附图1-9	1-18
X	CN 102693938 A (京东方科技集团股份有限公司) 2012年 9月 26日 (2012 - 09 - 26) 说明书第[0041]-[0100]段、附图1-8	1-18
X	CN 102629582 A (京东方科技集团股份有限公司) 2012年 8月 8日 (2012 - 08 - 08) 说明书第[0054]-[0110]段、附图1-14	1-18
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2015年 12月 28日		2016年 1月 18日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088		颜庙青
传真号 (86-10)62019451		电话号码 (86-10)82245409

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/087633

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	104779258	A	2015年 7月 15日	无	
CN	103972245	A	2014年 8月 6日	US	2015263050 A1 2015年 9月 17日
				TW	201535688 A 2015年 9月 16日
CN	102693938	A	2012年 9月 26日	CN	102693938 B 2014年 6月 18日
CN	102629582	A	2012年 8月 8日	CN	102629582 B 2014年 4月 2日

表 PCT/ISA/210 (同族专利附件) (2009年7月)