

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4305286号
(P4305286)

(45) 発行日 平成21年7月29日(2009.7.29)

(24) 登録日 平成21年5月15日(2009.5.15)

(51) Int.Cl.		F I			
G06F 12/06	12/06	(2006.01)	G06F	12/06	521A
G06F 12/00	12/00	(2006.01)	G06F	12/00	550K
G06F 13/16	13/16	(2006.01)	G06F	13/16	510D
			G06F	12/00	597C

請求項の数 3 (全 19 頁)

(21) 出願番号	特願2004-167936 (P2004-167936)	(73) 特許権者	000005108
(22) 出願日	平成16年6月7日(2004.6.7)		株式会社日立製作所
(62) 分割の表示	特願平10-220106の分割		東京都千代田区丸の内一丁目6番6号
原出願日	平成10年8月4日(1998.8.4)	(74) 代理人	100100310
(65) 公開番号	特開2004-295915 (P2004-295915A)		弁理士 井上 学
(43) 公開日	平成16年10月21日(2004.10.21)	(72) 発明者	大原 功
審査請求日	平成17年7月29日(2005.7.29)		神奈川県海老名市下今泉810番地 株式
			会社日立製作所 サーバ開発本部内
		(72) 発明者	石山 明
			神奈川県海老名市下今泉810番地 株式
			会社日立製作所 サーバ開発本部内
		審査官	多賀 実

最終頁に続く

(54) 【発明の名称】 計算機システム

(57) 【特許請求の範囲】

【請求項1】

複数のプロセッサとメモリコントローラと複数のメモリアレイからなる計算機システムにおいて、

当該計算機システムは、メモリコントローラとメモリアレイ間に複数のデータ転送路接続手段を設け、前記メモリコントローラとそれぞれの前記データ転送路接続手段の間をデータ転送路接続手段ごとに第一のデータ転送路で接続し、さらに、前記データ転送路接続手段ごとに前記データ転送路接続手段と前記メモリアレイ間をメモリアレイごとに第二のデータ転送路で接続して、前記メモリコントローラと前記メモリアレイの間で相互にデータ転送をおこなうように構成し、

前記プロセッサが複数の第三のデータ転送路により前記メモリコントローラに接続されるとともに、複数の前記データ転送路接続手段が前記メモリコントローラに接続され、

前記第一のデータ転送路及び第二のデータ転送路は、転送するデータと共に前記第一のデータ転送路及と第二のデータ転送路とで異なるデータ転送のクロック情報を有してソース同期転送され、

前記第一のデータ転送路は前記第二のデータ転送路に比べ、データ転送路幅が小さくかつ転送周波数が大きくし、

前記第一のデータ転送路のデータ転送バンド幅は、前記第二のデータ転送路のデータ転送バンド幅の総和に等しいことを特徴とする計算機システム。

【請求項2】

前記データ転送路接続手段は、前記第一のデータ転送路あるいは第二のデータ転送路の一方から、データ転送のクロック情報により取り込んだ転送データを、他方のデータ転送路に転送する制御手段を有し、

前記第一のデータ転送路と第二のデータ転送路でデータを相互に転送することを特徴とする請求項 1 に記載の計算機システム。

【請求項 3】

プロセッサとメモリコントローラと複数のメモリアレイからなる計算機システムにおいて、

当該計算機システムは、メモリコントローラとメモリアレイの間に複数のデータ転送路接続手段を設け、

前記メモリコントローラと前記データ転送路接続手段の間をデータ転送路接続手段ごとに第一のデータ転送路で接続し、さらに、前記データ転送路接続手段ごとに前記データ転送路接続手段と前記複数のメモリアレイ間をメモリアレイごとに第二のデータ転送路で接続して、前記メモリコントローラと前記メモリアレイの間で相互にソース同期データ転送をおこなうように構成し、

前記メモリコントローラと前記プロセッサは第三のデータ転送路で接続するように構成され、

前記第一のデータ転送路のデータ転送バンド幅は、前記第三のデータ転送路のデータ転送バンド幅に等しく、かつ、

前記第一のデータ転送路のデータ転送路幅は、前記第二のデータ転送路のデータ転送路幅より小さいことを特徴とする計算機システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パーソナルコンピュータ、ワークステーション、オフィスコンピュータ等の計算機システムにおけるメモリシステム、特に大容量メモリシステムに関する。

【背景技術】

【0002】

最近のプロセッサの急激な性能上昇に対し、メモリサブシステムにはプロセッサが要求する高いバンド幅を満たすためにより大きなデータ幅とより高速な動作が要求されている。それに加えて、メモリ容量を可能な限り大きく取りたいという要求もある。

【0003】

図 2 は計算機システム構成の一例である。以下では図中の番号で 201a, 201b のように英小文字のサフィックスがついているものは複数あるもののうちの 1 つ要素を示し、サフィックスを含まないで記した場合はすべての要素を示しているものとする。また、要素の名称でデータバス A、B、C に関してデータバス C 0、C 1 のように直後に数字を記しているものは複数あるもののうちの 1 つの要素を示し、数字を含まないで記した場合はすべての要素を示しているものとする。

【0004】

本計算機システムは、プロセッサ(201)とデータバス A(205)を介して接続しているメモリコントローラ(202)と、メモリコントローラとメモリアレイ(204)を接続する複数のデータバス C(207)から構成される。図ではプロセッサとメモリアレイのバス幅は同じ M (バイト)であるが、データレートはプロセッサが L (bps)であるのに対し、メモリアレイはその半分の L / 2 (bps)でしか動作できないために、データバス C を C 0 と C 1 の 2 本用意することでデータバス A とデータバス C でバンド幅を揃えている。

【0005】

データレートが L (bps)で動作可能なメモリアレイが登場した場合の構成を図 3 に示す。図 2 との相違点は、データバス C のデータレートが 2 倍の L (bps)になったこと、データバス C に接続可能なメモリアレイの数が減ったことである。データバス A とデータバス C のデータ幅・データレートが等しくなるので、データバス C の本数が 1 本だけでこの計

10

20

30

40

50

算機システムのバンド幅は揃う。しかし、高速となったデータバスCのインターフェースの電気的特性より負荷数に限界が生じ、データバスCに接続可能なメモリアレイの数が減るのでデータバスが1本の場合はメモリ容量が図2の構成に比べて少なくなる。図2と図3のメモリコントローラが同一のLSIパッケージであるとデータバスCをもう1本追加する余裕があり、データバスCを2本用意してメモリ容量を稼ぐことになる。このとき、メモリアレイ側はプロセッサ側の2倍のバンド幅を有しているが、プロセッサ側のバンド幅が変わっていないので、データバスAがボトルネックとなりシステム全体の最大スループットには影響していない。ただし、メモリへのアクセスパターンによっては実効スループットおよび平均アクセス時間は向上する場合がある。

【0006】

プロセッサ側の要求バンド幅が図3の2倍になった構成を図4に示す。図3との相違点はメモリコントローラにデータバスA1を接続したことである。この状態ではデータバスAとデータバスCにおいてデータ幅・データレート・バスの本数が等しいため、バンド幅はプロセッサ側とメモリ側とで釣り合う。ただし、接続できるメモリアレイの数がデータバスCの本数で制限されているためプロセッサのスループットに対してメモリの大容量化が難しく、大容量のメモリを必要とするアプリケーションには不向きである。この構成図に対して、さらにメモリ容量を確保するために行われてきた手法は、次の三つに分類できる。

【0007】

一つ目は、メモリコントローラに使用されるLSIパッケージにピン数の多いものを使用して、メモリアレイ側に接続できるデータバスの本数を増やすことである。ただし、多ピン型のLSIパッケージは主流のLSIパッケージに比べコストが高いことや、多ピン型といってもその数には限界があることが問題点である。1998年現在、信号ピン数が400ピンあたりが主流であり、信号ピン数と電源ピン数の比が約2:1とするとパッケージには600ピンクラスが用いられている。1000ピンクラスのパッケージも存在するがまだまだ高価である。

【0008】

二つ目は、データバスCに接続するメモリアレイの数を増やすことである。そのためには、データバスCのインターフェイスに特開平7-202947(出願人:日立製作所)で開示されている高速多負荷接続可能なSSTLインターフェイスを用い、かつそのデータ転送方式に特開平10-293635(出願人:日立製作所)に記載されているソース同期転送方式をもちいることである。その構成を図5に示す。図4との相違点は、メモリサブコントローラとメモリアレイの接続形態がリング状となり、1:2のマルチプレクサ(208)(以降MUX)を介して接続されていることである。MUXの効果は、前述の特開平8-145431で示されているように、メモリアクセスの書き込みと読み出し動作によりその転送方向を変更し、メモリサブコントローラに必要とされるピン数を約半分に削減することである。SSTLインターフェイスとはバスに接続している負荷のスタブにシリーズ抵抗を挿入しバスラインへの反射を抑えるインターフェイスであり、ソース同期転送方式とはデータ転送の供給元がデータ信号とともにソースクロック信号を送信し、受信側でソースクロック信号を用いて受信データ信号をラッチするデータ転送方式である。従来のシステムクロック信号でデータ転送を行う同期転送方式とは異なり、ソース同期転送方式では転送するデータ信号とソースクロック信号が平行して走っているためその伝播遅延時間がほぼ等しく、セットアップ・ホールド時間等のタイミング設計時にバスの配線長による伝播遅延時間をほとんど無視できるので、高速データ転送が容易となる。上記の2つを組み合わせることで多負荷接続バスにおける高速データ転送が可能となり、高速動作でありながらメモリ容量を増やすことができる。この場合においてもメモリ容量はメモリコントローラに接続できるデータバスCの本数によって決定されるため、さらにメモリ容量を増やそうとするとメモリコントローラのLSIパッケージのピン数を増やすしかない。

【0009】

10

20

30

40

50

三つ目は、データバスCの本数を増えたように見せかけることである。その構成を図6に示す。図4との相違点は、メモリコントローラとメモリアレイ間に1:NのMUX(209)を接続して、見かけ上のバスの本数を増やしていることである。そのため、メモリ容量はMUX使用前のN倍となる。しかし、メモリアレイに接続されているバスの本数とメモリの容量は増えているにもかかわらず、メモリコントローラに接続されているバスの本数は変わっていないためにデータバスCのバンド幅は変わらない。そのうえ、途中に1:NのMUXを挿入したことで、このMUXの切り替えにかかる時間がオーバーヘッドとなり実効スループットが低下するという問題もある。また、メモリアレイが空間的に広がるため、メモリコントローラとメモリアレイ間での高速データ転送が難しくなり、メモリコントローラとMUX間もしくはMUXとメモリアレイ間にデータバッファを設置する必要も生じる。

10

【0010】

一方、データ転送にソース同期転送方式を用いることで高速データ転送を実現し、バンド幅を向上させることが可能となる。ソース同期転送方式ではデータ転送装置間のデータ信号とソースクロック信号の伝播遅延時間を等しくさえすれば、データ転送装置間の伝送路における伝播遅延時間すなわちデータ転送装置間の距離に左右されずに高速なデータ転送が可能である。データ転送も1サイクル転送に限らずマルチサイクル転送可能となる。ただし、Nサイクル転送を行う場合にはデータの伝播遅延時間Tdが $(N-1) \times (1 \text{ マシンサイクル時間}) < Td < N \times (1 \text{ マシンサイクル時間})$ にあることを保証する必要があり、データ転送装置間のデータの伝播遅延時間に合わせたインターフェイス回路をデータ転送装置内に作成し、Nサイクル転送を実現している。データ転送装置内のインターフェイス回路は外部の伝送路に合わせて作成した唯一のものであり、外部の伝送路の変更には従順に対応できない場合が多い。

20

【0011】

【特許文献1】特開平7-202947

【特許文献2】特開平10-293635

【発明の開示】

【発明が解決しようとする課題】

【0012】

従来の計算機システム構成では上記に示したように次の問題点がある。

30

- (1) メモリコントローラのピン数を増やしてデータバスCの本数を増大させようとするともメモリコントローラのコスト増を招く。
- (2) データバスCの本数を見かけ上増やしてメモリ容量を増やすことは可能であるが、バンド幅が向上しない。
- (3) (2)において、見かけ上のデータバスCをMUXで接続した場合は、MUXの切り替え時間がオーバーヘッドとなり実効スループットが低下する。
- (4) ソース同期転送方式においては、データの伝播遅延時間に合わせて転送サイクル数が決定し、そのサイクル数に合わせたインターフェイス回路をデータ転送装置内に作成する必要はある。

【0013】

40

本発明の目的は、

- (1) 高速データ転送可能なソース同期転送方式を複数のデータ転送装置に採用してバンド幅を向上させたメモリサブシステム
- (2) メモリを大容量化し、かつコスト増を招くことなくバンド幅を向上させたメモリサブシステム
- (3) データ転送にソース同期転送方式を採用し、データ転送の最小転送サイクルを保証するバッファを具備し、データの伝送路による最小伝播遅延時間に左右されずにマルチサイクルデータ転送を実現するデータ転送装置を提供することにある。

【課題を解決するための手段】

【0014】

50

上記目的を達成するために、メモリコントローラとメモリアレイ間に1つまたは2つ以上の複数のメモリサブコントローラを設け、メモリコントローラとメモリサブコントローラの間を第1のデータバスで接続し、メモリサブコントローラとメモリアレイ間を1本もしくは2本以上の複数の第2のデータバスで接続し、第1のデータバスおよび第2のデータバスでソース同期転送方式で高速データ転送を行うようにして、バンド幅を向上させたメモリサブシステムを構築する。

【0015】

また、第1のデータバスおよび第2のデータバスはソース同期転送方式でデータ転送を行うようにし、さらに、メモリサブコントローラとメモリコントローラのバスインターフェイス部にはデータレート変換手段およびデータ幅変換手段のいずれか一方もしくは両方を備えた。

10

【0016】

1つのメモリサブコントローラに接続している第1のデータバスのデータレートを大きくして、第1のデータバスのバンド幅が該メモリサブコントローラに接続している第2のデータバスのバンド幅の総和に等しくなるように変更することにより、コスト増を招くことなく高スループットかつ大容量メモリサブシステムを構築する。

【0017】

また、メモリコントローラに接続している第1のデータバスのデータ幅を小さくし、データレート大きくして、第1のデータバスのバンド幅を該メモリコントローラに接続している第3のデータバスのバンド幅と等しくなるように変更することにより、メモリコントローラのLSIパッケージにかかるコストを削減し、かつプロセッサの要求バンド幅をもつ大容量メモリサブシステムを構築する。

20

【0018】

また、ソース同期転送を行うメモリコントローラとメモリサブコントローラのデータ転送I/F部にバッファをN段具備することで、データ転送の最小転送サイクルを保証し、第1のデータバスおよび第2のデータバスにおいてNサイクルデータ転送を実現するメモリサブシステムを構築する。

【発明の効果】

【0019】

本発明は、複数のプロセッサとデータバスAを介して接続しているメモリコントローラとメモリアレイからなる計算機システムにおいて、メモリコントローラとメモリアレイ間に1つまたは2つ以上の複数のメモリサブコントローラを設け、1つのメモリサブコントローラとメモリコントローラ間をデータバスBで接続し、メモリサブコントローラとメモリアレイを1つまたは2つ以上の複数のデータバスCで接続し、データバスBおよびデータバスCはソース同期転送を行うようにし、さらにメモリサブコントローラとメモリコントローラのデータバスインターフェイス部にはデータレート変換回路およびデータ幅変換回路のいずれか一方もしくは両方を備え、データバスBのデータ幅を大きくさせないでデータレートを大きくして、データバスBのバンド幅がデータバスCのバンド幅の総和に等しくなるようにデータバスBのデータ幅およびデータレートを決定することにより、最大スループットを低下させることなくメモリを大容量化し、かつコスト増を招くことなくバンド幅を向上させることが可能である。

30

40

【発明を実施するための最良の形態】

【0020】

本発明の一実施例を図1、図7~12を用いて説明する。図1において、複数のプロセッサ(101)とデータバスA(105)を介して接続しているメモリコントローラ(102)とメモリアレイ(104)との中間に存在するメモリサブコントローラ(103)、メモリサブコントローラとメモリコントローラを接続するデータバスB(106)、メモリサブコントローラとメモリアレイを接続する複数のデータバスC(107)から構成する。メモリコントローラにはメモリアレイ側に2本のデータバスをもち、それぞれ1つのメモリサブコントローラ(103a~b)にデータバスB(106a~b)を介して接続され、該メモリサブコントローラにはメモリアレ

50

イに対するバスを2本ずつもち、データバスCを介してメモリアレイに接続される。ここで、メモリサブコントローラ103aからメモリアレイ104aおよびメモリアレイ104bまでの構成とメモリサブコントローラ103bからメモリアレイ104cおよびメモリアレイ104dまでの構成は全く同じである。そのため、本実施例では片方のメモリサブコントローラについて説明するが、もう一方のメモリサブコントローラについても同様のことが言える。

【0021】

データバスC0およびC1は同じデータレートL (bps)であり、同じデータ幅M (バイト)であるので、データバスC0およびC1の各バスのバンド幅は $(L \times M)$ である。データバスB0のデータレートはデータバスCの2倍の $2L$ (bps)であるが、データ幅はデータバスC0およびC1と等しいM (バイト)であるので、データバスB0のバンド幅は $(2 \times L \times M)$ である。このようにデータバスBのデータ幅はそのままデータレートを2倍にすることで、データバスBのバンド幅を2倍にする方法を説明する。

10

【0022】

図7は図1のメモリサブコントローラ(103)のブロック図である。301~315はメモリサブコントローラを構成する要素および信号線である。401~406はメモリコントローラとのインターフェイス信号であり、この信号線を用いてメモリアレイに対する制御信号を送信する。501~505はメモリコントローラとのインターフェイス信号であり、この信号線を用いてデータ信号を送受信する。601~605はデータバスC0のインターフェイス信号であり、701~705はデータバスC1のインターフェイス信号である。601~605と701~705は接続先のバスが異なるだけで信号線の種類・意味・タイミングは同一である。

20

【0023】

図中のメモリサブコントローラは、エッジトリガタイプフリップフロップ(301)、入力バッファ(302)、出力バッファ(303)、2:1セレクタ(304)、2:1セレクタへのセレクト信号(305)から構成される。エッジトリガタイプフリップフロップのトリガクロック信号はシステムクロック信号(T0)、もしくはバスから受信したソース同期転送用のソースクロック信号である。図中のT14、T24、およびT34はシステムクロック信号(T0)からそれぞれ1/4相、2/4相、3/4相遅れた信号であり、ソース同期転送用のソースクロック信号に用いる。

【0024】

メモリコントローラとのインターフェイスは、メモリコントローラからメモリサブコントローラへ送信されるアドレス信号(401)、制御コマンド信号(404)、アドレス信号に対するソースクロック信号(402と403)、制御コマンド信号に対するソースクロック信号(405と406)、双方向のデータ信号(503)、受信データに対するソースクロック信号(501と502)、送信データに対するソースクロック信号(504と505)から構成される。ソースクロックが2本ずつある理由は後で述べる。

30

【0025】

メモリアレイとのインターフェイスは、データバスC0を介してメモリアレイへ送信するアドレス信号(602)、制御コマンド信号(603)、双方向のデータ信号(604)、アドレス信号と制御コマンド信号および送信データ信号に対するソースクロック信号(601)、受信データに対するソースクロック信号(605)から構成される。

40

【0026】

図7の要素701~705の構成は上述したように要素601~605と同一である。

【0027】

本実施例ではメモリアレイへのアクセスの手順はSDRAM(Synchronous DRAM)に対するアクセス手順と同様としている。

【0028】

(1)書き込み動作

- ・アドレス信号線に行アドレス信号、制御コマンド信号線に行アドレスストロブ(RAS:Row Address Strobe)信号を送信する。
- ・3サイクル後に、今度はアドレス信号線に列アドレス信号、制御コマンド信号線に列ア

50

ドレスストロブ(CAS:Column Address Strobe)信号、データ信号線に書き込むデータ信号を送信する。

【 0 0 2 9 】

(2)読み出し動作

・アドレス信号線に行アドレス信号、制御コマンド信号線に行アドレスストロブ信号を送信する。

・3サイクル後に、今度はアドレス信号線に列アドレス信号、制御コマンド信号線に列アドレスストロブ信号を送信する。

・3サイクル後にデータがバスに出力される。

メモリアレイではバースト転送が可能であり、連続するアドレスに関する4回の書き込みまたは読み出し動作が1回の書き込みまたは読み出し動作で行うことが可能である。また、メモリコントローラ側のアドレス信号(401:B-ADR)とメモリアレイ側のアドレス信号(602:C0-ADRおよび702:C1-ADR)はタイミングが異なるだけでアクセス手順は同じである。アドレス信号だけでなく、ほかの制御コマンド信号やデータ信号についても同様である。

【 0 0 3 0 】

本実施例では、データバスのデータ幅を変更することなく、データレートを2倍にするために、データバスBをシステムクロックの立ち上がり立ち下がりでは時分割して、システムクロックが"H"のとき、つまりクロックサイクルの前半部分でデータバスC0に関するデータ転送を行い、システムクロックが"L"のとき、つまりクロックサイクルの後半部分でデータバスC1に関するデータ転送を行う。そのためにソース同期転送用のソースクロックにはクロックサイクルの前半部分の信号をラッチするものと、クロックサイクルの後半部分の信号をラッチするものとの2本必要となる。アドレス信号に関するソースクロック信号(402と403)のうち、402がデータバスC0のデータ処理用のソースクロック信号であり、403がデータバスC1のデータ処理用である。同様に、405、501および504がデータバスC0のデータ処理用のソースクロック信号であり、406、502および505がデータバスC1のデータ処理用のソースクロック信号である。

【 0 0 3 1 】

図8に図7のブロック図のメモリコントローラからメモリアレイへのデータ転送の動作タイミングチャートを示す。メモリコントローラからメモリアレイへのデータ転送とはメモリアレイに対する書き込み動作である。アドレス信号と制御コマンド信号は同一タイミングで送信されるので、ここでは2つをまとめて書くことにする。図8はデータバスC0とC1に対して同じタイミングで書き込み動作を行っているタイミングチャートである。

【 0 0 3 2 】

メモリコントローラはCK0のタイミングでメモリサブコントローラに対し、クロックサイクルの前半でデータバスC0用の、クロックサイクルの後半でデータバスC1用の行アドレス信号(401:B-ADR)と行アドレスストロブ信号(404:B-CMD)を送信する。また、アドレス信号と制御コマンド信号と同期してデータバスC0用のソースクロック信号(402と405)、データバスC1用のソースクロック信号(403と406)を送信する。ソースクロック信号に用いる信号はそれぞれT14とT34を用いる。メモリサブコントローラでは、受信したソースクロック信号(402と405:メモリコントローラ内でT14のタイミング信号)の立ち上がりエッジを用いてアドレス信号(405)と制御コマンド信号(404)をそれぞれラッチする。ソースクロック信号(402と405)でラッチしたアドレス信号は306(C0-ADRbuff)であり、制御コマンド信号は308(C0-CMDbuff)である。これらはデータバスC0に対する信号である。CK0のサイクル開始から1/2クロックサイクル過ぎたところでメモリコントローラは、アドレス信号と制御コマンド信号をデータバスC1用の信号に切り替える。前述のソースクロック信号から1/2サイクル遅れたソースクロック信号(403と406:メモリコントローラ内でT34のタイミング)の立ち上がりエッジを用いてアドレス信号(401)と制御コマンド信号(404)をラッチする。ソースクロック信号(403と406)でラッチしたアドレス信号は307(C1-ADRbuff)であり、制御コマンド信号は309(C1-CMDbuff)である。これらはデータバスC1に対する信号である。メモリサブコントローラ内ではソースクロック信号でラッチした信号(3

06～309)をシステムクロック(T0)でラッチし、転送するすべての信号の位相を合わせてから、データバスC0およびC1へ送信する。データバスC0およびC1へ送信するソースクロック信号は601と701であり、使用するクロックタイミングは両方ともT24である。メモリコントローラは前述の行アドレス信号の送信から3サイクル後のCK3のタイミングで、前述の行アドレス信号に対する列アドレス信号および列アドレスストロープ信号と同時に書き込むデータ信号(0aまたは1a)を送信する。このデータ送信と同期してメモリコントローラはデータバスC0用のソースクロック信号(501)とデータバスC1用のソースクロック信号(502)を送信する。列アドレス信号および列アドレスストロープ信号に関するタイミングは前述の行アドレス信号および行アドレスストロープ信号の場合と同じである。データ信号についても同様で、受信したデータ信号(503)を受信したソースクロック信号(501:メモリコントローラ内でT14のタイミング信号)とソースクロック信号(502:メモリコントローラ内でT34のタイミング信号)でラッチする。ソースクロック信号(501と502)でラッチしたデータ信号はそれぞれ310(C0-Dbuff)と311(C1-Dbuff)であり、それぞれデータバスC0用のデータ信号とデータバスC1用のデータ信号である。データ信号も前述のアドレス信号や制御コマンド信号と同様にシステムクロック(T0)でラッチして、転送するすべての信号の位相合わせを行う。データバスCへの送信タイミングにはシステムクロック信号(T0)を用いたが、このタイミングはアドレス信号、制御コマンド信号、データ信号およびソースクロック信号のすべてが同じタイミングでデータバスCに送信できればT0に限らず何を使用してもよい。ソースクロック信号に用いる信号はメモリアレイのセットアップ・ホールド時間を満たすものであればT24に限らず何を使用してもよい。バースト転送が可能であるためにメモリコントローラはCK3のタイミングに引き続きCK4、CK5、CK6のタイミングでデータ信号(0b、0c、0dの3つ、および1b、1c、1dの3つ)を送信する。

【0033】

以上のように、2倍のデータレートをもつデータバスBのデータ信号に対し、ソースクロック信号を2本とエッジトリガタイプフリップフロップを2面用意することで、この2面のエッジトリガタイプフリップフロップがデータレート変換回路として機能し、データバスCへ送信する際にはデータレートはデータバスBの1/2倍となり、データバスCのデータレートと等しくなる。

【0034】

図7のブロック図のメモリアレイ側からメモリコントローラ側へのデータ転送の動作タイミングチャートを図9に示す。メモリアレイからメモリコントローラへのデータ転送とはメモリアレイに対する読み出し動作である。図9ではアドレス信号および制御コマンド信号はすでに送信されていて、メモリアレイからデータが出力されているタイミングから示す。メモリアレイはバースト転送が可能のため、4サイクル間データ信号を出力している(C0a、C0b、C0c、C0dの4つ、およびC1a、C1b、C1c、C1d)。図9は、データバスC0からのデータの転送に対し、データバスC1のデータ転送が1サイクル遅れたタイミングチャートである。一般に同期型のメモリデバイスには、読み出し動作時にアクセス時間と出力ホールド時間が存在する。アクセス時間とはトリガクロック信号の入力からデータ信号が出力するまでの時間であり、出力ホールド時間とはトリガクロック信号の入力から前サイクルに出力していたデータ信号を出力しないようにするまでの時間である。そのため出力データ信号のウィンドウの幅は、

(メモリアレイ出力データウィンドウ幅) = (1サイクル) + (出力ホールド時間) - (アクセス時間) となる。本実施例のメモリアレイはアクセス時間が1/2サイクル、出力ホールド時間が1/2サイクルであるので出力データ信号のウィンドウの幅は1サイクル存在する。

【0035】

メモリサブコントローラではデータバスC0のインターフェイス部においてCK0のサイクルで、メモリアレイから受信した、もしくはメモリサブコントローラがメモリアレイに送出してメモリアレイを通過してメモリサブコントローラ自身で受信したソースクロック信号(605)の立ち上がりエッジを用いてデータ信号(604)をラッチする。ラッチしたデータ

10

20

30

40

50

信号は313(C0-Din)である。一方、データバスC1のインターフェイス部においてCK1のサイクルでメモリアレイからのデータ信号(704)を受信し、受信したソースクロック信号(705)の立ち上がりエッジを用いてラッチする。ラッチしたデータ信号は315(C1-Din)である。データバスBではデータレートが2倍になっているので、データレート変換回路が必要であるが、それは2:1のセレクト(304)を使用し、そのセレクト信号(305)にはシステムクロックを用いる。その2:1セレクトの2つの入力にデータバスC0とデータバスC1からのデータ信号をそれぞれ入力すれば良いのであるが、セレクト信号と2つの入力データの位相を合わせる必要があり、セレクト信号(すなわちシステムクロック信号T0)の立ち上がりエッジを用いて、データバスC0およびC1からの受信データ信号(313と314)をラッチする必要がある。システムクロック信号(T0)でラッチしたデータ信号はそれぞれ312(C0-Drt)と314(C1-Drt)である。セレクト信号が"H"のとき、すなわちクロックサイクルの前半部分ではデータバスC0からのデータ信号をデータバスBへ送信し、セレクト信号が"L"のとき、すなわちクロックサイクルの後半部分ではデータバスC1からのデータ信号をデータバスBへ送信する。データバスBへ送信するデータ信号と同期してソースクロック信号(504と505)を送信する。

10

【0036】

以上のように、データバスCからデータバスBの途中に2:1セレクトを挿入し、セレクト信号と位相を合わせた2つの入力データをセレクト信号により切り替えることで、データバスBにおいてデータレートをデータバスCの2倍にすることができる。

【0037】

20

メモリサブコントローラにデータバスBが1本、データバスCが2本接続している場合、データバスBのデータ幅はそのままでデータレートを2倍にすることで、データバスBのバンド幅とデータバスCのバンド幅の総和は等しくなる。

【0038】

図1ではデータバスBのデータ幅はそのままでデータレートを2倍にして、データバスBのバンド幅とデータバスCのバンド幅の総和を等しくする方法を示した。次に、データバスBのデータ幅を1/2にしてデータレートを4倍にして、データバスBのバンド幅とデータバスCのバンド幅の総和を等しくする方法を示す。

【0039】

図10は図1のメモリサブコントローラ(103)のブロック図である。図7との相違点は、データバスB側でデータ信号のデータレートが2倍から4倍になったのでデータ転送に用いるソースクロック信号を2本から4本(506~509)にしたこと、データバスC0およびC1からデータバスBへデータ信号を転送する際にデータレートとデータ幅を変換するために2:1セレクトから4:1セレクト(316)にしたことである。

30

【0040】

図10のように、メモリサブコントローラに接続しているデータバスCの本数が2本の場合、メモリコントローラからのアドレス信号と制御コマンド信号はデータレートを4倍にしても同時に送信できるのはデータバスC0とC1の2本しかないのでデータレートは2倍のままで転送する。データ信号に関するソース同期転送用のソースクロック信号はT18、T38、T58およびT78の4本であり、それぞれシステムクロックT0より1/8相、3/8相、5/8相、7/8相遅れた信号である

40

図11に図10のブロック図のメモリコントローラからメモリアレイへのデータ転送の動作タイミングチャートを示す。図8と同様に、メモリコントローラはCK0のタイミングでデータバスC0とC1に対して同じタイミングで書き込み動作を行っている。データバスB上のデータ信号はデータバスC上のデータ信号に対し、データ幅が半分、4倍のデータレートであるため、1/4クロックサイクルピッチでデータ転送を行う。メモリコントローラはCK0のタイミングでメモリサブコントローラに対し、クロックサイクルの1/4部分でデータバスC0の上位バイトデータ信号、クロックサイクルの2/4部分でデータバスC0の下位バイトデータ信号、クロックサイクルの3/4部分でデータバスC1の上位バイトデータ信号、クロックサイクルの4/4部分でデータバスC1の下位バイトデー

50

タ信号を送信する。またデータ信号と同期してデータバスC0のデータ処理用のソースクロック信号(506と507)、データバスC1のデータ処理用のソースクロック信号(508と509)を送信する。アドレス信号および制御コマンド信号の転送方式は図8と同様である。

【0041】

メモリサブコントローラでは、受信したソースクロック信号(506、507、508、509)の立ち上がりエッジを用いてデータ信号503をラッチする。ソースクロック信号506でラッチしたデータバスC0の上位バイトデータ信号は318(C0-DUbuff)であり、ソースクロック信号507でラッチしたデータバスC0の下位バイトデータ信号は319(C0-DLbuff)であり、ソースクロック信号508でラッチしたデータバスC1の上位バイトデータ信号は320(C1-DUbuff)であり、ソースクロック信号509でラッチしたデータバスC1の下位バイトデータ信号は321(C1-DLbuff)である。メモリサブコントローラ内では、データバスB上を転送するためにメモリコントローラが上位/下位バイトに分割したデータ信号を一つにまとめ、システムクロック(T0)でラッチし、転送するすべての信号の位相を合わせてから、データバスC0およびC1へ送信する。データバスC0およびC1の動作は図8と同様である。

10

【0042】

以上のように、1/2のデータ幅と4倍のデータレートをもつデータバスBのデータ信号に対し、ソースクロック信号を4本とエッジトリガタイプフリップフロップを4面用意することで、この4面のエッジトリガタイプフリップフロップがデータレート変換回路およびバス幅変換回路として機能し、データバスCへ送信する際にはデータレートはデータバスBの1/4倍、データ幅は2倍となり、データバスCのデータレートとデータ幅に等しくなる。

20

【0043】

図10のブロック図のメモリアレイ側からメモリコントローラ側へのデータ転送の動作タイミングチャートを図12に示す。メモリアレイ側の動作タイミングは上記方法と同じである。4倍のデータレートを実現するために4:1のセクタ(316)を使用する。4:1のセクタ(316)のセレクト信号(317)にはシステムクロックT0およびシステムクロックから1/4相遅れたT14を使用する。4:1セクタの4つの入力には、システムクロック(T0)でラッチしてセレクト信号と位相を合わせたデータバスC0およびC1のデータ信号(313と315)を、上位バイトと下位バイトに分割して入力する。2本のセレクト信号(T0とT14)の値により4通りの状態が存在し、T0が"H"かつT14が"L"のとき、すなわちクロックサイクルの1/4部分でデータバスC0の上位バイトデータをデータバスBへ送信し、T0が"H"かつT14が"H"のとき、つまりクロックサイクルの2/4部分でデータバスC0の下位バイトデータをデータバスBへ送信し、T0が"L"かつT14が"H"のとき、すなわちクロックサイクルの3/4部分でデータバスC1の上位バイトデータをデータバスBへ送信し、T0が"L"かつT14が"L"のとき、すなわちクロックサイクルの4/4部分でデータバスC1の下位バイトデータをデータバスBへ送信する。データバスBへ送信するデータ信号と同期してソースクロック信号(510~513)を送信する。

30

【0044】

以上のように、データバスCからデータバスBの途中で4:1セクタを挿入し、セレクト信号と位相を合わせデータ幅を1/2にした4つの入力データをセレクト信号により切り替えることで、データバスBにおいてデータレートをデータバスCの4倍に、かつデータ幅をデータバスCの1/2にすることができる。

40

【0045】

以上の説明では、データバスBのデータ幅を1/2にする際の分割方法に上位/下位バイトを使用したが、その他にも偶数/奇数バイトで分割する等方法は多数ある。また、その分割した分割単位の転送順番も任意である。

【0046】

メモリサブコントローラにデータバスBが1本、データバスCが2本接続している場合、データバスBのデータ幅を半分にしてデータレートを4倍にすることで、データバスBのバンド幅とデータバスCのバンド幅の総和は等しくなる。

50

【 0 0 4 7 】

本発明の他の実施例を図 1 3 に示す。図 1 との相違点は、データバス B のデータ幅を 1 / 2、データレートを 4 倍にしている、1 つのメモリサブコントローラに接続しているデータバス B のバンド幅を該メモリサブコントローラに接続しているデータバス C のバンド幅の総和に等しくしている点である。構成要素・動作タイミングは本発明の「データ幅を 1 / 2 にしてデータレートを 4 倍にする方法」で述べている。データバス B のデータ幅が半分になるために、メモリコントローラおよびメモリサブコントローラに必要なピン数が削減され、図 1 の L S I パッケージよりも小さい L S I パッケージが使用可能となり、コストを削減できる。

【 0 0 4 8 】

本発明の他の実施例を図 1 4 に示す。図 1 との相違点は、データバス B のデータ幅を 1 / 2、データレートが 4 倍にしている、1 つのメモリサブコントローラに接続しているデータバス B のバンド幅を該メモリサブコントローラに接続しているデータバス C のバンド幅の総和に等しくしている点である。図 1 3 との相違点は、メモリコントローラのピン数削減は行わずにメモリコントローラに接続するデータバス C の本数を 2 倍にしていることである。構成要素・動作タイミングは本発明の「データ幅を 1 / 2 にしてデータレートを 4 倍にする方法」で述べている。データバス B のデータ幅が半分になるために、メモリコントローラに接続できるデータバス B の本数が倍増し、データバス B でデータバス C の総和のバンド幅を確保しながらメモリの容量を倍にすることが可能となる。

【 0 0 4 9 】

本発明の他の実施例を図 1 5 に示す。図 1 との相違点はデータバス B のデータ幅を 1 / 2 にして、データレートを 2 倍にしていることである。前述の実施例はいずれもメモリサブコントローラにおいてメモリアレイに接続したデータバス C の本数分のバンド幅をデータバス B で確保するものであった。しかし、データバス B のデータ幅を半分にし、データレートを倍にして、データバス A とデータバス B のバンド幅の釣り合いを取ったシステム構成にすることも可能である。この場合、データバス B のバンド幅は変化していないが、データバス B のデータ幅が半分になるので、メモリコントローラおよびメモリサブコントローラに必要なピン数が削減可能である。つまりメモリコントローラおよびメモリサブコントローラの L S I パッケージにかかるコストを削減できる。メモリサブコントローラのブロック図、タイミングチャート等はデータバスの幅が異なるだけで図 7 のブロック図、図 8 および図 9 のタイミングチャートと同一である。

【 0 0 5 0 】

本発明の他の実施例を図 1 6 ~ 図 2 0 を用いて説明する。図 1 6 はメモリサブコントローラのブロック図である。302 ~ 303、810 ~ 812 および 820 ~ 822 はメモリサブコントローラ (103) を構成する要素および信号線である。800 ~ 803 はメモリコントローラとのインターフェイス信号であり、この信号線を用いてメモリアレイに対する制御信号を受信しデータ信号を送受信する。804 ~ 807 はデータバス C のインターフェイス信号であり、この信号線を用いてメモリアレイに対する制御信号を送信しデータ信号を送受信する。

【 0 0 5 1 】

図 1 6 のメモリサブコントローラは、入力バッファ (302)、出力バッファ (303)、N-dept h バッファ (810)、リタイミング回路 (811)、同期化信号発生回路 (812) から構成される。

【 0 0 5 2 】

メモリコントローラとのインターフェイスは、メモリコントローラ - メモリサブコントローラ間で送受信するデータ信号 (802) と受信データに対するソースクロック信号 (801)、送信データに対するソースクロック信号 (803)、メモリコントローラからの同期化信号 (800) から構成される。メモリコントローラから送信されるアドレス信号および制御信号はデータ信号 (802) の一部として考える。メモリアレイとのインターフェイスは、メモリサブコントローラ - メモリアレイ間で送受信するデータ信号 (806) と送信データに対するソースクロック信号 (805)、受信データに対するソースクロック信号 (807)、メモリアレイへの同期化信号 (804) から構成される。メモリアレイへ送信するアドレス信号および制御信号

10

20

30

40

50

はデータ信号の一部として考える。

【 0 0 5 3 】

メモリコントローラとメモリサブコントローラ間が2cycleソース同期転送である場合の図16に示した2-depthバッファ(N=2)のブロック図、リタイミング回路のブロック図、メモリコントローラからメモリアレイへのデータ転送の動作タイミングチャートをそれぞれ図17、図18、図19に示す。図16に示すようにソース同期転送のマスター側には同期信号発生回路を搭載する。図16～図20ではメモリコントローラとメモリサブコントローラ間のデータ転送ではメモリコントローラをマスターとし、メモリサブコントローラとメモリアレイ間のデータ転送ではメモリサブコントローラをマスターとしている。

【 0 0 5 4 】

図17の2-depthバッファは2個のエッジトリガタイプフリップフロップ(907)と1個のリセット条件付きエッジトリガタイプフリップフロップ(908)と数個のAND・NOTゲートから構成される。

【 0 0 5 5 】

図18のリタイミング回路は1個のエッジトリガタイプフリップフロップ(907)と3個のリセット条件付きエッジトリガタイプフリップフロップ(908)と複数のディレイゲート(911)および、各ディレイゲート通過信号を選択するM:1のセクタ(912)と数個のAND・NOTゲートから構成される。同期化信号(910)が必ず2 cycle転送で行われるようにディレイゲート(911)とセレクト信号(909)を用いて調節できるようにする。

【 0 0 5 6 】

次に、図19を用いてメモリコントローラからメモリサブコントローラへの2cycleソース同期転送時の2-depthバッファとリタイミング回路の動作を説明する。まず、送信側(メモリコントローラ)からCK0のサイクルで同期化信号がアサートされる。図16ではこの信号は同期化信号発生回路(812)が出力しているが、メモリコントローラのリセット信号及びリセット信号をクロック信号でラッチしたものを使用してもよい。同期化信号はメモリコントローラ内部と外部に転送され、内部では同期化信号をもとにして同期化信号がアサートされた2cycle後にメモリサブコントローラへのソースクロック信号(801,902)を出力する。ソースクロック信号は送信するデータウィンドウの中央にクロックエッジがくるように、システムクロックT0の逆相であるT24を用いる。直接外部へ出力された同期化信号はメモリサブコントローラに入力する(800,910)。この時の転送サイクルが必ず2cycleになるように受信側(メモリサブコントローラ)で調節する。メモリサブコントローラでは入力した同期化信号のアサートがトリガとなりメモリコントローラへのソースクロック信号(803,916)が出力され、同時にリタイミング時のセレクト信号(913)が動作する。CK3のサイクルにはメモリコントローラが出力したソースクロック信号がメモリサブコントローラへ到着し、ソースクロック信号(902)がトリガとなり2-depthバッファのセレクト信号(903)および2-depthバッファへのトリガクロック信号(903,904)が動作する。受信データ(901)を2-depthバッファに交互に取り込むために、ソースクロック信号(902)をセレクト信号(903)でマスクする。

【 0 0 5 7 】

メモリコントローラがCK11のタイミングで4つの連続したデータ信号を送信した場合、メモリコントローラが出力したデータ信号は前述の同期化信号とほぼ同じタイミングでメモリサブコントローラに入力する(901)。ここでは伝播遅延時間が1cycle以上の場合を示し、1cycle以下の場合には後述する。メモリサブコントローラ内部ではすでに動作している2-depthバッファのセレクト信号がマスクとなり、ソースクロック信号をセレクト信号でマスクしたトリガクロック信号(903,904)を用いて、入力データ(901)を2-depthバッファへ交互に取り込む。2-depthバッファに取り込まれたデータ(905,906)は図19のタイミングチャートに示すように、セレクト信号(913)が"H"のときデータ信号(906)が選択され、セレクト信号(913)が"L"のときデータ信号(905)が選択される。セレクト信号で選択されたデータ信号(914)は次のメモリアレイ側のソース同期転送の出力タイミングに同期させるためにシステムクロックT0でラッチする。ラッチしたデータ信号(915)はそのソースク

10

20

30

40

50

ロック信号とともにメモリアレイへ送出される。

【 0 0 5 8 】

以上はメモリコントローラからメモリアレイへのデータ転送であるが、その逆のメモリアレイからメモリコントローラへのデータ転送も同様である。また、図17でソースクロック信号(902)と2-depthバッファセレクト信号(903)のANDをとっているが、907のフリップフロップをクロック条件付きエッジトリガフリップフロップを使用し、ソースクロック信号(902)をフリップフロップのクロック端子へ直接、2-depthバッファセレクト信号(903)をフリップフロップのクロック条件端子へ直接またはNOTゲートを介して接続し、実現することも可能である。

【 0 0 5 9 】

メモリコントローラとメモリサブコントローラ間の信号の伝播遅延時間が1cycle以内であるタイミングチャートを図20に示す。基本的な動作は図19の伝播遅延時間が1cycle以上の場合と差異はない。ただし、同期化信号は必ず2cycle転送になるようにディレイゲート(911)を用いて調節する。図19との違いは、CK2のタイミングでメモリコントローラが送信したソースクロック信号はそのクロックサイクル内でメモリサブコントローラに到達することである。また、CK11のタイミングでメモリコントローラが送信したデータ信号はソースクロック信号と同じタイミングでメモリサブコントローラに到達することである。2-depthバッファのトリガクロック信号(903,904)はソースクロック信号(902)をマスクしただけのものであるから、データ信号(901)とソースクロック信号(902)の相対的な時間関係は変化せずに図19同様に2-depthバッファへ交互に取り込まれる。2-depthバッファのトリガクロック信号(903,904)はソースクロック信号(902)に対し周期が2倍であるため、2-depthバッファのウィンドウ幅は2cycle分存在し、伝播遅延時間が1cycle以内である場合でも次のサイクルまでデータ信号を保持できる。2-depthバッファに取り込まれたデータ信号(905,906)は、図19の伝播遅延時間が1cycle以上である場合と同じタイミングのセレクト信号(913)を用いるので、データ転送サイクルは2cycleとかわりない。

【 0 0 6 0 】

上記実施例では2cycleのソース同期転送について説明したが、3cycle以上のソース同期転送についても同様に実現可能である。また、図1～図15で説明した実施例についても本実施例を採用し、マルチサイクルのソース同期転送を実現することも可能である。

【 0 0 6 1 】

上記実施例では、エッジトリガタイプフリップフロップのトリガクロック信号に、クロック信号の立ち上がりエッジを用いているが、立ち下がりエッジまたは立ち上がり立ち下がり両エッジを用いても構成可能である。

【 0 0 6 2 】

また、ソース同期転送用にT14、T24、T34、T18、T38、T58、T78というタイミングのクロック信号を使用しているが、このクロック信号タイミングに関しても送信するデータのウィンドウを捕らえられるものであれば他のタイミングを用いてもよい。

【 0 0 6 3 】

また、上記実施例ではメモリアクセス手順にSDRAMに対する手順と同様なものを示したが、これは同期式RAMに適用した例であり、メモリアレイをSDRAMおよびSDRAMを用いたメモリモジュールに限定するものではない。

【 0 0 6 4 】

また、上記実施例では、メモリサブコントローラに接続されているデータバスCの本数は2本であるが、これは一つの例であり、メモリコントローラに接続されているデータバスCの本数は1本または2本以上であってもよい。

【 0 0 6 5 】

上記すべての実施例において、プロセッサとメモリアレイに関して述べていて、I/Oバスに関しては触れていない。しかし、データバスに関してはメモリコントローラを挟んで、メモリアレイ側とそれ以外の2つに分類できるため、I/Oバスはプロセッサ側に含めて考える。

10

20

30

40

50

【図面の簡単な説明】

【0066】

【図1】本発明の実施例を説明する図

【図2】従来のメモリサブシステムを説明する図

【図3】従来のメモリサブシステムを説明する図

【図4】従来のメモリサブシステムを説明する図

【図5】従来のメモリサブシステムでメモリ容量を増やす方法を説明する図

【図6】従来のメモリサブシステムでメモリ容量を増やす方法を説明する図

【図7】本発明でデータ幅を変えず、データレートを2倍にした場合の図1のメモリサブコントローラのブロック図

10

【図8】図7のメモリサブコントローラのタイミングチャート

【図9】図7のメモリサブコントローラのタイミングチャート

【図10】本発明でデータ幅を1/2、データレートを4倍にした場合の図1のメモリサブコントローラのブロック図

【図11】図10のメモリサブコントローラのタイミングチャート

【図12】図10のメモリサブコントローラのタイミングチャート

【図13】本発明でデータ幅を1/2、データレートを4倍にして、メモリコントローラのピン数を削減した図

【図14】本発明でデータ幅を1/2、データレートを4倍にして、メモリコントローラに接続するバスの本数を倍増した図

20

【図15】本発明でデータ幅を1/2、データレートを2倍にして、メモリコントローラのピン数を削減した図

【図16】最小伝播遅延時間を保証したマルチサイクルソース同期転送を実現するメモリサブコントローラのブロック図

【図17】図16で示したN-depthバッファのブロック図

【図18】図16で示したリタイミング回路のブロック図

【図19】2cycleソース同期転送を実現するメモリサブコントローラのタイミングチャート

【図20】2cycleソース同期転送を実現するメモリサブコントローラのタイミングチャート

30

【符号の説明】

【0067】

101、201・・・プロセッサ

102、202・・・メモリコントローラ

103・・・メモリサブコントローラ

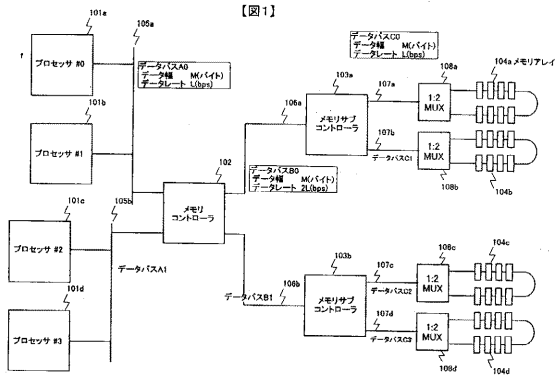
104、204・・・メモリアレイ

105、205・・・データバスA

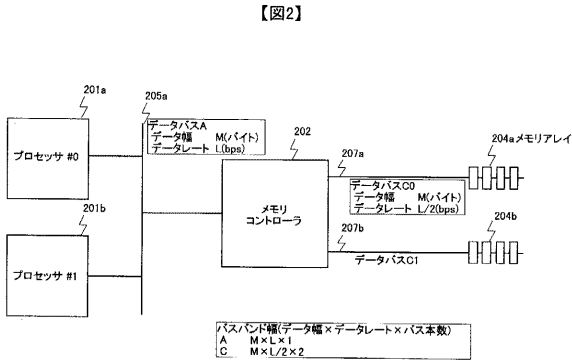
106、206・・・データバスB

107、207・・・データバスC

【図1】

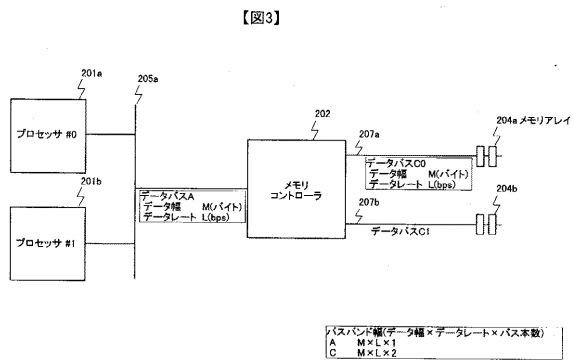


【図2】



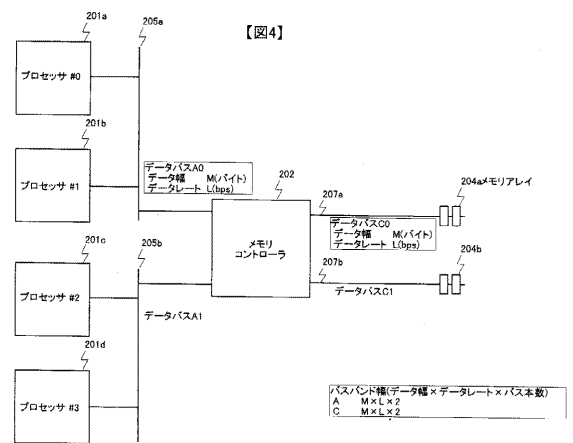
バスバンド幅(データ幅×データレート×バス本数)
 A M×L×1
 C M×L/2×2

【図3】



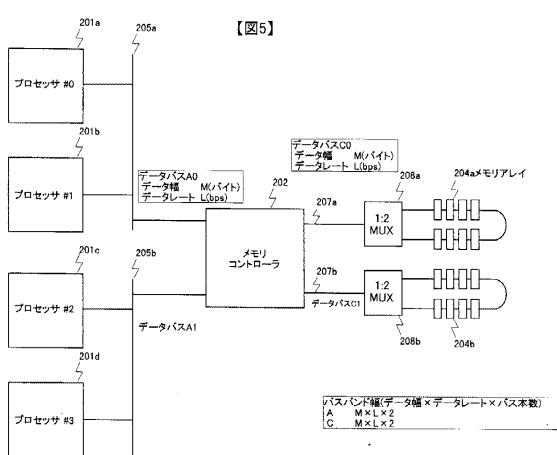
バスバンド幅(データ幅×データレート×バス本数)
 A M×L×1
 C M×L×2

【図4】



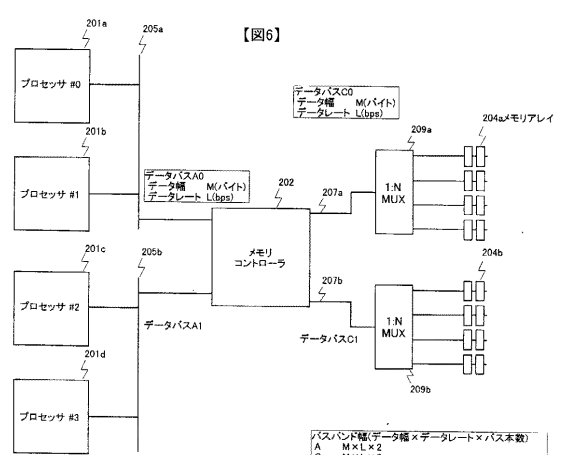
バスバンド幅(データ幅×データレート×バス本数)
 A M×L×2
 C M×L×2

【図5】



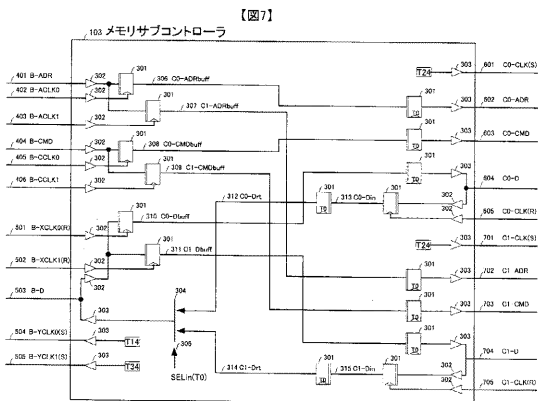
バスバンド幅(データ幅×データレート×バス本数)
 A M×L×2
 C M×L×2

【図6】

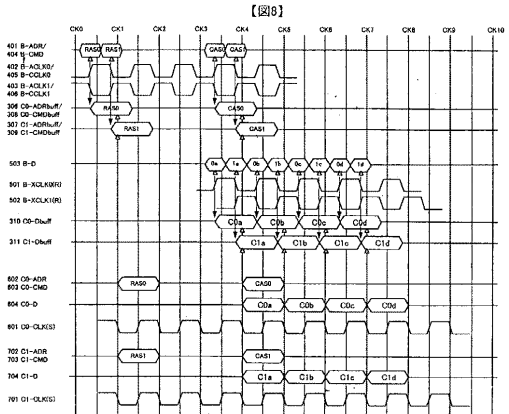


バスバンド幅(データ幅×データレート×バス本数)
 A M×L×2
 C M×L×2

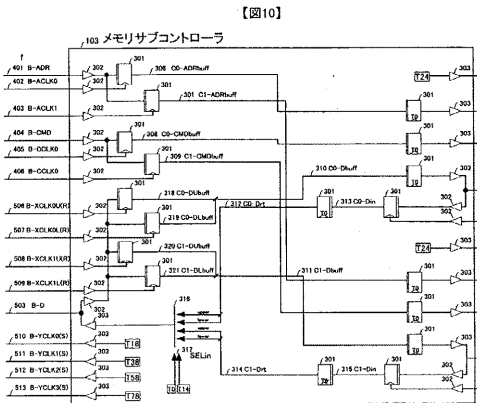
【図7】



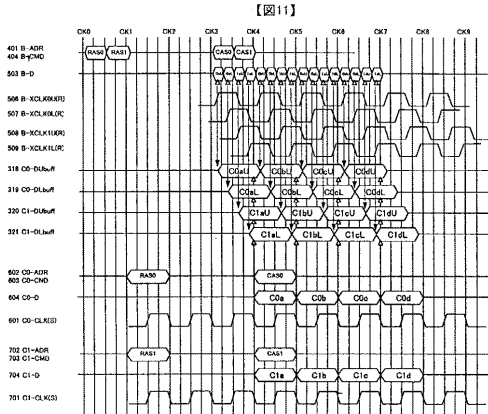
【図8】



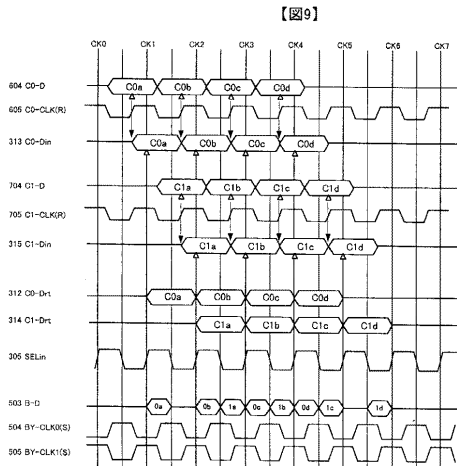
【図10】



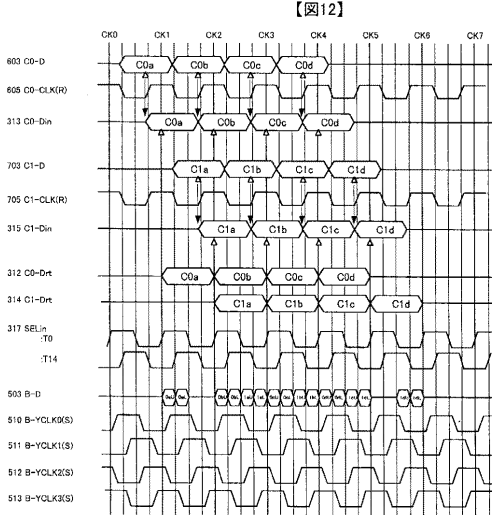
【図11】



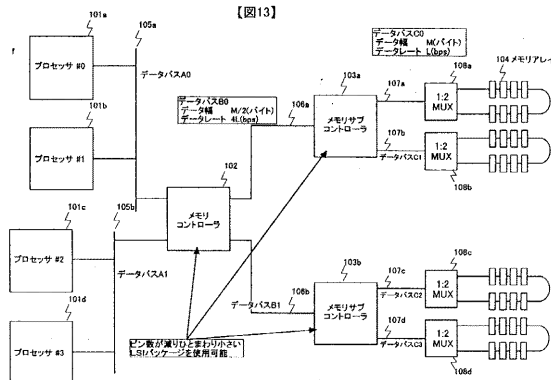
【図9】



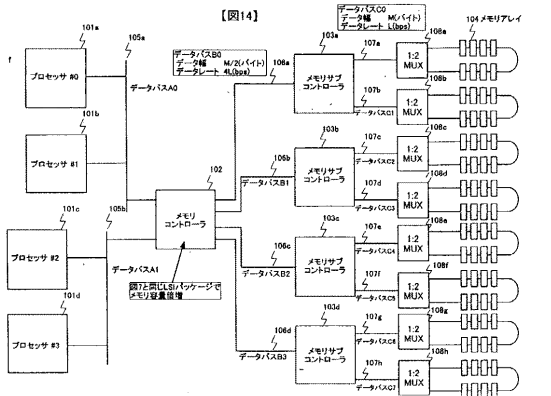
【図12】



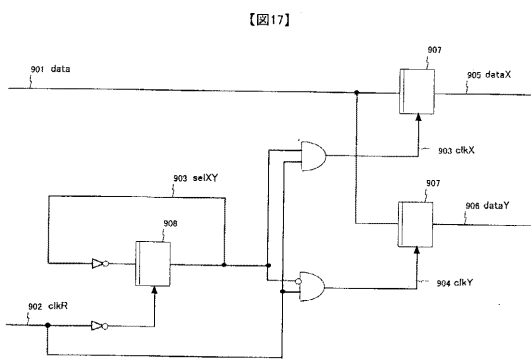
【図13】



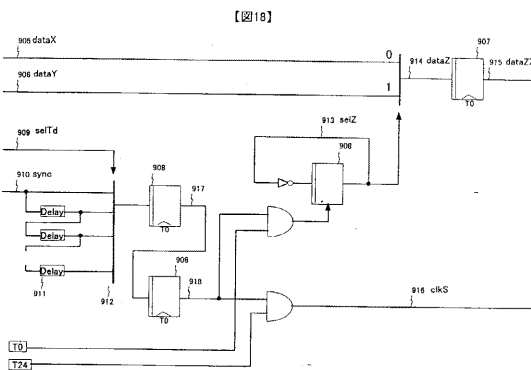
【図14】



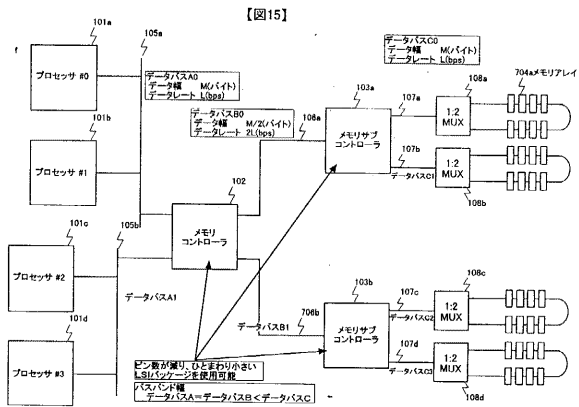
【図17】



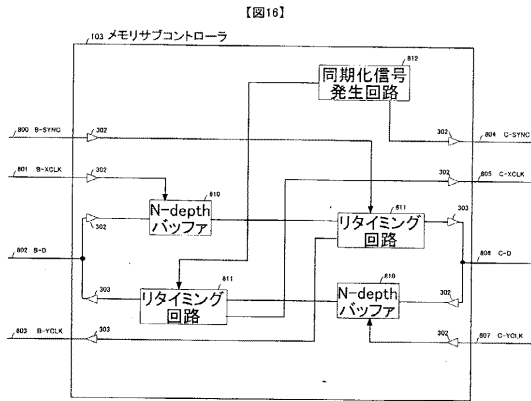
【図18】



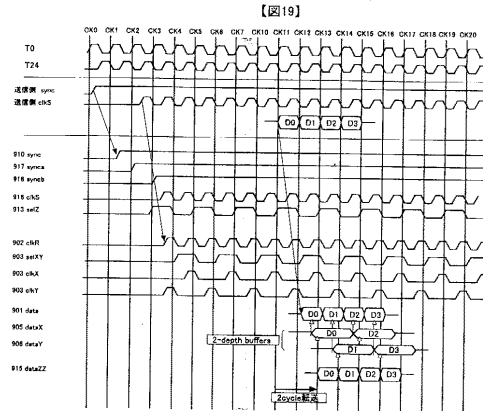
【図15】



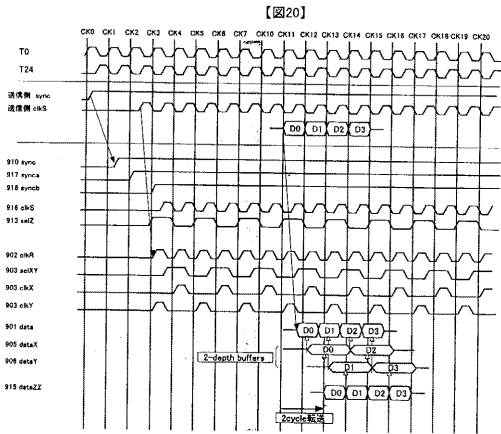
【図16】



【図19】



【 20 】



フロントページの続き

- (56)参考文献 特開平07-282000(JP,A)
特開平07-281988(JP,A)
特開平09-190688(JP,A)
特開平09-200636(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G06F12/00-12/06
G06F13/16