

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 2 月 22 日 (22.02.2024)



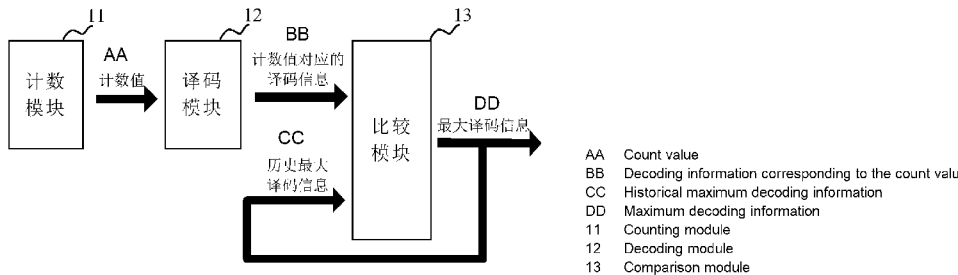
(10) 国际公布号
WO 2024/036723 A1

- (51) 国际专利分类号:
G11C 29/20 (2006.01)
- (21) 国际申请号: PCT/CN2022/124032
- (22) 国际申请日: 2022 年 10 月 9 日 (09.10.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202210989367.5 2022年8月17日 (17.08.2022) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (72) 发明人: 黄泽群 (HUANG, Zequn); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。孙凯 (SUN, Kai); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

- (74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中国北京市海淀区西直门北大街32号枫蓝国际A座8F-6, Beijing 100082 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) Title: COUNTING CIRCUIT AND MEMORY

(54) 发明名称: 计数电路及存储器



(57) Abstract: Provided in the present disclosure are a counting circuit and a memory. The counting circuit comprises a counting module, which is used for outputting a count value when the count value exceeds a preset threshold value; a decoding module, which is coupled to the counting module, and is used for decoding the count value, so as to obtain decoding information corresponding to the count value, wherein the decoding information represents a numerical range within which the count value is located; and a comparison module, which is coupled to the decoding module, and is used for comparing the decoding information with the historical maximum decoding information, and latching and outputting the current maximum decoding information.

(57) 摘要: 本公开提供一种计数电路及存储器, 计数电路包括: 计数模块, 用于在计数值超过预定阈值时, 输出所述计数值; 译码模块, 耦接于所述计数模块, 用于对所述计数值进行译码, 获得所述计数值对应的译码信息; 其中, 所述译码信息表征所述计数值所在的数值区间; 比较模块, 耦接于所述译码模块, 用于将所述译码信息和历史最大译码信息进行比较, 锁存并输出当前最大的译码信息。

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

计数电路及存储器

本公开要求于 2022 年 8 月 17 日提交中国专利局、申请号为 202210989367.5、申请名称为“计数电路及存储器”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开涉及存储器技术，尤其涉及一种计数电路及存储器。

10 背景技术

伴随存储器技术的发展，存储器被广泛应用在多种领域，比如，动态随机存取存储器(Dynamic Random Access Memory，简称 DRAM) 的使用非常广泛。

实际应用中，存储器通常需要具备最大计数功能，以支持存储器的工作。比如，集成电路设计中错误检查与清除（简称 ECS）中进行行错误计数（Error per Row Counter，简称 EpRC）时，需要根据多次的错误计数结果，始终输出错误数最大的结果。因此，需要提供一种计数电路来实现上述计数功能。

发明内容

本公开的实施例提供一种计数电路及存储器。

根据一些实施例，本公开第一方面提供一种计数电路，包括：计数模块，用于在计数值超过预定阈值时，输出所述计数值；译码模块，耦接于所述计数模块，用于对所述计数值进行译码，获得所述计数值对应的译码信息；其中，所述译码信息表征所述计数值所在的数值区间；比较模块，耦接于所述译码模块，用于将所述译码信息和历史最大译码信息进行比较，锁存并输出当前最大的译码信息。

根据一些实施例，本公开第二方面提供一种存储器，包括：模式寄存器以及如前所述的计数电路；其中，所述模式寄存器，耦接于所述计数电路，用于保存所述计数电路输出的最大译码信息。

本公开实施例提供的计数电路及存储器中，计数模块在计数值超过预定阈值时输出计数值，译码模块对计数模块输出的计数值进行译码，获得表征计数值所在的数值区间的译码信息，比较模块将所述译码信息和历史最大译码信息进行比较，锁存并输出当前最大的译码信息。上述方案中，译码模块先对当前的计数值进行译码，比较模块通过比较当前计数值对应的译码信息和历史最大计数值对应的译码信息，即历史最大译码信息，实现始终输出最大结果的计数功能。上述计数电路能够很好地适用于需要保持输出最大结果的计数场景，比如行错误计数场景。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开实施例的原理。

图 1 为一实施例示出的存储器的架构示例图；

5 图 2 为一实施例示出的存储单元的结构示例图；

图 3 为一实施例提供的计数电路的结构示例图；

图 4 为一实施例提供的计数电路的结构示例图；

图 5 为一实施例提供的计数电路的结构示例图；

图 6~图 8 为示例的实施例提供的比较单元的结构示例图；

10 图 9 为第一信号生成单元的结构示例图；

图 10 为一实施例提供的比较单元的结构示例图；

图 11 为第二信号生成单元的结构示例图；

图 12 为一实施例提供的比较单元的结构示例图；

图 13 为一实施例提供的计数电路的结构示例图；

15 图 14 为一实施例提供的计数电路的结构示例图；

图 15 为一实施例提供的一种存储器的结构示意图。

通过上述附图，已示出本公开明确的实施例，后文中将有更详细的描述。这些附图和文字描述并不是为了通过任何方式限制本公开构思的范围，而是通过参考特定实施例为本领域技术人员说明本公开的概念。

20

具体实施方式

这里将详细地对示例性实施例进行说明，其示例表示在附图中。下面的描述涉及附图时，除非另有表示，不同附图中的相同数字表示相同或相似的要素。以下示例性实施例中所描述的实施方式并不代表与本公开相一致的所有实施方式。相反，它们仅是与如所附权利要求书中所详述的、本公开的一些方面相一致的装置和方法的例子。

25

本公开中的用语“包括”和“具有”用以表示开放式的包括在内的意思，并且是指除了列出的要素/组成部分/等之外还可存在另外的要素/组成部分/等；用语“第一”和“第二”等仅作为标记或区分使用，不是对其对象的先后顺序或数量限制。此外，附图中的不同元件和区域只是示意性示出，因此不限于附图中示出的尺寸或距离。

30

下面以具体的实施例对技术方案进行详细说明。下面这几个具体的实施例可以相互结合，对于相同

或相似的概念或过程可能在某些实施例中不再赘述。下面将结合附图，对本公开的实施例进行描述。

图 1 为一实施例示出的存储器的架构示例图，如图 1 所示，以 DRAM 作为示例，包括数据输入/输出缓冲、行解码器、列解码器、感测放大器以及存储阵列。存储阵列主要由字线、位线和存储单元组成。存储阵列中的字线沿行方向延伸，存储阵列中的位线沿列方向延伸，字线与位线的交叉处为存储阵列的存储单元。

其中，每个存储单元用于存储一个位（bit）的数据。如图 2 所示，图 2 为一实施例示出的存储单元的结构示例图，存储单元主要由晶体管 M 和电容 C 组成。其中，电容用于存储数据，晶体管用于根据字线状态，关断或导通。

可以通过控制行和列来激活某个存储单元，以实现对该存储单元的访问。结合读取场景作为示例：需要读取存储单元中的数据时，可以通过行解码器选中该存储单元所在行的字线，相应的，图示中的晶体管 M 导通，通过对位线信号的感测放大就可以感知到此时电容 C 上的状态。例如，如果存储单元中存储的数据为 1，那么晶体管 M 导通后就会从存储单元的位线上读到 1，反之也是同样的道理。另外，结合写入场景作为示例：需要向某存储单元中写入数据时，比如写入 1。可以通过行解码器选中该存储单元所在行的字线，相应的图示中的晶体管 M 导通，通过将位线的逻辑电平设为 1，使得电容 C 充电，即向存储单元写入 1。反之，如果要写入 0，那么位线的逻辑电平设为 0，使得电容 C 放电，即向存储单元写入 0。

实际应用中，为了支持存储器的工作，需要使用最大计数功能。比如，以双倍速率同步动态随机存储器（Double Data Rate Synchronous Dynamic Random Access Memory，简称 DDR SDRAM）为例，在 DDR5 JEDEC 标准中规定，为了提高 DDR5 DRAM 进行错误检查的能力，设置定期对存储器进行一次完整的错误检查与清除，并记录存储阵列的各行中存在最多错误的行的地址信息以及具体的错误数。作为示例，等到存储器完成一次完整的错误检查与清除后，错误数最大的行的地址信息将会保存在存储器的模式寄存器 MR<16:18>，结合图 1 和图 2 所示，在存储器内部，存储单元被划分成行和列，一片由行和列组成的区域称为存储体（BANK，简称 BA），一个存储器中的存储单元共用寻址单元；每个存储组（BANK GROUP 简称 BG）中包括多个存储体，错误数最大的行的地址信息包括但不限于该行所在的存储组地址（BG0~BG2）、该行所在的存储体地址（BA0~BA1）以及该行的具体行地址（R0~R17）；此外，最大错误数将会保存在模式寄存器 MR<19>中，MR<19>中通过错误计数 REC<5:0>来记录最大错误数所在的数值区间。其中，REC<5:0>表示在范围内的错误数，REC<5:0>中的每个数据位代表一个十进制的数值区间，其对应关系如表 1 所示。

表 1

错误计数的数据位	数值区间
----------	------

REC<0>	4~7
REC<1>	8~15
REC<2>	16~31
REC<3>	32~63
REC<4>	64~127
REC<5>	128~255

结合 DDR5 中错误检查与清除的场景进行方案示例：实际应用中，图 3 为一实施例提供的计数电路的结构示例图，图中包括用于执行行错误数的计数的 EpRC 模块。具体的，EpRC 模块检测到行上多个错误后，计数值即错误数 EpRC<5:0>开始增加，每增加预设阈值的错误数，EpRC<5:0>加 1。作为示例，错误数 EpRC<5:0>采用二进制计数。具体的，EpRC 模块在每次行地址换行时都会重置计数值，比如清零。

- 5 译码模块对 EpRC 模块输出的计数值进行译码，得到能够表征计数值所在数值区间的译码信息之后，比较模块将该译码信息与历史最大行错误数进行比较，记录两者中较大的错误数，作为当前的最大行错误数，从而实现最大行错误计数。

- 如图 3 所示，EpRC 模块会输出本次检测的行中的错误数 (EpRC<5:0>)，以及表征该错误数是否小于阈值的信号 (RETC<1:0>)，比较模块先将该错误数 (EpRC<5:0>) 与之前检测的行中的最大错误数 (REC<5:0>) 进行比较，确定当前错误数最大的行地址和行错误数。具体的，在每次读取完一行中所有码字后，将该行中的错误数与历史最大行错误数进行比较，如果历史最大行错误数小于当前行的错误数，那么当前行的错误数 EpRC<5:0>和 EpRC<5:0>对应的行地址信息将会替代之前的最大错误数和行地址信息，保存到错误数锁存器和地址锁存器中。反之，如果当前行的错误数小于之前行的错误数，那么之前行的信息继续保存在错误数锁存器和地址锁存器中。之后，译码器对计数值锁存器中的行错误数进行译码得到译码数据，以便记录在模式寄存器中。
- 10
- 15

- 实际应用中，为了避免一些非必要的故障修正，比如错误数量很少不会影响存储器正常工作的情况，在 DDR5 JEDEC 标准中规定了，可以设置行错误计数阈值 (Row Error Threshold counter, 简称 RETC)。作为示例，RETC 可以设置为 4。当行错误数小于行错误计数阈值时，该计数值将不会被记录在模式寄存器中。作为示例，本方案实施例中可以设定阈值，即行错误计数阈值。通过设置 RETC 的值，可以屏蔽
- 20
- 小于 RETC 的错误数。比如，假设检查出的错误数不超过 RETC 的话，则计数模块不再输出计数值，相应也无需执行后续处理。

- 基于上述情形，REC<5:0>中 REC<0>代表的数值区间的最小值为所述 RETC 设置的值，最大值为 $2 \times \text{RETC} - 1$ 。仍结合 RETC 的值为 4 进行举例，REC<0>代表的数值区间为 4~7。此外，对于 REC<5:1>中的每个数据位，每一数据位代表的数值区间的最小值被定义为 $\text{REC} < X >_{\min} = \text{RETC} \times 2^X$ ，最大值被定义为 $\text{REC} < X >_{\max} = 2 \times (\text{RETC} \times 2^X) - 1$ 。其中，X 为 REC 的数据位，例如，REC<2>的数据位为 2。结
- 25

合 RETC 的值为 4 进行举例，如上表所示，REC<1>代表的数值区间为 8~15，REC<2>代表的数值区间为 16~31，REC<3>代表的数值区间为 32~63，REC<4>代表的数值区间为 64~127，REC<5>代表的数值区间为 128~255。根据计数模块输出的计数值落在哪个数值区间，该数值区间对应的 REC 数据位被置 1。举例来说，假设计数值为 76，落在 64~127 的数值区间，则 REC<4>被设置为 1，其余数据位 REC<3:0>以及 REC<5>为 0。另外，在模式寄存器中，错误计数 REC<5:0>与模式寄存器 MR<19>的 OP<5:0>的数据位一一对应，如果 REC<5:0>中某数据位为 1，则 MR<19>的 OP<5:0>中对应的位将被设置为 1。基于上述举例，MR<19>的 OP<4>被设置为 1。

本公开实施例的一些方面涉及上述考虑。以下结合本公开的一些实施例对方案进行示例介绍。

实施例一

图 4 为一实施例提供的计数电路的结构示例图，如图 4 所示，该计数电路包括：

计数模块 11，用于在计数值超过预定阈值时，输出所述计数值；

译码模块 12，耦接于计数模块 11，用于对所述计数值进行译码，获得所述计数值对应的译码信息；其中，所述译码信息表征所述计数值所在的数值区间；

比较模块 13，耦接于译码模块 12，用于将所述译码信息和历史最大译码信息进行比较，锁存并输出当前最大的译码信息。

实际应用中，本实施例提供的计数电路可应用在各种存储器，作为示例，可以应用在包括但不限于双倍速率同步动态随机存储器（简称 DDR）等。

结合图 4 所示，计数模块 11 负责执行计数，计数完成后若本次的计数值超过预定的阈值，则输出计数值；译码模块 12 对计数模块 11 输出的计数值先进行译码，获得对应的译码信息，比如 OP<5:0>。具体的，译码信息表征了计数值所在的数值区间。经过译码后，比较模块 13 将本次的译码信息与历史最大译码信息，比如 REG<5:0>，进行比较，锁存两者中最大的译码信息并输出最大的译码信息，作为当前的历史最大译码信息。其中，历史最大译码信息为历史获得的计数值中最大的计数值对应的译码信息。需要说明的是，这里只是一种示例，可以理解，译码信息的数据长度还存在其它可能的实现方式，具体可以根据计数的需要确定。在一个示例中，译码信息为六位二进制数。该示例可适用于行错误计数场景。

为了实现译码信息表征计数值所在的数值区间，在一个示例中，译码信息为多位二进制数，译码信息的不同位对应不同的数值区间，高位对应的数值区间大于低位对应的数值区间。

举例来说，译码信息 OP<5:0>的每个数据位表示一个数值区间，OP<5>、OP<4>、OP<3>、OP<2>、OP<1>和 OP<0>分别代表一个数值区间，各数据位代表的数值区间不重叠，可以组成一个连续的更大的数值区间。具体的，译码信息代表的数值区间可以预先设定，比如适用于存储器场景，可以参照存储器的相关标准进行设定。其中，高位对应的数值区间大于低位对应的数值区间，结合示例举例说明，即 OP<5>对应的数值区间最大，OP<4>对应的数值区间大于 OP<3>对应的数值区间。这里数值区间之间的大小关

系按照数值区间的数值范围确定，举例来说，假设一个数值区间为 8~15，另一个数值区间为 16~31，那么后者大于前者。通过对计数值进行译码，获得的译码信息的不同位可以代表不同的数值区间，且各数值区间不重叠，以实现译码信息代表计数值所在的数值区间，从而便于后续比较模块进行比较。

需要说明的是，为了确保译码信息能够准确表征计数值所在的数值区间，在一个示例中，由于译码信息的不同位代表的数值区间互不重叠，因此译码信息中仅有一位的值为 1，表征译码信息对应的计数值位于该位对应的数值区间内。

本示例中，当计数模块输出计数值后，译码模块译码得到的译码信息中仅存在一个数据位的值为 1。此外，在其它的场景下，例如，假设计数模块得到的计数值小于所述阈值，不输出本次的计数值时，则译码模块不执行译码处理。实际应用中，由于译码信息的不同位对应不同的数值区间，因此，计数模块输出的计数值通过译码模块进行译码后，得到仅有一个数据位为 1 的译码信息，该译码信息能够准确表征计数值所在的数值区间。具体的，在译码信息中，值为 1 的数据位代表的数值区间即为计数值所在的数值区间。在一个示例中，译码模块 12 包括独热译码器。

相比于图 3 所示的方案，图 4 所示的实施例方案的主要特点在于，首先，对计数值的输出设定阈值，即在计数值超过阈值时，计数模块才会输出计数值。另外，本实施例中先对计数值进行译码得到能够表征计数值所在数值区间的译码信息，之后再对该译码信息与历史计数值对应的译码信息进行比较，确定出最大译码信息，后续记录至模式寄存器。本实施例的方案，基于上述特点，EpRC 模块无需再输出表征计数值是否大于阈值的信号（RETC<1:0>），从而减少需进行处理的数据量，并且由于译码信息只需表征计数值所在的数值区间，而无需知晓计数值的具体数值，因此便于采用更为简化的数据来表示，比如，译码值仅有 1 位为 1 来表征计数值所在的数值区间，从而在后续的比较中无需对所有比特位比较，从而简化比较模块的电路结构。

可以理解，存储器场景下，由于最终模式寄存器中记录的 REC<5:0>用于确定最大计数值所在的数值范围，也就是说，假设有两次的计数值，即便大小不同，但如果两者位于同一个数值区间内，则最终在模式寄存器的记录内容是相同的。因此，本实施例的方案，利用存储器的行错误计数场景的上述特点，未对具体的计数值 EpRC<5:0>的大小关系进行比较，而是采用先进行译码得到译码信息，该译码信息只有一位的是 1，其它位均为 0，再进行比较和记录的方式，从而有效简化电路结构，减少绕线和版图面积，故本实施例的方案尤其适用于存储器场景。

此外，为了实现对译码信息的比较，在一个示例中，图 5 为一实施例提供的计数电路的结构示例图，如图 5 所示，比较模块 13 包括：比较单元 21 和第一锁存单元 22；

比较单元 21 的第一输入端与译码模块 12 连接，比较单元 21 的第二输入端与第一锁存单元 22 的输出端连接，比较单元 21 用于将所述译码信息 OP<5:0>和第一锁存单元 22 输出的历史最大译码信息 REG<5:0>进行比较，并根据比较结果输出使能信号 MAX；

第一锁存单元 22 的输入端与译码模块 12 连接，第一锁存单元 22 的使能端与比较单元 21 的输出端连接，第一锁存单元 22 用于响应于使能信号 MAX 锁存并输出当前最大的译码信息。

结合示例：首次计数时，第一锁存单元 22 中记录的历史最大译码信息 REG<5:0>处于初始状态，比如可以为空或者默认各数据位均为 0。译码模块 12 基于计数模块 11 首次输出的计数值得到首个译码信息 OP<5:0>，比较单元 21 将该译码信息 OP<5:0>与第一锁存单元 22 当前输出的历史最大译码信息 REG<5:0>（此时 REG<5:0>为空或 0）进行比较。作为示例，经过首次比较后，将确定相比于初始的 REG<5:0>，译码模块本次输出的译码信息 OP<5:0>更大，故比较单元 21 输出有效的使能信号，比如高电平状态的使能信号 MAX，相应的，第一锁存单元 22 响应于有效的使能信号，执行锁存处理，即将译码模块 12 输出的译码信息 OP<5:0>进行锁存，作为新的历史最大译码信息 REG<5:0>输出。也就是说，此时第一锁存单元 22 的输出 REG<5:0>与前述的译码信息 OP<5:0>一致。

之后再次计数时，译码模块 12 基于计数模块 11 每次输出的计数值得到对应的译码信息 OP<5:0>传输给比较单元 21；比较单元 21 将本次的译码信息 OP<5:0>与第一锁存单元 22 当前输出的译码信息 REG<5:0>进行比较，如果本次的译码信息 OP<5:0>大于当前的历史最大译码信息 REG<5:0>，则再次输出有效的使能信号，以更新第一锁存单元 22 的输出 REG<5:0>与本次的译码信息 OP<5:0>一致。相反的，假设本次的译码信息 OP<5:0>不大于当前的历史最大译码信息 REG<5:0>，则不输出有效的使能信号，比如输出低电平状态的使能信号。相应的，第一锁存单元 22 则不将接收到的本次的译码信息传输至内部，第一锁存单元 22 内部仍继续锁存和输出历史最大译码信息 REG<5:0>。后续针对计数模块 11 每次输出的计数值均执行上述方案，直至整个计数结束，比如存储器的所有行错误计数完成，则此时第一锁存单元 22 的输出即为所有行错误计数值中的最大计数值。

在一个示例中，比较单元 21，用于在译码模块 12 输出的译码信息大于第一锁存单元 22 输出的历史最大译码信息时，输出有效的使能信号，以及在译码模块 12 输出的译码信息不大于第一锁存单元 22 输出的历史最大译码信息时，输出无效的使能信号；第一锁存单元 22 用于响应于有效的使能信号，锁存并输出译码模块 12 输出的译码信息，以及响应于无效的使能信号，维持输出历史最大译码信息。作为示例，有效的使能信号和无效的使能信号可以通过不同的信号状态表征，比如高电平状态和低电平状态。

本示例中，比较单元根据本次译码信息和历史最大译码信息的比较结果输出使能信号，以使第一锁存单元响应于使能信号选择是否更新锁存，从而通过较为简化的电路实现始终输出当前最大的译码信息。

图 6 为一实施例提供的比较单元的结构示例图，如图 6 所示，比较单元 21 包括：多个比较子单元 31 和输出单元 32；其中，所述多个比较子单元与译码信息的各个位一一对应；

每个比较子单元 31 接收译码信息中对应的位信号和对应的特征信号，并用于根据所述位信号与所述特征信号的比较结果，输出结果信号；其中，特征信号的值表征所述历史最大译码信息 REG<5:0>中是否存在值为 1 且不低于所述比较子单元 31 对应位的比特位；

输出单元 32, 用于根据每个比较子单元 31 输出的结果信号, 确定输出有效或无效的使能信号 MAX。

其中, 输入每个比较子单元的特征信息表征在当前记录的历史最大译码信息中, 是否存在值为 1 且不低于该比较子单元对应位的比特位。可以理解, 译码信息的每个比特位代表一个数值区间, 并且比特位越高代表的数值区间越大。结合译码信息中值为 1 的比特位表征计数值所在的数值区间的特点, 通过比较两个计数值对应的译码信息中值为 1 的比特位的高低, 可反映出这两个计数值的大小关系, 从而确定最大计数值对应的译码信息, 即最大译码信息。举例来说, 假设某计数值 A 对应的译码信息为 000010, 另一计数值 B 对应的译码信息为 010000, 则可判定计数值 B 大于计数值 A, 计数值 B 对应的译码信息大于计数值 A 对应的译码信息。

本示例中, 比较子单元与译码信息的各比特位一一对应。结合图 6 的示例, 以译码信息为六位二进制数进行举例, 图中六个比较子单元分别对应译码信息的六个比特位。如图所示, 包括 OP<5>~OP<0>对应的比较子单元, 每个比较子单元接收对应译码信息位 OP<...>和对应的特征信号。

以最高位对应的比较子单元作为示例, 该比较子单元接收到对应的位信号 OP<5>和对应的特征信号, 该特征信号表征历史最大译码信息中是否存在值为 1 且不低于所述比较子单元对应位 (即最高位) 的比特位, 示例的所述比较子单元对应译码信息的最高位, 故历史最大译码信息中不低于最高位的比特位即仅有历史最大译码信息的最高位 REG<5>, 因此示例的比较子单元接收到的特征信号表征历史最大译码信息的最高位 REG<5>的值是否为 1。

基于译码模块输出的译码信息和历史最大译码信息, 可以通过两种比较逻辑进行比较: 一种为找出两者中为 1 的比特位, 比较两者中为 1 的比特位, 为 1 的比特位更高的译码信息的值更大, 若相同则说明译码模块输出的译码信息和历史最大译码信息相等; 另一种为从高至低依次比较两者比特位的值, 谁先出现为 1 的比特位, 谁的值就更大, 若相同则相等。

举例来说, 可以用特征信号为 1, 表征历史最大译码信息中存在值为 1 且不低于比较子单元对应位的比特位; 用特征信号为 0, 表征历史最大译码信息中不存在值为 1 且不低于比较子单元对应位的比特位, 即不低于比较子单元对应位的比特位均为 0。仍以最高位对应的比较子单元作为示例, 实际场景中, 可能出现以下几种情况:

(1) 如果译码模块本次输出的译码信息的最高位 OP<5>为 1, 而历史最大译码信息的最高位 REG<5>不为 1, 则可直接确定, 本次输出的译码信息更大, 故输出处于某状态的结果信号, 以使输出单元输出有效的使能信号;

(2) 如果译码信息的最高位 OP<5>不为 1, 而历史最大译码信息的最高位 REG<5>为 1, 则可直接确定, 历史最大译码信息更大, 故输出处于另一状态的结果信号, 以使输出单元输出无效的使能信号;

(3) 如果译码信息的最高位 OP<5>和历史最大译码信息的最高位 REG<5>两者均为 1, 则译码模块输出的译码信息和历史最大译码信息相等;

(4) 如果译码信息的最高位 OP<5>和历史最大译码信息的最高位 REG<5>两者均为 0, 则基于其它位对应的比较子单元的结果信息确定最大的译码信息, 其中其它比较子单元的比较原理与上述类似。总的来说, 即通过对比译码信息中每个位是否为 1 与历史最大译码信息中的相同位和更高位中是否存在 1, 进行每个位的比较判断。

5 进一步的, 根据比较得到的结果信息, 控制输出单元 32 输出有效或无效的使能信号, 在一个示例中, 若任一比较子单元 31 输出的结果信号表征比较子单元 31 对应的位的值为 1 且历史最大译码信息中不低于该位的比特位的值均为 0, 则输出有效的使能信号。

在一个示例中, 如图 7 所示, 每个比较子单元 31 包括: 第一非门 311 和第一或非门 312;

10 第一非门 311 的输入端接收所述译码信息中对应的位信号, 第一非门 311 的输出端连接至第一或非门 312 的第一输入端;

第一或非门 312 的第二输入端接收比较子单元 31 对应的特征信号, 第一或非门 312 的输出端连接至输出单元 32。

具体的, 当译码信息中的位信号为 1 时, 第一非门 311 输出 0, 第一或非门 312 的输出是否为 1 取决于特征信号, 如果特征信号表征历史最大译码信息中不低于该位的比特位均为 0, 比如特征信号为 0, 则
15 第一或非门 312 输出的结果信号为 1, 相应的, 输出单元输出有效的使能信号。当译码信息中的位信号为 0 时, 第一非门 311 输出 1, 则无论特征信号的值是否为 1, 第一或非门 312 输出的结果信号为 0, 相应的, 输出单元的输
20 出视其它第一或非门的输出情况, 只要存在输出为 1 的第一或非门, 则表征该比较子单元接收到的位信号为 1 且历史最大译码信息中不低于该位的比特位均为 0, 即表征译码模块输出的译码信息中值为 1 的比特位相比历史最大译码信息中为 1 的比特位更高, 译码模块输出的译码信息大于历史最大译码信息, 需要将历史最大译码信息更新为译码模块输出的译码信息, 输出单元输出有效的使能信号, 否则输出无效的使能信号。

也就是说, 对于每个比较子单元来说, 只有当译码信息中的位信号为 1, 历史最大译码信息中不低于该位的比特位均为 0 时, 即译码信息中值为 1 的比特位高于历史最大译码信息中值为 1 的比特位时, 方
25 输出为 1 的结果信号; 否则, 比如, 译码信息中值为 1 的比特位和历史最大译码信息中值为 1 的比特位相同, 或者译码信息中值为 1 的比特位低于历史最大译码信息中值为 1 的比特位时, 均输出为 0 的结果信号。

本示例利用译码信息的特点, 通过非门和与非门实现比较子单元, 采用常规的器件结构能够有效简化电路结构, 并且降低成本。

在一些实施例中, 每个比较子单元对应的特征信号的数量为一个。即通过一个信号表征历史最大译
30 码信息中, 不低于比较子单元对应位的比特位中是否存在值为 1 的比特位。具体的, 为了简化电路结构, 可以采用常规器件实现比较子单元。故为了使特征信号适配常规器件, 本示例中, 每个比较子单元对应

的特征信号数量为一个，从而有效减少器件输入端口，简化电路布线。

为了将特征信号实现为单个信号，在一个示例中，如图 8 所示，每个比较子单元 31 还包括：第一信号生成单元 313；第一信号生成单元 313 的输入端接收历史最大译码信息中不低于比较子单元 31 对应位的所有比特位信号，第一信号生成单元 313 用于在接收到的任意一个所述比特位信号的值为 1 时，输出值为 1 的特征信号。

本示例中，每个比较子单元对应一个第一信号生成单元。每个第一信号生成单元用于生成输入至对应的比较子单元的特征信号，且第一信号生成单元仅生成一个特征信号。具体的，第一信号生成单元用于检测历史最大译码信息中，不低于所在比较子单元对应位的所有比特位信号中，是否存在值为 1 的位。举例来说，历史最大译码信息中，不低于译码信息的 OP<3>对应位的所有比特位为 REG<5>~REG<3>，故译码信息的 OP<3>对应的比较子单元中的第一信号生成单元用于检测 REG<5>~REG<3>中是否存在值为 1 的比特位，若存在任一比特位为 1，则该第一信号生成单元输出 1，否则输出 0。

同样出于电路简化和成本考虑，倾向于采用常规器件实现第一信号生成单元。作为示例，图 9 为第一信号生成单元的结构示例图，如图 9 所示，第一信号生成单元 313 包括：至少一个第一生成子单元 41；

每个第一生成子单元 41 包括：第二或非门 411 和第二非门 412；第二或非门 411 的输入端作为第一生成子单元 41 的输入端，第二非门 412 的输出端作为第一生成子单元 41 的输出端，第二或非门 411 的输出端与第二非门 412 的输入端连接；

每个第一生成子单元 41 的输入端连接历史最大译码信息中不低于比较子单元对应位的部分比特位或者全部比特位，所有第一生成子单元 41 连接的比特位的组合结果为历史最大译码信息中不低于比较子单元对应位的所有比特位；

其中，除首个以外的每个第一生成子单元 41 连接上一级第一生成子单元 41 的输出端，最后一级第一生成子单元 41 输出所述特征信号。

结合场景对上述电路的工作原理进行示例：以译码信息的 OP<1>为例，输入至第一信号生成单元 313 的所有第一生成子单元 41 的比特位的组合结果，为历史最大译码信息中不低于 OP<1>的所有比特位，即 REG<5>~REG<1>。以译码信息的 OP<3>为例，输入至第一信号生成单元 313 的所有第一生成子单元 41 的比特位的组合结果，为历史最大译码信息中不低于 OP<3>的所有比特位，即 REG<5>~REG<3>。其中，第一生成子单元 41 的数量可以仅设置一个，也可根据不低于比较子单元对应位的所有比特位的数量和第二或非门的输入端数量设置多个，在此不对其进行限制，图中仅是结合用于生成译码信息的 OP<1>对应的比较子单元的特征信号作为举例，对第一信号生成单元的结构进行一种示例，而并未限制其它比较子单元的第一信号生成单元的结构。

比如，图中示例的 OP<1>对应的第一信号生成单元 313 中包括两个第一生成子单元 41，其中一个第一生成子单元 41 的输入信号包括 REG<5>~REG<3>，另一第一生成子单元 41 的输入信号包括

REG<2>~REG<1>。但在其它方式中，也可以设置三个第一生成子单元 41，其中一个第一生成子单元 41 的输入信号包括 REG<5>~REG<4>，另一第一生成子单元 41 的输入信号包括 REG<3>~REG<2>，最后一个第一生成子单元 41 的输入信号包括 REG<1>。

结合图示可知，对于每个第一生成子单元来说，只要输入的信号中存在值为 1 的任一信号，则第二或非门输出 0，相应的第二非门输出 1。由于前几级的第一生成子单元的输出还作为后一级第一生成子单元的输入，故如果存在任一第一生成子单元输出的信号为 1，则最终第一信号生成单元输出的特征信号为 1，从而实现若检测到历史最大译码信息中，不低于所在比较子单元对应位的所有比特位信号中任一一位的值为 1，则输出值为 1 的特征信号。

本示例中，通过在每个比较子单元中设置第一信号生成单元，为每个比较子单元提供数量为一个的特征信号，通过特征信号和译码信号进行比较的结果信号，输出使能信号，实现最大译码信息的更新。

在一些实施例中，至少一个比较子单元对应的特征信号的数量为多个。本示例中，每个比较子单元对应的特征信号的数量可以根据该比较子单元对应的特征信号需要表征的比特位的数量确定，举例来说，假设某比较子单元（比如 OP<5>对应的比较子单元）的特征信号需表征历史最大译码信息中一个比特位的值是否为 1，则对应的特征信号数量为一个（比如，REG<5>）；而当比较子单元对应的比特位较低，相应的特征信号需要表征历史最大译码信息中一个比特位的取值情况时，则特征信号的数量可以为多个，从而利用具有多输入端口的器件，有效简化电路结构。

在一个示例中，如图 10 所示，图 10 为一实施例提供的比较单元的结构示例图，比较单元 21 还包括第二信号生成单元 33；

第二信号生成单元 33，用于根据所述历史最大译码信息中是否存在值为 1 且不低于预定位的比特位，输出相应的特征信号。

本示例中，第二信号生成单元 33 负责提供部分比较子单元的特征信号。其中，所述预定位可以随机选取，比如，对于 REG<5: 0>，可以选取预定位为 REG<3>和 REG<1>，相应的，第二信号生成单元 33 输出的特征信号包括 REG<345>和 REG<12345>，其中，REG<345>表征历史最大译码信息 REG<5: 0>中不低于 REG<3>的比特位中是否存在值为 1 的位，REG<12345>表征历史最大译码信息 REG<5: 0>中不低于 REG<1>的比特位中是否存在值为 1 的位。需要说明的是，图中仅为一种示例，实际应用中，任何一个比较子单元都可以将不低于所述比较子单元对应的位的所有位信号（作为特征信号）直接输入。

在一个示例中，多个比较子单元 31 包括第一比较子单元 311 和第二比较子单元 312；其中，第一比较子单元 311 对应的特征信号包括历史最大译码信息中不低于第一比较子单元 311 对应的位的所有位信号；第二比较子单元 312 对应的特征信号包括第二信号生成单元 33 输出的信号，预定位为译码信息中第二比较子单元 312 对应的位。

作为示例，如图 10 所示，对于 OP<5>对应的比较子单元，该比较子单元的特征信号包括 REG<5>；

对于 OP<4>对应的比较子单元,该比较子单元的特征信号包括 REG<5>和 REG<4>和 REG<5>;对于 OP<3>对应的比较子单元,该比较子单元的特征信号包括第二信号生成单元 33 提供的 REG<345>;对于 OP<2>对应的比较子单元,该比较子单元的特征信号包括 REG<2>和第二信号生成单元 33 提供的 REG<345>;对于 OP<1>对应的比较子单元,该比较子单元的特征信号包括第二信号生成单元 33 提供的 REG<12345>;

5 对于 OP<0>对应的比较子单元,该比较子单元的特征信号包括 REG<0>和第二信号生成单元 33 提供的 REG<12345>。

需要说明的时,上述只是一种示例,可以理解,预定位的选取可以根据实际情况进行选取。结合上述举例,图 10 中,第一比较子单元包括 OP<5>对应的比较子单元和 OP<4>对应的比较子单元;第二比较子单元包括 OP<3>对应的比较子单元和 OP<1>对应的比较子单元。上述示例,通过设定预定位,由第二

10 信号生成单元提供部分比较子单元的特征信号,利用某些器件具有多端口的特点,对于端口数充足的比较子单元可直接连接历史最大译码信息中不低于所述比较子单元对应的位的所有位信号,对于端口数有限的比较子单元可采用第二信号生成单元提供的特征信号,无需针对每个比较子单元生成专门的特征信号,从而简化第二信号生成电路的结构,降低整体电路的复杂性。

在一个示例中,多个比较子单元 31 包括:第三比较子单元 313;

15 第三比较子单元 313 对应的特征信号包括第二信号生成单元 33 输出的信号和历史最大译码信息中对应第三比较子单元 313 的位信号,预定位为译码信息中第三比较子单元 313 对应的位的相邻高位。

结合前述示例说明,针对预定位的相邻低位对应的比较子单元,比如,预定位为 REG<3>时,预定位的相邻低位即 REG<2>,故针对 REG<2>对应的比较子单元,该比较子单元接收的特征信号除了包括第二信号生成单元 33 提供的特征信号 REG<345>,还接收历史最大译码信息中该比较子单元对应位的信号,

20 即 REG<2>。

上述示例中,通过将第二信号生成单元提供的特征信号和历史最大译码信息中的位信号进行组合,共同作为比较子单元的特征信号,能够简化信号生成单元的电路结构,并且实现比较子单元基于特征信号和译码信号进行比较,实现后续处理。

以下对第二信号生成电路的结构进行举例说明:在一个示例中,图 11 为第二信号生成单元的结构示意图,如图 11 所示,仍以预定位包括 REG<3>和 REG<1>作为示例,第二信号生成单元 33 包括:第二或非门 331、第二非门 332 以及第三或非门 333 和第三非门 334;

25

第二或非门 331 的输入端分别连接至历史最大译码信息的前三位信号 REG<5>~REG<3>,第二或非门 331 的输出端连接第二非门 332 的输入端,第二非门 332 的输出端输出信号 REG<345>;

第三或非门 333 的输入端分别连接第二非门 332 的输出端和历史最大译码信息不低于预定位的比特

30 位中除前三位信号以外的位信号 REG<2>~REG<1>,所述第三或非门 333 的输出端连接第三非门 334 的输入端,第三非门 334 的输出端输出信号 REG<12345>。

需要说明的是，上述只是通过举例的方式给出第二信号生成电路的结构实现，可以理解，还可以通过其它可能的方式实现第二信号生成电路。

本示例中，通过设置第二信号生成单元，基于第二信号生成单元和历史最大译码信息中各比特位的信号，组合为各比较子单元提供特征信号，通过特征信号和译码信号进行比较的结果信号输出使能信号，

5 实现最大译码信息的更新。

进一步的，为了实现根据比较得到的结果信息，控制输出单元输出有效或无效的使能信号，在一个示例中，输出单元 32，具体用于若任一比较子单元 31 输出的结果信号为第一值，则输出有效的使能信号；其中，第一值表征比较子单元 31 接收的所述译码信息中对应的位信号的值为 1 且历史最大译码信息中不低于该位的比特位的值均为 0。

10 可选的，第一值可以为 1。作为示例，当某个比较子单元输出的结果信号为 1，即表明该比较子单元对应位的值为 1，且历史最大译码信息中不低于该位的所有比特位均为 0。结合译码信息的比特位越高，反映计数值越大的特点，可以判定译码模块输出的译码信息大于历史最大译码信息，故输出单元在检测到任一结果信号为 1 时，即输出有效的使能信号，以使第一锁存单元 22 将最大译码信息更新为译码模块本次输出的译码信息，从而输出当前最大的译码信息。

15 在一个示例中，图 12 为一实施例提供的输出单元的结构示例图，如图 12 所示，输出单元 32 包括：多个第四或非门 321 和第一与非门 322；每个第四或非门 321 的输入端分别与译码信息的相邻位对应的比较子单元 31 的输出端连接，每个第四或非门 321 的输出端连接至第一与非门 322 的输入端，第一与非门 322 的输出端输出使能信号。本示例中，通过常规器件或非门和与非门，实现当检测到任一结果信号为 1 时输出有效的使能信号，从而有效简化电路，降低成本。需要说明的是，图中只是一种示例，输出单元
20 的图示结构还可以和比较单元的其它实现结构结合实施。

在一个示例中，图 13 为一实施例提供的计数电路的结构示例图，如图 13 所示，第一锁存单元 22 包括：第一锁存器 221；第一锁存器 221 的输入端与译码模块 12 连接，第一锁存器 221 的使能端与比较单元 21 的输出端连接，第一锁存器 221 的输出端与比较单元 21 的第二输入端连接。本示例中，通过锁存器，实现响应于使能信号的有效或无效，更新锁存的译码信息或维持原有的译码信息，从而基于简化的
25 电路实现始终输出最大译码信息。

结合行错误计数的场景进行示例：上述计数值为行错误数，历史最大译码信息为历史最大行错误数对应的译码信息。结合前述对存储器的行错误计数场景的介绍，除了实现最大行错误数的记录外，还需记录最大行错误数对应的地址信息。故在一个示例中，如图 14 所示，所述电路还包括：地址模块 14；比较模块 13 还包括：第二锁存单元 23；

30 地址模块 14，用于输出计数值对应的地址信息；其中，地址信息包括但不限于：存储组地址、存储体地址和行地址。

第二锁存单元 23 的输入端与地址模块 14 连接，第二锁存单元 23 的使能端与比较单元 21 的输出端连接，第二锁存单元 23 用于响应于有效的使能信号，输出地址模块 14 输出的地址信息；以及，响应于无效的使能信号，维持历史最大行错误数对应的地址信息。

具体的，比较单元输出的使能信号是否有效，基于本次译码模块输出的译码信息和第一锁存单元中历史最大译码信息的大小关系确定。在存储器的行错误计数场景下，使能信号除了用于控制第一锁存单元是否更新锁存的错误数以外，还用于控制第二锁存单元是否更新行地址信息。作为示例，当使能信号有效时，说明本次的译码信息大于历史最大译码信息，则在更新最大行错误数的同时，第二锁存单元响应于有效的使能信号，将行地址模块本次输出的本次译码信息对应的行地址信息，更新至内部锁存输出，替代历史最大译码信息对应的行地址信息。

通过设置行地址模块和第二锁存单元，能够实现存储器的行错误计数场景下的最大错误数计数功能。

本实施例提供的计数电路中，计数模块在计数值超过预定阈值时输出计数值，译码模块对计数模块输出的计数值进行译码，获得表征计数值所在的数值区间的译码信息，比较模块将所述译码信息和历史最大译码信息进行比较，锁存并输出当前最大的译码信息。上述方案中，译码模块先对当前的计数值进行译码，获得的译码信息中仅有 1 位为 1 即可表征计数值所在的数值区间，比较模块在比较当前计数值对应的译码信息和历史最大计数值对应的译码信息，即历史最大译码信息时，由于两者均为仅有 1 位为 1 的数据，故可大大简化比较模块的电路结构，即可确定实现最大计数结果对应的译码信息并存至寄存器，从而通过结构更为简化的电路实现最大计数，能够很好地适用于需要保持输出最大结果的计数场景，比如行错误计数场景。

实施例二

图 15 为一实施例提供的一种存储器的结构示意图，如图 15 所示，该存储器包括：模式寄存器 1 以及如前述任一示例所述的计数电路 2；其中，

模式寄存器 1，耦接于计数电路 2，用于保存计数电路 2 输出的最大译码信息。

作为示例，模式寄存器 1 还用于保存最大译码信息对应的行的地址信息。结合前述实施例的方案，以 DRAM 作为示例：基于前述方案，计数电路根据当前行的检测情况，在行错误数超过预定阈值时，对该行错误数进行译码，并将译码获得的译码信息和历史最大译码信息进行比较；若本次获得的译码信息大于历史最大译码信息，则将本次译码信息作为当前的最大译码信息，否则将历史最大译码信息继续作为最大译码信息，直至所有行的检测结束，得到最终的最大译码信息。该最大译码信息表征最大行错误数所在的数值区间。相应的，计数电路将最大译码信息无需再进行译码，传输至用于记录最大行错误数的模式寄存器中，另外，计数电路还将最大译码信息对应的行的地址信息，传输至用于记录最大行错误数对应的行地址信息的模式寄存器中，实现存储器的行错误数计数场景。

本实施例提供的存储器中，计数电路在行错误数超过预定阈值时输出行错误数，对行错误数进行译码，获得表征行错误数所在的数值区间的译码信息，将所述译码信息和历史最大译码信息进行比较，锁存并向模式寄存器输出当前最大的译码信息以及对应的行的地址信息。上述方案中，先对当前的计数值进行译码，通过比较当前行错误数对应的译码信息和历史最大行错误数对应的译码信息，获得的译码信息中仅有 1 位为 1 即可表征计数值所在的数值区间，比较模块在比较当前计数值对应的译码信息和历史最大计数值对应的译码信息，即历史最大译码信息时，由于两者均为仅有 1 位为 1 的数据，故可大大简化比较模块的电路结构，即可确定实现最大计数结果对应的译码信息并存至寄存器，从而通过结构更为简化的电路实现最大计数，能够很好地适用于行错误计数场景。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本公开旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和精神由下面的权利要求书指出。

应当理解的是，本公开并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求书来限制。

权 利 要 求 书

1、一种计数电路，包括：

计数模块，用于在计数值超过预定阈值时，输出所述计数值；

译码模块，耦接于所述计数模块，用于对所述计数值进行译码，获得所述计数值对应的译码信息；

5 其中，所述译码信息表征所述计数值所在的数值区间；

比较模块，耦接于所述译码模块，用于将所述译码信息和历史最大译码信息进行比较，锁存并输出当前最大的译码信息。

2、根据权利要求1所述的电路，其中，所述译码信息为多位二进制数，所述译码信息的不同位对应不同的数值区间，高位对应的数值区间大于低位对应的数值区间。

10 3、根据权利要求2所述的电路，其中，所述译码信息中仅有一位的值为1，表征所述译码信息对应的计数值位于该位对应的数值区间内。

4、根据权利要求2所述的电路，其中，所述比较模块包括：比较单元和第一锁存单元；

所述比较单元的第一输入端与所述译码模块连接，所述比较单元的第二输入端与所述第一锁存单元的
15 输出端连接，所述比较单元用于将所述译码信息和所述第一锁存单元输出的历史最大译码信息进行比较，并根据比较结果输出使能信号；

所述第一锁存单元的输入端与所述译码模块连接，所述第一锁存单元的使能端与所述比较单元的输出端连接，所述第一锁存单元用于响应于所述使能信号锁存并输出当前最大的译码信息。

5、根据权利要求4所述的电路，其中，

所述比较单元，用于在所述译码信息大于所述第一锁存单元输出的历史最大译码信息时，输出有效
20 的使能信号，以及在所述译码信息不大于所述第一锁存单元输出的历史最大译码信息时，输出无效的使能信号；

所述第一锁存单元用于响应于所述有效的使能信号，锁存并输出所述译码模块输出的译码信息，以及响应于所述无效的使能信号，维持输出历史最大译码信息。

6、根据权利要求5所述的电路，其中，所述比较单元包括：多个比较子单元和输出单元；其中，所
25 述多个比较子单元与所述译码信息的各个位一一对应；

每个所述比较子单元接收所述译码信息中对应的位信号和对应的特征信号，并用于根据所述位信号与
所述特征信号的比较结果，输出结果信号；其中，所述特征信号的值表征所述历史最大译码信息中是否
存在值为1且不低于所述比较子单元对应位的比特位；

所述输出单元，用于根据每个所述比较子单元输出的结果信号，确定输出有效或无效的使能信号。

30 7、根据权利要求6所述的电路，其中，

所述输出单元，具体用于若任一比较子单元输出的结果信号为第一值，则输出有效的使能信号；其中，所述第一值表征所述比较子单元接收的所述译码信息中对应的位信号的值为 1 且所述历史最大译码信息中不低于该位的比特位的值均为 0。

8、根据权利要求 7 所述的电路，其中，每个所述比较子单元包括：第一非门和第一或非门；

5 所述第一非门的输入端接收所述译码信息中对应的位信号，所述第一非门的输出端连接至所述第一或非门的第一输入端；

所述第一或非门的第二输入端接收所述比较子单元对应的特征信号，所述第一或非门的输出端连接至所述输出单元。

9、根据权利要求 6 所述的电路，其中，每个比较子单元对应的特征信号的数量为一个。

10 10、根据权利要求 9 所述的电路，其中，每个所述比较子单元还包括：第一信号生成单元；

所述第一信号生成单元的输入端接收所述历史最大译码信息中不低于所述比较子单元对应位的所有比特位信号，所述第一信号生成单元用于在接收到的任意一个所述比特位信号的值为 1 时，输出值为 1 的特征信号。

11、根据权利要求 10 所述的电路，其中，所述第一信号生成单元包括：至少一个第一生成子单元；

15 每个所述第一生成子单元包括：第二或非门和第二非门；所述第二或非门的输入端作为所述第一生成子单元的输入端，所述第二非门的输出端作为所述第一生成子单元的输入端，所述第二或非门的输出端与所述第二非门的输入端连接；

20 每个第一生成子单元的输入端连接所述历史最大译码信息中不低于所述比较子单元对应位的部分比特位或者全部比特位，所有第一生成子单元连接的比特位的组合结果为所述历史最大译码信息中不低于所述比较子单元对应位的所有比特位；

除首个以外的每个第一生成子单元连接上一级第一生成子单元的输出端，最后一级第一生成子单元输出所述特征信号。

12、根据权利要求 6 所述的电路，其中，至少一个比较子单元对应的特征信号的数量为多个。

13、根据权利要求 12 所述的电路，其中，所述比较单元还包括第二信号生成单元；

25 所述第二信号生成单元，用于根据所述历史最大译码信息中是否存在值为 1 且不低于预定位的比特位，输出相应的特征信号。

14、根据权利要求 13 所述的电路，其中，所述多个比较子单元包括第一比较子单元和第二比较子单元；

30 所述第一比较子单元对应的特征信号包括所述历史最大译码信息中不低于所述第一比较子单元对应的位的所有位信号；

所述第二比较子单元对应的特征信号包括所述第二信号生成单元输出的信号，所述预定位为所述译

码信息中所述第二比较子单元对应的位。

15、根据权利要求 13 所述的电路，其中，所述多个比较子单元包括：第三比较子单元；

所述第三比较子单元对应的特征信号包括所述第二信号生成单元输出的信号和所述历史最大译码信息中对应所述第三比较子单元的位信号，所述预定位为所述译码信息中所述第三比较子单元对应的位的相邻高位。

16、根据权利要求 7 所述的电路，其中，所述输出单元包括：多个第四或非门和第一与非门；

每个第四或非门的输入端分别与所述译码信息的相邻位对应的比较子单元的输出端连接，每个所述第四或非门的输出端连接至所述第一与非门的输入端，所述第一与非门的输出端输出所述使能信号。

17、根据权利要求 4 所述的电路，其中，所述第一锁存单元包括：第一锁存器；

10 所述第一锁存器的输入端与所述译码模块连接，所述第一锁存器的使能端与所述比较单元的输出端连接，所述第一锁存器的输出端与所述比较单元的第二输入端连接。

18、根据权利要求 1 所述的电路，其中，所述译码模块包括独热译码器。

19、根据权利要求 4-18 中任一项所述的电路，其中，所述计数值为行错误数，所述历史最大译码信息为历史最大行错误数对应的译码信息。

15 20、根据权利要求 19 所述的电路，其中，所述译码信息为六位二进制数。

21、根据权利要求 20 所述的电路，其中，所述电路还包括：地址模块；所述比较模块还包括：第二锁存单元；

所述地址模块，用于输出所述计数值对应的地址信息；

20 所述第二锁存单元的输入端与所述地址模块连接，所述第二锁存单元的使能端与所述比较单元的输出端连接，所述第二锁存单元用于响应于有效的使能信号，输出所述地址模块输出的地址信息；以及，响应于无效的使能信号，维持历史最大行错误数对应的地址信息。

22、根据权利要求 21 所述的电路，其中，所述地址信息包括存储组地址、存储体地址和行地址。

23、一种存储器，包括：模式寄存器以及如权利要求 1-22 中任一项所述的计数电路；其中，

所述模式寄存器，耦接于所述计数电路，用于保存所述计数电路输出的最大译码信息。

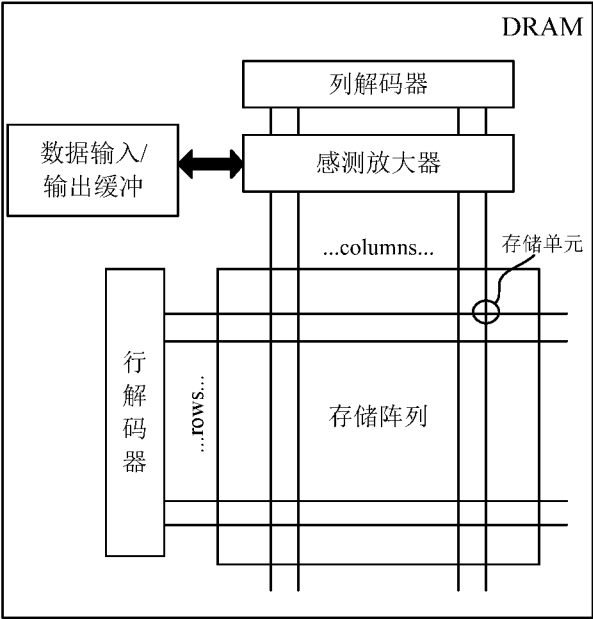


图 1

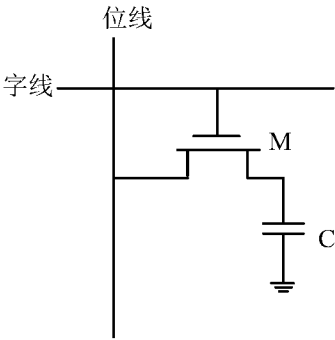


图 2

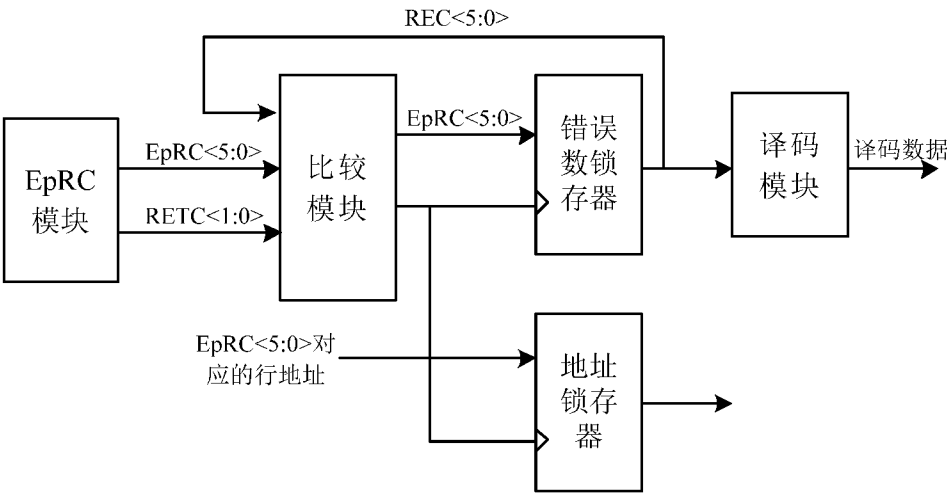


图 3

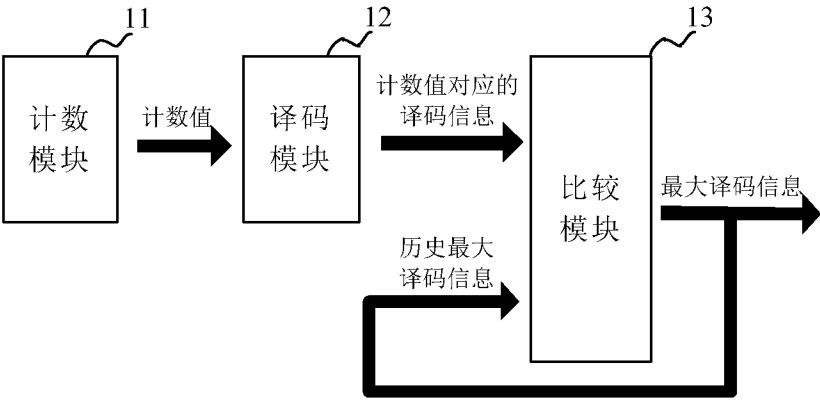


图 4

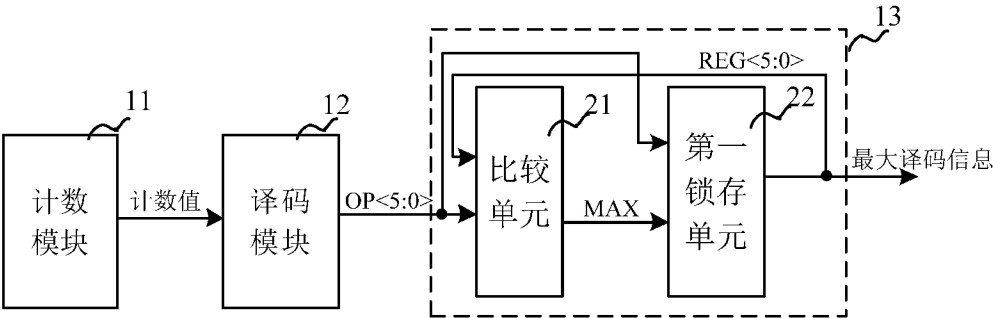


图 5

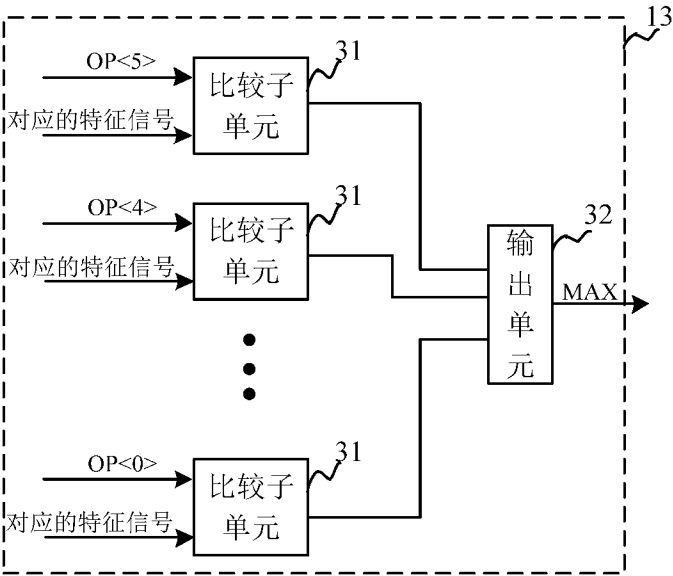


图 6

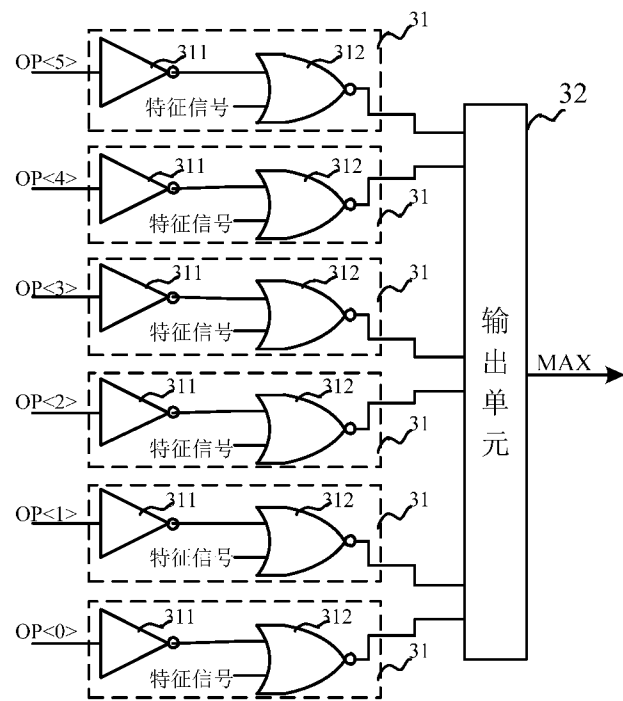


图 7

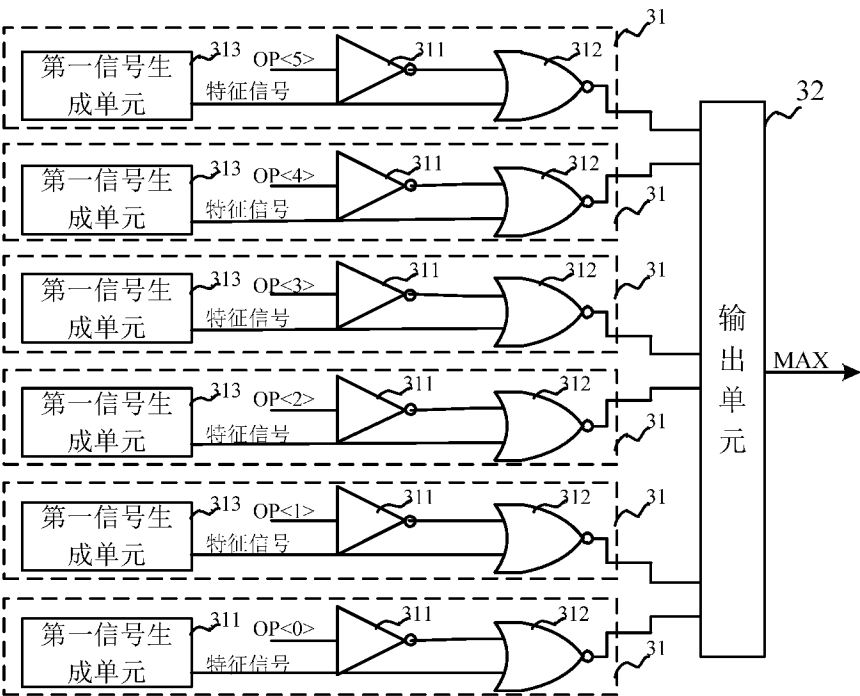


图 8

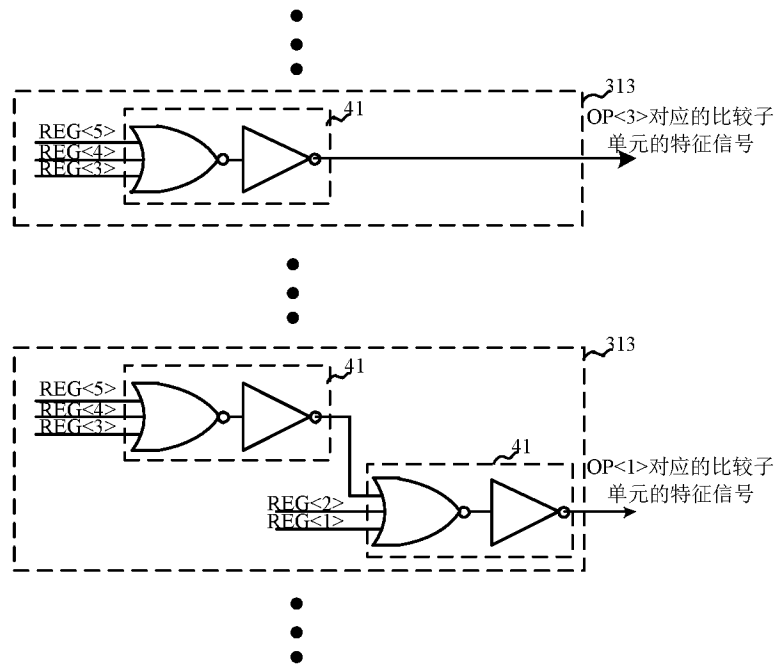


图 9

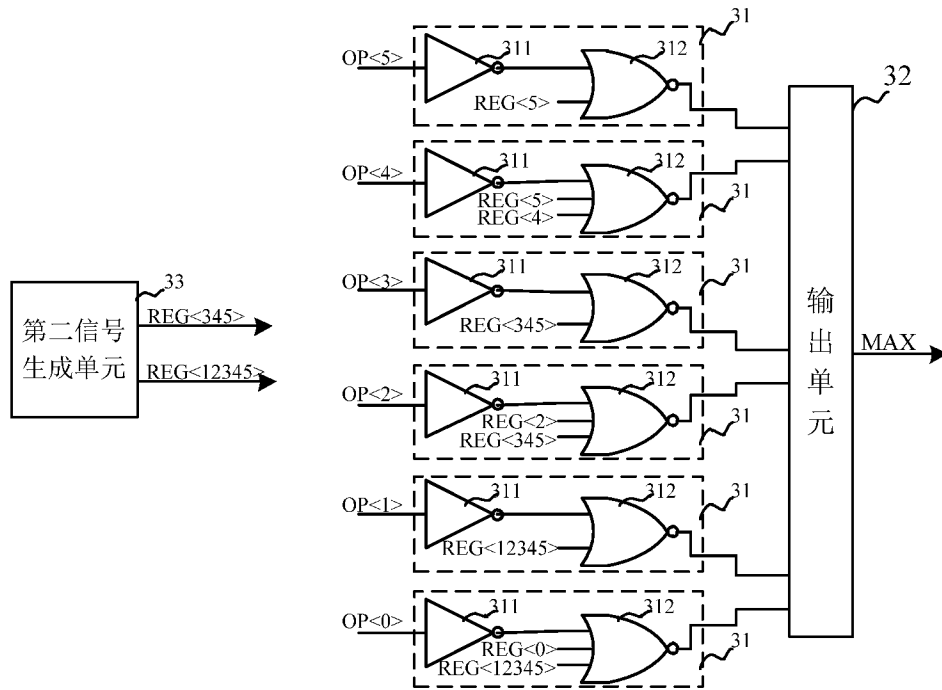


图 10

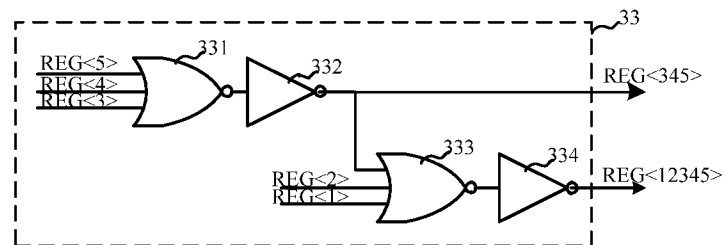


图 11

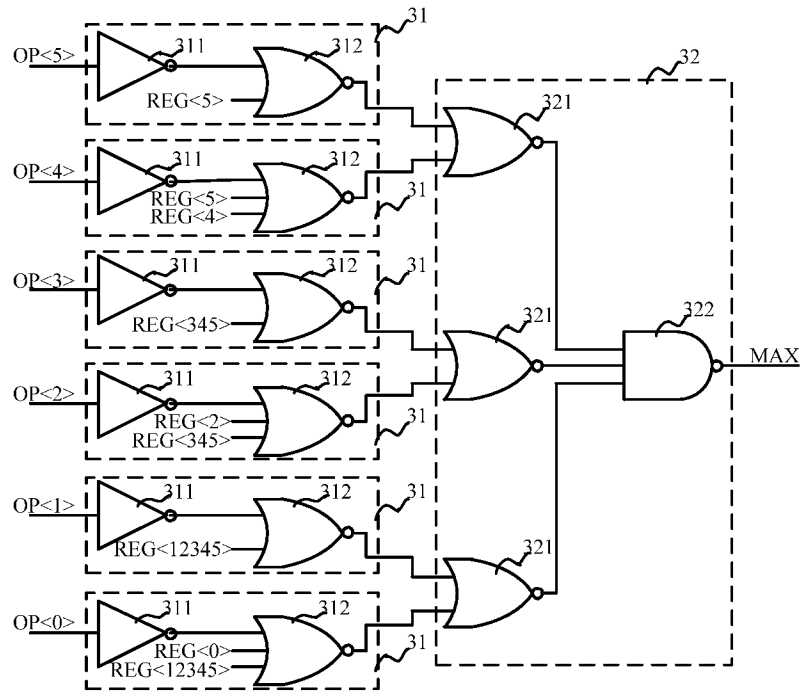


图 12

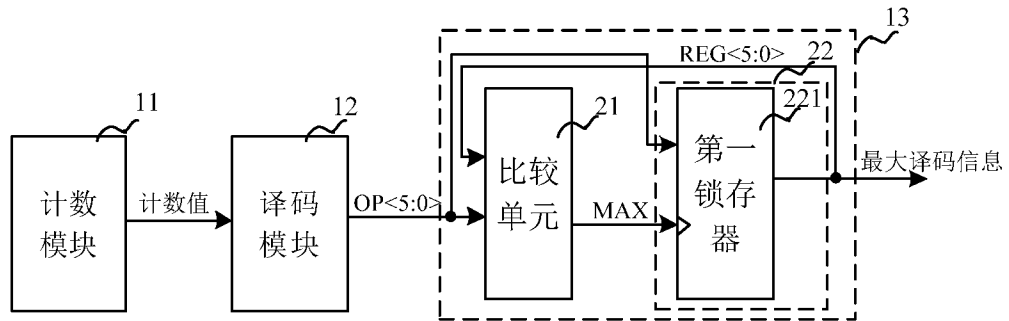


图 13

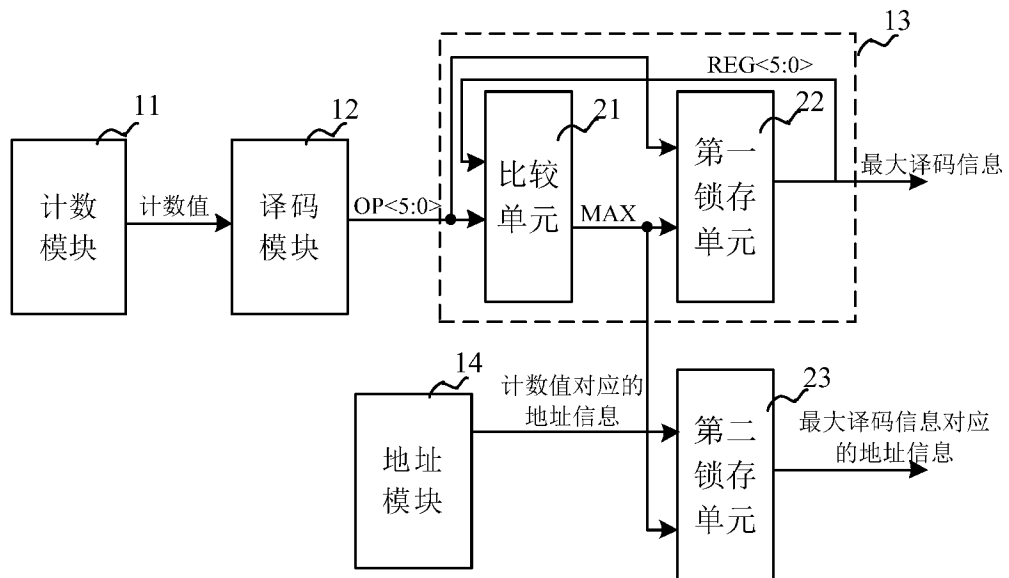


图 14

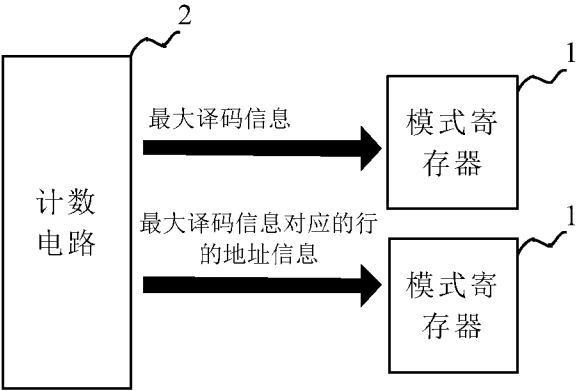


图 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/124032

A. CLASSIFICATION OF SUBJECT MATTER

G11C 29/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G11C, H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, USTXT, VEN, CNKI, IEEE: 译码, 错误数, 阈值, 计数, 最大, 最高, 比较, 锁存器, ECS, error count, erroneous, compar+, latch, high, maximum, threshold

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113808658 A (INTEL CORP.) 17 December 2021 (2021-12-17) description, paragraphs [0063]-[0066]	1-23
A	CN 108630277 A (SK HYNIX INC.) 09 October 2018 (2018-10-09) entire document	1-23
A	CN 105843699 A (INTERNATIONAL BUSINESS MACHINES CORP.) 10 August 2016 (2016-08-10) entire document	1-23
A	US 2012284575 A1 (CISCO TECHNOLOGY, INC.) 08 November 2012 (2012-11-08) entire document	1-23

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 April 2023

Date of mailing of the international search report

20 April 2023

Name and mailing address of the ISA/CN

**China National Intellectual Property Administration (ISA/
CN)**
**China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088**

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/124032

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113808658	A	17 December 2021	WO	2017039948	A1	09 March 2017
				EP	3341941	A1	04 July 2018
				CN	107924705	A	04 July 2018
				EP	3992973	A1	04 May 2022
				CN	107924349	A	17 April 2018
				CN	107924698	A	17 April 2018
				WO	2017039949	A	09 March 2017
				EP	3341844	A1	04 July 2018
				EP	3341939	A1	04 July 2018
				WO	2017039947	A1	09 March 2017
				US	2019073261	A1	07 March 2019
				US	2017060680	A1	02 March 2017
				US	2017060681	A1	02 March 2017
				US	2017063394	A1	02 March 2017
CN	108630277	A	09 October 2018	TW	201836276	A	01 October 2018
				KR	20180106494	A	01 October 2018
				US	2018267852	A1	20 September 2018
CN	105843699	A	10 August 2016	US	2016224412	A1	04 August 2016
				US	2012284575	A1	08 November 2012
US	2012284575	A1	08 November 2012	US	8255772	B1	28 August 2012

国际检索报告

国际申请号

PCT/CN2022/124032

A. 主题的分类

G11C 29/20 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

IPC: G11C, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNTXT, USTXT, VEN, CNKI, IEEE: 译码, 错误数, 阈值, 计数, 最大, 最高, 比较, 锁存器, ECS, error count, erroneous, compar+, latch, high, maximum, threshold

C. 相关文件

类 型*

引用文件, 必要时, 指明相关段落

相关的权利要求

A

CN 113808658 A (英特尔公司) 2021年12月17日 (2021 - 12 - 17)
说明书第[0063]-[0066]段

1-23

A

CN 108630277 A (爱思开海力士有限公司) 2018年10月9日 (2018 - 10 - 09)
全文

1-23

A

CN 105843699 A (国际商业机器公司) 2016年8月10日 (2016 - 08 - 10)
全文

1-23

A

US 2012284575 A1 (CISCO TECHNOLOGY, INC.) 2012年11月8日 (2012 - 11 - 08)
全文

1-23

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年4月12日

国际检索报告邮寄日期

2023年4月20日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

王琦瑶

电话号码 (+86) 010-53961363

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/124032

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113808658	A	2021年12月17日	WO	2017039948	A1	2017年3月9日
				EP	3341941	A1	2018年7月4日
				CN	107924705	A	2018年7月4日
				EP	3992973	A1	2022年5月4日
				CN	107924349	A	2018年4月17日
				CN	107924698	A	2018年4月17日
				WO	2017039949	A	2017年3月9日
				EP	3341844	A1	2018年7月4日
				EP	3341939	A1	2018年7月4日
				WO	2017039947	A1	2017年3月9日
				US	2019073261	A1	2019年3月7日
				US	2017060680	A1	2017年3月2日
				US	2017060681	A1	2017年3月2日
				US	2017063394	A1	2017年3月2日
CN	108630277	A	2018年10月9日	TW	201836276	A	2018年10月1日
				KR	20180106494	A	2018年10月1日
				US	2018267852	A1	2018年9月20日
CN	105843699	A	2016年8月10日	US	2016224412	A1	2016年8月4日
US	2012284575	A1	2012年11月8日	US	8255772	B1	2012年8月28日