

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-79774

(P2010-79774A)

(43) 公開日 平成22年4月8日(2010.4.8)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 6 F 12/16 (2006.01)	G O 6 F 12/16 3 2 O F	5 B 0 1 8
G 0 6 F 12/02 (2006.01)	G O 6 F 12/02 5 1 O A	5 B 0 6 0
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 4 1	5 B 1 2 5
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 9 C	
G O 6 F 12/00 (2006.01)	G 1 1 C 17/00 6 O 1 A	
審査請求 未請求 請求項の数 5 O L (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2008-249531 (P2008-249531)	(71) 出願人	000003078
(22) 出願日	平成20年9月29日 (2008.9.29)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100092820
			弁理士 伊丹 勝
		(74) 代理人	100106389
			弁理士 田村 和彦
		(72) 発明者	志賀 仁
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		Fターム(参考)	5B018 GA02 HA14 MA24 NA06 QA14
			5B060 CA12
			5B125 BA02 BA19 CA08 CA10 DB08
			DB09 DD03 DE08 DE09 DE14
			EA05 EA08 EA10 EF02 EF03
			EK02 EK07 EK10

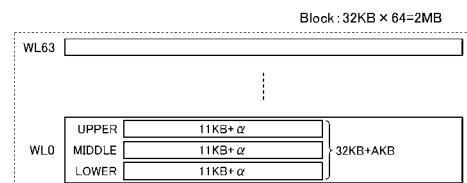
(54) 【発明の名称】 半導体記憶システム

(57) 【要約】 (修正有)

【課題】 ホスト装置のデータ管理単位とメモリセルアレイのデータ管理単位との間のミスマッチに起因するシステムのオーバーヘッドを抑制することを可能にした半導体記憶システムを提供する。

【解決手段】 メモリセルアレイは、1つのメモリセルMC中に3ビットの情報を記憶することが可能に構成されている。ECC回路は、メモリセルアレイから読み出されたデータを冗長データに基づいて訂正する。1つのワード線WLを共有し一度に書き込み又は読み出しが可能なメモリセルMCの数が2のべき乗である。また各メモリセルMCがそれぞれ複数ページのデータを格納する。複数ページUPPER、MIDDLE、LOWERに格納される実効データの合計のデータ量が2のべき乗のビット数に設定され、複数ページの残余の部分に冗長データが格納される。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

1つのメモリセル中にNビット（ただし、Nは2のべき乗でない3以上の自然数）の情報を記憶することが可能なメモリセルを複数配列させたメモリセルアレイと、

前記メモリセルアレイに対する読み出し動作、書き込み動作及び消去動作を制御する制御回路と、

前記メモリセルアレイから読み出されたデータを冗長データに基づいて訂正するECC回路とを含み、

1つのワード線を共有し一度に書き込み又は読み出しが可能な前記メモリセルが複数ページのデータを格納し、

前記複数ページに格納されるデータの合計のデータ量が2のべき乗のビット数に設定され、前記複数ページの残余の部分に前記冗長データが格納されるように構成されたことを特徴とする半導体記憶システム。

【請求項 2】

前記メモリセルアレイは、

1つの前記メモリセル中に1ビットの情報を格納するように構成された2値メモリ領域と、

1つの前記メモリセル中に前記Nビットの情報を格納するように形成された多値メモリ領域と

を備え、

前記制御回路は、

前記メモリセルアレイに書き込むために2のべき乗のビット数のデータ単位毎に外部から供給されたデータを、前記2値メモリ領域に格納し、次に前記2値メモリ領域に格納されたデータを、順次前記多値メモリ領域に転送する

ことを特徴とする請求項1に記載の半導体記憶システム。

【請求項 3】

前記制御回路は、前記2のべき乗のビット数のデータ単位のデータが、前記多値メモリ領域において全てのページに分散して格納させることを特徴とする請求項2に記載の半導体記憶システム。

【請求項 4】

前記2値メモリ領域は、前記2のべき乗のビット数のデータ単位よりも大きな単位記憶領域を有し、

前記制御回路は、前記単位記憶領域に1つの前記データ単位のデータを格納した後、その単位記憶領域に残余の領域がある場合、その残余の領域に次の前記データ単位のデータの少なくとも一部を格納する

ことを特徴とする請求項2に記載の半導体記憶システム。

【請求項 5】

前記複数ページのうちの1つは、2のべき乗のビット数とは異なるビット数のデータが格納されることを特徴とする請求項1に記載の半導体記憶システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶システムに関するものであり、特に1つのメモリセルに複数ビットを記憶することが可能な不揮発性半導体装置に関するものである。

【背景技術】

【0002】

不揮発性半導体記憶システムの一つとして、NANDセル型フラッシュメモリが知られている。このNANDセル型フラッシュメモリは、複数のNANDセルユニットから構成されているメモリセルアレイを有している。このNANDセルユニットは、直列接続され

10

20

30

40

50

る複数のメモリセルと、その両端に接続される2つの選択トランジスタにより構成されている。

【0003】

メモリセルは消去状態においては、閾値電圧が負となる「1」データを保持しており、データの書き込み時においては、フローティングゲートに電子が注入され、閾値電圧が正となる「0」データに書き換えられる。NANDセル型フラッシュメモリでは、データの書き込み時においては、閾値電圧を低い方から高い方へ移動させることのみ可能であり、逆の移動（閾値電圧の高い方から低い方）は、ブロック単位での消去動作によってのみ行うことができる。

【0004】

近年メモリ容量の増加を目的として、1つのメモリセルに2ビット以上の情報を記憶するいわゆる多値NANDセル型フラッシュメモリの開発がなされている。たとえば、1つのメモリセルに3ビットを記憶する場合には、1つのメモリセルが $2^3 = 8$ 通りの閾値電圧分布を有する（例えば、特許文献1参照）。

【0005】

ところで、NANDセル型フラッシュメモリは、2のべき乗のデータ単位毎に管理されることが一般的であるため、NANDセル型フラッシュメモリを利用するホスト機器においても、そのような2のべき乗のデータ単位毎の管理を想定して設計されている。

【0006】

一方、1つのメモリセルに3ビットを記憶するNANDセル型フラッシュメモリでは、例えばデータ消去単位（ブロック）のビット数が2のべき乗となっていない。このため、ホスト機器の論理ブロックサイズと、NANDセル型フラッシュメモリのデータ消去単位との間でミスマッチ（不一致）が生じ得る。この結果、システム内部でデータのコピー動作が必要となるケースが頻繁に生じ、システムにおけるオーバーヘッドが生じ、例えば動画記録のように継続してデータ書き込み／読み出しを行う必要のあるアプリケーションでは正常な動作が困難になる虞がある。このような問題は、3ビット／セルの多値記憶を行う場合のみならず、Nビット／セル（ただし、Nは2のべき乗でない3以上の自然数）の多値記憶を行う場合にも生じ得る。

【特許文献1】特開20080-77810号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、ホスト装置のデータ管理単位とメモリセルアレイのデータ管理単位との間のミスマッチに起因するシステムのオーバーヘッドを抑制することを可能にした半導体記憶システムを提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一態様に係る半導体記憶システムは、1つのメモリセル中にNビット（ただし、Nは2のべき乗でない3以上の自然数）の情報を記憶することが可能なメモリセルを複数配列させたメモリセルアレイと、前記メモリセルアレイに対する読み出し動作、書き込み動作及び消去動作を制御する制御回路と、前記メモリセルアレイから読み出されたデータを冗長データに基づいて訂正するECC回路とを含み、1つのワード線を共有し一度に書き込み又は読み出しが可能な前記メモリセルが複数ページのデータを格納し、前記複数ページに格納されるデータの合計のデータ量が2のべき乗のビット数に設定され、前記複数ページの残余の部分に前記冗長データが格納されるように構成されたことを特徴とする。

【発明の効果】

【0009】

本発明によれば、ホスト装置のデータ管理単位とメモリセルアレイのデータ管理単位との間のミスマッチに起因するシステムのオーバーヘッドを抑制することを可能にした半導

10

20

30

40

50

体記憶システムを提供することができる。

【発明を実施するための最良の形態】

【0010】

次に、本発明の実施の形態を、図面を参照して詳細に説明する。

【0011】

[第1の実施の形態]

まず、本発明の第1の実施の形態に係る不揮発性メモリシステムを、図1等を参照して説明する。

【0012】

[システムの全体構成]

図1は、第1の実施の形態による不揮発性メモリシステムであるメモリカード20の全体構成を示すブロック図である。このメモリカード20は、NAND型フラッシュメモリチップ21とその読み出し／書き込みを制御するメモリコントローラ22によりモジュールを構成する。

フラッシュメモリチップ21は、複数のメモリチップの場合もある。図1では二つのメモリチップchip1, chip2を示しているが、その場合も一つのメモリコントローラ22で制御される。メモリコントローラ22は、メモリチップ21との間でデータ転送を行うためのNANDフラッシュインタフェース23、ホストデバイスとの間でデータ転送を行うためのホストインタフェース25、読み出し／書き込みデータ等を一時保持するバッファRAM26、データ転送制御の他メモリカード全体の動作制御を行うMPU24、NAND型フラッシュメモリ21内のファームウェア(FW)の読み出し／書き込みのシーケンス制御等に用いられるハードウェアシーケンサ27を有する1チップコントローラである。

【0013】

メモリカード20に電源が投入されると、フラッシュメモリ21内に格納されているファームウェア(制御プログラム)を自動的に読み出す初期化動作(パワーオン・イニシャルセットアップ動作)が行われ、これがデータレジスタ(バッファRAM)26に転送される。この読み出し制御は、ハードウェアシーケンサ27により行われる。

【0014】

バッファRAM26上にロードされたファームウェアにより、MPU24は、各種テーブルをRAM26上に作成したり、ホストからのコマンドを受けて、フラッシュメモリ21をアクセスしたり、データ転送制御を行う。なお、NANDフラッシュインタフェース23は、フラッシュメモリチップ21に格納された実効データを、同じくフラッシュメモリチップ21に格納された冗長データに基づいて誤り訂正を行うためのECC回路を備えている。ECC回路は、後述するように、1ページ毎に誤り訂正を実行するのではなく、1ワード線WLに沿って形成されるメモリセルMC(3ビット／セル)に格納される3ページ毎に誤り訂正を実行するように構成されている。

【0015】

なおメモリチップ21とコントローラチップ22とが別チップであることは、このメモリシステムにとって本質的ではない。図2は、図1のメモリカード20を、メモリチップ21とコントローラ22のロジックコントロールを渾然一体として見た機能ブロック構成を示している。また図3はそのメモリコア部のセルアレイ構成を示している。

【0016】

メモリセルアレイ1は、図3に示すように、複数の電氣的書き換え可能な複数の不揮発性メモリセル(図の例では64個のメモリセル)M0-M63が直列接続されたNANDセルユニット(NANDストリング)NUを配列して構成される。このようなNANDセルユニットNUが2のべき乗の数+ α 、例えば $16k + \alpha$ 本集まってワード線WLを共有して1つのブロックBLKが形成される。

【0017】

この $16k + \alpha$ 本のうち、 $16k$ 本のNANDセルユニットNUは、主に外部のホスト

10

20

30

40

50

デバイスから供給される実効データの格納に用いられ、一方、残る α 本のNANDセルユニットは、誤り訂正のための冗長データや管理フラグの格納のために設けられている。

【0018】

1つのブロックBLKは、データ消去動作の一単位を形成する。また、1つのメモリセルMCに3ビットのデータが格納される場合（3ビット／セル）、1つのワード線WLに沿って形成されるメモリセルMCにより、3ページ（上位ページUPPER、中位ページMIDDLE、下位ページLOWER）のデータが格納される。この実施の形態では、1つのワード線WLに沿ったメモリセルMCに格納され一度に書き込み又は読み出しが可能な3ページのデータが2のべき乗の実効データとなるよう、1ページに格納する実効データのビット数が制御されている（1ページごとの実効データのビット数は、2のべき乗にならないように制御されている）。詳しくは後述する。

10

【0019】

1つのメモリセルアレイ1中の1つのブロック中のワード線WLの数は、64本であり、1ブロック中のページ数は $64 \times 3 = 192$ ページとなる。

【0020】

1つのワード線WLに沿ったメモリセルMCの数（ビット線BLの数）が $16k + \alpha$ であるとする、1つのメモリセルアレイ1中の1ブロックは、 $64 \times 16k \times 3 = 3\text{Mbit}$ の容量を有することになる（1メモリセルあたり3ビットを格納する場合）。

【0021】

なお、この実施の形態のメモリセルアレイ1は、多値データを記憶するための多値メモリ領域（MLC）1aと、2値データを記憶するための2値メモリ領域（SLC）1bを備えている。ただし、多値メモリ領域1aのみを形成し、2値メモリ領域1bを省略することも可能である。

20

【0022】

図3に示すように、NANDセルユニットNUの一端は、選択ゲートトランジスタS1を介してビット線BLに、他端は選択ゲートトランジスタS2を介して共通ソース線CELSRCに接続される。メモリセルM0-M63の制御ゲートはそれぞれワード線WL0-WL31に接続され、選択ゲートトランジスタS1、S2のゲートは選択ゲート線SGD、SGSに接続される。

【0023】

30

ビット線BLの一端側に、セルデータの読み出し及び書き込みに供されるセンスアンプ回路3aが配置され、ワード線WLの一端側にワード線及び選択ゲート線の選択駆動を行うロウデコーダ2（図3では図示せず）が配置される。

【0024】

コマンド、アドレス及びデータは、入力制御回路13を介して入力され、チップイネーブル信号／CE、書き込みイネーブル信号／WE、読み出しイネーブル信号／REその他の外部制御信号は、論理回路14に入力され、タイミング制御に用いられる。コマンドは、コマンドレジスタ8でデコードされる。

【0025】

40

制御回路6は、データの転送制御及び書き込み／消去／読み出しのシーケンス制御を行う。ステータスレジスタ11は、Ready／Busy端子にメモリカード20のReady／Busy状態を出力する。これとは別に、メモリ20の状態（Pass／Fail、Ready／Busy等）をI/Oポートを介してホストに知らせるステータスレジスタ12が用意されている。

【0026】

アドレスは、アドレスレジスタ5を介して、ロウデコーダ（プリロウデコーダ2aとメインロウデコーダ2b）2やカラムデコーダ4に転送される。書き込みデータは、入出力制御回路13を介し、コントロール回路6を介してセンスアンプ回路3（センスアンプ3aとデータレジスタ3b）にロードされ、読み出しデータは制御回路6を介して、外部に出力される。

50

【0027】

各動作モードに応じて必要とされる高電圧を発生するために、高電圧発生回路10が設けられている。高電圧発生回路10は、制御回路6から与えられる指令に基づいて所定の高電圧を発生する。

【0028】

図4及び図5は、メモリセルMC、ならびに選択ゲートS1及びS2の断面構造を示している。図4はメモリセルMCの断面構造を示している。基板41にはメモリセルMCを構成するMOSFETのソース、ドレインとして機能するn型拡散層42が形成されている。また基板41の上にはゲート絶縁膜43を介して浮遊ゲート(FG)44が形成され、この浮遊ゲート44の上には絶縁膜45を介して制御ゲート(CG)46が形成されている。

10

【0029】

選択ゲートS1、S2は、基板41と、この基板41に形成されたソース、ドレインとしてのn型拡散層47を備えている。基板41の上にはゲート絶縁膜48を介して制御ゲート49が形成されている。

【0030】

図6は、メモリセルアレイの1つのNANDセルの断面を示している。この例において、1つのNANDセルは、図4に示す構成の64個のメモリセルMCが直列接続されて構成されている。NANDセルのドレイン側、ソース側には、図5に示す構成の第1の選択ゲートS1、第2の選択ゲートS2が設けられている。

20

【0031】

次に、このように構成された本実施の形態に係るNANDセル型フラッシュメモリにおける多値記憶について説明する。本発明の実施の形態のNANDセル型フラッシュメモリにおいては、1つのメモリセルにおいて閾値電圧の値を8通りに制御して、3ビットのデータを1つのメモリセルに記憶させる。

【0032】

1つのメモリセルに3ビットの情報を記憶する場合における閾値電圧分布の状態図(閾値電圧V_{th}とセル数との関係図)を図7に示す。3ビットの情報を記憶するためには、「111」、「011」、「001」、「101」、「100」、「000」、「010」、「110」の8通りの状態に対応して8種類の閾値電圧が設けられ、情報の書き込み及び読み出しを行うものである。この3ビットに対応して3つのサブページが形成される。即ち、上位ページUPPER、中位ページMIDDLE、下位ページLOWERの3つである。

30

【0033】

そして、この8通りの閾値電圧分布に対応して、リード動作時に選択ワード線に印加される読み出し電圧の電圧値は、各閾値電圧分布の間の電圧R1、R2、R3、R4、R5、R6、R7(8通り)に設定され得る。なお、リード動作時に非選択メモリセルに印加される電圧V_{read}は、状態「110」の閾値電圧分布よりも大きな電圧とされている。

【0034】

また、情報の書き込み動作の完了を確認するためのベリファイの際の電圧値は、これらよりも大きいVR1、VR2、VR3、VR4、VR5、VR6、VR7に設定され得る。

40

【0035】

次に、第1の実施の形態に係るメモリセルアレイ1におけるデータの格納方法につき、図8の模式図を参照して説明する。前述の通り、1つのメモリセルMCには、3ビットのデータが格納可能とされており、また、1つのワード線WLに沿って形成されるメモリセルMCの数は、一般的に2のべき乗の数、例えば16k個に冗長データの記憶のためのα個を加えた16k+α個である。

【0036】

50

ただし、このような1つのワード線WLに沿った $16k + \alpha$ 個のメモリセルMC毎に3ビットのデータを格納する場合、1つのワード線WLに沿ったメモリセルMCに格納可能なデータ数（実効データ）は、 $16k \text{ bit} \times 3 \text{ bit} = 48k \text{ bit}$ である。

【0037】

しかし、この $48k \text{ bit}$ は、2のべき乗の数と一致しない。このため、1つのワード線WLに沿ったメモリセルMC（3ビット／セル）に $48k \text{ bit}$ のデータを書き込んだ場合には、2のべき乗のデータを一単位として取り扱うホスト機器とのミスマッチを生じる虞がある。

【0038】

そこで、本実施の形態では、1つのワード線WLを共有し一度に読み出したまたは書き込みが可能なメモリセルMCに格納するデータ（3ページのデータ）のビット数を、 $32k \text{ bit} + A \text{ k bit}$ に設定する。 $32k \text{ bit}$ は、 $48k \text{ bit}$ よりも小さい、2のべき乗のビット数である。 $A \text{ k bit}$ の部分は、誤り訂正に用いる冗長データ、及び管理フラグのビット数である。誤り訂正が1ワード線WLの3ページ毎に実行される場合、このような設定がなされることにより、外部ホストデバイスとの間でデータ単位を一致させることができる。

【0039】

一方、1ページあたりの容量（ページサイズ）は、この $32k \text{ bit}$ の $1/3$ よりも若干大きい $11k \text{ bit} + \alpha \text{ k bit}$ に設定されている。ここで、 $A = 3\alpha \text{ k bit} + 1k \text{ bit}$ である。 $11k \text{ bit} \times 3 = 33k \text{ bit}$ と $32k \text{ bit}$ との間の差である $1k \text{ bit}$ は、冗長データの格納に用いられる。すなわち、 $1k \text{ bit} + 3\alpha \text{ k bit}$ のビット数が、1ワード線WLあたりの冗長データ及び管理フラグのために用意されている。換言するならば、3ページのデータを誤り訂正するための冗長データのデータ量は、この $1k \text{ bit}$ よりも大きく設定されている。

【0040】

このように、1つのワード線に沿って形成されたメモリセルMCの1ページ毎 $11k \text{ bit}$ は、2のべき乗ではないが、前述のように、ECC回路は3ページのデータ毎に誤り訂正を実行するため、1ページあたりに格納されるデータのビット数が2のべき乗でなくても問題は生じない。1ページ中の残余の部分には、実効データの誤り訂正に用いられる冗長データが格納される。

【0041】

〔第2の実施の形態〕

次に、本発明の第2の実施の形態を、図9を参照して説明する。

【0042】

この実施の形態は、半導体記憶装置の全体構成等（図1～図6）に関しては第1の実施の形態と略同様であり、多値記憶動作の際のデータ転送の手順（手法）において第1の実施の形態と異なっている。従って以下ではこのデータ転送の手順に関し図9を参照しつつ説明し、その他に関しては説明を省略する。

【0043】

この実施の形態では、外部のホストデバイスから2のべき乗のビット数単位（例えば 512 bit 、 $1K \text{ bit}$ 、 $2K \text{ bit} \cdots$ ）で供給されたデータ（実効データ）は、まず、2値メモリ領域1bに書き込まれ、その後、3ページのデータに変換して多値メモリ領域1aに再度書き込む（転送する）点で、第1の実施の形態と異なっている。例えば、 $8K \text{ bit}$ 単位で実効データを受け取り、 $\alpha \text{ k bit}$ の冗長データをこの $8k \text{ bit}$ の実効データに付加して2値メモリ領域1bに書き込む。2値メモリ領域1bは、複数のメモリ領域1b-1～4（単位記憶領域）に分割されている。

【0044】

2値メモリ領域1b-1～4に格納された実効データが $32K \text{ bit}$ を超えた場合、2値メモリ領域1b～4に書き込まれたデータは、再度メモリコントローラ22中のバッファRAM26に転送された後、1ワード線WLに沿った3ページ（上位ページUPPER

10

20

30

40

50

、中位ページM I D D L E、下位ページL O W E) に振り分けられる。

【0045】

例えば、メモリ領域1b-1に格納されていた8kbitのデータは、下位ページL O W E Rに全て振り分けられる。下位ページL O W E Rの残余の部分には、冗長データ及び管理フラグ、並びにメモリ領域1b-2に格納されていた8ビットのデータの一部が振り分けられる。こうして、下位ページL O W E Rには11kbit (この例では、メモリ領域1b-1から8kbit、1b-2から3kbit) の実効データと、αkbitの冗長データ及び管理フラグが格納される。

【0046】

また、下位ページL O W E Rには格納しきらなかったメモリ領域1b-2のデータ (この例では5kbit) は、中位ページM I D D L Eに格納される。さらに、中位ページM I D D L Eの残余の部分には、冗長データ及び管理フラグ、並びにメモリ領域1b-3に格納されていた8ビットのデータの一部 (ここでは6kbit) が振り分けられる。こうして、中位ページM I D D L Eには11kbitの実効データと、αkbitの冗長データ及び管理フラグが格納される。

【0047】

また、中位ページM I D D L Eには格納しきらなかったメモリ領域1b-3のデータ (ここでは2kbit) は、上位ページU P P E Rに格納される。さらに、上位ページU P P E Rの残余の部分には、冗長データ及び管理フラグ、並びにメモリ領域1b-4に格納されていた8ビットのデータが振り分けられる。こうして、上位ページU P P E Rには10kbitの実効データと、αkbitの冗長データ及び管理フラグが格納される。

【0048】

このように、下位L O W E R、中位ページM I D D L E、及び上位ページU P P E Rのそれぞれは、2のべき乗ではないデータ (11kbit、又は10kbit) を格納しているが、3ページ全体では32kbitのデータを格納しており、これは2のべき乗に相当する。したがって、外部のホスト機器のデータ管理単位とのマッチングが図られており、第1の実施の形態と同様の効果を得ることができる。なお、図9では、ホストデバイスから8kbit単位でデータを受け取る場合を説明したが、その他の2のべき乗のビット数の単位でデータを受け取る場合でも、同一の効果を得ることができる。

【0049】

なお、上述の実施の形態において、2値メモリ領域1bに記憶されている2値データに付加された冗長データは、そのまま多値メモリ領域1bに格納され多値データの誤り訂正に用いても良い。あるいは、2値データに付加された冗長データは、2値データの誤り訂正に用い、多値データ用に改めて冗長データをE C C回路において生成して付加するようにしてもよい。

【0050】

[第3の実施の形態]

次に、本発明の第3の実施の形態を、図10を参照して説明する。この実施の形態は、半導体記憶システムの全体構成等 (図1～図6) に関しては第1の実施の形態と略同様である。また、この実施の形態は、外部のホストデバイスから2のべき乗のビット数単位で供給されたデータを、まず2値メモリ領域1bに書き込み、その後、3ページのデータに変換して多値メモリ領域1aに再度書き込む点で第2の実施の形態と同様である。

【0051】

ただし第3の実施の形態では、2値メモリ領域1b-1にホストデバイスから転送された8kbitの実効データ、並びに冗長データ及び管理フラグを格納した後、2値メモリ領域1b-1の残余の領域に、次に転送された8kbitのデータの一部 (または全部) を格納する点で、第2の実施の形態と異なっている。以下、図10に示すように、ホストデバイスからのデータ転送単位毎に1つの2値メモリ領域1b-i (i=1, 2, 3...) を対応させるのではなく、残余部分も有効に利用する。そして、3ページ分のデータに対応する32kbitの実効データが2値メモリ領域1b-1～3に格納されたら、その

後は第2の実施の形態と同様に、多値メモリ領域1aへのデータ転送を行う。この方式の場合、2値メモリ領域1b-1~3の記憶領域が余剰とならずに有効に利用される。

【0052】

〔第4の実施の形態〕

次に、本発明の第4の実施の形態を、図11、図12を参照して説明する。この実施の形態は、半導体記憶システムの全体構成等（図1~図6）に関しては第1の実施の形態と略同様である。また、この実施の形態は、外部のホストデバイスから2のべき乗のビット数単位で供給されたデータを、まず2値メモリ領域1bに書き込み、その後、3ページのデータに変換して多値メモリ領域1aに再度書き込む点でも第2及び第3の実施の形態と同様である。

10

【0053】

ただし、この実施の形態では、一旦各2値メモリ領域1b-1~4に格納されたデータを、バッファRAM26に読み出した後このバッファRAM26上で並び換え、更に多値用の冗長データを付加して多値メモリ領域1aに格納する点で、前述の実施の形態と異なっている。1つの2値メモリ領域1b-iに格納されていたデータは、3つのページUPPER、MIDDLE、LOWERに分散して格納される。なお、図11に示した例は、第2の実施の形態と同様の手法で2値メモリ領域1b-1~4へのデータの書き込みを行っているが、これを図12に示すような第3の実施の形態と同様の手法を用いてもよいことは言うまでもない。

【0054】

20

〔その他〕

以上、発明の実施の形態を説明したが、本発明はこれらに限定されるものではなく、発明の趣旨を逸脱しない範囲内において、種々の変更、追加等が可能である。例えば、上記の実施の形態では、1つのメモリセルに3ビットのデータを格納する場合を例として説明したが、本発明はこれに限定されるものではなく、Nビット（Nは2のべき乗でない3以上の自然数）のデータを1つのメモリセルに格納する場合にも適用され得る。

【0055】

また、上記実施の形態では、外部から2のべき乗のビット数のデータを一データ単位として外部からデータを書き込む場合、一旦メモリセルアレイ内の2値メモリ領域1bに前記データ単位毎に格納し、その後多値メモリ領域1aに転送する構成としている。しかし、本発明はこれに限定されるものではなく、例えば多値メモリ領域1aに、直接データを書き込むこととしてもよい。また、メモリセルアレイが複数のメモリチップからなり、一部のチップにより多値メモリ領域1aが構成され、他のチップにより2値メモリ領域1bが構成されるようにしてもよい。

30

【図面の簡単な説明】

【0056】

【図1】第1の実施の形態による不揮発性メモリシステムであるメモリカード20の全体構成を示すブロック図である。

【図2】図1のメモリカード20を、メモリチップ21とコントローラ22のロジックコントロールを渾然一体として見た機能ブロック構成を示している。

40

【図3】メモリセルアレイ1の具体的な構成を示す回路図である。

【図4】メモリセルMCの構成を示す断面図である。

【図5】選択トランジスタS1、S2の構成を示す断面図である。

【図6】NANDセルユニットNUの構成を示す断面図である。

【図7】1つのメモリセルに3ビットの情報を記憶する場合における閾値電圧分布の状態図（閾値電圧V_{th}とセル数との関係図）である。

【図8】第1の実施の形態に係るメモリセルアレイ1におけるデータの格納方法を説明する模式図である。

【図9】第2の実施の形態に係るメモリセルアレイ1におけるデータの格納方法を説明する模式図である。

50

【図 10】第 3 の実施の形態に係るメモリセルアレイ 1 におけるデータの格納方法を説明する模式図である。

【図 11】第 4 の実施の形態に係るメモリセルアレイ 1 におけるデータの格納方法を説明する模式図である。

【図 12】第 4 の実施の形態の変形例に係るメモリセルアレイ 1 におけるデータの格納方法を説明する模式図である。

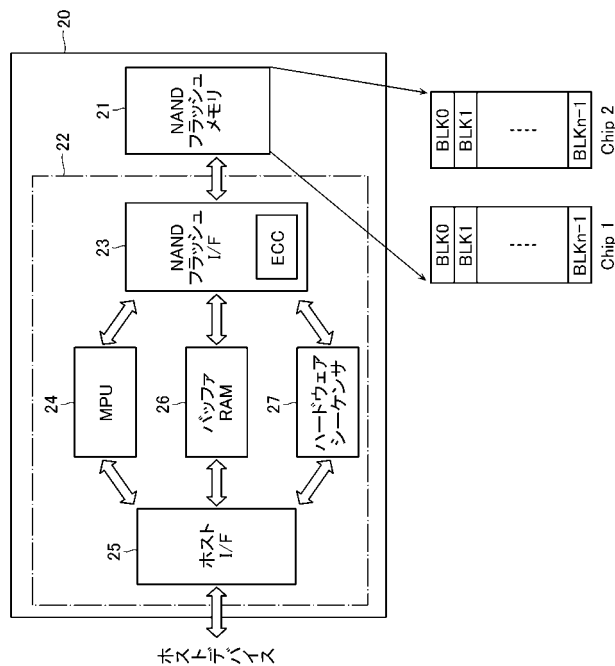
【符号の説明】

【0057】

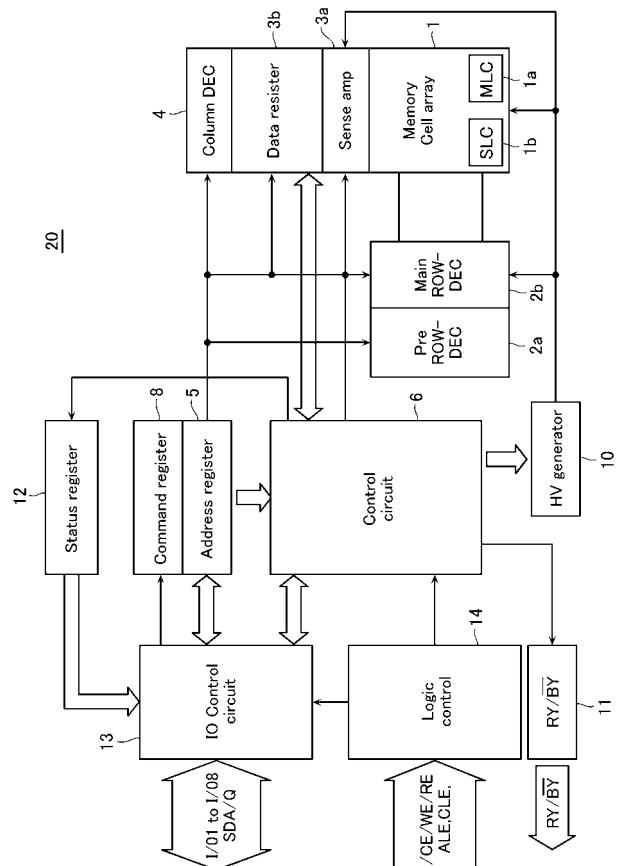
1・・・メモリセルアレイ、 1a・・・多値メモリ領域、 1b・・・2値メモリ領域、 2・・・ロウデコーダ、 3・・・センスアンプ回路、 4・・・カラムデコーダ、 5・・・アドレスレジスタ、 6・・・制御回路、 8・・・コマンドレジスタ、 10・・・高電圧発生回路、 11、12・・・ステータスレジスタ、 13・・・入出力制御回路、 14・・・論理回路、 20・・・メモリカード、 21・・・フラッシュメモリチップ、 22・・・メモリコントローラ、 23・・・NANDフラッシュインタフェース、 24・・・MPU、 25・・・25・・・ホストインタフェース、 26・・・バッファRAM、 27・・・ハードウェアシーケンサ。

10

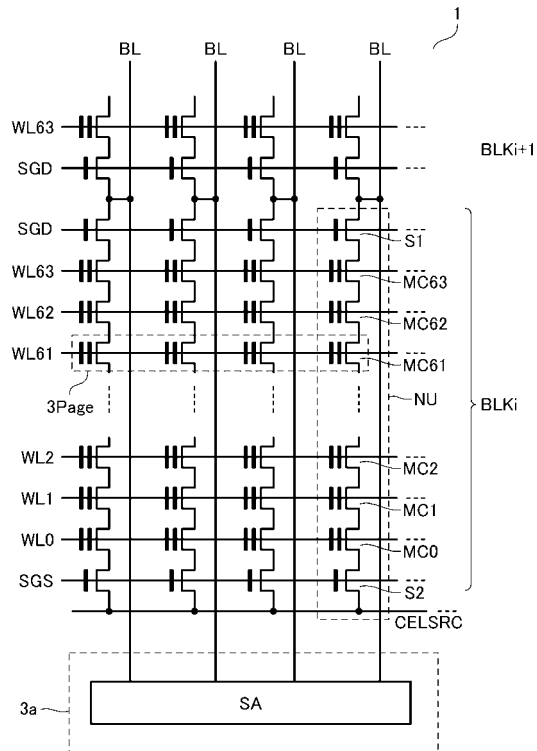
【図 1】



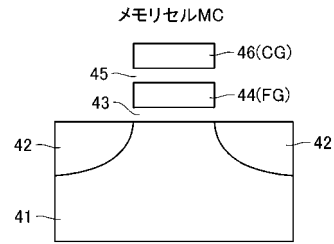
【図 2】



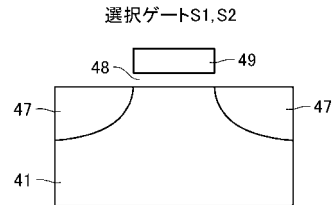
【図 3】



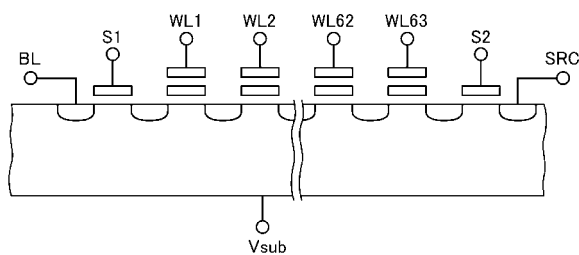
【図 4】



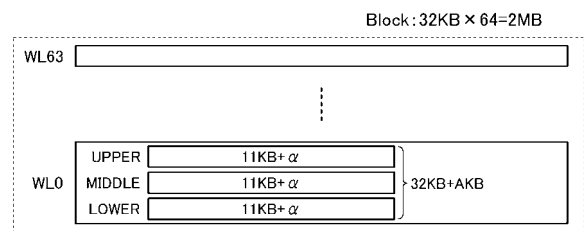
【図 5】



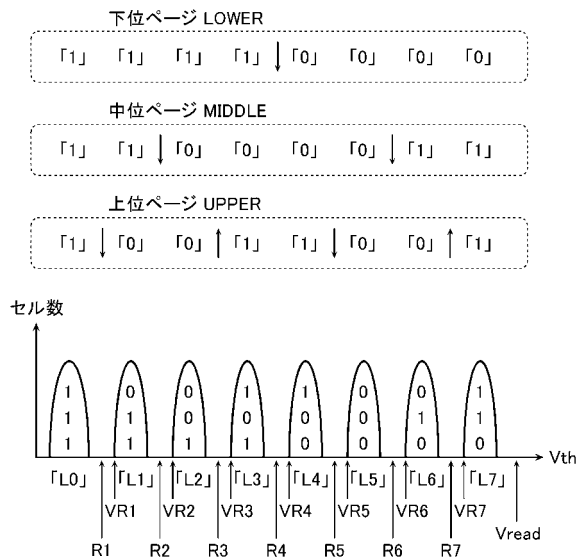
【図 6】



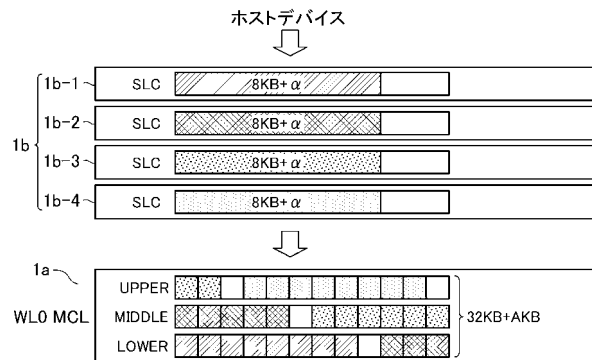
【図 8】



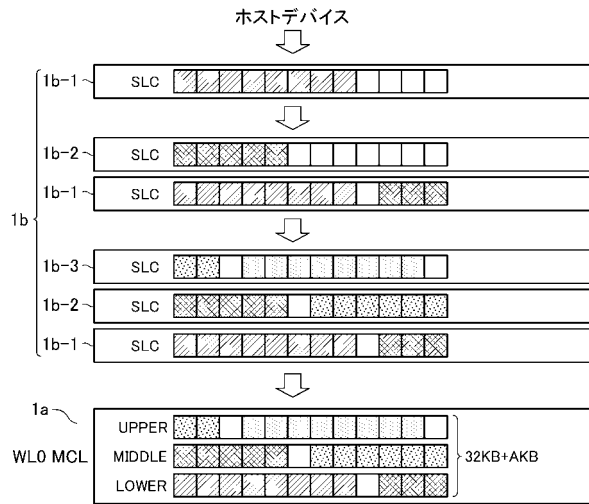
【図 7】



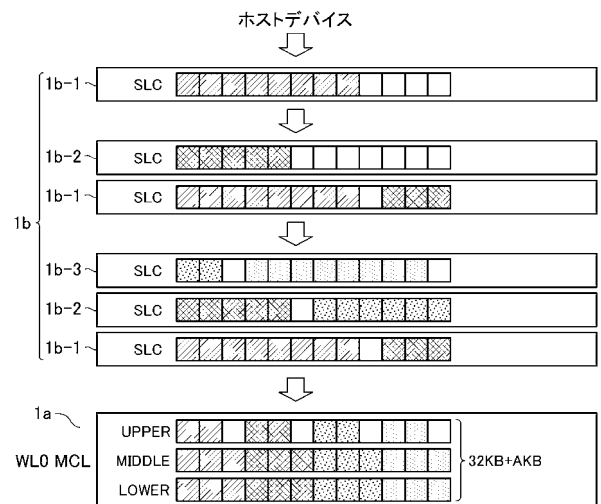
【図 9】



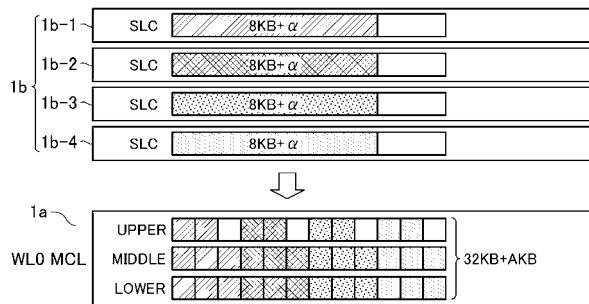
【図 10】



【図 12】



【図 11】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 6 F 12/00 5 9 7 U