

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月12日(12.12.2024)



(10) 国際公開番号
WO 2024/252696 A1

(51) 国際特許分類:

H04N 25/70 (2023.01) *H04N 25/77* (2023.01)
H04N 25/57 (2023.01) *H04N 25/585* (2023.01)
H04N 25/62 (2023.01) *H04N 25/771* (2023.01)

(21) 国際出願番号: PCT/JP2023/045504

(22) 国際出願日: 2023年12月19日(19.12.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-095670 2023年6月9日(09.06.2023) JP
特願 2023-111331 2023年7月6日(06.07.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION)

(72) 発明者: 山中 貴哉 (YAMANAKA, Takaya);
〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

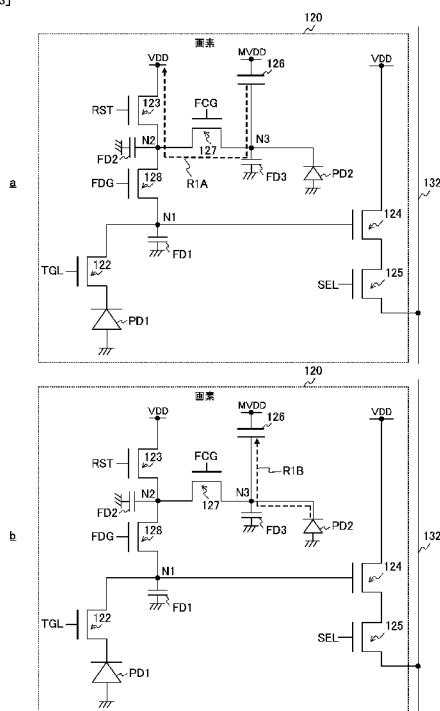
(72) 発明者: 山中 貴哉 (YAMANAKA, Takaya);
〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 福井 僚(FUKUI, Ryo); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一(MARUSHIMA, Toshikazu);
〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(54) Title: IMAGING DEVICE

(54) 発明の名称: 撮像装置

【図3】



(57) Abstract: The present invention suppresses deterioration in image quality caused by dielectric absorption of a capacitor used in a charge storage part. This imaging device comprises: a photoelectric conversion unit; a capacitor having one end connected to the photoelectric conversion unit; a first transistor having one end connected to the capacitor and the other end connected to a first node; a second transistor having one end connected to the first node and the other end connected to a power supply; and a control unit for controlling driving of the first transistor and the second transistor. The

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

control unit turns on the first transistor and the second transistor during at least a part of a period from a read operation for reading a pixel voltage of the first node to a shutter operation of the photoelectric conversion unit.

(57) 要約: 電荷蓄積部に用いられるキャパシタの誘電吸収に起因する画質の低下を抑制する。撮像装置は、光電変換部と、光電変換部に一端が接続されるキャパシタと、一端が前記キャパシタに接続され、他端が第1ノードに接続される第1トランジスタと、一端が第1ノードに接続され、他端が電源に接続される第2トランジスタと、第1トランジスタおよび第2トランジスタの駆動を制御する制御部とを備え、制御部は、第1ノードの画素電圧を読出す読出し動作から、光電変換部のシャッター動作までの間の少なくとも一部の期間に、第1トランジスタおよび第2トランジスタをオンする。

明 細 書

発明の名称：撮像装置

技術分野

[0001] 本技術は、撮像装置に関する。詳しくは、電荷蓄積部が設けられた撮像装置に関する。

背景技術

[0002] 撮像のダイナミックレンジを拡大するため、フォトダイオードからオーバーフローした電荷を蓄積するオーバーフロー蓄積容量が用いられることがある。例えば、第1受光素子と第1電荷蓄積部とを接続する第1スイッチおよび第2受光素子と第2電荷蓄積部とを接続する第2スイッチが設けられた撮像装置が提案されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2019／82614号

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上述の従来技術では、電荷蓄積部に高誘電体キャパシタが用いられると、高誘電体キャパシタの誘電吸収に起因して残像やリニアリティの悪化を招くおそれがあった。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、電荷蓄積部に用いられるキャパシタの誘電吸収に起因する画質の低下を抑制することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、光電変換部と、前記光電変換部に一端が接続されるキャパシタと、一端が前記キャパシタに接続され、他端が第1ノードに接続される第1トランジスタと、一端が前記第1ノードに接続され、他端が電源に接続される

第2トランジスタと、前記第1トランジスタおよび前記第2トランジスタの駆動を制御する制御部とを備え、前記制御部は、前記第1ノードの画素電圧を読み出す読み出し動作から、前記光電変換部のシャッタ動作までの間の少なくとも一部の期間に、前記第1トランジスタおよび前記第2トランジスタをオンする撮像装置である。これにより、光電変換部に電荷が蓄積される蓄積期間の前にキャパシタに電圧がかからないようにキャパシタに印加される電圧が制御されるという作用をもたらす。

[0007] また、第1の側面において、前記制御部は、前記光電変換部に電荷が蓄積される蓄積期間の前に前記キャパシタに電圧がかからないように前記キャパシタに印加される電圧を制御してもよい。これにより、光電変換部に電荷が蓄積される蓄積期間の前にキャパシタに電荷が蓄積されないように制御されるという作用をもたらす。

[0008] また、第1の側面において、前記キャパシタは、高誘電体キャパシタでもよい。これにより、キャパシタのサイズを増大させることなく、キャパシタの容量が増大されるという作用をもたらす。

[0009] また、第1の側面において、前記キャパシタは、前記光電変換部からオーバーフローした電荷を蓄積してもよい。これにより、撮像のダイナミックレンジが拡大されるという作用をもたらす。

[0010] また、第1の側面において、前記制御部は、DDS (Double Data Sampling) 駆動に基づいて、前記キャパシタから信号を読み出してもよい。これにより、光電変換部からオーバーフローした電荷が読み出されるという作用をもたらす。

[0011] また、第1の側面において、前記キャパシタの他端は制御電源に接続され、蓄積期間において、前記制御電源の電位は、前記電源の電位よりも低い中間電位に設定されてもよい。これにより、蓄積期間においてキャパシタの暗電流が低減されるという作用をもたらす。

[0012] また、第1の側面において、前記光電変換部は、第1光電変換部と、前記第1光電変換部より感度が低い第2光電変換部とを備え、前記キャパシタは

、前記第2光電変換部からオーバーフローした電荷を蓄積してもよい。これにより、撮像のダイナミックレンジが拡大されるという作用をもたらす。

[0013] また、第1の側面において、前記キャパシタは、3次元MIM (Metal Insulation Metal) 構造を備えてもよい。これにより、キャパシタの平面サイズを増大させることなく、キャパシタの容量が増大されるという作用をもたらす。

[0014] また、第1の側面において、前記制御部は、前記第1ノードの画素電圧を読み出す読み出し動作から、前記光電変換部のシャッタ動作までの間の全期間において、前記第1トランジスタおよび前記第2トランジスタをオンしてもよい。これにより、光電変換部に電荷が蓄積される蓄積期間の前にキャパシタに蓄積される電荷が排出されるという作用をもたらす。

[0015] また、第1の側面において、前記制御部は、前記第1ノードの画素電圧を読み出す読み出し動作から、前記光電変換部のシャッタ動作までの間の期間の途中から、前記第1トランジスタおよび前記第2トランジスタをオンしてもよい。これにより、キャパシタに接続されるフローティングディフュージョンに高電圧がかかる期間を短縮しつつ、光電変換部に電荷が蓄積される蓄積期間の前にキャパシタに蓄積される電荷が排出されるという作用をもたらす。

[0016] また、第1の側面において、前記制御部は、前記第1ノードの画素電圧を読み出す読み出し動作から、前記光電変換部のシャッタ動作までの間の期間において、前記第1トランジスタおよび前記第2トランジスタを間欠的にオンしてもよい。これにより、シャッタ段差の抑制を可能としつつ、光電変換部に電荷が蓄積される蓄積期間の前にキャパシタに蓄積される電荷が排出されるという作用をもたらす。

[0017] また、第2の側面は、光電変換部と、一端が前記光電変換部に接続され、他端が第1ノードに接続される第1トランジスタと、一端が前記第1ノードに接続され、他端が第2ノードに接続される第2トランジスタと、一端が前記第2ノードに接続され、他端が電源に接続される第3トランジスタと、前記第2ノードに接続されるキャパシタと、前記第1トランジスタ、前記第2

トランジスタおよび前記第3トランジスタの駆動を制御する制御部とを備え、前記制御部は、前記光電変換部での蓄積期間の少なくとも一部の期間に、前記第3トランジスタをオンする撮像装置である。これにより、光電変換部に電荷が蓄積される蓄積期間にキャパシタがリセットされるという作用をもたらす。

[0018] また、第2の側面において、前記制御部は、前記光電変換部での蓄積期間の少なくとも一部の期間に前記第3トランジスタをオンするときに、前記第1トランジスタをオンし、前記第2トランジスタをオフしてもよい。これにより、蓄積期間に蓄積可能なフローティングディフュージョンの容量を増大させつつ、蓄積期間にキャパシタがリセットされるという作用をもたらす。

[0019] また、第2の側面において、前記キャパシタは、高誘電体キャパシタでもよい。これにより、キャパシタのサイズを増大させることなく、キャパシタの容量が増大されるという作用をもたらす。

[0020] また、第2の側面において、前記第2トランジスタに印加されるゲート電圧は可変でもよい。これにより、蓄積期間に蓄積可能なフローティングディフュージョンの容量を増大させつつ、蓄積期間にキャパシタがリセットされるという作用をもたらす。

[0021] また、第2の側面において、前記第1ノードに接続され、誘電吸収の影響がないキャパシタをさらに備えてもよい。これにより、第1ノードの容量を増大させつつ、蓄積期間にキャパシタがリセットされるという作用をもたらす。

[0022] また、第2の側面において、前記第1トランジスタは、埋め込みゲートを備えてもよい。これにより、第1トランジスタのゲート容量を増大させつつ、蓄積期間にキャパシタがリセットされるという作用をもたらす。

図面の簡単な説明

[0023] [図1]第1の実施の形態に係る撮像装置の構成例を示すブロック図である。

[図2]第1の実施の形態に係る固体撮像装置の構成例を示すブロック図である。

。

[図3]第1の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[図4]第1の実施の形態に係る固体撮像装置に適用されるキャパシタ構成例を示す断面図である。

[図5]第1の実施の形態に係る固体撮像装置の読出し動作とシャッタ動作との関係の一例を示すタイミングチャートである。

[図6]第1の実施の形態に係る固体撮像装置の読出し動作とシャッタ動作と蓄積動作における各部の波形の一例を示すタイミングチャートである。

[図7]第2の実施の形態に係る固体撮像装置の読出し動作とシャッタ動作と蓄積動作における各部の波形の一例を示すタイミングチャートである。

[図8]第3の実施の形態に係る固体撮像装置の読出し動作とシャッタ動作と蓄積動作における各部の波形の一例を示すタイミングチャートである。

[図9]第4の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[図10]第4の実施の形態に係る固体撮像装置の蓄積前期間および蓄積期間のポテンシャルの一例を示す図である。

[図11]第4の実施の形態に係る固体撮像装置の読出し動作とシャッタ動作と蓄積動作における各部の波形の一例を示すタイミングチャートである。

[図12]第5の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[図13]第5の実施の形態に係る固体撮像装置の読出し動作とシャッタ動作と蓄積動作における各部の波形の一例を示すタイミングチャートである。

[図14]第6の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[図15]第7の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[図16]第7の実施の形態に係る固体撮像装置の読出し動作とシャッタ動作との関係の一例を示すタイミングチャートである。

[図17]第7の実施の形態に係る固体撮像装置の垂直ブランキング期間および蓄積期間のポテンシャルの第1の例を示す図である。

[図18]第7の実施の形態に係る固体撮像装置の垂直ブランキング期間および蓄積期間のポテンシャルの第1の例を示す図である。

[図19]第7の実施の形態に係る固体撮像装置の垂直ブランキング期間および蓄積期間のポテンシャルの第1の例を示す図である。

[図20]第7の実施の形態に係る固体撮像装置の垂直ブランキング期間および蓄積期間のポテンシャルの第2の例を示す図である。

[図21]第7の実施の形態に係る固体撮像装置の垂直ブランキング期間および蓄積期間のポテンシャルの第2の例を示す図である。

[図22]第7の実施の形態に係る固体撮像装置の垂直ブランキング期間および蓄積期間のポテンシャルの第3の例を示す図である。

[図23]第7の実施の形態に係る固体撮像装置の垂直ブランキング期間および蓄積期間のポテンシャルの第3の例を示す図である。

[図24]第8の実施の形態に係る固体撮像装置の蓄積期間のポテンシャルの一例を示す図である。

[図25]第9の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[図26]第10の実施の形態に係る固体撮像装置に設けられた画素の構成例を示す断面図である。

[図27]第11の実施の形態に係る画素アレイ部の積層例を示す斜視図である。

[図28]車両制御システムの概略的な構成例を示すブロック図である。

[図29]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0024] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（感度が互いに異なるフォトダイオードが設けられ

た画素において、読出し動作からシャッタ動作までの間の全期間にリセットトランジスタおよびパストランジスタをオンする例)

2. 第2の実施の形態(感度が互いに異なるフォトダイオードが設けられた画素において、読出し動作からシャッタ動作までの期間の途中から、リセットトランジスタおよびパストランジスタをオンする例)

3. 第3の実施の形態(感度が互いに異なるフォトダイオードが設けられた画素において、読出し動作からシャッタ動作までの期間にリセットトランジスタおよびパストランジスタを間欠的にオンする例)

4. 第4の実施の形態(感度が互いに異なるフォトダイオードが設けられ、各フォトダイオードに転送トランジスタがそれぞれ接続された画素において、読出し動作からシャッタ動作までの間の期間にリセットトランジスタおよびパストランジスタをオンする例)

5. 第5の実施の形態(フォトダイオードおよび横型オーバーフロー蓄積容量(L O F I C : Lateral Overflow Integration Capacitor)が設けられた画素において、読出し動作からシャッタ動作までの間の期間にリセットトランジスタおよびパストランジスタをオンする例)

6. 第6の実施の形態(フォトダイオードと横型オーバーフロー蓄積容量との間にオーバーフロー制御トランジスタが設けられた画素において、読出し動作からシャッタ動作までの間の期間において、リセットトランジスタおよびパストランジスタをオンする例)

7. 第7の実施の形態(蓄積期間中にキャパシタをリセットする例)

8. 第8の実施の形態(蓄積期間中にパストランジスタのゲート電圧を可変とする例)

9. 第9の実施の形態(誘電吸収の影響がないキャパシタを追加した例)

10. 第10の実施の形態(切替トランジスタに埋め込みゲートを設けた例)

11. 第11の実施の形態(画素アレイ部を積層した例)

12. 移動体への応用例

[0025] < 1. 第 1 の実施の形態 >

図 1 は、第 1 の実施の形態に係る撮像装置の構成例を示す図である。

[0026] 同図において、撮像装置 100 は、光学系 101、固体撮像装置 102、撮像制御部 103、画像処理部 104、記憶部 105、表示部 106 および操作部 107 を備える。撮像制御部 103、画像処理部 104、記憶部 105、表示部 106 および操作部 107 は、バス 108 を介して互いに接続されている。なお、撮像装置 100 は、単体としても用いられてもよいし、スマートフォンなどの携帯端末に組み込まれてもよいし、認証装置や監視装置に組み込まれてもよいし、認証装置や監視装置に組み込まれてもよいし、車両やドローンに組み込まれてもよい。

[0027] 光学系 101 は、被写体からの光を固体撮像装置 102 に入射させ、光学像を固体撮像装置 102 の受光面に結像させる。光学系 101 は、例えば、フォーカスレンズ、ズームレンズおよび絞りなどを備えることができる。光学系 101 は、広角レンズ、標準レンズおよび望遠レンズなどの複数のレンズを備えてもよい。

[0028] 固体撮像装置 102 は、受光面に結像された光学像を画素ごとに電気信号に変換し、その電気信号をデジタル化して出力する。固体撮像装置 102 は、例えば、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサである。CMOS イメージセンサは、裏面照射型イメージセンサでもよいし、表面照射型イメージセンサでもよい。なお、本技術の適用においては、固体撮像装置 102 に限定されず、ToF (Time of Flight) センサやイベント検出センサ等の光検出装置に適用されてもよい。

[0029] 撮像制御部 103 は、操作部 107 からの指令に基づいて固体撮像装置 102 による撮像を制御する。このとき、撮像制御部 103 は、固体撮像装置 102 の露光時間、露光量および撮像タイミングなどを制御することができる。

[0030] 画像処理部 104 は、固体撮像装置 102 からの出力に基づいて画像処理を実施する。画像処理は、例えば、ガンマ補正、ホワイトバランス処理、シ

ャープネス処理、階調変換処理である。画像処理部１０４は、ソフトウェアに基づいて処理を実行するプロセッサを備えてもよい。

[0031] 記憶部１０５は、固体撮像装置１０２で撮像された撮像画像を記憶したり、固体撮像装置１０２の撮像パラメータなどを記憶したりする。また、記憶部１０５は、ソフトウェアに基づいて撮像装置１００を動作させるプログラムを記憶することができる。記憶部１０５は、ＲＯＭ（Read Only Memory）、ＲＡＭ（Random Access Memory）およびメモリカードを含んでもよい。

[0032] 表示部１０６は、撮像画像を表示したり、撮像操作をサポートする各種情報を表示したりする。表示部１０６は、液晶ディスプレイでもよいし、有機ＥＬ（Electro Luminescence）ディスプレイでもよい。

[0033] 操作部１０７は、撮像装置１００を操作するユーザインターフェースを提供する。操作部１０７は、例えば、撮像装置１００に設けられたボタン、ダイヤルおよびスイッチを含んでもよい。操作部１０７は、表示部１０６とともにタッチパネルで構成してもよい。

[0034] なお、撮像装置１００の形態によっては、上述の機能の一部がなくてよいし、逆に開示していない機能をさらに有してもよい。

[0035] 図２は、第１の実施の形態に係る固体撮像装置の構成例を示すブロック図である。

[0036] 同図において、固体撮像装置１０２は、画素アレイ部１１１、垂直走査回路１１２、カラム読出し回路１１３、カラム信号処理部１１４、水平走査回路１１５および制御回路１１６を備える。

[0037] 画素アレイ部１１１は、複数の画素１２０を備える。画素１２０は、ロウ方向（水平方向とも言う）およびカラム方向（垂直方向とも言う）に沿ってマトリックス状に配列される。各画素１２０は、フォトダイオードからオーバーフローした電荷を蓄積するキャパシタを備える。このキャパシタは、横型オーバーフロー蓄積容量でもよい。各画素１２０は、互いに感度が異なる複数のフォトダイオードを備えてもよい。また、各画素１２０は、信号の読出し時にカラム読出し回路１１３との間でソースフォロワを構成することが

できる。各画素120は、ロウごとに水平駆動線131に接続され、コラムごとに垂直信号線132に接続される。水平駆動線131は、各画素120からの信号の読出し時に各画素120をロウごとに駆動する。垂直信号線132は、画素120からの信号読出し時に流れる電流に基づく電位をコラムごとにコラム信号処理部114に伝送する。

[0038] 垂直走査回路112は、読出し対象となる画素120をコラム方向に走査する。垂直走査回路112は、垂直レジスタを用いて構成してもよい。

[0039] コラム読出し回路113は、各画素120からの信号の読出し時に、各画素120との間でソースフォロワを構成することができる。このとき、コラム読出し回路113は、画素120に保持された電荷に基づいて垂直信号線132の電位を変化させることができる。

[0040] コラム信号処理部114は、各画素120からコラム方向に伝送された信号を処理する。例えば、コラム信号処理部114は、各画素120からコラム方向に伝送された信号に基づいて、相関二重サンプリング（CDS : Correlated Double Sampling）処理を実施することができる。また、コラム信号処理部114は、各画素120からコラム方向に伝送された信号に基づいて、A/D（Analog to Digital）変換処理を実施し、撮像信号Goutを出力することができる。

[0041] コラム信号処理部114は、コラムADC部114Aを備える。コラムADC部114Aは、A/D変換処理をコラムごとに並列に実施することができる。このとき、コラムADC部114Aは、画素120から読出された画素信号と参照信号との比較結果に基づいてコラムごとにA/D変換することができる。

[0042] 水平走査回路115は、読出し対象となる画素120をロウ方向に走査する。水平走査回路115は、水平レジスタを用いて構成してもよい。

[0043] 制御回路116は、垂直走査回路112、コラム読出し回路113、コラム信号処理部114および水平走査回路115を制御する。例えば、制御回路116は、コラム方向の走査タイミング、ロウ方向の走査タイミング、カ

ラム読出し回路 113 の動作タイミングおよびカラム信号処理部 114 の処理タイミングを制御することができる。

[0044] また、制御回路 116 は、各画素 120 のフォトダイオードに電荷が蓄積される蓄積期間の前の蓄積前期間に各画素 120 のキャパシタに電圧がかからないようにキャパシタに印加される電圧を制御することができる。蓄積前期間は、画素 120 から画素電圧を読出す読出し動作からシャッタ動作までの間の少なくとも一部の期間に設定することができる。なお、制御回路 116 は、特許請求の範囲に記載の制御部の一例である。

[0045] 図 3 は、第 1 の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[0046] 図 3 において、画素 120 は、フォトダイオード PD 1、PD 2、転送トランジスタ 122、リセットトランジスタ 123、増幅トランジスタ 124、選択トランジスタ 125 およびフローティングディフュージョン FD 1 から FD 3 を備える。さらに、画素 120 は、キャパシタ 126、パストランジスタ 127 および切替トランジスタ 128 を備える。転送トランジスタ 122、リセットトランジスタ 123、増幅トランジスタ 124、選択トランジスタ 125、パストランジスタ 127 および切替トランジスタ 128 は、MOS (Metal Oxide Semiconductor) トランジスタでもよい。キャパシタ 126 は、MIM (Metal Insulation Metal) 容量を用いることができる。キャパシタ 126 は、3次元MIM容量でもよい。なお、パストランジスタ 127 は、特許請求の範囲に記載の第 1 トランジスタの一例である。リセットトランジスタ 123 は、特許請求の範囲に記載の第 2 トランジスタの一例である。

[0047] また、画素 120 には、ノード N 1 から N 3 が設けられる。各ノード N 1 から N 3 には、フローティングディフュージョン FD 1 から FD 3 がそれぞれ形成される。

[0048] フォトダイオード PD 1、PD 2 は、光電変換を実施し、光電変換した電荷を蓄積する。フォトダイオード PD 1、PD 2 は、互いに感度が異なる。

このとき、フォトダイオードPD2の感度は、フォトダイオードPD1の感度よりも小さくすることができる。フォトダイオードPD2の感度をフォトダイオードPD1の感度よりも小さくするために、フォトダイオードPD2の平面サイズをフォトダイオードPD1の平面サイズよりも小さくすることができる。なお、フォトダイオードPD1、PD2は、特許請求の範囲に記載の光電変換部の一例である。

[0049] キャパシタ126は、フォトダイオードPD2からオーバーフローした電荷を蓄積する。キャパシタ126は遮光されてもよい。キャパシタ126の一端は、制御電源電圧MVDDに接続され、キャパシタ126の他端は、ノードN3に接続される。また、ノードN3には、フォトダイオードPD2のカソードが接続される。キャパシタ126は、比誘電率が所定値（例：100）よりも高い高誘電体キャパシタでもよい。

[0050] 転送トランジスタ122は、フォトダイオードPD1に蓄積された電荷をフローティングディフュージョンFD1に転送する。リセットトランジスタ123は、フローティングディフュージョンFD1からFD3をリセットする。増幅トランジスタ124は、フローティングディフュージョンFD1からFD3の電位に応じた信号を出力する。選択トランジスタ125は、増幅トランジスタ124の出力を選択する。パストランジスタ127は、キャパシタ126に蓄積された電荷がフローティングディフュージョンFD1に転送されるパスを設定する。切替トランジスタ128は、増幅トランジスタ124における変換効率を切り替える。

[0051] 転送トランジスタ122は、フォトダイオードPD1のカソードとノードN1との間に接続される。増幅トランジスタ124と選択トランジスタ125とは、直列に接続されている。増幅トランジスタ124のドレインは、電源電圧VDDに接続されている。増幅トランジスタ124のゲートは、ノードN1に接続されている。選択トランジスタ125のソースは、垂直信号線132に接続されている。

[0052] パストランジスタ127は、ノードN2、N3間に接続されている。切替

トランジスタ 128 は、ノード N1、N2 間に接続されている。リセットトランジスタ 123 は、ノード N2 と電源電圧 VDD との間に接続されている。このとき、リセットトランジスタ 123 と切替トランジスタ 128 とは、直列に接続される。

[0053] 転送トランジスタ 122 のゲートには、転送信号 TGL が印加される。リセットトランジスタ 123 のゲートには、リセット信号 RST が印加される。選択トランジスタ 125 のゲートには、選択信号 SEL が印加される。パストランジスタ 127 のゲートには、パス設定信号 FCG が印加される。切替トランジスタ 128 のゲートには、切替信号 FDG が印加される。転送信号 TGL、リセット信号 RST、選択信号 SEL、パス設定信号 FCG および切替信号 FDG は、図 2 の水平駆動線 131 を介して各画素 120 に伝送することができる。

[0054] ここで、蓄積前期間では、キャパシタ 126 に電圧がかからないようにキャパシタ 126 に印加される電圧が制御される。このとき、同図における a に示すように、画素 120 から画素電圧を読出す読出し動作からシャッタ動作までの間の少なくとも一部の期間に、リセット信号 RST およびパス設定信号 FCG が立ち上がり、リセットトランジスタ 123 およびパストランジスタ 127 はオンする。このとき、キャパシタ 126 は、リセットトランジスタ 123 およびパストランジスタ 127 を介して、電源電圧 VDD に接続される (R1A)。また、制御電源電圧 MVD は、電源電圧 VDD に設定することができる。これにより、蓄積前期間において、キャパシタ 126 の両端に電源電圧 VDD が印加され、キャパシタ 126 に電圧がかからないようにキャパシタ 126 に印加される電圧が制御される。このため、蓄積期間の開始前にキャパシタ 126 に電荷が蓄積されないようにすることができ、キャパシタ 126 の誘電吸収に起因するノード N3 の電位変動を抑制することができる。なお、トランジスタをオンするとは、トランジスタの端子に印加される電圧によってトランジスタの閾値電圧を超える状態を表す。また、トランジスタをオフするとは、トランジスタの端子に印加される電圧によ

てトランジスタの閾値電圧を超えない状態を表し、トランジスタがオフの状態であってもリーク電流の伝導は許容されうる。

[0055] 蓄積期間では、キャパシタ 1 2 6 がフローティング状態に設定される。このとき、同図における b に示すように、シャッタ動作後にパス設定信号 F C G が立ち下がり、パストランジスタ 1 2 7 はオフする。このとき、キャパシタ 1 2 6 は、電源電圧 V D D から切り離され、フローティング状態に移行される。キャパシタ 1 2 6 がフローティング状態に移行されると、フォトダイオード P D 2 からオーバーフローした電荷がキャパシタ 1 2 6 に蓄積される (R 1 B)。

[0056] 図 4 は、第 1 の実施の形態に係る固体撮像装置に適用されるキャパシタ構成例を示す断面図である。なお、以下の説明に用いる図面は、各構成を分かり易くするため、実際の構造と縮尺および形状などを異ならせることがある。

[0057] 同図において、層間絶縁層 1 5 1 には、配線層 1 6 1 が埋め込まれている。配線層 1 6 1 上には、パッシベーション層 1 5 2 が積層され、パッシベーション層 1 5 2 上には、層間絶縁層 1 5 3 が積層されている。

[0058] パッシベーション層 1 5 2 および層間絶縁層 1 5 3 には、配線層 1 6 1 を露出させる開口部 K A が形成されている。層間絶縁層 1 5 3 上には、開口部 K A の底面および側面が覆われるように容量電極 1 5 4 が形成される。容量電極 1 5 4 上には、容量電極 1 5 4 の底面および側面が覆われるように誘電体層 1 5 5 が形成される。誘電体層 1 5 5 上には、誘電体層 1 5 5 の底面および側面が覆われるように容量電極 1 5 6 が形成される。容量電極 1 5 4、1 5 6 および誘電体層 1 5 5 は、キャパシタ 1 2 6 として用いることができる。このとき、キャパシタ 1 2 6 は、3次元 M I M を構成することができる。誘電体層 1 5 5 上には、容量電極 1 5 6 が覆われるようにパッシベーション層 1 5 7 が形成される。パッシベーション層 1 5 7 上には、層間絶縁層 1 5 8 が積層されている。層間絶縁層 1 5 8 には、配線層 1 6 2 が埋め込まれる。配線層 1 6 2 は、ビア 1 6 3 を介して容量電極 1 5 6 に接続される。

- [0059] 配線層 161、162、ビア 163 および容量電極 154、156 の材料は、例えば、Cu、Ti、Ta、Al、W、Ni、Ru、Co、TiN、Ta₂N、WN を用いることができ、複数の材料の積層構造でもよい。
- [0060] 誘電体層 155 の材料は、例えば、SiO₂、SiON、Si₃N₄、酸化ハフニウム (HfO₂)、酸化アルミニウム (Al₂O₃)、酸化ジルコニウム (ZrO)、酸化タンタル (Ta₂O₅)、酸化チタン (TiO₂)、酸化ランタン (LaO₃)、酸化イットリウム (Y₂O₃)、窒化アルミニウム (AlN)、酸窒化ハフニウム (HfON)、酸窒化アルミニウム (AlON) を用いることができ、複数の材料の積層構造でもよい。
- [0061] 層間絶縁層 151、158 の材料は、例えば、SiO₂、SiON、SiOC、Si₃N₄、SiCO などの無機材料や、ポリイミド、アクリル、シリコーン、エポキシ基を骨格とする有機材料を用いることができ、複数の材料の積層構造でもよい。
- [0062] パッシベーション層 152、157 の材料は、ポリイミド、アクリル、シリコーン、エポキシ基を骨格とする有機材料や SiO₂、Al₂O₃、AlN、BN などのフィラーを含む材料を用いることができる。パッシベーション層 152、157 は、CVD (Chemical Vapor Deposition) 膜でもよいし、スパッタ膜でもよい。
- [0063] 図 5 は、第 1 の実施の形態に係る固体撮像装置の読出し動作とシャッタ動作との関係の一例を示すタイミングチャートである。
- [0064] 同図において、固体撮像装置は、フレーム F1 ごとにシャッタ動作 SH が繰り返される。このとき、固体撮像装置は、各フレーム F1 において、シャッタ動作 SH 間に読出し動作 RD を実施する。
- [0065] ここで、各フレーム F1 のシャッタ動作 SH から読出し動作 RD までの期間に蓄積期間 P2 が設定される。また、読出し動作 RD から次のフレーム F1 のシャッタ動作 SH までの期間に蓄積前期間 P1 が設定される。
- [0066] 蓄積前期間 P1 では、キャパシタ 126 に電圧がかからないようにキャパシタ 126 に印加される電圧が制御される。図 3 における a に示すように、

読出し動作R Dからシャッタ動作S Hまでの間の少なくとも一部の期間に、リセットトランジスタ1 2 3およびパストランジスタ1 2 7はオンする。

[0067] 蓄積期間P 2では、キャパシタ1 2 6がフローティング状態に設定される。このとき、図3におけるbに示すように、パストランジスタ1 2 7はオフする。

[0068] 図6は、第1の実施の形態に係る固体撮像装置の読出し動作とシャッタ動作と蓄積動作における各部の波形の一例を示すタイミングチャートである。

[0069] 同図において、蓄積前期間K 1 9の後、シャッタ期間K 1 1に移行する。シャッタ期間K 1 1では、制御電源電圧M V D Dは電源電圧V D Dに設定される。選択信号S E Lは、ロウレベルに設定される。切替信号F D G、リセット信号R S Tおよびパス設定信号F C Gは、ハイレベルに設定される。そして、転送信号T G Lが立ち上がり、フォトダイオード1 2 1およびフローティングディフュージョンF D 1からF D 3の電荷が排出されるとともに、増幅トランジスタ1 2 4における変換効率が低下される。そして、転送信号T G Lおよびパス設定信号F C Gが立ち下がった後、蓄積期間K 1 2に移行する。

[0070] 蓄積期間K 1 2では、各フォトダイオードP D 1、P D 2への光の入射に基づいて、各フォトダイオードP D 1、P D 2に電荷が蓄積される。フォトダイオードP D 2からオーバーフローした電荷は、キャパシタ1 2 6に蓄積される。ここで、蓄積期間K 1 2では、制御電源電圧M V D Dが立ち下がり、中間電位に設定される。中間電位は、電源電圧V D Dより低い電圧に設定することができる。ここで、蓄積期間K 1 2では、制御電源電圧M V D Dを中間電位に設定することにより、キャパシタ1 2 6の暗電流を低減することができる。

[0071] 次に、低効率P相単体読出し期間K 1 3では、リセット信号R S Tが立ち下がるとともに、選択信号S E Lが立ち上がる。このとき、リセットトランジスタ1 2 3がオフするとともに、選択トランジスタ1 2 5がオンし、フローティングディフュージョンF D 1の低効率P相レベルが増幅トランジスタ

1 2 4 のゲートに印加された時のソースフォロワ動作に基づいて垂直信号線 1 3 2 の電位が設定される。そして、その時の垂直信号線 1 3 2 の電位に基づいて、低効率 P 相レベルが A D 変換される。

[0072] 次に、高効率 P 相単体読出し期間 K 1 4 では、切替信号 F D G が立ち下がり、増幅トランジスタ 1 2 4 における変換効率が上昇される。そして、フローティングディフュージョン F D 1 の高効率 P 相レベルが増幅トランジスタ 1 2 4 のゲートに印加された時のソースフォロワ動作に基づいて垂直信号線 1 3 2 の電位が設定される。そして、その時の垂直信号線 1 3 2 の電位に基づいて、高効率 P 相レベルが A D 変換される。

[0073] その後、選択信号 S E L が立ち下がるとともに、転送信号 T G L が立ち上がる。このとき、選択トランジスタ 1 2 5 がオフするとともに、転送トランジスタ 1 2 2 がオンし、フォトダイオード P D 1 に蓄積されていた電荷がフローティングディフュージョン F D 1 に転送される。

[0074] 次に、高効率 D 相単体読出し期間 K 1 5 では、選択信号 S E L が立ち上がるとともに、転送信号 T G L が立ち下がる。このとき、選択トランジスタ 1 2 5 がオンするとともに、転送トランジスタ 1 2 2 がオフし、フローティングディフュージョン F D 1 の高効率 D 相レベルが増幅トランジスタ 1 2 4 のゲートに印加された時のソースフォロワ動作に基づいて垂直信号線 1 3 2 の電位が設定される。そして、その時の垂直信号線 1 3 2 の電位に基づいて、高効率 D 相レベルが A D 変換される。

[0075] そして、切替信号 F D G が立ち上がり、増幅トランジスタ 1 2 4 における変換効率が低下される。さらに、選択信号 S E L が立ち下がるとともに、転送信号 T G L が立ち上がる。このとき、選択トランジスタ 1 2 5 がオフするとともに、転送トランジスタ 1 2 2 がオンし、フォトダイオード P D 1 に蓄積されていた電荷がフローティングディフュージョン F D 1 に転送される。

[0076] 次に、低効率 D 相単体読出し期間 K 1 6 では、選択信号 S E L が立ち上がるとともに、転送信号 T G L が立ち下がる。このとき、選択トランジスタ 1 2 5 がオンするとともに、転送トランジスタ 1 2 2 がオフし、フローティン

グディフュージョンFD1の低効率D相レベルが増幅トランジスタ124のゲートに印加された時のソースフォロワ動作に基づいて垂直信号線132の電位が設定される。そして、その時の垂直信号線132の電位に基づいて、低効率D相レベルがAD変換される。

[0077] その後、リセット信号RSTが立ち上がる。このとき、リセットトランジスタ123がオンし、フローティンググディフュージョンFD1、FD2の電荷が排出される。

[0078] 低効率P相単体読出し期間K13、高効率P相単体読出し期間K14、高効率D相単体読出し期間K15および低効率D相単体読出し期間K16では、CDS読出しRDAを実施することができる。

[0079] 次に、D相一括読出し期間K17では、リセット信号RSTが立ち下がるとともに、パス設定信号FCGが立ち上がる。このとき、リセットトランジスタ123がオフするとともに、パストランジスタ127はオンし、フローティンググディフュージョンFD3のD相レベルが増幅トランジスタ124のゲートに印加された時のソースフォロワ動作に基づいて垂直信号線132の電位が設定される。そして、その時の垂直信号線132の電位に基づいて、そのD相レベルがAD変換される。

[0080] その後、選択信号SELが立ち下がるとともに、リセット信号RSTが立ち上がる。このとき、選択トランジスタ125がオフするとともに、リセットトランジスタ123がオンし、フローティンググディフュージョンFD1からFD3の電荷が排出される。

[0081] 次に、P相一括読出し期間K18では、リセット信号RSTが立ち下がるとともに、選択信号SELが立ち上がる。このとき、リセットトランジスタ123がオフするとともに、選択トランジスタ125がオンし、フローティンググディフュージョンFD3のP相レベルが増幅トランジスタ124のゲートに印加された時のソースフォロワ動作に基づいて垂直信号線132の電位が設定される。そして、その時の垂直信号線132の電位に基づいて、そのP相レベルがAD変換される。P相一括読出し期間K18の後、蓄積前期間

K 1 9に移行する。

[0082] D相一括読出し期間K 1 7およびP相一括読出し期間K 1 8では、D D S読出しR D Bを実施することができる。

[0083] 蓄積前期間K 1 9では、キャパシタ 1 2 6に電圧がかからないようにキャパシタ 1 2 6に印加される電圧が制御される。このとき、パス設定信号F C Gが立ち上がった状態でリセット信号R S Tが立ち上がる。制御電源電圧M V D Dは、電源電圧V D Dに維持される。このとき、リセットトランジスタ 1 2 3およびパストランジスタ 1 2 7はオンし、キャパシタ 1 2 6の両端には、電源電圧V D Dが印加される。これにより、蓄積前期間K 1 9において、キャパシタ 1 2 6に電圧がかからないようにキャパシタ 1 2 6に印加される電圧が制御される。

[0084] このように、上述の第 1 の実施の形態では、感度が互いに異なる複数のフォトダイオードP D 1、P D 2が設けられた画素 1 2 0において、読出し動作からシャッタ動作までの間の期間にリセットトランジスタ 1 2 3およびパストランジスタ 1 2 7をオンする。これにより、蓄積前期間K 1 9において、キャパシタ 1 2 6に電圧がかからないようにキャパシタ 1 2 6に印加される電圧を制御することができる。このため、蓄積期間P K 1 1の開始前にキャパシタ 1 2 6に電荷が蓄積されないようにすることができ、キャパシタ 1 2 6の誘電吸収に起因する残像やリニアリティの悪化を抑制することができる。

[0085] < 2. 第 2 の実施の形態 >

上述の第 1 の実施の形態では、感度が互いに異なる複数のフォトダイオードP D 1、P D 2が設けられた画素 1 2 0において、読出し動作からシャッタ動作までの間の全期間にリセットトランジスタ 1 2 3およびパストランジスタ 1 2 7をオンした。この第 2 の実施の形態では、感度が互いに異なる複数のフォトダイオードP D 1、P D 2が設けられた画素 1 2 0において、読出し動作からシャッタ動作までの期間の途中から、リセットトランジスタ 1 2 3およびパストランジスタ 1 2 7をオンする。

[0086] 図7は、第2の実施の形態に係る固体撮像装置の読出し動作とシャッタ動作と蓄積動作における各部の波形の一例を示すタイミングチャートである。

[0087] 同図において、この固体撮像装置では、上述の第1の実施の形態の蓄積前期間K19に代えて、蓄積前期間K29が設けられる。第2の実施の形態の固体撮像装置のそれ以外の動作は、上述の第1の実施の形態の固体撮像装置の動作と同様である。

[0088] 蓄積前期間K29では、読出し動作からシャッタ動作までの期間の途中から、キャパシタ126に電圧がかからないようにキャパシタ126に印加される電圧が制御される。このとき、蓄積前期間K29が開始されると、制御電源電圧MVDDが立ち下がり、中間電位に設定されるとともに、パス設定信号FCGが立ち下がる。ここで、制御電源電圧MVDDを中間電位に設定することにより、キャパシタ126に印加される電圧を低下させることができ、キャパシタ126の信頼性を向上させることができる。そして、例えば、蓄積前期間K29の後半において、パス設定信号FCGおよびリセット信号RSTが立ち上がる。このとき、制御電源電圧MVDDも立ち上がり、電源電圧VDDに設定される。このとき、リセットトランジスタ123およびパストランジスタ127はオンし、キャパシタ126の両端には、電源電圧VDDが印加される。これにより、蓄積前期間K29の一部において、キャパシタ126に電圧がかからないようにキャパシタ126に印加される電圧が制御される。

[0089] このように、上述の第2の実施の形態では、感度が互いに異なる複数のフォトダイオードPD1、PD2が設けられた画素120において、読出し動作からシャッタ動作までの期間の途中から、リセットトランジスタ123およびパストランジスタ127をオンする。これにより、蓄積前期間K29の一部において、キャパシタ126に電圧がかからないようにすることができ、キャパシタ126の信頼性の低下を抑制しつつ、キャパシタ126の誘電吸収に起因する残像やリニアリティの悪化を抑制することができる。

[0090] <3. 第3の実施の形態>

上述の第1の実施の形態では、感度が互いに異なる複数のフォトダイオードPD1、PD2が設けられた画素120において、読出し動作からシャッタ動作までの間の全期間において、リセットトランジスタ123およびパストランジスタ127をオンした。この第3の実施の形態では、感度が互いに異なる複数のフォトダイオードPD1、PD2が設けられた画素120において、読出し動作からシャッタ動作までの期間にリセットトランジスタ123およびパストランジスタ127を間欠的にオンする。

[0091] 図8は、第3の実施の形態に係る固体撮像装置の読出し動作とシャッタ動作と蓄積動作における各部の波形の一例を示すタイミングチャートである。

[0092] 同図において、この固体撮像装置では、上述の第1の実施の形態の蓄積前期間K19に代えて、蓄積前期間K39が設けられる。第3の実施の形態の固体撮像装置のそれ以外の動作は、上述の第1の実施の形態の固体撮像装置の動作と同様である。

[0093] 蓄積前期間K39では、読出し動作からシャッタ動作までの期間にキャパシタ126に電圧がかからないようにキャパシタ126に印加される電圧が間欠的に制御される。このとき、蓄積前期間K39が開始されると、パス設定信号FCGが立ち下がる。その後、蓄積前期間K39において、パス設定信号FCGおよびリセット信号RSTがパルス状に立ち上がる。蓄積前期間K39におけるパス設定信号FCGおよびリセット信号RSTのパルス状の立ち上げ回数は、1回でもよいし、複数回でもよい。このとき、リセットトランジスタ123およびパストランジスタ127は間欠的にオンし、キャパシタ126の両端には、電源電圧VDDが間欠的に印加される。これにより、蓄積前期間K39の一部において、キャパシタ126に電圧がかからないようにキャパシタ126に印加される電圧が制御される。

[0094] このように、上述の第3の実施の形態では、感度が互いに異なる複数のフォトダイオードPD1、PD2が設けられた画素120において、読出し動作からシャッタ動作までの期間にリセットトランジスタ123およびパストランジスタ127を間欠的にオンする。これにより、蓄積前期間K39にお

いて、キャパシタ 1 2 6 に間欠的に電圧がかからないようにすることができ、シャッタ段差の抑制を可能としつつ、キャパシタ 1 2 6 の誘電吸収に起因する残像やリニアリティの悪化を抑制することができる。

[0095] <4. 第4の実施の形態>

上述の第1の実施の形態では、感度が互いに異なる複数のフォトダイオードPD1、PD2が設けられた画素120において、読出し動作からシャッタ動作までの間の期間にリセットトランジスタ123およびパストランジスタ127をオンした。この第4の実施の形態では、感度が互いに異なる複数のフォトダイオードPD1、PD2に転送トランジスタがそれぞれ接続された画素において、読出し動作からシャッタ動作までの期間にリセットトランジスタ123およびパストランジスタ127をオンする。

[0096] 図9は、第4の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[0097] 同図において、画素220は、上述の第1の実施の形態の画素120に転送トランジスタ129が追加されている。第4の実施の形態の画素のそれ以外の構成は、上述の第1の実施の形態の画素120の構成と同様である。

[0098] 転送トランジスタ129は、フォトダイオードPD2のカソードとノードN3との間に接続される。転送トランジスタ129のゲートには、転送信号TGSが印加される。

[0099] 図10は、第4の実施の形態に係る固体撮像装置の蓄積前期間および蓄積期間のポテンシャルの一例を示す図である。なお、同図におけるaは、蓄積前期間のポテンシャルの一例を示す。同図におけるbは、シャッタ期間のポテンシャルの一例を示す。同図におけるcは、蓄積期間のポテンシャルの一例を示す。

[0100] 同図におけるaおよびbにおいて、蓄積前期間およびシャッタ期間では、キャパシタ126に電圧がかからないようにキャパシタ126に印加される電圧VCが制御される。ここで、読出し動作からシャッタ動作までの間の少なくとも一部の期間に、リセット信号RSTおよびパス設定信号FCGはハ

イレベルに設定される。このとき、リセットトランジスタ 1 2 3 およびパストランジスタ 1 2 7 はオンし、キャパシタ 1 2 6 に電荷 E L が蓄積されないようにキャパシタ 1 2 6 から電源電圧 V D D までのポテンシャルが設定される。一方、転送信号 T G S はロウレベルに設定され、転送トランジスタ 1 2 9 がオフする。このため、フォトダイオード P D 2 への光の入射に基づいて、フォトダイオード P D 2 に電荷が蓄積される。

[0101] 同図における c において、蓄積期間では、キャパシタ 1 2 6 がフローティング状態に設定される。このとき、パス設定信号 F C G はロウレベルに設定され、パストランジスタ 1 2 7 はオフする。このため、フォトダイオード P D 2 からオーバーフローした電荷は、キャパシタ 1 2 6 に蓄積される。

[0102] 図 1 1 は、第 4 の実施の形態に係る固体撮像装置の読出し動作とシャッタ動作と蓄積動作における各部の波形の一例を示すタイミングチャートである。

[0103] 同図において、この画素 2 2 0 では、上述の第 1 の実施の形態の読出し動作に P 相サブ読出し期間 K 4 1 および D 相サブ読出し期間 K 4 2 が追加される。第 4 の実施の形態の画素 2 2 0 のそれ以外の動作は、上述の第 1 の実施の形態の画素 1 2 0 の動作と同様である。

[0104] この画素 2 2 0 の読出し動作では、低効率 D 相単体読出し期間 K 1 6 の終了時に選択信号 S E L が立ち下がり、選択トランジスタ 1 2 5 がオフする。そして、リセット信号 R S T が立ち下がり、パス設定信号 F C G が立ち上がった後、P 相サブ読出し期間 K 4 1 に移行する。

[0105] P 相サブ読出し期間 K 4 1 では、選択信号 S E L が立ち上がる。このとき、選択トランジスタ 1 2 5 がオンし、フローティングディフュージョン F D 3 の P 相サブレベルが増幅トランジスタ 1 2 4 のゲートに印加された時のソースフォロワ動作に基づいて垂直信号線 1 3 2 の電位が設定される。そして、その時の垂直信号線 1 3 2 の電位に基づいて、P 相サブレベルが A D 変換される。

[0106] その後、選択信号 S E L が立ち下がるとともに、転送信号 T G S が立ち上

がる。このとき、選択トランジスタ125がオフするとともに、転送トランジスタ129がオンし、フォトダイオードPD2に蓄積されていた電荷がフローティングディフュージョンFD3に転送される。

[0107] 次に、D相サブ読出し期間K42では、選択信号SELが立ち上がるとともに、転送信号TGSが立ち下がる。このとき、選択トランジスタ125がオンするとともに、転送トランジスタ129がオフし、フローティングディフュージョンFD2のD相サブレベルが増幅トランジスタ124のゲートに印加された時のソースフォロワ動作に基づいて垂直信号線132の電位が設定される。そして、その時の垂直信号線132の電位に基づいて、D相サブレベルがAD変換される。D相サブ読出し期間K42の終了後、D相一括読出し期間K17に移行する。

[0108] P相サブ読出し期間K41およびD相サブ読出し期間K42では、CDS読出しRDCを実施することができる。

[0109] このように、上述の第4の実施の形態では、感度が互いに異なる複数のフォトダイオードPD1、PD2に転送トランジスタ122、129がそれぞれ接続された画素220において、読出し動作からシャッタ動作までの期間にリセットトランジスタ123およびパストランジスタ127をオンする。これにより、蓄積前期間K19にキャパシタ126に電圧がかからないようにしつつ、フォトダイオードPD2から信号を個別に読出すことが可能となる。このため、ダイナミックレンジの拡大を可能としつつ、キャパシタ126の誘電吸収に起因する残像やリニアリティの悪化を抑制することができる。

[0110] 上述の第4の実施の形態では、上述の第1の実施の形態の蓄積前期間K19の全期間シャッタ動作を例にとったが、上述の第2の実施の形態の部分期間シャッタ動作を適用してもよいし、上述の第3の実施の形態の間欠シャッタ動作を適用してもよい。

[0111] <5. 第5の実施の形態>

上述の第1の実施の形態では、感度が互いに異なる複数のフォトダイオー

ドPD1、PD2が設けられた画素120において、読出し動作からシャッタ動作までの間の期間にリセットトランジスタ123およびパストランジスタ127をオンした。この第5の実施の形態では、フォトダイオードPD1が設けられた画素120において、読出し動作からシャッタ動作までの期間にリセットトランジスタ123およびパストランジスタ127をオンする。

[0112] 図12は、第5の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[0113] 同図において、画素320は、上述の第1の実施の形態のフォトダイオードPD2が除去されている。このとき、キャパシタ126は、フォトダイオードPD1からオーバーフローした電荷を蓄積する横型オーバーフロー蓄積容量として動作することができる。第5の実施の形態の画素320のそれ以外の構成は、上述の第1の実施の形態の画素120の構成と同様である。

[0114] 図13は、第5の実施の形態に係る固体撮像装置の読出し動作とシャッタ動作と蓄積動作における各部の波形の一例を示すタイミングチャートである。

[0115] 同図において、この画素320では、低効率D相単体読出し期間K16からD相一括読出し期間K17に移行する間においてリセット信号RSTはロウレベルに維持される。このとき、フローティングディフュージョンFD1、FD2の電荷が維持されたままD相一括読出し期間K17に移行する。そして、フローティングディフュージョンFD1からFD3のD相レベルが増幅トランジスタ124のゲートに印加された時のソースフォロフ動作に基づいて垂直信号線132の電位が設定される。そして、その時の垂直信号線132の電位に基づいて、そのD相レベルがAD変換される。第5の実施の形態の画素320のそれ以外の動作は、上述の第1の実施の形態の画素120の動作と同様である。

[0116] このように、上述の第5の実施の形態では、フォトダイオードPD1が設けられた画素120において、読出し動作からシャッタ動作までの期間にリセットトランジスタ123およびパストランジスタ127をオンする。これ

により、蓄積前期間K 1 9にキャパシタ 1 2 6に電圧がかからないようにしつつ、フォトダイオードPD 1からオーバーフローした電荷を蓄積する横型オーバーフロー蓄積容量としてキャパシタ 1 2 6を動作させることが可能となる。このため、ダイナミックレンジの拡大を可能としつつ、キャパシタ 1 2 6の誘電吸収に起因する残像やリニアリティの悪化を抑制することができる。

[0117] 上述の第5の実施の形態では、上述の第1の実施の形態の蓄積前期間K 1 9の全期間シャッタ動作を例にとったが、上述の第2の実施の形態の部分期間シャッタ動作を適用してもよいし、上述の第3の実施の形態の間欠シャッタ動作を適用してもよい。

[0118] <6. 第6の実施の形態>

上述の第5の実施の形態では、キャパシタ 1 2 6は、フォトダイオードPD 1からオーバーフローした電荷を蓄積する横型オーバーフロー蓄積容量としてキャパシタ 1 2 6を動作させる画素3 2 0において、読出し動作からシャッタ動作までの間の期間にリセットトランジスタ 1 2 3およびパストランジスタ 1 2 7をオンした。この第6の実施の形態では、フォトダイオードPD 1と横型オーバーフロー蓄積容量との間にオーバーフロー制御トランジスタが設けられた画素において、読出し動作からシャッタ動作までの期間にリセットトランジスタ 1 2 3およびパストランジスタ 1 2 7をオンする。

[0119] 図1 4は、第6の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[0120] 同図において、画素4 2 0は、上述の第5の実施の形態の画素3 2 0にオーバーフロー制御トランジスタ 1 3 0が追加されている。第6の実施の形態の画素4 2 0のそれ以外の構成は、上述の第1の実施の形態の画素1 2 0の構成と同様である。

[0121] オーバーフロー制御トランジスタ 1 3 0は、フォトダイオードPD 1とキャパシタ 1 2 6との間に接続される。オーバーフロー制御トランジスタ 1 3 0のゲートには、オーバーフロー制御電圧OFGが印加される。オーバーフ

ロー制御電圧OFGは、フォトダイオードPD1からキャパシタ126への電荷のオーバーフローを制御することができる。オーバーフロー制御電圧OFGは固定電圧でもよい。この画素420の読出し動作は、上述の第5の実施の形態の画素320の読出し動作と同様である。

[0122] このように、上述の第6の実施の形態では、フォトダイオードPD1とキャパシタ126との間にオーバーフロー制御トランジスタ130が設けられた画素420において、読出し動作からシャッタ動作までの期間にリセットトランジスタ123およびパストランジスタ127をオンする。これにより、蓄積前期間K19にキャパシタ126に電圧がかからないようにしつつ、フォトダイオードPD1からの電荷のオーバーフローを制御することが可能となる。このため、ダイナミックレンジの拡大を可能としつつ、キャパシタ126の誘電吸収に起因する残像やリニアリティの悪化を抑制することができる。

[0123] 上述の第6の実施の形態では、上述の第1の実施の形態の蓄積前期間K19の全期間シャッタ動作を例にとったが、上述の第2の実施の形態の部分期間シャッタ動作を適用してもよいし、上述の第3の実施の形態の間欠シャッタ動作を適用してもよい。

[0124] <7. 第7の実施の形態>

上述の第1の実施の形態では、蓄積前期間キャパシタ126をリセットした。この第7の実施の形態では、蓄積期間中にキャパシタ126をリセットする。

[0125] 図15は、第7の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[0126] 同図において、画素520は、上述の第1の実施の形態の画素120からフォトダイオードPD2が除去されている。また、リセットトランジスタ123は、電源電圧VDDとノードN3との間に接続される。第7の実施の形態の画素520のそれ以外の構成は、上述の第1の実施の形態の画素120の構成と同様である。

[0127] リセットトランジスタ123を電源電圧VDDとノードN3との間に接続することにより、パストランジスタ127をオンすることなく、キャパシタ126をリセットすることができる。ここで、パストランジスタ127をオフ状態とすることにより、フローティングディフュージョンFD2に蓄積された電荷を排出させることなく、キャパシタ126をリセットすることができる。キャパシタ126をリセットするときは、切替トランジスタ128をオンし、パストランジスタ127の前段の容量を増大させることができる。このため、ダイナミックレンジの低下を抑制しつつ、蓄積期間中にキャパシタ126をリセットすることができる。なお、リセットトランジスタ123は、本開示の一実施形態における第3トランジスタの一例である。

[0128] ここで、制御回路116は、切替トランジスタ128、パストランジスタ127およびリセットトランジスタ123の駆動を制御することができる。このとき、制御回路116は、フォトダイオードPD1での蓄積期間の少なくとも一部の期間にリセットトランジスタ123をオンすることができる。また、制御回路116は、フォトダイオードPD1での蓄積期間の少なくとも一部の期間にリセットトランジスタ123をオンするときは、切替トランジスタ128をオンし、パストランジスタ127をオフすることができる。

[0129] 図16は、第7の実施の形態に係る固体撮像装置の読出し動作とシャッタ動作との関係の一例を示すタイミングチャートである。

[0130] 同図において、固体撮像装置は、フレームF1ごとにシャッタ動作SHおよびサブシャッタ動作MSHが繰り返される。各フレームF1には、蓄積期間K1および垂直ブランキング期間K2が設けられる。このとき、固体撮像装置は、各フレームF1において、蓄積期間K1中にサブシャッタ動作MSHを実施する。

[0131] ここで、各フレームF1のシャッタ動作SHから読出し動作RDまでの期間に蓄積期間K1が設定される。また、読出し動作RDから次のフレームF1のシャッタ動作SHまでの期間に垂直ブランキング期間K2が設定される。

- [0132] サブシャッタ動作M S Hでは、固体撮像装置は、切替トランジスタ128をオン、パストランジスタ127をオフ、リセットトランジスタ123をオンする。このとき、固体撮像装置は、フローティングディフュージョンFD2に蓄積された電荷を排出させることなく、キャパシタ126をリセットすることができる。
- [0133] 図17から図19は、第7の実施の形態に係る固体撮像装置の垂直ブランキング期間および蓄積期間のポテンシャルの第1の例を示す図である。なお、図17から図19では、サブシャッタ動作M S H前に蓄積された信号電荷がパストランジスタ127よりも前段で受けられる最大の電子数FDQ未満の例を示す。
- [0134] 図17におけるaにおいて、垂直ブランキング期間K2では、切替トランジスタ128、パストランジスタ127およびリセットトランジスタ123がオフされる。このとき、ノードN3には、キャパシタ126の誘電吸収に起因する復帰電圧ESが発生する。
- [0135] 次に、図17におけるbに示すように、シャッタ動作S Hでは、切替トランジスタ128、パストランジスタ127およびリセットトランジスタ123がオンされる。このとき、ノードN3では、キャパシタ126の誘電吸収に起因する復帰電圧ESがリセットされる。
- [0136] 次に、図17におけるcに示すように、蓄積期間K1では、切替トランジスタ128、パストランジスタ127およびリセットトランジスタ123がオフされる。このとき、フォトダイオードPD1への光の入射に基づいて、フォトダイオードPD1に電荷ELが蓄積される。ノードN3には、キャパシタ126の誘電吸収に起因する復帰電圧ESが発生する。
- [0137] 次に、図18におけるaに示すように、切替トランジスタ128がオンされる。このとき、ノードN1、N2が結合され、ノードN1、N2間の容量が増大される。フォトダイオードPD1から溢れた電荷ELは、ノードN1、N2間に蓄積することができ、ダイナミックレンジを拡大することができる。このとき、パストランジスタ127よりも前段で受けられる電子数FD

Qは増加する。この電子数 $F D Q$ はポテンシャルレンジに比例し、変換効率に反比例する。3変換効率であれば、切替トランジスタ128のオンによる昇圧に基づいてポテンシャルレンジが拡大し、さらにゲート容量による変換効率の低下で電子数 $F D Q$ が増大する。フローティングディフュージョン $F D 3$ で受けられる電子数をフローティングディフュージョン $F D 1$ 、 $F D 2$ で一時的に保持可能な状態にすることにより、ダイナミックレンジを減少させることなく、蓄積期間中にキャパシタ126をリセットすることができる。ここで、この電子数 $F D Q$ がA D変換器等の回路側によって規定されるダイナミックレンジ未満に収まる条件では、サブシャッタ動作M S Hは蓄積期間 $K 1$ の任意のタイミングで実施してもよい。

[0138] 次に、図18におけるbに示すように、サブシャッタ動作M S Hでは、パストランジスタ127がオフされたままりセットトランジスタ123がオンされる。このとき、フォトダイオードP D 1から溢れた電荷E LをノードN 1、N 2間に蓄積したまま、ノードN 3では、キャパシタ126の誘電吸収に起因する復帰電圧E Sがリセットされる。

[0139] 次に、図18におけるcに示すように、切替トランジスタ128およびリセットトランジスタ123がオフされる。このとき、ノードN 1、N 2の結合が解消され、フォトダイオードP D 1から溢れた電荷E Lが各ノードN 1、N 2に分配される。

[0140] 次に、図19におけるaに示すように、蓄積期間 $K 1$ が進行すると、フォトダイオードP D 1から溢れた電荷E Lが各ノードN 1、N 2からも溢れてノードN 3にも蓄積される。

[0141] 次に、図19におけるbに示すように、D相読出しでは、切替トランジスタ128およびパストランジスタ127がオンされ、ノードN 1からN 3が結合される。

[0142] 図20および図21は、第7の実施の形態に係る固体撮像装置の垂直ブラッキング期間および蓄積期間のポテンシャルの第2の例を示す図である。なお、図20および図21では、パストランジスタ127よりも前段で受けら

れる最大の電子数 $F D Q$ に対応するダイナミックレンジが、 $A D$ 変換器等の回路側によって規定されるダイナミックレンジ相当の例を示す。この例においては、任意のタイミングでサブシャッタ動作 $M S H$ を実行することが可能である。図22および図23では、一例として、フォトダイオード $P D 1$ で発生した電荷がノード $N 3$ に流れ込む前にサブシャッタ動作 $M S H$ が実行される例を示す。

[0143] 図20におけるaにおいて、切替トランジスタ128がオンされる。このとき、ノード $N 1$ 、 $N 2$ が結合され、ノード $N 1$ 、 $N 2$ 間の容量が増大される。フォトダイオード $P D 1$ から溢れた電荷 $E L$ は、ノード $N 1$ 、 $N 2$ 間に蓄積される。

[0144] 次に、図20におけるbに示すように、蓄積期間 $K 1$ が進行すると、サブシャッタ動作 $M S H$ 前にノード $N 1$ 、 $N 2$ 間に蓄積された電荷 $E L$ がダイナミックレンジ相当に達する。このとき、サブシャッタ動作 $M S H$ が実施されると、フォトダイオード $P D 1$ から溢れた電荷 $E L$ がノード $N 1$ 、 $N 2$ 間に蓄積されたまま、ノード $N 3$ では、キャパシタ126の誘電吸収に起因する復帰電圧がリセットされる。

[0145] 次に、図20におけるcに示すように、切替トランジスタ128およびリセットトランジスタ123がオフされる。このとき、ノード $N 1$ 、 $N 2$ の結合が解消され、ノード $N 1$ 、 $N 2$ 間に蓄積された電荷 $E L$ がノード $N 3$ に溢れる。

[0146] 次に、図21におけるaに示すように、蓄積期間 $K 1$ が進行すると、ダイナミックレンジ相当を超えてフォトダイオード $P D 1$ から溢れた電荷 $F E$ が各ノード $N 1$ 、 $N 2$ を介してノード $N 3$ に蓄積される。

[0147] 次に、図21におけるbに示すように、 D 相読出しでは、切替トランジスタ128およびパストランジスタ127がオンされ、ノード $N 1$ から $N 3$ が結合される。このとき、ダイナミックレンジ相当を超えてノード $N 3$ に蓄積された電荷 $F E$ は、回路側の検出レンジを超えているため、 D 相読出しにおいてフルコードに達し、出力に影響しない。このためダイナミックレンジを

低減させることなく、残像を抑制することができる。

[0148] 図22および図23は、第7の実施の形態に係る固体撮像装置の垂直ブランキング期間および蓄積期間のポテンシャルの第3の例を示す図である。なお、図22および図23では、パストランジスタ127よりも前段で受けられる最大の電子数FDQに対応するダイナミックレンジが、AD変換器等の回路側によって規定されるダイナミックレンジを超える例を示す。この例においては、任意のタイミングでサブシャッタ動作MSHを実行することが可能である。図22および図23では、一例として、フォトダイオードPD1で発生した電荷がノードN3に流れ込んだ後にサブシャッタ動作MSHが実行される例を示す。

[0149] 図22におけるaにおいて、切替トランジスタ128がオンされる。このとき、ノードN1、N2が結合され、ノードN1、N2間の容量が増大される。そして、ダイナミックレンジ相当を超えてフォトダイオードPD1から溢れた電荷FLは、ノードN1、N2を介してノードN3に蓄積される。

[0150] 次に、図22におけるbに示すように、サブシャッタ動作MSHでは、パストランジスタ127がオフされたままりセットトランジスタ123がオンされる。このとき、フォトダイオードPD1から溢れた電荷ELがノードN1、N2間に蓄積されたまま、ノードN3では、キャパシタ126の誘電吸収に起因する復帰電圧がリセットされる。また、ダイナミックレンジ相当を超えてノードN3に蓄積されていた電荷FLは排出される。

[0151] 次に、図22におけるcに示すように、切替トランジスタ128およびリセットトランジスタ123がオフされる。このとき、ノードN1、N2の結合が解消され、ノードN1、N2間に蓄積された電荷ELがノードN3に溢れる。

[0152] 次に、図23におけるaに示すように、蓄積期間K1が進行すると、ダイナミックレンジ相当を超えてフォトダイオードPD1から溢れた電荷FEが各ノードN1、N2を介してノードN3に蓄積される。

[0153] 次に、図23におけるbに示すように、D相読出しでは、切替トランジス

タ 1 2 8 およびパストランジスタ 1 2 7 がオンされ、ノード N 1 から N 3 が結合される。このとき、ダイナミックレンジ相当を超えてノード N 3 に蓄積された電荷 F E は、回路側の検出レンジを超えているため、D 相読出しにおいてフルコードに達し、出力に影響しない。このためダイナミックレンジを低減させることなく、残像を抑制することができる。

[0154] このように、上述の第 7 の実施の形態では、蓄積期間中に切替トランジスタ 1 2 8 をオン、パストランジスタ 1 2 7 をオフ、リセットトランジスタ 1 2 3 をオンする。これにより、フローティングディフュージョン F D 2 に蓄積された電荷を排出させることなく、キャパシタ 1 2 6 をリセットすることができる。このため、ダイナミックレンジの低下を抑制しつつ、キャパシタ 1 2 6 の誘電吸収に起因する残像やリニアリティの悪化を抑制することができる。

[0155] < 8. 第 8 の実施の形態 >

上述の第 7 の実施の形態では、フローティングディフュージョン F D 2 に蓄積された電荷を排出させることなく、蓄積期間中にキャパシタ 1 2 6 をリセットした。この第 8 の実施の形態では、蓄積期間中にパストランジスタ 1 2 7 のゲート電圧を可変とする。

[0156] 図 2 4 は、第 8 の実施の形態に係る固体撮像装置の蓄積期間のポテンシャルの一例を示す図である。

[0157] 同図における a において、パストランジスタ 1 2 7 がオフしているときは、ノード N 1、N 2 間に電荷 E L を蓄積させるポテンシャル障壁が形成される。このとき、パストランジスタ 1 2 7 よりも前段で受けられる電子数 F D Q は、このポテンシャル障壁の高さに依存する。

[0158] このため、パストランジスタ 1 2 7 よりも前段で受けられる電子数 F D Q を増大させるため、パストランジスタ 1 2 7 のゲートの負電圧を可変としてもよい。例えば、同図における b に示すように、パストランジスタ 1 2 7 のゲートの負電圧を増大させることにより、ノード N 1、N 2 間に電荷 E L を蓄積させるポテンシャル障壁を高くすることができ、パストランジスタ 1 2

7よりも前段で受けられる電子数FDQを増大させることができる。

[0159] このように、上述の第8の実施の形態では、蓄積期間中にパストランジスタ127のゲート電圧を可変とする。これにより、蓄積期間に蓄積可能なフローティングディフュージョンの容量を増大させつつ、蓄積期間にキャパシタ126をリセットすることができる。

[0160] <9. 第9の実施の形態>

上述の第7の実施の形態では、フローティングディフュージョンFD2に蓄積された電荷を排出させることなく、蓄積期間中にキャパシタ126をリセットした。この第9の実施の形態では、誘電吸収の影響がないキャパシタを追加する。

[0161] 図25は、第9の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[0162] 同図において、画素620は、上述の第7の実施の形態の画素520にキャパシタ626が追加されている。第9の実施の形態の画素620のそれ以外の構成は、上述の第7の実施の形態の画素520の構成と同様である。

[0163] キャパシタ626は、ノードN2と電源電圧VDDとの間に接続される。キャパシタ626は、誘電吸収の影響がないように構成してもよいし、誘電吸収の影響がないようにキャパシタ626からの読出しを制御してもよい。例えば、キャパシタ626は、電極間の絶縁に分極が発生しない材料を用いてもよいし、キャパシタ626からの読出しにCDSを実施してもよい。

[0164] このように、上述の第9の実施の形態では、誘電吸収の影響がないキャパシタ626をノードN2に接続する。これにより、蓄積期間中のキャパシタ126のリセット時にパストランジスタ127よりも前段で受けられる電子数FDQを増大させることができ、残像の発生を抑制しつつ、ダイナミックレンジを拡大することができる。

[0165] <10. 第10の実施の形態>

上述の第7の実施の形態では、フローティングディフュージョンFD2に蓄積された電荷を排出させることなく、蓄積期間中にキャパシタ126をリ

セットした。この第10の実施の形態では、切替トランジスタに埋め込みゲートを設ける。

[0166] 図26は、第10の実施の形態に係る固体撮像装置に設けられた画素の構成例を示す断面図である。

[0167] 同図において、半導体基板711には、不純物拡散層721から723が互いに分離して形成されている。半導体基板711の材料は、Si、InP、InGaP、InAlP、InGaAs、InAlAsまたはカルコパイライト構造の化合物半導体などを用いることができる。各不純物拡散層721から723は、フローティングディフュージョンFD1からFD3として用いることができる。

[0168] 半導体基板711上には、不純物拡散層721に端部がかかるようにゲート電極731が形成されている。また、半導体基板711上には、不純物拡散層721、722間に掛け渡されるようにゲート電極732が形成されている。さらに、半導体基板711上には、不純物拡散層722、723間に掛け渡されるようにゲート電極733が形成されている。各ゲート電極731から733と半導体基板711とを絶縁するために、各ゲート電極731から733と半導体基板711との間には、ゲート絶縁膜が形成される。各ゲート電極731から733は、転送トランジスタ122、切替トランジスタ128およびパストランジスタ127にそれぞれ用いることができる。

[0169] また、半導体基板711には、埋め込みゲート712が埋め込まれている。埋め込みゲート712は、ゲート電極732に接続される。埋め込みゲート712と半導体基板711とを絶縁するために、埋め込みゲート712と半導体基板711との間には、ゲート絶縁膜が形成される。ここで、ゲート電極732に接続される埋め込みゲート712を設けることにより、切替トランジスタ128のゲート容量を増大させることができる。

[0170] このように、上述の第10の実施の形態では、切替トランジスタ128に埋め込みゲート712を設ける。これにより、蓄積期間中のキャパシタ126のリセット時にパストランジスタ127よりも前段で受けられる電子数F

DQを増大させることができ、残像の発生を抑制しつつ、ダイナミックレンジを拡大することができる。

[0171] <11. 第11の実施の形態>

上述の第1の実施の形態では、感度が互いに異なるフォトダイオードPD1、PD2が設けられた画素120において、読出し動作からシャッタ動作までの間の期間においてオンされるリセットトランジスタ123およびパストランジスタ127を設けた。この第11の実施の形態では、画素がマトリックス状に配列された画素アレイ部が設けられた半導体チップを積層化する。

[0172] 図27は、第11の実施の形態に係る画素アレイ部の積層例を示す斜視図である。

[0173] 同図において、固体撮像装置は、半導体チップ921、922を備える。半導体チップ922は、半導体チップ921上に積層される。

[0174] 半導体チップ922には、画素アレイ部923が形成される。画素アレイ部923には、画素931がロウ方向およびカラム方向にマトリックス状に配置される。画素931は、上述の第1から第6の実施の形態のいずれの画素でもよい。画素アレイ部923の周辺には、パッド電極932およびビア電極933が形成される。ビア電極933は、半導体チップ922を貫通し、半導体チップ921、922同士を電氣的に接続することができる。

[0175] 半導体チップ921には、周辺回路924が形成される。周辺回路924には、カラム読出し回路925、カラムADC926、通信インタフェース927および制御回路928が形成される。カラム読出し回路925およびカラムADC926は、画素アレイ部923のカラム方向の両側の位置に対応するように形成してもよい。

[0176] 制御回路928は、各画素931のフォトダイオードに電荷が蓄積される蓄積期間の前の蓄積前期間に各画素931のキャパシタに電圧がかからないようにキャパシタに印加される電圧を制御することができる。蓄積前期間は、画素931から画素電圧を読出す読出し動作からシャッタ動作までの間の

少なくとも一部の期間に設定することができる。

[0177] 半導体チップ921、922は、直接接合してもよい。半導体チップ921、922の直接接合では、ハイブリッドボンディングを用いることができる。このとき、半導体チップ921、922は、Cu-Cu接続に基づいて電氣的に接続してもよい。半導体チップ921、922に用いられる半導体基板の材料は、Siでもよいし、InGaAsでもよいし、InPでもよい。

[0178] このように、上述の第11の実施の形態では、画素アレイ部923が形成される半導体チップ922を、周辺回路924が形成される半導体チップ921上に積層する。これにより、固体撮像装置が形成された半導体チップの実装面積の増大を抑制しつつ、固体撮像装置の感度を増大させることが可能となる。

[0179] <12. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0180] 図28は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0181] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図28に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

- [0182] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。
- [0183] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0184] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。
- [0185] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であってもよいし、赤外線等の非可視光であってもよい。
- [0186] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検

出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0187] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0188] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0189] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0190] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図２８の例では、出力装置として、オ

オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0191] 図 29 は、撮像部 12031 の設置位置の例を示す図である。

[0192] 図 29 では、撮像部 12031 として、撮像部 12101, 12102, 12103, 12104, 12105 を有する。

[0193] 撮像部 12101, 12102, 12103, 12104, 12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102, 12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0194] なお、図 29 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0195] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104

の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0196] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0 km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0197] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0198] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識

は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0199] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。具体的には、例えば、上述の実施の形態の撮像装置は、撮像部 12031 に適用することができる。車両制御システム 12000 に本開示に係る技術を適用することにより、ダイナミックレンジの拡大を可能としつつ、撮像時の残像やリニアリティの悪化を抑制することができる。

[0200] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。また、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0201] なお、本技術は以下のような構成もとることができる。

(1) 光電変換部と、

前記光電変換部に一端が接続されるキャパシタと、

一端が前記キャパシタに接続され、他端が第 1 ノードに接続される第 1 ト

ランジスタと、

一端が前記第 1 ノードに接続され、他端が電源に接続される第 2 トランジスタと、

前記第 1 トランジスタおよび前記第 2 トランジスタの駆動を制御する制御部とを備え、

前記制御部は、前記第 1 ノードの画素電圧を読出す読出し動作から、前記光電変換部のシャッタ動作までの間の少なくとも一部の期間に、前記第 1 トランジスタおよび前記第 2 トランジスタをオンする撮像装置。

(2) 前記制御部は、前記光電変換部に電荷が蓄積される蓄積期間の前に前記キャパシタに電圧がかからないように前記キャパシタに印加される電圧を制御する

前記(1)に記載の撮像装置。

(3) 前記キャパシタは、高誘電体キャパシタである
前記(1)または(2)に記載の撮像装置。

(4) 前記キャパシタは、前記光電変換部からオーバーフローした電荷を蓄積する

前記(1)から(3)のいずれかに記載の撮像装置。

(5) 前記制御部は、DDS (Double Data Sampling) 駆動に基づいて、前記キャパシタから信号を読出す

前記(1)から(4)のいずれかに記載の撮像装置。

(6) 前記キャパシタの他端は制御電源に接続され、蓄積期間において、前記制御電源の電位は、前記電源の電位よりも低い中間電位に設定される

前記(1)から(5)のいずれかに記載の撮像装置。

(7) 前記光電変換部は、

第 1 光電変換部と、

前記第 1 光電変換部より感度が低い第 2 光電変換部とを備え、

前記キャパシタは、前記第 2 光電変換部からオーバーフローした電荷を蓄

積する

前記（１）から（６）のいずれかに記載の撮像装置。

（８）前記キャパシタは、３次元ＭＩＭ（Metal Insulation Metal）構造を備える

前記（１）から（７）のいずれかに記載の撮像装置。

（９）前記制御部は、前記第１ノードの画素電圧を読出す読出し動作から、前記光電変換部のシャッタ動作までの間の全期間において、前記第１トランジスタおよび前記第２トランジスタをオンする

前記（１）から（８）のいずれかに記載の撮像装置。

（１０）前記制御部は、前記第１ノードの画素電圧を読出す読出し動作から、前記光電変換部のシャッタ動作までの間の期間の途中から、前記第１トランジスタおよび前記第２トランジスタをオンする

前記（１）から（８）のいずれかに記載の撮像装置。

（１１）前記制御部は、前記第１ノードの画素電圧を読出す読出し動作から、前記光電変換部のシャッタ動作までの間の期間において、前記第１トランジスタおよび前記第２トランジスタを間欠的にオンする

前記（１）から（８）のいずれかに記載の撮像装置。

（１２）光電変換部と、

一端が前記光電変換部に接続され、他端が第１ノードに接続される第１トランジスタと、

一端が前記第１ノードに接続され、他端が第２ノードに接続される第２トランジスタと、

一端が前記第２ノードに接続され、他端が電源に接続される第３トランジスタと、

前記第２ノードに接続されるキャパシタと、

前記第１トランジスタ、前記第２トランジスタおよび前記第３トランジスタの駆動を制御する制御部とを備え、

前記制御部は、前記光電変換部での蓄積期間の少なくとも一部の期間に、

前記第3トランジスタをオンする

撮像装置。

(13) 前記制御部は、前記光電変換部での蓄積期間の少なくとも一部の期間に前記第3トランジスタをオンするときに、前記第1トランジスタをオンし、前記第2トランジスタをオフする

前記(12)に記載の撮像装置。

(14) 前記キャパシタは、高誘電体キャパシタである

前記(12)または(13)に記載の撮像装置。

(15) 前記第2トランジスタに印加されるゲート電圧は可変である

前記(12)から(14)のいずれかに記載の撮像装置。

(16) 前記第1ノードに接続され、誘電吸収の影響がないキャパシタをさらに備える前記(12)から(15)のいずれかに記載の撮像装置。

(17) 前記第1トランジスタは、埋め込みゲート

を備える前記(12)から(16)のいずれかに記載の撮像装置。

符号の説明

- [0202] 100 撮像装置
- 101 光学系
- 102 固体撮像装置
- 103 撮像制御部
- 104 画像処理部
- 105 記憶部
- 106 表示部
- 107 操作部
- 108 バス
- 111 画素アレイ部
- 112 垂直走査回路
- 113 カラム読出し回路
- 114 カラム信号処理部

1 1 5 水平走査回路

1 1 6 制御回路

P D 1、P D 2 フォトダイオード

1 2 2 転送トランジスタ

1 2 3 リセットトランジスタ

1 2 4 増幅トランジスタ

1 2 5 選択トランジスタ

1 2 6 キャパシタ

1 2 7 パストランジスタ

1 2 8 切替トランジスタ

F D 1 から F D 3 フローティングディフュージョン

1 3 1 水平駆動線

1 3 2 垂直信号線

請求の範囲

- [請求項1] 光電変換部と、
前記光電変換部に一端が接続されるキャパシタと、
一端が前記キャパシタに接続され、他端が第1ノードに接続される第1トランジスタと、
一端が前記第1ノードに接続され、他端が電源に接続される第2トランジスタと、
前記第1トランジスタおよび前記第2トランジスタの駆動を制御する制御部とを備え、
前記制御部は、前記第1ノードの画素電圧を読み出す読み出し動作から、前記光電変換部のシャッタ動作までの間の少なくとも一部の期間に、前記第1トランジスタおよび前記第2トランジスタをオンする撮像装置。
- [請求項2] 前記制御部は、前記光電変換部に電荷が蓄積される蓄積期間の前に前記キャパシタに電圧がかからないように前記キャパシタに印加される電圧を制御する
請求項1に記載の撮像装置。
- [請求項3] 前記キャパシタは、高誘電体キャパシタである
請求項1に記載の撮像装置。
- [請求項4] 前記キャパシタは、前記光電変換部からオーバーフローした電荷を蓄積する
請求項1に記載の撮像装置。
- [請求項5] 前記制御部は、D D S (Double Data Sampling)駆動に基づいて、前記キャパシタから信号を読み出す
請求項1に記載の撮像装置。
- [請求項6] 前記キャパシタの他端は制御電源に接続され、蓄積期間において、前記制御電源の電位は、前記電源の電位よりも低い中間電位に設定される

請求項 1 に記載の撮像装置。

[請求項7]

前記光電変換部は、

第 1 光電変換部と、

前記第 1 光電変換部より感度が低い第 2 光電変換部とを備え、

前記キャパシタは、前記第 2 光電変換部からオーバーフローした電荷を蓄積する

請求項 1 に記載の撮像装置。

[請求項8]

前記キャパシタは、3次元MIM (Metal Insulation Metal) 構造を備える

請求項 1 に記載の撮像装置。

[請求項9]

前記制御部は、前記第 1 ノードの画素電圧を読み出す読み出し動作から、前記光電変換部のシャッタ動作までの間の全期間において、前記第 1 トランジスタおよび前記第 2 トランジスタをオンする

請求項 1 に記載の撮像装置。

[請求項10]

前記制御部は、前記第 1 ノードの画素電圧を読み出す読み出し動作から、前記光電変換部のシャッタ動作までの間の期間の途中から、前記第 1 トランジスタおよび前記第 2 トランジスタをオンする

請求項 1 に記載の撮像装置。

[請求項11]

前記制御部は、前記第 1 ノードの画素電圧を読み出す読み出し動作から、前記光電変換部のシャッタ動作までの間の期間において、前記第 1 トランジスタおよび前記第 2 トランジスタを間欠的にオンする

請求項 1 に記載の撮像装置。

[請求項12]

光電変換部と、

一端が前記光電変換部に接続され、他端が第 1 ノードに接続される第 1 トランジスタと、

一端が前記第 1 ノードに接続され、他端が第 2 ノードに接続される第 2 トランジスタと、

一端が前記第 2 ノードに接続され、他端が電源に接続される第 3 ト

ランジスタと、

前記第2ノードに接続されるキャパシタと、

前記第1トランジスタ、前記第2トランジスタおよび前記第3トランジスタの駆動を制御する制御部とを備え、

前記制御部は、前記光電変換部での蓄積期間の少なくとも一部の期間に、前記第3トランジスタをオンする
撮像装置。

[請求項13] 前記制御部は、前記光電変換部での蓄積期間の少なくとも一部の期間に前記第3トランジスタをオンするときに、前記第1トランジスタをオンし、前記第2トランジスタをオフする
請求項12に記載の撮像装置。

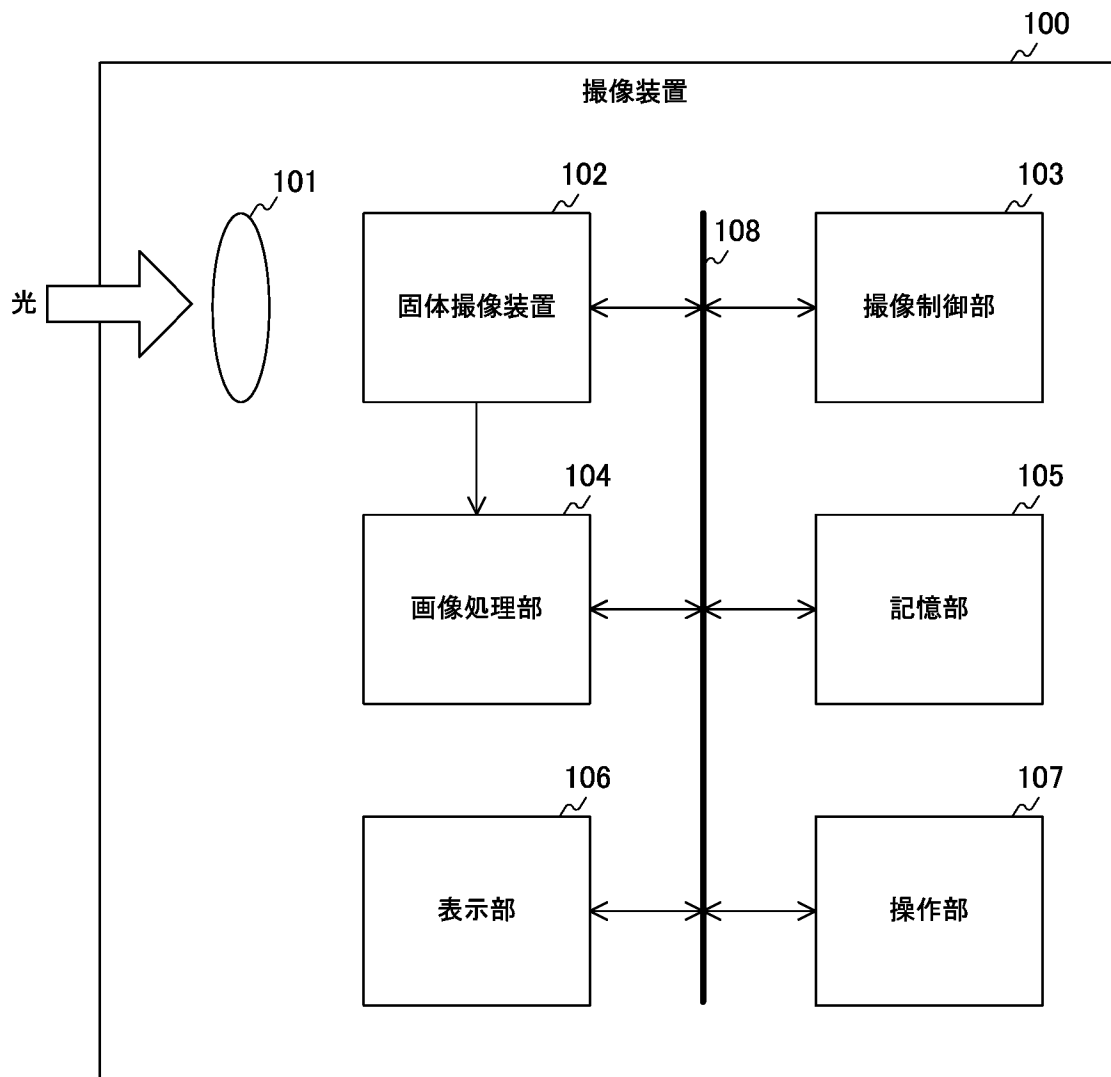
[請求項14] 前記キャパシタは、高誘電体キャパシタである
請求項12に記載の撮像装置。

[請求項15] 前記第2トランジスタに印加されるゲート電圧は可変である
請求項12に記載の撮像装置。

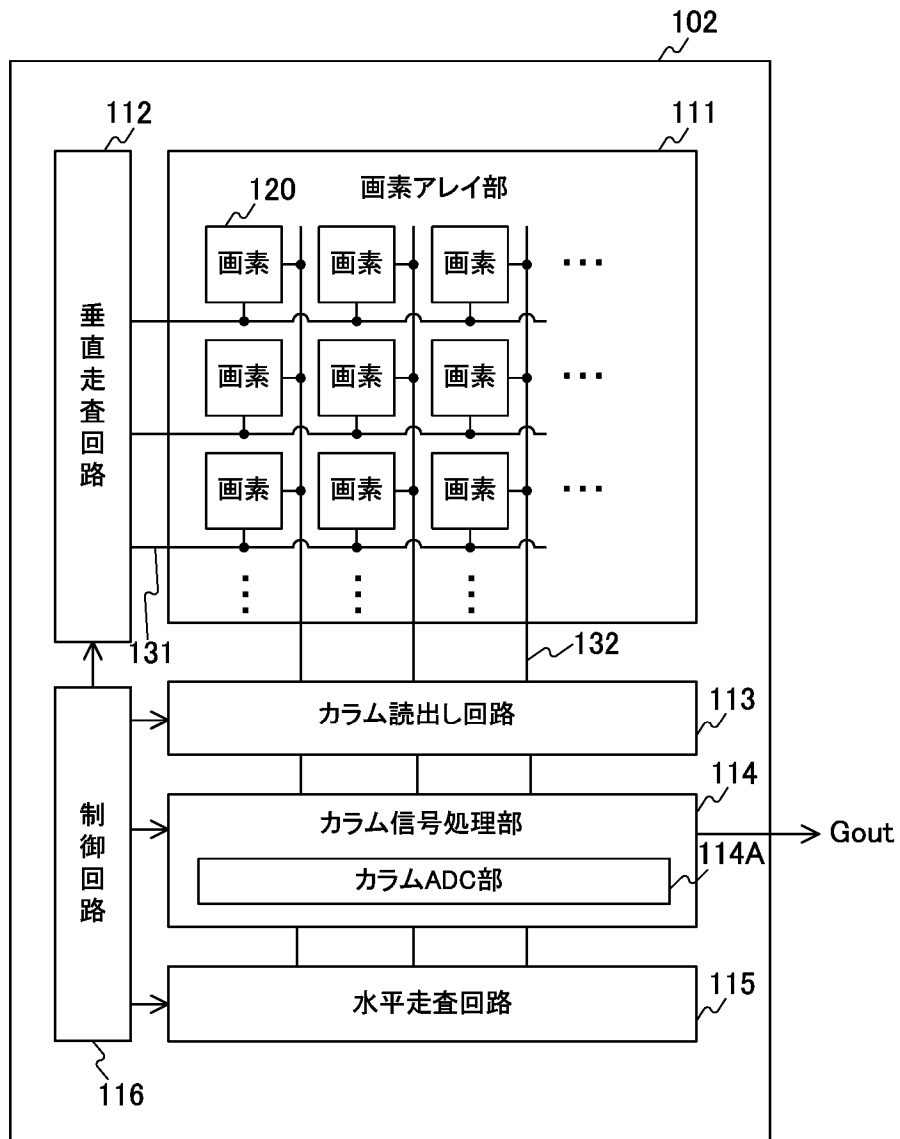
[請求項16] 前記第1ノードに接続され、誘電吸収の影響がないキャパシタをさらに備える請求項12に記載の撮像装置。

[請求項17] 前記第1トランジスタは、埋め込みゲートを備える請求項12に記載の撮像装置。

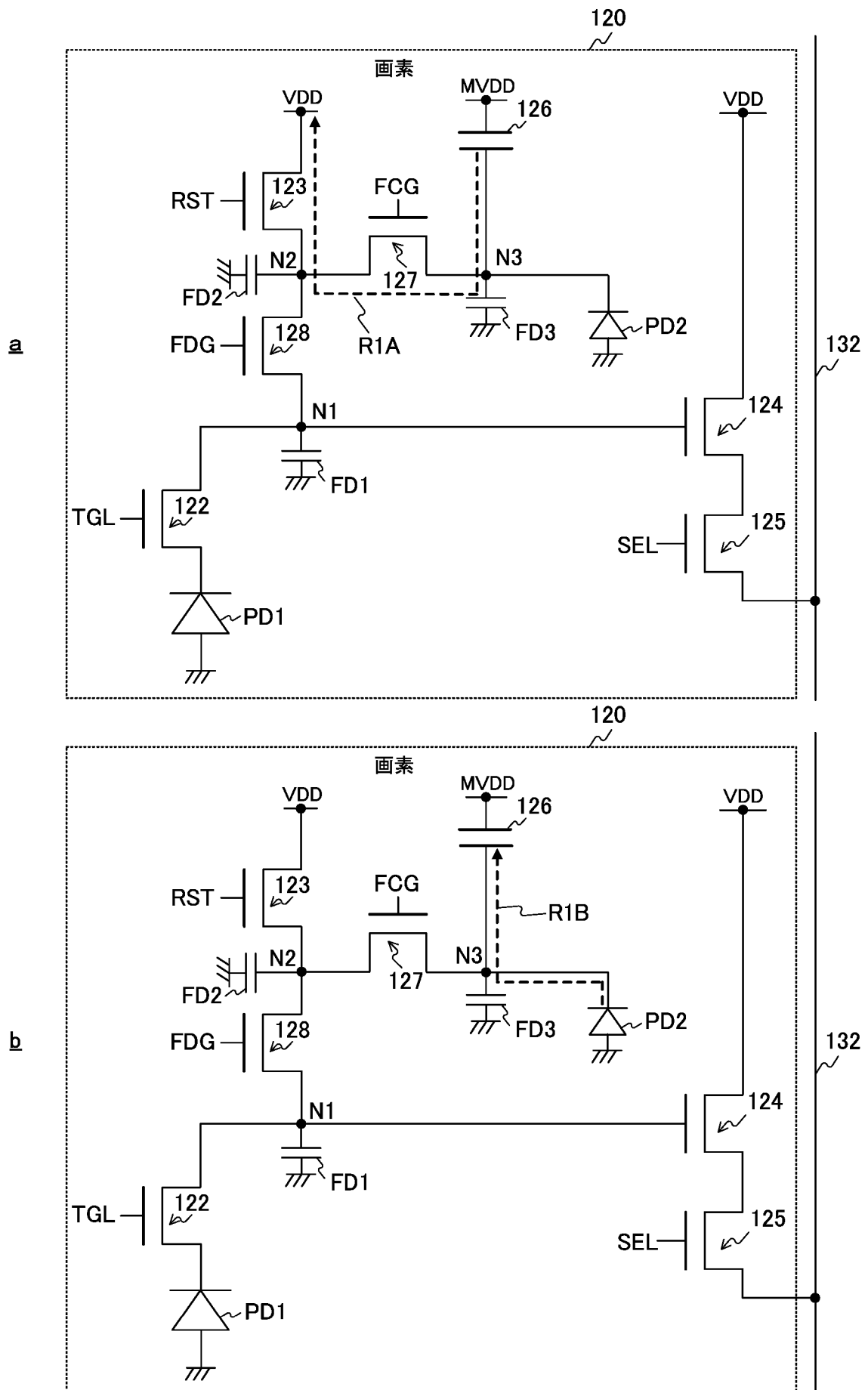
[図1]



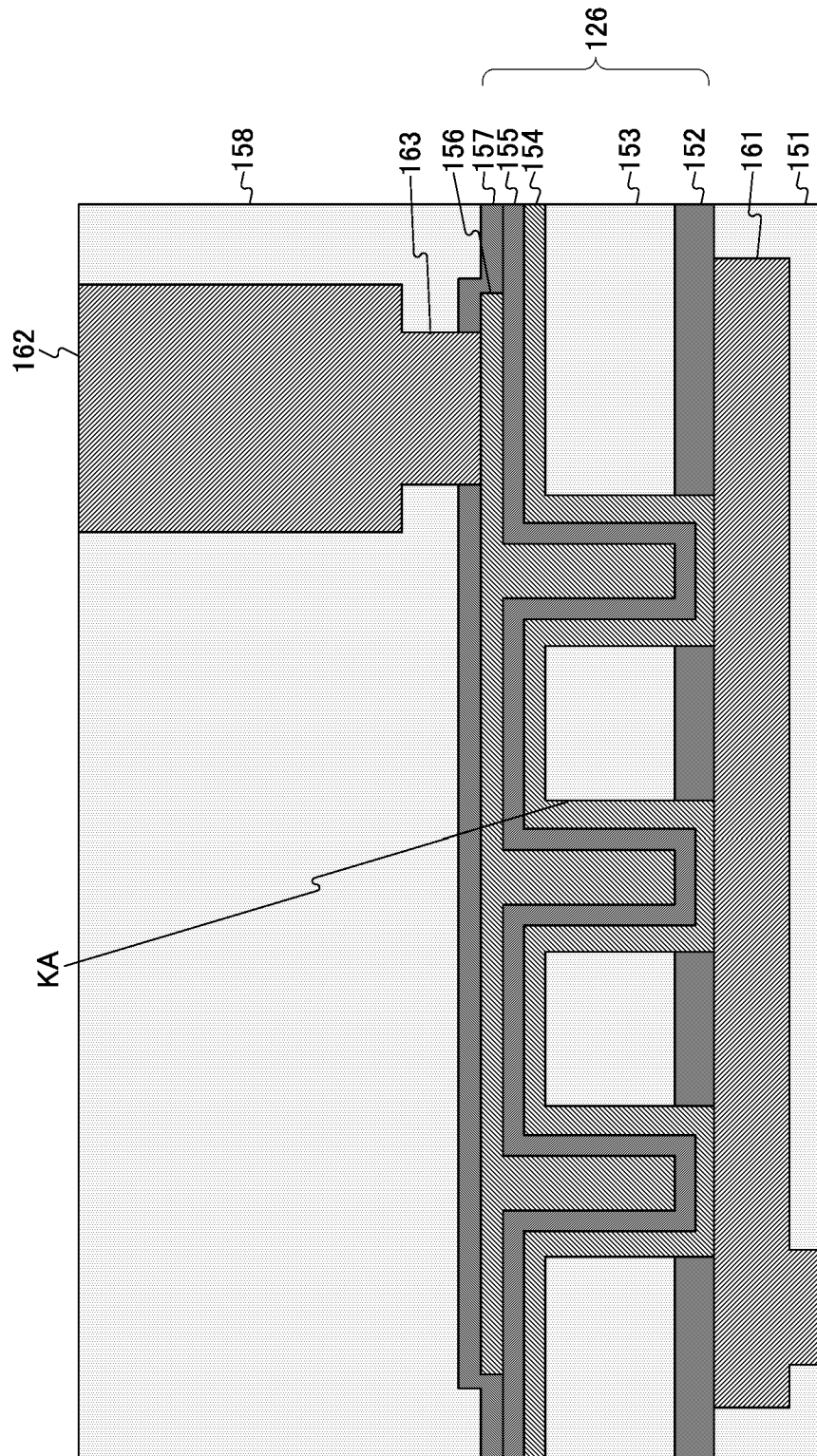
[図2]



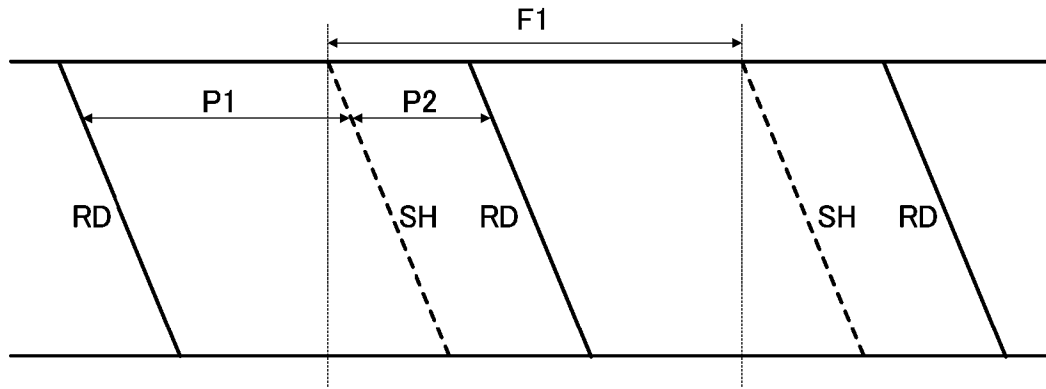
[図3]



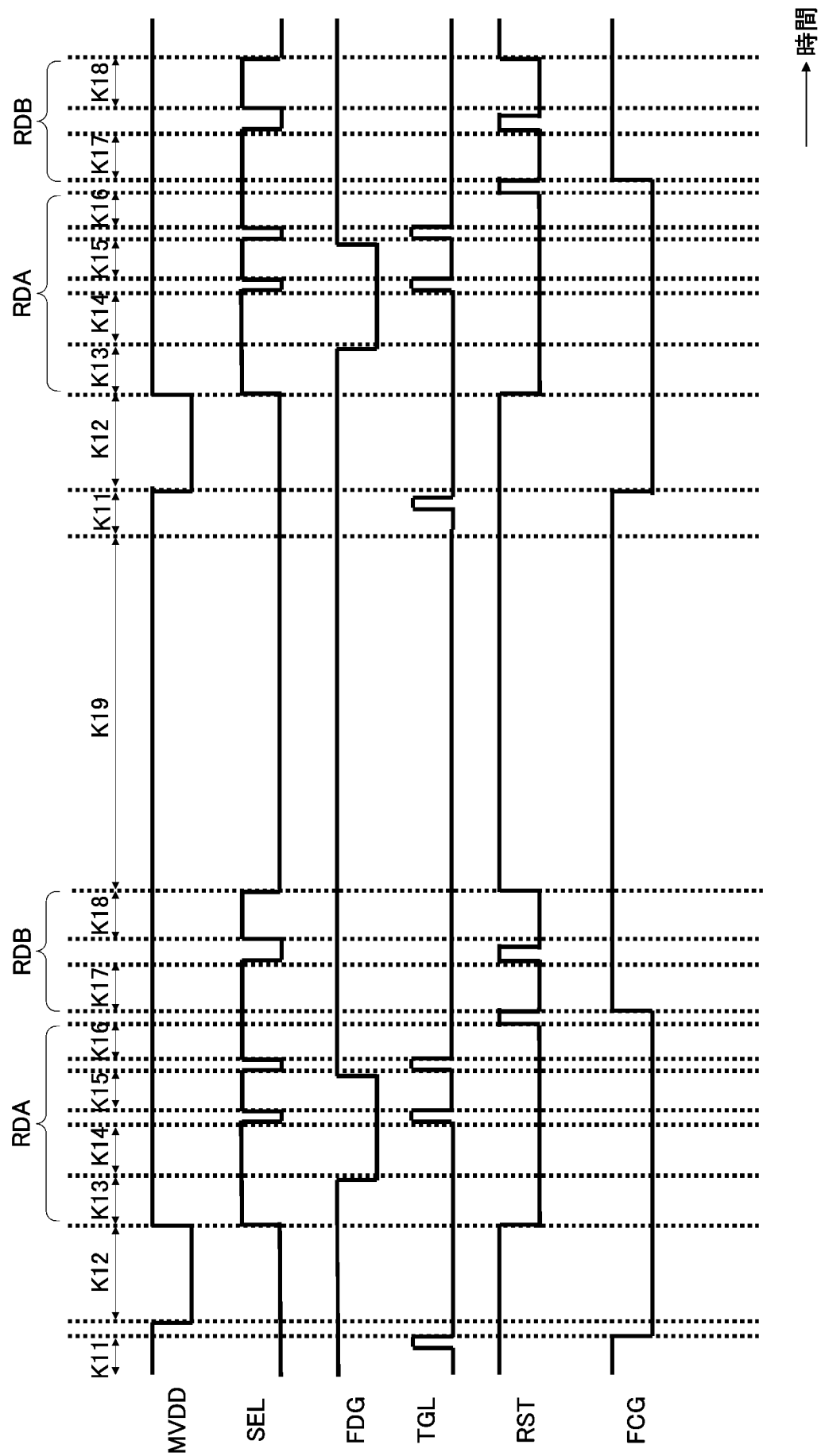
[図4]



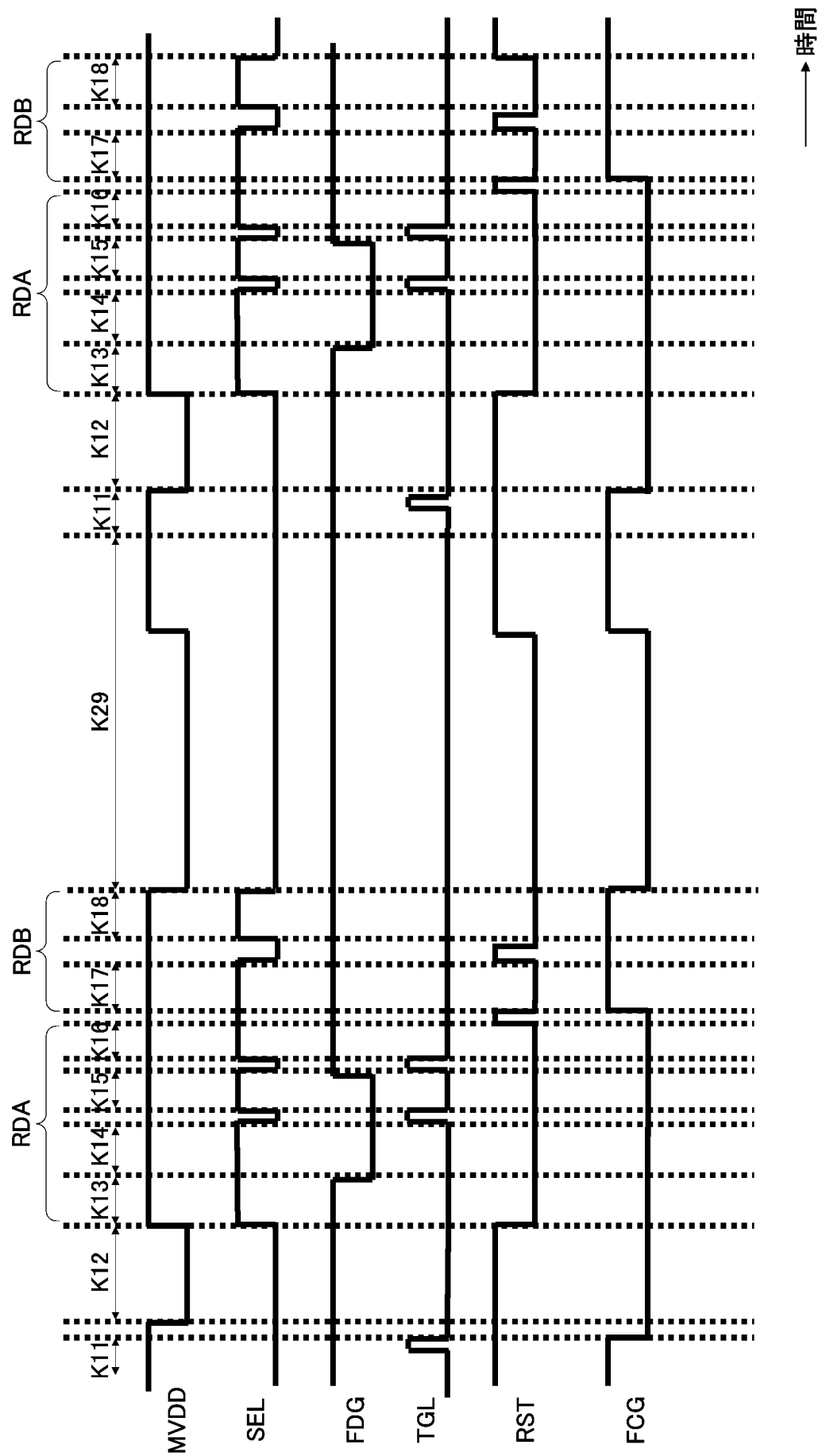
[図5]



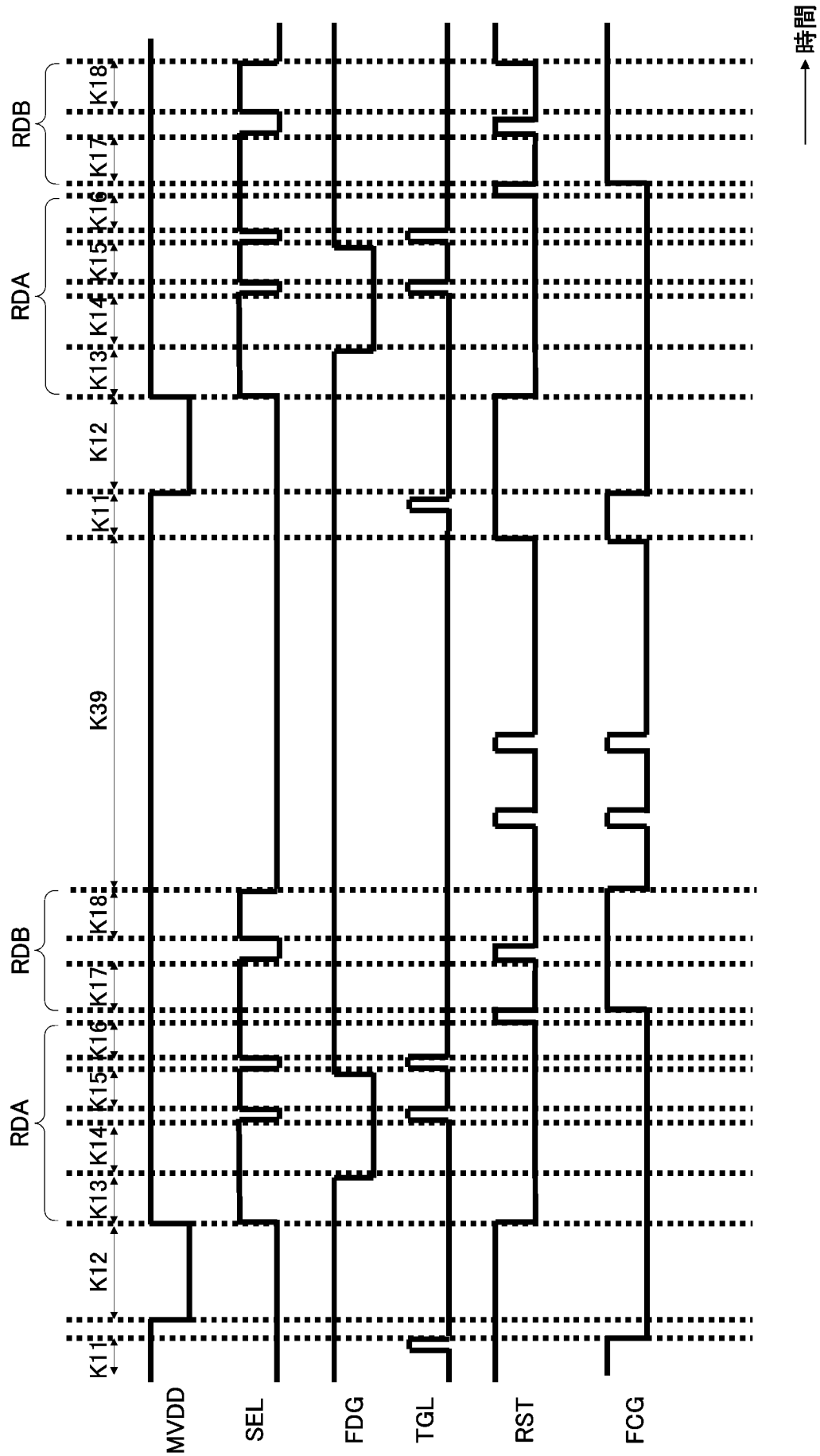
[図6]



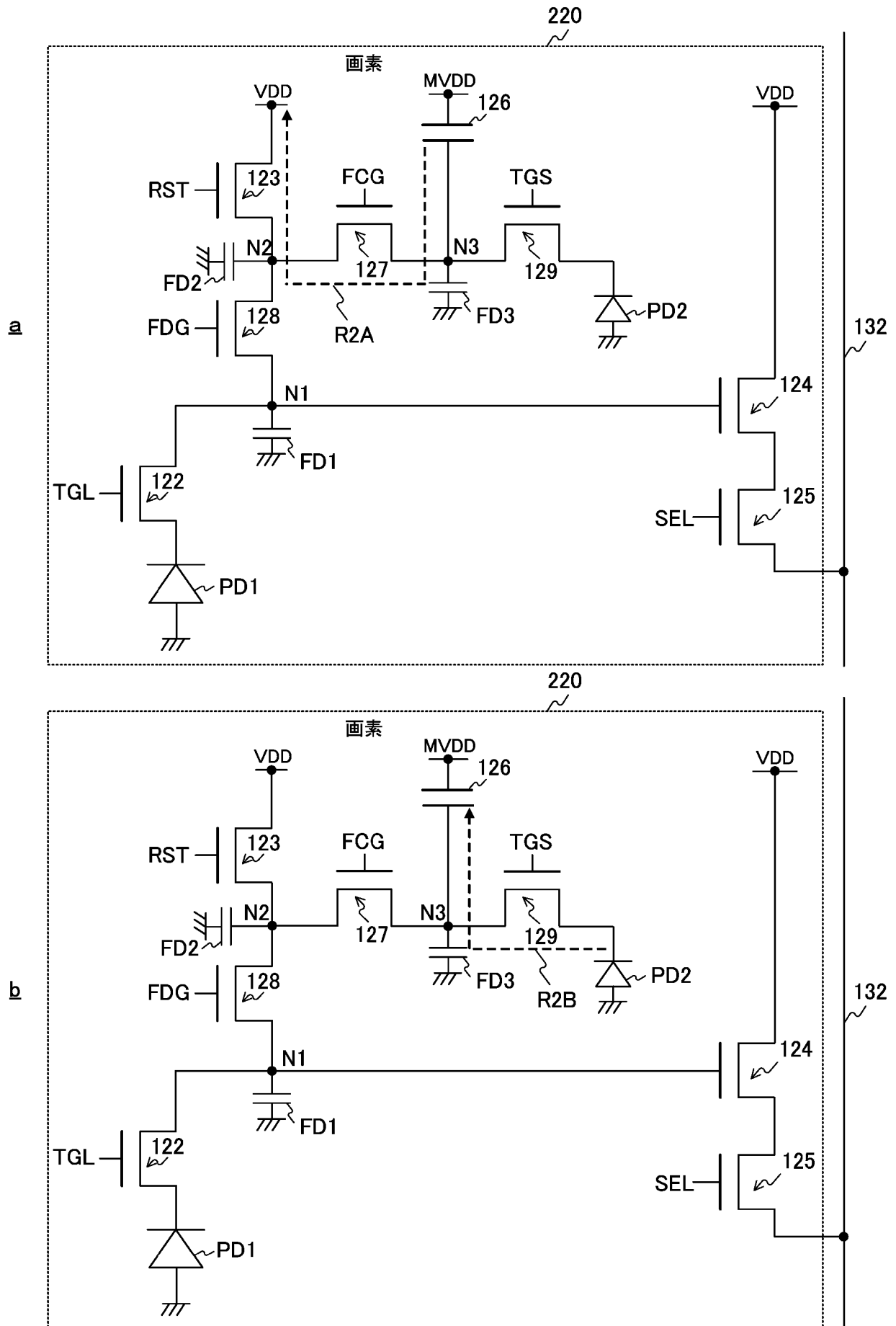
[図7]



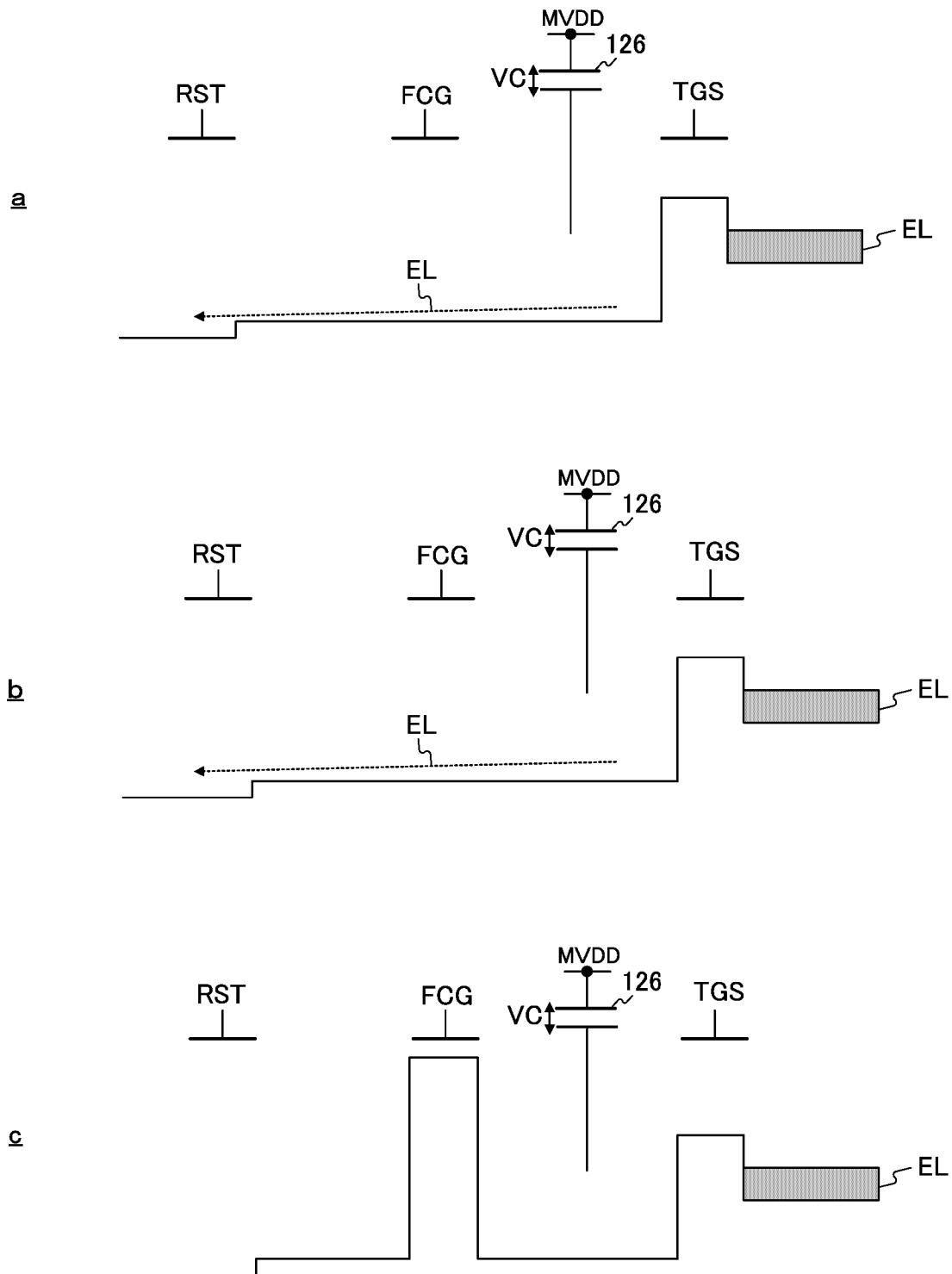
[図8]



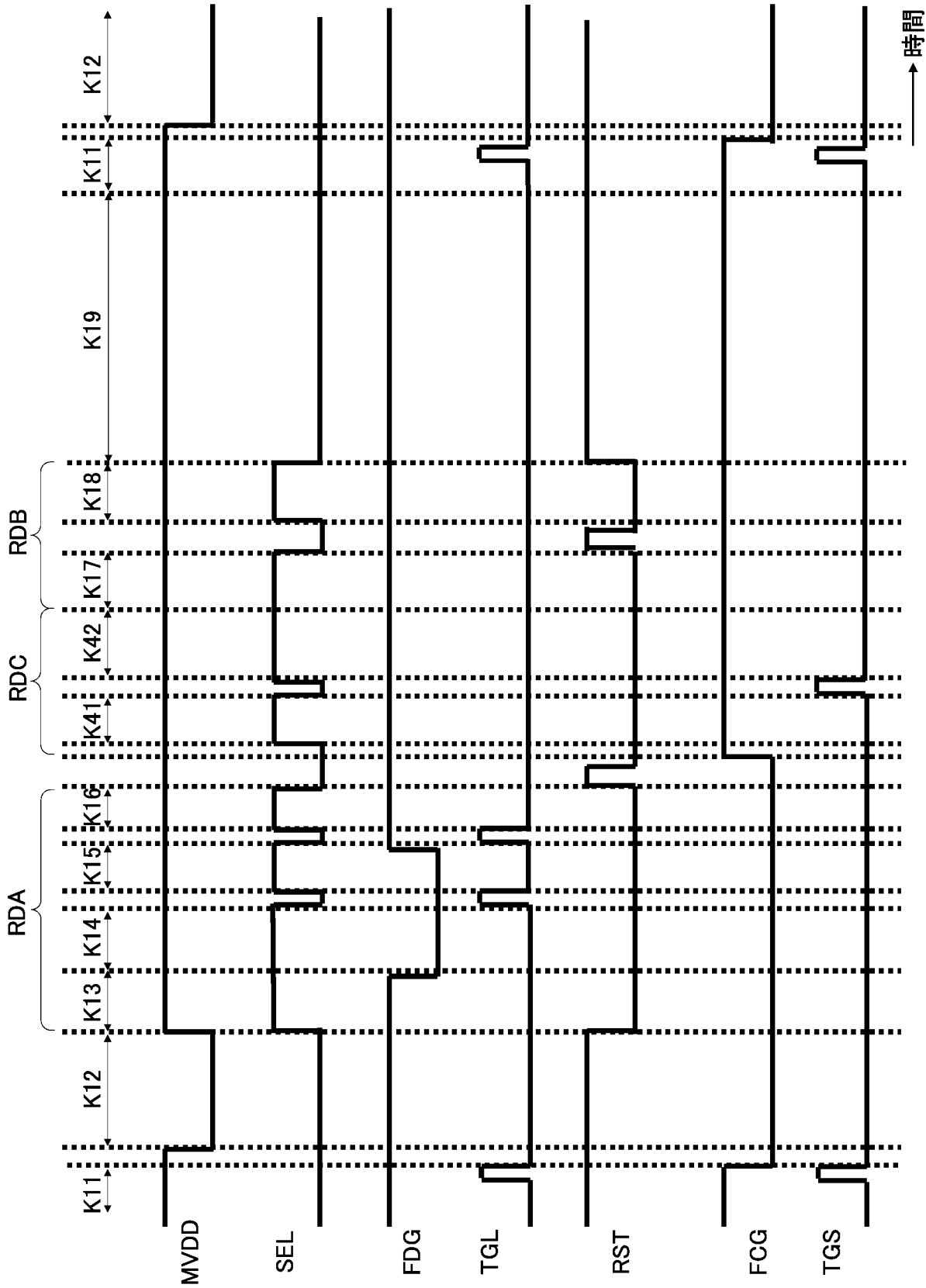
[図9]



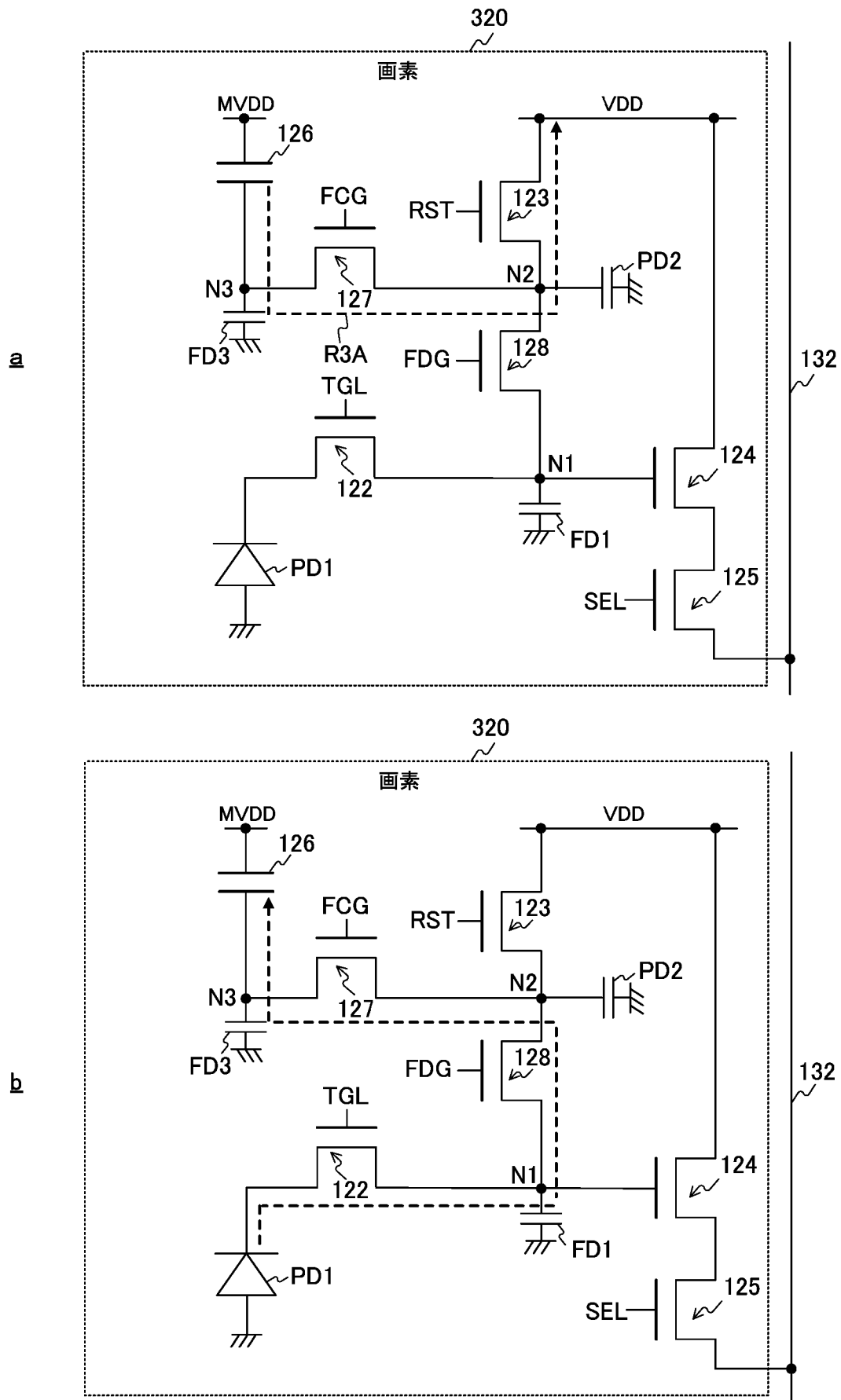
[図10]



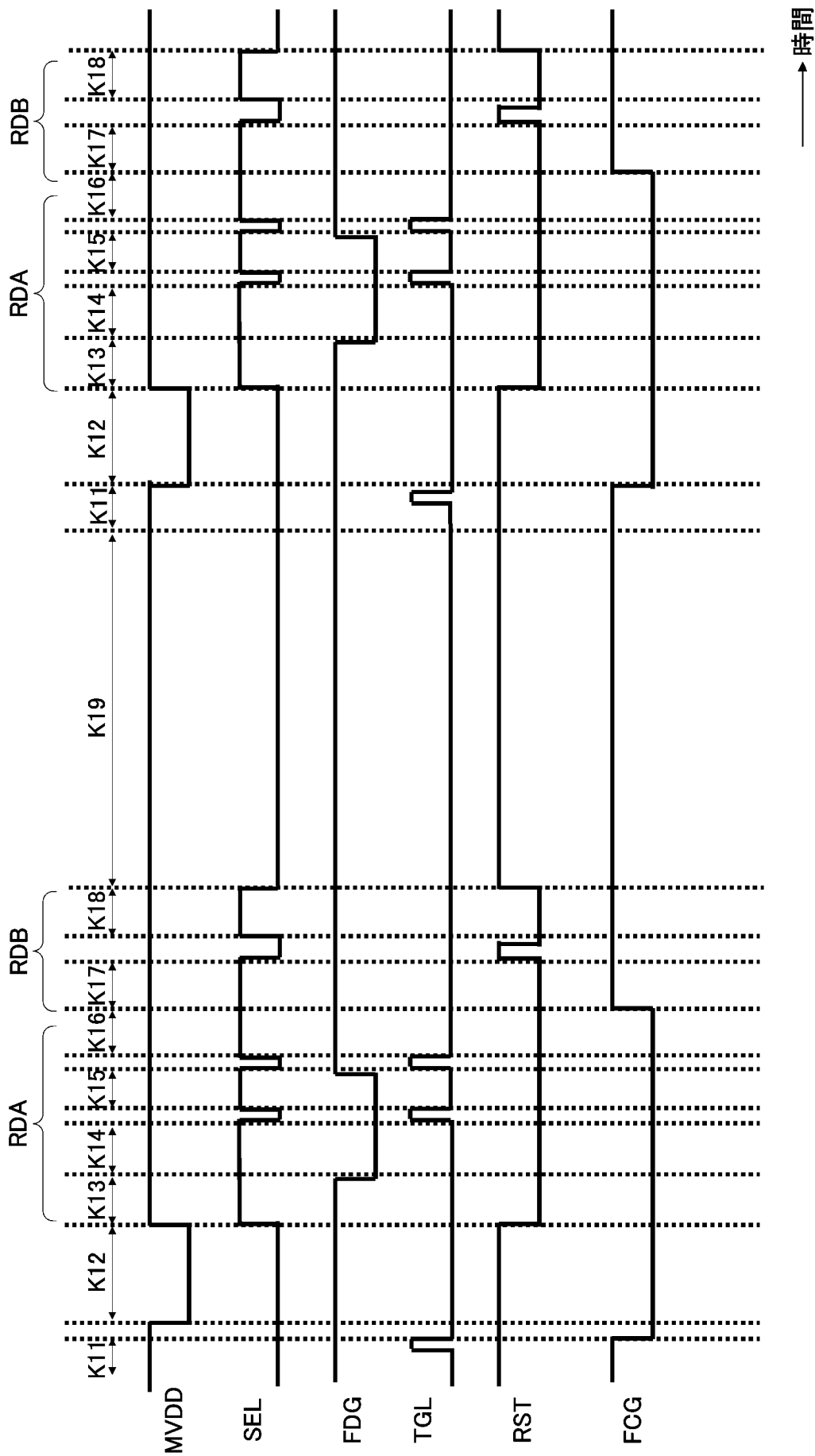
[図11]



[図12]



[図13]



a

420

画素

MVDD

VDD

FD3

N3

FCG

RST

126

123

127

PD2

OFG

130

R4A

TGL

FDG

128

122

N1

FD1

PD1

SEL

124

125

132

b

420

画素

MVDD

VDD

FD3

N3

FCG

RST

126

123

127

PD2

OFG

130

R4B

TGL

FDG

128

122

N1

FD1

PD1

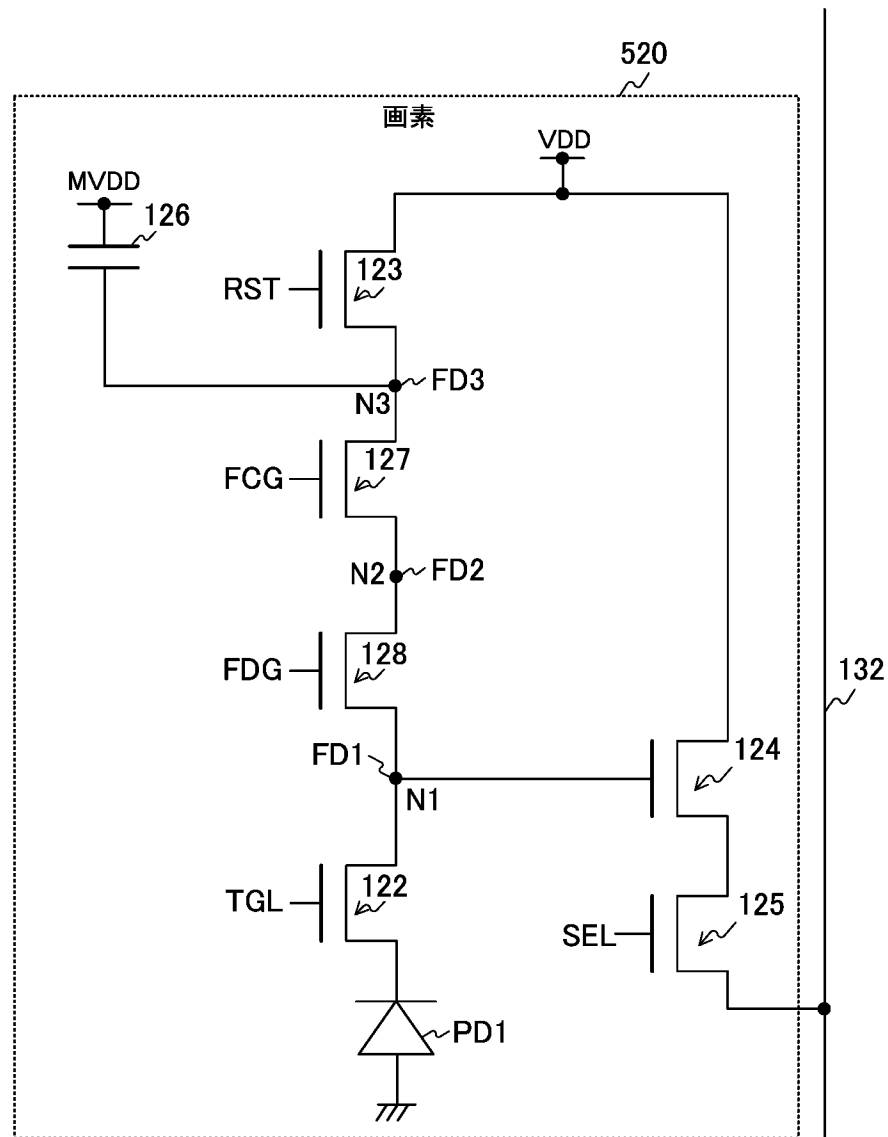
SEL

124

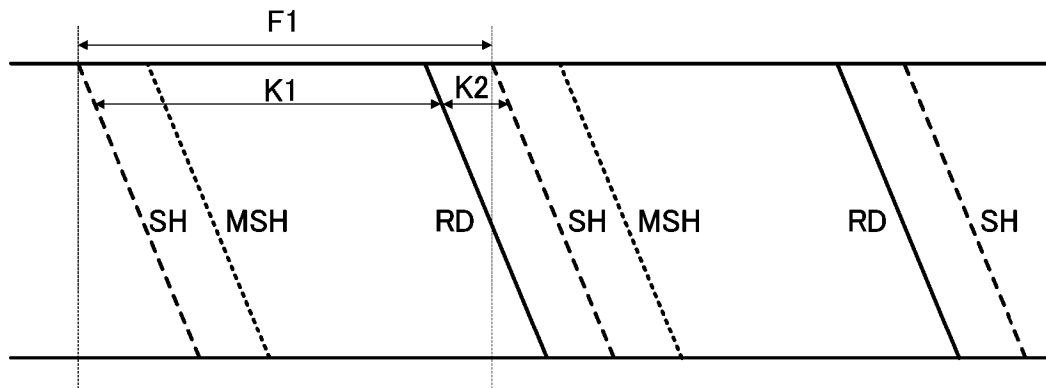
125

132

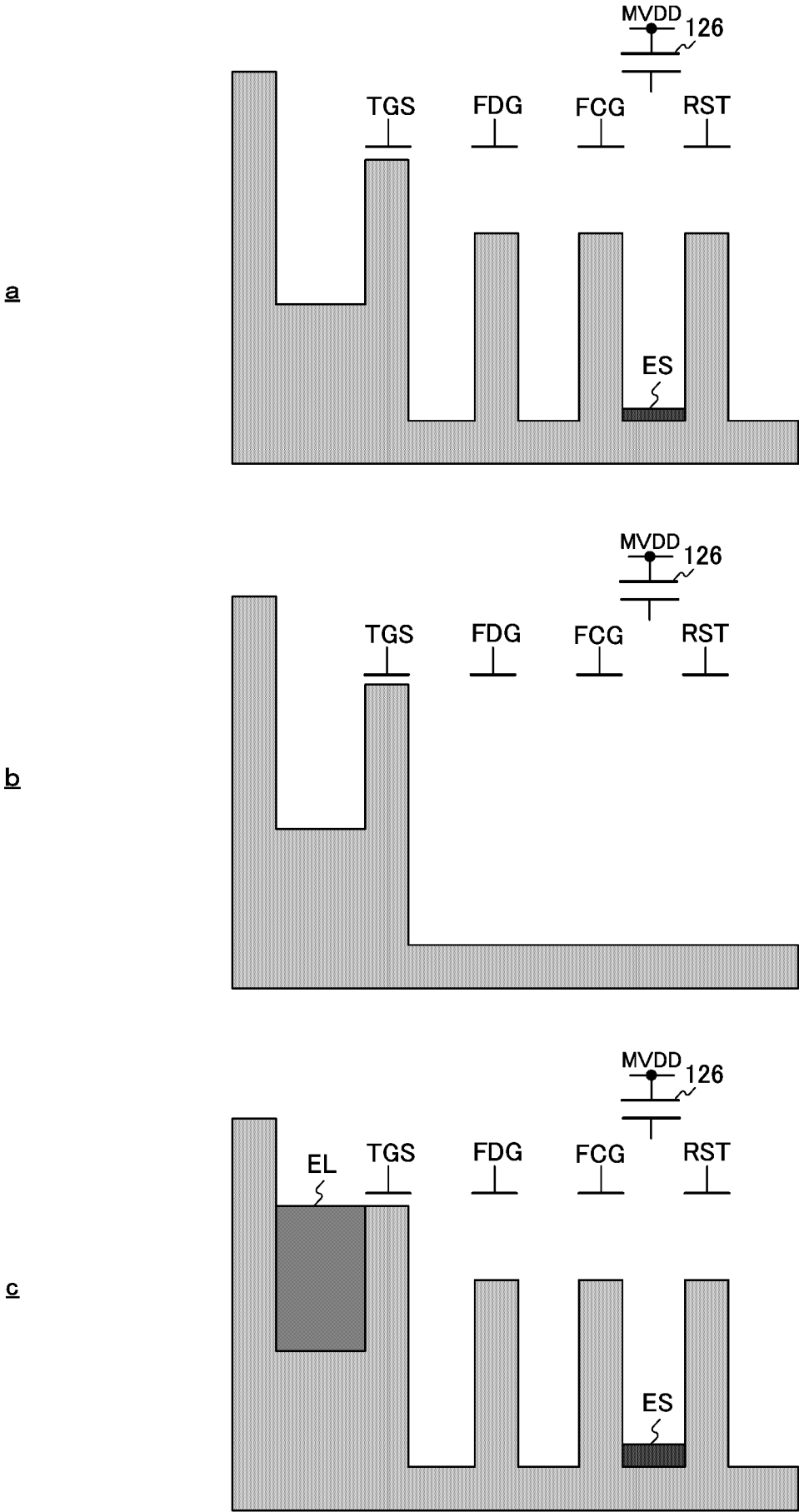
[図15]



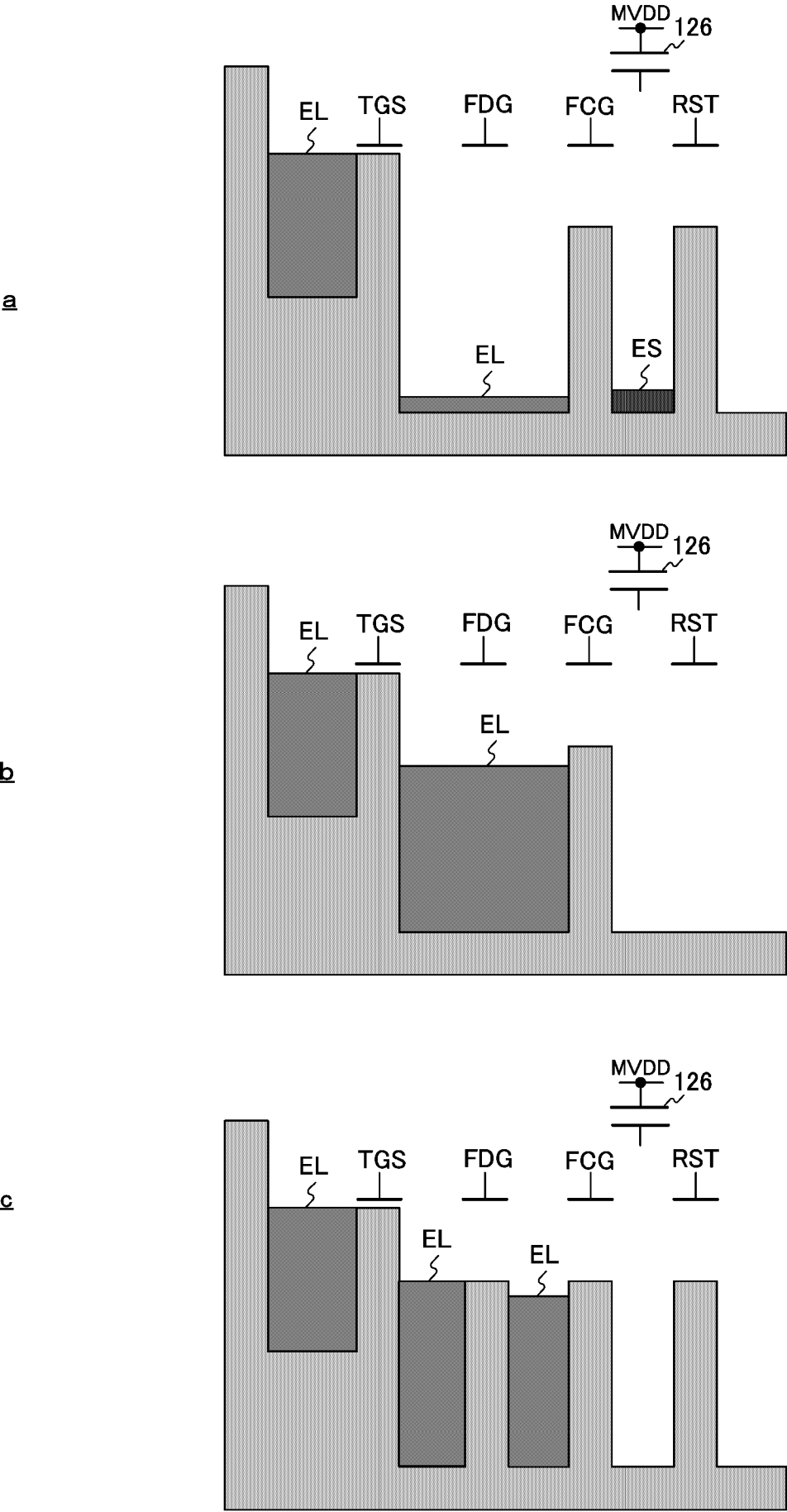
[図16]



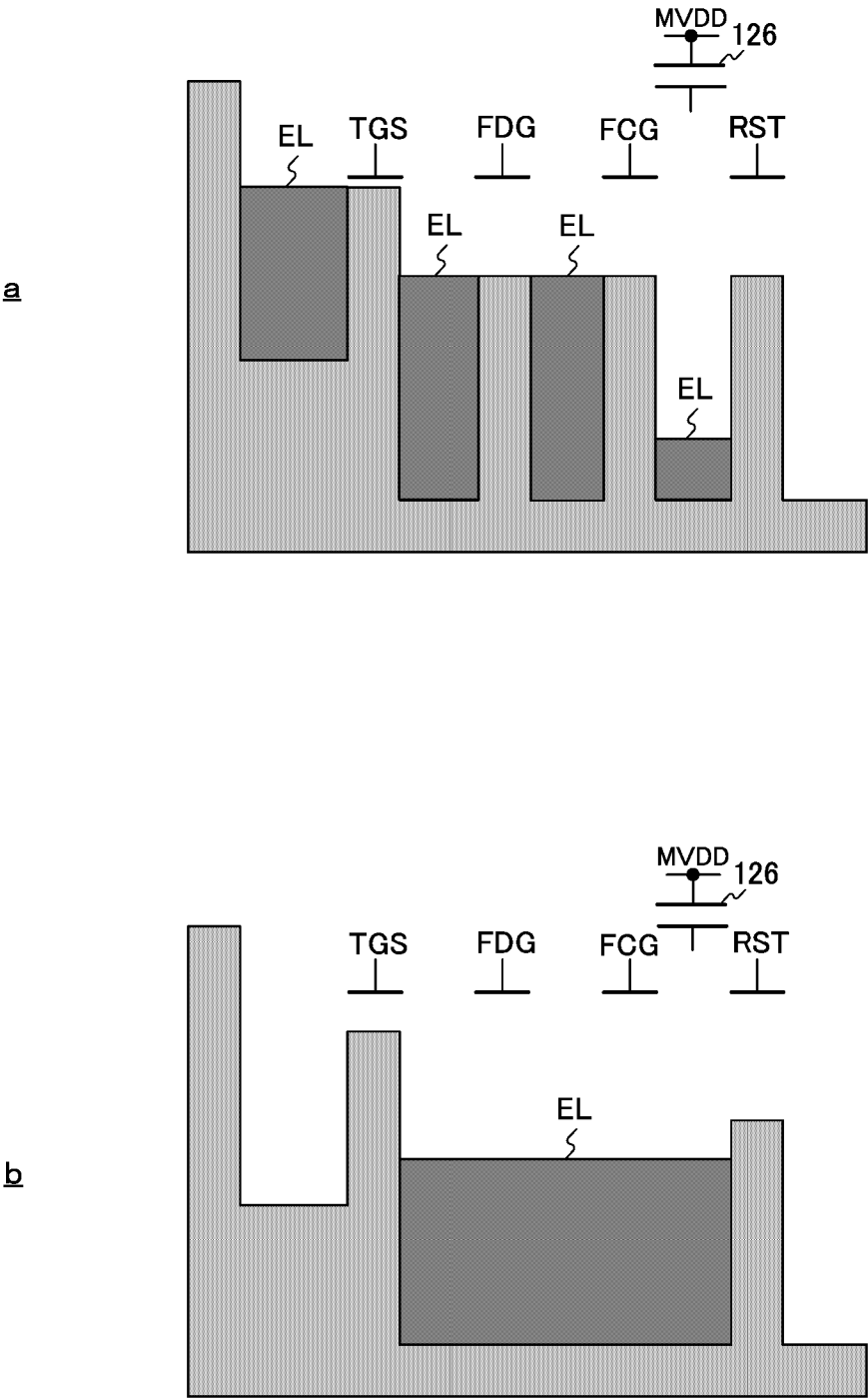
[図17]



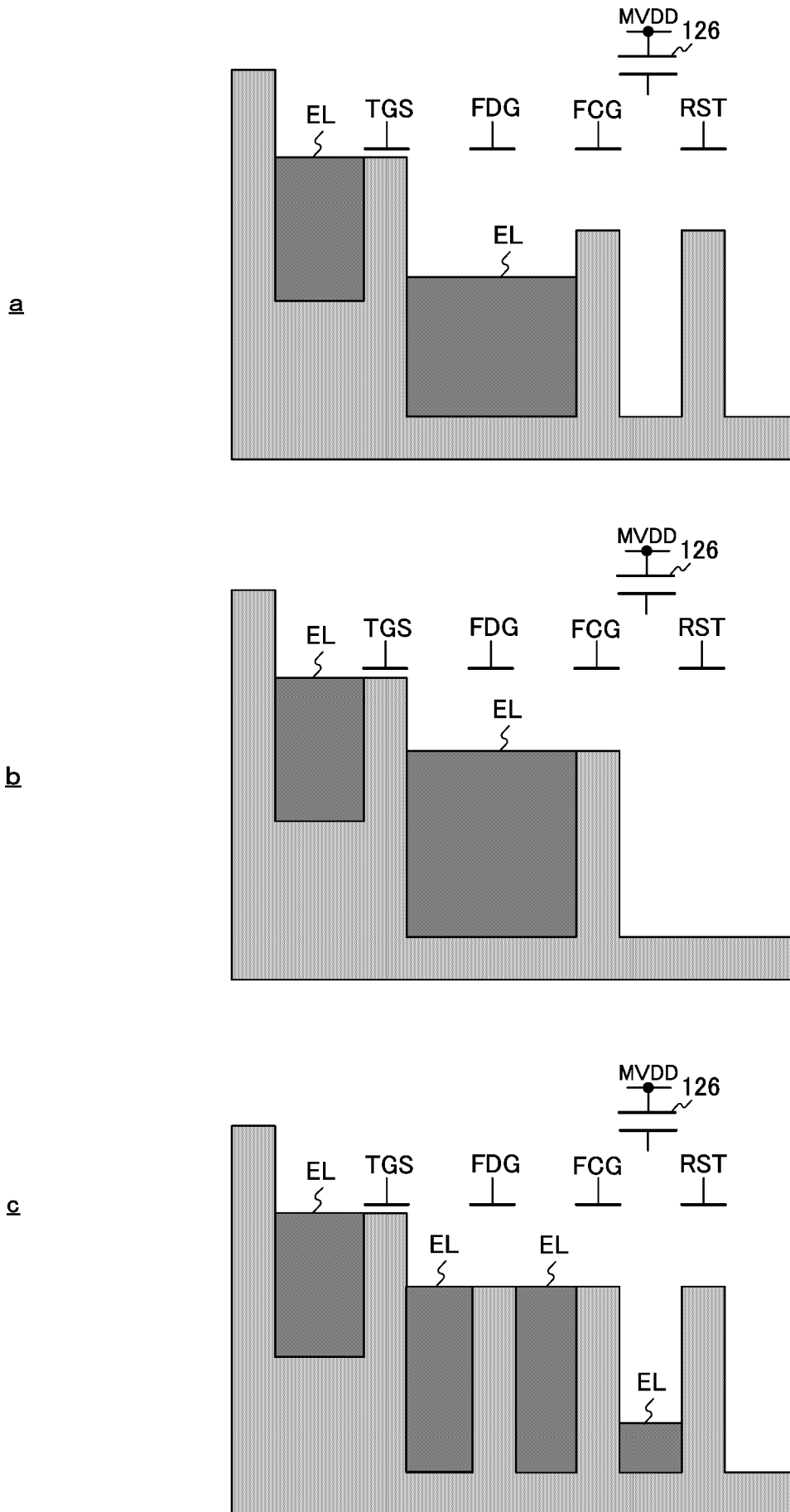
[図18]



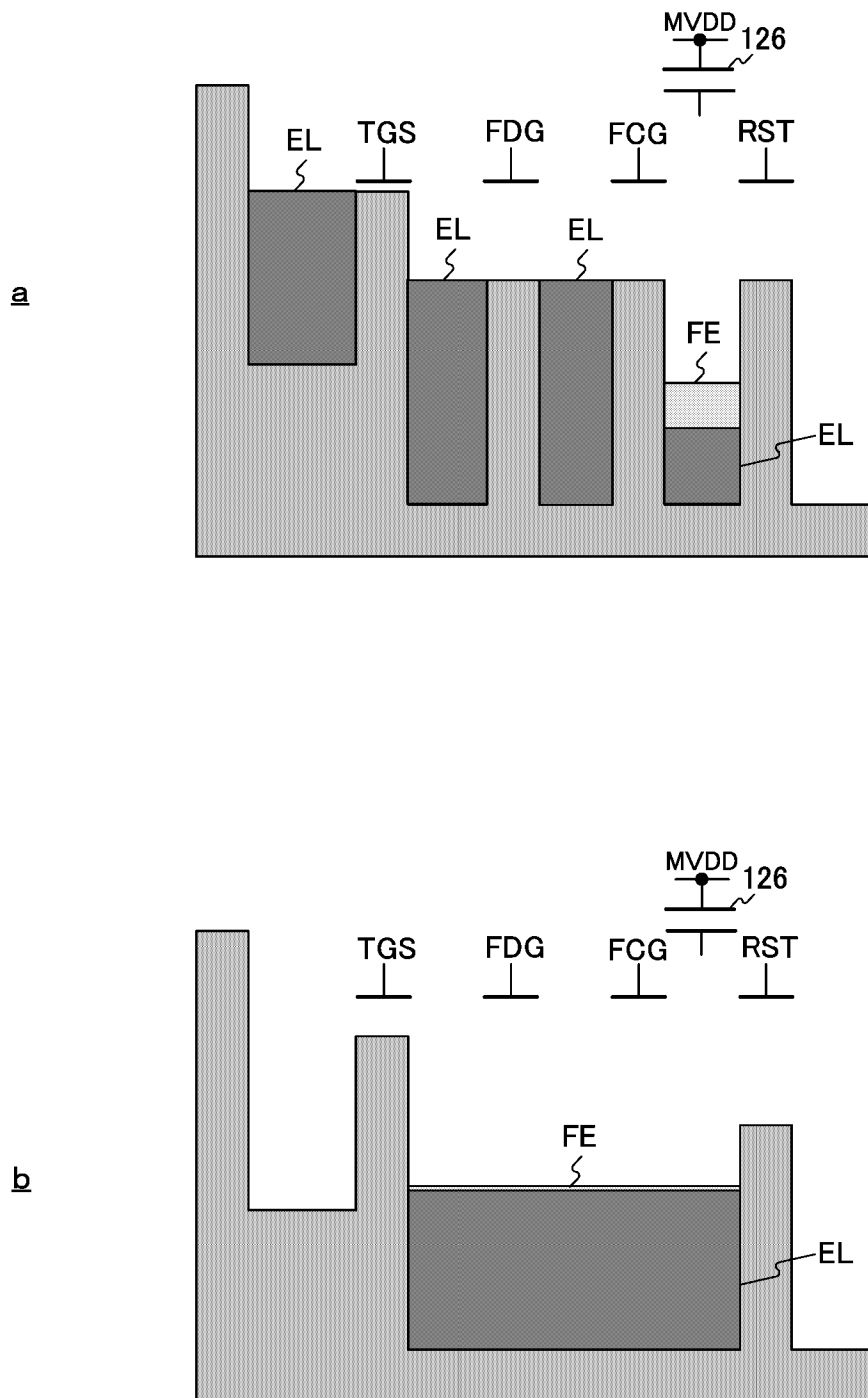
[図19]



[図20]



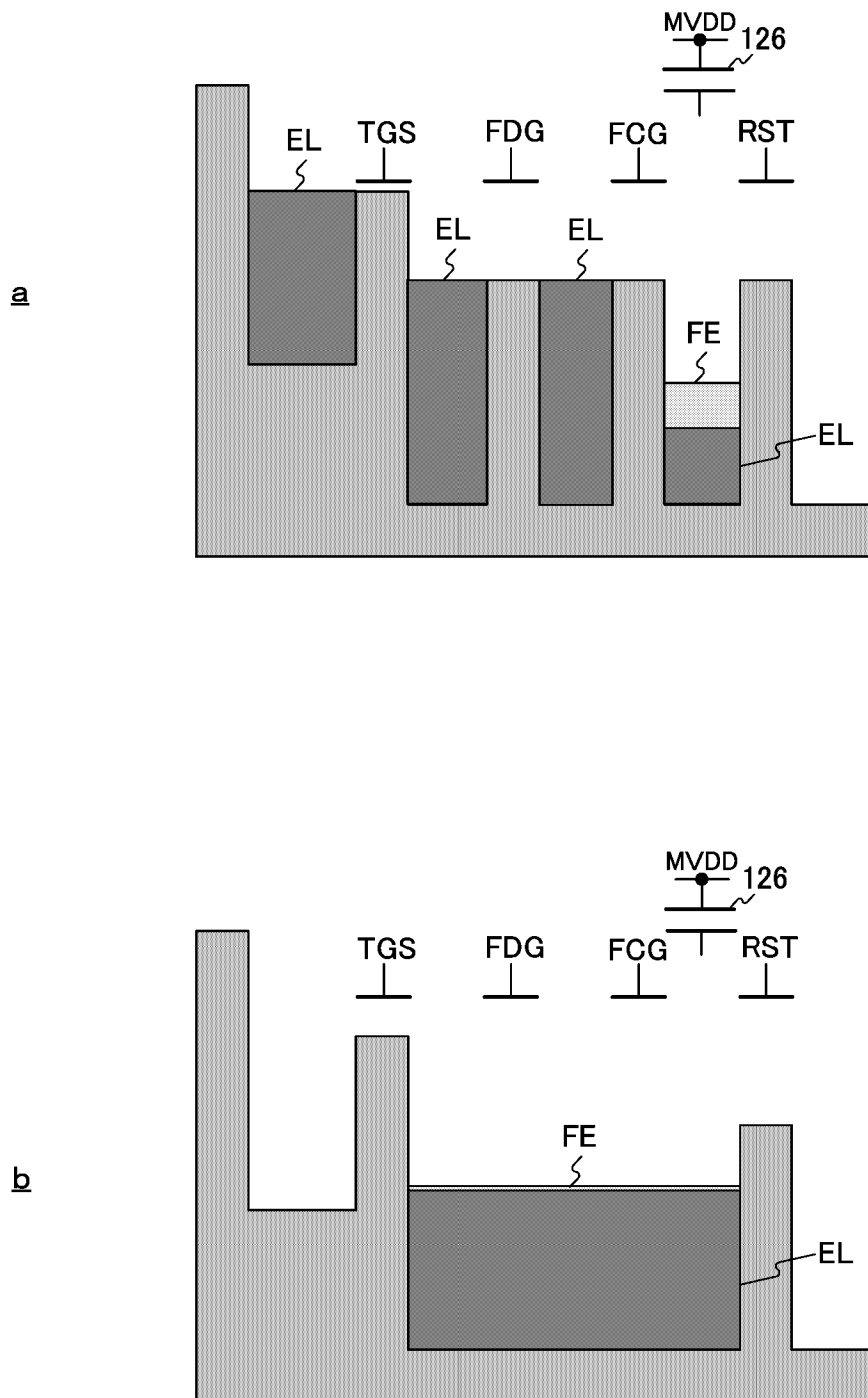
[図21]



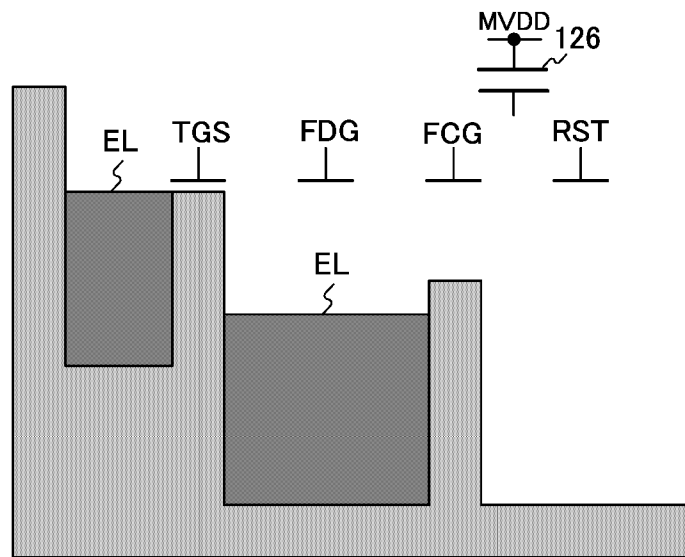
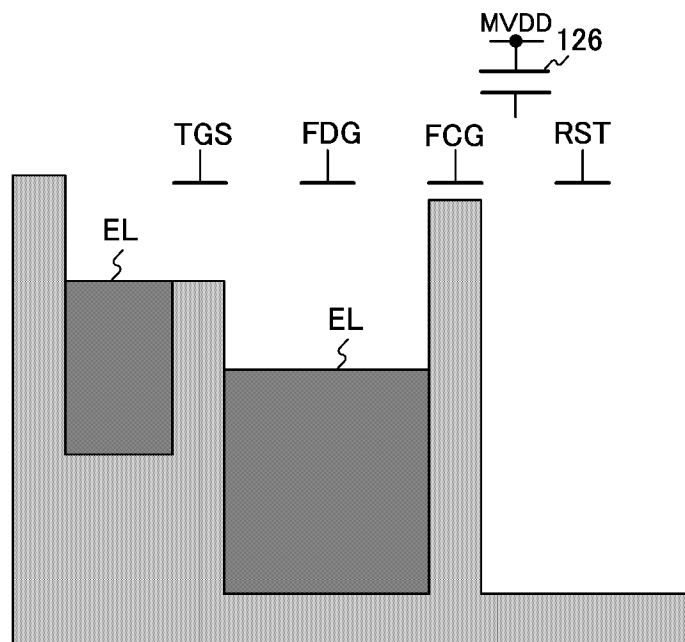
[図22]



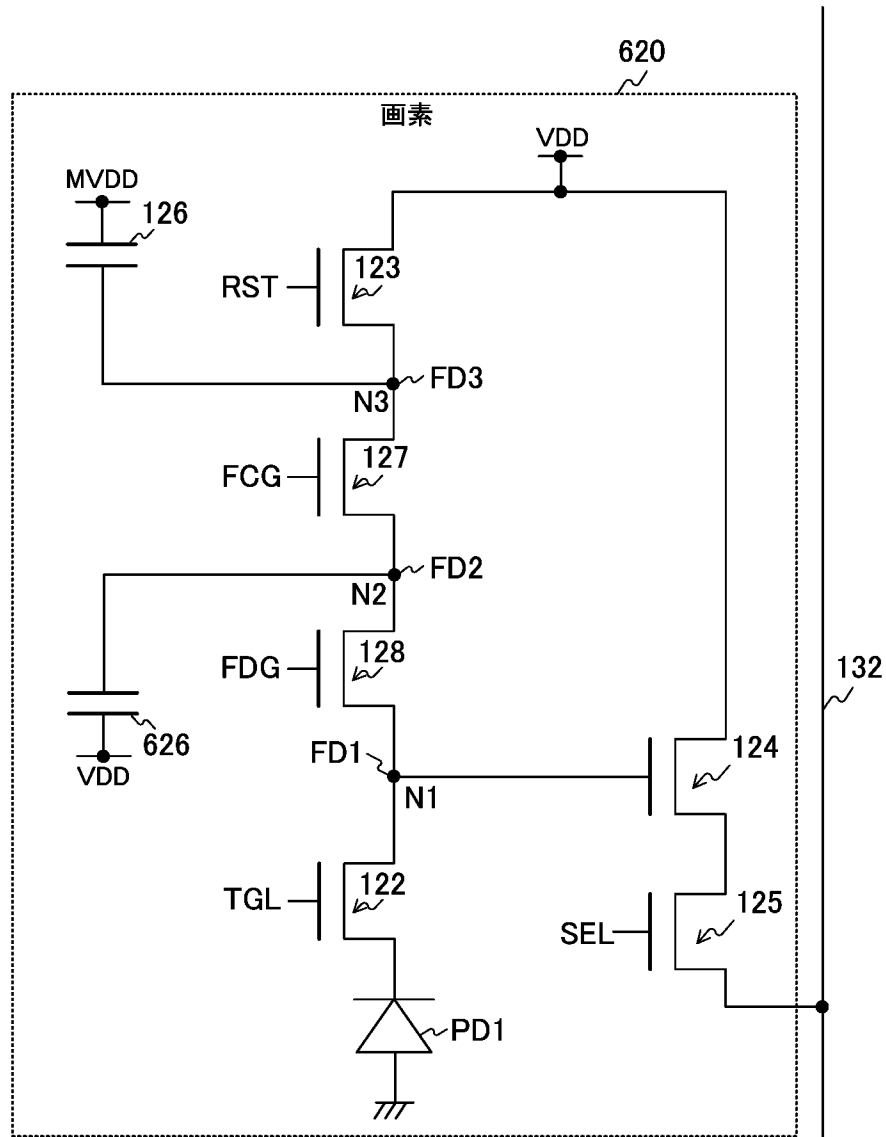
[図23]



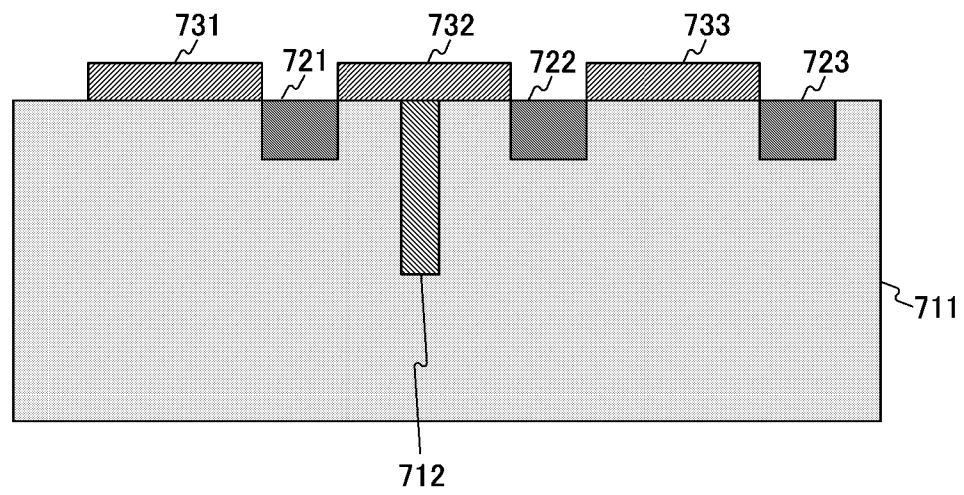
[図24]

a**b**

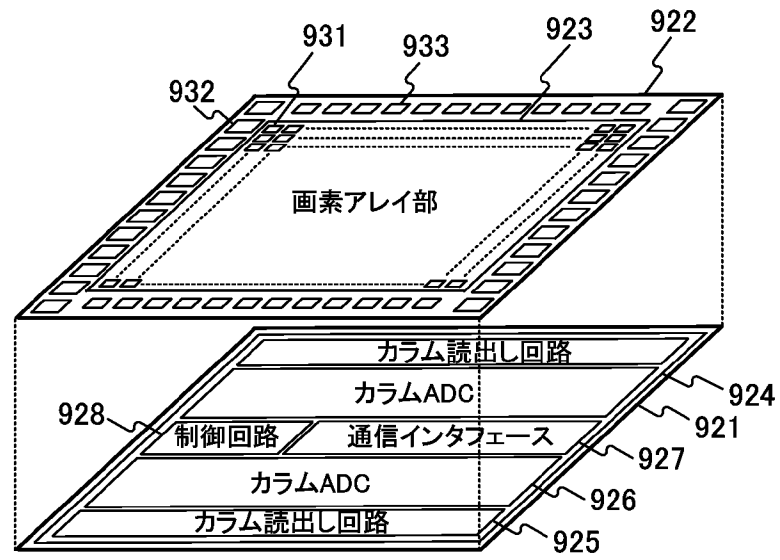
[図25]



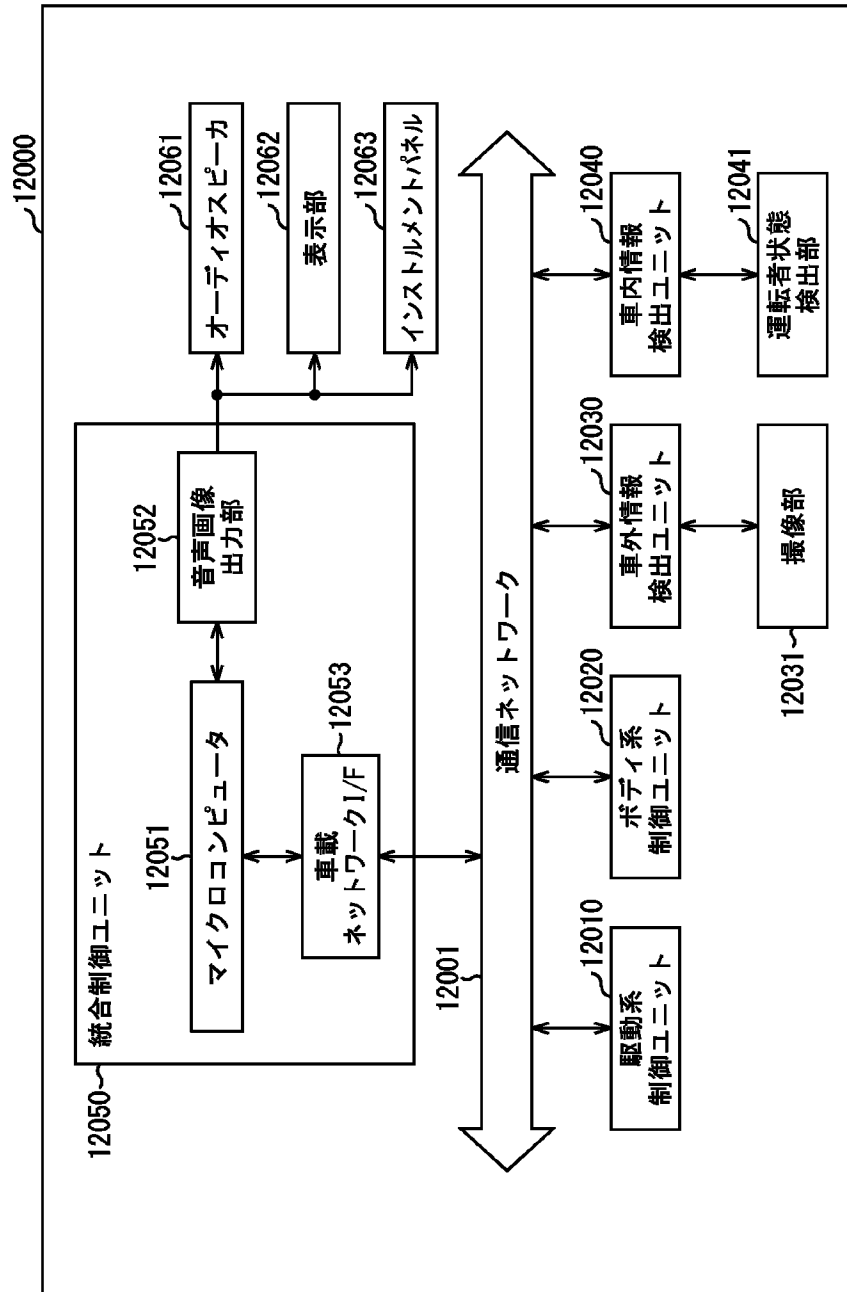
[図26]



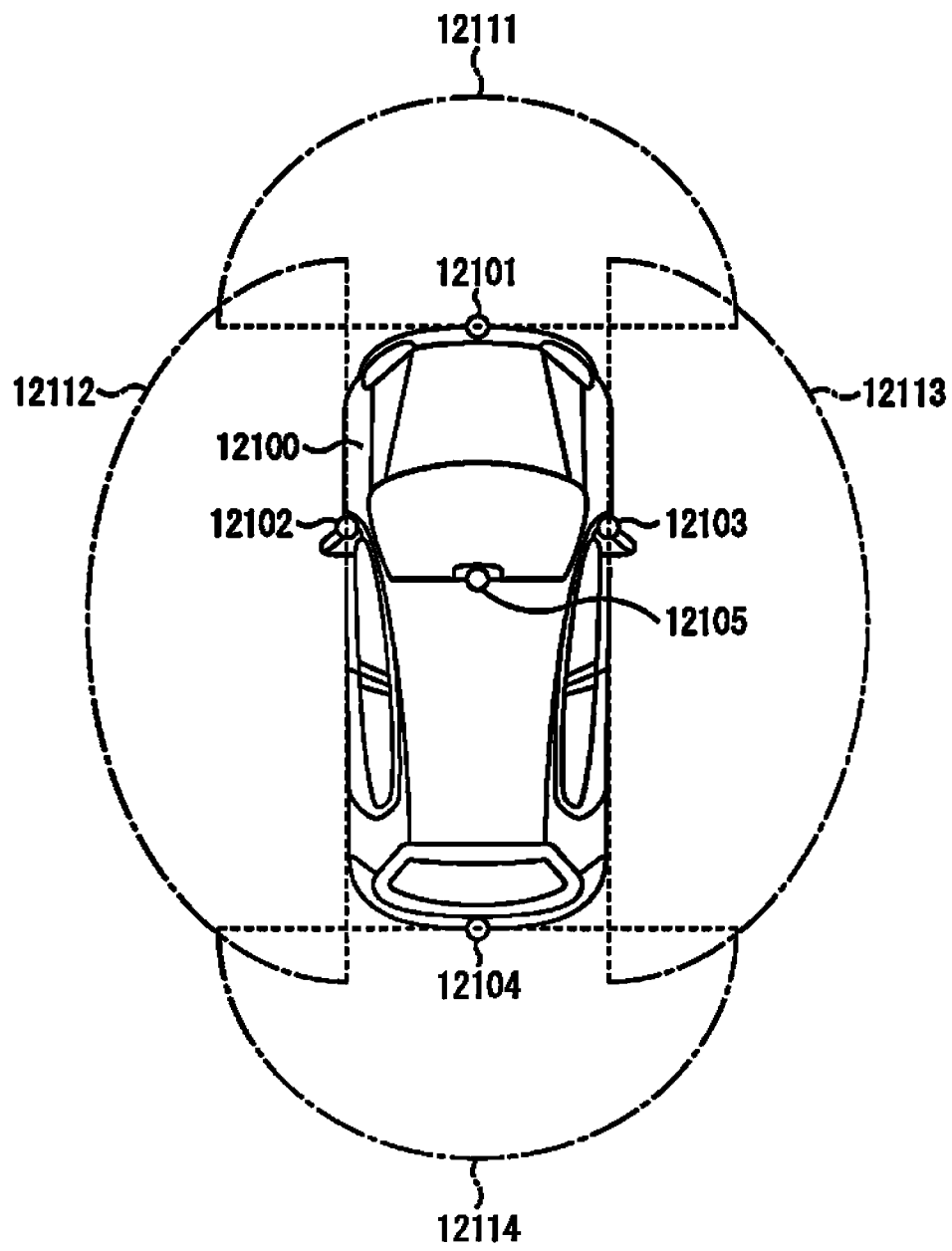
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/045504

A. CLASSIFICATION OF SUBJECT MATTER**H04N 25/70**(2023.01)i; **H04N 25/57**(2023.01)i; **H04N 25/62**(2023.01)i; **H04N 25/77**(2023.01)i; **H04N 25/585**(2023.01)i; **H04N 25/771**(2023.01)i

FI: H04N25/70; H04N25/771; H04N25/57; H04N25/62; H04N25/585; H04N25/77

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/70; H04N25/57; H04N25/62; H04N25/77; H04N25/585; H04N25/771

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2017/141727 A1 (SONY CORPORATION) 24 August 2017 (2017-08-24) paragraphs [0042], [0122]-[0146], fig. 11-13	1, 3-5, 7-8, 10-11
A		2, 6, 9, 12-17
X	WO 2019/065866 A1 (NIKON CORPORATION) 04 April 2019 (2019-04-04) paragraphs [0020]-[0025], [0031]-[0037], fig. 3, 6	12, 14-17
A		1-11, 13
A	JP 2022-149093 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 06 October 2022 (2022-10-06) entire text, all drawings	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 February 2024

Date of mailing of the international search report

05 March 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/045504

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2017/141727	A1	24 August 2017	US 2019/0043900 A1 paragraphs [0084], [0175]- [0204], fig. 11-13 EP 3419280 A1 CN 108605107 A KR 10-2018-0113506 A	
WO	2019/065866	A1	04 April 2019	US 2020/0329208 A1 paragraphs [0038]-[0043], [0050]-[0061], fig. 3, 6	
JP	2022-149093	A	06 October 2022	WO 2022/201802 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC））

H04N 25/70(2023.01)i; H04N 25/57(2023.01)i; H04N 25/62(2023.01)i; H04N 25/77(2023.01)i;
H04N 25/585(2023.01)i; H04N 25/771(2023.01)i
FI: H04N25/70; H04N25/771; H04N25/57; H04N25/62; H04N25/585; H04N25/77

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H04N25/70; H04N25/57; H04N25/62; H04N25/77; H04N25/585; H04N25/771

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2017/141727 A1（ソニー株式会社）24.08.2017（2017-08-24） 段落 [0042] , [0122] - [0146] , 図11-13	1,3-5,7-8,10-11
A		2,6,9,12-17
X	WO 2019/065866 A1（株式会社ニコン）04.04.2019（2019-04-04） 段落 [0020] - [0025] , [0031] - [0037] , 図3,6	12,14-17
A		1-11,13
A	JP 2022-149093 A（ソニーセミコンダクタソリューションズ株式会社）06.10.2022 （2022-10-06） 全文,全図	1-17

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
22.02.2024

国際調査報告の発送日
05.03.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

鈴木 明 5V 9185

電話番号 03-3581-1101 内線 3571

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/045504

引用文献			公表日	パテントファミリー文献	公表日
WO	2017/141727	A1	24.08.2017	US 2019/0043900 A1 段落 [0084] , [0175] - [0204] , 図11-13 EP 3419280 A1 CN 108605107 A KR 10-2018-0113506 A	
WO	2019/065866	A1	04.04.2019	US 2020/0329208 A1 段落 [0038] - [0043] , [0050] - [0061] , 図3, 6	
JP	2022-149093	A	06.10.2022	WO 2022/201802 A1 全文, 全図	