

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月22日(22.09.2022)



(10) 国際公開番号

WO 2022/195692 A1

(51) 国際特許分類:
H03M 1/74 (2006.01)

(21) 国際出願番号: PCT/JP2021/010469

(22) 国際出願日: 2021年3月16日(16.03.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者: 坂田 修一 (SAKATA, Shuichi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 齋木

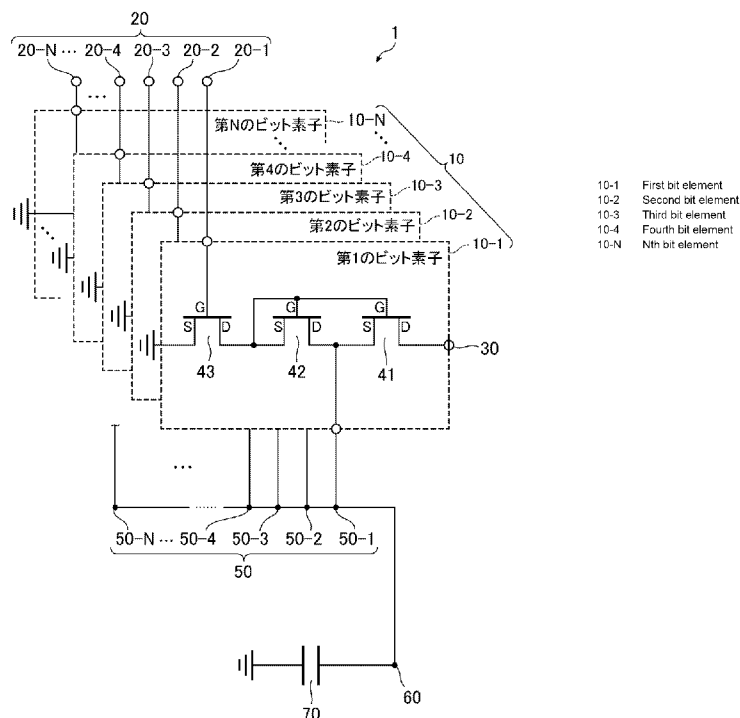
研人(SAIKI, Kento); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 小松崎 優治(KOMATSUZAKI, Yuji); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 特許業務法人山王内外特許事務所 (SANNOPATENT ATTORNEYS OFFICE); 〒1000014 東京都千代田区永田町二丁目12番4号 赤坂山王センタービル5階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: DIGITAL-TO-ANALOG CONVERTER

(54) 発明の名称: デジタルアナログ変換機



(57) Abstract: A digital-to-analog converter (1) includes multiple 1-bit elements (10-n) each of which receives a digital signal and in response outputs an electric current corresponding to a value indicated by the digital signal, and a capacitive load (70) connected to the multiple 1-bit elements (10-n). The digital-to-analog converter (1) generates an analog voltage waveform via the capacitive load (70) that receives electric currents output from the multiple 1-bit elements (10-n). Each 1-bit element (10-n) includes a switching circuit that changes the bias of a voltage in the 1-bit element according to the

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

value indicated by the received digital signal, and connects to or disconnects from a power supply according to the change in the bias.

(57) 要約：デジタル信号が入力されると、デジタル信号が示す値に応じた電流をそれぞれ出力する複数の1ビット素子(10-n)と、複数の1ビット素子(10-n)に接続された容量負荷(70)と、を有し、複数の1ビット素子(10-n)から出力された電流を受ける容量負荷(70)を介してアナログ電圧波形を生成する、デジタルアナログ変換器(1)において、1ビット素子(10-n)は、入力されたデジタル信号が示す値に応じて1ビット素子内の電圧のバイアスを変化させ、バイアスの変化により電源との接続および非接続を切り替えるスイッチング回路、を備える。

明 細 書

発明の名称： デジタルアナログ変換機

技術分野

[0001] 本開示は、デジタル信号をアナログ信号に変換するデジタルアナログ変換機に関する。

背景技術

[0002] デジタルアナログ変換機の中には、出力負荷がキャパシタ（容量負荷）であり、キャパシタには電流発生器が並列に接続されて構成されるものがある。

このデジタルアナログ変換機は、デジタル信号を用いて、電流発生器の動作と停止とを任意に切り替えることにより、キャパシタにおいて電圧のアナログ波形を発生させる。

このようなデジタルアナログ変換機においては、一般に、電流発生器の動作と停止とのタイミングを切り替えるために、各電流発生器にドライバ回路を有する。

例えば、非特許文献1には、電流発生器がトランジスタで構成され、トランジスタにはトランジスタを駆動するためのドライバ回路が接続された、デジタルアナログ変換機が開示されている（非特許文献1におけるFig.3参照）。

先行技術文献

非特許文献

[0003] 非特許文献1: Weiss, M., et. al. “Integrated 2-b Riemann Pump RF-DAC in GaN Technology for 5G Base Stations”. 2019 IEEE International microwave symposium (IMS).

発明の概要

発明が解決しようとする課題

[0004] 上記のデジタルアナログ変換機においては、1つの電流発生器に対し、ドライバ回路および当該ドライバ回路へデジタル信号を入力するための入力端子が必要である。また1ビットに対しては2つの電流発生器が必要であるため、1ビットに対して二つのドライバ回路と入力端子が必要であり、回路サイズが大きい、という課題があった。

そして、上記のデジタルアナログ変換機において、多ビット化しようとした場合、回路サイズが大きくなり、かつ、回路構成が複雑化するため、多ビット化が難しい。

[0005] 本開示は、上記課題を解決するためになされたもので、1ビット素子当たりの回路サイズが小さい、デジタルアナログ変換機を提供することを目的とする。

課題を解決するための手段

[0006] 本開示のデジタルアナログ変換機は、デジタル信号が入力されると、デジタル信号が示す値に応じた電流をそれぞれ出力する複数の1ビット素子と、複数の1ビット素子に接続された容量負荷と、を有し、複数の1ビット素子から出力された電流を受ける容量負荷にアナログ電圧波形を生成する、デジタルアナログ変換器において、1ビット素子は、入力されたデジタル信号が示す値に応じて1ビット素子内の自己バイアスを変化させ、自己バイアスの変化により電源との接続および非接続を切り替えるスイッチング回路、を備えるよう構成されている。

発明の効果

[0007] 本開示によれば、1ビット素子当たりの回路サイズが小さい、デジタルアナログ変換機を提供することができる、という効果を奏する。

図面の簡単な説明

[0008] [図1]本開示の実施の形態1に係るデジタルアナログ変換機を示す構成図である。

[図2]本開示の実施の形態1に係るデジタルアナログ変換機を4つのビット素子で構成した場合の電流値の取り得るパターンを表した表である。

[図3]本開示の実施の形態1に係るデジタルアナログ変換機の1ビット素子の動作を説明する図である。

発明を実施するための形態

[0009] 以下、本開示をより詳細に説明するために、本開示を実施するための形態について、添付の図面に従って説明する。

[0010] 実施の形態1.

図1は、本開示の実施の形態1に係るデジタルアナログ変換機を示す構成図である。

デジタルアナログ変換機1は、例えば、高周波用のデジタルアナログ変換機である。

デジタルアナログ変換機1は、デジタル信号が入力されると、デジタル信号が示す値に応じた電流をそれぞれ出力する複数の1ビット素子10、および、複数の1ビット素子10に接続された容量負荷70、を備える。

デジタル信号が示す値は、電圧値、または、スイッチのオンオフを示す値である。

デジタルアナログ変換機1は、複数の1ビット素子10から出力された電流を受ける容量負荷70にアナログ電圧波形を生成するように構成されている。

[0011] デジタルアナログ変換機1は、1ビット素子10、入力端子20、電源端子30、ビット単位出力端子50、出力端子60、および、容量負荷70、を備える。

[0012] 図1に示す1ビット素子10は、任意の数の1ビット素子10-1, 10-2, 10-3, 10-4, ... 10-Nから構成される。

1ビット素子10の個数Nは、デジタルアナログ変換機により出力させたいアナログ信号に応じて、予め設定される任意の数である。

説明においては、必要に応じて、N個の1ビット素子のうち、第n番目の

1ビット素子を第 n の1ビット素子と記載する。 n は、1から N までの数字のうちのいずれかの数字である。

[0013] 第 n の1ビット素子 $10-n$ はそれぞれ、デジタル信号が入力されると、デジタル信号が示す値に応じた電流をそれぞれ出力するものである。

第 n の1ビット素子 $10-n$ はそれぞれ、入力されたデジタル信号が示す値に応じて1ビット素子内の自己バイアスを変化させ、自己バイアスの変化により電源との接続および非接続を切り替えるスイッチング回路を備える。

第 n の1ビット素子 $10-n$ におけるスイッチング回路は、例えば、図1の第1の1ビット素子 $10-1$ に示されるように、電流供給スイッチ41、電流放電スイッチ42、および制御スイッチ43を備える。

その詳細な一例は、後述する。

[0014] 入力端子20は、1ビット素子にそれぞれデジタル信号を入力させるための端子である。

図1に示す入力端子20は、第1の入力端子 $20-1$ 、第2の入力端子 $20-2$ 、第3の入力端子 $20-3$ 、第4の入力端子 $20-4$ 、 $\dots$ 、および、第 N の入力端子 $20-N$ から構成される。

第1の入力端子 $20-1$ は、第1の1ビット素子 $10-1$ に設けられる。同様に、第2の入力端子 $20-2$ は、第2の1ビット素子 $10-2$ に設けられ、第3の入力端子 $20-3$ は、第3の1ビット素子 $10-3$ に設けられ、第4の入力端子 $20-4$ は、第4の1ビット素子 $10-4$ に設けられ、 $\dots$ 、第 N の入力端子 $20-N$ は、第 N の1ビット素子 $10-N$ に設けられる。

[0015] 電源端子30は、各1ビット素子 $10-1$ 、 $10-2$ 、 $10-3$ 、 $10-4$ 、 $\dots$ 、 $10-N$ それぞれに接続され、共通に使用される端子である。

[0016] ビット単位出力端子50は、1ビット素子 $10-1$ 、 $10-2$ 、 $10-3$ 、 $10-4$ 、 $\dots$ 、 $10-N$ それぞれから信号を出力するための端子である。

図1に示すビット単位出力端子50は、第1のビット単位出力端子 $50-$

1、第2のビット単位出力端子50-2、第3のビット単位出力端子50-3、第4のビット単位出力端子50-4、・・・、第Nのビット単位出力端子50-Nから構成される。

第1のビット単位出力端子50-1は、第1のビット素子10-1に設けられる。同様に、第2のビット単位出力端子50-2は、第2の1ビット素子10-2に設けられ、第3のビット単位出力端子50-3は、第3の1ビット素子10-3に設けられ、第4のビット単位出力端子50-4は、第4の1ビット素子10-4に設けられ、・・・、第Nのビット単位出力端子50-Nは、第Nの1ビット素子10-Nに設けられる。

[0017] 出力端子60は、各1ビット素子10-1、10-2、10-3、10-4、・・・10-Nのビット単位出力端子50-1、50-2、50-3、50-4、・・・、50-Nを並列に接続する端子である。

また、出力端子60は、容量負荷70と接続する。

すなわち、出力端子60は、各1ビット素子10-1、10-2、10-3、10-4、・・・10-Nと、容量負荷70と、を接続する。

[0018] 容量負荷70は、一方が出力端子60を介して各1ビット素子10-1、10-2、10-3、10-4、・・・10-Nに接続されており、他方が接地している。

[0019] 第nの1ビット素子10-nの詳細な一例を説明する。

図1において、第nの1ビット素子10-nのスイッチング回路における電流供給スイッチ41は、例えば、N型かつノーマリオン型のトランジスタ（電流供給スイッチ用トランジスタ）である。

電流供給スイッチ41は、ノーマリオン型のトランジスタである場合、ゲート端子Gに0V以上の電圧が印加されている状態においてドレイン端子Dからソース端子Sへ電流が流れ、ゲート端子Gにゲート・ソース間電位が負となる電圧が印加されるとドレイン端子Dからソース端子Sへ電流が流れなくなるように切り替えるトランジスタである。

電流供給スイッチ41は、電源端子30との接続および非接続を切り替え

、接続の状態において電源端子 30 から電流を通し、非接続の状態において電源端子 30 から電流を通さない。

[0020] 同様に、第 n の 1 ビット素子 $10-n$ のスイッチング回路における電流放電スイッチ 42 は、例えば、N 型かつノーマリオン型のトランジスタ（電流放電スイッチ用トランジスタ）である。

電流放電スイッチ 42 は、ノーマリオン型のトランジスタである場合、ゲート端子 G に 0 V 以上の電圧が印加されている状態においてドレイン端子 D からソース端子 S へ電流が流れ、ゲート端子 G にゲート・ソース間電位が負となる電圧が印加されるとドレイン端子 D からソース端子 S へ電流が流れなくなるように切り替えるトランジスタである。

電流放電スイッチ 42 は、1 ビット素子 $10-n$ 内と容量負荷 70 との間で充電または放電を切り替える。

[0021] 同様に、第 n の 1 ビット素子 $10-n$ のスイッチング回路における制御スイッチ 43 は、例えば、N 型かつノーマリオン型のトランジスタ（制御スイッチ用トランジスタ）である。

制御スイッチ 43 は、ノーマリオン型のトランジスタである場合、ゲート端子 G に 0 V 以上の電圧が印加されている状態においてドレイン端子 D からソース端子 S へ電流が流れ、ゲート端子 G にゲート・ソース間電位が負となる電圧が印加されるとドレイン端子 D からソース端子 S へ電流が流れなくなるように切り替えるトランジスタである。

制御スイッチ 43 は、入力されたデジタル信号が示す値に応じて、1 ビット素子 $10-n$ 内および容量負荷 70 からそれぞれ放電させることにより、電流供給スイッチ用トランジスタを非接続に切り替える。

制御スイッチ 43 のトランジスタのサイズは、電流供給スイッチ 41 のトランジスタのサイズおよび電流放電スイッチ 42 のトランジスタのサイズに比べて、十分大きく設計される。言い換えると、制御スイッチ 43 は、電流供給スイッチ 41 および電流放電スイッチ 42 に比べて、電流が流れやすくなっている。

[0022] 第 n の1ビット素子 $10-n$ においては、図1の第1の1ビット素子 $10-1$ に示されるように、電流供給スイッチ41（電流供給スイッチ用トランジスタ）におけるソース端子Sと、電流放電スイッチ42（電流放電スイッチ用トランジスタ）におけるドレイン端子Dとが接続されている。

また、第 n の1ビット素子 $10-n$ においては、電流放電スイッチ42（電流放電スイッチ用トランジスタ）におけるソース端子Sと、制御スイッチ43（制御スイッチ用トランジスタ）におけるドレイン端子Dと、が接続されている。

また、第 n の1ビット素子 $10-n$ においては、電流供給スイッチ41（電流供給スイッチ用トランジスタ）におけるゲート端子Gと、電流放電スイッチ42（電流放電スイッチ用トランジスタ）におけるゲート端子Gと、電流放電スイッチ42（電流放電スイッチ用トランジスタ）におけるソース端子Sと、が接続されている。

また、第 n の1ビット素子 $10-n$ においては、電流供給スイッチ41（電流供給スイッチ用トランジスタ）におけるドレイン端子Dと電源端子と、が接続されている。

また、第 n の1ビット素子 $10-n$ においては、電流供給スイッチ41（電流供給スイッチ用トランジスタ）におけるソース端子S、および、電流放電スイッチ42（電流放電スイッチ用トランジスタ）におけるドレイン端子Dが、第 n のビット単位出力端子 $50-n$ および出力端子60に接続されている。

また、第 n の1ビット素子 $10-n$ においては、制御スイッチ43（制御スイッチ用トランジスタ）におけるソース端子Sは、接地されている。

また、第 n の1ビット素子 $10-n$ においては、制御スイッチ43（制御スイッチ用トランジスタ）におけるゲート端子Gと、第 n の入力端子 $20-n$ と、が接続されている。

[0023] 次に、デジタルアナログ変換機1の動作について説明する。

第 n の1ビット素子 $10-n$ は、入力端子 $20-n$ からデジタル信号が入

力されると、デジタル信号が低電圧またはオフを示す場合に、出力端子60において電流を充電する。

一方、第nの1ビット素子10-nは、デジタル信号が高電圧またはオンを示す場合に、出力端子60から電流を放電する。

[0024] 充電および放電の電流値は、電流供給スイッチ41および電流放電スイッチ42を構成するトランジスタのサイズによって決めることができる。

具体的には、充電の電流値は、電流供給スイッチ41を構成する電流供給スイッチ用トランジスタのサイズによって決定される。また、放電の電流値は、電流放電スイッチ42を構成する電流放電スイッチ用トランジスタのサイズによって決定される。

電流供給スイッチ用トランジスタのサイズと電流放電スイッチ用トランジスタのサイズとを非同一にすることは可能であるが、説明においては、同一の場合について説明する。

[0025] 1ビット素子10における各1ビット素子10-1, 10-2, 10-3, 10-4, ..., 10-Nそれぞれからの電流供給量が電流放電量を上回ると、出力端子60における電圧値は上昇する。

1ビット素子10における各1ビット素子10-1, 10-2, 10-3, 10-4, ..., 10-Nそれぞれからの電流供給量が電流放電量を下回ると、出力端子60における電圧値は下降する。

[0026] ここで各ビット素子10-1, 10-2, 10-3, 10-4, ..., 10-n, ..., 10-Nからの電流値を $I_1, I_2, I_3, \dots, I_n, \dots, I_N$ とすると、出力端子60に現れる電圧値 V_{out} は、容量負荷70を C_{out} 、時刻を t とした場合に、以下の式で表される。

[0027]

$$V_{out} = \frac{1}{C_{out}} \int_0^t \left(\sum_{i=1}^N I_i \right) dt \quad (1)$$

[0028] 式(1)を微分すると、電流値の総和を負荷容量 C_{out} で割った値が電圧の時間微分または傾きとなることがわかる。

[0029] したがって、各ビット素子10-1, 10-2, 10-3, 10-4, .

・ ・ ・ , $10 - n$, ・ ・ ・ , $10 - N$ からの電流値を互いに異なる値とすることにより、2のN乗通りの電流値を作り出すことが可能で、それに伴い、2のN乗通りの電圧の時間微分または傾きを作り出すことが可能である。

[0030] 各ビットの電流値の設定の一例として以下の方法がある。

第nのビット素子からの電流値 I_n を以下の式(2)の電流値に設定する。

$$[0031] \quad I_n = 2^{n-1} I_0 \quad (2)$$

[0032] ここで、 I_0 は任意の電流値である。第nビットのデジタル入力値を D_n とし、オンの場合は、 $D_n = 1$ 、オフの場合は、 $D_n = 0$ とする。出力端子に流れる電流値 I_{out} は以下の式(3)で表される。

$$[0033] \quad I_{out} = \sum_{n=1}^N (-1)^{D_n} \cdot 2^{n-1} \cdot I_0 \quad (3)$$

[0034] 式(3)のように設定すれば、 $(2^N - 1) I_0$ から $-(2^N - 1) I_0$ までの電流値で $2 I_0$ ずつ電流値が異なる値を作り出すことが可能である。

[0035] 図2は、本開示の実施の形態1に係るデジタルアナログ変換機を4つのビット素子で構成した場合の電流値の取り得るパターンを表した表である。

表に示すように $15 I_0$ から $-15 I_0$ までの間で $2 I_0$ ずつ電流値が異なる値を作り出すことが可能であることがわかる。

[0036] このように、有限で複数の電流値を作り出すことができることから、式(1)により任意の電圧波形を、デジタル信号によって作り出すことが可能である。具体的には、所望のアナログ電圧波形を時間微分した値に対応するデジタル信号を入力することにより、所望のアナログ電圧波形を生成可能である。

[0037] 次に、1ビット素子 10 の動作について説明する。

図3は、本開示の実施の形態1に係るデジタルアナログ変換機1の1ビット素子 10 の動作を説明する図である。図3において、(a)、(b)、(c)、(d)、(e)は、それぞれ、第nの1ビット素子 $10 - n$ における制御スイッチ43のオンおよびオフによる時間変化を示している。以下、説

明において、それぞれ図3 (a)、図3 (b)、図3 (c)、図3 (d)、図3 (e)と記載する。

説明においては、電源電圧 V_d が30Vの場合を示す。

また、説明においては、電流供給スイッチ41、電流放電スイッチ42、および、制御スイッチ43に、N型かつノーマリオン型のトランジスタを用いた場合を示す。

[0038] 図3 (a) は、制御スイッチ43をオンにする直前の第 n の1ビット素子 $10-n$ における状態を示す。

図3 (a) に示す状態においては、第 n の1ビット素子 $10-n$ のビット単位出力端子50に現れる電圧値 V_{out} が10Vになっている。

また、図3 (a) に示す状態においては、電流放電スイッチ42がノーマリオンであって電流が通る状態であり、電流供給スイッチ41におけるゲート端子Gと電流放電スイッチ42におけるゲート端子Gと電流放電スイッチ42におけるソース端子Sにおいてはいずれも、電圧が10Vになっている。これにより、これらと、制御スイッチ43におけるドレイン端子Dとの間においては、電圧が15Vになっている。また、ビット単位出力端子50に現れる電圧値 V_{out} は、10Vになっている。

[0039] 図3 (b) は、図3 (a) の状態から、制御スイッチ43をオンにした直後の状態を示す。

制御スイッチ43をオンにすると、すべてのスイッチ（電流供給スイッチ41、電流放電スイッチ42、および、制御スイッチ43）がオンになるため、制御スイッチ43を介して接地（ $V_s = 0V$ ）へ電流が流れる（図3 (b) における「 $4I_0$ 」、「 $<I_0$ 」（「 $<I_0$ 」は、 I_0 から徐々に減っていきゼロになることを示す）、「 I_0 」、「 $5I_0$ 」）。また、電流供給スイッチ41におけるゲート端子Gと電流放電スイッチ42におけるゲート端子Gと電流放電スイッチ42におけるソース端子Sに加わる電圧は、10Vから0Vに変化する。また、ビット単位出力端子50に現れる電圧値 V_{out} は、10Vから9.8Vに変化する。

[0040] この際、制御スイッチ43を介して流れる電流は、3つの成分に分けることができる。3つの成分の電流とは、以下の（電流成分1）、（電流成分2）、（電流成分3）である。

（電流成分1）電源端子30から、電流供給スイッチ41、電流放電スイッチ42、制御スイッチ43を介した電流（以下、「第1の電流」と記載する）。

（電流成分2）ビット単位出力端子50から、電流放電スイッチ42、制御スイッチ43を介した電流（以下、「第2の電流」と記載する。）。

（電流成分3）電流供給スイッチ41のゲート端子Gおよび電流放電スイッチ42のゲート端子Gを接続する線から、制御スイッチ43のみを介した電流（以下、「第3の電流」と記載する。）。

[0041] 制御スイッチ43のトランジスタサイズが、電流放電スイッチ42のトランジスタサイズおよび電流供給スイッチ41のトランジスタサイズよりも十分に大きく設計されているため、第3の電流の値（ I_0 ）は最も大きく、第1の電流の値および第2の電流の値は第3の電流の値に対して十分に小さい。

そして、第3の電流の電流源は、電流供給スイッチ41のゲート端と電流放電スイッチ42のゲート端に蓄積されている電荷である。

これが第3の電流によって放電されるため、電流供給スイッチ41のゲート端および電流放電スイッチ42のゲート端の電位は急降下する。この電位が急降下することにより、電流供給スイッチ41のゲート・ソース間の電圧は、マイナスに大きくなる。

このようにして、第nの1ビット素子10-nの自己バイアスの変化により、電流供給スイッチ41は、オンからオフに切り替わる（ON→OFF）。そして、図3（c）に示す状態になる（OFF）。

[0042] 次に、電流供給スイッチ41がオフになるため、電源端子30から接地（ $V_s = 0V$ ）までの電流経路が閉じられる。これにより、電流放電スイッチ42を介して、ビット単位出力端子50（および出力端子60）に蓄積され

た電位が放電され、電位が所望の傾きで下降していく ($V_{out} = 9.8V \rightarrow 9V$)。

[0043] 次に、第 n の 1 ビット素子 $10-n$ に入力されたデジタル信号により、制御スイッチ 43 がオフになる。

図 3 (d) は、図 3 (c) の状態から、制御スイッチ 43 をオフにした直後の状態を示す。

まず、ビット単位出力端子 50 に蓄積された電位による電流が、電流放電スイッチ 42 を介して流れる。

ここで、第 n の 1 ビット素子 $10-n$ において制御スイッチ 43 がオフになっているため、電流放電スイッチ 42 を介して流れる電流は、電流供給スイッチ 41 のゲート端子 G および電流放電スイッチ 42 のゲート端子 G における充電 ($0V \rightarrow 8.8V$) に使用される。

そして、これにより、電流供給スイッチ 41 は、第 n の 1 ビット素子 $10-n$ の自己バイアスの変化によりオフからオンに切り替わる ($OFF \rightarrow ON$)。

[0044] 図 3 (e) は、電流供給スイッチ 41 がオンに切り替わった状態を示す。

第 n の 1 ビット素子 $10-n$ においては、電流供給スイッチ 41 がオンになっているため、電流供給スイッチ 41 を介してビット単位出力端子 50 に充電され、ビット単位出力端子 50 における電位が所望の傾きで上昇する ($8.8V \rightarrow 10V$)。

[0045] 次に制御スイッチ 43 がオンに切り替わると、図 3 (e) の状態から図 3 (b) の状態に戻る。

[0046] 上記のように動作することにより、デジタルアナログ変換機 1 の各 1 ビット素子 $10-1$, $10-2$, $10-3$, $10-4$, $\dots$, $10-n$, $\dots$, $10-N$ において、1 つの入力端子からのデジタル信号に応じて、それぞれ自己バイアスが変化して、電流供給スイッチ 41 のゲート端子 G および電流放電スイッチ 42 のゲート端子 G に印加する電圧を制御して、電流供給スイッチ 41 および電流放電スイッチ 42 を切り替えることができ、ビット

単位出力端子50の電位を変化させることができ、ドライバ回路を設けることなく、1つの入力端子で動作する回路を実現できる。

[0047] 本開示の実施の形態1に係るデジタルアナログ変換機は、デジタル信号が入力されると、デジタル信号が示す値に応じた電流をそれぞれ出力する複数の1ビット素子と、複数の1ビット素子に接続された容量負荷と、を有し、複数の1ビット素子から出力された電流を受ける容量負荷にアナログ電圧波形を生成する、デジタルアナログ変換器において、1ビット素子は、入力されたデジタル信号が示す値に応じて1ビット素子内の自己バイアスを変化させ、自己バイアスの変化により電源との接続および非接続を切り替えるスイッチング回路、を備えるように構成した。

これにより、1ビット素子当たりの回路サイズが小さい、デジタルアナログ変換機を提供できる、という効果を奏する。

また、1ビット素子当たりの回路サイズが小さいため、多ビット化することが容易になる。

[0048] 本開示の実施の形態1に係るデジタルアナログ変換機において、スイッチング回路は、電源との接続および非接続を切り替える電流供給スイッチ用トランジスタと、1ビット素子内と容量負荷との間で充電または放電を切り替える電流放電スイッチ用トランジスタと、入力されたデジタル信号が示す値に応じて、1ビット素子内および容量負荷からそれぞれ放電させることにより、電流供給スイッチ用トランジスタを非接続に切り替える、制御スイッチ用トランジスタと、を備えるように構成した。

これにより、上記効果と同様の効果を奏する、デジタルアナログ変換機を提供できる。

[0049] 本開示の実施の形態1に係るデジタルアナログ変換機は、電流供給スイッチ用トランジスタにおけるソース端子と、電流放電スイッチ用トランジスタにおけるドレイン端子と、が接続され、電流放電スイッチ用トランジスタにおけるソース端子と、制御スイッチ用トランジスタにおけるドレイン端子と、が接続され、電流供給スイッチ用トランジスタにおけるゲート端子と、電

流放電スイッチ用トランジスタにおけるゲート端子と、電流放電スイッチ用トランジスタにおけるソース端子と、が接続され、電流供給スイッチ用トランジスタにおけるドレイン端子は、電源端子に接続され、電流供給スイッチ用トランジスタにおけるソース端子および電流放電スイッチ用トランジスタにおけるドレイン端子は、出力端子に接続され、制御スイッチ用トランジスタにおけるソース端子は、接地され、制御スイッチにおけるゲート端子は、入力端子に接続されている、ように構成した。

これにより、回路構成を複雑化することなく、上記効果と同様の効果を奏する、デジタルアナログ変換機を提供できる。

[0050] 本開示の実施の形態 1 に係るデジタルアナログ変換機は、電流供給スイッチ用トランジスタ、電流放電スイッチ用トランジスタ、および、制御スイッチ用トランジスタ、はそれぞれ、ゲート端子にゲート・ソース間電位が負となる電圧が印加されるとドレイン端子とソース端子との間に電流を流さないよう切り替えるトランジスタである、ように構成した。

これにより、より簡易な構成で、上記効果と同様の効果を奏する、デジタルアナログ変換機を提供できる。

[0051] なお、本開示は、その開示の範囲内において、実施の形態の任意の構成要素の変形、若しくは、実施の形態の任意の構成要素の省略が可能である。

産業上の利用可能性

[0052] 本開示に係るデジタルアナログ変換機は、1 ビット素子当たりの回路サイズを小さく構成できるので、例えば、高周波デジタルアナログ変換機、または、高周波デジタルアナログ変換機を含む通信装置等に用いるのに適している。

符号の説明

[0053] 1 デジタルアナログ変換機、10 1 ビット素子、10-1 第1の1 ビット素子、10-2 第2の1 ビット素子、10-3 第3の1 ビット素子、10-4 第4の1 ビット素子、10-N 第Nの1 ビット素子、20 入力端子、20-1 第1の入力端子、20-2 第2の入力端子、20

ー 3 第 3 の入力端子、2 0ー 4 第 4 の入力端子、2 0ー N 第 N の入力端子、3 0 電源端子、4 1 電流供給スイッチ、4 2 電流放電スイッチ、4 3 制御スイッチ、5 0 ビット単位出力端子、5 0ー 1 第 1 のビット単位出力端子、5 0ー 2 第 2 のビット単位出力端子、5 0ー 3 第 3 のビット単位出力端子、5 0ー 4 第 4 のビット単位出力端子、5 0ー N 第 N のビット単位出力端子、6 0 出力端子、7 0 容量負荷。

請求の範囲

【請求項1】 デジタル信号が入力されると、当該デジタル信号が示す値に応じた電流をそれぞれ出力する複数の1ビット素子と、当該複数の1ビット素子に接続された容量負荷と、を有し、

複数の1ビット素子から出力された電流を受ける前記容量負荷を介してアナログ電圧波形を生成する、デジタルアナログ変換器において、

前記1ビット素子は、入力されたデジタル信号が示す値に応じて1ビット素子内の電圧のバイアスを変化させ、バイアスの変化により電源との接続および非接続を切り替えるスイッチング回路、を備えることを特徴とするデジタルアナログ変換機。

【請求項2】 前記スイッチング回路は、

電源との接続および非接続を切り替える電流供給スイッチ用トランジスタと、

前記1ビット素子内と前記容量負荷との間で充電または放電を切り替える電流放電スイッチ用トランジスタと、

入力されたデジタル信号が示す値に応じて、前記1ビット素子内および前記容量負荷からそれぞれ放電させることにより、前記電流供給スイッチ用トランジスタを非接続に切り替える、制御スイッチ用トランジスタと、

を備える、請求項1に記載のデジタルアナログ変換機。

【請求項3】 前記電流供給スイッチ用トランジスタにおけるソース端子と、前記電流放電スイッチ用トランジスタにおけるドレイン端子と、が接続され、

前記電流放電スイッチ用トランジスタにおけるソース端子と、前記制御スイッチ用トランジスタにおけるドレイン端子と、が接続され、

前記電流供給スイッチ用トランジスタにおけるゲート端子と、前記電流放電スイッチ用トランジスタにおけるゲート端子と、前記電流放

電スイッチ用トランジスタにおけるソース端子と、が接続され、

前記電流供給スイッチ用トランジスタにおけるドレイン端子は、電源端子に接続され、

前記電流供給スイッチ用トランジスタにおけるソース端子および前記電流放電スイッチ用トランジスタにおけるドレイン端子は、出力端子に接続され、

前記制御スイッチ用トランジスタにおけるソース端子は、接地され、

前記制御スイッチ用トランジスタにおけるゲート端子は、入力端子に接続されている、

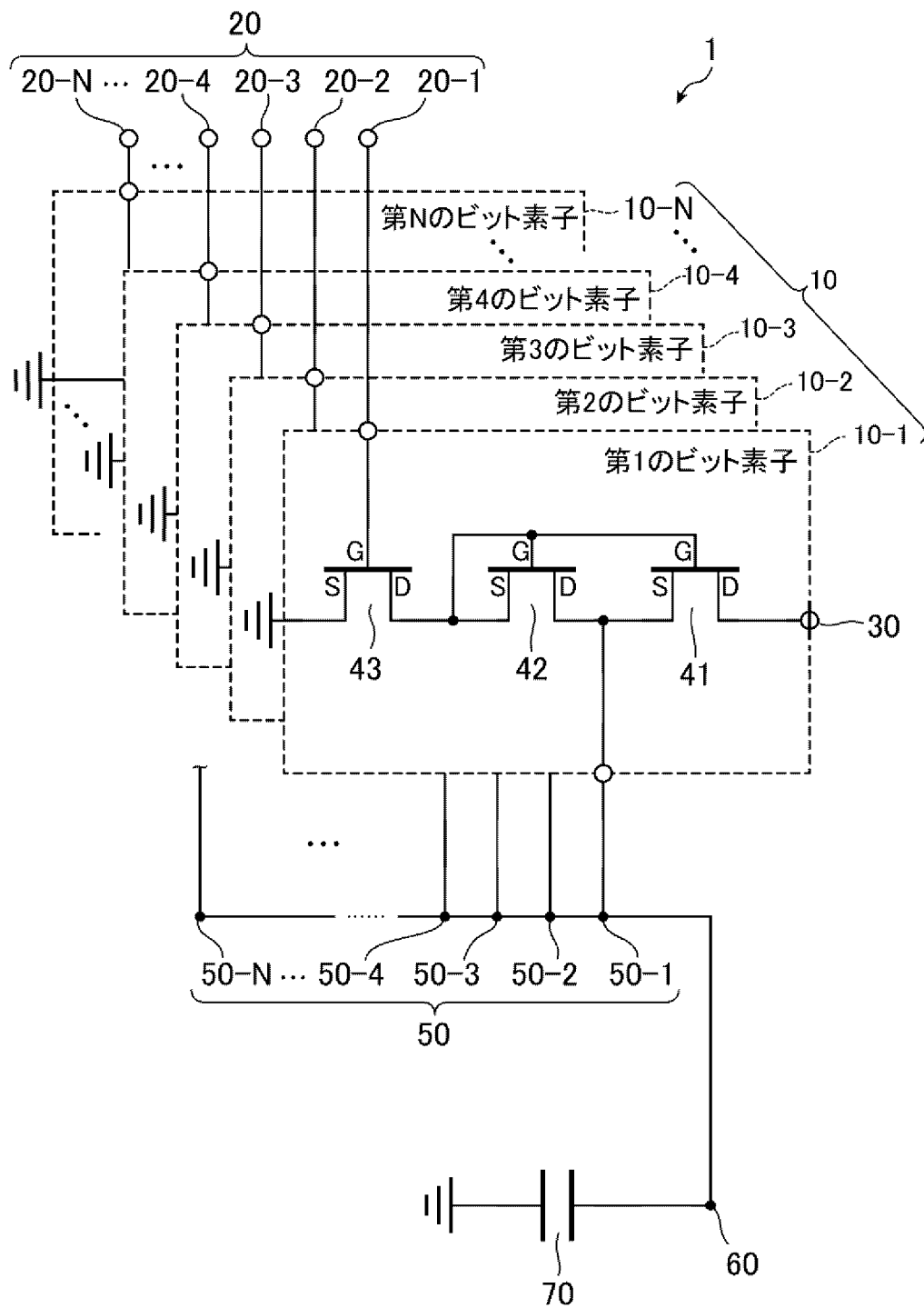
請求項 2 に記載のデジタルアナログ変換機。

[請求項4]

前記電流供給スイッチ用トランジスタ、前記電流放電スイッチ用トランジスタ、および、前記制御スイッチ用トランジスタ、はそれぞれ、ゲート端子にゲート・ソース間電位が負となる電圧が印加されるとドレイン端子とソース端子との間に電流を流さないよう切り替えるトランジスタである、

ことを特徴とする請求項 2 または請求項 3 に記載のデジタルアナログ変換機。

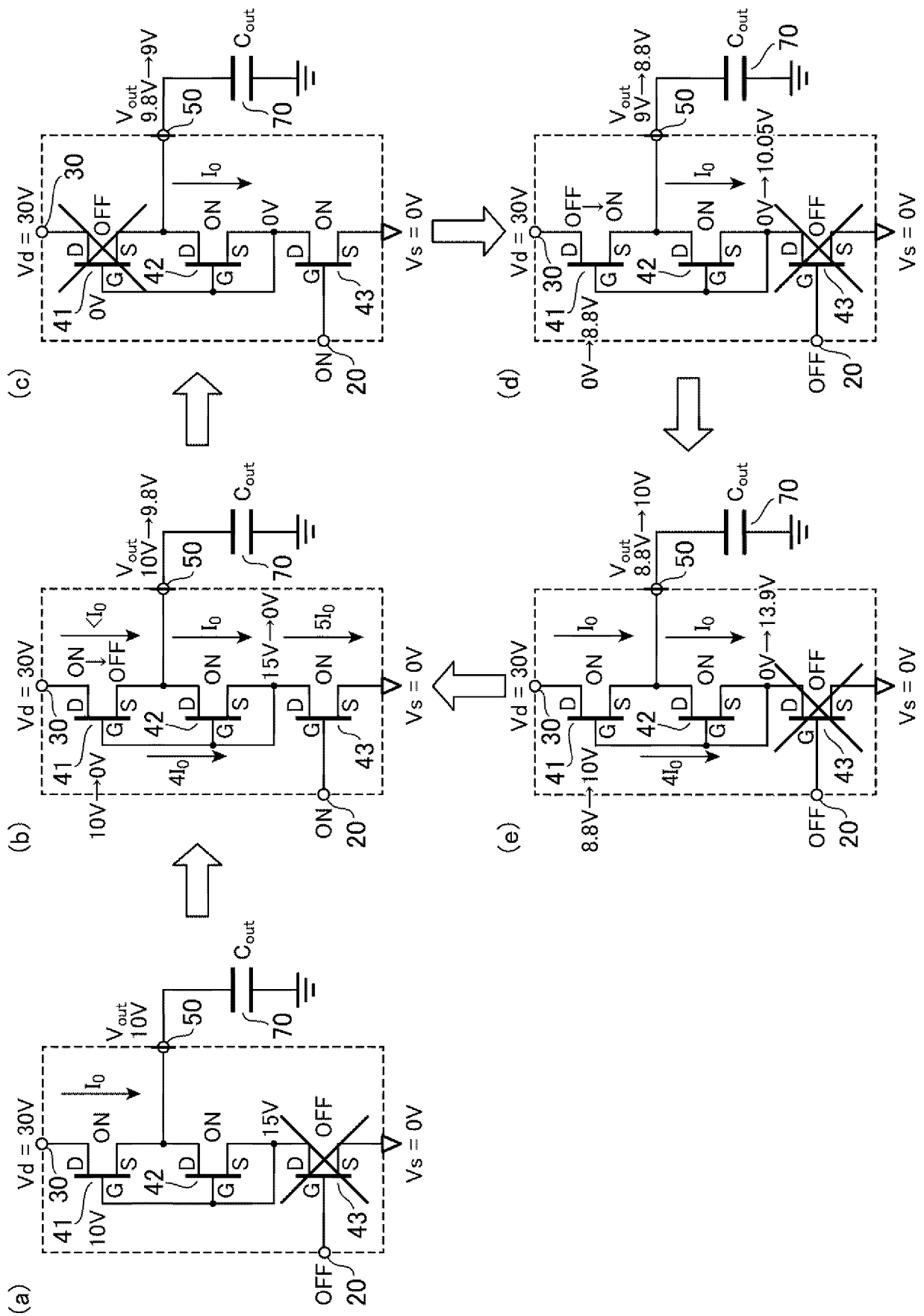
[図1]



[図2]

デジタル入力値 パターン	第4ビット 電流値 $I_4=8I_0$	第3ビット 電流値 $I_3=4I_0$	第2ビット 電流値 $I_2=2I_0$	第1ビット 電流値 $I_1=I_0$	トータル 電流
1	1	1	1	1	$15 I_0$
2	1	1	1	0	$13 I_0$
3	1	1	0	1	$11 I_0$
4	1	1	0	0	$9 I_0$
5	1	0	1	1	$7 I_0$
6	1	0	1	0	$5 I_0$
7	1	0	0	1	$3 I_0$
8	1	0	0	0	$1 I_0$
9	0	1	1	1	$-1 I_0$
10	0	1	1	0	$-3 I_0$
11	0	1	0	1	$-5 I_0$
12	0	1	0	0	$-7 I_0$
13	0	0	1	1	$-9 I_0$
14	0	0	1	0	$-11 I_0$
15	0	0	0	1	$-13 I_0$
16	0	0	0	0	$-15 I_0$

[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/010469

A. CLASSIFICATION OF SUBJECT MATTER

H03M 1/74(2006.01)i

FI: H03M1/74

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/74

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 55-13545 A (NIPPON TELEGRAPH & TELEPHONE) 30 January 1980 (1980-01-30) page 1, lower right column, line 12 to page 2, lower left column, line 11, fig. 1	1 2-4
Y A	US 2018/0014123 A1 (KNOWLES ELECTRONICS, LLC) 11 January 2018 (2018-01-11) paragraph [0060], fig. 7	1 2-4
Y A	JP 56-147519 A (NIPPON ELECTRIC CO) 16 November 1981 (1981-11-16) page 2, upper right column, line 11 to page 2, lower right column, line 12, fig. 3	1 2-4

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 May 2021 (13.05.2021)

Date of mailing of the international search report

25 May 2021 (25.05.2021)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application no.

PCT/JP2021/010469

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 55-13545 A	30 Jan. 1980	(Family: none)	
US 2018/0014123 A1	11 Jan. 2018	WO 2018/009306 A1 paragraph [0061], fig. 7	
JP 56-147519 A	16 Nov. 1981	CN 109479174 A (Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03M 1/74(2006.01)i FI: H03M1/74														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03M1/74 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y A	JP 55-13545 A（日本電信電話公社）30.01.1980（1980 - 01 - 30） 第1頁右下欄第12行-第2頁左下欄第11行，第1図	1 2-4												
Y A	US 2018/0014123 A1（KNOWLES ELECTRONICS, LLC）11.01.2018（2018 - 01 - 11） 段落[0060]，図7	1 2-4												
Y A	JP 56-147519 A（日本電気株式会社）16.11.1981（1981 - 11 - 16） 第2頁右上欄第11行-第2頁右下欄第12行，第3図	1 2-4												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 13.05.2021	国際調査報告の発送日 25.05.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/010469

引用文献			公表日	パテントファミリー文献	公表日
JP	55-13545	A	30.01.1980	(ファミリーなし)	
US	2018/0014123	A1	11.01.2018	WO 2018/009306 A1	
				段落[0061], 図7	
				CN 109479174 A	
JP	56-147519	A	16.11.1981	(ファミリーなし)	