(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 9 月 26 日(26.09.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/140630 A1

(51) 国際特許分類:
G01R 31/00 (2006.01)

(21) 国際出願番号: PCT/JP2012/057636

(22) 国際出願日: 2012 年 3 月 23 日(23.03.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 **(Mitsubishi Electric Corporation)** [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 木股　浩之 **(KIMATA Hiroyuki)** [—/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内 Tokyo (JP). 石坂　哲 **(ISHIZAKA Satoru)** [—/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 木村　満 **(KIMURA Mitsuru)**; 〒1010054 東京都千代田区神田錦町二丁目７番地　協販ビル２階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

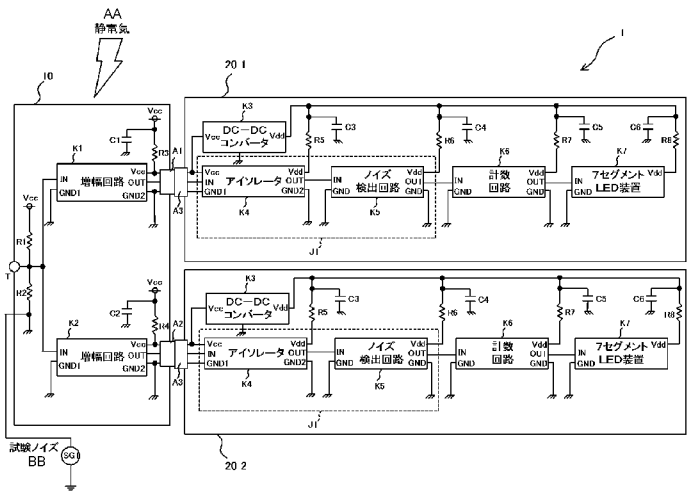
添付公開書類:
— 国際調査報告（条約第 21 条(3)）
— 補正された請求の範囲（条約第 19 条(1)）

WO 2013/140630 A1

(54) **Title**: TEST DEVICE, TEST METHOD, AND PROGRAM

(54) 発明の名称 : 検査装置、検査方法およびプログラム

[図1]



K1, K2... AMPLIFIER CIRCUIT
K3... DC-DC CONVERTER
K4... ISOLATOR
K5... NOISE DETECTION CIRCUIT
K6... COUNTER CIRCUIT
K7... 7-SEGMENT LED DEVICE
AA... STATIC ELECTRICITY
BB... TEST NOISE

(57) Abstract: When static electricity is applied to a board-to-be-tested (10) in the form of electromagnetic wave or when test noise is applied to the ground of the board-to-be-tested (10), a test device (20_1) and a test device (20_2) test whether or not noise is conducted through a path from the OUT-terminal of an amplifier circuit (K1) to the ground of the board-to-be-tested (10) and whether or not noise is conducted through a path from the OUT-terminal of an amplifier circuit (K2) to the ground of the board-to-be-tested (10), respectively, along with the noise conduction frequency.

(57) 要約: 被検査基板（１０）に電磁波による静電気を印加した場合、或いは、被検査基板（１０）のグランドに試験ノイズを印加した場合に、検査装置（２０＿１）は、増幅回路（Ｋ１）のＯＵＴ端子から被検査基板（１０）のグランドまでの経路をノイズが伝導するか否かを、検査装置（２０＿２）は、増幅回路（Ｋ２）のＯＵＴ端子から被検査基板（１０）のグランドまでの経路をノイズが伝導するか否かを、その回数と共に、検査する。

明　細　書

発明の名称 ： 検査装置、検査方法およびプログラム

技術分野

[0001] 本発明は、検査装置、検査方法およびプログラムに関する。

背景技術

[0002] 基板に形成された回路にノイズを印加して、そのノイズが回路上の経路を伝導するかを検査するものとして、特許文献１に記載の電源ノイズ検出回路がある。

[0003] この特許文献１に記載の電源ノイズ検出回路は、フリップフロップを有し、電源経路にノイズが伝導していない場合には、フリップフロップの出力の極性を維持する一方、電源経路にノイズが伝導した場合には、フリップフロップの出力の極性を反転させる。そして、フリップフロップの出力の極性反転があると、電源ノイズ検出回路は、発光ダイオードを発光させる。この発光により、電源ノイズ検出回路は、電源経路にノイズが伝導したことを報知する。

先行技術文献

特許文献

[0004] 特許文献1：特開平４－１１５６３４号公報

発明の概要

発明が解決しようとする課題

[0005] 上述した電源ノイズ検出回路は、一度でも、回路上の経路にノイズが伝導すると、発光ダイオードの発光を維持する。このため、この電源ノイズ検査回路は、例えば複数回、回路にノイズを印加して、どの経路がどの程度ノイズを伝導するかをユーザに把握させることができない。つまり、この電源ノイズ検査回路は、ノイズが伝導し易い経路或いはノイズが伝導し難い経路をユーザに把握させることができないという問題点があった。

[0006] 本発明は、上記実情に鑑みてなされたものであり、ノイズが伝導し易い経

路或いはノイズが伝導し難い経路の把握を可能にする検査装置、検査方法およびプログラムを提供することを目的とする。

課題を解決するための手段

[0007] 上記目的を達成するために、この発明に係る検査装置の検出部は、回路に複数回印加されたノイズの、回路上の経路の伝導を検出する。計数部は、検出部により検出された経路におけるノイズの伝導回数を計数する。表示部は、計数部により計数されたノイズの伝導回数を表示する。

発明の効果

[0008] 本発明によれば、ノイズが伝導し易い経路或いはノイズが伝導し難い経路の把握を可能にする。

図面の簡単な説明

[0009] [図1]本発明の実施の形態１に係るノイズ検査システムのブロック図である。

[図2]アイソレータのブロック図である。

[図3]ノイズ検査システムの動作を示すタイムチャートである。

[図4]本発明の実施の形態２に係るノイズ検査システムのブロック図である。

[図5]本発明の実施の形態３に係るノイズ検査システムのブロック図である。

発明を実施するための形態

[0010] （実施の形態１）

以下、本発明の実施の形態１に係るノイズ検査システム１を、図１～図３を参照して説明する。

[0011] ノイズ検査システム１は、図１のブロック図に示す通り、被検査基板１０と、検査装置２０＿１と、検査装置２０＿２と、を備える。

[0012] 被検査基板１０は、電子デバイスと、電子デバイスに接続される導線から形成された回路とを有する。被検査基板１０は、外部の機器から回路に印加されたノイズが、回路上の経路を伝導するかの検査の対象になる基板である。被検査基板１０は、増幅回路Ｋ１，Ｋ２と、抵抗Ｒ１～Ｒ４と、コンデンサＣ１，Ｃ２と、直流電源Ｖｃｃと、コネクタＡ１，Ａ２と、を備える。

[0013] 増幅回路Ｋ１および増幅回路Ｋ２は、抵抗Ｒ２に印加される電圧、即ち、ＩＮ端子に入力される信号を増幅し、ＯＵＴ端子から出力する。この抵抗Ｒ２の一端は、入力端子Ｔ、抵抗Ｒ１の一端および増幅回路Ｋ１，Ｋ２の各ＩＮ端子に接続され、抵抗Ｒ２の他端は、被検査基板１０のグランドに接続される。抵抗Ｒ１の他端は、直流電源Ｖｃｃに接続される。

[0014] また、増幅回路Ｋ１および増幅回路Ｋ２の各ＧＮＤ１端子および各ＧＮＤ２端子は、被検査基板１０のグランドおよび各アイソレータＫ４のＧＮＤ１端子に接続される。なお、例えば、被検査基板１０が、携帯電話等の製品に使用される場合、入力端子Ｔには、音声信号等の交流信号が、コンデンサを介して、入力される。

[0015] ここで、増幅回路Ｋ１と増幅回路Ｋ２は、ＩＮ端子に入力される信号を増幅するという機能は夫々で同一であるが、内部の回路構成は異なる。このため、増幅回路Ｋ１と増幅回路Ｋ２は、信号の増幅率が異なる。

[0016] 増幅回路Ｋ１は、ＯＵＴ端子が、コネクタＡ１を介して、検査装置２０＿１のアイソレータＫ４のＩＮ端子に接続される。増幅回路Ｋ２は、ＯＵＴ端子が、コネクタＡ２を介して、検査装置２０＿２のアイソレータＫ４のＩＮ端子に接続される。

[0017] また、増幅回路Ｋ１は、Ｖｃｃ端子が、抵抗Ｒ３を介して、直流電源Ｖｃｃに接続される。更に、増幅回路Ｋ１は、Ｖｃｃ端子が、コネクタＡ１を介して、検査装置２０＿１のアイソレータＫ４のＶｃｃ端子およびＤＣ－ＤＣコンバータＫ３のＶｃｃ端子に接続される。

[0018] また、増幅回路Ｋ２は、Ｖｃｃ端子が、抵抗Ｒ４を介して、直流電源Ｖｃｃに接続される。更に、増幅回路Ｋ２は、Ｖｃｃ端子が、コネクタＡ２を介して、検査装置２０＿２のアイソレータＫ４のＶｃｃ端子およびＤＣ－ＤＣコンバータＫ３のＶｃｃ端子に接続される。

[0019] 増幅回路Ｋ１および増幅回路Ｋ２は、直流電源Ｖｃｃから供給される直流電力を使用して、ＩＮ端子に入力された信号を増幅する。

[0020] 直流電源Ｖｃｃは、例えば、３．３ボルトの直流電圧を供給する。

[0021] 抵抗Ｒ３の一端およびコンデンサＣ１の一端は、直流電源Ｖｃｃに接続される。抵抗Ｒ３の他端は、増幅回路Ｋ１のＶｃｃ端子、検査装置２０＿１のアイソレータＫ４のＶｃｃ端子およびＤＣ－ＤＣコンバータＫ３のＶｃｃ端子に接続される。また、コンデンサＣ１の他端は、被検査基板１０のグランドに接続される。

[0022] 抵抗Ｒ４の一端およびコンデンサＣ２の一端は、直流電源Ｖｃｃに接続される。抵抗Ｒ４の他端は、増幅回路Ｋ２のＶｃｃ端子、検査装置２０＿２のアイソレータＫ４のＶｃｃ端子およびＤＣ－ＤＣコンバータＫ３のＶｃｃ端子に接続される。また、コンデンサＣ２の他端は、被検査基板１０のグランドに接続される。

[0023] 抵抗Ｒ３とコンデンサＣ１とで構成する回路および抵抗Ｒ４とコンデンサＣ２とで構成する回路でハイパスフィルタを形成する。このハイパスフィルタは、直流電源Ｖｃｃから出力される直流電圧に重畳されたノイズを除去している。

[0024] 上述した被検査基板１０に形成された回路に電磁波による静電気を印加する。或いは、被検査基板１０に形成された回路のグランド（被検査基板１０に配置された抵抗Ｒ２のグランド側の端子）に信号源ＳＧ１により試験ノイズを印加する。そして、増幅回路Ｋ１および増幅回路Ｋ２の各ＯＵＴ端子から出力される信号にノイズが重畳されているか否かを、検査装置２０＿１および検査装置２０＿２で検査する。言い換えれば、増幅回路Ｋ１および増幅回路Ｋ２の各ＯＵＴ端子から被検査基板１０のグランドまでの経路をノイズが伝導するか否かを、検査装置２０＿１および検査装置２０＿２で検査する。

[0025] なお、試験ノイズを出力する信号源ＳＧ１の一方の端子は、被検査基板１０のグランドに接続され、信号源ＳＧ１の他方の端子は、大地に接地される。また、以後、回路に印加する静電気および回路に印加する試験ノイズをまとめて、単に、ノイズと称する。

[0026] 検査装置２０＿１は、コネクタＡ３およびコネクタＡ１を介して、被検査

基板１０に電気的に接続される。検査装置２０＿１は、上述の通り、増幅回路Ｋ１のＯＵＴ端子から被検査基板１０のグランドまでの経路をノイズが伝導するか否かを検査する。

[0027] また、検査装置２０＿２は、コネクタＡ３およびコネクタＡ２を介して、被検査基板１０と電気的に接続される。検査装置２０＿２は、上述の通り、増幅回路Ｋ２のＯＵＴ端子から被検査基板１０のグランドまでの経路をノイズが伝導するか否かを検査する。

[0028] この検査装置２０＿１と検査装置２０＿２とは、同一の構成および同一の機能である。

[0029] 検査装置２０＿１および検査装置２０＿２は、ＤＣ－ＤＣコンバータＫ３と、検査部Ｊ１（アイソレータＫ４およびノイズ検出回路Ｋ５）と、計数回路Ｋ６と、７セグメントＬＥＤ装置Ｋ７と、抵抗Ｒ５～Ｒ８と、コンデンサＣ３～Ｃ６と、コネクタＡ３と、を備える。

[0030] ＤＣ－ＤＣコンバータＫ３は、直流電源Ｖｃｃから供給された直流電圧、即ち、Ｖｃｃ端子に印加される直流電圧を、例えば、５ボルトの直流電圧に昇圧して、Ｖｄｄ端子から出力する。

[0031] 検査装置２０＿１のＤＣ－ＤＣコンバータＫ３は、Ｖｃｃ端子が、アイソレータＫ４のＶｃｃ端子、増幅回路Ｋ１のＶｃｃ端子および抵抗Ｒ３の他端に接続され、Ｖｄｄ端子が、抵抗Ｒ５～Ｒ８の一端およびコンデンサＣ３～Ｃ６の一端に接続される。

[0032] また、検査装置２０＿２のＤＣ－ＤＣコンバータＫ３は、Ｖｃｃ端子が、アイソレータＫ４のＶｃｃ端子、増幅回路Ｋ２のＶｃｃ端子および抵抗Ｒ４の他端に接続され、Ｖｄｄ端子が、抵抗Ｒ５～Ｒ８の一端およびコンデンサＣ３～Ｃ６の一端に接続される。

[0033] 検査部Ｊ１は、被検査基板１０に形成された回路に印加されたノイズ（静電気および試験ノイズ）が、回路上の経路を伝導するかを検査する。具体的には、検査装置２０＿１の検査部Ｊ１は、回路に印加されたノイズが、増幅回路Ｋ１のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導する

かを検査する。また、検査装置２０＿２の検査部Ｊ１は、回路に印加されたノイズが、増幅回路Ｋ２のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導するかを検査する。

[0034] 検査部Ｊ１は、アイソレータＫ４と、ノイズ検出回路Ｋ５と、を備える。

[0035] アイソレータＫ４は、ＩＮ端子に入力された信号を、ＩＮ端子に入力された電流を遮断した上で、電磁誘導により、ＯＵＴ端子へ伝達する。

[0036] これにより、検査装置２０＿１のアイソレータＫ４は、増幅回路Ｋ１のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導するノイズを、電磁誘導により、ＯＵＴ端子へ伝達する。

[0037] また、検査装置２０＿２のアイソレータＫ４は、増幅回路Ｋ２のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導するノイズを、電磁誘導により、ＯＵＴ端子へ伝達する。

[0038] 検査装置２０＿１のアイソレータＫ４のＶｃｃ端子は、検査装置２０＿１のＤＣ－ＤＣコンバータＫ３のＶｃｃ端子、増幅回路Ｋ１のＶｃｃ端子および抵抗Ｒ３の他端に接続される。

[0039] また、検査装置２０＿１のアイソレータＫ４のＩＮ端子は、増幅回路Ｋ１のＯＵＴ端子に接続される。

[0040] 検査装置２０＿１のアイソレータＫ４のＧＮＤ１端子は、増幅回路Ｋ１のＧＮＤ２端子および被検査基板１０のグランドに接続される。

[0041] また、検査装置２０＿１のアイソレータＫ４のＧＮＤ２端子は、検査装置２０＿１のグランドに接続される。検査装置２０＿１のアイソレータＫ４のＯＵＴ端子は、検査装置２０＿１のノイズ検出回路Ｋ５のＩＮ端子に接続される。そして、検査装置２０＿１のアイソレータＫ４のＶｄｄ端子は、検査装置２０＿１の抵抗Ｒ５の他端に接続される。即ち、検査装置２０＿１のアイソレータＫ４のＶｄｄ端子は、抵抗Ｒ５を介して、検査装置２０＿１のＤＣ－ＤＣコンバータＫ３のＶｄｄ端子に接続される。なお、このＤＣ－ＤＣコンバータＫ３のＶｄｄ端子に接続される検査装置２０＿１のコンデンサＣ３の他端は、検査装置２０＿１のグランドに接続される。

[0042] また、検査装置２０＿２のアイソレータＫ４のＶｃｃ端子は、検査装置２０＿２のＤＣ－ＤＣコンバータＫ３のＶｃｃ端子、増幅回路Ｋ２のＶｃｃ端子および抵抗Ｒ４の他端に接続される。

[0043] 検査装置２０＿２のアイソレータＫ４のＩＮ端子は、増幅回路Ｋ２のＯＵＴ端子に接続される。

[0044] 検査装置２０＿２のアイソレータＫ４のＧＮＤ１端子は、増幅回路Ｋ２のＧＮＤ２端子、被検査基板１０のグランドに接続される。

[0045] また、検査装置２０＿２のアイソレータＫ４のＧＮＤ２端子は、検査装置２０＿２のグランドに接続される。検査装置２０＿２のアイソレータＫ４のＯＵＴ端子は、検査装置２０＿２のノイズ検出回路Ｋ５のＩＮ端子に接続される。そして、検査装置２０＿２のアイソレータＫ４のＶｄｄ端子は、検査装置２０＿２の抵抗Ｒ５の他端に接続される。即ち、検査装置２０＿２のアイソレータＫ４のＶｄｄ端子は、抵抗Ｒ５を介して、検査装置２０＿２のＤＣ－ＤＣコンバータＫ３のＶｄｄ端子に接続される。なお、このＤＣ－ＤＣコンバータＫ３のＶｄｄ端子に接続される検査装置２０＿２のコンデンサＣ３の他端は、検査装置２０＿１のグランドに接続される。

[0046] ここで、アイソレータＫ４の詳細を、図２のブロック図を用いて説明する。

[0047] アイソレータＫ４は、ドライバ回路Ｋ８と、一次側コイルＬ１と、二次側コイルＬ２と、レシーバ回路Ｋ９と、を備える。

[0048] ドライバ回路Ｋ８は、ＩＮ端子に入力された信号Ｓ１の立ち上がり、立ち下りを検出し、立ち上がりを検出した場合には、例えば、２つのパルスを、立ち下りを検出した場合には、例えば、１つのパルスを、ＯＵＴ端子から一次側コイルＬ１へ出力する。ドライバ回路Ｋ８は、ＤＣ－ＤＣコンバータＫ３のＶｃｃ端子から供給される直流電圧により、上述した動作を行う。

[0049] ドライバ回路Ｋ８のＶｃｃ端子は、アイソレータＫ４のＶｃｃ端子である。ドライバ回路Ｋ８のＩＮ端子は、アイソレータＫ４のＩＮ端子である。また、ドライバ回路Ｋ８のＧＮＤ１端子は、アイソレータＫ４のＧＮＤ１端子

である。

[0050] ドライバ回路Ｋ８のＯＵＴ端子は、一次側コイルＬ１の一方の端子に接続される。ドライバ回路Ｋ８のＧＮＤ端子は、一次側コイルＬ１の他方の端子およびドライバ回路Ｋ８のＧＮＤ１端子に接続される。即ち、ドライバ回路Ｋ８のＧＮＤ端子、ＧＮＤ１端子および一次側コイルＬ１の他方の端子は、被検査基板１０のグランドに接続される。

[0051] 一次側コイルＬ１は、半導体製造工程によって製造されたマイクロコイルである。一次側コイルＬ２の各端子の接続は、上述の通りである。

[0052] 二次側コイルＬ２も、半導体製造工程によって製造されたマイクロコイルである。二次側コイルＬ２と一次側コイルＬ１とは、互いに対向する位置に、絶縁状態で配置される。具体的には、一次側コイルＬ１と二次側コイルＬ２とが所定の間隔ｄを空けて対向して配置され、その間隔に、絶縁体であるポリイミドが配置される。これにより、アイソレータＫ４は、一次側コイルＬ１から二次側コイルＬ２へ、電流を遮断した上で、電磁誘導により、ドライバ回路Ｋが出力したパルスを伝達することができる。よって、静電気や試験ノイズの回路への印加に伴い発生する大電流が、レシーバ回路Ｋ９へ流れ、更には、アイソレータＫ４の後段に接続されるノイズ検出回路Ｋ５へ流れ込むことを防止することができる。

[0053] 二次側コイルＬ２は、一方の端子が、レシーバ回路Ｋ９のＩＮ端子に接続され、他方の端子が、レシーバ回路Ｋ９のＧＮＤに接続される。

[0054] レシーバ回路Ｋ９は、二次側コイルＬ２で受信されたパルスがＩＮ端子に入力されると、入力されたパルスの数に応じて信号の立ち上がり或いは立ち下りを復元して、信号Ｓ１’を生成する。そして、レシーバ回路Ｋ９は、生成した信号Ｓ１’を、ＯＵＴ端子から出力する。このようにして、レシーバ回路Ｋ９は、ドライバ回路Ｋ８のＩＮ端子に入力された信号Ｓ１を再生する。

[0055] レシーバ回路Ｋ９は、ＩＮ端子が、二次側コイルＬ２の一方の端子に接続され、ＧＮＤ端子が、二次側コイルＬ２の他方の端子に接続される。

[0056] また、レシーバ回路Ｋ９のＶｄｄ端子は、アイソレータＫ４のＶｄｄ端子である。よって、レシーバ回路Ｋ９は、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子から供給される直流電圧により、上述した動作を行う。

[0057] レシーバ回路Ｋ９のＯＵＴ端子は、アイソレータＫ４のＯＵＴ端子である。レシーバ回路Ｋ９のＧＮＤ２端子は、アイソレータＫ４のＧＮＤ２端子である。

[0058] また、レシーバ回路Ｋ９のＧＮＤ２端子は、レシーバ回路Ｋ９のＧＮＤ端子に接続される。よって、レシーバ回路Ｋ９のＧＮＤ端子、ＧＮＤ２端子および二次側コイルＬ２の他方の端子は、検査装置２０＿１のアイソレータＫ４の場合は検査装置２０＿１のグランドに接続され、検査装置２０＿２のアイソレータＫ４の場合は検査装置２０＿２のグランドに接続される。

[0059] このように、レシーバ回路Ｋ９のＧＮＤ端子、ＧＮＤ２端子および二次側コイルＬ２の他方の端子は、検査装置２０（検査装置２０＿１または検査装置２０＿２）のグランドに接続される。一方で、ドライバ回路Ｋ８のＧＮＤ端子、ＧＮＤ１端子および一次側コイルＬ１の他方の端子は、被検査基板１０のグランドに接続される。これにより、ドライバ回路Ｋ８のグランドおよび一次側コイルＬ１のグランドと、レシーバ回路Ｋ９のグランドおよび二次側コイルＬ２のグランドとを、電気的に分離させている（グランドループを遮断している）。よって、ノイズ（静電気や試験ノイズ）の非印加時に、一次側コイルＬ１から二次側コイルＬ２へ、不要な静電気等が伝達されることを防止することができる。

[0060] 図１に示すノイズ検出回路Ｋ５は、内部に、ローパスフィルタと、ローパスフィルタの後段に配置されるコンパレータと、を有する。ノイズ検出回路Ｋ５は、アイソレータＫ４のＯＵＴ端子から出力された信号がＩＮ端子に入力されると、入力された信号をローパスフィルタでフィルタリングする。そして、ノイズ検出回路Ｋ５は、フィルタリングした信号の振幅の最大値（電圧の最大値）と、予め定められた電圧値とを、コンパレータで比較する。具体的には、ノイズ検出回路Ｋ５は、フィルタリングした信号の振幅の最大値

と、増幅回路Ｋ１，Ｋ２の誤動作を引き起こす電圧値とを、コンパレータで比較する。そして、ノイズ検出回路Ｋ５は、フィルタリングした信号の電圧の最大値が予め定められた電圧値以上である場合（増幅回路Ｋ１，Ｋ２の誤動作を引き起こすノイズが重畳されている場合）、コンパレータに例えば、３ボルトの電圧（正電圧）を出力させることで、ＯＵＴ端子から正電圧を出力する。一方、ノイズ検出回路Ｋ５は、フィルタリングした信号の電圧の最大値が予め定められた電圧値未満である場合（増幅回路Ｋ１，Ｋ２の誤動作を引き起こすノイズが重畳されていない場合）、コンパレータに例えば、ゼロボルトの電圧（零電圧）を出力させることで、ＯＵＴ端子から零電圧を出力する。

[0061] このようにして、ノイズ検出回路Ｋ５は、アイソレータＫ４から出力された信号に、即ち、被検査基板１０の増幅回路Ｋ１或いは増幅回路Ｋ２から出力された信号に、ノイズが重畳されているか否かの検出を行い、検出結果として、正電圧或いは零電圧を出力する。

[0062] これにより、検査装置２０＿１のノイズ検出回路Ｋ５は、回路に印加されたノイズが、増幅回路Ｋ１のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導するかを検査することができる。また、検査装置２０＿２のノイズ検出回路Ｋ５は、回路に印加されたノイズが、増幅回路Ｋ２のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導するかを検査することができる。

[0063] 検査装置２０＿１のノイズ検出回路Ｋ５のＩＮ端子は、検査装置２０＿１のアイソレータＫ４のＯＵＴ端子に接続され、検査装置２０＿２のノイズ検出回路Ｋ５のＩＮ端子は、検査装置２０＿２のアイソレータＫ４のＯＵＴ端子に接続される。

[0064] 検査装置２０＿１のノイズ検出回路Ｋ５のＧＮＤ端子は、検査装置２０＿１のグランドに接続され、検査装置２０＿２のノイズ検出回路Ｋ５のＧＮＤ端子は、検査装置２０＿２のグランドに接続される。

[0065] 検査装置２０＿１のノイズ検出回路Ｋ５のＯＵＴ端子は、検査装置２０＿

１の計数回路Ｋ６のＩＮ端子に接続され、検査装置２０＿２のノイズ検出回路Ｋ５のＯＵＴ端子は、検査装置２０＿２の計数回路Ｋ６のＩＮ端子に接続される。

[0066] 検査装置２０＿１のノイズ検出回路Ｋ５のＶｄｄ端子は、検査装置２０＿１の抵抗Ｒ６の他端に接続され、その抵抗Ｒ６の一端は、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子、およびコンデンサＣ４を介して検査装置２０＿１のグランドに接続される。また、検査装置２０＿２のノイズ検出回路Ｋ５のＶｄｄ端子は、検査装置２０＿２の抵抗Ｒ６の他端に接続され、その抵抗Ｒ６の一端は、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子、およびコンデンサＣ４を介して検査装置２０＿２のグランドに接続される。各ノイズ検出回路Ｋ５は、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子から供給される直流電圧により、上述した動作を行う。

[0067] なお、検査装置２０＿１のコンデンサＣ４の他端は、検査装置２０＿１のグランドに接続され、検査装置２０＿２のコンデンサＣ４の他端は、検査装置２０＿２のグランドに接続される。

[0068] 計数回路Ｋ６は、複数のＴ型フリップフロップを有する。計数回路Ｋ６は、ノイズ検出回路Ｋ５のＯＵＴ端子から出力された正電圧がＩＮ端子に入力されると、正電圧の立ち上がりを、Ｔ型フリップフロップで検出することで、正電圧の出力回数を計数する。

[0069] これにより、検査装置２０＿１の計数回路Ｋ６は、回路に印加されたノイズが、増幅回路Ｋ１のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導した回数を計数する。また、検査装置２０＿２の計数回路Ｋ６は、回路に印加されたノイズが、増幅回路Ｋ１のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導した回数を計数する。

[0070] 検査装置２０＿１の計数回路Ｋ６のＩＮ端子は、検査装置２０＿１のノイズ検出回路Ｋ５のＯＵＴ端子に接続される。検査装置２０＿２の計数回路Ｋ６のＩＮ端子は、検査装置２０＿２のノイズ検出回路Ｋ５のＯＵＴ端子に接続される。

[0071] 検査装置２０＿１の計数回路Ｋ６のＧＮＤ端子は、検査装置２０＿１のグランドに接続され、検査装置２０＿２の計数回路Ｋ６のＧＮＤ端子は、検査装置２０＿２のグランドに接続される。

[0072] 検査装置２０＿１の計数回路Ｋ６のＯＵＴ端子は、検査装置２０＿１の７セグメントＬＥＤ装置Ｋ７のＩＮ端子に接続され、検査装置２０＿２の計数回路Ｋ６のＯＵＴ端子は、検査装置２０＿２の７セグメントＬＥＤ装置Ｋ７のＩＮ端子に接続される。各計数回路Ｋ６は、ＯＵＴ端子から、計数した回数に応じた制御信号を出力して、７セグメントＬＥＤ装置Ｋ７の表示を制御する。

[0073] 検査装置２０＿１の計数回路Ｋ６のＶｄｄ端子は、検査装置２０＿１の抵抗Ｒ７の他端に接続され、その抵抗Ｒ７の一端は、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子、およびコンデンサＣ５を介して検査装置２０＿１のグランドに接続される。また、検査装置２０＿２の計数回路Ｋ６のＶｄｄ端子は、検査装置２０＿２の抵抗Ｒ７の他端に接続され、その抵抗Ｒ７の一端は、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子、およびコンデンサＣ５を介して検査装置２０＿２のグランドに接続される。各計数回路Ｋ６は、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子から供給される直流電圧により、上述した動作を行う。

[0074] なお、検査装置２０＿１のコンデンサＣ５の他端は、検査装置２０＿１のグランドに接続され、検査装置２０＿２のコンデンサＣ５の他端は、検査装置２０＿２のグランドに接続される。

[0075] ７セグメントＬＥＤ装置Ｋ７は、７つのＬＥＤ（Light Emitting Diode）から構成される。７セグメントＬＥＤ装置Ｋ７は、計数回路Ｋ６のＯＵＴ端子から出力される制御信号に応じた表示を行う。

[0076] 具体的には、検査装置２０＿１の７セグメントＬＥＤ装置Ｋ７は、回路に印加されたノイズが、増幅回路Ｋ１のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導した回数を表示する。検査装置２０＿２の７セグメントＬＥＤ装置Ｋ７は、回路に印加されたノイズが、増幅回路Ｋ２のＯＵＴ端

子から被検査基板１０のグランドまでの経路を伝導した回数を表示する。

[0077] 検査装置２０＿１の７セグメントＬＥＤ装置Ｋ７のＩＮ端子は、検査装置２０＿１の計数回路Ｋ６のＯＵＴ端子に接続される。検査装置２０＿２の７セグメントＬＥＤ装置Ｋ７のＩＮ端子は、検査装置２０＿２の計数回路Ｋ６のＯＵＴ端子に接続される。

[0078] 検査装置２０＿１の７セグメントＬＥＤ装置Ｋ７のＧＮＤ端子は、検査装置２０＿１のグランドに接続され、検査装置２０＿２の７セグメントＬＥＤ装置Ｋ７のＧＮＤ端子は、検査装置２０＿２のグランドに接続される。

[0079] 検査装置２０＿１の７セグメントＬＥＤ装置Ｋ７のＶｄｄ端子は、検査装置２０＿１の抵抗Ｒ８の他端に接続され、その抵抗Ｒ８の一端は、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子、およびコンデンサＣ６を介して検査装置２０＿１のグランドに接続される。また、検査装置２０＿２の７セグメントＬＥＤ装置Ｋ７のＶｄｄ端子は、検査装置２０＿２の抵抗Ｒ８の他端に接続され、その抵抗Ｒ８の一端は、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子、およびコンデンサＣ６を介して検査装置２０＿２のグランドに接続される。

[0080] なお、検査装置２０＿１のコンデンサＣ６の他端は、検査装置２０＿１のグランドに接続され、検査装置２０＿２のコンデンサＣ６の他端は、検査装置２０＿２のグランドに接続される。

[0081] 抵抗Ｒ５とコンデンサＣ３とで構成する回路、抵抗Ｒ６とコンデンサＣ４とで構成する回路、抵抗Ｒ７とコンデンサＣ５とで構成する回路および抵抗Ｒ８とコンデンサＣ６とで構成する回路で、ハイパスフィルタを形成する。このハイパスフィルタは、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子から出力される直流電圧に重畳されたノイズを除去する。

[0082] 上述した検査装置２０＿１を用いて、回路に印加されたノイズが、増幅回路Ｋ１のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導した回数を計数する動作、および検査装置２０＿２を用いて、回路に印加されたノイズが、増幅回路Ｋ２のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導した回数を計数する動作について、図３に示すタイムチャートを用

いて説明する。

[0083] このタイムチャートでは、次の場合における動作を示している。即ち、ｔ１時に、国際規格ＩＥＣ６１０００－４－２による静電気を被検査基板１０に形成された回路に電磁波として印加する。次に、ｔ２時に、被検査基板１０に配置された抵抗Ｒ２のグランド側の端子に（被測定基板１０に形成された回路のグランドに）、国内規格ＪＥＭ－ＴＲ１７７による試験ノイズを信号源ＳＧ１から印加する。その後、ｔ３時に、被検査基板１０に配置された抵抗Ｒ２のグランド側の端子に（被測定基板１０に形成された回路のグランドに）、国際規格ＩＥＣ６１０００－４－４による試験ノイズを信号源ＳＧ１から印加する。この場合における動作を、図３に示している。

[0084] ここで、ｔ１時に印加する、国際規格ＩＥＣ６１０００－４－２における静電気とは、人体などから発生する静電気を模擬したものである。また、ｔ３時に印加する、国際規格ＩＥＣ６１０００－４－４による試験ノイズとは、産業機器などで生じる、リレーなどの開閉時に発生するノイズやサーボなどから発生するノイズを模擬したものである。また、ｔ２時に印加する、国内規格ＪＥＭ－ＴＲ１７７における試験ノイズとは、国際規格ＩＥＣ６１０００－４－４による試験ノイズと同様のノイズであるが、国際規格ＩＥＣ６１０００－４－４による試験ノイズの波形よりも、立ち上がりを急峻にしたものである。

[0085] 図３に示すように、増幅回路Ｋ１のＯＵＴ端子から出力された信号が、信号Ｓ２＿１（ｔ１時）、信号Ｓ３＿１（ｔ２時）、或いは信号Ｓ４＿１（ｔ３時）に示す波形になった場合、検査装置２０＿１のアイソレータＫ４のＯＵＴ端子から出力される信号は、ｔ１時から遅れたｔ１’時に、信号Ｓ２＿１’に示す波形となり、ｔ２時から遅れたｔ２’時に、信号Ｓ３＿１’に示す波形となり、ｔ３時から遅れたｔ３’時に、信号Ｓ４＿１’に示す波形となる。

[0086] また、増幅回路Ｋ２のＯＵＴ端子から出力された信号が、信号Ｓ２＿２（ｔ１時）、信号Ｓ３＿２（ｔ２時）、或いは信号Ｓ４＿２（ｔ３時）に示す

波形となった場合、検査装置２０＿２のアイソレータＫ４のＯＵＴ端子から出力される信号は、ｔ１時から遅れたｔ１’時に、信号Ｓ２＿２’に示す波形となり、ｔ２時から遅れたｔ２’時に、信号Ｓ３＿２’に示す波形となり、ｔ３時から遅れたｔ３’時に、信号Ｓ４＿２’に示す波形となる。

[0087] ここで、検査装置２０＿１のアイソレータＫ４から出力される信号が、増幅回路Ｋ１のＯＵＴ端子から出力される信号よりも遅れるのは、一次側コイルＬ１から二次側コイルＬ２（図２参照）への信号の伝達の遅れ、およびレシーバ回路Ｋ９（図２参照）での信号の生成に費やす時間が生じることによる。検査装置２０＿２のアイソレータＫ４から出力される信号が、増幅回路Ｋ２のＯＵＴ端子から出力される信号より遅れるのも、同様の理由による。

[0088] 検査装置２０＿１のアイソレータＫ４のＯＵＴ端子から出力される信号が、信号Ｓ２＿１’、信号Ｓ３＿１’、或いは信号Ｓ４＿１’に示す波形となった場合、検査装置２０＿１のノイズ検出回路Ｋ５のＯＵＴ端子から出力される信号は、ｔ１’時およびｔ３’時に、正電圧が生じる波形になる。ここで、検査装置２０＿１のノイズ検出回路Ｋ５のＯＵＴ端子から出力される信号が、ｔ２’時に零電圧になるのは、信号Ｓ３＿１’の電圧が、増幅回路Ｋ１の誤作動を引き起こす可能性のある電圧（予め定められた電圧）未満であったことによる。

[0089] 検査装置２０＿１のノイズ検出回路Ｋ５のＯＵＴ端子から、正電圧が２回出力されることで、検査装置２０＿１の計数回路Ｋ６は、検査装置２０＿１の７セグメントＬＥＤ装置Ｋ７に、数字の２を表示させる。

[0090] これにより、被検査基板１０に形成された回路に印加された３回のノイズのうち２回が、増幅回路Ｋ１のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導したことが分かる。

[0091] また、検査装置２０＿２のアイソレータＫ４のＯＵＴ端子から出力された信号が、信号Ｓ２＿２’、信号Ｓ３＿２’、或いは信号Ｓ４＿２’に示す波形になった場合、検査装置２０＿２のノイズ検出回路Ｋ５のＯＵＴ端子から出力される信号は、ｔ２’時に、正電圧が生じる波形となる。ここで、検査

装置２０＿２のノイズ検出回路Ｋ５のＯＵＴ端子から出力される信号が、ｔ１’時およびｔ３’時に零電圧になるのは、信号Ｓ２＿２’および信号Ｓ４＿２’の電圧が、増幅回路Ｋ２の誤作動を引き起こす電圧（予め定められた電圧）未満であったことによる。

[0092] 検査装置２０＿２のノイズ検出回路Ｋ５のＯＵＴ端子から、正電圧が１回出力されることで、検査装置２０＿２の計数回路Ｋ６は、検査装置２０＿２の７セグメントＬＥＤ装置Ｋ７に、数字の１を表示させる。

[0093] これにより、被検査基板１０に形成された回路に印加された３回のノイズのうち１回が、増幅回路Ｋ２のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導したことが分かる。

[0094] 上述した通り、実施の形態１に係るノイズ検査システム１の検査装置２０＿１は、被検査基板１０に電磁波による静電気を印加した場合、或いは、被検査基板１０のグランドに試験ノイズを印加した場合に、増幅回路Ｋ１のＯＵＴ端子から被検査基板１０のグランドまでの経路をノイズが伝導するか否かを（増幅回路Ｋ１から出力される信号にノイズが重畳されるか否かを）、検査できる。また、検査装置２０＿１は、ノイズが経路を伝導する場合には、その回数を計数することができる。

[0095] 同様に、検査装置２０＿２は、被検査基板１０に電磁波による静電気を印加した場合、或いは、被検査基板１０のグランドに試験ノイズを印加した場合に、増幅回路Ｋ２のＯＵＴ端子から被検査基板１０のグランドまでの経路をノイズが伝導するか否かを（増幅回路Ｋ２から出力される信号にノイズが重畳されるか否かを）、検査できる。また、検査装置２０＿２は、ノイズが経路を伝導する場合には、その回数を計数することができる。

[0096] よって、検査装置２０＿１および検査装置２０＿２によれば、増幅回路Ｋ１および増幅器Ｋ２の各ＯＵＴ端子から被検査基板１０のグランドまでの経路が、ノイズが伝導し易い経路であるか或いは伝導し難い経路であるかといった把握を可能にしている。よって、ユーザは、ノイズが伝導し易い経路であるか或いは伝導し難い経路であるかといった把握ができる。

[0097] （実施の形態２）

次に、本発明の実施の形態２に係るノイズ検査システム２を、図４を参照して説明する。ノイズ検査システム２は、実施の形態１に係るノイズ検査システム１の構成の一部を変更したものである。

[0098] 具体的には、ノイズ検査システム２は、ノイズ検査システム１の被検査基板１０を被検査基板１１へ変更し、検査装置２０＿１を検査装置２１へ変更し、ノイズ検査システム１の検査装置２０＿２を使用しない構成にしたものである。よって、ノイズ検査システム２では、ノイズ検査システム１と同一の構成については同一の番号を付して、その説明を省略する。

[0099] ノイズ検査システム２は、被検査基板１１と、検査装置２１と、を備える。

[0100] 被検査基板１１は、被検査基板１０で用いられた増幅回路Ｋ１を使用する一方、増幅回路Ｋ２を使用しない構成としている。増幅回路Ｋ１の周辺に配置される抵抗Ｒ１～Ｒ３、コンデンサＣ１、直流電源Ｖｃｃおよびコネクタ Ａ１は、全て、被検査基板１０と同一の構成および同一の接続である。

[0101] 検査装置２１は、検査装置２０＿１で使用された、ＤＣ－ＤＣコンバータＫ３、アイソレータＫ４、ノイズ検出回路Ｋ５、計数回路Ｋ６、７セグメントＬＥＤ装置Ｋ７、抵抗Ｒ５～Ｒ８およびコンデンサＣ３～Ｃ６を備える。これらの構成および接続は、全て、検査装置２０＿１と同一である。

[0102] この他に、検査装置２１は、演算回路Ｋ１０と、ＵＳＢ（Universal Serial Bus）インターフェイスＫ１１と、抵抗Ｒ９，Ｒ１０と、コンデンサＣ７，Ｃ８と、ＵＳＢ端子Ｕ１と、を備える。

[0103] 演算回路Ｋ１０は、各種の演算を行う。

[0104] 演算回路Ｋ１０は、ＩＮ端子が、ノイズ検出回路Ｋ５のＯＵＴ端子および計数回路Ｋ６のＩＮ端子に接続され、ＧＮＤ端子が、検査装置２１のグランドに接続される。

[0105] また、演算回路Ｋ１０は、ＩＮ／ＯＵＴ端子が、ＵＳＢインターフェイスＫ１１のＩＮ／ＯＵＴ端子に接続され、Ｖｄｄ端子が、抵抗Ｒ９を介して、

ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子に接続される。抵抗Ｒ９は、一端が、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子およびコンデンサＣ７の一端に接続され、他端が、演算回路Ｋ１０のＶｄｄ端子に接続される。コンデンサＣ７の他端は、検査装置２１のグランドに接続される。

[0106] 演算回路Ｋ１０は、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子から供給される直流電力を利用して、ノイズ検出回路Ｋ５のＯＵＴ端子から正電圧が出力された場合、即ち、ＩＮ端子に正電圧が印加された場合、その時刻をデータとして記憶する。

[0107] 演算回路Ｋ１０は、ＣＰＵ（Central Processing Unit）１０１と、クロック部１０２と、記憶部１０３と、を備える。

[0108] ＣＰＵ１０１は、ノイズ検出回路Ｋ５のＯＵＴ端子から正電圧が出力された場合、即ち、ＩＮ端子に正電圧が印加された場合、そのときの時刻を、クロック部１０２が計時している時刻から特定する。そして、ＣＰＵ１０１は、特定した時刻をデータとして記憶部１０３に記憶する。

[0109] また、ＣＰＵ１０１は、ＵＳＢ規格による外部の通信装置との通信が可能になった場合に、ＵＳＢインターフェイスＫ１１を介して外部の通信装置からの命令がＩＮ／ＯＵＴ端子に入力されると、記憶部１０３に記憶された時刻を示すデータ、即ち、ノイズ検出回路Ｋ５から正電圧が出力された時刻を示すデータを、ＩＮ／ＯＵＴ端子を介して、外部の通信装置へ送信する。

[0110] クロック部１０２は、例えば、発振回路を有する。クロック部１０２は、この発信回路の発振動作により計時を行う。

[0111] 記憶部１０３は、例えば、フラッシュメモリであり、ノイズ検出回路Ｋ５から正電圧が出力された時刻を示すデータをＣＰＵ１０１の命令に従って記憶する。

[0112] ＵＳＢインターフェイスＫ１１は、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子から供給される直流電力を利用して、ＵＳＢ規格による通信を外部の通信装置と行う。ＵＳＢインターフェイスＫ１１は、Ｖｄｄ端子が、抵抗Ｒ１０を介して、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子に接続される。抵抗Ｒ１

０は、一端が、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子およびコンデンサＣ８の一端に接続され、他端が、ＵＳＢインターフェイスＫ１１のＶｄｄ端子に接続される。コンデンサＣ８の他端は、検査装置２１のグランドに接続される。

[0113] また、ＵＳＢインターフェイスＫ１１は、ＩＮ／ＯＵＴ端子が、演算回路Ｋ１０のＩＮ／ＯＵＴ端子に接続される。これにより、ＵＳＢインターフェイスＫ１１は、外部の通信装置からの命令を、演算回路Ｋ１０へ送信すると共に、演算回路Ｋ１０から出力されるデータ（時刻を示すデータ）を取得する。

[0114] また、ＵＳＢインターフェイスＫ１１は、ＯＵＴ端子が、ＵＳＢ端子Ｕ１に接続される。ＵＳＢインターフェイスＫ１１は、演算回路Ｋ１０から時刻を示すデータを取得すると、そのデータを、ＯＵＴ端子から出力することで、ＵＳＢ端子Ｕ１を介して外部の通信装置へ出力する。

[0115] また、ＵＳＢインターフェイスＫ１１は、ＧＮＤ端子が、検査装置２１のグランドに接続される。

[0116] ＵＳＢ端子Ｕ１には、外部の通信装置と通信を行うためのＵＳＢケーブルが接続される。

[0117] 抵抗Ｒ９とコンデンサＣ７とで構成する回路および抵抗Ｒ１０とコンデンサＣ８とで構成する回路で、ハイパスフィルタを形成する。このハイパスフィルタは、ＤＣ－ＤＣコンバータＫ３のＶｄｄ端子から出力される直流電圧に重畳されたノイズを除去する。

[0118] 上述した構成により、演算回路Ｋ１０のＣＰＵ１０１は、ノイズ検出回路Ｋ５から正電圧が出力されると、そのときの時刻を、クロック部１０２が計時している時刻から特定し、記憶部１０３にデータとして記憶する。そして、ＣＰＵ１０１は、外部の通信装置からの命令に応じ、ＵＳＢインターフェイスＫ１１を介して、記憶部１０３に記憶されたデータ、即ち、ノイズ検出回路Ｋ５から正電圧が出力された時刻を示すデータを、外部の通信装置へ出力する。

[0119] 外部の通信装置は、例えば、次のようにして、増幅回路Ｋ１のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導したのが、静電気であるか、試験ノイズであるかを、伝導回数と共に、判別する。即ち、外部の通信装置は、ＵＳＢインターフェイスＫ１１から取得したデータで示される時刻を、外部の通信装置に予め記憶された、被検査基板１１に静電気や試験ノイズを印加した時刻を示すデータから検索する。この検索により、外部の通信装置は、増幅回路Ｋ１のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導したのが、静電気であるか、試験ノイズであるかを、伝導回数と共に、判別する。

[0120] 上述した実施の形態２に係るノイズ検査システム２によれば、増幅回路Ｋ１のＯＵＴ端子から被検査基板１０のグランドまでの経路を伝導し易い或いは伝導し難いのは、静電気か試験ノイズかの切り分けを可能にし、更には、伝導回数から、静電気や試験ノイズがどの程度、上述の経路に伝導し易いのかの把握を可能にしている。よって、ユーザは、上述した把握ができる。

[0121] （実施の形態３）

次に、本発明の実施の形態３に係るノイズ検査システム３を、図５を参照して説明する。ノイズ検査システム３は、実施の形態２に係るノイズ検査システム２の構成の一部を変更したものである。

[0122] 具体的には、ノイズ検査システム３は、ノイズ検査システム２の検査装置２１を検査装置２２へ変更したものである。よって、ノイズ検査システム３では、ノイズ検査システム２と同一の構成については同一の番号を付して、その説明を省略する。

[0123] ノイズ検査システム３は、被検査基板１１と、検査装置２２と、を備える。

[0124] 被検査基板１１は、実施の形態２に係るノイズ検査システム２で用いられたものと同一の構成である。

[0125] 検査装置２２は、実施の形態２に係るノイズ検査システム２の検査装置２１の一部を変更したものである。具体的には、検査装置２２は、検査装置２

１で用いられたＤＣ－ＤＣコンバータＫ３を、蓄電池Ｄ１へ変更したものである。検査装置２２のその他の構成は、検査装置２１と同一である。

[0126] 蓄電池Ｄ１は、一次電池、二次電池の何れでもよい。蓄電池Ｄ１の一方の端子は、抵抗Ｒ５～Ｒ１０の一端およびコンデンサＣ３～Ｃ８の一端に接続され、蓄電池Ｄ１の他方の端子は、検査装置２２のグランドに接続される。

[0127] 上述した構成により、検査装置２２は、アイソレータＫ４、ノイズ検出回路Ｋ５、計数回路Ｋ６、７セグメントＬＥＤ装置Ｋ７、演算回路Ｋ１０およびＵＳＢインターフェイスＫ１１の各Ｖｄｄ端子へ、蓄電池Ｄ１から直流電力を供給している。よって、被検査基板１１の直流電源Ｖｃｃが、ＤＣ－ＤＣコンバータＫ３を動作させる能力がない場合であっても、即ち、検査装置２０＿１，２０＿２，２１を動作させることができない場合であっても、蓄電池Ｄ１によって、検査装置２２を動作させ、検査装置２２による検査を行うことができる。

[0128] 以上、本発明の実施の形態を説明したが、この発明は上記の実施の形態に限定されず、種々の変形および応用が可能である。

[0129] 例えば、上述した実施の形態１に係るノイズ検査システム１は、検査装置２０＿１および検査装置２０＿２が、被検査基板１０と別個であった。同様に、実施の形態２に係るノイズ検査システム２は、検査装置２１が、被検査基板１１と別個であり、実施の形態３に係るノイズ検査システム３は、検査装置２２が、被検査基板１１と別個であった。しかし、これに限られるものではない。

[0130] 即ち、検査装置２０＿１および検査装置２０＿２を、被検査基板１０と一体に構成してもよい。具体的には、検査装置２０＿１および検査装置２０＿２を、被検査基板１０の基板内に構成してもよい。同様に、検査装置２１、或いは、検査装置２２を、被検査基板１１の基板内に構成してもよい。

[0131] また、検査装置２０＿１や検査装置２０＿２の各部の全てを、被検査基板１０の基板内に構成するのではなく、検査部Ｊ１を、被検査基板１０と別個の基板に設ける一方で、計数回路Ｋ６および７セグメントＬＥＤ装置Ｋ７を

、被検査基板１０内に構成してもよい。これは、検査部Ｊ１が、増幅回路Ｋ１のＯＵＴ端子（或いは、増幅回路Ｋ２のＯＵＴ端子）と検査装置２０＿１のグランドとの経路を伝導するノイズにより発生する大電流の影響を受け易いためである。同様に、検査装置２１の検査部Ｊ１、或いは、検査装置２２の検査部Ｊ１を、被検査基板１１と別個の基板に設ける一方で、計数回路Ｋ６、７セグメントＬＥＤ装置Ｋ７、演算回路Ｋ１０、ＵＳＢインターフェイスＫ１１およびＵＳＢ端子Ｕ１を、被検査基板１１内に構成してもよい。

[0132] また、上述した各実施の形態に係るノイズ検査システム１～３のノイズ検出回路Ｋ５は、ローパスフィルタおよびコンパレータを有し、コンパレータに入力された信号（アイソレータＫ４のＯＵＴ端子から出力された信号）の振幅の最大値が、予め定められた電圧値以上の場合に、正電圧を出力して計数回路Ｋ６に計数を行わせ、予め定められた電圧未満の場合に、零電圧を出力して計数回路Ｋ６に計数を行わせなかった。しかし、これに限られるものではなく、ノイズ検出回路Ｋ５は、コンパレータを有さないものでもよい。

[0133] この場合、ノイズ検出回路Ｋ５は、ローパスフィルタおよび増幅器を有する構成にする。そして、ノイズ検出回路Ｋ５は、アイソレータＫ４のＯＵＴ端子から出力された信号をローパスフィルタでフィルタリングして、フィルタリングした信号を増幅して出力する構成にすればよい。この増幅した信号が、計数回路Ｋ６で計数が行われる電圧値以上であれば、計数回路Ｋ６は、７セグメントＬＥＤ装置Ｋ７の表示を１つ増加させる。一方、増幅した信号が、計数回路Ｋ６で計数が行われる電圧値未満であれば、計数回路Ｋ６は、７セグメントＬＥＤ装置Ｋ７の表示を維持する。

[0134] この構成によれば、コンパレータを有さないノイズ検出回路Ｋ５であっても、増幅回路Ｋ１のＯＵＴ端子（或いは増幅回路Ｋ２のＯＵＴ端子）と検査装置２０＿１のグランドとの経路をノイズが伝導したか否かを、検査することができる。

[0135] また、上述した各実施形態に係るノイズ検査システム１～３では、ノイズ検出回路Ｋ５および計数回路Ｋ６を、ハードウェアで実現したが、これに限

られるものではない。

[0136] 即ち、ノイズ検出回路Ｋ５および計数回路Ｋ６の機能を、ソフトウェアで実現してもよい。この場合には、検査装置２０＿１および検査装置２０＿２に、ＣＰＵおよびＣＰＵに実行させるプログラムを記憶するメモリを有する演算装置を搭載する。そして、ＣＰＵにプログラムを実行させ、アイソレータＫ４のＯＵＴ端子から出力された信号が演算装置に入力された場合に、ＣＰＵにより、入力された信号の振幅の最大値（電圧の最大値）と、予め定められた電圧値と、を比較する。そして、ＣＰＵは、入力された信号の電圧の最大値が予め定められた電圧値以上である場合、７セグメントＬＥＤ装置Ｋ７の表示を１つ増やす。一方、ＣＰＵは、入力された信号の電圧の最大値が予め定められた電圧値未満である場合、７セグメントＬＥＤ装置Ｋ７の表示を維持する。この構成にすることで、ノイズ検出回路Ｋ５および計数回路Ｋ６の機能を、ソフトウェアで実現することができる。よって、ノイズ検出回路Ｋ５および計数回路Ｋ６を、検査装置２０＿１および検査装置２０＿２から無くすことができる。

[0137] また、上述した各実施の形態に係るノイズ検査システム１～３では、国内規格ＪＥＭ－ＴＲ１７７による試験ノイズおよび国際規格ＩＥＣ６１０００－４－４による試験ノイズを、被検査基板１０に配置された抵抗Ｒ２のグランド側の端子に（被測定基板１０に形成された回路のグランドに）印加したが、これに限られるものではない。

[0138] 即ち、上述の試験ノイズを、例えば、被検査基板１０に配置された抵抗Ｒ２の入力端子Ｔ側の端子（被測定基板１０に形成された回路の信号線）に、印加してもよい。

[0139] また、上述した実施の形態１に係るノイズ検査システム１では、検査装置２０＿１を、増幅回路Ｋ１の出力端子であるＯＵＴ端子に接続することで、増幅回路Ｋ１のＯＵＴ端子から被検査基板１０のグランドまでの経路が、ノイズが伝導し易い経路であるか否かの把握を可能にした。また、検査装置２０＿２を、増幅回路Ｋ２の出力端子であるＯＵＴ端子に接続することで、増

幅回路Ｋ２のＯＵＴ端子から被検査基板１０のグランドまでの経路が、ノイズが伝導し易い経路であるか否かの把握を可能にした。

[0140] しかし、これに限られるものではない。即ち、検査装置２０＿１および検査装置２０＿２は、増幅回路Ｋ１，Ｋ２のＯＵＴ端子に限らず、被検査基板１０に形成された回路上の所望の経路に接続できる。このように、検査装置２０＿１および検査装置２０＿２を、回路上の所望の経路に接続することで、所望の経路が、ノイズが伝導し易い経路であるか否かをユーザに把握させることができる。

[0141] また、上述した実施の形態３に係るノイズ検査システム３では、検査装置２２は、蓄電池Ｄ１を用いて、アイソレータＫ４のＶｄｄ端子、ノイズ検出回路Ｋ５、計数回路Ｋ６、７セグメントＬＥＤ装置Ｋ７、演算回路Ｋ１０およびＵＳＢインターフェイスＫ１１へ、直流電力を供給したが、これに限られるものではない。

[0142] 即ち、蓄電池Ｄ１に代えて、検査装置２２に、ＤＣ電源用コネクタを搭載してもよい。この構成の場合には、ＤＣ電源用コネクタを介して供給されたＤＣ電源からの直流電力を、アイソレータＫ４、ノイズ検出回路Ｋ５、計数回路Ｋ６、７セグメントＬＥＤ装置Ｋ７、演算回路Ｋ１０およびＵＳＢインターフェイスＫ１１のＶｄｄ端子へ、供給することができる。

[0143] なお、上記の実施の形態において、検査装置２１，２２で実行されるプログラムは、フレキシブルディスク、ＣＤ－ＲＯＭ（Compact Disc Read－Only Memory）、ＤＶＤ（Digital Versatile Disc）、ＭＯ（Magneto－Optical Disc）等のコンピュータが読み取り可能な記録媒体に格納して配布し、そのプログラムを、コンピュータ等にインストールすることにより、検査装置２１，２２と同様な制御を行う装置を構成してもよい。

[0144] また、上述のプログラムをインターネット等の通信ネットワーク上の所定のサーバ装置が有するディスク装置等に格納しておき、例えば、搬送波に重畳させて、ダウンロード等するようにしてもよい。

[0145] また、上述の、検査装置２１，２２で実行されるプログラムを、各ＯＳ（O

perating System）が分担して実現する場合、又は、ＯＳとアプリケーションとの協働により実現する場合等には、ＯＳ以外の部分のみを媒体に格納して配布してもよく、また、ダウンロード等してもよい。

[0146] 本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明を説明するためのものであり、本発明の範囲を限定するものではない。すなわち、本発明の範囲は、上述した実施形態ではなく、請求の範囲によって示される。そして、請求の範囲内およびそれと同等の発明の意義の範囲内で施される様々な変形が、本発明の範囲内とみなされる。

産業上の利用可能性

[0147] 本発明は、ノイズが伝導し易い経路或いはノイズが伝導し難い経路の把握の実現に好適である。

符号の説明

[0148]

１，２，３	ノイズ検査システム
１０，１１	被検査基板
２０，２１，２２	検査装置
Ａ１，Ａ２，Ａ３	コネクタ
Ｋ１，Ｋ２	増幅回路
Ｋ３	ＤＣ－ＤＣコンバータ
Ｋ４	アイソレータ
Ｋ５	ノイズ検出回路
Ｋ６	計数回路
Ｋ７	７セグメントＬＥＤ装置
Ｋ８	ドライバ回路
Ｋ９	レシーバ回路
Ｋ１０	演算回路
Ｋ１１	ＵＳＢインターフェイス
Ｌ１	一次側コイル

Ｌ２	二次側コイル
ＳＧ１	信号源
Ｕ１	ＵＳＢ端子

請求の範囲

[請求項1] 回路に複数回印加されたノイズの、前記回路上の経路の伝導を検出する検出部と、

前記検出部により検出された前記経路における前記ノイズの伝導回数を計数する計数部と、

前記計数部により計数された前記ノイズの伝導回数を表示する表示部と、

を備える検査装置。

[請求項2] 前記検出部は、前記回路上の経路から選択された所望の経路を、前記ノイズが伝導したかを検出する、

請求項１に記載の検査装置。

[請求項3] 前記検出部は、

前記回路が形成される基板とは別個の基板に設けられ、

前記検出部とは別個の基板に形成された前記回路上の経路を伝導する前記ノイズを、電磁誘導により受信するアイソレータ部と、

前記アイソレータ部により前記ノイズが受信された場合に、前記経路における前記ノイズの伝導を検出するノイズ検出部と、

を備える請求項１または２に記載の検査装置。

[請求項4] 前記ノイズ検出部は、前記アイソレータ部により前記ノイズが受信され、受信されたノイズの振幅の最大値が予め定められた値以上である場合に、前記経路における前記ノイズの伝導を検出する、

請求項３に記載の検査装置。

[請求項5] 計時を行うクロック部と、

前記検出部により前記経路における前記ノイズの伝導が検出された場合に、前記クロック部が計時している時間を記憶する記憶部と、

を備える請求項１から４のいずれか１項に記載の検査装置。

[請求項6] 前記計数部および前記表示部は、前記回路が形成される基板とは別個の基板に設けられ、且つ、前記検出部が設けられた基板に設けられ

ている、

請求項３または４に記載の検査装置。

［請求項7］ 検査装置の検査方法であって、

回路に複数回印加されたノイズの、前記回路上の経路の伝導を前記検査装置が検出する検出ステップと、

前記検出ステップにより検出された前記経路における前記ノイズの伝導回数を前記検査装置が計数する計数ステップと、

前記計数ステップにより計数された前記ノイズの伝導回数を前記検査装置が表示する表示ステップと、

を備える検査方法。

［請求項8］ 検査装置を制御するコンピュータに、

回路に複数回印加されたノイズの、前記回路上の経路の伝導を検出する検出機能、

前記検出機能により検出された前記経路における前記ノイズの伝導回数を計数して表示する計数機能、

を実現させるプログラム。

補正された請求の範囲
[2012年10月19日(19.10.2012)国際事務局受理]

[請求項 1] （補正後） 検査対象の回路に印加された、前記回路上の経路を伝導するノイズを、電磁誘導で受信する、前記検査対象の回路が形成される基板とは別個の基板に設けられたアイソレータ部と、

前記アイソレータ部で前記ノイズが受信された場合に、前記経路における前記ノイズの伝導を検出する、前記別個の基板に設けられたノイズ検出部と、

を備える検査装置。

[請求項 2] （補正後） 前記別個の基板は、前記検査対象の回路が形成された基板に接続するためのコネクタを備え、

前記アイソレータ部は、前記検査対象の回路が形成された基板と前記別個の基板とが前記コネクタを介して接続された場合に、電磁誘導での前記ノイズの受信が可能になる、

請求項１に記載の検査装置。

[請求項 3] （補正後） 前記ノイズ検出部で検出された前記経路における前記ノイズの伝導回数を計数する計数部と、

前記計数部で計数された前記ノイズの伝導回数を表示する表示部と、

を備える請求項１または２に記載の検査装置。

[請求項 4] （補正後） 前記ノイズ検出部は、前記アイソレータ部で前記ノイズが受信され、受信されたノイズの振幅の最大値が予め定められた値以上である場合に、前記経路における前記ノイズの伝導を検出する、

請求項１から３のいずれか１項に記載の検査装置。

[請求項 5] （補正後） 計時を行うクロック部と、

前記ノイズ検出部で前記経路における前記ノイズの伝導が検出された場合に、前記クロック部が計時している時間を記憶する記憶部と、

を備える請求項１から４のいずれか１項に記載の検査装置。

補正された用紙（条約第19条）

[請求項6] （補正後） 前記計数部および前記表示部は、前記回路が形成される基板とは別個の基板に設けられ、且つ、前記アイソレータ部およびノイズ検出部が設けられた基板に設けられている、

請求項３に記載の検査装置。

[請求項7] （補正後） 検査装置の検査方法であって、

前記検査装置が、検査対象の回路に印加された、前記回路上の経路を伝導するノイズを、前記検査対象の回路が形成された基板とは別個の基板に設けられたアイソレータ部に、電磁誘導で受信させる受信ステップと、

前記アイソレータ部で前記ノイズが受信された場合に、前記検査装置が、前記別個の基板に設けられたノイズ検出部に、前記経路におけるノイズの伝導を検出させる検出ステップと、

を備える検査方法。

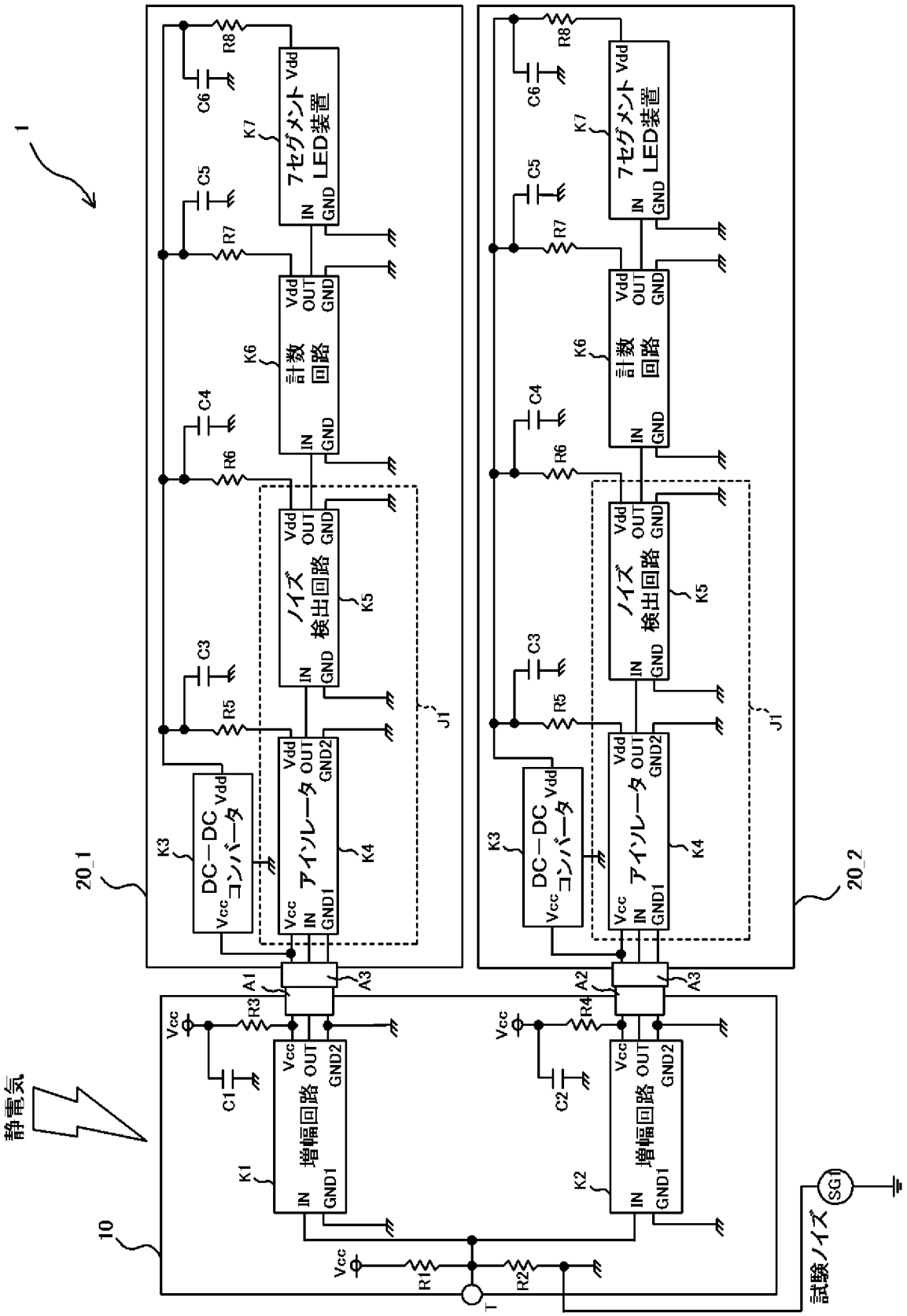
[請求項8] （補正後） 検査装置を制御するコンピュータに、

検査対象の回路に印加された、前記回路上の経路を伝導するノイズを、前記検査対象の回路が形成された基板とは別個の基板に設けられたアイソレータ部に、電磁誘導で受信させる受信機能、

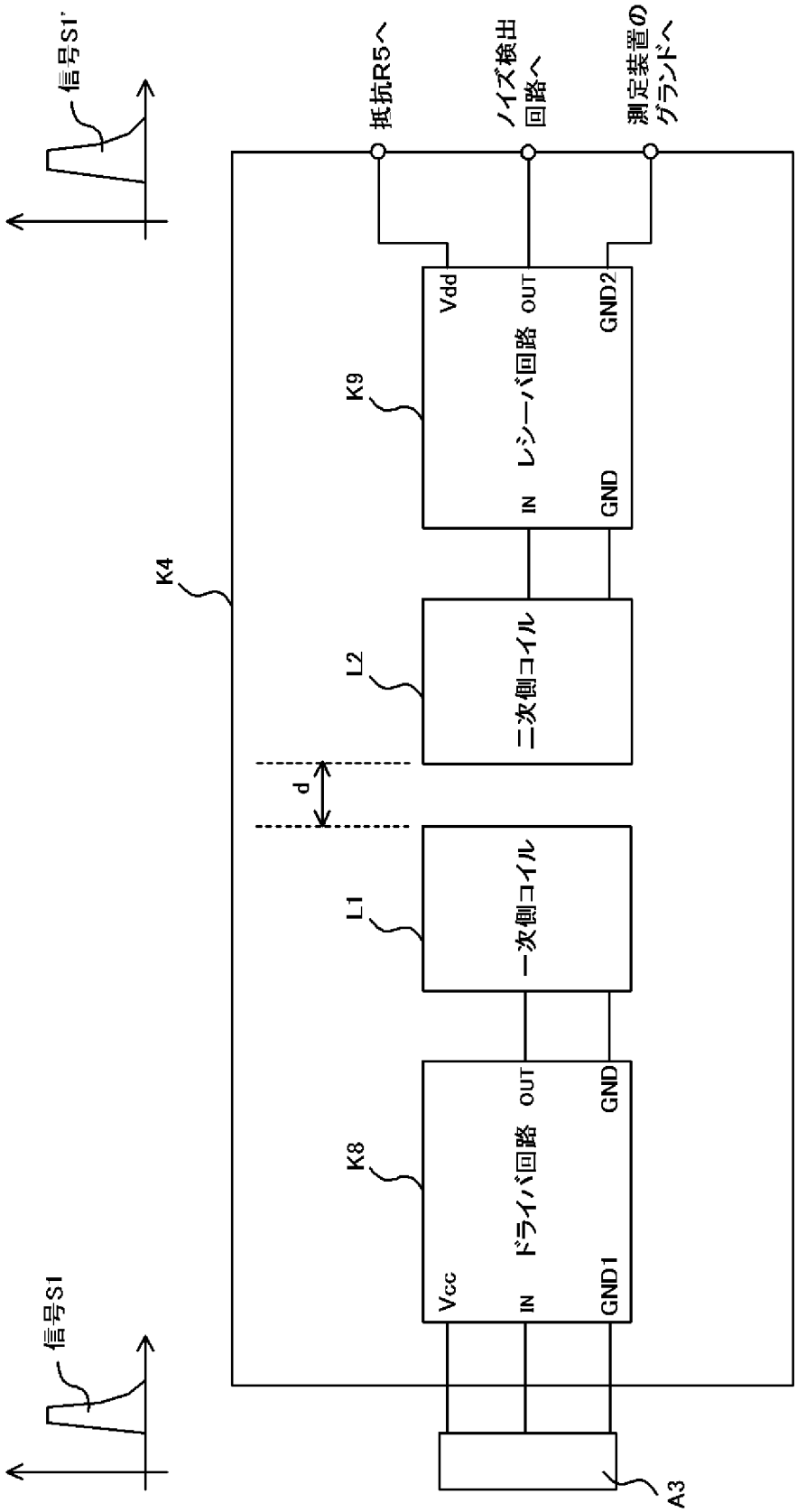
前記アイソレータ部で前記ノイズが受信された場合に、前記別個の基板に設けられたノイズ検出部に、前記経路におけるノイズの伝導を検出させる検出機能、

を実現させるプログラム。

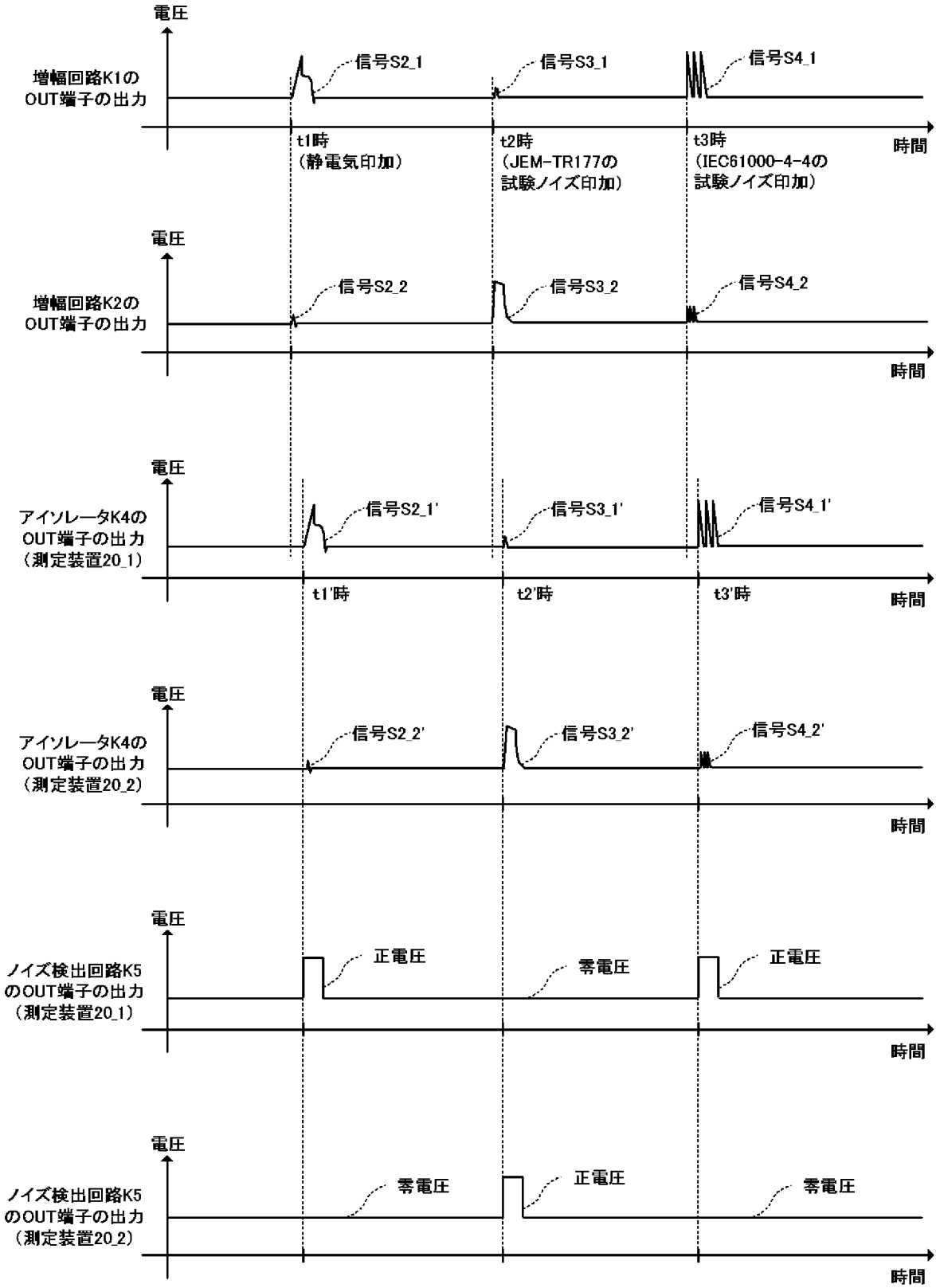
[図1]


1
10
20_1
20_2
J1
静電気
試験ノイズ
SG
T
Vcc
増幅回路
アイソレータ
DC—DC コンバータ
ノイズ 検出回路
計数 回路
7セグメント LED装置
Vdd
OUT
GND
GND1
GND2
IN
R1
R2
R3
R4
R5
R6
R7
R8
C1
C2
C3
C4
C5
C6
A1
A2
A3
K1
K2
K3
K4
K5
K6
K7

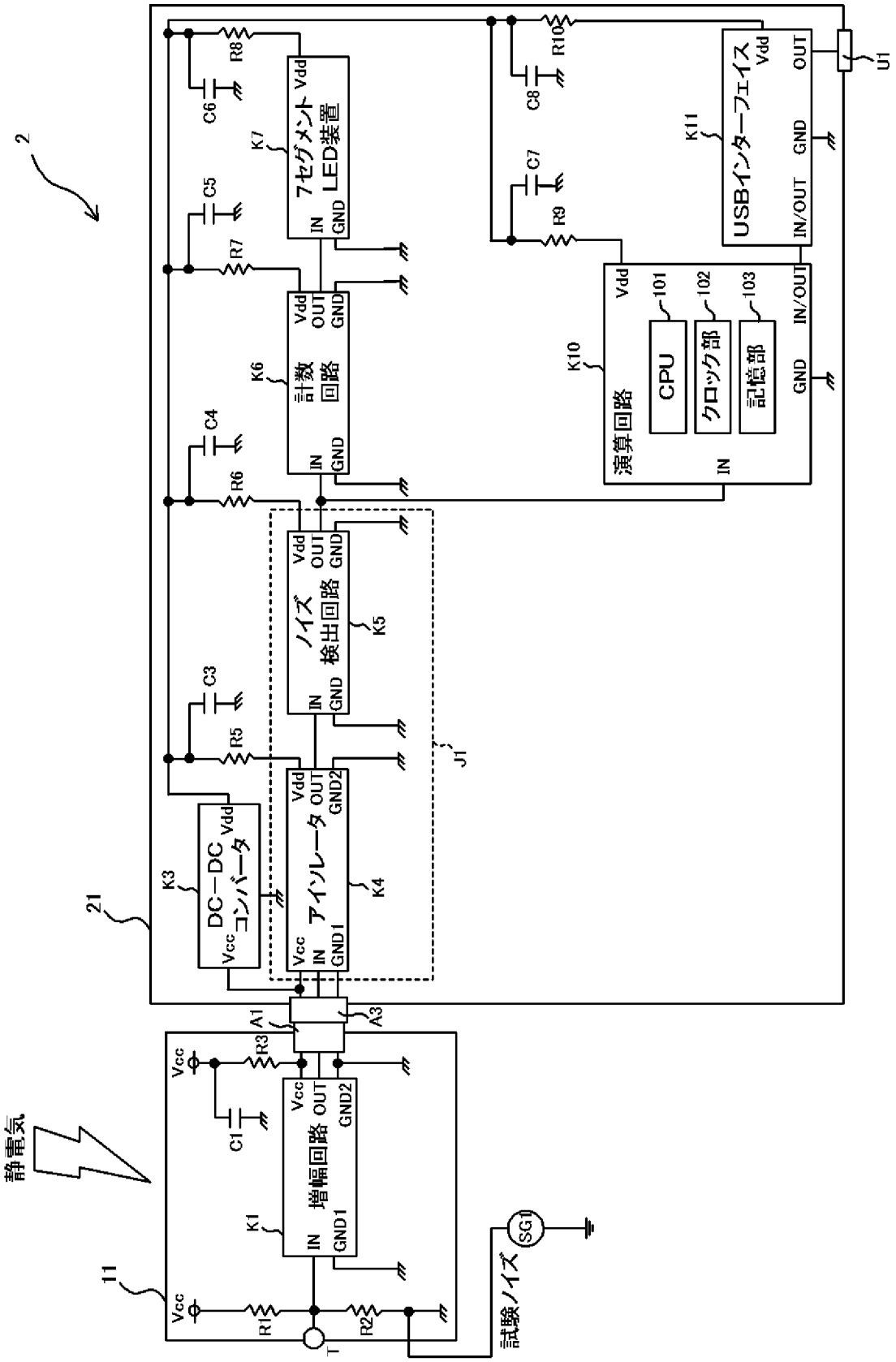
[図2]


信号S1'
抵抗R5へ
ノイズ検出回路へ
測定装置のグランドへ
K9
Vdd
OUT
GND2
レシーバ回路
IN
GND
K4
L2
二次側コイル
d
L1
一次側コイル
K8
Vcc
IN
ドライバ回路
OUT
GND
GND1
信号S1
A3

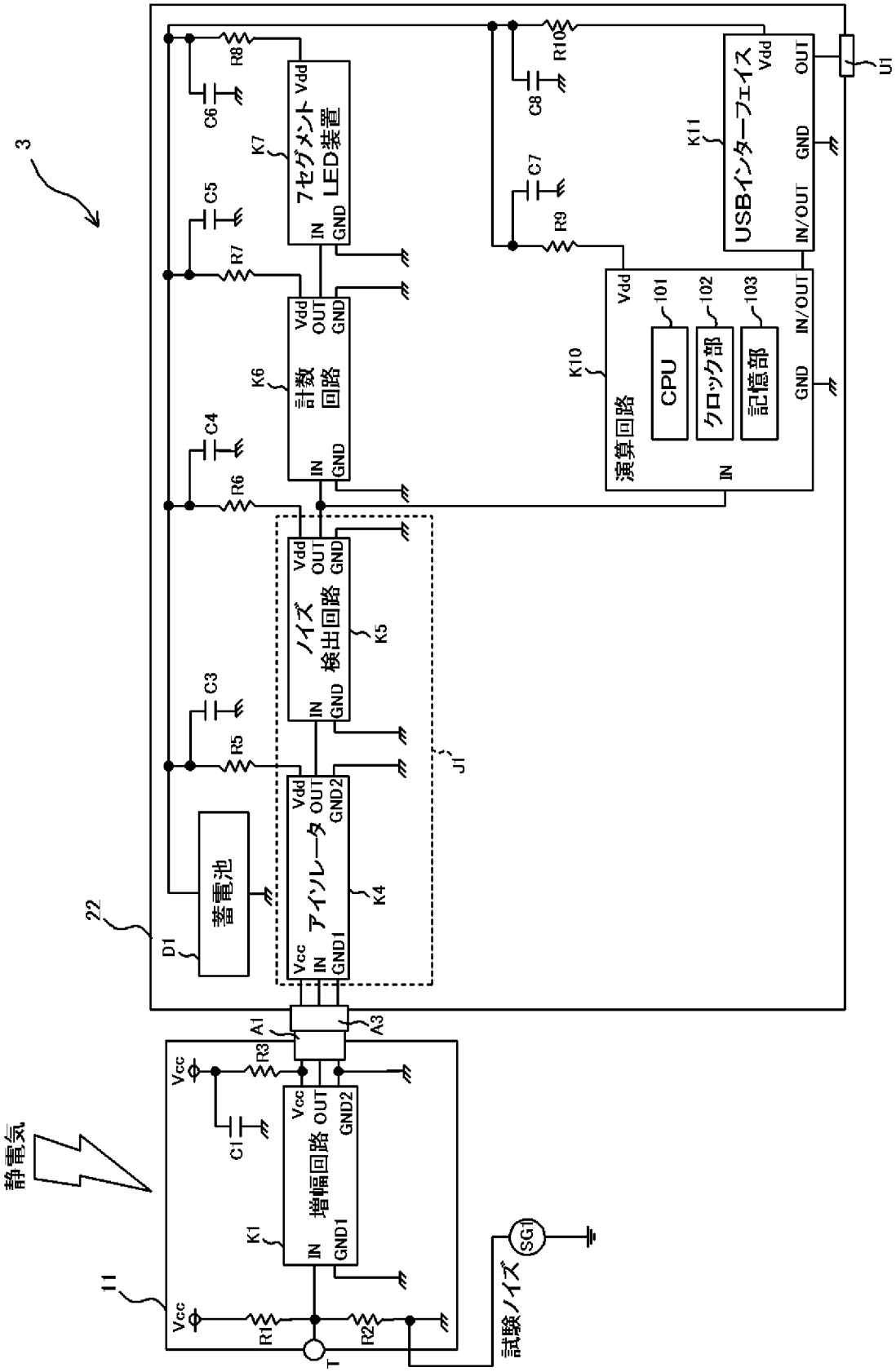
[図3]


電圧
増幅回路K1の
OUT端子の出力
信号S2_1
信号S3_1
信号S4_1
t1時
(静電気印加)
t2時
(JEM-TR177の
試験ノイズ印加)
t3時
(IEC61000-4-4の
試験ノイズ印加)
時間
電圧
増幅回路K2の
OUT端子の出力
信号S2_2
信号S3_2
信号S4_2
時間
電圧
アイソレータK4の
OUT端子の出力
(測定装置20_1)
信号S2_1'
信号S3_1'
信号S4_1'
t1'時
t2'時
t3'時
時間
電圧
アイソレータK4の
OUT端子の出力
(測定装置20_2)
信号S2_2'
信号S3_2'
信号S4_2'
時間
電圧
ノイズ検出回路K5
のOUT端子の出力
(測定装置20_1)
正電圧
零電圧
正電圧
時間
電圧
ノイズ検出回路K5
のOUT端子の出力
(測定装置20_2)
零電圧
正電圧
零電圧
時間

[図4]


2
21
11
静電気
試験ノイズ
SG1
T
Vcc
GND
Vdd
OUT
IN
GND1
GND2
IN/OUT
増幅回路
アイソレータ
DC－DC コンバータ
ノイズ 検出回路
計数 回路
7セグメント LED装置
USBインターフェイス
演算回路
CPU
クロック部
記憶部
R1
R2
R3
R5
R6
R7
R8
R9
R10
C1
C3
C4
C5
C6
C7
C8
K1
K3
K4
K5
K6
K7
K10
K11
101
102
103
A1
A3
J1
U1

[図5]


3
22
D1
蓄電池
J1
K1
増幅回路
K4
アイソレータ
K5
ノイズ検出回路
K6
計数回路
K7
7セグメントLED装置
K10
演算回路
CPU
クロック部
記憶部
K11
USBインターフェイス
U1
11
静電気
試験ノイズ
SG
T
A1
A3
C1
C3
C4
C5
C6
C7
C8
R1
R2
R3
R5
R6
R7
R8
R9
R10
Vcc
Vdd
GND
GND1
GND2
IN
OUT
IN/OUT

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/057636

A. CLASSIFICATION OF SUBJECT MATTER
G01R31/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01R31/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4-115634 A (Fujitsu Ltd.), 16 April 1992 (16.04.1992), page 1, lower left column, line 13 to lower right column, line 4; page 2, lower left column, line 6 to page 3, lower right column, line 4; fig. 1 to 4 (Family: none)	1,2,5,7-8
Y	JP 5-209917 A (Fujitsu Ltd.), 20 August 1993 (20.08.1993), paragraphs [0001] to [0007], [0011] to [0031]; fig. 1 to 6 (Family: none)	1,2,5,7-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 April, 2012 (13.04.12)	24 April, 2012 (24.04.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/057636

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-252564 A (Nippon Telegraph and Telephone Corp.), 11 November 1991 (11.11.1991), page 4, lower right column, line 18 to page 5, upper left column, line 8 (Family: none)	1,2,5,7-8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０５７６３６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G01R31/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G01R31/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 4-115634 A（富士通株式会社）1992.04.16，第１頁左下欄第13行－右下欄第４行，第２頁左下欄第６行－第３頁右下欄第４行，第1-4図（ファミリーなし）	1,2,5,7-8
Y	JP 5-209917 A（富士通株式会社）1993.08.20，【0001】-【0007】，【0011】-【0031】，図1-6（ファミリーなし）	1,2,5,7-8
Y	JP 3-252564 A（日本電信電話株式会社）1991.11.11，第４頁右下欄第18行－第５頁左上欄第８行（ファミリーなし）	1,2,5,7-8

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １３．０４．２０１２	国際調査報告の発送日 ２４．０４．２０１２
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｓ　９６０５ 越川　康弘 電話番号　０３－３５８１－１１０１　内線　３２５８