

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-49912

(P2012-49912A)

(43) 公開日 平成24年3月8日(2012.3.8)

(51) Int.Cl.

H04N 5/374 (2011.01)
H04N 5/378 (2011.01)

F 1

H04N 5/335 740
H04N 5/335 780

テーマコード(参考)

5C024

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号

特願2010-191318 (P2010-191318)

(22) 出願日

平成22年8月27日 (2010.8.27)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100126240

弁理士 阿部 琢磨

(74) 代理人 100124442

弁理士 黒岩 創吾

(72) 発明者 小林 大祐

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 山崎 善一

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

F ターム(参考) 5C024 CY42 GY31 HX23 HX37 HX38
HX50 JX41

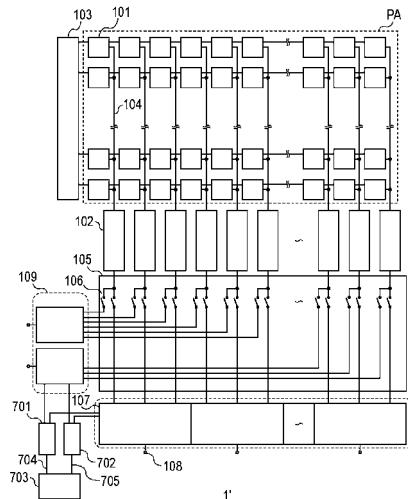
(54) 【発明の名称】光電変換装置および撮像システム

(57) 【要約】

【課題】 従来の技術では、消費電力の増大や画質の低下を抑制しつつ、読み出しの高速化を実現することが困難であった。

【解決手段】 画素アレイの列に対応して設けられた、画素から出力された信号をデジタル信号に変換する複数のA/D変換部を少なくとも含む信号処理部と、2以上の出力端子を有し、出力端子の各々に対応して設けられた複数の出力ブロックを含む出力部と、同期信号を出力する同期信号生成部と、を含み、互いに隣接するまたは1列おきの複数の列の信号処理部をブロックとして、出力ブロックは、前記ブロックに属する複数の信号処理部から出力された信号を出し、同期信号に同期して、出力ブロックから出力される信号に対して同期コードを付加する同期コード付加部をさらに有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数の画素が行列状に配列された画素アレイと、

前記画素アレイの列に対応して設けられた、前記画素から出力された信号をデジタル信号に変換する複数のA/D変換部を少なくとも含む信号処理部と、

2以上の出力端子を有し、該出力端子の各々に対応して設けられた複数の出力ブロックを含む出力部と、

同期信号を出力する同期信号生成部と、を含み、

互いに隣接する複数の列の前記信号処理部をブロックとして、

前記出力ブロックは、同一の前記ブロックに属する複数の前記信号処理部から出力された信号を出力し、

前記同期信号に同期して、前記出力ブロックから出力される信号に対して同期コードを付加する同期コード付加部をさらに有すること
を特徴とする光電変換装置。

【請求項 2】

複数の画素が行列状に配列された画素アレイと、

前記画素アレイの列に対応して設けられた、前記画素から出力された信号をデジタル信号に変換する複数のA/D変換部を少なくとも含む信号処理部と、

2以上の出力端子を有し、該出力端子の各々に対応して設けられた複数の出力ブロックを含む出力部と、

同期信号を出力する同期信号生成部と、を含み、

1列おきの複数の列の前記信号処理部をブロックとして、

前記出力ブロックは、同一の前記ブロックに属する複数の前記信号処理部から出力された信号を出力し、

前記同期信号に同期して、前記出力ブロックから出力される信号に対して同期コードを付加する同期コード付加部をさらに有すること
を特徴とする光電変換装置。

【請求項 3】

前記同期信号生成部はPLL回路を含み、該PLL回路から出力される信号を前記同期信号とすることを特徴とする請求項1または2に記載の光電変換装置。

【請求項 4】

前記同期コード付加部は、前記画素アレイの行に対応して前記同期コードを付加することを特徴とする請求項1ないし3のいずれかに記載の光電変換装置。

【請求項 5】

前記信号処理部は前記デジタル信号をパラレルデータとして出力し、

前記出力ブロックは、前記パラレルデータをシリアルデータに変換して前記出力端子から出力すること

を特徴とする請求項1ないし4のいずれかに記載の光電変換装置。

【請求項 6】

前記信号処理部は、前記画素から出力された信号からノイズを低減して前記A/D変換部に伝達するノイズ低減回路を有することを特徴とする請求項1ないし5のいずれかに記載の光電変換装置。

【請求項 7】

前記信号処理部は、前記デジタル信号を記憶するメモリ部を有することを特徴とする請求項1ないし6のいずれかに記載の光電変換装置。

【請求項 8】

請求項1ないし7のいずれかに記載の光電変換装置と、

前記光電変換装置の画素部に像を形成する光学系と、

前記光電変換装置から出力された信号を処理して画像データを生成する映像信号処理部と、を備えたこと

10

20

30

40

50

を特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は光電変換装置に関し、特にデジタル信号で出力を行う光電変換装置に関する。

【背景技術】

【0002】

デジタルカメラ等に用いられる光電変換装置では、多様な機能が求められている。

【0003】

特許文献1では、隣接する複数の列を単位として画素部を複数の領域に分割し、分割された領域毎に出力ポートを備える構成が開示されている。 10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平08-111821号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところが、特許文献1に開示された構成では、アナログ信号を各出力ポートに伝達しており、デジタル信号を出力させる場合については何ら検討が為されていない。 20

【0006】

本発明は、デジタル信号を出力させるのに好適な光電変換装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するための本発明は、

複数の画素が行列状に配列された画素アレイと、前記画素アレイの列に対応して設けられた、前記画素から出力された信号をデジタル信号に変換する複数のA/D変換部を少なくとも含む信号処理部と、2以上の出力端子を有し、該出力端子の各々に対応して設けられた複数の出力ブロックを含む出力部と、同期信号を出力する同期信号生成部と、を含み、互いに隣接するもしくは1列おきの複数の列の前記信号処理部をブロックとして、前記出力ブロックは、同一の前記ブロックに属する複数の前記信号処理部から出力された信号を出力し、前記同期信号に同期して、前記出力ブロックから出力される信号に対して同期コードを付加する同期コード付加部をさらに有することを特徴とする光電変換装置である。 30

【発明の効果】

【0008】

本発明によれば、デジタル信号を出力させるのに好適な光電変換装置を提供できる。

【図面の簡単な説明】

【0009】

【図1】実施例1に係る光電変換装置の構成例を示すブロック図

【図2】実施例1に係る出力信号の様子を示すタイミング図

【図3】実施例2に係る光電変換装置の構成例を示すブロック図

【図4】実施例3に係る光電変換装置の構成例を示すブロック図

【図5】実施例3に係る出力信号の様子を示すタイミング図

【図6】実施例3に係る出力信号の様子を示す別のタイミング図

【図7】実施例4に係る光電変換装置の構成例を示す図

【図8】実施例4に係る光電変換装置の別の構成例を示す図

【図9】実施例5に係る撮像面の様子を説明する図

【図10】実施例6に係る光電変換装置の動作の様子を示す図

40

50

【図11】実施例7に係る光電変換装置の動作の様子を示す図

【図12】実施例8に係る光電変換装置の構成例を示すブロック図

【図13】実施例9に係る撮像システムの構成例を示すブロック図

【発明を実施するための形態】

【0010】

(実施例1)

図面を参照しながら、本発明の実施例に係る説明を行う。

【0011】

図1は、本実施例に係る撮像装置の構成例を示すブロック図であり、例えば同一の半導体基板上に形成される。

【0012】

光電変換装置1は、画素101が行列状に配列された画素アレイPAを含む。ここでは、N行M列の画素が設けられている。画素アレイPAにおける同一列の画素は、共通の信号線104を介して信号処理部102に接続される。信号処理部102は、少なくともA/D変換部を備え、デジタル信号を出力する。行選択部103は、信号線104に信号を出力する画素の行を選択する信号を供給することで、同一行の画素101は対応する信号線104に同時に信号を出力する。出力選択部105は、切り換え部106を含み、信号処理部102から出力されたデジタル信号を第1の出力部107または第2の出力部109に伝達する。切り換え部106は不図示の制御部から入力された信号によって制御される。第1の出力部107は複数の第1の出力ブロックを含み、各出力ブロックには、互いに隣接する3列の信号処理部102と対応づけられている。信号処理部102から入力されたデジタル信号は、第1の出力端子108から順次出力される。第2の出力部109は複数の第2の出力ブロックを含み、各出力ブロックには、互いに隣接する6列の信号処理部102と対応づけられている。信号処理部102から入力されたデジタル信号は、第2の出力端子110から順次出力される。つまり、複数の列の信号処理部102をブロックとして、第1の出力部は、同一のブロックに属する信号処理部102からの信号を2以上の出力端子108から出力し、第2の出力部は、異なるブロックに属する信号処理部102からの信号を1以上の出力端子110から出力する。第1の出力部107と第2の出力部109との関係を一般化すると、第1の出力部107はS(S-2)列の信号処理部102を1つのブロックとして、M/S個の出力端子から信号を出力する。一方、第2の出力部109は、第1の出力部107よりも多いT(T>2)列の信号処理部102を1つのブロックとして、M/T個の出力端子から信号を出力する。図1は、S=3、T=M/2である場合を示している。

【0013】

光電変換装置1を構成する要素についてより詳細に説明する。画素101は、入射光を光電変換し、入射光量に応じた電気信号を出力する。画素101は、例えば画素内にソースフォロワ回路などの増幅素子を備える増幅型の画素であっても良いし、光電変換で生成された電荷を出力するパッシブ型の画素であっても良い。

【0014】

信号処理部102がA/D変換部に加えて、画素101から出力された信号に含まれるノイズ成分を低減するためのノイズ低減回路としてのCDS(Correlated Double Sampling)回路をさらに設けても良い。ノイズが低減された信号をA/D変換することで、精度を高めることができる。また、A/D変換部によって得られたデジタルデータを一時的に保持するメモリ部をさらに備えても良い。メモリ部は例えばSRAM(Static Random Access Memory)で構成できる。図1では、図を簡略化するために信号処理部102からの出力を1本の線で示しているが、実際にはn-bitのデジタルデータが並列に出力される構成をとる。

【0015】

出力選択部105は、信号処理部102から出力されたデジタル信号を第1もしくは第2の出力部に選択的に伝達する。図1では、各信号処理部102に対して切り換えスイッ

10

20

30

40

50

チ 1 0 6 - 1、1 0 6 - 2 を備え、どちらか一方を導通させることでいずれかの出力部に伝達する構成となっている。

【 0 0 1 6 】

第 1 の出力部 1 0 7 の各第 1 の出力ブロック 1 0 7 - 1、1 0 7 - 2、・・・は、パラレル・シリアル変換部（以下、P / S 変換部）を有し、出力選択部 5 を介して入力される n - b i t の並列データを直列データに変換した上で出力端子 1 0 8 から出力する。出力端子 1 0 8 は単一の端子から電圧出力を行う方式でも良いし、差動の 2 端子を持つ L V D S (Low Voltage Differential Signaling) 方式でも良い。また、並列に入力される 3 列のうちのどの列の信号を出力端子 1 0 8 に伝達するのかを選択するために、列選択部を備える。列選択部はデコーダやシフトレジスタを用いることができる。このように、信号処理部からはパラレルデータとして出力することで高速化を実現し、第 1 の出力部でシリアルデータに変換することで、出力端子の数が増大することを抑制する。半導体基板上に形成される光電変換装置は小面積に収めることを求められるため、出力端子の数の増大を抑制することは有効である。

10

【 0 0 1 7 】

第 1 の出力部 1 0 7 から信号を出力させる場合には、出力ブロックの数に応じた数の信号を並列に出力することができる。つまり、図 1 の構成を例にとると、各出力ブロックに対応づけられた信号処理部 1 0 2 のうち 1 列目の信号がそれぞれの出力端子 1 0 8 から同時に出力され、次のタイミングで各出力ブロック内の 2 列目の信号が出力端子 1 0 8 から同時に出力される。つまり、画素アレイ全体としてみると、1、4、7、・・・列の信号が出力された後に 2、5、8、・・・列の信号が出力される形になり、不連続な列の信号が得られる。そのため、不図示の処理回路では信号の配列を並び替える処理を行う。

20

【 0 0 1 8 】

第 2 の出力部 1 0 9 の各出力ブロック 1 0 9 - 1、1 0 9 - 2 は、第 1 の出力部 1 0 7 と同様に、P / S 変換部を有し、出力選択部 1 0 5 を介して入力される n - b i t の並列データを直列データに変換した上で出力端子 1 1 0 から出力する構成を取りうる。また、第 1 の出力部 1 0 7 と同様に、並列に入力される 6 列のうちのどの列の信号を出力端子 1 1 0 に伝達するのかを選択するために、列選択部を備える。列選択部はデコーダやシフトレジスタを用いることができる。

30

【 0 0 1 9 】

第 2 の出力部 1 0 9 から信号を出力させる場合も、出力端子 1 1 0 から同時に出力されるのは 1、(M / 2) + 1 列目、2、(M / 2) + 2 列目、・・・となるので、不図示の処理回路では信号の配列を並び替える。

【 0 0 2 0 】

光電変換装置 1 は出力端子 1 0 8 から信号を出力する第 1 のモードと、出力端子 1 1 0 から信号を出力する第 2 のモードとを切り換えて動作し得る。各モードでは、信号を出力しない出力部は電源の供給を停止したり、一部の回路の動作を停止したりすることで消費電力の低減を図る。

【 0 0 2 1 】

第 2 のモードでは、M / T 個の出力端子から同時に信号が出力されるのに対して、第 1 のモードでは M / S 個の出力端子 (S < T) から同時に信号が出力されるため、より高速に信号を読み出すことが可能であり、例えば、動画を撮影する場合のように、読み出し速度が求められている用途に有効である。しかしながら、第 1 のモードでは動作する出力ブロックの数が多いために、消費電力が大きくなる。一方、第 2 のモードでは第 1 のモードよりも少ない数の出力ブロックが動作するために、読み出し速度は低下するものの、消費電力を低減することができる。第 2 のモードは、例えば静止画を撮影する場合のように、読み出し速度に余裕がある場合には有効である。

40

【 0 0 2 2 】

出力選択部と各出力部との間に、加算や減算、ゲイン調整などを実行可能なデジタル信号処理部をさらに付加しても良い。例えば、複数の信号処理部 1 0 2 からの信号を加算し

50

て1つの信号として扱うことで感度を高くすることができる。このほか、デジタルデータをビットシフトさせることでデジタル的にゲインをかけることができる。これらの機能を光電変換装置の内部に備えることで、後段の処理回路の負荷を低減することができる。後段の処理回路は、例えば光電変換装置1とは別の半導体基板に形成しても良い。

【0023】

本実施例に示すように、第1の出力部107と第2の出力部10のいずれかから出力し得る構成にすることで、消費電力の増大を抑制しつつ読み出しの高速化に対応することができる。

【0024】

本発明に特徴的なのは、同期信号生成部701および同期コード付加部702を備える点である。

【0025】

同期信号生成部701は、例えばPLL(Phase Locked Loop)回路を含む。PLL回路に供給する周期的な信号は、光電変換装置の内部に発振器を設けて生成しても良いし、光電変換装置の外部から与えても良い。PLL回路はさらに、入力された周期的な信号を遙倍する手段を含み、同期信号の周波数を可変にしても良い。PLL回路は第1と第2の出力部に与える同期信号を異なる周波数のものにしても良い。

【0026】

同期コード付加部702は、同期信号生成部701から出力される同期信号に同期して、各データの先頭を判別するための同期コードを、各出力ブロックから出力されるデジタル信号の先頭に付加するものである。より具体的には、出力選択部105から各出力ブロックへのデジタル信号の伝送が開始することに先だって予め定められたタイミングで同期コードを出力する。予め定められたタイミングは、たとえば不図示の外部からの通信によって設定したタイミングや、予め不図示のメモリ装置に記憶されたタイミングが考えられる。

【0027】

画素アレイの全画素から信号を読み出す場合や特定の領域から切り出して読み出す場合、間引いて読み出す場合など、読み出しモードによって1行あたりに読み出すデータ量が異なる。そのため、同期コードを1回の水平方向の読み出し、すなわち1行ごとに付加することで、後段の処理回路で1行の先頭を容易に識別することが可能となり、データ取り込み時のエラーを低減することができる。

【0028】

駆動信号生成部703は、同期信号出力制御信号704を同期信号生成部701に、同期コード付加制御信号705を同期コード付加部702に供給し、動作のタイミングや同期コードを付加するタイミングを制御する。

【0029】

図2は第1または第2の出力部からデジタル信号を出力する場合の、同期信号と同期コードの様子を示したタイミング図である。図中、「同期信号」は同期信号生成部701から出力される同期信号を示し、「デジタル出力」は出力端子108または110から出力されるデジタル信号を表している。

【0030】

同期信号がハイレベルになることに同期して、出力端子からは1ビットずつデジタル信号が出力される。1行目の画素出力(信号処理部102から供給されるデジタル信号)に先だって、同期コードが出力端子から出力される。そして、1行目の画素出力が完了した後、2行目の画素出力に先だって再び同期コードが出力端子から出力される。ここでは、同期コードとして「11111000011110000」の16ビットのデータを付加している。後段の処理回路では、この同期コードを受信することである行のデータの転送が開始することを識別できるので、取り込み時のエラーを低減できる。特に、各出力ブロックの出力に同期コードを付加することで、出力ブロック間で信号を出力するタイミングに誤差が生じたとしても、データの先頭を識別することができる。

10

20

30

40

50

【0031】

同期信号生成部 701 と同期コード付加部 702 とは、第1および第2の出力ブロックに対して共通に設けた例を示したが、第1および第2の出力ブロックに対して個別に設ける構成でも良い。

【0032】

(実施例2)

図3は、本発明に係る別の実施例の構成例を示すブロック図である。ここでは、出力選択部105から先の構成を抜き出している。

【0033】

実施例1では第1出力部の一方の側に同期信号生成部と同期コード付加部とを設けていたが、この構成によると、第1の出力部107のすべての出力ブロックを共通の配線で駆動することになり、特に画素アレイの列数が多い場合に信号の遅延が生じるおそれがある。これに対し、図3に示す構成では第1の出力部の両側に同期信号生成部901、902と同期コード付加部903、904とを設けることで、配線を駆動する能力を上げて遅延を低減する。

10

【0034】

同期信号生成部と同期コード付加部とは、駆動信号生成部905によって制御されているが、互いに離れて設けられた同期信号生成部どうし、および同期コード付加部どうしの動作の同期性を保つために、駆動信号生成部905とは等しい長さの配線で接続される。つまり、同期信号生成部どうし、および同期コード付加部どうしで、信号遅延を等しくする。

20

【0035】

図3では同期信号生成部および同期コード付加部を2つずつ設けた構成を示したが、3以上に分散させても良い。

【0036】

以上で説明した本実施例によれば、同期コードを付加することで先頭データの識別が行えることに加えて、出力ブロック間の配線遅延の影響を低減できる。より具体的には、各出力ブロックに供給される同期信号や同期コードの配線遅延に起因する、ブロックにおけるデータの取り込みエラーや、行毎にデータの取り込みタイミングがばらついてしまうことの影響を低減できる。

30

【0037】

(実施例3)

図4は、本発明に係る別の実施例の構成例を示すブロック図である。ここでは、出力選択部105から先の構成を抜き出している。

【0038】

本実施例では第1の出力部107の各出力ブロック内に同期信号生成部1002と同期コード付加部1003とを内包させる。第2の出力部109の各出力ブロックに対しては、共通の同期信号生成部1006と同期コード付加部1007とが設けられている。第1の出力部107の各出力ブロック内に設けられた同期信号生成部1002と同期コード付加部1003、ならびに同期信号生成部1006と同期コード付加部1007は共通の駆動信号生成部1001によって制御される。

40

【0039】

本実施例においても、実施例1と同様に各行の画素出力(信号処理部102から供給されるデジタル信号)の先頭に同期コードを付加する。

【0040】

図5は、ある行の画素出力と同期信号との関係を示すタイミング図である。図中1004は、駆動信号生成部1001から出力される同期信号出力制御信号を、1005は駆動信号生成部1001から出力される同期コード付加制御信号を表す。「同期信号」は同期信号生成部1002で生成される同期信号、「転送信号」は出力選択部105のスイッチ部106が信号処理部102から出力されたデジタル信号を第1の出力部107に導くこ

50

とを開始する信号である。また、「デジタル出力」は出力端子 108 から出力される信号を表す。

【0041】

図 5においては同期信号出力制御信号 1004 がハイレベルになると同期信号が出力される。その後同期信号の発生から 2 周期目のパルスに同期して、同期コード付加制御信号がハイレベルになり、同期コードの出力が行われる。ここでは同期コードとして「1010」が付加される。同期コードの最後のビットが出力された直後にハイレベルになる同期信号と同期して転送信号がハイレベルになる。これにより信号処理部 102 から出力されたデジタル信号がシリアルデータに変換されて順次出力される。

【0042】

また、同期コードは行の先頭を示すだけでなく、さらに別の情報を付与するものであっても良い。図 6 は、行の先頭に加えて、出力ブロックの位置を示す情報と、画素出力のビット数を示す情報も同期コードとして付加する例である。同期コードの最初の 4 ビットでは行の先頭を識別するためのコード「1010」が付加され、引き続いて、出力ブロックを識別するためのコード「00110」が付加される。さらに、画素出力のビット数を示すコード「01010」が付加される。

【0043】

本実施例に示す構成では、各出力ブロック内で位相関係が完結しているので、出力ブロック間での位相を管理する必要がなく、後段の処理回路での付加を低減することができる。

20

【0044】

(実施例 4)

図面を参照しながら、本発明の別の実施例を説明する。

【0045】

本実施例では、出力選択部の構成に注目して説明を行う。図 1 で示した構成では、第 2 の出力部 109 から信号を出力させる場合には、各列に設けられた信号処理部 102 が信号線を駆動して第 2 の出力部 109 に信号を伝達する構成を取る。

【0046】

しかしながら、第 2 の出力部 109 に近い信号処理部 102 が駆動する配線は短くて済むのに対し、第 2 の出力部 109 から遠い信号処理部 102 が駆動する配線は長くなってしまう。このため、第 2 の出力部 109 から遠い信号処理部 102 から出力される信号の伝送速度が低下するおそれがある。

30

【0047】

本実施例では、同一の第 2 の出力部 109 から信号を出力する信号処理部 102 は共通の伝送線を介して第 2 の出力部 109 と接続される構成を取る。図 7 のように、複数の列を 1 つのブロックとして、ブロック間を接続部 501 で連結し、必要のない部分の伝送線を切り離すことで、各信号処理部 102 が駆動する負荷を低減することができ、伝送速度の低下を抑制することができる。

【0048】

接続部 501 は図 7 に示すようにスイッチで構成する以外に、バッファを含んで構成しても良い。接続部 501 がバッファを備える場合には、バッファが同期化機能を有するように構成し、不図示のクロック信号に同期して次段のバッファに伝達すると、ブロック間の信号の連続性を保つことができる。

40

【0049】

別の構成例を図 8 に示す。画素アレイ全体に対して 1 本の伝送線を用いる構成として、ブロック間をバッファで連結することで、信号の伝送速度が低下することを抑制できる。また、第 2 の出力部 109 が 1 つとなるので、第 2 のモードにおける消費電力をさらに低減することができる。

【0050】

特に、伝送線を 1 本で構成する場合には、第 2 の出力部の出力端子 110 からは 1 列目

50

の信号から順次出力されるので、後段の処理回路で信号の並び替えを行う必要がなくなるという利点がある。

【0051】

(実施例5)

図面を参照しながら、本発明の別の実施例を説明する。

【0052】

光電変換装置では撮像面の一部のみを切り出す、切り出し読み出しモードを求められることがある。図9は、撮像面である画素アレイPAと信号処理部102を模式的に示した図である。図中、領域201を切り出して読み出す場合を考える。

【0053】

領域201のみを読み出す場合には、この領域に対応する列の信号処理部102のみが動作すればよいので、読み出しに関与しない列の信号処理部に供給する電源を停止するなどして節電状態に設定することで、光電変換装置の消費電力を低減することができる。具体的な例としては、A/D変換部の比較器を駆動する電流を遮断することが考えられる。節電機構は信号処理部102毎に備えても良いが、図1に示したブロック毎に1つの節電機構を備えてもよい。ブロック毎に節電機構を設けると、信号を読み出す必要のない列の信号処理部102も動作状態になる可能性があるが、各列に節電機構を設けるよりも簡単な構成で消費電力の低減が実現できる。

【0054】

さらに、読み出しに関与しない出力ブロックも節電状態に設定することで、さらなる消費電力の低減を実現できる。

【0055】

以上で説明した本実施例によれば、高速な読み出しを実現しつつ、消費電力の増大を抑制することができる。

【0056】

(実施例6)

図面を参照しながら、本発明に係るさらに別の実施例を説明する。

【0057】

光電変換装置では、撮像面のうち、読み出す画素の間隔を開けて信号を読み出す間引き読み出しモードが求められることがある。図10は、1列おきの画素から信号を読み出す場合の画素アレイPAと信号処理部102を模式的に示した図であって、斜線で示した信号処理部102に対応する列の画素からのみ信号が読み出されるものとする。

【0058】

本実施例においても、信号を読み出す列の信号処理部102のみを動作状態にし、それ以外の列については節電状態に設定することで、消費電力を低減することができる。

【0059】

信号処理部102から出力された信号は、第1および第2の出力部のどちらから出力してもよく、用途に応じて選択すればよい。

【0060】

説明を簡単にするために、信号が読み出される列のすべての画素から信号を読み出す場合を考えたが、例えば1行おきの画素から信号を読み出すように、行選択部103を駆動しても良い。

【0061】

(実施例7)

図面を参照しながら、本発明に係るさらに別の実施例を説明する。

【0062】

ここでは、各画素101に対応してカラーフィルタを設けた光電変換装置について考える。図11に示すように、赤(R)の画素と緑(G)の画素とが交互に繰り返される画素行と、緑(G)の画素と青(B)の画素とが交互に繰り返される画素行とが交互に配列されるベイヤー配列を用いた場合には、1列あるいは1行おきの画素から信号を読み出すと

10

20

30

40

50

、信号が得られない色が生じてしまう。そこで、図11に示すように、2列および2行おきに画素を選択して信号を読み出すことが考えられる。これにより、すべての色について信号を取得することができる。

【0063】

本実施例においても、実施例7と同様に、信号を読み出す列の信号処理部102のみを動作状態にし、それ以外の列については節電状態に設定することで、消費電力を低減することができる。また、信号処理部102から出力された信号は、第1および第2の出力部のどちらから出力してもよく、用途に応じて選択すればよい。

【0064】

(実施例8)

10

図面を参照しながら、本発明に係るさらに別の実施例を説明する。

【0065】

図12は、本実施例に係る光電変換装置1'の構成を示すブロック図である。図1に示した光電変換装置1とは異なり、隣接する列ではなく、1列おきの信号処理部102を2つで1つのブロックとしている。図12では図を簡単にするために、駆動信号生成部、同期信号生成部、および同期コード付加部を図示していないが、本実施例でも既に説明した実施例と同様に同期コードを付加する。

【0066】

画素アレイPAを挟むように信号処理部102、出力選択部105、第1の出力部107、および第2の出力部109が設けられている。画素アレイPAのうち左から奇数列目の画素からの信号が図中下側の出力部から出力され、左から偶数列目の画素からの信号が図中上側の出力部から出力される。

20

【0067】

より一般化して考えると、互いに隣接する複数(図12では4)の列を1つのブロックとして、そのブロック内でさらに複数(図12では2)のサブブロック(図12では107Aと107B)に分割している。各サブブロックは画素アレイPAの1列おきの複数の画素に対応する。各サブブロックに対応して第1および第2の出力部が設けられるので、サブブロックに分割しない場合よりも高速に信号を読み出すことができる。

【0068】

このように複数の信号処理部を1列おきに選択してサブブロックにする構成の利点は、ペイヤー配列のカラーフィルタを設けた場合に、一方のサブブロックから出力されるのはRとGのみ、もしくはGとBのみの信号になるので、出力部の後段に設けられた不図示の処理回路の処理が簡単になるという点である。

30

【0069】

(実施例9)

30

次に、本実施形態に係る撮像システムの概略を図13を用いて説明する。

【0070】

撮像システム800は、例えば、光学部810、光電変換装置1000、映像信号処理部830、記録・通信部840、タイミング制御回路部850、システムコントロール回路部860、及び再生・表示部870を含む。光電変換装置1000は、先述の各実施例で説明した光電変換装置が用いられる。ここでは、図1に示したタイミング生成部40が、光電変換装置ではなく、タイミング制御回路部850に含まれる場合を例示している。

40

【0071】

レンズなどの光学系である光学部は810、被写体からの光を光電変換装置1000の、複数の画素が2次元状に配列された画素アレイに結像させ、被写体の像を形成する。光電変換装置1000は、タイミング制御回路部850からの信号に基づくタイミングで、画素部に結像された光に応じた信号を出力する。

【0072】

光電変換装置1000から出力された信号は、処理回路としての映像信号処理部830に入力され、映像信号処理部830が、プログラムなどによって定められた方法に従って

50

、信号の並び替えなどの処理を行う。映像信号処理回路部での処理によって得られた信号は画像データとして記録・通信部 840 に送られる。記録・通信部 840 は、画像を形成するための信号を再生・表示部 870 に送り、再生・表示部 870 に動画や静止画像が再生・表示させる。記録通信部は、また、映像信号処理部 830 からの信号を受けて、システムコントロール回路部 860 とも通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

【0073】

システムコントロール回路部 860 は、撮像システムの動作を統括的に制御するものであり、光学部 810、タイミング制御回路部 850、記録・通信部 840、及び再生・表示部 870 の駆動を制御する。また、システムコントロール回路部 860 は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システムの動作を制御するのに必要なプログラムなどが記録される。また、システムコントロール回路部 860 は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム内で供給する。具体的な例としては、読み出す行やりセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらしなどである。

10

【0074】

タイミング制御回路部 850 は、制御部であるシステムコントロール回路部 860 による制御に基づいて光電変換装置 1000 及び映像信号処理部 830 の駆動タイミングを制御する。

20

【0075】

以上で説明した各実施例は、本発明を実施するための例示的なものであって、本発明の技術的思想を逸脱しない範囲で様々に変更あるいは組み合わせることが可能である。

【符号の説明】

【0076】

P A 画素アレイ

101 画素

102 信号処理部

103 行選択部

104 信号線

105 出力選択部

30

106 切り換え部

107 第1の出力部

107-1、2、… 第1の出力ブロック

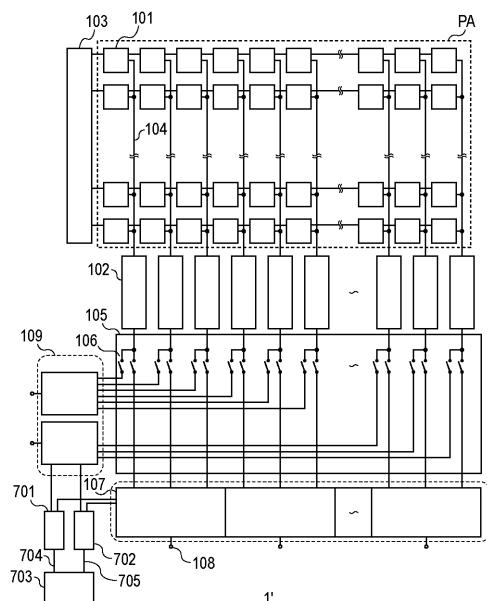
108 出力端子

109 第2の出力部

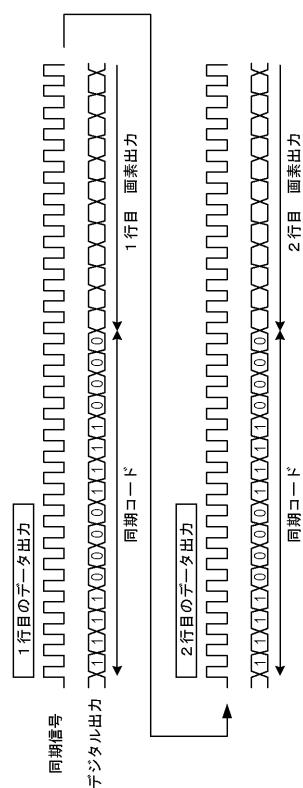
109-1、2、… 第2の出力ブロック

110 出力端子

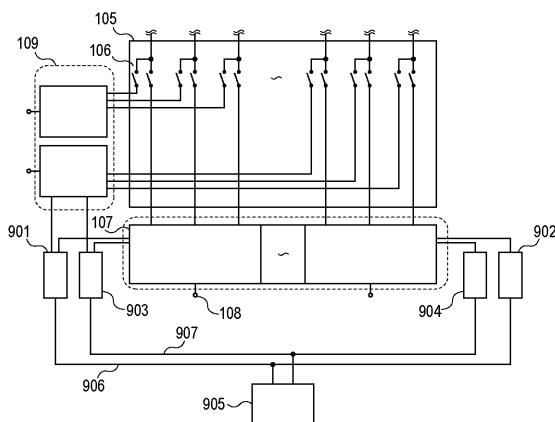
【図1】



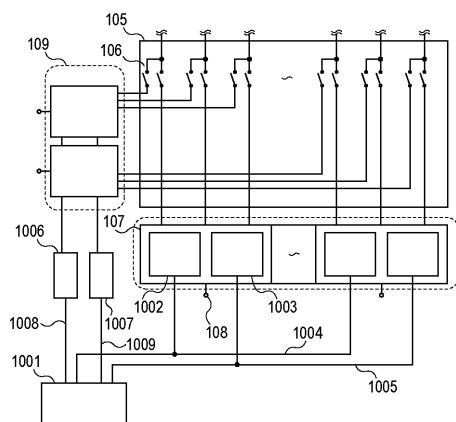
【 図 2 】



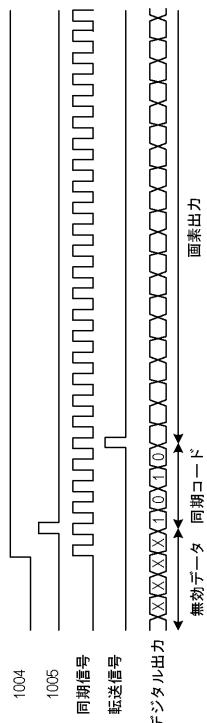
【図3】



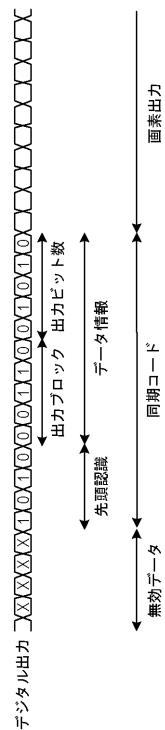
【 四 4 】



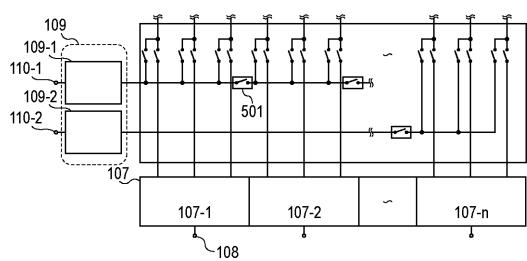
【図5】



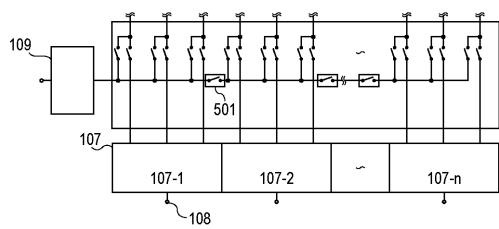
【図6】



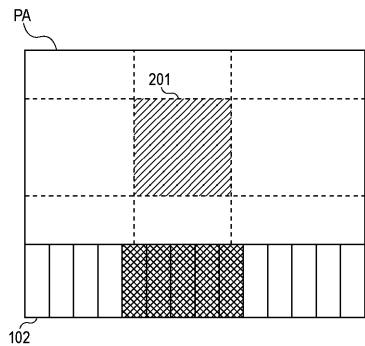
【図7】



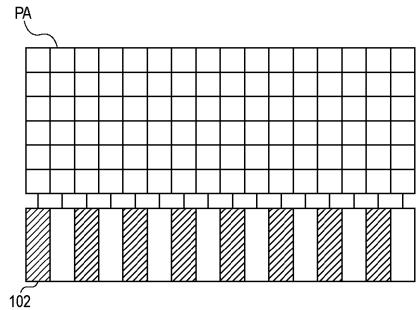
【図8】



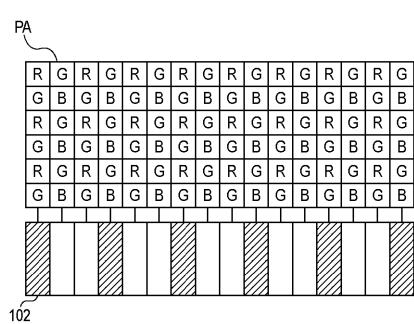
【 四 9 】



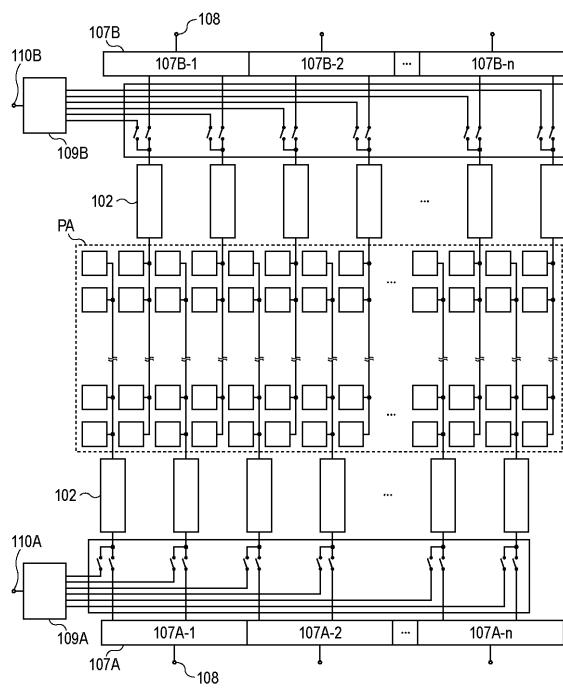
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



【図 13】

