



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H01L 29/749 (2006.01)

(45) 공고일자	2007년02월27일
(11) 등록번호	10-0687079
(24) 등록일자	2007년02월20일

(21) 출원번호	10-2002-7002998	(65) 공개번호	10-2002-0032567
(22) 출원일자	2002년03월07일	(43) 공개일자	2002년05월03일
심사청구일자	2005년09월06일		
번역문 제출일자	2002년03월07일		
(86) 국제출원번호	PCT/GB2000/003443	(87) 국제공개번호	WO 2001/18876
국제출원일자	2000년09월07일	국제공개일자	2001년03월15일

(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬랜드, 일본, 케냐, 키르키즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터키, 트리니다드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구와바부다, 코스타리카, 도미니카, 알제리, 모로코, 탄자니아, 남아프리카, 벨리제, 모잠비크,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우,

(30) 우선권주장

9921068.4 1999년09월08일 영국(GB)

(73) 특허권자

드 몬포트 유니버시티
 영국, 엘리1 9비에이치 레스터셔, 레스터, 더 게이트웨이

(72) 발명자

마다딜산카라나라야난엑카나드
 영국, 레스터셔 엘리41에이티, 레스터, 62스톤니웰로드

(74) 대리인

리엔목특허법인
 목선영

심사관 : 배진용

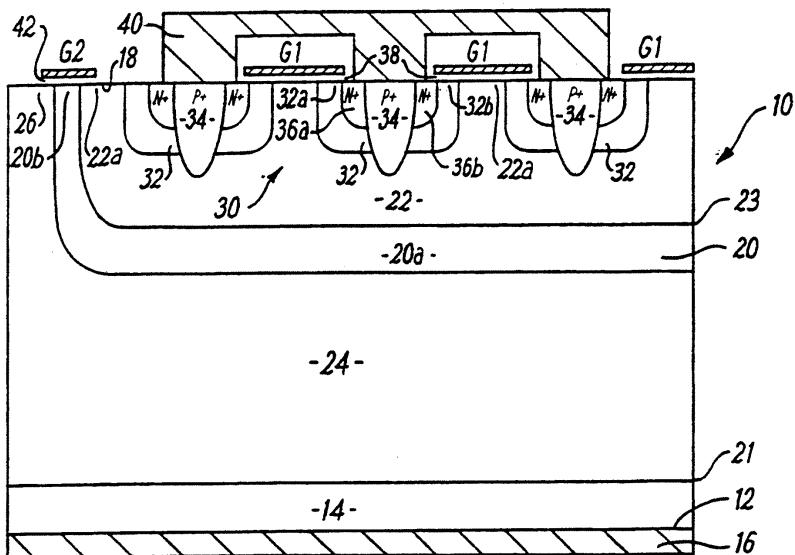
전체 청구항 수 : 총 6 항

(54) 바이폴라 MOSFET 디바이스

(57) 요약

내부에 최소한 하나의 제2 도전 형태의 에미터 영역(36a,36b)이 배치되어 있는 제1 도전 형태의 베이스 영역(32)을 포함하는 최소한 하나의 셀; 제2 도전 형태의 제1 웨л 영역(22); 제1 도전 형태의 제2 웨л 영역(2a); 제2 도전 형태의 드리프트 영역(24); 제1 도전 형태의 콜렉터 영역(14); 콜렉터 접점(16)을 포함하는 반도체 디바이스에 있어서, 각각의 셀이 상기 제1 웨л 영역(22)내에 배치되어 있으며, 상기 제1 웨л 영역(22)이 상기 제2 웨л 영역(20)내에 배치되어 있고, 상기 디바이스가, MOSFET 채널이 에미터 영역(36a,36b)과 상기 웨л 영역(22)사이에 형성될 수 있도록 베이스 영역(32)상에 배치되어 있는 제1 게이트(61)를 더 포함하며, 상기 디바이스가, MOSFET 채널이 상기 제1 웨л 영역(22)과 상기 드리프트 영역(32)사이에 형성될 수 있도록 상기 제2 웨л 영역(20)상에 배치되어 있는 제2 게이트를 더 포함하는 반도체 디바이스가 개시되어 있다.

대표도



특허청구의 범위

청구항 1.

내부에 최소한 하나의 제2 도전 형태의 에미터 영역이 배치되어 있는 제1 도전 형태의 베이스 영역을 포함하는 최소한 하나의 셀;

제2 도전 형태의 제1 웨л 영역;

제1 도전 형태의 제2 웨л 영역;

제2 도전 형태의 드리프트 영역;

제1 도전 형태의 콜렉터 영역;

콜렉터 접점

을 포함하는 반도체 디바이스에 있어서,

각각의 셀이 상기 제1 웨爾 영역내에 배치되어 있으며, 상기 제1 웨爾 영역이 상기 제2 웨爾 영역내에 배치되어 있고, 상기 디바이스가,

MOSFET 채널이 에미터 영역과 상기 웨爾 영역사이에 형성될 수 있도록 베이스 영역상에 배치되어 있는 제1 게이트를 더 포함하며, 상기 디바이스가,

MOSFET 채널이 상기 제1 웨爾 영역과 상기 드리프트 영역사이에 형성될 수 있도록 상기 제2 웨爾 영역상에 배치되어 있는 제2 게이트를 더 포함하고,

상기 디바이스는, 디바이스의 동작시, 상기 베이스 영역과 상기 제1 웨爾 영역사이의 접합에서의 디플리션 영역이 상기 제1 웨爾 영역과 상기 제2 웨爾 사이의 접합에 이르기까지 확장함으로써, 상기 디바이스가 상기 베이스 영역과 상기 제2 웨爾 영역사이에 MOSFET 채널을 형성할 필요가 없이 편온될 수 있게 하기 위하여, 상기 제1 웨爾 영역의 전위가 어떠한 콜렉터 접점에서의 전위라도 증가되는 것을 실질적으로 차단하도록 구성되어 있는 것을 특징으로 하는 반도체 디바이스.

청구항 2.

제1항에 있어서, 다수의 베이스 영역은 상기 제1 웨爾 영역내에 배치되어 있으며, 각각의 베이스 영역은 내부에 최소한 하나의 에미터를 지니는 것을 특징으로 하는 반도체 디바이스.

청구항 3.

제1항에 있어서, 상기 셀 또는 셀들은 상기 제1 웨爾 영역을 통해 확장하는 수직 축에 대하여 실질적으로 대칭인 것을 특징으로 하는 반도체 디바이스.

청구항 4.

제1항 내지 제3항 중 어느 한 항에 따른 분리형 게이트 바이폴라 트랜지스터 형태의 디바이스에 있어서, 온-상태 통전은 주로 상기 제1 웨爾 영역, 상기 제2 웨爾 영역, 상기 드리프트 영역 및 상기 콜렉터 영역을 포함하는 사이리스터를 통해 발생하는 것을 특징으로 하는 분리형 게이트 바이폴라 트랜지스터 형태의 디바이스.

청구항 5.

제1항 내지 제3항 중 어느 한 항에 따른 에미터 스위치형 사이리스터 형태의 디바이스에 있어서, 상기 제2 웨爾 영역과 접촉해 있으며 상기 베이스 영역 및 에미터 영역과 직접적으로 전기적 접촉을 하는 농도가 높은 상태로 도우평된 제1 도전 형태의 분리 영역을 더 포함하는 것을 특징으로 하는 에미터 스위치형 사이리스터 형태의 디바이스.

청구항 6.

제1항 내지 제3항 중 어느 한 항에 따른 분리 베이스 에미터 스위치형 사이리스터 형태의 디바이스에 있어서, 상기 제2 웨爾 영역과 접촉해 있는 농도가 높은 상태로 도우평된 제1 도전 형태의 분리 영역을 더 포함하며, 상기 제1 웨爾 영역과 직접적으로 전기적 접촉을 하도록 상기 분리 영역상에 부동 오옴 접점이 형성되는 것을 특징으로 하는 분리 베이스 에미터 스위치형 사이리스터 형태의 디바이스.

명세서

본 발명은 일반적으로, 바이폴라 기법과 MOS 기법을 결합한 유형의 전력 반도체 디바이스의 패밀리(family)에 관한 것이다.

그러한 디바이스에는 광범위한 디바이스가 있다. 극단적으로 말하자면, 그러한 패밀리에는 전력 MOSFET 디바이스가 속하지 않는다. 그 같은 전력 MOSFET 트랜지스터에는 버티컬(vertical) DMOS 공정(여기서, "DMOS"는 이중 확산된 MOS (double -diffused MOS)의 약어임)으로 제조된 DMOS 전력 MOSFET가 있었다. 그러한 공정에 있어서는, 단결정 실리콘 몸체상에, 그 몸체의 한 면에 형성된 다수의 소오스/게이트 셀을 사용하고 그의 반대 면에 형성된 공통 드레인 영역으로 피복하여 디바이스가 만들어진다. 소오스/게이트 셀은 병렬 관계로 접속되어 드리프트 영역으로서 알려져 있는 디바이스의 주요 내부 영역을 통해 전류가 흐르도록 다수의 병렬 필라멘트를 제공한다.

바이폴라 기법과 MOSFET 기법의 결합으로 인해, 바이폴라 트랜지스터 구조는 디바이스를 통해 주요 부하 전류 반송(搬送) 경로를 제공하며, MOS 구조는 그러한 바이폴라 트랜지스터를 제어한다. MOS 구조는 입력 전력을 거의 소비하지 않고 임피던스 입력을 제공한다. 그러므로, 이는 MOS 기법을 기초로 한 외부 제어 회로와 호환될 수 있다.

바이폴라 트랜지스터는, 본질적으로 3개의 층으로 이루어진 구조, 예컨대 에미터가 디바이스를 구성하는 MOS 일부의 소오스와 밀접하게 관련되어 있는 NPN 트랜지스터로부터, 예를 들면 사이리스터를 지니는 4개 또는 5개의 층으로 이루어진 구조(예컨대, 캐소드가 MOS 구조의 소오스와 밀접하게 관련되어 있는 MOS 제어형 사이리스터)에 이르기까지 서로 다른 디바이스로 변화할 수 있다. 이 같은 서로 다른 바이폴라 트랜지스터/MOS 디바이스를 단결정 실리콘 몸체에 버티컬 구조로 구현하는 것은 공지되어 있다. 상기 바이폴라 트랜지스터/MOS 디바이스의 경우, 에미터/소오스 또는 캐소드/소오스/게이트는 상기 몸체의 한 면에 다수의 셀로서 제공되고 콜렉터 또는 애노드는 상기 몸체의 반대 면에 형성된 공통 영역으로 제공된다. 용어의 편이성을 위해, 에미터/소오스 및 캐소드/소오스 구조는 모두 "캐소드/소오스" 또는 캐소드 구조로서 통칭될 수 있으며 애노드는 "애노드"로서 통칭될 수 있다. 그러나, 본원에 기재된 본 발명의 개념은 N형 재료가 P형 재료로 대체되고 P형 재료가 N형 재료로 대체되는 디바이스에 적용될 수 있다는 점에 유념하여야 한다.

동작에 있어서, 디바이스의 캐소드/소오스/게이트 셀은 병렬 관계로 접속되어 있으며, 내부 디바이스의 금속화 공정에 의해 이행될 수 있다. 이는 캐소드 구조에서 애노드에 이르기까지의 전류 경로가 드리프트 영역을 통해 확장하는 디바이스의 패밀리의 공통적인 특징이다. 그러한 디바이스를 설계함에 있어서는, 낮은 저항의 순방향 통전 경로와 높은 순방향의 항복(breakdown) 전압 능력 사이에 달성되어야 할 밸런스가 존재한다. 광범위한 용도를 달성해 온 전력 바이폴라/MOSFET 반도체 패밀리 중 한 디바이스는 N 채널 인핸스먼트(enhancement)형 MOSFET에 의해 제어되는 PNP 트랜지스터인 분리형 게이트 바이폴라 트랜지스터(insulated gate bipolar transistor;IGBT)이다. IGBT는 3-단자 디바이스이다. 다른 한 디바이스는, 게이트가 공통 게이트 단자에 접속된 2개의 접적형 MOSFET를 갖는 에미터-스위치형 사이리스터(emitter-switched thyristor;EST)이다. 이 또한 3-단자 디바이스이다. 또 다른 한 디바이스는 디바이스를 턴온시키기 위한 통상의 제어 게이트에 부가해서 분리 게이트 턴-오프 능력을 갖는 사이리스터 형태의 4-단자 디바이스이다.

MOSFET 또는 바이폴라/MOS 디바이스의 캐소드 셀 구조는 반도체 표면에서 평면 게이트 구조로 제조되거나 전력 MOSFET와 관련하여 최초로 개발된 트렌치(trench) 게이트를 이용하여 제조될 수 있다. 캐소드 구조는 또한 평면 또는 트렌치 형태로 구현될 수 있다.

IGBT용의 캐소드 구조는 와이.오니시(Y.Onishi)와 그의 동료 명의의 "차세대 IGBT용의 디바이스 구조의 분석(Analysis of Device Structures for Next Generation IGBT)" 「Proceedings of 1998 International Symposium on Power Semiconductor Devices and ICs, p.85」에서 논의되어 있다. 그러한 논문에는 평면 게이트 및 트렌치 게이트 모두에 적용되는 구조와 그러한 평면 게이트 및 트렌치 게이트의 상관적인 장점 및 단점이 논의되어 있다. 이러한 디바이스에서는, 각 쌍의 인접 셀의 채널이 공통 P 웰에 형성되어 있다.

분리 게이트 제어형 사이리스터는 케이.릴자(K.Lilja) 및 더블유.피치트너(W.Fichtner) 명의의 "필라멘트화되지 않은 분리 게이트 제어형 사이리스터 및 IGBT와의 비교(A Filamentation-Free Insulated-Gate Controlled Thyristor and Comparison to the IGBT)" 「Proc. ISPSD, p.275, 1996」에 개시되어 있다. 이는 사이리스터와 같은 온(on)-상태 특성을 유지하면서 필라멘트 고장에 관한 신뢰성을 개선시키는 디바이스(IGCT)를 제안하고 있다.

"FiBS"로서 언급되는, 게이트 턴-오프 능력을 갖는 다른 형태의 4-단자 MOS-게이트형 사이리스터는, 케이.릴자(K.Lilja) 명의의 "FiBS, 신규한 고전압 BiMOS 스위치(The FiBS, A New High Voltage BiMOS Switch)" 「Proc. ISPSD, 1992, p.261」 및 릴자(Lilja)와 그의 동료 명의의 미국 특허 제5,286,981호에 개시되어 있다. 대형 FiBS는 다수의 접적형 병렬 셀로 이루어져 있다. 이러한 디바이스는 평면 또는 트렌치 게이트 기법으로 구현될 수 있다.

MOS-게이트 에미터 스위치형 사이리스터는 엠.에스.쉬카(M.S.Shekhar), 제이.코렉(J.Korec) 및 비.제이.발리가(B.J.Baliga) 명의의 "트렌치 게이트 에미터 스위치형 사이리스터(Trench Gate Emitter Switched Thyristors)" 「Proc. 6th International Symposium of Power Semiconductor Devices and ICs, 1994, paper5.1, 189」에 기재되어 있다. 이러한 디바이스는 트렌치 게이트 셀 구조로 구현되는 3-단자 디바이스이다.

선행 기술에 의한 제안들에 있어서는, 이웃하는 셀이 공통 도우팅된 영역 또는 웰(well)내에 형성된 대응하는 구조적 요소를 지닐 수 있다.

본 발명은 캐소드/게이트 요소의 클러스터(cluster)를 포함하는 신규한 형태의 캐소드 구조를 제공한다. 이 같은 신규한 형태의 클러스터 캐소드 구조는 다시 셀룰러 구조 형태의 캐소드를 이루는 셀로서 사용될 수 있다.

본 발명은 이하에 기재되는 여러 형태로 구현될 수 있다. 이하에 기재될 디바이스는 MOS-사이리스터 구조를 합체시켜, 균일한 전류 분포, 양호한 전류 포화 성능, (근접하게 패킹된 셀을 합체시킨) 소형의 디바이스 크기 및 양호한 안전 동작 부위(safe operating area;SOA)의 바람직한 특성을 유지하면서 향상된 성능을 달성한다.

본 발명에 의하면,

내부에 최소한 하나의 제2 도전 형태의 에미터 영역이 배치되어 있는 제1 도전 형태의 베이스 영역을 포함하는 최소한 하나의 셀;

제2 도전 형태의 제1 웰 영역;

제1 도전 형태의 제2 웰 영역;

제2 도전 형태의 드리프트 영역;

제1 도전 형태의 콜렉터 영역;

콜렉터 접점

을 포함하며, 각각의 셀은 제1 웰 영역내에 배치되어 있고 제1 웰 영역은 제2 웰 영역내에 배치되어 있으며,

MOSFET 채널이 에미터 영역과 제1 웰 영역사이에 형성될 수 있도록 베이스 영역 상에 배치되어 있는 제1 게이트;

MOSFET 채널이 제1 웰 영역과 드리프트 영역사이에 형성될 수 있도록 제2 웰 영역상에 배치되어 있는 제2 게이트

를 더 포함하고, 반도체 디바이스는, 반도체 디바이스의 동작시, 베이스 영역과 제1 웰 영역사이의 접합 부분에 있는 디플리션 영역이 제1 웰 영역과 제2 웰 영역사이의 접합 부분에 이르기까지 확장함으로써, 반도체 디바이스가 베이스 영역 및 제2 웰 영역 사이에서 MOSFET 채널을 형성할 필요없이 턴오프될 수 있기 위하여 제1 웰 영역의 전위가 어떠한 콜렉터 접점의 전위라도 증가시키는 것을 실질적으로 증가되는 것을 실질적으로 차단하도록 구성되어 있는 것을 특징으로 하는 반도체 디바이스가 제공된다.

베이스 영역과 제1 웰 영역사이의 접합 부분에 있는 디플리션 영역이 제1 웰 영역과 제2 웰 영역사이의 접합 부분에 이르기까지 확장함으로 인해 제1 웰 영역이 과잉 전위로 부터 보호받을 수 있는 능력은, 이후로는 "자체적인 클램핑(self-clamping)"이라 언급된다. 자체적인 클램핑은 결과적으로 디바이스의 온-상태와 오프-상태 모두에 있어서 여러 유리한 특징을 갖게 한다. 이 같은 유리한 특징은 이하에서 보다 상세하게 논의된다. 본 발명에 의한 디바이스의 주요 특징은, 낮은 순방향 드롭(drop); 양호한 SOA; 높은 항복 전압; IGBT의 스위칭 능력과 필적할 만한 스위칭 능력; N-채널 MOS 게이트 제어; 3 단자 디바이스의 제공; CMOS 공정의 완전한 호환성; 저 전압 및 고 전압 디바이스의 모놀리식 집적화의 가능성; 낮은 구동 전력 요구를 달성하기 위한 400Å 또는 그 보다 낮은 두께로의 게이트 산화물 두께의 용이한 스케일링; 및 드리프트 영역을 통한 감소된 게이트 치수의 결과로서의 감소된 게이트 캐패시턴스를 포함한다.

FiBS 디바이스는 디바이스의 턴-오프를 제어하도록 독립형 P MOSFET를 필요로 하는 4 단자 디바이스이라는 점에 유념하여야 한다. 본 발명에 의한 디바이스의 턴-오프는 그 같은 MOSFET 구조를 필요로 하지 않는다.

제1 도전 형태는 P이고, 제2 도전 형태는 N인 것이 전형적이다. 그러나, 제1 도전 형태가 N이고, 제2 도전 형태가 P인 디바이스를 제조하는 것이 가능하다. 본 발명에 의한 디바이스는 버티컬(vertical) 형태이거나 또는 래터럴(lateral) 형태일 수 있다.

다수의 베이스 영역은 제1 웨爾 영역내에 배치되며, 각각의 베이스 영역은 내부에 최소한 하나의 에미터가 배치된다. 이러한 경우에, 근접하게 패킹된 "셀"의 클러스터가 제조될 수 있는 데, 이는 결과적으로 전류 밀도를 높고, 균등하게 해 준다.

셀 또는 셀들은 제1 웨爾 영역을 통해 확장하는 수직 축에 대하여 실질적으로 대칭일 수 있다. 이와는 대조적으로, FiBS 디바이스는 본래부터 비대칭인 데, 왜냐하면 턴-오프를 제어하도록 PMOS 채널을 집적화시킬 필요가 있기 때문이다. 대칭인 디바이스는, i) (제1 도전 형태가 P인 경우) 캐소드 부위 대부분이 통전을 위해 이용될 수 있고, ii) 전류 균등성이 개선되기 때문에 바람직스럽다.

디바이스는 분리형 게이트 바이폴라 트랜지스터(IGBT) 형태의 디바이스일 수 있는 데, 이 경우 온-상태의 통전은 주로 제1 웨爾 영역, 제2 웨爾 영역, 드리프트 영역 및 콜렉터 영역을 포함하는 사이리스터를 통해 발생한다.

IGBT 형태의 디바이스는 평면, 트렌치 게이트 형태, 트렌치 캐소드 형태, 또는 트렌치 게이트 및 트렌치 캐소드 형태일 수 있다. 이러한 디바이스는 PT(펀치 스루(punch through))-IGBT 구성으로 실현할 수 있는데, 이 경우 드리프트 영역은 농도가 높은 상태로 도우핑된 버퍼 층과 농도가 낮은 상태로 도우핑된 영역으로 구성된 에피택셜 층을 포함한다. 변형적으로는, 드리프트 영역으로서 농도가 균등하고 낮은 상태로 도우핑된 웨이퍼를 사용할 경우에, NPT(비-펀치 스루(non punch through)) 구성이 채택될 수 있다.

다른 실시예에 있어서는, 디바이스가 에미터 스위치형 사이리스터(EST) 형태의 디바이스이며, 이러한 디바이스는 농도가 높은 상태로 도우핑된 제1 도전 형태의 분리 영역을 더 포함하고, 이러한 분리 영역은 제2 웨爾 영역과 접촉해 있으며 베이스 영역 및 에미터 영역과는 직접적인 전기적 접촉을 한다.

또 다른 실시예에 있어서는, 디바이스는 분리형 베이스 에미터 사이리스터 형태의 디바이스이며, 이러한 디바이스는 제2 웨爾 영역과 접촉해 있는, 농도가 높은 상태로 도우핑된 제1 도전 형태의 분리 영역을 더 포함하고, 제1 웨爾 영역과 직접적인 전기적 접촉을 하도록 이러한 분리 영역상에 부동 오옴 접점이 형성된다.

본 발명 및 그의 실시는 첨부 도면에 예시된 본 발명의 여러 실시예를 참고로 설명될 것이다.

도1은 평면 게이트 기법을 사용한 본 발명의 IGBT/사이리스터 디바이스의 구조를 간단하게 보여주는 단면도이다.

도1a는 도1의 디바이스의 등가 회로도이다.

도2는 EST 디바이스를 제공하기 위한 도1 구조의 한 변형 예이다.

도3은 분리형 베이스 EST 디바이스를 제공하기 위한 도1 구조의 다른 변형 예이다.

도4는 트렌치 게이트 기법으로 구현되는 IGBT/사이리스터 디바이스의 다른 변형 예를 보여주는 도면이다.

도5는 이중 게이트형 트렌치 IGBT/사이리스터 디바이스를 보여주는 도면이다.

도6은 도4의 디바이스의 래터럴 및/또는 준(quasi)-버티컬 구조를 보여주는 도면이고, 도6a-6c는 도6의 구조의 선택적인 변형 예를 보여주는 도면이다.

도7은 도6의 디바이스 구조의 다른 변형 예를 보여주는 도면이다.

도8은 게이트2를 부동 오옴 접점으로 대체한 것을 보여주는 도6, 도6a-6c, 및 도7의 구조들의 또 다른 변형 예를 보여주는 도면이다.

도9는 P-분리 영역을 포함하는 도6의 디바이스의 래터럴 구조를 보여주는 도면이다.

도10은 부동 오옴 접점이 게이트2와 연관되어 있는 도9의 구조의 변형예를 보여주는 도면이다.

도11은 게이트2용의 트렌치 게이트를 갖는 도6의 디바이스의 래터럴 구조를 보여주는 도면이다.

도1은 IGBT 및 사이리스터의 결합으로서 간주될 수 있는 디바이스의 구조를 간단하게 단면으로 도시한 것이다. 이러한 디바이스는 도1a에 도시된 등가 회로를 갖는다. 등가 회로는, 이하에서 설명되지만, IGBT 및 사이리스터와 같은 2개의 상호접속된 섹션을 갖는 것으로서 도시되어 있다. 도1에 도시된 디바이스의 게이트는 평면 게이트 형태를 이루고 있다. IGBT의 캐소드 셀은 이하의 설명에서 밝혀지겠지만 클러스터로 제공된다.

도1은 전형적으로는 단결정 실리콘인 반도체 재료의 몸체의 일부(10)를 도시한 것이며, 이 하부 면(12)은, 콜렉터 접점(16; 본 예에서는 애노드임)이 만들어지는 P+ 콜렉터 영역(14)을 포함한다. 디바이스는 N형 실리콘으로부터 제조된 NPT 디바이스이고, 상기 N형 실리콘을 통해 상부 면에 캐소드 셀의 패턴을 제공하도록 확산이 일어나게 된다. PT 디바이스는 또한 본 발명의 범위에 속한다.

디바이스 구조는 P 웨(20)을 포함하며, 이러한 P 웨(20)로 N 웨(22)이 확산되어 P웨내에 수직 및 수평으로 놓이게 됨으로써, 주 전류 경로를 이루는 P 영역(20a) 및 표면(18)에 나타나는 영역(20b)이 남게 된다. P 웨은 N형 실리콘 영역(24)에 의해 애노드로 부터 분리되며, 이러한 N형 실리콘 영역(24)은 IGBT 및 이러한 패밀리의 다른 디바이스에서 흔히 발견되는 바와 같이 N 드리프트 영역을 제공한다. 또한, N 드리프트 영역이 도면 부호(26)에서는 표면(18)에 대하여 상방으로 P 웨(20)의 외부에서는 측방으로 확장한다는 것을 알 수 있을 것이다. 영역(20b)은 차후에 설명되지만 MOSFET용의 채널을 제공한다.

N 웨(22)내에는 캐소드 셀(30)의 클러스터가 제공된다.

셀(30)은 동일한 구조이므로 이들 중 하나만이 상세하게 기재될 것이다. 도시되어 있는 3개의 셀 중 중앙의 셀을 참조하면, 이는 N 웨(22)내에 확산된 얇은 P 베이스(32)를 포함한다. 웨(22)을 중심으로 하여, P+ 영역(34)이 베이스(32)의 하부를 관통하여 영역(22)내로 돌출하도록 확산된다. 영역(34)의 각각의 측면에 대하여는, 각각의 N+ 에미터 영역(36a,36b)이 P 베이스(32)내로 확산되고, 각각의 영역은 P+ 영역(34)과의 비-정류 접합을 형성한다. 에미터 영역(36a,36b)의 각각의 측면에 대하여는, P 웨(32)의 부분(32a,32b) 각각이 이하의 설명으로부터 알 수 있겠지만, 캐소드 MOS 트랜지스터용의 채널을 제공하도록 나타난다. 모든 확산은 표면(18)을 통해 일어난다. 또한, N 웨(22)의 부분(22a)이 표면에 나타나도록 셀(30)이 일정 간격으로 이격되어 있다는 것을 알 수 있을 것이다. 다수의 제1 형태의 게이트(G1)는 표면(18)상에 제공되며, 게이트 산화물(38)의 상부에 놓인다. 각각의 게이트(G1)는 게이트 산화물상에 형성되며 한 셀의 부분(32a) 및 그와 이웃하는 셀의 부분(32b)상에 확장됨으로써 2개의 제어 MOSFET를 제공한다. 각각의 MOSFET는 소오스로서 N+ 영역(36a 또는 36b) 및 N 웨(22)의 부분(22a)을 지니다. 따라서, 각각의 셀은 2개의 제어 MOSFET를 제공하며, 2개의 제어 MOSFET에 대하여 분리 G1 게이트가 도포된다. 각각의 G1 게이트는 개별 셀로부터 2개의 MOSFET를 제어한다. 그 대신에, 단일 단자를 제공하도록 MOSFET를 서로 접속시키는 것이 가능하다.

셀(30)의 구조가 주어진 P 웨(20)-N 웨(30)의 결합체 내부에서 필요한 만큼 빈번하게 반복될 수 있음을 알 수 있을 것이다. 이러한 구조는, 클러스터가 3차원의 셀 어레이가 되도록 예시된 바와 같이 도면의 평면내에서 뿐만 아니라 그러한 평면과 수직으로도 반복될 수 있다. 셀 클러스터를 완성시키기 위해, 금속 영역(40)이 각각의 셀에 도포됨으로써, 모든 P+ - N+ 접합 부분이 가교 결합되고 모든 셀이 병렬로 접속된다. 금속 영역(40)은 디바이스용 캐소드 접점을 제공한다.

디바이스 구조를 완성시키기 위해, 도1의 좌측에 있는 클러스터(30)의 최외곽에 있는 셀은 완전하게 이용되지 않음을 알 수 있을 것이다. 제2 형태의 게이트(G2)는 게이트 산화물(42)상에 도포되며 P 웨(20)의 영역(20b)의 상부에 놓인다. 영역(20b)은 N 웨(22)의 부분(22a)에 의해 제공되는 소오스와 N 드리프트 영역(24)의 이웃하는 부분(26a)사이에 채널을 제공한다. G1 게이트가 캐소드 셀(30)과 P 웨(20)사이의 통전을 제어하지만, 게이트(G2)는 클러스터 구성 단위로서의 셀(30)과 애노드 영역(16)사이의 통전을 제어한다는 점을 알 수 있을 것이다. 디바이스의 동작 기능은 도1a를 참조하여 상세하게 설명될 것이다. 그러나, 클러스터 캐소드 셀 유니트 구조를 합체하는 지금까지 설명한 반도체 유니트가 그 자체적으로 공통 애노드 영역으로 모두 괴복된 그러한 유니트의 그룹을 제공하도록 반복될 수 있음에 유념하기 바란다. 설명되고 예시된 셀 구조의 중요한 특징은 그의 대칭 설계이다. 이는 이하에서 상세하게 언급될 것이다.

지금부터 도1a를 참조하면, 병렬 캐소드 셀이 단일 바이폴라 트랜지스터 및 단일 MOSFET로서 도시되어 있음을 알 수 있을 것이다. 게이트(G1,G2) 모두는, 비록 게이트의 분리 동작도 가능하지만, 서로 접속되어 있다. 또한, N+ 에미터 영역과

겹쳐지도록 게이트(G2)를 확장시키는 것이 가능하다. 동작시, 애노드는 캐소드에 대하여 애노드에 가해지는 양(+) 전압을 지니고 디바이스는 캐소드에 대하여 게이트 전압을 양(+)으로 상승시킴으로써 턴온된다. 도2에 도시된 회로 요소의 형성부를 용이하게 식별하기 위하여, 도1의 관련 영역이 도2상에 표시되어 있다.

도1a에 도시된 회로 요소에 관하여 도1의 디바이스 구조를 보면, 각각의 캐소드는, N 웨(22)인 베이스 및 P 웨(20)인 에미터를 갖는 다수의 콜렉터 PNP 버티컬 트랜지스터의 콜렉터(P+ 영역(34))를 제공한다. 베이스의 도전율 조절은 영역(32a,34a)과 영역(32b,34a)사이의 인핸스먼트형 N-채널 MOSFET에 의해 제공된다. 도1a에 있어서, 다수의 콜렉터 트랜지스터는 Tpnp2로서 표시되어 있으며 다수의 MOSFET는 MOSFET(Tpnp2)로서 도시되어 있다. Tmos2가 턴온되는 경우 Tpnp2가 통전 상태로 트리거된다. 도면 부호(60)로 나타나 있는 이 같은 등가 회로 부분은 IGBT와 같이 작용한다.

제2 PNT 트랜지스터는 P 웨(20;콜렉터), N 드리프트 영역(24;베이스) 및 애노드 영역(에미터;12)사이에 형성된다. 이러한 트랜지스터는 도2에서 Tpnp1로 표시되어 있다. Tpnp1 및 Tpnp2는 결과적으로 직렬 관계에 있으며, 영역(20)은 이들 Tpnp1 및 Tpnp2 모두에 공유되어 있고 이들 2개의 트랜지스터 사이에 직렬 관계에 있는 저항(Rwell)을 지닌다.

Tpnp1과 관련되어 있는 것은 N 드리프트 영역(24;콜렉터), 베이스로서의 P 웨(20) 및 에미터로서의 N 웨(22)에 의해 제공되는 NPN형의 또 다른 트랜지스터이다. Tpnp1은 래칭(latching) 사이리스터 구성으로 Tnpn과 접속되어 있다. 드리프트 영역(24)의 저항(Rdrift)은 Tpnp1의 베이스 경로에 나타난다. N 웨은 Tnpn의 에미터과 Tpnp2의 베이스사이에 저항(Remitter)을 제공한다.

또한, 사이리스터 섹션(70)은 제어 MOSFET(Tmos)를 포함하고, 제어 MOSFET(Tmos)의 소오스-드레인 경로는 트랜지스터(Tnpn)의 베이스-에미터를 분로시킨다. MOS 제어 트랜지스터는 영역(24a,22)사이에 형성되며 게이트(G2)에 의해 제어를 받는다. Tmos2와 직렬 관계에 있는 Tmos1가 턴온됨으로써, 에미터 전류가 Tpnp1에 흐르게 되며, Tpnp1은 그후 충분한 콜렉터 전류를 Tnpn으로 우회시킴으로써, 재생적인 래칭 동작이 이들 트랜지스터사이에서 일어나게 Tnpn를 턴온 시킨다. 그와 동시에, IGBT(60)는 턴온되며 주요 전류 경로(Ippn)는 Tpnp2를 통해 완성된다. 2개의 MOSFET 모두의 통전을 개시하는 데 필요한 G2/G1에 걸리는 게이트 전압은 Tpnp2만에 대한 게이트 전압보다 큰 점에 유념하기 바란다. 일단 사이리스터 섹션(70)이 래칭되면, G2가 제어 기능을 상실하지만, G1/G2상에 걸린 전압이 캐소드 전위로 감소되면, 이는 IGBT를 턴오프시킴으로써, 주요 전류 경로를 차단시켜 사이리스터가 비-래칭 상태로 되게 한다.

도12는 도1에서 단면으로 도시된 형태의 디바이스가 어떻게 3차원으로 실현될 수 있는지를 보여 준다. 도12a는 대체로 다각형인 N 웨(22)이 어떻게 대체로 다각형인 P 웨(20)내에 존재할 수 있는지를 보여 준다. 표현의 간략성의 이유로 해서, 다른 디바이스의 특징은 도12a에서 생략되어 있다. P 웨 및 N 웨 모두의 표면 부분이 변형적으로는 원형일 수 있다.

N 웨(22)내에서는, 개별적인 델(dell;도시되지 않음)이 원형, 다각형, 스트립 형태 또는 이들 형태의 조합일 수 있다.

도12b는 각각의 구조가 셀(30)의 클러스터를 포함하는 다수의 P 웨(20)/N 웨(22)의 구조를 포함하는 디바이스를 도시한 것이다.

지금까지는 도1의 디바이스의 기본적인 동작을 설명하였지만, 그의 동작 파라미터의 몇가지 특징이 이하에서 보다 상세하게 논의될 것이다.

온-상태 성능(On-state performance):

임계 전압보다 높은 양(+)의 바이어스 전압이 게이트(G1,G2)에 가해지는 경우, 캐소드 MOSFET는 턴온되어 전자(electron)가 Tmos1을 통해 N-드리프트 영역(24)내에 공급된다. 애노드 전압이 바이폴라 온-설정 전압보다 높은 경우, 정공(hole)이 애노드로 부터 주입된다. 그러나, 정공이 IGBT 또는 EST의 경우에서와 같이, 캐소드 영역내로 직접 흐르는 경로는 전혀 존재하지 않는다.

Tnpn의 에미터로서 작용하는 N 영역(22)의 농도는 디바이스의 턴-온에 중요한 역할을 하며, 전하 저장형 IGBT(CS-IGBT)의 경우에서와 같이 정공에 대한 장벽을 형성하는 데 필요한 임계 제한 범위에 미치지 못하게 한다. 제어 게이트(G1/G2)가 온 상태인 경우, N 웨(22)은 N 웨 영역에 형성된 축적 영역 및 P 베이스 영역(32)내의 반전형 채널(32a,32b)을 통해 캐소드 전위에 결속된다. P 웨(20)의 전위가 증가함에 따라, 트랜지스터(Tnpn1)가 턴온된다. 이 결과로 사이리스터가 방전개시(firing)된다.

전류 포화 특징(Current saturation feature):

대개, 사이리스터(70)는 제어 MOSFET가 포화되기 전에 턴-온된다. 일단 MOSFET가 포화되는 경우, N 웨尔/P 웨尔(22+ 20) 전위가 증가한다. 이와 같은 전위가 증가하면, 결과적으로 P 베이스(32)/N 웨尔(22)의 디플리션 영역이 인핸스먼트 영역으로 이동한다. N 웨尔(22)의 농도가 P 베이스(32)의 농도보다 낮아짐에 따라, 디플리션 영역이 N 웨尔 영역으로 현저하게 이동한다. (도우핑 농도, N 웨尔의 깊이, P 베이스의 깊이 및 MOS 채널 포화 특성에 의해 결정되는) 어떤 설계 전압에서는, 디플리션 영역이 P 웨爾/N 웨尔 접합면(23)에 밀집하며, 그러한 지점에서, 디바이스가 클램프 동작 상태로 된다. 자체적인 클램핑 특징으로, 애노드 전위에 있어서의 어떠한 부가적인 증가라도 P 웨爾/N 드리프트 영역(20+ 24)의 양단에서만은 강하된다.

순방향 차단(Forward Blocking):

디바이스의 순방향 차단 전압 능력은 주어진 기법에 대하여 평면 IGBT의 순방향 차단 전압 능력보다 상당히 월등하다. 왜냐하면, P 웨爾/N 드리프트 영역 접합면(21)이 디바이스의 애지 부분에서만을 제외하고는 평면적으로 나란하기 때문이다. 더군다나, 종래 기술에 의한 IGBT에 있어서는, P+ 영역 때문에, 디플리션 영역이 본질적으로 N 드리프트 영역으로 이동한다. 그러나, 클러스터형 IGBT에 있어서는, P 웨爾(20)에 의해 공유되는 전위로 인해, 결과적으로는 주어진 차단 전압에 대하여 보다 낮은 전기장(electric field)이 생긴다. 그러므로, 주어진 차단 능력에 대하여는, 웨이퍼가, 도1의 클러스터형 사이리스터 디바이스의 경우, 종래 기술에 의한 IGBT의 웨이퍼보다 얇다. 이는 순방향 강하, 스위칭 성능, 열적 특성 및 안정성에 직접적이고도 선호적인 관계를 갖는다.

주어진 항복(breakdown) 전압(BV)에 대하여, 디바이스는 다음과 같이 2가지 방법으로 설계될 수 있다:

(a) P 웨爾(20)의 농도가 높을 때, 총체적인 차단 전압이 P 웨爾/N 드리프트 영역(20+ 24)의 양단에서 강하된다.

(b) P 웨爾(20)의 농도가 낮을 때, 애노드 바이어스의 증가로 인해, P 웨爾 층이 디플리션 상태로 된다. 이 때, 어떠한 부가적인 전압의 증가도 N 웨尔(22)/P 베이스(32/34)의 접합면 양단에서 강하된다. 디바이스가 "자체적인 클램핑(self-clamping)" 특징으로 설계됨에 따라, N 웨爾/P 웨尔 베이스 디플리션 영역은 P 웨爾로 확장함으로써, N 웨尔(22)의 전위에 있어서의 어떠한 부가적인 증가도 방지한다.

턴-오프(Turn-Off):

디바이스의 턴-오프 성능은 IGBT의 성능과 유사하다. 제어 게이트(G2)가 턴-오프될 때, P 베이스/N 웨爾(32+ 34/22) 양단 간의 전위는, 자체적인 클램핑 동작이 일어날 때까지 증가한다. 일단 디바이스가 클램핑 동작 상태로 되면, P 웨爾(20)의 일반적인 성질로 인해, 정공이 P 베이스 영역(32+ 34)에 효과적으로 모여질 수 있다. 셀의 대칭 성질 및 근접한 실장(實裝;packing)으로써, 디바이스의 전류 흐름이 MCT와는 달리, 모든 경우에 있어서 균등하게 된다. EST와는 달리, 자체적인 클램핑으로써, 제어 MOSFET 양단간의 전압이 자체적인 크램핑 전압 이상으로는 증가하지 않게 된다.

클러스터형 IGBT/사이리스터가 다른 구조와는 어떻게 다른가?

클러스터형 IGBT/사이리스터 디바이스는 종래 기술에 의한 IGBT와는 완전히 다르다. IGBT의 경우에, 깊은 P+ 영역이 기생 래치-업을 억제하고 필요한 차단 전압 능력을 달성하는 데 필요하다. 그러나, 깊은 P+ 영역이 필요하면, 캐소드 셀이 클러스터형 IGBT/사이리스터의 캐소드 셀보다 더 커지게 된다. 예컨대, $3\mu m$ 설계 규칙을 기초로 하면, DMOS IGBT의 최소 캐소드 셀 치수는 약 $36\mu m$ 이지만, CMOS 공정을 기초로 한 클러스터형 IGBT/사이리스터 캐소드 셀에 대하여는 $15\mu m$ 이다. 또한, 미크론 이하의 미세-라인(fine-line;FL) 리도그래피 기법을 선택함으로써 IGBT의 캐소드 셀을 감소시키는 것이 가능하다. FL-IGBT 및 FL-EST의 경우, 얇은 산화물은 JFET 영역상에 확장한다. 이들 디바이스의 탁월한 순방향 차단 안전 동작 부위의 FBSOA 특징은 스태틱(static) 조건하에서 입증되어 왔다. 그러나, 높은 전류 및 높은 전압이 동시에 존재하는 유도성 부하 스위칭 조건하에서는, 비록 단락 회로 성능이 불량할지라도 디바이스의 특성이 완전히 입증되어 있지 않다. 이들 상황에서는, FL-IGBT 또는 FL-EST가 고장난 것이라고 생각된다.

더군다나, 모의 실험을 통해, $6\mu m$ 의 인접 셀간의 간격이 클러스터형 IGBT/사이리스터에 있어서 양호한 성능을 위해 충분하다는 것이 밝혀졌다. IGBT의 경우에, 최적의 치수는 셀의 기하학적 구조 및 차단 능력에 의존하며 2kV이상의 정격 전압을 갖는 디바이스에 대하여 대개 $25\mu m$ 이상이다.

클러스터형 IGBT/사이리스터의 성능은 DMOS-IGBT의 성능보다 탁월하다.

더군다나, 본 발명에 의한 이러한 디바이스 구조는 2가지 방식에 있어서 미국 특허 제5,293,054호에 개시된 것과 같은 EST와는 상당히 다르다. 첫째로, 내부에서 도전을 조절이 온-상태로 발생하는 전하 제어형 N 에미터 영역은 P 베이스 및 P 웰 영역을 분리시킨다. 이 같은 방식으로, 그러한 디바이스는 또한 높은 상태로 도우평된 N+ 부동 에미터 영역을 사용하는 앞서 언급한 쉬카와 그의 동료에 의해 보고된 트렌치 EST와도 다르다. 위에서 언급한 모든 EST에 있어서, 전류 포화는 단지 제어 MOSFET 포화의 결과에 의해서만 달성된다. 그러나, 제어 MOSFET는 대개 낮은 전압용의 MOSFET이고 결과적으로는, N+ 부동 에미터의 전위가 제어 MOSFET의 항복 전압이상으로 증가할 경우, 디바이스는 고장나게 된다. 클러스터형 IGBT/사이리스터에 있어서, 자체적인 클램핑 특징이 직렬 MOS 채널 포화에 부가해서 존재한다. 그 결과, 캐소드 영역에서의 전위는 스위칭 조건하에서 조차 설계된 자체적인 클램프 전압을 초과하지 않는다. 이러한 클램핑 전압은 MOSFET 항복 전압보다 훨씬 작다.

클러스터형 IGBT가 FiBS와 어떻게 다른가?

- (a) 위에 설명한 클러스터형 IGBT/사이리스터 디바이스와는 달리, FiBS의 디바이스 셀은 비대칭이다.
- (b) 주어진 캐소드 셀의 개수 및 부위에 대하여, FiBS와 비교하여 클러스터형 IGBT/사이리스터에서의 N+ 캐소드 및 제어 채널의 수가 2배이다. 그 결과, 디바이스는 FiBS와 비교하여 순방향 강하 성능에 있어서의 현저한 개선점을 보여주는 것으로 생각된다.
- (c) FiBS는 3 게이트형 구조이다. 한 NMOS 게이트는 EST와 유사한 방식으로 턴-온을 제어하는 데 사용된다. 한 PMOS 게이트는 턴-오프를 제어하는 데 사용된다. 제3 게이트는 클러스터형 IGBT와 마찬가지로, 디바이스를 턴-온시키는 것이다. PMOS 게이트 양단간의 전압은 스위칭 동작 동안 항복 전압을 결정한다.
- (d) FiBS의 제조공정은, 미국 특허 제5,286,981호에서 보고된 바와 같이, 클러스터형 IGBT의 제조공정과는 아주 다르다.
- (e) "DMOS FiBS"는 높은 상태로 도우평된 N++ 에미터를 사용한다. 이는 클러스터형 IGBT/사이리스터에서는 없는 것이다.
- (f) 포화 메카니즘은 클러스터형 IGBT/사이리스터의 포화 메카니즘과는 아주 다르다. 즉, FiBS의 경우, PMOS 디바이스를 턴-온시킴으로써 포화가 달성된다. 위에서 설명한 클러스터형 IGBT/사이리스터의 경우, 전류 포화는 자체적인 클램핑에 의해 달성된다. 즉, P 베이스/N 웰 접합이 역방향으로 바이어스됨에 따라, 디플리션 영역은 P 베이스 영역의 하부에서 증가하며 P 웰에 밀집한다. 디플리션 영역이 도달되는 경우, 셀 양단간의 전위는 클램핑되며 P 웰/N 드리프트 접합이 어떠한 부가적인 전압의 증가라도 지원한다.
- (g) IGCT/FiBS를 제조함에 있어서는 에피택셜 층이 필요하다. 클러스터형 IGBT는 P 웰, N 웰 및 P 베이스의 3중 확산을 사용하여 형성될 수 있다.
- (h) 클러스터형 IGBT/사이리스터는, 적은 확산이 CMOS 공정 순서의 개시 이전에 추가되는 CMOS 공정을 사용하여 제조될 수 있다. FiBS를 제조하는 공정은 그리하지 않다. 그 결과, 디바이스의 게이트 패드 부위에서 CMOS 또는 그와 유사한 것들을 기초로 한 게이트 제어 회로를 합체시키는 것이 가능해진다. 또한, 전류 감지 및 게이트 보호 회로는 클러스터 레벨 또는 디바이스 레벨로 합체될 수도 있다. 더군다나, 캐리어 수명-시간이 감소함에 따라, N 웰 농도는 순방향 강하를 감소시키도록 증가될 수 있다.

위에서 설명한 클러스터형 캐소드 셀 배치는 또한 바이폴라/MOS 패밀리의 다른 디바이스에도 적용될 수 있다. 지금부터 그러한 디바이스의 예를 보여 준다.

클러스터형 EST

깊은 P+ 분리 영역을 도1의 기본적인 클러스터형 IGBT/사이리스터 구조에 추가시킴으로써, 디바이스 동작은 아주 달라질 수 있다. 이러한 경우에, 디바이스는 클러스터형 EST와 같이 동작한다. 한 예가 도2의 단면으로 도시되어 있으며, 도2의 단면은 도1의 단면과 동일하다. 그러므로, 이하의 설명은 추가된 특징 및 그의 동작 효과에 한정될 것이다.

도2에서 알 수 있는 바와 같이, 개별 P+ 분리 영역(50)은 도1의 클러스터형 IGBT/사이리스터에 추가된다. 이는 표면(18)으로부터 확산되며 N 웰(22)을 통해 P 웰(20)내로 확장한다. 그러한 영역(50)은 공통 캐소드 셀 금속 영역(40)에 접속되

어 있다. 그 결과, P 웨(20)은 캐소드 전위에서만을 제외하고는 더 이상 부동 상태로 되지 않는다. 도1 및 도1a의 디바이스와 비교하여 볼 때, 도2의 순방향 특성은 아주 다르다. 이는, 애노드/N 드리프트 영역(14/24)이 순방향으로 바이어스되며 게이트(G1,G2)가 턴온될 때, 정공이 디바이스내로 주입되기 때문이다. 이들 정공이 현재 P+ 분리 영역(50)을 향해 이동한다. P 웨(20)의 저항에 의존하여, 정공 전류가 흐름으로 인해, P 웨(20)과 N 웨(22)사이의 접합면(23)이 턴-온된다. 이러한 현상이 일어날 때, N 웨(22)/P 웨(20)/N-드리프트 영역(24)을 포함하는 NPN 트랜지스터가 턴온됨으로써, 결과적으로는 MOS 제어 형태의 에미터 스위치형 사이리스터가 형성된다.

이러한 변형의 결과로써, 이제 영역(22a)에서 셀사이의 N 웨(22)의 농도를 증가시키는 것이 가능하다. 더군다나, 다른 EST 구조와 비교하여 볼 때, 앞서 설명한 자체적인 클램핑 특징에 기인하여, 클러스터형 EST는 제어 MOSFET 항복 전압으로부터 손상을 입지 않는다.

클러스터 형태의 분리형 베이스 EST(Clustered Insulated Base EST;IBEST)

클러스터형 EST의 순방향 특성은 P 웨(20)의 저항에 의존한다. P 웨의 저항이 낮은 경우, 사이리스터 턴-온 전압은 높다. 이러한 한계성을 극복하기 위하여, 도3에 도시된 구조를 갖는 디바이스를 제조하는 것이 가능하다. 이러한 디바이스는, 추가된 특징을 갖는 것을 제외하고는, 도1의 구조와 동일한 구조이다. 이하의 설명은 추가된 특징 및 그의 동작 효과에 한정될 것이다.

도3의 디바이스에 있어서, P+ 분리 영역(50)은 도2와 마찬가지로 제공된다. 이는 P 웨(20)내에서 캐소드 셀(30)의 클러스터를 분리시킨다. 그러나, 분리 영역(50)은 도2의 분리 영역과는 다르게 취급된다. P 웨(20)에 도달하기 위한 영역(50)의 확산과 관련하여, N+ 영역(52)은 표면(18)에 인접해서 확산됨으로써, 영역(50) 그 자체와 N 웨(22)의 인접한 표면 부분(22a) 모두가 교차되게 한다. 그 결과로 형성된 P+/N+ 접합면은 정류 작용을 하지 않으며 그의 상부에, 금속 영역(40)으로부터 분리된 금속 영역(54)이 놓이게 됨으로써, 부동 저항 접점(floating ohmic contact;FOC)이 형성되게 한다. FOC는 N+ 영역(52c)을 통해 P+ 영역(50)을 N 웨(22)에 접속시킨다. 이러한 부동 저항 접점은 어떠한 디바이스 전극 단자에도 접속되지 않음으로써, 디바이스는 여전히 3단자 디바이스이다.

도3의 디바이스의 동작은 다음과 같다. 게이트(G1,G2)가 턴-온될 때, 전자는 N 드리프트 영역(24)내로 이동한다. FOC는 전자-정공 컨버터와 같이 작용한다. 이제 P 웨(20)이 부동 상태로 됨에 따라, P 웨의 전위는 증가하며 N 웨(22)이 P 웨 전위에 결속됨에 따라, 제어 MOSFET 양단 간의 전압 강하가 증가한다. 그 결과, 전자 전류의 흐름이 증가한다. N 웨/P 웨의 전위가 증가함에 따라, P 베이스/N 웨(32/22) 양단 간의 전압 강하는 자체적인 클램프 동작이 일어날 때까지 증가한다.

트렌치 게이트 MOS내에 캐소드 셀 클러스터를 사용한 IGBT/사이리스터의 구현은 도4에 도시되어 있다. NPT 구조가 도시되어 있다. 또한, 상기 도면은 분리 영역의 제공을 예시하고 있다.

도4에 있어서, 도1의 기능과 동일하거나 유사한 기능을 갖는 총 및 영역이 "100" 만큼 증가된 동일한 참조 부호로 표시되어 있다.

도4의 디바이스(110)는 P+ 기판(112)을 사용한 반도체 몸체를 포함하고, 이러한 P+ 기판(112)은 애노드 접점(116)이 형성되는 공통 애노드 영역을 제공한다. N 드리프트 영역(124)은 애노드 영역상에 놓이며 도면 부호(126)에서 대향 면(118)으로 확장한다. 디바이스는 P 웨(120)을 더 포함하며, 이러한 P 웨(120)에, N 웨(122)이, 수직면상에서는 영역(124)으로부터 그리고 수평면상에서는 도면 부호(126)에서 그의 표면의 연장 부분으로부터 이격된 상태로, 배치된다. P 웨(120)의 표면 인접 부분(120b)은 이웃하는 부분(126,122a)사이에 채널을 제공한다. 그러한 채널의 상부에는 게이트2가 놓여진다. 도4에서는 게이트 산화물이 검은 색으로서 도시되어 있다.

우선 P웨2로 표시되는 영역의 존재를 무시하면, N 웨은 3개의 캐소드 셀(130)의 클러스터가 도시되어 있는 캐소드 셀(13)의 클러스터를 포함한다는 점을 알 수 있을 것이다. 그러한 셀은 단일의 P 베이스 영역(132)내에 형성되며, 이러한 단일의 P 베이스 영역(132)은 각각의 셀의 게이트 구조에 의해 교차된다. 좌측에 있는 셀을 취하면, 게이트 구조는 표면(126)으로부터 N 웨 영역(122)내로 확장하는 트렌치를 포함한다.

폴리실리콘 게이트(게이트1)는 그러한 트렌치 내에 배치되며 게이트 산화물(138)에 의해 인접한 실리콘 재료로부터 분리된다. 표면에 인접해서는, N+ 영역(136a,132b)이 P-베이스 재료(132)내에 형성된다. 영역(132a,132b)은, 각각의 MOSFET가 게이트에 대하여 N 웨(122)의 부분(122a)에서 소오스(136a 또는 136b) 및 드레인을 갖는 MOSFET의 각각의 채널을 제공한다. 도1에서와 같이, 게이트1은 캐소드/소오스 접점 금속 영역(140)으로부터 N 웨로의 통전을 제어한

다. 도4에 있어서, 캐소드 접점은 각각의 소오스 영역(136a,136b)에 이르기까지 확장하는 금속 영역에 의해 제공된다. 표면에서는, 그러한 접점이 N+ 영역(136a,136b)과 P 베이스(134)사이의 PN 접합을 가로 결합시킨다는 점에 유념하기 바란다.

디바이스의 동작에 있어서, 점점 금속 영역은 공통 캐소드 단자를 형성하도록 상호접속되며 모든 게이트1 폴리실리콘은 금속 영역(도시되지 않음)에 의해 상호접속된다. 따라서, 캐소드 셀 모두는 애노드에 대하여 병렬로 동작한다. 지금까지 설명한 구조의 동작은 도1 및 도1a에 대하여 설명한 것과 본질적으로 같다.

지금부터 P웰2의 제공을 포함하는 것에 대하여 기술하면, 이러한 것은 P 베이스 영역(134)을 통해 N 웰(122)내로 확장하는 P+ 도우평된 영역(156)이다. 이는 캐소드 금속 영역(140)에 의해 접촉됨으로써, 결과적으로는 자체적인 클램핑 동작이 이루어지는 개별 부위가 된다. P 웰의 어느 한 측상에 배치된 게이트는 반드시 상호접속될 필요가 없으며, 그 대신에 개별적으로 전기 접속될 수 있다.

다른 변형에는, P웰2가 P 웰 영역(120)내로 관통하여 P 웰 영역(120)과 접속하는 깊은 영역(158)으로서 형성되는, 점선으로 표시된 부분이다. 여기서, 영역(158)은 도2의 영역(50)과 같은 분리 영역으로서 작용하며 디바이스는 EST가 된다.

도5는, 게이트1이 온 상태일 때 게이트2가 오프상태로 되고, 이와는 반대로 게이트1이 오프 상태일 때 게이트2가 온 상태로 되는 애노드 게이트형 디바이스를 도시한 것이다.

본 발명은 또한 다른 바이폴라/MOS 구조에 적용될 수 있다. 이를 구조는 소위 "준-버티컬(quasi-vertical)" 디바이스 및 래터럴 디바이스를 포함한다. 지금부터 도6 내지 도11을 참조하여 그러한 예를 보여 준다. 본질적으로 앞서 설명한 디바이스의 특징과 동일한 디바이스 구조의 그러한 특징이 여기에서는 반복해서 설명되지 않을 것이다.

지금부터 설명될 디바이스 모두는, 접합 분리(junction isolation;JI), 유전체 분리(dielectric isolation;DI), 이중-에피택셜 층 유전체 분리(double-epitaxy layer dielectric isolation;DELDI)와 같은 어느 한 기법으로 제조될 수 있다. 디바이스 모두가 "감소된 표면 필드(reduced surface field;RESURF)" 기법을 사용하여 래터럴 항복 전압을 달성하는 것이 바람직스럽다. 앞서 설명한 디바이스와 같이, 클러스터 캐소드 셀 구조가 이용된다. 클러스터의 주요 기능적인 원리는, 정공에 대한 장벽으로서 작용하는, 주요 N 웰과 같은 층을 제공하는 것이다. 이는 이하 설명될 모든 디바이스에서 적용한다.

도6은 N 웰(222)내에 캐소드 셀(230)의 클러스터를 갖는 디바이스를 도시한 것이다. 그러한 구조는 트렌치 게이트이며 P 웰2 영역을 갖지 않는 도4의 주요 특징 다음에 그러한 주요 특징이 나타난다. 도6에 있어서, 래터럴 애노드 구조는 표면(218)에 대한 N 드리프트 영역(224)의 연장 부분(221)에서 상부 표면(218)에 제공된다. 이러한 애노드 구조는, 편치 스루 현상을 방지하도록 영역(226)내로 확산된 N 베퍼 영역(262)을 포함한다. 베퍼 영역(262)내로는 래터럴 애노드 P+ 영역(214')이 확산되고 래터럴 애노드 P+ 영역(214')에 애노드 접점(216')이 만들어진다. 디바이스는 하부 표면에 애노드 구조(214,216)를 유지한다. 애노드(216,216')는 서로 또는 개별적으로 접속될 수 있다. 또한, 단지 래터럴 애노드만이 제공되도록 하부 표면에서 애노드를 생략하는 것이 가능하다. 이러한 경우에, P+ 기판이 또한 생략될 수 있다.

트렌치로서 예시된 게이트1은 대체 형태로서 평면 형태일 수 있다. 평면 형태로서 예시된 게이트2는 대체 형태로서 트렌치 형태일 수 있다. 캐소드(C)는 도면 부호(240)로 표시된 평면 금속 영역이거나 또는 트렌치 영역일 수 있다.

캐소드 구조에의 선택적인 추가는 인접한 N+ 소오스 영역(236a,236b)의 쌍 사이에 P+ 영역(264)을 제공하는 것이며, 관련된 캐소드 접점(C)은 P+ 및 N+ 영역사이의 경계 부분상에서 확장한다. 여기서, 경계 부분은 표면에서 나타난다.

또한, 도6은, N 웰(222)에 내재하는 래터럴 영역(280)에서 제공될 수 있는 3가지의 다른 선택적인 특징을 예시하도록 제공된 것이다.

도6a는, N 웰(222)내로 P 웰(256)을 추가시킨 것이지만 P 웰(256)이 주요 구조에서 P 웰(220)과 접촉하지 않을 정도로 충분히 얇은 것을 도시한 것이다. 캐소드 접점(C)은, 바람직스럽게는 P+ 확산 영역(257)을 통해 이러한 추가적인 웰에 만들어진다. 이는 자체적인 클램핑 동작을 달성하기 위한 개별적인 부위를 제공한다. 도6b 및 도6c의 선택적인 특징은 결과적으로 ETS 및 IBEST 디바이스를 각각 제공한다.

도6b는 주요 P 웰(220)과 접촉하여 도4에서 도면 부호(158)로 표시된 바와 같은 분리 영역을 제공하도록 하방으로 확장하는 깊은 P+ 웰(258)을 도시한 것이다. 도6c는 P-웰(220)을 관통하여 P-웰(220)과 접촉하도록 확장하지만, 추가로 도3

의 실시예와 관련하여 설명한 바와 같은 부동 오옴 접점(floating ohmic contact ;FOC)이도록 적응되는 유사한 깊은 P+ 258' 웰을 도시한 것이다. 얇은 표면의 인접 N+ 영역(252)은 영역(258')과 함께 비-정류용 접합 부분을 형성하며 영역 및 접합 부분의 상부에 금속 영역(254)이 놓인다.

도7은 도6의 캐소드 셀 구조의 부가적인 변형예를 도시한 것이다. 여기서, P+ 영역(264)은, N- 웨爾 영역(220)에 진입하도록 도면 부호(266)에서 수직 하방으로 확장됨으로써, 개별적인 자체 클램핑 부위를 제공한다. 그러하지 않을 경우, 상기 구조는 도6의 구조이다. 애노드1 및 애노드2는 서로 또는 개별적으로 접속될 수 있으며, 게이트1 및 캐소드 모두는 평면 형태이거나 또는 트렌치 형태일 수 있다.

도8은 도6의 디바이스의 부가적인 변형예를 도시한 것이다. 이러한 변형예에 있어서, 도6에서 P 웨爾(220)의 채널 영역(220b)을 제어하는 게이트2는 N 드리프트 영역(224)으로부터 N 웨爾 영역(222)으로의 전자 경로를 제공하도록 부동 오옴 접점으로 대체된다. 표면(226)에 나타나는 P- 웨爾(220)의 부분(220b)은 P+ 형으로 만들어지며, N 웨爾(222)의 인접 부분(222a)은 N+ 형으로 만들어진다. 금속 접점(254)은 상기 P- 웨爾(220)의 부분(220b) 및 N 웨爾(222)의 인접 부분(222a)을 가교결합시킨다. N+ 영역(222a)은 클러스터 셀 구조로부터 수평 이격되어 있다. 도6을 참조하여 설명한 바와 같이 선택될 수 있는 다른 변형예는 또한 도8에 적용가능하다. 도8의 디바이스는 P+ 기판상에 있을 수 있지만, 반드시 그려할 필요는 없다.

도9는 도1의 디바이스의 래터럴 구조를 도시한 것이다. 알다시피, 도9의 구조는 본질적으로 반도체 몸체(310)의 상부 표면(318)에 인접하여 형성된다. 그러한 몸체는 맨 밑바닥의 P 영역(320)을 지닌다. 상기 P 영역(320)의 상부에는 N 영역이 최초로 형성되며, 이러한 N 영역내로 이후의 공정 작업이 상부 표면(318)으로부터 이행된다. 래터럴 공정 순서에 있어서, 디바이스는 확산된 P+ 애노드 영역(314)을 지니며, 이러한 P+ 영역(314)에 애노드 접점(316)이 만들어진다. 상기 P+ 영역은 그 자체적으로 확산되어 보다 광범위한 N 베퍼 영역(320)내에 놓이게 되며, 이러한 N 베퍼 영역(320)은 초기의 N 영역내로 확산되는 데, 이러한 초기의 N 영역은 측방향으로 이격된 2개의 부분으로 나뉘어진다. 제1 부분은 N 드리프트 영역(322)이며 제2 부분은 N 드리프트 영역(324)이다. 그러한 드리프트 영역(324)이 내부에 형성된 애노드 구조를 지니지만, 상기 영역(322)은 내부에 형성된 캐소드 구조(330)를 지닌다. 그러한 2개의 영역은 분리되어 있기는 하지만 MOSFET에 의해 제어가능하게 접속될 수 있다.

영역(322,324a)사이에 P+ 분리 영역(358)이 확산되어 하부의 P 영역(320)에 이르기까지 확장하여 하부의 P 영역(320)을 관통한다. 영역(358)은 2개의 드리프트 영역을 분리시킨다. 그들 사이의 전자 이동은 게이트 산화물(342)상에 형성된 게이트(게이트2)를 지니는 MOSFET에 의해 제어된다. 게이트2는 표면(318)에서 영역(318)뿐만 아니라 영역(322,324)상에 확장한다. N 주입물(359)은 게이트2의 하부에 제공되어 P+ 영역을 통해서 그리고 N 드리프트 영역의 인접 부분내로 확장한다. N 주입물은 게이트2 하부의 채널에서 다수 캐리어 농도를 감소시킴으로써, MOSFET 트랜지스터를 턴온시키는데 필요한 임계 전압을 감소시킨다.

지금부터는 N 드리프트 영역(322)내에 형성된 클러스터형 캐소드 셀 구조(330)가 설명된다. 이는, N 드리프트 영역(322)에 제어가능하게 접속될 수 있도록 캐소드 셀이 형성되는 P 베이스 영역(322)을 지닌다는 점에서, 도4를 참조하여 앞서 설명한 것과 유사하다. 클러스터(330)의 각각의 셀은 트렌치 게이트(게이트1)를 포함하며, 트렌치 게이트는 N+ 소오스 영역(336a,336b)과 N 드리프트 영역(322)사이의 통전을 제어한다. 그러한 트렌치 게이트는 채널(334a,334b)이 존재하는 베이스 영역(332)을 통해서 그리고, 각각의 MOSFET 채널용 드레인(322a)을 제공하는 N 드리프트 영역(322)내로 확장한다. 소오스(캐소드) 접점(C)은 영역(336a,336b)에 만들어지며, 각각의 접점에 대한 금속 영역은 N+ 영역 및 P 베이스 영역(332)사이의 접합을 가교결합하는 데, 이 경우 접합 부분은 표면(314)에서 나타난다.

실제로, 캐소드 접점(C)은 폴리실리콘 트렌치 게이트(게이트1)의 경우와 같이 상호접속됨으로써, 캐소드 셀은 애노드에 대하여 병렬로 작용한다. 게이트2는 게이트1에 접속될 수도 있고, 개별적으로 접속될 수도 있다. 게이트1은 트렌치 형태뿐만 아니라 평면 형태로 구현될 수 있다. 캐소드(C)는 평면 형태의 변형으로서 트렌치 형태일 수 있다. N 드리프트 영역(324)은 N 드리프트 영역(322)에 대하여 상이한 두께일 수도 있고, 상이하게 도우평될 수도 있다. 영역(324)은 RESURF를 사용하여 항복 전압을 지원하는 데 사용된다. 도9의 디바이스는 탁월한 온-상태 특성, 및 높은 면적 효율을 나타낸다.

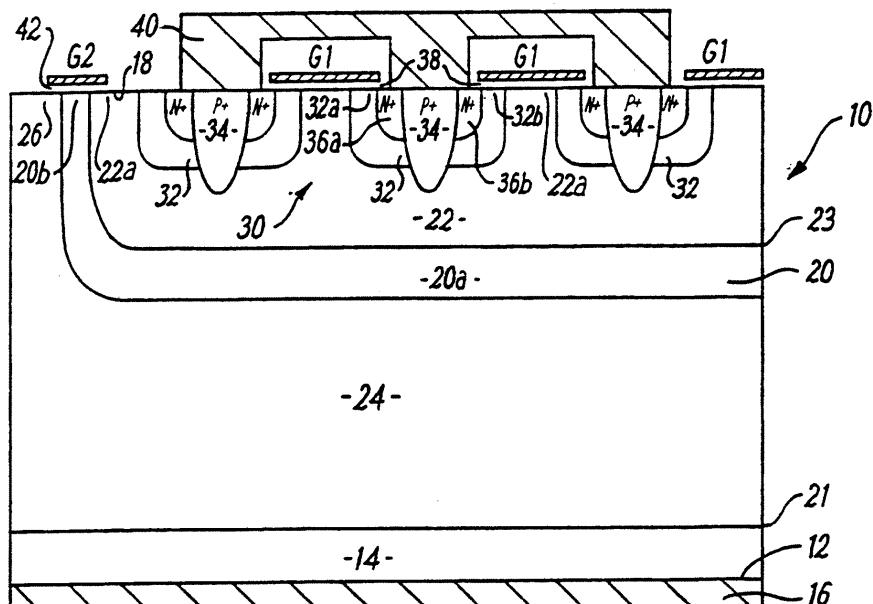
도10은 도9 디바이스의 변형예를 도시한 것이다. 애노드 드리프트 영역(324)은 부동 오옴 접점을 지니며, 이러한 부동 오옴 접점은 애노드 드리프트 영역(324)의 표면에 형성되어 게이트2와 상호작용한다. FOC의 P+,N+ 영역(343,345)은 얇은 P 웨爾(341)내에 형성되며, 대개는 부동 접점 금속 영역(354)에 의해 단락된다. N+ 영역(345)은 N 주입물(359)을 향해 배치되어 있으며 게이트2는 영역(345)상에 확장한다는 점에 유념하기 바란다. 이는 MOSFET 채널내로의 전자의 주입을 촉진시킴으로써, 결과적으로 온-상태 저항이 감소되게 한다.

도10은 또한 도6에서 도면 부호(264)로서 도시된 것에 해당하는 부가적인 선택적 변형예를 도시한 것이다. 인접 캐소드 셀의 인접 N+ 소오스 영역은 P+ 영역 (364)에 의해 접속되며 또한 공통 캐소드 접점에 의해 접촉된다. 이로써, 통전 채널들이 많아지고, 결과적으로는 보다 많은 전류가 디바이스를 통해 흐르게 된다.

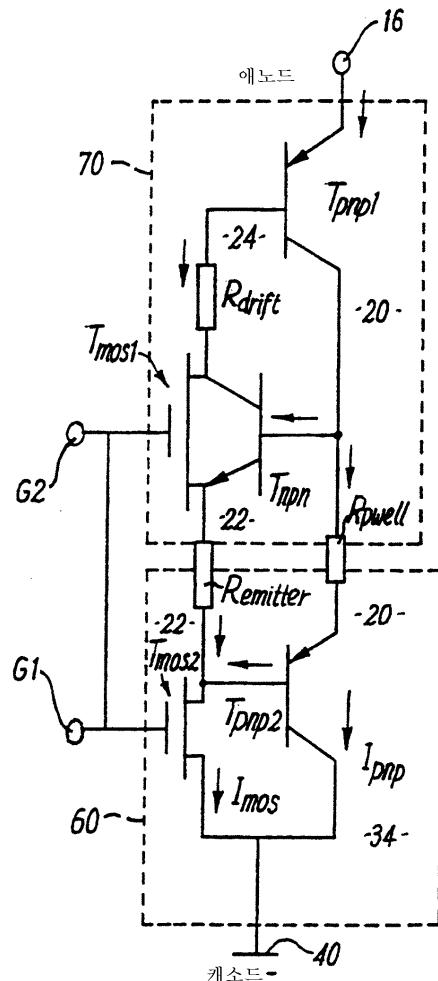
도11은 도8 디바이스의 또 다른 변형예를 도시한 것이다. 이는 앞서 언급한 캐소드 구조에 대한 선택적인 변형예를 도시한 것이지만, 보다 중요한 점으로는, 앞서 설명한 바와 같이 트렌치 형태로 구현된 게이트2를 도시한 점이다. 그러한 게이트는 P 영역(320)내로 확장하여 인핸스먼트 모드 채널은 상기 게이트에 인접하여 영역(320c)을 형성하고 N 드리프트 영역 (324,322)은 각각 소오스 및 드레인을 제공한다.

도면

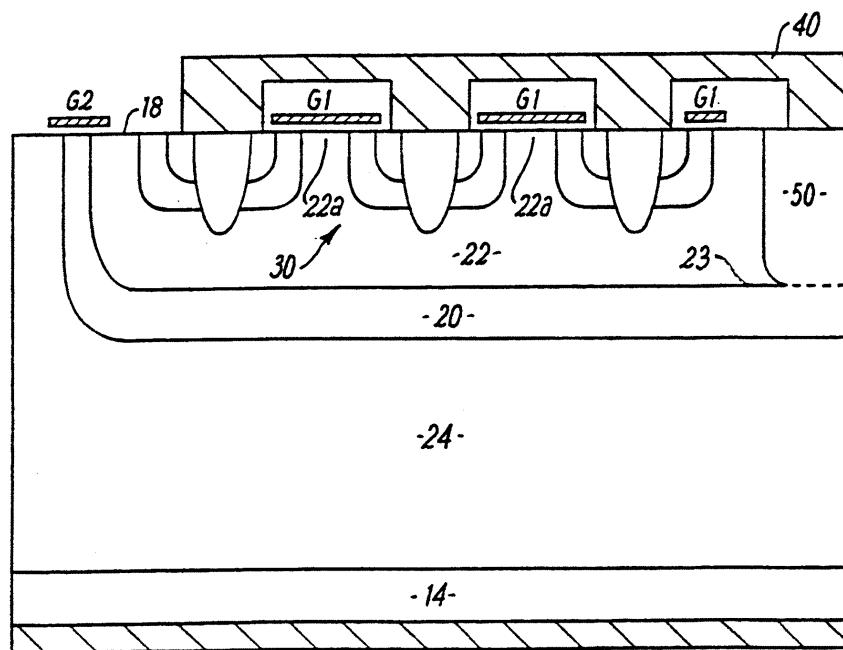
도면1



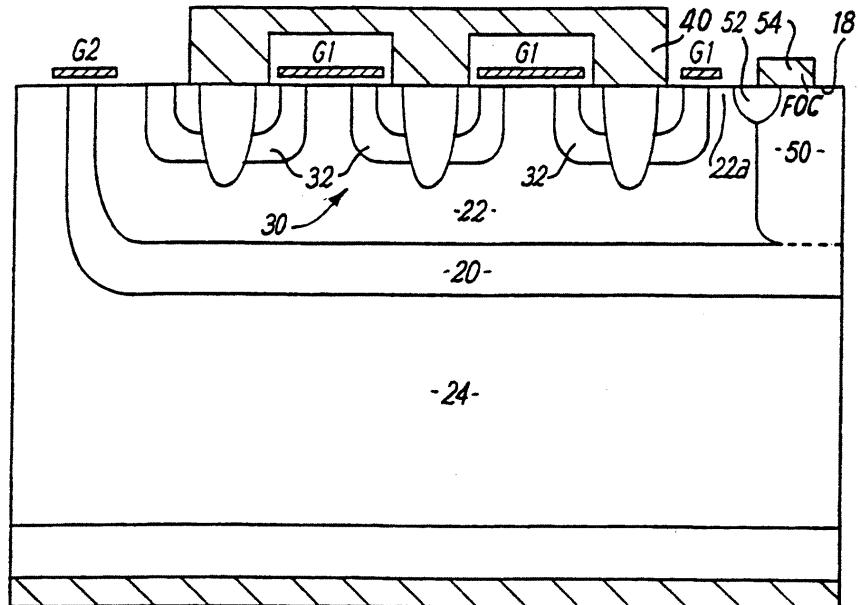
도면1a



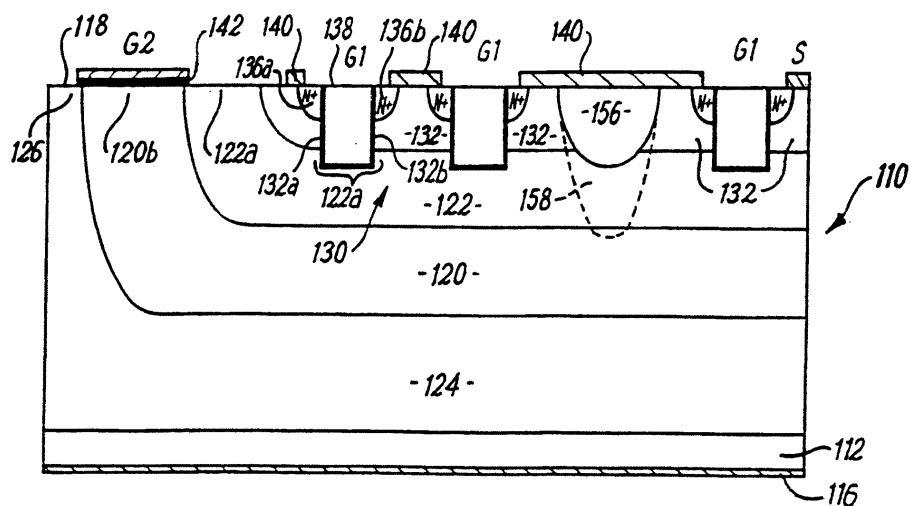
도면2



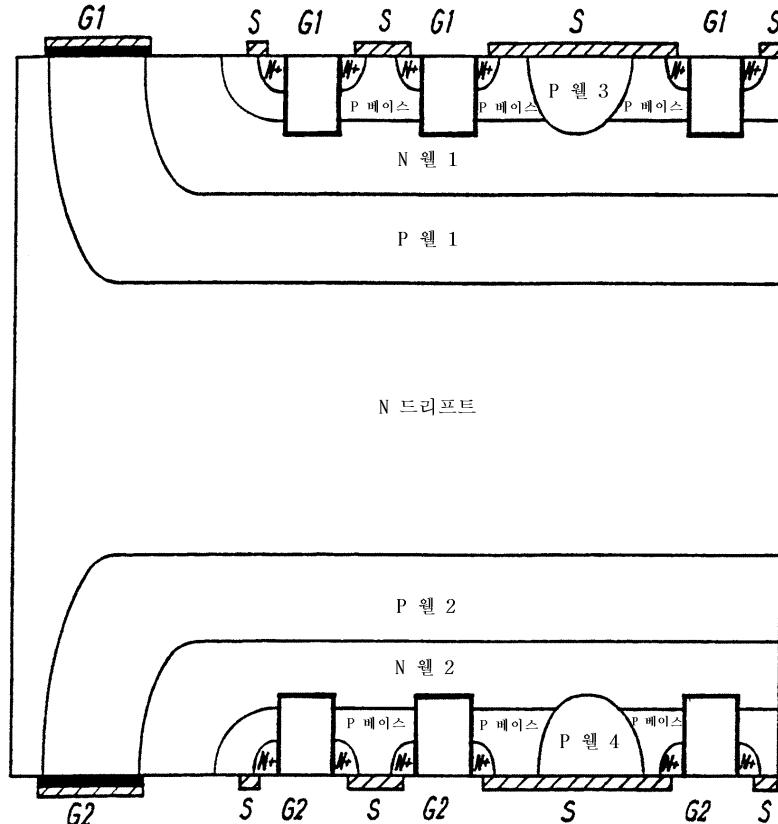
도면3



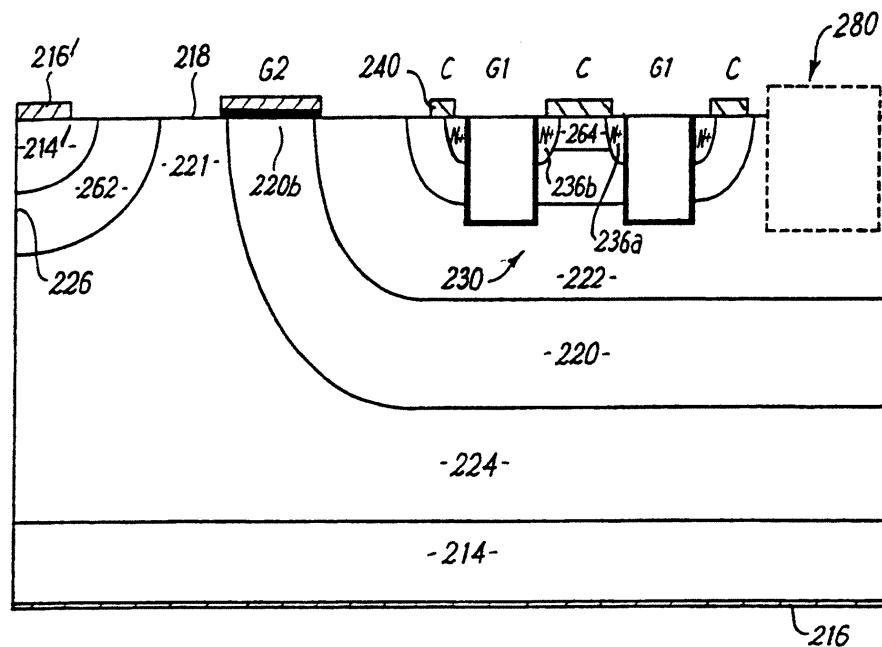
도면4



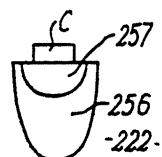
도면5



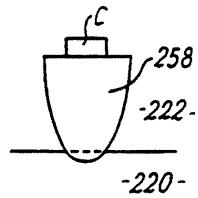
도면6



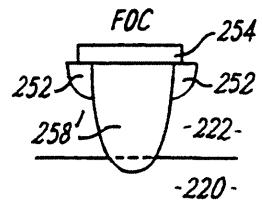
도면6a



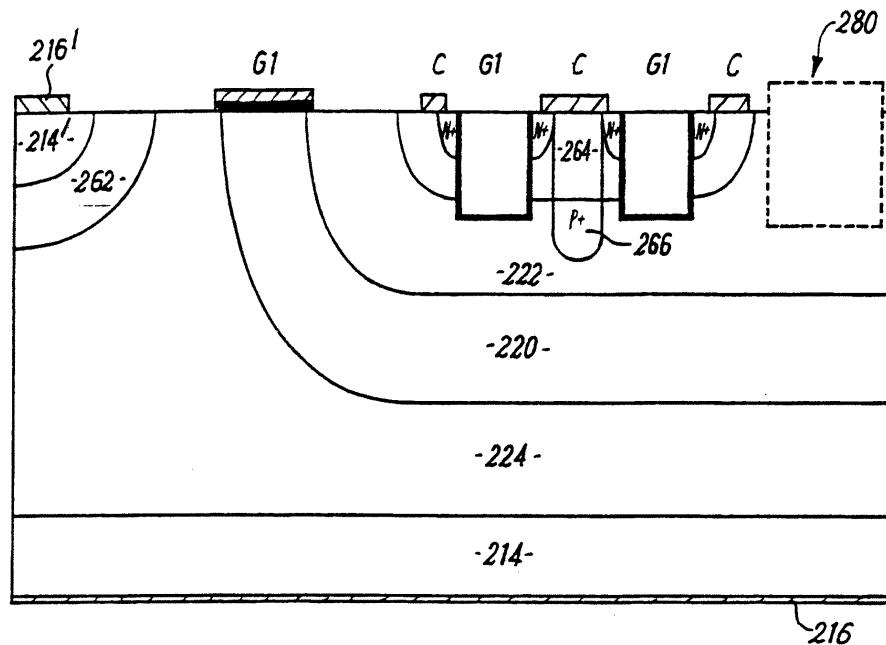
도면6b



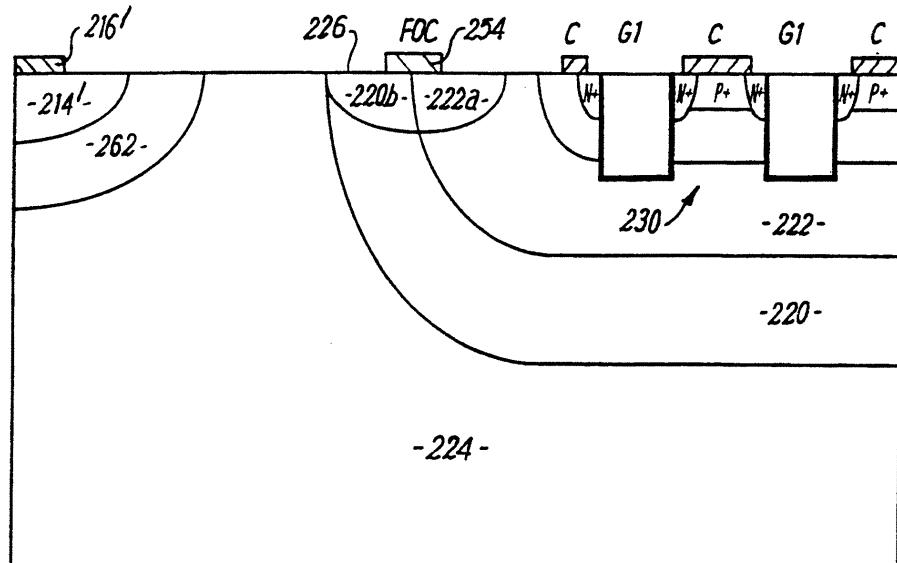
도면6c



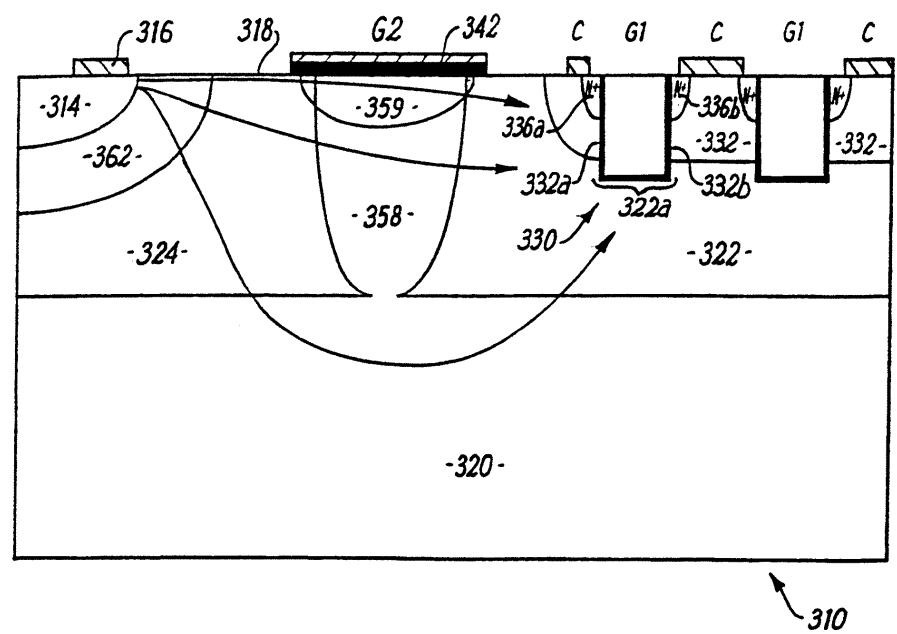
도면7



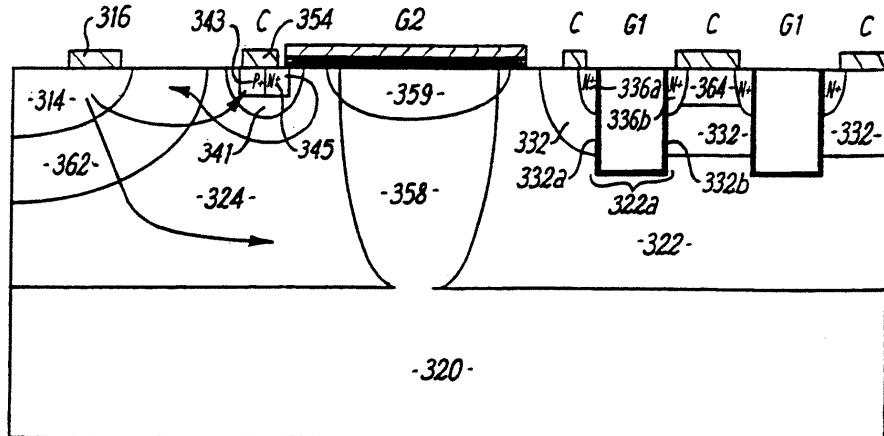
도면8



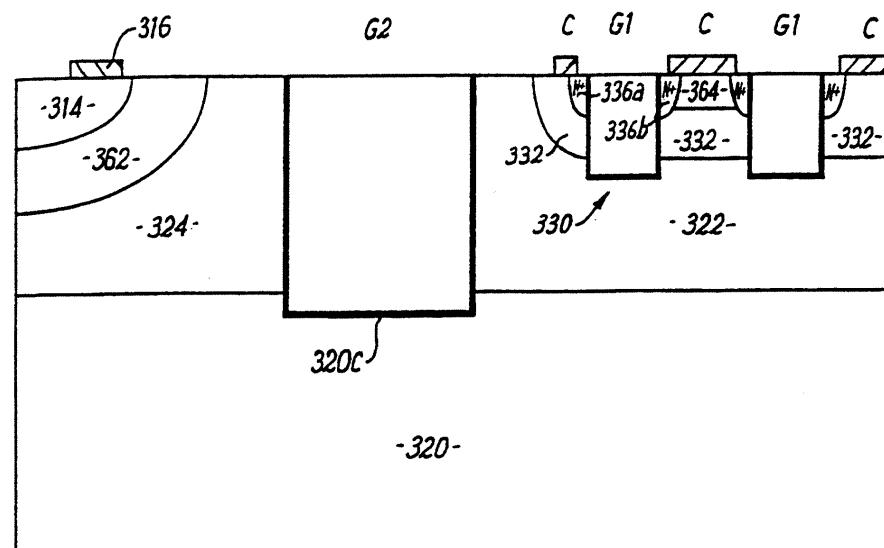
도면9



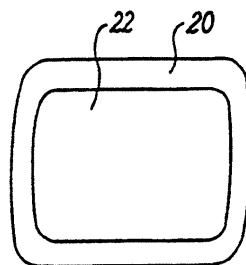
도면10



도면11



도면12a



도면12b

