



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0000159
(43) 공개일자 2020년01월02일

(51) 국제특허분류(Int. Cl.)
H04L 25/03 (2006.01) H04L 25/08 (2006.01)
(52) CPC특허분류
H04L 25/03878 (2013.01)
H04L 25/085 (2013.01)
(21) 출원번호 10-2018-0072118
(22) 출원일자 2018년06월22일
심사청구일자 2018년06월22일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221, 401동 1003호(도곡동, 도곡렉슬아파트)
심진철
서울특별시 성북구 인촌로30길 7-9, 305호 (안암동5가)
박현수
서울특별시 동대문구 제기로2길 28, 301호 (제기동)
(74) 대리인
송인호, 윤형근, 최영중, 최관탁

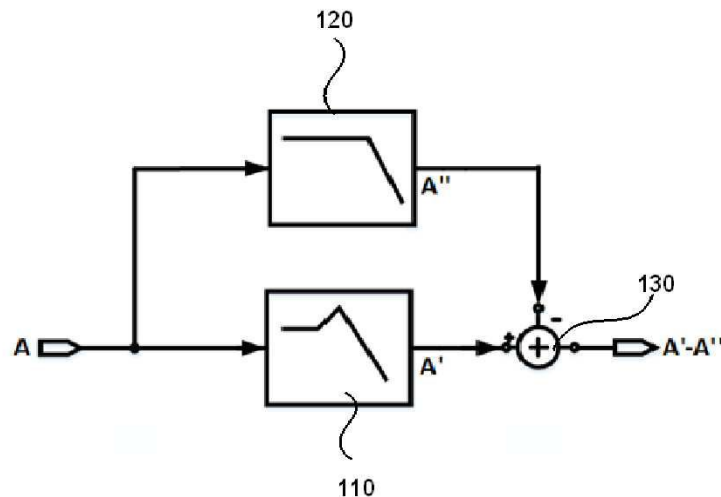
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 채널 감쇄 보상 장치 및 방법

(57) 요약

채널 감쇄 보상 장치 및 그 방법이 개시된다. 채널 감쇄 보상 장치는 차동 신호를 입력받아 채널 감쇄를 보상하여 출력하는 연속 시간 선형 등화기; 상기 연속 시간 선형 등화기와 병렬로 배치되며, 상기 차동 신호를 입력받아 증폭하여 출력하는 증폭기; 및 상기 연속 시간 선형 등화기의 출력 신호와 상기 증폭기의 출력 신호를 가산 또는 감산하는 가감산기를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

차동 신호를 입력받아 채널 감쇄를 보상하여 출력하는 연속 시간 선형 등화기;

상기 연속 시간 선형 등화기와 병렬로 배치되며, 상기 차동 신호를 입력받아 증폭하여 출력하는 증폭기; 및

상기 연속 시간 선형 등화기의 출력 신호와 상기 증폭기의 출력 신호를 가산 또는 감산하는 가감산기를 포함하는 채널 감쇄 보상 장치.

청구항 2

제1 항에 있어서,

상기 가감산기는,

복수의 P-타입 트랜지스터와 N-타입 트랜지스터 쌍으로 구성되는 것을 특징으로 하는 채널 감쇄 보상 장치.

청구항 3

제2 항에 있어서,

한 쌍의 P-타입 트랜지스터와 N-타입 트랜지스터는 각각 병렬로 배치되며,

상기 증폭기의 출력 신호는 각각 상기 한 쌍의 P-타입 트랜지스터와 N-타입 트랜지스터의 게이트와 각각 연결되는 것을 특징으로 하는 채널 감쇄 보상 장치.

청구항 4

제3 항에 있어서,

상기 증폭기의 출력 신호에 따라 각 쌍의 P-타입 트랜지스터와 N-타입 트랜지스터 중 어느 하나만 온(on)되는 것을 특징으로 하는 채널 감쇄 보상 장치.

청구항 5

제4 항에 있어서,

상기 연속 시간 선형 등화기의 출력 신호는 각 쌍의 P-타입 트랜지스터 및 N-타입 트랜지스터의 드레인(drain)과 각각 연결되는 것을 특징으로 하는 채널 감쇄 보상 장치.

청구항 6

제5 항에 있어서,

상기 증폭기의 출력 신호에 따라 온(on)된 각 쌍의 P-타입 트랜지스터 또는 N-타입 트랜지스터가 상기 연속 시간 선형 등화기의 출력 신호를 출력하는 각 출력 노드와 각각 연결되어 각 출력 노드의 전하를 감산하거나 가산하는 것을 특징으로 하는 채널 감쇄 보상 장치.

청구항 7

수신기에서의 채널 감쇄를 보상하는 방법에 있어서,

차동 신호를 입력받아 채널 감쇄를 보상하여 제1 출력 신호를 출력하는 단계;

상기 차동 신호를 입력받아 증폭하여 제2 출력 신호를 출력하는 단계; 및

상기 제1 출력 신호와 제2 출력 신호를 가산 또는 감산하는 단계를 포함하는 채널 감쇄 보상 방법.

발명의 설명

기술 분야

[0001] 본 발명은 수신단에서의 채널 감쇄 보상 장치 및 그 방법에 관한 것이다.

배경 기술

[0003] 고속 I/O 회로의 경우 채널 감쇄를 극복하기 위해 수신단 앞단에 연속 시간 선형 등화기를 이용하여 채널 감쇄를 보상하는 방법이 널리 이용되고 있다. 그러나, 연속 시간 선형 등화기만으로는 채널 보상에 한계가 있기 때문에 Inductive peaking 기술을 사용하여 보상 정도를 높이고 있다.

[0004] 그러나, 공정기술이 미세화 되어 내부 회로의 동작 속도는 증가하고 있지만 I/O 회로의 동작속도는 채널의 감쇄로 인해 내부 회로의 동작속도를 따라가지 못하는 문제점이 있다.

[0005] 종래의 기술들은 채널의 감쇄를 극복하기 위해 연속 시간 선형 등화기를 수신단 앞쪽에 사용하여 채널 감쇄를 보상하는 방법이 널리 이용된다. 그러나, 내부 회로의 동작 속도가 증가함에 따라 연속 시간 선형 등화기에 요구되는 동작 대역폭이 점점 넓어지고 있다. 연속 시간 선형 등화기의 동작 대역폭과 채널 감쇄 보상 정도는 서로 트레이드오프(trade off)이기 때문에 두 조건을 만족시키기 위해서는 넓은 면적과 큰 전력소모를 요구하는 문제점이 있다.

[0006] 또한, 기존 기술들 중 채널의 감쇄를 극복하기 위해 드라이버에 인덕터를 사용할 수 있는데 인덕터는 비교적 큰 면적 때문에 비용 문제를 야기하는 문제가 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 수신단에서의 피드포워드 방식을 이용한 채널의 감쇄로부터 효과적으로 채널 감쇄를 보상할 수 있는 수신단에서의 채널 감쇄 보상 장치 및 그 방법을 제공하기 위한 것이다.

[0009] 또한, 본 발명은 연속 시간 등화기의 넓은 대역폭을 유지하면서 채널 보상 정보 한계를 극복할 수 있는 수신단에서의 채널 감쇄 보상 장치 및 그 방법을 제공하기 위한 것이다.

[0010] 또한, 본 발명은 수신단 앞단에 사용하는 연속 시간 선형 등화기의 넓은 대역폭을 유지하면서 채널 보상 정도의 한계를 극복할 수 있는 채널 감쇄 보상 장치 및 그 방법을 제공하기 위한 것이다.

[0011] 또한, 본 발명은 인덕터를 사용하지 않음으로써 낮은 면적을 유지하면서 적은 전력소모를 유지함에도 불구하고 채널 보상 효과를 증가시킬 수 있는 수신단에서의 채널 감쇄 보상 장치 및 그 방법을 제공하기 위한 것이다.

[0012] 또한, 본 발명은 연속 시간 선형 등화기의 채널 보상 효과를 10배 이상 높일 수 있는 수신단에서의 채널 감쇄 보상 장치 및 그 방법을 제공하기 위한 것이다.

과제의 해결 수단

- [0014] 본 발명의 일 측면에 따르면, 채널 감쇄 보상 장치가 제공된다.
- [0015] 본 발명의 일 실시예에 따르면, 차동 신호를 입력받아 채널 감쇄를 보상하여 출력하는 연속 시간 선형 등화기; 상기 연속 시간 선형 등화기와 병렬로 배치되며, 상기 차동 신호를 입력받아 증폭하여 출력하는 증폭기; 및 상기 연속 시간 선형 등화기의 출력 신호와 상기 증폭기의 출력 신호를 가산 또는 감산하는 가감산기를 포함하는 채널 감쇄 보상 장치.
- [0016] 상기 가감산기는,
- [0017] 복수의 P-타입 트랜지스터와 N-타입 트랜지스터 쌍으로 구성될 수 있다.
- [0018] 한 쌍의 P-타입 트랜지스터와 N-타입 트랜지스터는 각각 병렬로 배치되며, 상기 증폭기의 출력 신호는 각각 한 쌍의 P-타입 트랜지스터와 N-타입 트랜지스터의 게이트와 각각 연결된다.
- [0019] 상기 증폭기의 출력 신호에 따라 각 쌍의 P-타입 트랜지스터와 N-타입 트랜지스터 중 어느 하나만 온(on)될 수 있다.
- [0020] 상기 연속 시간 선형 등화기의 출력 신호는 P-타입 트랜지스터 및 N-타입 트랜지스터 드레인(drain)과 각각 연결될 수 있다.
- [0021] 상기 증폭기의 출력 신호에 따라 온(on)된 각 쌍의 P-타입 트랜지스터 또는 N-타입 트랜지스터가 상기 연속 시간 선형 등화기의 출력 신호를 출력하는 각 출력 노드와 각각 연결되어 각 출력 노드의 전하를 감산하거나 가산할 수 있다.
- [0023] 본 발명의 다른 측면에 따르면, 수신기에서의 채널 감쇄를 보상하는 방법이 제공될 수 있다.
- [0024] 본 발명의 일 실시예에 따르면, 수신기에서의 채널 감쇄를 보상하는 방법에 있어서, 차동 신호를 입력받아 채널 감쇄를 보상하여 제1 출력 신호를 출력하는 단계; 상기 차동 신호를 입력받아 증폭하여 제2 출력 신호를 출력하는 단계; 및 상기 제1 출력 신호와 제2 출력 신호를 가산 또는 감산하는 단계를 포함하는 채널 감쇄 보상 방법이 제공될 수 있다.

발명의 효과

- [0026] 본 발명의 일 실시예에 따른 수신단에서의 채널 감쇄 보상 장치 및 그 방법을 제공함으로써, 채널의 감쇄로부터 효과적으로 채널 감쇄를 보상할 수 있다.
- [0027] 또한, 본 발명은 연속 시간 선형 등화기의 넓은 대역폭을 유지하면서 채널 보상 정도 한계를 극복할 수 있는 이점이 있다.
- [0028] 또한, 본 발명은 인덕터를 사용하지 않음으로써 낮은 면적을 유지하면서 적은 전력소모를 유지함에도 불구하고 채널 보상 효과를 증가시킬 수 있는 이점이 있다.
- [0029] 또한, 본 발명은 연속 시간 선형 등화기의 채널 보상 효과를 10배 이상 높일 수 있는 이점이 있다.

도면의 간단한 설명

- [0031] 도 1은 본 발명의 일 실시예에 따른 수신단에서의 채널 감쇄 보상 장치의 구조를 개략적으로 도시한 블록도.
- 도 2는 본 발명의 일 실시예에 따른 수신단에서의 채널 감쇄 보상 장치의 상세 회로도.
- 도 3은 수신단의 차동 신호의 시간 반응 결과를 도시한 그래프.
- 도 4는 본 발명의 일 실시예에 따른 채널 감쇄 보상 장치의 출력 신호의 시간 반응 결과를 도시한 그래프.
- 도 5는 본 발명의 일 실시예에 따른 채널 감쇄 보상 장치의 각 구성의 출력단의 주파수 응답을 도시한 그래프.
- 도 6은 연속 시간 선형 등화기의 회로도를 도시한 도면.

도 7은 본 발명의 일 실시예에 따른 수신단에서의 채널 감쇄 보상 방법을 나타낸 순서도.

발명을 실시하기 위한 구체적인 내용

- [0032] 본 명세서에서 사용되는 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "구성된다" 또는 "포함한다" 등의 용어는 명세서상에 기재된 여러 구성 요소들, 또는 여러 단계들을 반드시 모두 포함하는 것으로 해석되지 않아야 하며, 그 중 일부 구성 요소들 또는 일부 단계들은 포함되지 않을 수도 있고, 또는 추가적인 구성 요소 또는 단계들을 더 포함할 수 있는 것으로 해석되어야 한다. 또한, 명세서에 기재된 "...부", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다.
- [0033] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명한다.
- [0035] 도 1은 본 발명의 일 실시예에 따른 수신단에서의 채널 감쇄 보상 장치의 구조를 개략적으로 도시한 블록도이고, 도 2는 본 발명의 일 실시예에 따른 수신단에서의 채널 감쇄 보상 장치의 상세 회로도이며, 도 3은 수신단의 차동 신호의 시간 반응 결과를 도시한 그래프이며, 도 4는 본 발명의 일 실시예에 따른 채널 감쇄 보상 장치의 출력 신호의 시간 반응 결과를 도시한 그래프이고, 도 5는 본 발명의 일 실시예에 따른 채널 감쇄 보상 장치의 각 구성의 출력단의 주파수 응답을 도시한 그래프이고, 도 6은 연속 시간 선형 등화기의 회로도를 도시한 도면이다.
- [0036] 도 1을 참조하면, 본 발명의 일 실시예에 따른 수신단에서의 채널 감쇄 보상 장치(100)는 연속 시간 선형 등화기(110), 증폭기(120) 및 가감산기(130)를 포함하여 구성된다.
- [0037] 연속 시간 선형 등화기(110)는 수신단에서의 채널 감쇄 보상을 위한 수단이다. 즉, 연속 시간 선형 등화기(110)는 피드포워드 방식을 이용한 데이터 송수신시 채널로 인해 감쇄된 주파수 성분을 보상할 수 있다.
- [0038] 이러한 연속 시간 선형 등화기(110)의 기능 자체는 당업자에게는 자명한 사항이므로 이에 상세한 설명은 생략하기로 한다.
- [0039] 증폭기(120)는 연속 시간 선형 등화기(110)와 병렬로 배치되며, 입력 신호를 증폭하여 출력하기 위한 수단이다.
- [0040] 가감산기(130)는 연속 시간 선형 등화기(110)의 출력 신호와 증폭기(120)의 출력 신호를 가산 또는 감산한다. 이러한 가감산기(130)는 N개의 P-타입 트랜지스터와 N-타입 트랜지스터 쌍으로 구성되며, 증폭기(120)의 출력 신호에 따라 P-타입 트랜지스터와 N-타입 트랜지스터 중 어느 하나가 동작(on)되어 연속 시간 선형 등화기(110)의 출력 신호를 가산 또는 감산한다.
- [0041] 도 2를 참조하여 보다 상세히 설명하기로 한다.
- [0042] 도 2에서 보여지는 바와 같이, 가감산기(130)는 복수의 P-타입 트랜지스터와 N-타입 트랜지스터를 쌍으로 하여 구성된다. 이때, P-타입 트랜지스터와 N-타입 트랜지스터는 연속 시간 선형 등화기(110)의 출력 신호에 대해 각각 병렬로 연결된다. 증폭기(120)의 출력 신호는 각각 각 쌍의 P-타입 트랜지스터와 N-타입 트랜지스터의 게이트(gate)와 각각 연결된다. 즉, 증폭기(120)의 출력 신호 중 어느 하나는 가감산기(130)의 각 쌍의 P-타입 트랜지스터 및 N-타입 트랜지스터 중 동작(on)되어 있는 어느 하나와 연결되며, 증폭기(120)의 출력 신호 중 다른 하나는 P-타입 트랜지스터 및 N-타입 트랜지스터 중 다른 하나와 연결된다. 또한, 가감산기(130)는 증폭기(120)의 출력 신호에 따라 각 쌍의 P-타입 트랜지스터와 N-타입 트랜지스터 중 어느 하나만 동작(on)될 수 있다.
- [0043] 또한, 연속 시간 선형 등화기(110)의 출력 신호는 가감산기(130)의 각 쌍의 P-타입 트랜지스터 및 N-타입 트랜지스터의 드레인(drain)과 각각 연결될 수 있다. 이로 인해, 증폭기(120)의 출력 신호 중 어느 하나에 의해 가감산기(130)의 각 쌍의 P-타입 트랜지스터 및 N-타입 트랜지스터가 동작(on)되면, 동작된 트랜지스터가 연속 시간 선형 등화기(110)의 출력 신호와 각각 연결되어 가산 또는 감산하여 최종 출력 신호를 출력할 수 있다.
- [0044] 예를 들어, 수신기에서 받은 신호가 차동 신호 쌍이라고 가정하기로 하며, 이를 P와 N으로 표시하기로 한다. 차동 신호 쌍, P와 N은 어느 하나의 값이 큰 전압값을 가지며 다른 하나는 작은 전압값을 갖게 된다. 차동 신호(P와 N)이 각각 연속 시간 선형 등화기(110)와 증폭기(120)의 입력단으로 입력될 수 있다.
- [0045] 차동 신호(P와 N)이 연속 시간 선형 등화기(110)에 입력된 후 연속 시간 선형 등화기에서 출력되는 출력 신호를 P'과 N'이라 칭하기로 한다. 또한, 차동 신호(P와 N)이 증폭기(120)에 입력된 후 증폭기(120)에 의해 출력되는

출력 신호를 P"과 N"이라 칭하기로 한다.

- [0046] 예를 들어, 연속 시간 선형 등화기(110)와 증폭기(120)로 입력되는 차등 신호 쌍, P와 N에 대해 P의 전압값이 N의 전압값보다 크다고 가정하기로 한다. 즉, $P > N$ 이라 가정하기로 한다. 만일 $P > N$ 이면(즉, P의 전압값이 N의 전압값보다 크면), 연속 시간 선형 등화기의 출력 신호인 P'과 N'은 P'이 작은 전압값을 가지며 N'이 큰 전압값을 가지게 된다. 즉, $P > N$ 이면, $P' < N'$ 관계를 가지게 된다.
- [0047] 또한, $P > N$ 이면, 증폭기(120)의 출력 신호인 P"과 N"의 경우 연속 시간 선형 등화기(110)와 마찬가지로 P"이 작은 전압값을 가지며 N"이 큰 전압값을 가지게 된다. 즉, $P > N$ 이면, $P'' < N''$ 관계를 가지게 된다.
- [0048] 증폭기(120)의 출력 신호인 P"과 N"이 가감산기(130)의 각 입력단으로 입력되면, P-타입 트랜지스터와 N-타입 트랜지스터 중 어느 하나의 트랜지스터만 온(On)되게 된다. 이 때, 한 쌍의 트랜지스터가 동시에 동작하지 않아야 하므로, N"의 전압은 P-타입 트랜지스터를 온(On)시키지 못하게 충분히 전압이 커야 하며 P"의 전압은 N-타입 트랜지스터를 온(On)시키지 못하게 충분히 작아야 한다. 이로 인해, P-타입 트랜지스터와 N-타입 트랜지스터 중 온(On)된 트랜지스터가 연속 시간 선형 등화기(110)의 출력 신호인 P', N'를 출력하는 노드에 연결되어 있기 때문에 연결된 노드의 전하를 빼거나 더하게 된다. 결과적으로, 증폭기(120)의 출력 신호에 따라 가감산기(130)의 P-타입 트랜지스터와 N-타입 트랜지스터 중 어느 하나가 온(on)되어 연속 시간 선형 등화기(110)의 출력 신호 P'와 N'를 가산 또는 감산할 수 있다.
- [0049] P-타입 트랜지스터와 N-타입 트랜지스터 중 온(On)된 트랜지스터가 연속 시간 선형 등화기(110)의 출력 신호인 P', N'를 출력하는 각 노드의 전하를 빼거나 더할 때 고속 신호 성분은 유지한 채 비교적 속도의 신호 성분을 빼거나 더하게 된다. 고속과 저속을 나누는 기준은 증폭기의 대역폭이 결정하게 된다.
- [0050] 도 3는 수신단의 차등 신호의 시간 반응 결과를 도시한 그래프이다. 도 3에서 보여지는 바와 같이, 수신단의 차등 신호를 살펴보면, 두 신호는 교차가 이루어져야 하나 채널 감쇄로 인해 교차가 이루어지지 않는 부분이 많이 존재하게 된다. 이는 결과적으로 수신단의 I/O 회로 및 단 회로에 오작동을 일으키는 주요 원인이 된다.
- [0051] 하나의 연속 시간 선형 등화기에 의해 채널 감쇄 보상이 이루어졌다고 하더라도 그 효과는 미비하다.
- [0052] 도 4는 채널 감쇄 보상 장치의 출력 신호의 시간 반응 결과를 도시한 그래프이다. 도 4에서 보여지는 바와 같이, 본 발명의 일 실시예에 따른 채널 감쇄 보상 장치를 이용하는 경우 과도 응답을 통해 알 수 있듯이 채널 감쇄로 생긴 차등 신호의 불교차를 해결할 수 있는 것을 알 수 있다.
- [0053] 도 5에서 A', A'', (A'-A'')는 도 1의 연속 시간 선형 등화기(110)의 출력 신호(A'), 증폭기(120)의 출력 신호(A'') 및 가감산기(130)의 출력 신호(A'-A'')를 각각 나타낸 것이다. 하나의 연속 시간 선형 등화기(110)의 경우, 약 15GHz에서 채널 감쇄 보상 정도는 약 1.5dB이다. 반면 증폭기(120)의 주파수 반응과 감산하게 되면 약 30dB의 채널 보상 효과를 얻을 수 있다. 이는 약 20개의 연속 시간 등화기(110)를 직렬로 연결한 것과 같은 효과를 얻을 수 있다.
- [0054] 연속 시간 선형 등화기 1개당 1mA의 전류가 필요하다고 가정하면, 30dB의 보상을 위해 약 20개의 연속 시간 선형 등화기가 필요하므로 20mA의 전류를 공급해주어야 한다. 그러나, 본 발명의 일 실시예에 따른 수신기의 경우 증폭기(120)와 연속 시간 선형 등화기(110)에 각각 1mA의 전류를 할당할 수 있으며, N개의 P-타입 트랜지스터와 N-타입 트랜지스터 쌍은 수십 μ A밖에 사용하지 않으므로 전류 측면에서 많은 이점을 가질 수 있다.
- [0055] 도 6은 연속 시간 선형 등화기의 회로도를 도시한 도면이다. 도 6을 참조하면, 연속 시간 선형 등화기(110)의 경우, 5개의 저항과 1개의 커패시터가 사용된다. 이러한 연속 시간 선형 등화기는 능동 소자에 비해 면적이 크기 때문에 P-타입 트랜지스터와 N-타입 트랜지스터 쌍의 면적을 합하더라도 20개의 연속 시간 선형 등화기에 비해서는 매우 작은 면적을 얻을 수 있는 이점이 있다. 결과적으로 본 발명의 일 실시예에 따른 채널 감쇄 보상 장치(100)의 경우 적은 면적을 사용하며 적은 전력을 소모하면서 1개의 연속 시간 선형 등화기에 비해 약 10배 이상의 채널 보상 효과를 얻을 수 있는 이점이 있다.
- [0057] 도 7은 본 발명의 일 실시예에 따른 수신단에서의 채널 감쇄 보상 방법을 나타낸 순서도이다.
- [0058] 단계 710에서 채널 감쇄 보상 장치(100)는 차등 신호를 연속 시간 선형 등화기(110)와 증폭기(120)로 각각 입력한다.
- [0059] 단계 715에서 채널 감쇄 보상 장치(100)는 연속 시간 선형 등화기(110)를 통해 제1 출력 신호를 출력한다. 제1

출력 신호는 차동 신호일 수 있다.

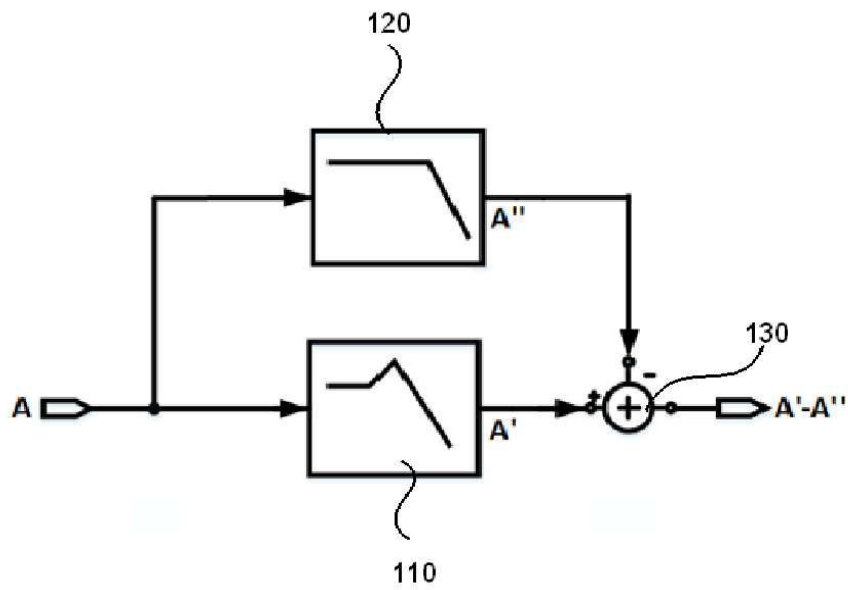
- [0060] 단계 720에서 채널 감쇄 보상 장치(100)는 증폭기(120)를 통해 제2 출력 신호를 출력한다. 제2 출력 신호는 차동 신호일 수 있다.
- [0061] 지면 설명의 한계로 인해, 단계 715와 720이 순차적으로 출력되는 것으로 기술되고 있으나, 단계 715와 단계 720은 병렬적으로 동작되는 것으로 이해되어야 할 것이다.
- [0062] 단계 725에서 채널 감쇄 보상 장치(100)는 연속 시간 선형 등화기(110)에서 출력된 제1 출력 신호와 증폭기(120)에서 출력된 제2 출력 신호를 가산 또는 감산한다. 이에 대한 세부 동작은 도 1 내지 도 6을 참조하여 설명한 바와 동일하므로 중복되는 설명은 생략하기로 한다.
- [0064] 본 발명의 실시 예에 따른 장치 및 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 컴퓨터 판독 가능 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 분야 통상의 기술자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media) 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.
- [0065] 상술한 하드웨어 장치는 본 발명의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0066] 이제까지 본 발명에 대하여 그 실시 예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

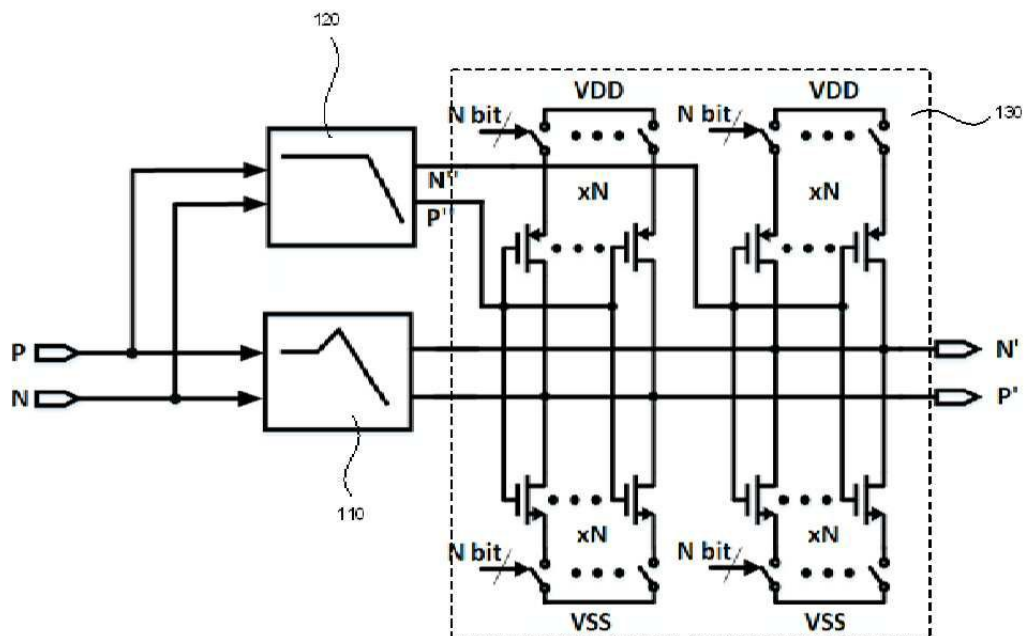
- [0068] 100: 채널 감쇄 보상 장치
110: 연속 시간 선형 등화기
120: 증폭기
130: 가감산기

도면

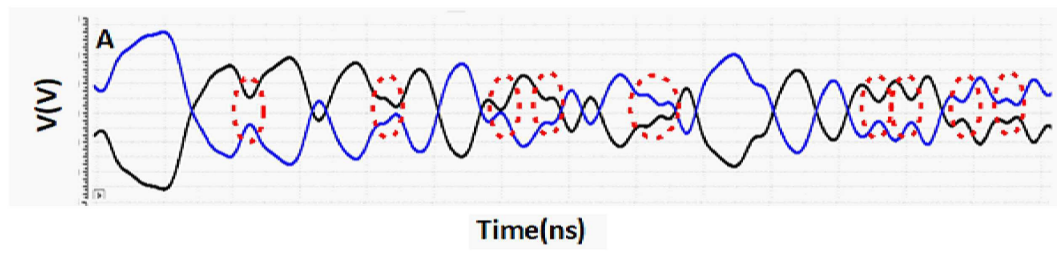
도면1



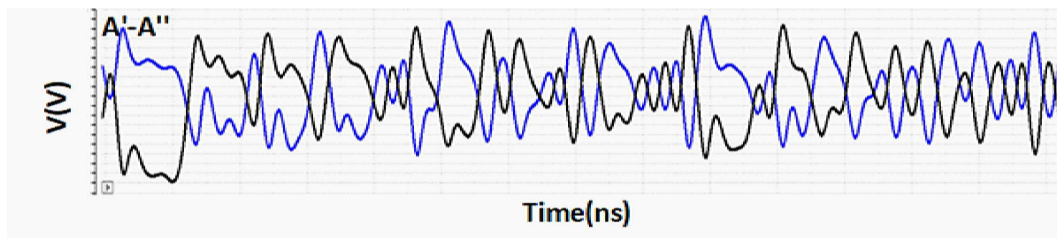
도면2



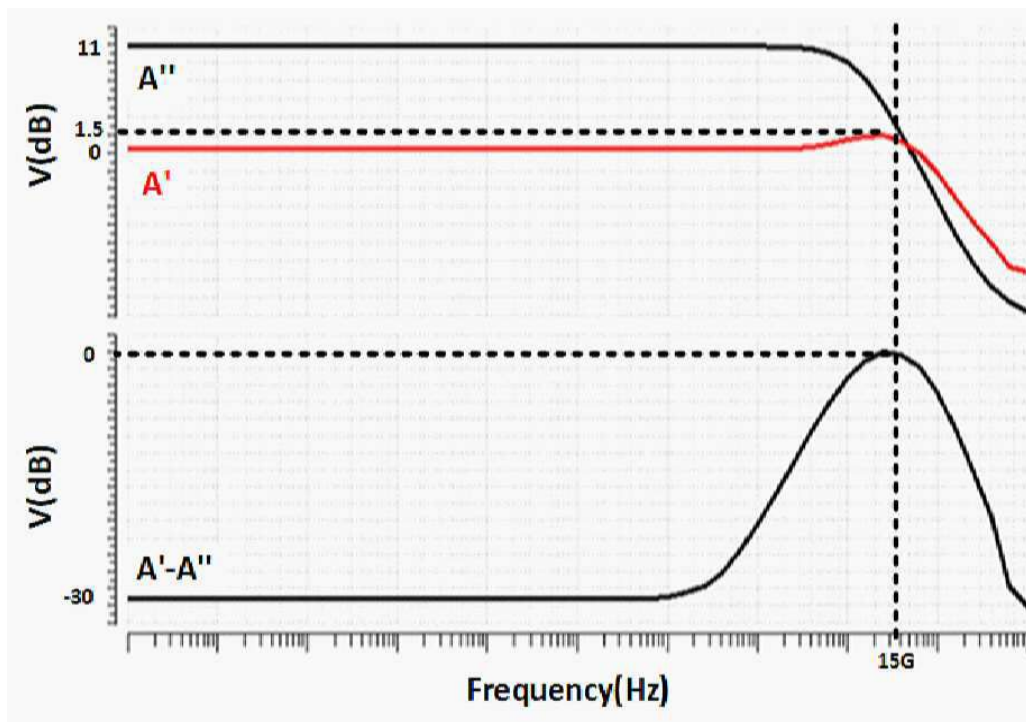
도면3



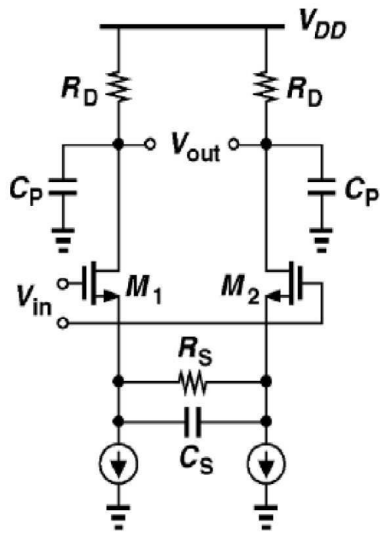
도면4



도면5



도면6



도면7

