



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

230 773

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 19 08 82
(21) PV 6067-82

(51) Int. Cl.³ H 03 K 3/78

(40) Zveřejněno 13 01 84
(45) Vydáno 01 04 86

(75)

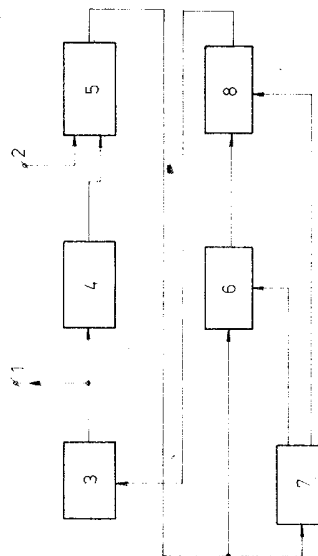
Autor vynálezu HLADIL KAREL ing.,
PAPÍREK TOMÁŠ ing., BRNO

(54) Zapojení fázového závěsu pro napětím řízený oscilátor

Vynález se týká zapojení obvodu pro řízení napětím řízeného oscilátoru v závislosti na kmitočtu externího signálu.

Podstatou vynálezu je zapojení integrátoru nastavovaného do počátečního stavu pomocí řídicích obvodů ve spojení s analogovou pamětí, jejíž pamatovací cyklus je řízen také z řídicího obvodu.

Zapojení je určeno pro generátory lineárního vychylování například v mikroskopických zobrazovacích systémech.



Vynález se týká zapojení obvodu pro řízení napětím řízeného oscilátoru v závislosti na kmitočtu externího signálu.

V nejrůznějších elektronických zařízeních se používá řízení kmitočtu oscilátoru v závislosti na kmitočtu síťového napětí. Využívá se obvykle integračního principu. Na bistabilní klopný obvod se přivádí řídicí signál a signály z řízeného oscilátoru, na výstupu klopného obvodu jsou pulsy o době trvání v závislosti na tom, o kolik se liší kmitočet obou signálů. Pulsy se přivádějí na integrátor. Integrátor tyto pulsy s určitou přesností aproximuje stejnosměrným napětím, kterým je řízen napětím řízený oscilátor. Tento typ zapojení má nevýhodu v kolísání kmitočtu oscilátoru projevující se v průběhu jedné periody síťového napětí. Další nevýhoda tohoto zapojení je v dlouhé době zasynchronizování vlastního oscilátoru.

Tyto dosavadní nevýhody odstraňuje zapojení obvodu fázového závěsu pro řízení napětím řízený oscilátor, jehož podstatou je, že napětím řízený oscilátor je spojen výstupem s výstupní svorkou a vstupem děliče kmitočtu, jehož výstup je spojen s prvním vstupem bistabilního klopného obvodu, přičemž jeho druhý vstup je spojen se vstupní svorkou a jeho výstup je spojen jednak s prvním vstupem integrátoru a jednak se vstupem řídicího obvodu, jehož první výstup je spojen s nulovacím vstupem integrátoru a druhý výstup se zápisovým vstupem analogové paměti, jejíž první vstup je propojen s výstupem

integrátoru, zatím co výstup analogové paměti je propojen se vstupem napětím řízeného oscilátoru.

Hlavní předností zapojení dle vynálezu je konstantní kmitočet oscilátoru během jedné periody síťového napětí a zasyntchronizování oscilátoru během několika period síťového napětí při změně kmitočtu síťového napětí. To je dáno tím, že řídicí napětí pro oscilátor je také konstantní a je na výstupu analogové paměti, do které se zapisuje toto napětí jako konečná hodnota, která zůstává na výstupu integrátoru po skončení integračního intervalu, na jehož začátku se integrátor nuluje a tento interval je daný rozdílem kmitočtů dvou porovnávaných signálů.

Vynález blíže objasní přiložený výkres, na kterém je naznačeno blokové schéma zapojení.

Zapojení tvoří napěťově řízený oscilátor 3, jehož výstup je spojen se vstupem děliče kmitočtu 4 a s výstupní svorkou 1, ze které je odebírán signál o kmitočtu oscilátoru, výstup děliče kmitočtu 4 je spojen s prvním vstupem bistabilního klopného obvodu 5 jehož druhý vstup je spojen se vstupní svorkou 2. Výstup bistabilního klopného obvodu 5 je spojen s prvním vstupem integrátoru 6 a se vstupem řídicího obvodu 7, jehož první výstup je spojen s nulovacím vstupem integrátoru 6. Druhý výstup řídicího obvodu 7 je spojen se zápisovým vstupem analogové paměti 8. Výstup integrátoru 6 je spojen s prvním vstupem analogové paměti 8, jejíž výstup je spojen se vstupem napěťově řízeného oscilátoru 3.

Zapojení pracuje za provozu takto:

Napěťově řízený oscilátor 3 kmitá na frekvenci určené napětím přiváděným na jeho vstup. Z výstupu napěťově řízeného oscilátoru 3 je signál přivedený na vstup děliče kmitočtu 4, na jehož výstupu se vytvoří signál o kmitočtu shodném s kmitočtem signálu přiváděného přes vstupní svorku 2 na první vstup bistabilního klopného obvodu 5. Z děliče kmitočtu 4 je výstupní signál přiveden na druhý vstup bistabilního klopného obvodu 5,

na jehož výstupu vzniká pulsní signál, přičemž doba trvání těchto pulsů je ve vztahu k rozdílu kmitočtu obou signálů přivedených na oba vstupy bistabilního klopného obvodu 5. Pulsní signál z výstupu bistabilního klopného obvodu 5 je přiveden na první vstup integrátoru 6, který integruje během trvání úrovně logické jedničky signálu na prvním vstupu.

Rovněž je přiveden pulsní signál z výstupu bistabilního klopného obvodu 5 na vstup řídicího obvodu 7, na jehož prvním výstupu je vytvořen impuls vždy se změnou vstupního signálu na vstup řídicího obvodu 7 z úrovně logické nuly na úroveň logické jedničky, tento impuls je přiveden na nulovací vstup integrátoru 6 a nastavuje integrátor 6 do počátečního stavu. Na druhém výstupu řídicího obvodu 7 je vytvořen impuls vždy se změnou signálu na jeho vstupu z úrovně logické jedničky na úroveň logické nuly. Tento impuls je přiveden na zápisový vstup analogové paměti 8 a způsobí uložení velikosti napětí přes první vstup do analogové paměti 8. Do analogové paměti 8 se současně uloží velikost napětí v okamžiku ukončení integračního intervalu v integrátoru 6, které je na jeho výstupu.

Na výstupu analogové paměti 8 je řídicí napětí, které je přiváděno na vstup napětím řízeného oscilátoru 3.

Hlavní oblastí využití popisovaného zapojení je například v generátorech lineárního vychylování pro elektronové rastrovací mikroskopy.

PŘEDMĚT VYNÁLEZU

230 773

Zapojení fázového závěsu pro napětím řízený oscilátor sestávající z napětím řízeného oscilátoru, děliče kmitočtu, bistabilního klopného obvodu, řídicího obvodu, integrátoru a analogové paměti, vyznačené tím, že napětím řízený oscilátor (3) je spojen výstupem s výstupní svorkou (1) a ^{se} vstupem děliče kmitočtu (4), jehož výstup je spojen s prvním vstupem bistabilního klopného obvodu (5), přičemž jeho druhý vstup je spojen se vstupní svorkou (2) a jeho výstup je spojen jednak s prvním vstupem integrátoru (6) a jednak se vstupem řídicího obvodu (7), jehož první výstup je spojen s nulovacím vstupem integrátoru (6) a druhý výstup se zápisovým vstupem analogové paměti (8), jejíž první vstup je propojen s výstupem integrátoru (6), zatím co výstup analogové paměti 8 je propojen se vstupem napětím řízeného oscilátoru (3).

1 výkres

