

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-228587
(P2004-228587A)

(43) 公開日 平成16年8月12日(2004.8.12)

(51) Int. Cl. ⁷	F I	テマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 1 8 B	5 F 0 4 8
HO 1 L 21/8238	HO 1 L 27/08 3 3 1 E	5 F 1 1 0
HO 1 L 27/08	HO 1 L 29/78 6 1 3 A	
HO 1 L 27/092	HO 1 L 29/28	
HO 1 L 51/00	HO 1 L 27/08 3 2 1 A	

審査請求 有 請求項の数 7 O L (全 10 頁) 最終頁に続く

(21) 出願番号	特願2004-48983 (P2004-48983)	(71) 出願人	596092698
(22) 出願日	平成16年2月25日 (2004.2.25)		ルーセント テクノロジーズ インコーポ
(62) 分割の表示	特願平9-3505の分割		レーテッド
原出願日	平成9年1月13日 (1997.1.13)		アメリカ合衆国, 07974-0636
(31) 優先権主張番号	587426		ニュージャージー, マレイ ヒル, マウン
(32) 優先日	平成8年1月16日 (1996.1.16)		テン アヴェニュー 600
(33) 優先権主張国	米国 (US)	(74) 代理人	100064447
			弁理士 岡部 正夫
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100106703
			弁理士 産形 和央
		(74) 代理人	100096943
			弁理士 白井 伸一

最終頁に続く

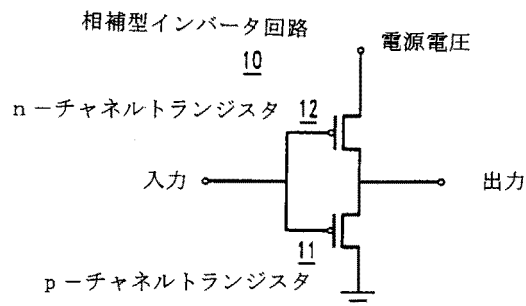
(54) 【発明の名称】 トランジスタからなる製品

(57) 【要約】

【課題】 従来の有機 n - チャネル T F F E T が有する技術的問題を解決した相補型有機薄膜トランジスタを提供する。

【解決手段】 無機 n - チャネル薄膜 T F T と有機 p - チャネル T F T を有する相補型回路は、従来の相補型無機 T F T 又は相補型有機 T F T の欠点を被ることなく、優れた特性を示す。n - チャネル無機 T F T はアモルファス S i 活性層を有し、p - チャネル有機 T F T は - ヘキサチエニレン (- 6 T) 活性層を有する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

n - チャネルトランジスタと p - チャネルトランジスタが接続されて構成される製品において、

前記 n - チャネルトランジスタ (1 1) は、無機薄膜トランジスタであり、

前記 p - チャネルトランジスタ (1 2) は、有機薄膜トランジスタであることを特徴とするトランジスタからなる製品。

【請求項 2】

無機薄膜トランジスタは、アモルファス Si、多結晶 Si、CdSe、TiO₂、ZnO 及び Cu₂S からなる群から選択される金属からなる活性層からなり、

10

有機薄膜トランジスタは、

i) 2 ~ 5 個の炭素原子を介して結合された、オリゴ重合度が 4 以上 8 以下の、チオフェンのオリゴマー、

ii) 2 ~ 5 個の炭素原子を介して結合された、3 ~ 6 個のチオフェン環と末端基としてチオフェンを有するビニレンと、チエニレンとの交互共オリゴマー、

iii) ベンゾ [1 , 2 - b : 4 , 5 - b '] ジチオフェンの線状ダイマー及びトリマー、

iv) 末端のチオフェンの 4 個又は 5 個の炭素原子上に置換基を有する前記 i)、ii) 及び iii) の何れかのオリゴマー、

v) テトラセン、ペンタセン及びこれらの末端置換誘導体、及び

vi) ポリマーマトリックス中の p , p ' - ジアミノビフェニル複合体、

20

【請求項 3】

末端のチオフェンの 4 個又は 5 個の炭素原子上の置換基は炭素原子を 1 ~ 20 個有するアルキル置換基である請求項 2 の製品。

【請求項 4】

前記第 1 及び第 2 のトランジスタは、相補型インバータ回路を形成するために、一緒に接続されて動作する請求項 1 の製品。

【請求項 5】

無機薄膜トランジスタはアモルファスシリコンからなる活性層からなる請求項 1 の製品。

30

【請求項 6】

有機薄膜トランジスタは、ヘキサチエニレンからなる活性層からなる請求項 1 の製品。

【請求項 7】

無機薄膜トランジスタはアモルファスシリコンからなる活性層からなる請求項 6 の製品。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は相補型薄膜トランジスタからなる製品に関する。更に詳細には、本発明は有機薄膜トランジスタ (有機 TFT) からなる製品に関する。

40

【背景技術】

【0002】

米国特許第 5347144 号明細書に開示されているように、有機 TFT は公知である。しかし、最近まで、達成可能なデバイス性能 (例えば、ON/OFF 比) は、最も期待された用途 (例えば、アクティブ・マトリックス型液晶ディスプレイ) では不十分であった。A.R.Brown (Science, Vol.270, p.972, November 1995) はポリマー トランジスタから製造された論理ゲートを開示している。

【0003】

最近、ON/OFF 電流比が $> 10^6$ であり、かつ、スイッチング速度が約 $10 \mu s$ で

50

ある有機 T F T (更に特定のには、有機 T F フィールド効果トランジスタ又は T F - F E T) を製造できることが実証された。この事実は、A. Dodabalapur et al., Science, Vol. 268, p. 270 (1995), H. E. Katz et al., Proceedings of the PMSE Division of the American Chemical Society, Vol. 72, p. 467 (1995) 及び米国特許出願第 08 / 353024 号明細書、同第 08 / 353032 号明細書などに開示されている。

【0004】

更に最近になって、所定のデバイスがバイアス条件に応じて、n - チャネル又は p - チャネルデバイスとして機能できるように、有機 T F F E T をデザインできることが発見された。この事実は、米国特許出願第 08 / 441142 号明細書及び A. Dodabalapur et al., Science, Vol. 269, p. 1560 (Sept. 1995) に開示されている。

10

【0005】

当業者に明確に理解されるように、米国特許出願第 08 / 441142 号明細書に記載された有機 T F F E T を併用することにより、低消費電力と簡単な回路設計の付随的利点を有する相補型回路を形成できる。

【0006】

米国特許出願第 08 / 441142 号明細書に記載された有機 T F F E T は、有機 p - チャネル材料 (例えば、 C_{60} -ヘキサチエニレン又は C_{60} -6T) 及び有機 n - チャネル材料 (例えば、 C_{60}) から構成されている。 C_{60} -6T は比較的安定な材料であり、多くの無機半導体よりも容易に p - タイプの形で蒸着させることができるが、n - チャネル材料として機能するように製造された C_{60} 及びその他の有機材料は、一般的に、空气中で使用されると、分解されてしまう。

20

【0007】

従って、このようなデバイスは、ほどよい寿命を得るために、一般的に、特別な製造技術及び / 又は注意深いパッケージングを必要とする。このような製造及びパッケージング要件はコスト高を招く主因となる。従って、相補型有機 T F F E T について予想される多くの低コスト用途には適さない。ハーメティック・パッケージング要件は、回路の適正な柔軟性を往々にして必要とするスマートカード又は R F 識別タグのような企図用途にさえも適さない。

【0008】

少なくとも、有機 n - チャネル T F F E T が有する前記の技術的困難性が解決されるまで、有機 n - チャネル T F F E T 及び無機 p - チャネル T F F E T に現に典型的に付随する問題を受けることなく、公知の p - チャネル有機 T F F E T 及び n - チャネル無機 T F F E T (例えば、アモルファス S i T F F E T) の優れた特性の利点を有することができる相補型回路に関する利用可能な技術の開発が強く求められる。

30

【発明の開示】

【発明が解決しようとする課題】

【0009】

従って、本発明の目的は、従来の有機 n - チャネル T F F E T が有する技術的問題を解決した相補型有機薄膜トランジスタを提供することである。

【課題を解決するための手段】

40

【0010】

前記課題は、少なくとも第 1 及び第 2 のトランジスタからなり、2 つのトランジスタは相互に接続されて動作することからなる、スマートカード、R F 識別タグ、アクティブ・マトリックス液晶ディスプレイ、ランダム・アクセス・メモリ、リード・オンリー・メモリなどのような製品により解決される。第 1 のトランジスタは n - チャネルトランジスタであり、第 2 のトランジスタは p - チャネルトランジスタである。

【0011】

従って、製品は相補型トランジスタ (例えば、非常に多数の n - チャネルトランジスタ及び非常に多数の p - チャネルトランジスタ) を有する回路から構成される。トランジスタは常用の手段により相互に接続されて動作する。また、この製品は、トランジスタに電

50

力（電気信号も含む）を供給する手段も有する。

【発明の効果】

【0012】

以上説明したように、本発明による製品は、ハイブリッドタイプの相補型TFTからなる。従って、本発明のp-チャンネル有機TFTとn-チャンネル無機TFTからなるハイブリッド相補型TFTは有利な特徴（例えば、比較的優れた空気中における安定性、適度に高い担体移動度）を示し、一方、従来技術の幾つかの欠点（例えば、有機n-チャンネル材料の相対的な不安定性、低n-チャンネル移動度）を避けることができる。

【発明を実施するための最良の形態】

【0013】

n-チャンネルトランジスタは無機薄膜トランジスタであり、例えば、アモルファスシリコン(a-Si)、多結晶シリコン、CdSe、TiO₂、ZnO及びCu₂Sからなる群から選択される材料からなる。p-チャンネルトランジスタは有機TFTである。

【0014】

p-チャンネル有機TFTの活性層は、例えば、

i) 2～5個の炭素原子を介して結合された、オリゴ重合度が4以上8以下の、チオフェンのオリゴマー、

ii) 2～5個の炭素原子を介して結合された、3～6個のチオフェン環と末端基としてチオフェンを有するビニレンと、チエニレンとの交互共オリゴマー、

iii) ベンゾ[1,2-b:4,5-b']ジチオフェンの線状ダイマー及びトリマー、

iv) 末端のチオフェンの4個又は5個の炭素原子上に置換基（例えば、炭素原子を1～20個有するアルキル置換基）を有する前記オリゴマー、

v) テトラセン、ペンタセン及びこれらの末端置換誘導体、及び

vi) ポリマーマトリックス中のp, p'-ジアミノビフェニル複合体、

からなる群から選択される。

【0015】

従って、本発明による製品は、ハイブリッドタイプの相補型TFTからなる。従って、この製品は、無機TFTと有機TFTの両方の技術の好都合な特徴を併せ持つ。p-チャンネル（有機）TFTの活性層は-6Tであることが好ましく、また、n-チャンネル（無機）TFTの活性層はアモルファスシリコン(a-Si)であることが好ましい。

【0016】

p-チャンネル有機TFTとn-チャンネル無機TFTからなるハイブリッド薄膜技術は有利な特徴（例えば、比較的優れた空気中における安定性、適度に高い担体移動度）を示し、一方、従来技術の幾つかの欠点（例えば、有機n-チャンネル材料の相対的な不安定性、低n-チャンネル移動度）を避けることができる。明確にするため、本発明の好ましい実施例として、a-Si(n-チャンネル)TFT及び-6T(p-チャンネル)TFTからなる製品を挙げて、以下詳細に説明する。

【実施例1】

【0017】

図1は相補型インバータ回路10のブロック図である。n-チャンネルa-SiTFT11はガラス基板上に形成される。n-チャンネルTFTのチャンネル寸法は例えば、幅が約8μm、長さが約9μmである。最終のデバイスを、常用の技法を用いて、TO-8ヘッダ中に密封した。p-チャンネル-6TTFT12は熱酸化されたn-タイプSiウエハ上に作成される。Siはゲート接点として機能し、SiO₂はゲート誘電体として機能する。

【0018】

金ソース及びドレインパッドをSiO₂の上面に、光リソグラフィー方法により画成した。図示されたp-チャンネルTFTのチャンネル長さ及び幅はそれぞれ、25μm及び250μmである。有機TFTを完成させるために、10⁻⁶Torrの圧力で、前記の構造体上に-6Tを昇華させた。ソース及びドレインに対する電氣的接点を薄膜（例えば、50n

10

20

30

40

50

m) の - 6 T 層により形成した。

【0019】

図2及び図3はそれぞれ、n - チャネル T F T 及び p - チャネル T F T の電流 - 電圧特性を示す特性図である。図中、 I_{DS} はドレイン - ソース電流を示し、 V_{DS} はドレイン - ソース電圧を示し、 V_{GS} はゲート - ソース電圧を示す。a - S i T F T の電界効果移動度は $0.1 \sim 1 \text{ cm}^2 / \text{V} \cdot \text{s}$ の範囲内である。 - 6 T T F T の電界効果移動度は $0.01 \sim 0.03 \text{ cm}^2 / \text{V} \cdot \text{s}$ の範囲内である。

【0020】

a - S i T F T 及び - 6 T T F T のスレッシュホールド電圧はそれぞれ $\sim 4 \text{ V}$ 及び 200 meV である。n - チャネル及び p - チャネルトランジスタのチャネル寸法は、ドレイン電流が、ドレイン - ソース電圧及びゲート電圧の同様な絶対値に概ね等しい値となるように選択される。しかし、デバイスのチャネル寸法は、使用されるリソグラフィ法又はパターン付け方法により限定されるレベルまでスケールダウンすることができる。前記の合成及び精製方法を使用し、 $1.5 \mu\text{m}$ 程度の小さなチャネル長さを有する - 6 T T F T を形成した。この - 6 T T F T は図3に示された電流 - 電圧特性と同様な特性を有する。

【0021】

図1に示されるような前記のデバイスを相互接続することにより相補型インバータを作成した。p - チャネル - 6 T T F T はロードトランジスタとして機能する。得られたインバータを様々な条件下でテストした。電源電圧を $5 \sim 18 \text{ V}$ の範囲内で変化させ、伝達特性を測定した。図4は、 7.2 V の電源電圧に関する伝達特性を示す特性図である。

【0022】

入力電圧 V_{in} が低い値の場合、(ゲート - ソース電圧が負なので) p - チャネル - 6 T ロードトランジスタは ON し、n - チャネルは OFF する。出力電圧 V_{out} は電源電圧に概ね等しい。 V_{in} が増大するのに応じて、n - チャネル a - S i トランジスタは徐々にターンオンする。 V_{in} が更に増大すると、p - チャネルデバイスはターンオフし、n - チャネルデバイスは完全にターンオンする。 5 V 程度の低い電源電圧でも同様な挙動が示された。

【0023】

M I C R O C A P (登録商標) のソフトウェアツールを用いてインバータ回路をシミュレーションした。n - チャネルトランジスタ及び p - チャネルトランジスタのデバイス特性をプログラムに入力し、伝達特性をシミュレーションした。実験データポイントと共に、シミュレーション結果を図4に示す。 $V_T = 3.7 \text{ V}$ における理論値と実験値との間の優れた一致が得られた。この電圧は、デバイスの測定されたスレッシュホールド電圧に非常に近い値である。このシミュレーションは、このスレッシュホールド電圧が下がるにつれて、インバータは低電源電圧で動作できることも示している。

【0024】

本発明による相補型回路の重要な特徴は、共通基板上に配列された n - チャネル T F T 及び p - チャネル T F T の双方を有する集積回路の形での製造適性である。以下、この製造方法について説明する。例えば、図1に示されたタイプの集積インバータ回路を製造するために、この方法を使用することができる。インバータは最も簡単な相補型回路なので、集積インバータ回路の製造方法の有用性は、一層複雑な回路も所定の技法により製造できることも示唆している。

【0025】

この製造方法は次のような重要なステップを有する。

- 1) 適当な基板 (例えば、ガラス又はプラスチック板) を準備する。

【0026】

2) ゲート金属 (例えば、Ta、Cr、Al) を蒸着及びパターン付けする。このゲートは n - チャネルトランジスタ及び p - チャネルトランジスタの双方に共通である。

【0027】

3) ゲート誘電体(例えば、液体ベースからスピンコート又は噴霧コートにより塗布することができるポリイミド又はその他のポリマー)を被着させる。一般的に、このポリマーは被着後に硬化される。例えば、SE-1180の商品名で日産化学(株)から市販されている、予めイミド化されたポリイミドを使用することが好ましい。誘電体は4000RPMの回転速度でスピンコートし、120で2時間かけて硬化させる。単一の塗膜の膜厚は約70nmである。或る場合には、2層塗膜も使用できる。

【0028】

4) ドープされていないa-Siを(例えば、プラズマCVD又はRFスパッタリング法により)蒸着させ、そして、パターン付けする。この材料はn-チャンネルトランジスタの活性層を形成する。n-チャンネル領域以外の殆どの箇所から不要の材料をエッチングにより除去する。

10

【0029】

5) 分離層(例えば、SiN、ポリイミド又はその他のアイソレータ)を被着させる。この層は、n-チャンネルトランジスタのソースとドレイン領域間の電氣的短絡を防止するために使用される。例えば、RN-812の商品名で日産化学(株)から市販されているポリイミドを使用することが好ましい。このポリイミドは約1µmの膜厚の薄膜を形成し、優れた絶縁特性を示す。

【0030】

6) 絶縁層をパターン付けする。n-チャンネルデバイスのソース及びドレインとなる領域にウインドウを画成し、n-チャンネルデバイスの活性領域以外の領域内の絶縁層材料を除去する。

20

【0031】

7) n⁺a-Siを(例えば、プラズマCVD又はスパッタリング法により)蒸着する。この材料は、ドープされていないa-Si活性層に電氣的接点を形成するために使用される。

【0032】

8) ソースとドレインとの間を短絡させないために、n+a-Si層をパターン付けする。(例えば、ゲート領域内の分離層にウインドウを開設することによりパターン付けする。)

【0033】

9) ソース/ドレイン接点金属(例えば、Al)を蒸着し、パターン付けする。金属は、n-チャンネルデバイスのソースとドレインと一緒に短絡されないようにパターン付けされる。また、この金属は、回路内のn-チャンネルトランジスタとp-チャンネルトランジスタを接続させるようにパターン付けされる。従って、この金属は、(未だ画成されていない)p-チャンネルデバイスに向かって或る程度まで延ばされている。そして、その後、p-チャンネルデバイスのソース接点を形成する。

30

【0034】

10) 有機活性層(次のステップで蒸着される)からソース/ドレイン金属を分離するために、SiN、ポリイミド又はその他のアイソレータを蒸着する。p-チャンネルトランジスタの活性領域上のポリイミドを除去し、パターン付けする。

40

【0035】

11) 有機活性材料(例えば、-6T)を蒸着する。(例えば、真空昇華により蒸着する。)

【0036】

12) p-チャンネルトランジスタのドレイン接点金属(例えば、Au、Ag)を(例えば、スパッタリング法又は真空蒸着法)により蒸着し、そしてパターン付けする。この材料層は正供給電源にも接続される。

【0037】

13) 回路及びデバイスを保護するために、最終のパッシベーション層(例えば、SiN、ポリイミド)を被着させる。

50

【0038】

図5～9は前記の製造方法を例証する模式図である。図5において、符号50～53は、それぞれ基板、共通ゲート金属、ゲート誘電体及びパターン付き非ドーパ $a-Si$ を示す。図6において、符号54はパターン付き分離層を示し、符号55はパターン付き n^+a-Si 層を示す。図7において、符号56はパターン付きソース/ドレイン金属層を示す。

【0039】

図8において、符号57はパターン付き分離層を示し、符号58は有機活性層（例えば、 $-6T$ ）を示し、符号59は p -チャネルトランジスタのドレイン接点を示し、符号60は最終パッシベーション層を示す。最後に、図9は本発明によるインバータの層構造を示す概要断面図である。図9では、様々な電圧（例えば、電源電圧 V_{supply} 、接地、入力電圧 V_{in} 及び出力電圧 V_{out} ）も示されている。

10

【0040】

好ましい実施態様では、基板50はKAPTON（登録商標）であり、ゲート金属層51は膜厚 50nm の Ta であり、ゲート誘電体層52は膜厚が約 70nm の前記ポリイミドであり、パターン付き活性 n -チャネル材料53は膜厚が約 100nm の非ドーパアモルファス Si （ 250°C でプラズマCVD法により基板上に蒸着され、プラズマエッチングによりパターン付けされる）である。

【0041】

膜厚 $1\mu\text{m}$ のポリイミド（前記のRN-812を使用）分離層を蒸着し、酸素プラズマ（ 300mTorr 、室温）中でエッチングし、パターン付き分離層54を得た。膜厚 50nm の n^+a-Si 層55をプラズマCVD法により蒸着し、パターン付けした。ソース/ドレイン接点（膜厚 50nm の Al ）56を蒸着し、パターン付けした。

20

【0042】

この金属は、回路内の n -チャネルトランジスタ及び p -チャネルトランジスタを接続するためにも使用される。このため、この金属は、 p -チャネルトランジスタに方向に向かって若干延ばされており、そして、 p -チャネルトランジスタのソース接点を形成する。

【0043】

膜厚 $1\mu\text{m}$ の前記のポリイミド層57をスピコートし、 p -チャネルトランジスタ付近の領域からエッチングして取り除いた。膜厚 50nm の $-6T$ 層58を、マスキング又はパターン付けすることなく、昇華法により蒸着した。 p -チャネルトランジスタのドレイン接点（膜厚 50nm の Al ）59をスパッタリング法により蒸着し、パターン付けした。最終ポリイミドパッシベーション膜60をスピコートした。

30

【図面の簡単な説明】

【0044】

【図1】本発明によるインバータの相補型回路の一例の概要ブロック図である。

【図2】 n -チャネル $a-Si$ TFTの一例の電流-電圧特性を示す特性図である。

【図3】 p -チャネル $-6T$ TFTの一例の電流-電圧特性を示す特性図である。

【図4】電源電圧が 7.2V におけるインバータの一例の伝達特性を示す特性図である。

40

【図5】本発明による集積相補型回路の製造方法の一例の重要なステップを示す模式図である。

【図6】本発明による集積相補型回路の製造方法の一例の重要なステップを示す模式図である。

【図7】本発明による集積相補型回路の製造方法の一例の重要なステップを示す模式図である。

【図8】本発明による集積相補型回路の製造方法の一例の重要なステップを示す模式図である。

【図9】本発明による集積相補型回路の製造方法の一例の重要なステップを示す模式図である。

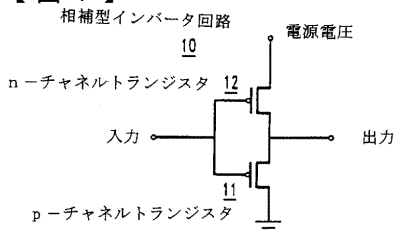
50

【符号の説明】

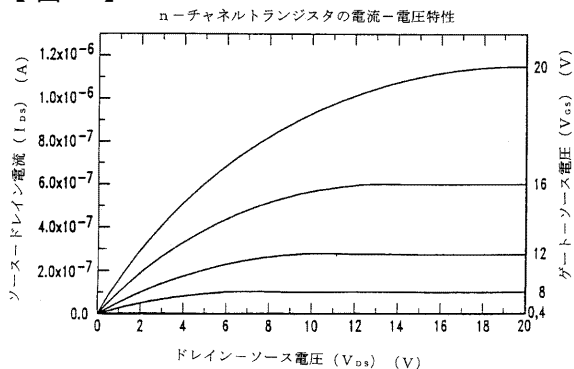
【0045】

- 10 相補型インバータ回路
- 11 n - チャネルトランジスタ
- 12 p - チャネルトランジスタ
- 50 基板
- 51 ゲート金属層
- 52 ゲート誘電体層
- 53 パターン付き活性 n - チャネル層
- 54 パターン付き分離層
- 55 n⁺a - Si 層
- 56 ソース/ドレイン接点
- 57 ポリイミド層
- 58 - 6 T 層
- 59 ドレイン接点
- 60 パッシベーション膜

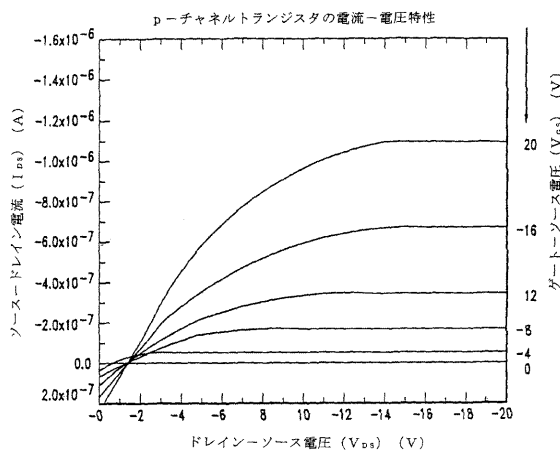
【図1】



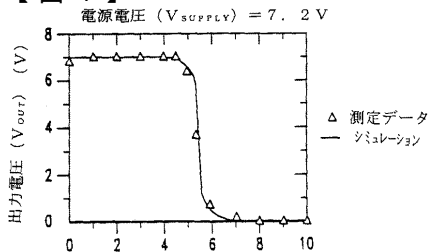
【図2】



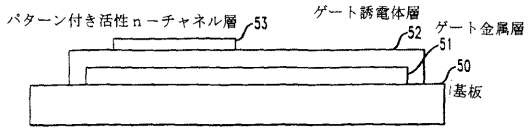
【図3】



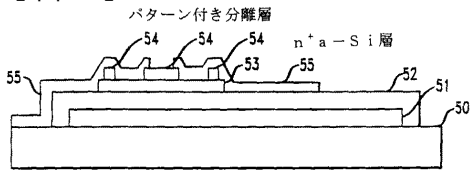
【図4】



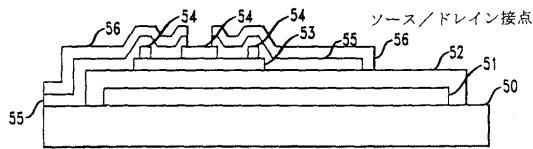
【 図 5 】



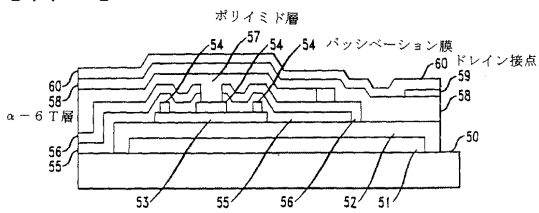
【 図 6 】



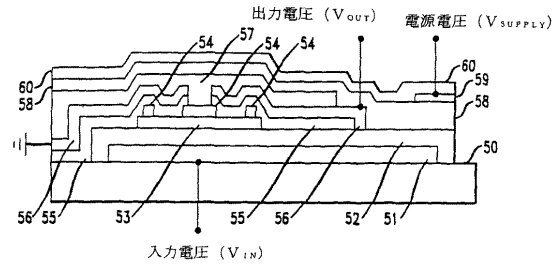
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51) Int.Cl.⁷ F I テーマコード(参考)
H O 1 L 27/08 3 2 1 B

(74)代理人 100091889
弁理士 藤野 育男

(74)代理人 100101498
弁理士 越智 隆夫

(74)代理人 100096688
弁理士 本宮 照久

(74)代理人 100102808
弁理士 高梨 憲通

(74)代理人 100104352
弁理士 朝日 伸光

(74)代理人 100107401
弁理士 高橋 誠一郎

(74)代理人 100106183
弁理士 吉澤 弘司

(72)発明者 ジョアーク バウムバッチ
アメリカ合衆国, 0 7 9 7 4 ニュージャージー, ニュー プロヴィデンス, フィフス ストリー
ト 2 8

(72)発明者 アナンス ドダバラプール
アメリカ合衆国, 0 7 9 4 6 ニュージャージー, ミリントン, ヒルトップ ロード 6 2

(72)発明者 ハワード エダン カッツ
アメリカ合衆国, 0 7 9 0 1 ニュージャージー, サミット, バトラー パークウェイ 1 3 5

F ターム(参考) 5F048 AA07 AB04 AC04 BA14 BA16 BB04 BB09 BF01 BF02
5F110 AA14 AA30 BB04 BB11 CC07 DD01 DD02 EE03 EE04 EE43
FF01 FF09 FF27 GG01 GG02 GG04 GG05 GG13 GG15 GG25
GG28 GG29 GG42 GG43 GG45 HK02 HK03 HK33 HL03 HL08
HL11 HL22 HL23 HL24 NN04 NN24 NN27 NN78