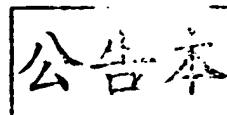


發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97130662

※申請日期：97 年 08 月 12 日

※IPC 分類：H01L 27/14 (2006.01)
H04N 5/335 (2006.01)**一、發明名稱：**

(中) 光電轉換裝置及多晶片影像感測器

(英) Photoelectric conversion device and multi-chip image sensor

二、申請人：(共 1 人)

1. 姓 名：(中) 佳能股份有限公司

(英) CANON KABUSHIKI KAISHA

代表人：(中) 1. 內田恒二

(英) 1. UCHIDA, TSUNEJI

地 址：(中) 日本國東京都大田區下丸子三丁目三〇番二號

(英) 30-2, Shimomaruko 3-chome, Ohta-ku, Tokyo, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 山崎和男

(英) YAMAZAKI, KAZUO

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 光地哲伸

(英) KOCHI, TETSUNOBU

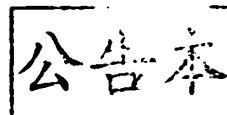
國 籍：(中) 日本

(英) JAPAN

四、聲明事項：◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/08/24 ; 2007-218330 ☒ 有主張優先權

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97130662

※申請日期：97 年 08 月 12 日

※IPC 分類：H01L 27/14 (2006.01)
H04N 5/335 (2006.01)**一、發明名稱：**

(中) 光電轉換裝置及多晶片影像感測器

(英) Photoelectric conversion device and multi-chip image sensor

二、申請人：(共 1 人)

1. 姓 名：(中) 佳能股份有限公司

(英) CANON KABUSHIKI KAISHA

代表人：(中) 1. 內田恒二

(英) 1. UCHIDA, TSUNEJI

地 址：(中) 日本國東京都大田區下丸子三丁目三〇番二號

(英) 30-2, Shimomaruko 3-chome, Ohta-ku, Tokyo, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 山崎和男

(英) YAMAZAKI, KAZUO

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 光地哲伸

(英) KOCHI, TETSUNOBU

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/08/24 ; 2007-218330 ☒ 有主張優先權

九、發明說明

【發明所屬之技術領域】

本發明係有關光電轉換裝置及多晶片影像感測器，尤其有關被使用於掃描器、視頻攝影機、數位相機等等之光電轉換裝置及多晶片影像感測器。

【先前技術】

在此之前，在使用於掃描器之讀取和供像素讀取之傳真的線性類型之光電轉換裝置中，相鄰的像素係藉由隔開半導體區域和第一導電類型的埋入(buried)區域，及第一導電類型的阻障(barrier)區域而被隔開，各像素具有一光電二極體(photodiode)，而光電二極體係由第一導電型區域及形成在該第一導電型區域中之第二導電型區域的PN接面所構成的，且第一導電型區域之PN接面係由磊晶層所構成的，此種結構被揭示於日本專利申請公開第2007-027558號案中。

【發明內容】

本發明之光電轉換裝置為一包含多個像素配置於其中之光電轉換裝置，各像素包含構成光電轉換區域之第一導電類型的第一雜質區域、構成配置於該第一雜質區域中之訊號取得(acquisition)區域之第二導電類型的第二雜質區域，其特徵在於該第一導電類型的第三雜質區域和該第一導電類型的第四雜質區域係配置而相鄰於該第一雜質區域

，在於該第四雜質區域係設置在該第二雜質區域與相鄰像素的第二雜質區域之間，及在於該第四雜質區域的雜質濃度係小於該第三雜質區域的雜質濃度。

除此之外，本發明之光電轉換裝置為一包含多個像素配置於其中之光電轉換裝置，各像素包含構成光電轉換區域之第一導電類型的第一雜質區域、構成配置於該第一雜質區域中之訊號取得區域之第二導電類型的第二雜質區域，其特徵在於該第一導電類型的第三雜質區域和該第一導電類型的第四雜質區域係配置而相鄰於該第一雜質區域，在於該第四雜質區域係設置在該第二雜質區域與相鄰像素的第二雜質區域之間，及在於該第四雜質區域的隔開寬度係小於該第三雜質區域的隔開寬度。

此外，本發明之光電轉換裝置為一包含多個像素配置於其中之光電轉換裝置，各像素包含構成光電轉換區域之第一導電類型的第一雜質區域、構成配置於該第一雜質區域中之訊號取得區域之第二導電類型的第二雜質區域，其特徵在於該第一導電類型的第三雜質區域和該第一導電類型的第四雜質區域係配置而相鄰於該第一雜質區域，在於該第四雜質區域係設置在該第二雜質區域與相鄰像素的第二雜質區域之間，及在於該第四雜質區域的深度係小於該第三雜質區域的深度。

本發明之其他特徵及優點將會從下面參照附圖所採取之說明而變得明顯，其中，在其整個圖式中，相似的參考文字表示相同或類似的部件。被併入且構成說明書的一部

分之附圖例舉本發明之實施例，連同該說明一起用來解釋本發明之原理。

【實施方式】

在下文中，將使用圖式來詳細敘述本發明。

首先，將使用圖 12 來敘述光電轉換裝置之電路的例子。圖 12 為四個像素之光電轉換部和驅動電路的等效電路，像素 a1 到 d1 包含為光電轉換部的光電二極體 (photodiode) Pda 到 PDd。此外，像素 a1 到 d1 具有構成源極隨耦器電路的放大電晶體 M3a 到 M3d，及為重設光電二極體 Pda 到 PDd 之單元的重設電晶體 M4a 到 M4d。輸出自放大電晶體 M3a 到 M3d 之訊號係經由讀取電晶體 M2a 到 M2d 而被暫時保持在累積區域 CAPa 到 CAPd 中，且經由讀取電晶體 M1a 到 M1d 而被輸出至共同訊號線 14，讓從放大電晶體到共同訊號線的電路為讀出電路。

在光電二極體 Pda 到 PDd 中，由光電轉換所產生的電荷係受到經由放大電晶體 M3a 到 M3d 電荷-電壓轉換。然後，根據該電荷之訊號係整體藉由訊號轉移脈波 ΦT 而被轉移至累積區域 CAPa 到 CAPd，源極隨耦器電路之定電流負載 Csa 到 CSd 被顯示出。然後，讀取電晶體 M1a 到 M1d 藉由供應自掃描電路 11 之讀取脈波 $\Phi a1$ 到 $\Phi d1$ 而依序被打開，且一個接著一個地變成高位準，並且經由共同訊號線 14 而從訊號輸出放大器 6 中讀出訊號。

(第一實施例)

圖 1 為在第一實施例中顯示包含三個像素之結構的平面圖。圖 1 顯示聚焦於它之圖 12 中所示的光電轉換部，圖 2A 為圖 1 中之 A-A'剖面(section)之剖面結構的示意圖，且圖 2B 為圖 1 中之 B-B'剖面之剖面結構的示意圖。除此之外，在圖 1，2A 及 2B 中，對相同的組件指定相同的參考文字。

在圖 1，2A 及 2B 中，顯示有半導體基板 100。藉此實施例，將敘述 N-型半導體基板的情況做為例子，顯示有 N-型埋入擴散層 101，及 N-型磊晶區域(第一雜質區域)102 形成於半導體基板 100。除此之外，顯示有第一 N-型元件隔開區域(第三雜質區域)103、第二 N-型元件隔開區域(第四雜質區域)104、及 P-型區域(第二雜質區域)105(其係訊號取得(acquisition)區域)，磊晶區域 102 和電荷獲得區域 105 形成 PN 接面，且構成光電轉換部。在此，讓包含一個光電轉換部的最小重複單元為一像素，兩個或更多個像素被配置在半導體基板中。

第一 N-型元件隔開區域 103 和第二 N-型元件隔開區域 104 係設置在各像素之 N-型磊晶區域 102 的周邊，且電氣式地隔開各自像素之 N-型磊晶區域 102 兩者。舉例來說，第一 N-型元件隔開區域 103 係配置在光電轉換部與讀出電路之間，第二 N-型元件隔開區域 104 係配置在與相鄰的 P-型區域 105 之間，P-型區域 105 係經由金屬電極 107 和配線 109 而被連接至讀出電路。除此之外，由虛

線所包圍的區域 106 表示 PN 接面的空乏層區域。

在為剖面視圖的圖 2A 及 2B 中，顯示有形成於 N-型磊晶區域 102 上之層間絕緣膜 108。

如圖 1 所示，各像素之光偵測器部被第一 N-型元件隔開區域 103 和第二 N-型元件隔開區域 104 所淺薄地包圍，其中，淺薄地包圍為一沿著包含各結構之光接收部分的 right 接收表面之平面所看到的組態。此外，在深度方向上，如圖 2A 所示，各像素之光偵測器部被包圍在 N-型埋入擴散層 101 和第一 N-型元件隔開區域 103 中。依據光入射到 N-型磊晶區域 102 中，由光電轉換所產生之光載子(在此，光載子為電洞)被收集進 P-型區域 105 內，且經由金屬電極 107 而被讀取入讀出電路中。在此，配線 109 和讀出電路的結構及操作被省略。而且，在元件隔開區域 103 和 104 中所產生之電荷也被收集進 P-型區域 105 內。

所產生之載子當在空乏層 106 之外時藉由擴散而一起被收集在 P-型區域 105 中，或者當空乏層 106 之內時藉由漂移而一起被收集在 P-型區域 105 中。

N-型磊晶區域 102 被形成，使得雜質濃度可能變成低於第一 N-型元件隔開區域 103、第二 N-型元件隔開區域 104、和 N-型埋入層 101 的濃度。因此，在 N-型磊晶區域 102 與第一 N-型元件隔開區域 103、第二 N-型元件隔開區域 104、和 N-型埋入層 101 之間產生有電位差，這些電位差作用，以便減少像素間之光載子的通訊流量(traffic)，

也就是串音(cross talk)。除此之外，電位差減少光載子到半導體基板 100 的沖走(wash away)，並且起作用(act)以便抑制正劣化之靈敏度。

在此，將解釋主題(subjects)。當具有元件隔開區域之像素的配置間距變窄時，會有介於 N-型的元件隔開區域與 P-型區域之間的空間變窄，並且光電二極體之 PN 接面容量(亦即，偵測電容 C_{pd})變大的情況。在此，一起被收集在 P-型區域 105 中之光載子係藉由包含 P-型區域 105 和 N-型的磊晶區域 102 之 PN 接面的偵測電容 C_{pd} 而被給予電荷-電壓轉換。讓輸出電壓為 V ，並且讓光載子的量為 Q ，且關於此電荷-電壓轉換的公式，輸出電壓 V 被表示如下：

$$V = Q / C_{pd}$$

因此，當所收集之光載子相同時，偵測電容 C_{pd} 愈大，靈敏度被退化得愈多。相反地，偵測電容 C_{pd} 愈小，輸出電壓 V 變得愈大，且有可能形成具有高靈敏度的光電轉換裝置。因此，為了達成光電轉換裝置，其能夠使用此構造之像素而獲得具有高靈敏度的良好影像，使此偵測電容 C_{pd} 小係重要的。

介於 P-型區域 105 與 N-型磊晶區域 102(其構成偵測電容的一部分)間之 PN 接面的電容 C_j 係如下(電容/單位接面面積)：

$$C_j = \frac{\epsilon_s}{W} = \sqrt{\frac{q \epsilon_s N_B}{2(V_{bi} - V)}}$$

... 公式(1)

其中， ϵ_s 表示 Si 之介電常數，且 W 表示空乏層寬度。

除此之外，在此例中， V_{bi} 表示內建(built-in)電位， V 表示所施加之電壓， q 表示基本電荷，及 N_B 表示 N-型磊晶區域 102 的雜質濃度。

因此，藉由使 N-型磊晶區域 102 的雜質濃度低，有可能使 PN 接面的接面電容小。

在此，當像素間距逐漸變窄時，元件隔開區域靠近 P-型區域而影響 PN 接面，或者構成 PN 接面。在這種情況中，公式(1)中之 N_B 的濃度變得比磊晶區域的濃度還高，或者被元件隔開區域的高雜質濃度所取代。因此，因為 PN 接面的電容 C_j 變大且輸出電壓 V 變小，所以靈敏度變差。所以，在此實施例中，提供第二 N-型元件隔開區域 104，其雜質濃度比 N-型磊晶區域 102 的雜質濃度還高，但是比第一 N-型元件隔開區域 103 的雜質濃度還低。藉由透過此結構而正被抑制之光載子的流出(flow out)，靈敏度隨著串音而被提高。

這使用先前所述之特性，即，光載子當其在空乏層區域 106 之外時藉由擴散而被收集在 P-型區域 105 中，或者當空乏層 106 之內時藉由漂移而被收集在 P-型區域 105 中。

因此，在圖 1 中，在空乏層區域 106 中所產生之光載

子藉由漂移而被收集在 P-型區域 105 中。基於此原因，如果空乏層區域 106 被加寬到接近像素邊限(limit)，則即使高濃度電位並未隔開於像素之間，所需要之光載子也能夠藉由漂移而被收集，並且也可以減少光載子在相鄰之像素間的轉移。

除此之外，在空乏層區域 106 的周邊，因為藉由形成其濃度低於第一元件隔開區域 103 之濃度的第二元件隔開區域 104，以減少元件隔開區域給予 PN 接面電容的影響，所以有可能抑制偵測電容的增加。

另一方面，為了使電位阻障(barrier)高以便藉由漂移而完全地收集在空乏層區域 106 之外所產生的光載子，第一元件隔開區域 103 隔開其對空乏層區域 106 之空乏層的影響少的區域。

因此，藉由選擇及配置第一 N-型元件隔開區域 103 或第二低-元件隔開區域 104(其濃度低於第一 N-型元件隔開區域 103 之濃度)來實施隔開。藉由這種配置，能夠使像素空間變窄，而沒有增加光電轉換部的 PN 接面電容。

因此，有可能達成光電轉換裝置，其具有不但在減少串音之增加方面而且也在高解析度像素間距方面防止靈敏度變差可同時存在這樣的像素結構。

在此，雖然第二元件隔開區域 104 係設置在矩形像素的較長側上，但是在像素係相鄰於較短側上的情況中，第二元件隔開區域 104 係設置在矩形像素的較短側上。因此，第二元件隔開區域 104 能夠被放置在最接近像素間之訊

號讀出區域的部分中。

然而，如圖 1 所示之將第二元件隔開區域 104 配置在兩個相鄰像素的 P-型區域 105 間這樣的結構在形成具有窄的像素間距之感測器時具有特別有利的功效。這是因為對空乏層之發散(*divergence*)的影響大，由於在兩個相鄰像素的 P-型區域 105 間之空間係最難確保介於元件隔開區域與 P-型區域間之距離。

圖 3A 到 3H 及圖 4A 到 4H 為用以說明圖 1，2A 及 2B 中之像素結構的製程之過程圖。圖 3A 到 3H 對應於圖 1 中之 A-A'剖面，且圖 4A 到 4H 對應於圖 1 中之 B-B'剖面。

在下文中，將使用圖形來逐步說明此實施例之光電轉換部的製造過程，為了簡化而省略構成此光電轉換裝置之讀出電路的 MOSFET 等等之製造過程的說明。

首先，如圖 3A 及圖 4A 所示，製備一 N-型半導體基板 100。

接著，如圖 3B 及圖 4B 所示，藉由離子佈植程序而形成 N-型埋入區域 101 於 N-型半導體基板 100 上。

接著，如圖 3C 及圖 4C 所示，藉由磊晶生長而形成 N-型磊晶區域 102'於 N-型埋入層 101 上。

隨後，如圖 3D 及圖 4D 所示，在離子佈植程序中，於微影程序中所載述的，第一 N-型元件隔開區域 103 係形成於 N-型磊晶區域 102'的一區域中。

接著，如圖 3E 及圖 4E 所示，藉由熱擴散來使 N-型

埋入區域 101 和第一 N-型元件隔開區域 103 擴散。

隨後，如圖 3F 及圖 4F 所示，在離子佈植程序中，於微影程序中所載述的，第二 N-型元件隔開區域 104 係形成於 N-型磊晶區域 102 的一區域中。

在此，N-型磊晶區域 101 的雜質濃度為約 $1e14$ 到 $1e15/cm^3$ ，且 N-型磊晶區域 102 和第一 N-型元件隔開區域 103 的雜質濃度為高於磊晶區域 101 的雜質濃度之濃度，且舉例來說為超過 $1e16$ 到 $1e18/cm^3$ 的濃度。希望 N-型磊晶區域 101 和第一 N-型元件隔開區域 103 具有雜質濃度差值的 10 到 100 倍或以上，以便形成用以隔開元件的電位阻障。另一方面，使第二 N-型元件隔開區域的雜質濃度為約 $1e15$ 到 $1e17/cm^3$ ，且使其雜質濃度低於第一 N-型元件隔開區域的雜質濃度，使用磷和砷做為雜質。

接著，如圖 3G 及圖 4G 所示，在離子佈植程序中，於微影程序中所載述的，P-型區域 105 係形成於 N-型磊晶區域 102 的一區域中。

最後，如圖 3H 及圖 4H 所示，形成層間絕緣膜 108 和金屬電極 107。

當被形成於圖 3E 及圖 4E 所述之熱擴散程序中時，第一 N-型元件隔開區域 103 不僅被散佈於深度方向上，而且也被散佈於橫向方向上，因此，如上所述，介於第一 N-型元件隔開區域 103 與 P-型區域 105 之間的距離很容易變短，而因此，藉由偵測電容的增加而使靈敏度變差特別很容易會造成在製造程序上的問題。

舉例來說，當第一 N-型元件隔開區域的雜質濃度為 $1e18/\text{cm}^3$ ($1 \times 10^{18}/\text{cm}^3$)，且磊晶區域的雜質濃度為 $1e14/\text{cm}^3$ 時，N-型元件隔開區域附近的磊晶區域具有介於這些值之間的雜質濃度。暫時地，假設每一 μm ，此中間濃度之外形輪廓的梯度為每 1/10 改變的梯度， $4\mu\text{m}$ 的寬度係必需的，以便 N-型元件隔開區域的 $1e18/\text{cm}^3$ 變成和磊晶區域之 $1e15/\text{cm}^3$ 的濃度相同。

也就是說，為了使會影響公式(1)中所表示之 PN 接面電容的濃度為磊晶區域中之 $1e14/\text{cm}^3$ 的雜質濃度，必須確保從第一 N-型元件隔開區域到空乏層區域之邊緣的至少 $4\mu\text{m}$ 或更多。舉例來說，在具有 2400 dpi 之線形感測器的情況中，因為像素間距變成約 $10.5\mu\text{m}$ ，所以當設有從第一 N-型元件隔開區域之一側到空乏層區域之邊緣的 $4\mu\text{m}$ 之距離，亦即，總共 $8\mu\text{m}$ 之距離時，非常難以確保空乏層區域寬度和 P-型元件隔開區域寬度。然後，假設其雜質濃度低的第二 N-型元件隔開區域為 $1e16/\text{cm}^3$ 的雜質濃度，從第二 N-型元件隔開區域到空乏層區域之邊緣的距離可以為 $2\mu\text{m}$ 或更多。

基於此原因，使用其濃度不同之第一 N-型元件隔開區域 103 和第二 N-型元件隔開區域 104 的結構特別有效地作用。除此之外，如在此製造程序中所顯示的，因為祇要第二 N-型元件隔開區域 104 係形成在第一 N-型元件隔開區域 103 的熱擴散程序之後，即有可能抑制第二 N-型元件隔開區域在橫向方向上的發散，所以獲得到高的有利

效果。

所需要的祇是選擇第二 N-型元件隔開區域在深度方向上的濃度分佈，使得空乏層區域 106 可以被最佳地形成。

除此之外，也有可能不實施離子佈植，而是藉由擴散自第一元件隔開區域 103 來形成第二元件隔開區域 104。當使用以此方式所形成之第二元件隔開區域時，獲得到和此實施例之效果相同的有利效果。

(第二實施例)

圖 5 為顯示第二實施例中包含三個像素之結構的平面圖。類似於圖 1，圖 5 顯示聚焦於圖 12 中所示之光電轉換部。圖 6A 為圖 5 中之 6A-6A 剖面(section)之剖面結構的示意圖，且圖 6B 為圖 5 中之 6B-6B 剖面(section)之剖面結構的示意圖。除此之外，相同的參考文字被指定給和圖 1，2A 及 2B 中相同的部件。有關圖 5，6A 及 6B 中的結構，和第一實施例中之組件相同的組件之說明被省略，且讀出電路並未被顯示出。

在圖 5，6A 及 6B 中，第三 N-型元件隔開區域 401 具有比第一 N-型元件隔開區域 103 之元件隔開區域寬度更窄的元件隔開區域寬度。此結構能夠藉由控制在微影程序中(舉例來說，在先前所述之形成第一 N-型元件隔開區域 103 之程序中)所指定之離子佈植區域形狀的寬度而被同時形成。在此實施例中，做成第三 N-型元件隔開區域的雜

質濃度和第一 N-型元件隔開區域的雜質濃度相同。

雖然空乏層藉由 P-型區域 105 與磊晶區域 102 之間的反向偏壓而被延伸向磊晶層，但是第三 N-型元件隔開區域 401 的寬度被設計，以免空乏層到達第三 N-型元件隔開區域 401。即使第三 N-型元件隔開區域 401 的雜質濃度高於第一 N-型元件隔開區域的雜質濃度，祇要空乏層並未到達第三 N-型元件隔開區域 401，其仍是好的。當然，第三 N-型元件隔開區域 401 的雜質濃度可以低於第一 N-型元件隔開區域的雜質濃度。

因此，有可能製造具有小的像素間距之光電轉換裝置，其靈敏度高，且可抑制串音的增加。

(第三實施例)

圖 7 為第三實施例之光電轉換裝置的平面圖。圖 7 為對應於圖 1 或圖 5 之圖形，且相同的參考數字係應用於相同的部件。

在此實施例中，其特徵在於第二 N-型元件隔開區域 104 具有比第一 N-型元件隔開區域 103 之元件隔開區域的深度更淺之元件隔開區域的深度。舉例來說，雖然第一 N-型元件隔開區域 103 係由兩層或更多層的雜質區域所建構成，但是第二 N-型元件隔開區域 104 係由一層的雜質區域所建構成。

圖 8A 到 8H 及圖 9A 到 9H 為用來說明圖 7 之像素結構之製造程序的程序圖，圖 8A 到 8H 對應於圖 7 中的 A-

A'剖面，且圖 9A 到 9H 對應於圖 7 中的 B-B'剖面。

完成的剖面視圖為圖 8H 及圖 9H，且顯示圖 8H 及圖 9H 之製程為圖 8A 到 8G 及圖 9A 到 9G。

除此之外，僅在所需要之擴散區域的四周實施製造程序的說明，且為了簡化而省略用以形成此光電轉換裝置之讀出電路之 MOSFET 等等之製造程序的說明。

除此之外，在圖 8 及圖 9 中，相同的參考文字係指定給和圖 3 及圖 4 中之組件相同的組件，且省略其說明。

首先，如圖 8A 及圖 9A 所示，製備 N-型半導體基板 100。

接著，如圖 8B 及圖 9B 所示，N-型埋入層 101 係藉由離子佈植程序而被形成於 N-型半導體基板 100 上。

之後，如圖 8C 及圖 9C 所示，具有 1×10^{14} 到 $1 \times 10^{15}/\text{cm}^3$ 之雜質濃度的 N-型磊晶區域 102' 係藉由磊晶生長而被形成於 N-型埋入層 101 上。

接著，如圖 8D 及圖 9D 所示，其留下一部分，且用於高能量離子佈植之厚膜光阻 110 被圖案化於微影程序中。

之後，如圖 8E 及圖 9E 所示，N-型擴散區域 601 係藉由 500 keV 到 2.0 MeV 或更高能量離子佈植程序，經由上述在 N-型磊晶區域 102 中的厚膜抗蝕劑而被形成於在微影程序中所指明的區域中。然後，N-型擴散區域 602 係形成於由微影程序所指明之周圍中之薄的抗蝕劑區域中。N-型擴散區域 601 的雜質濃度為 $1 \times 10^{16}/\text{cm}^3$ ($1 \times 10^{16}/\text{cm}^3$) 或更

高，且 N-型磊晶區域 102 的雜質濃度變成 $1e15$ 到 $1e17/cm^3$ 。

接著，如圖 8F 及圖 9F 所示，N-型擴散區域 603 係形成於在微影程序中所指明之 N-型磊晶區域 102 的區域中，在約 50 keV 到 200 keV 離子佈植程序中。N-型擴散區域 603 的雜質濃度變成 $1e17/cm^3$ 或更高。除此之外，在 A-A'剖面中之 N-型擴散區域 601，602 及 603 被連接做為 N-型擴散區域而變成第一 N-型元件隔開區域 103，在 B-B'剖面中之 N-型擴散區域 603 照原樣地變成第二 N-型元件隔開區域 104。

接著，如圖 8G 及圖 9G 所示，P-型區域 105 係形成於在微影程序中所指明之 N-型磊晶區域 102 的區域中，在離子佈植程序中。

最後，如圖 8H 及圖 9H 所示，形成層間絕緣膜 108 和金屬電極 107。

當處於深的位置中之 N-型雜質層 601 係形成在 B-B'剖面中時，類似於 A-A'剖面，N-型雜質層也在 B-B'剖面中被形成於和 N-型雜質層 602 相同的深度中，這是因為由於在高能量離子佈植之時所使用之厚的抗蝕劑層傾向在孔徑的附近產生下陷(sagging)，所以離子從矽表面被佈植入相對淺的位置中。藉由此 N-型雜質層來抑制空乏層從 P-型訊號獲取區域 107 散開之發散，其變成因它而使光電轉換裝置之靈敏度變差的原因。因此，其為適合來獲得低串音，且保持高靈敏度，而不使形成於深的位置中之 N-

型雜質層在獲取電極的附近之結構。

另一方面，有可能藉由使 N-型雜質區域在離開訊號獲取電極之位置中分成兩個或更多層，以抑制電荷漏洩到相鄰像素之漏洩(leaking-in)，就像 B-B'剖面一樣。

除此之外，在此實施例中，雖然以抗蝕劑形狀出現之藉由”下陷”來使隔開寬度加寬來舉例說明，但是除此之外，舉例來說，因為高能量用之厚膜光阻的細微蝕刻比通常抗蝕劑的細微蝕刻更難，所以唯有加寬隔開寬度。除此之外，在藉由熱擴散而使隔開寬度更深地到達，因為擴散不僅在深度方向上進行，而且也在橫向方向上進行，所以隔開寬度變大。

因此，通常當形成深的隔開層時，因為隔開寬度容易在橫向方向上變寬，並且當形成淺的隔開層時，所以有可能在橫向方向上形成窄的隔開寬度。

因此，在此實施例中，藉由形成第一元件隔開區域 103 於比第二 N-型元件隔開區域 104 係處於峰值濃度的位置更深的位置中，有可能達成具有可兼用於抑制靈敏度變差且減少串音之像素結構的光電轉換裝置。

雖然在上述實施例中說明了形成結合有多次的離子佈植(其中，改變佈植能量)之第一元件隔開區域 103 的情況，但是亦可藉由一個離子佈植程序來形成第一元件隔開區域 103。除此之外，也使用形成第二元件隔開區域 104 之離子佈植程序，以便形成第一元件隔開區域 103，但是以分開的離子佈植來形成它們也是好的。

雖然在上述第一到第三實施例中舉例說明了 P-型區域被設置在 N-型區域中的情況，但是本發明並不限於此，而是有可能也結合相反導電類型而獲得到相同的有利效果。

除此之外，雖然在第一到第三實施例中舉例說明且敘述了使用藉由磊晶生長而被形成於光偵測器部中之低濃度區的情況，但是本發明並不限於此。舉例來說，甚至當上述之元件隔開結構係藉由高能量離子佈植而被形成於矽基板的埋入層 101 中時，本發明仍是有效的。然後，矽基板可被使用於光偵測器部，或者分開地藉由離子佈植程序來光偵測器部，以便變成適合的雜質濃度也是好的。

在上述第一到第三實施例中，將線形感測器舉例說明且敘述成為光電轉換裝置。儘管如此，但是本發明亦可應用於二維感測器，其中，多個像素列，亦即，一 R 列，一 G 列，和一 B 列之多條線的像素列係配置於一個晶片上。在二維感測器的情況(其中，配置有一 R 列，一 G 列，和一 B 列之多條線的像素列)中，在各個中間像素列中，第二 N-型元件隔開區域(第四雜質區域)係配置在相鄰的四個像素之間。然後，在像素列的兩個邊緣的各個邊緣中，第二 N-型元件隔開區域(第四雜質區域)係配置在相鄰的三個像素之間。除此之外，自然能夠藉由配置此實施例之三組的 R 顏色，G 顏色，和 B 顏色線形感測器來建構二維感測器。

(第四實施例)

圖 10 為本發明之第四實施例中之多晶片系統的半導體影像感測器的示意圖。多個半導體影像感測器 S1 到 S(n)係安裝在供影像感測器安裝用之基板 702 上，而且第一到第三實施例之光電轉換裝置能夠被使用於它們。因此，藉由沿著多條行而配置第一到第三實施例之光電轉換裝置來建構一多晶片系統的半導體影像感測器。

圖 7 為圖 10 中之多晶片系統的半導體影像感測器之 A 部分的放大視圖。在 A 部分的放大視圖中，相同的參考符號係應用圖 1 中的相同組件，而因此其敘述被省略。圖 11 為顯示使用上述多晶片系統之半導體影像感測器之光學系統的剖面方塊圖。

圖 11 顯示一原件 801、一 SELFOC 透鏡陣列(商標名稱，係由日本玻璃片公司(Nippon Sheet Glass Co.)所製作的)803、及一供原件照明用 LED 陣列 804。亦可使用發光二極體和導光體之組合來代替供原件照明用 LED 陣列 804。

圖 10 及圖 11 中之箭號 700 顯示原件的副掃描方向，此副掃描方向上的解析度主要係由掃描間距來予以決定的。另一方面，因為在主掃描方向上的間距係由影像感測器的規格來予以決定的，所以藉由加寬在副掃描方向上的面積來提高靈敏度。

在光電轉換裝置(係以機械方式操作線形感測器中之光電轉換裝置來掃描影像)的情況中，常常是副掃描方向

上的解析度比主掃描方向上的解析度更重要。基於此原因，在此實施例中，如圖 7 所示，為了能夠兼用於解析度和靈敏度，各個矩形像素被形成而使得長寬比 (aspect ratio) 可以為 1 或 1 以上。

在矩形像素 (其在一單位像素中之主掃描方向和副掃描方向的長寬比為 1 或 1 以上) 的情況中，藉由採用將第二 N-型元件隔開區域 104 僅配置於矩形的較長側上之結構，如同在此實施例中所示，有可能達成具有高解析度和高靈敏度，且將串音方面的增加抑制到最小的多晶片影像感測器。

本發明係應用到使用於掃描器、視頻攝影機、數位相機等等之光電轉換裝置。

雖然本發明已經參照代表性實施例來做說明，但將會了解到本發明並非僅限於所揭示之代表性實施例，下面之申請專利範圍的範疇係依據最寬廣的解釋，以便包含所有如此之修正及等同的結構和功能。

【圖式簡單說明】

圖 1 係顯示包含三個像素之第一實施例之結構的平面圖。

圖 2A 係圖 1 中之 A-A'剖面 (section) 之剖面結構的示意圖，且圖 2B 係圖 1 中之 B-B'剖面之剖面結構的示意圖。

圖 3A，3B，3C，3D，3E，3F，3G 及 3H 係用以顯示

第一實施例之像素結構之半導體製造的製程圖。

圖 4A，4B，4C，4D，4E，4F，4G 及 4H 係用以顯示第一實施例之像素結構之半導體製造的製程圖。

圖 5 係顯示包含三個像素之第二實施例之結構的平面圖。

圖 6A 係圖 5 中之 6A-6A 剖面之剖面結構的示意圖，且圖 6B 係圖 5 中之 6B-6B 剖面之剖面結構的示意圖。

圖 7 係第三實施例之光電轉換裝置的平面圖。

圖 8A，8B，8C，8D，8E，8F，8G 及 8H 係用以顯示第三實施例之像素結構之半導體製造的製程圖。

圖 9A，9B，9C，9D，9E，9F，9G 及 9H 係用以顯示第三實施例之像素結構之半導體製造的製程圖。

圖 10 係使用光電轉換裝置之多晶片影像感測器的方塊圖。

圖 11 係使用光電轉換裝置之多晶片影像感測器之光學系統的圖形。

圖 12 係顯示光電轉換裝置之例子的電路圖。

【主要元件符號說明】

a1-d1：像素

M3a-M3d：放大電晶體

PDa-PDd：光電二極體

M4a-M4d：重設電晶體

M2a-M2d：讀取電晶體

CAPa-CAPd：累積區域

14：共同訊號線

M1a-M1d：讀取電晶體

11：掃描電路

6：訊號輸出放大器

100：半導體基板

101：N-型埋入擴散層

102：N-型磊晶區域(第一雜質區域)

103：第一N-型元件隔開區域(第三雜質區域)

104：第二N-型元件隔開區域(第四雜質區域)

105：P-型區域(第二雜質區域)

106：空乏層區域

107：金屬電極

109：配線

102'：N-型磊晶區域

401：第三N-型元件隔開區域(像素區域)

110：厚膜光阻

601：N-型擴散區域

602：N-型擴散區域

603：N-型擴散區域

108：層間絕緣膜

107：P-型訊號取得區域

702：基板

801：原件

803 : SELFOC 透 鏡 陣 列

804 : 原 件 照 明 用 LED 陣 列

五、中文發明摘要

發明之名稱：光電轉換裝置及多晶片影像感測器

使像素間距變窄而沒有增加 PN 接面電容，一光電轉換裝置包含多個像素配置於其中，各像素包含構成光電轉換區域之第一導電類型的第一雜質區域、構成配置於該第一雜質區域中之訊號取得區域之第二導電類型的第二雜質區域、該第一導電類型的第三雜質區域和該第一導電類型的第四雜質區域係配置在各個像素之用以隔開各個像素的周邊中，該第四雜質區域係設置在相鄰的像素之間，且該第四雜質區域的雜質濃度係小於該第三雜質區域的雜質濃度。

六、英文發明摘要

發明之名稱：PHOTOELECTRIC CONVERSION DEVICE AND MULTI-CHIP IMAGE SENSOR

A pixel space is narrowed without increasing PN junction capacitance. A photoelectric conversion device includes a plurality of pixels arranged therein, each including a first impurity region of a first conductivity type forming a photoelectric conversion region, a second impurity region of a second conductivity type forming a signal acquisition region arranged in the first impurity region, a third impurity region of the first conductivity type and a fourth impurity region of the first conductivity type are arranged in a periphery of each pixel for isolating the each pixel, the fourth impurity region is disposed between adjacent pixels, and an impurity concentration of the fourth impurity region is smaller than an impurity concentration of the third impurity region.

圖 1

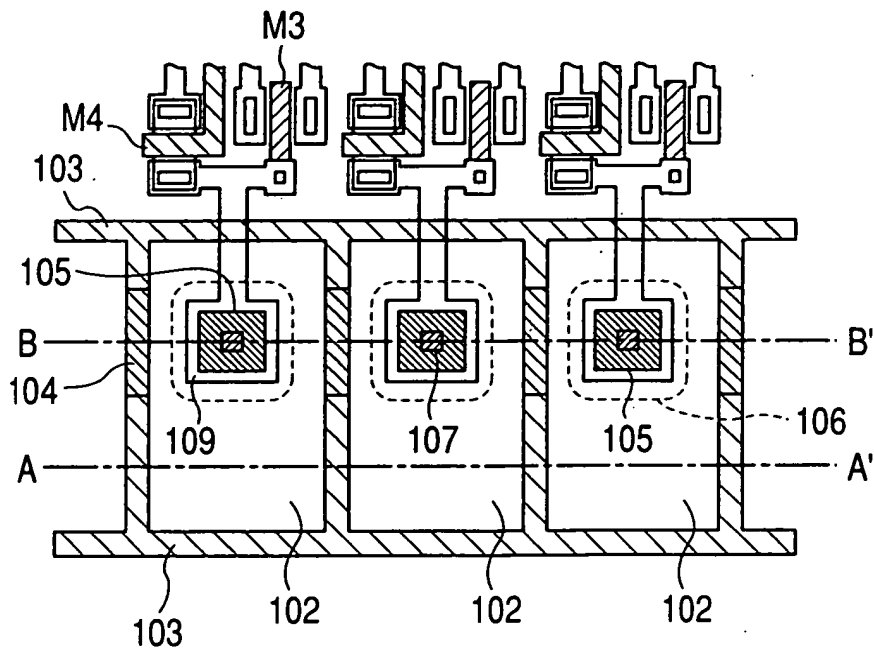


圖 2A

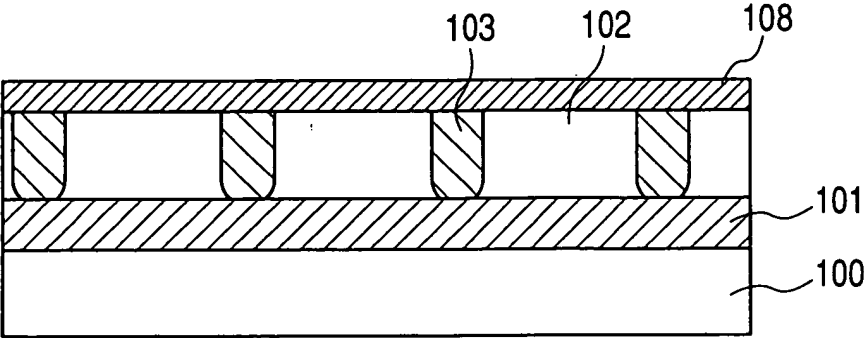


圖 2B

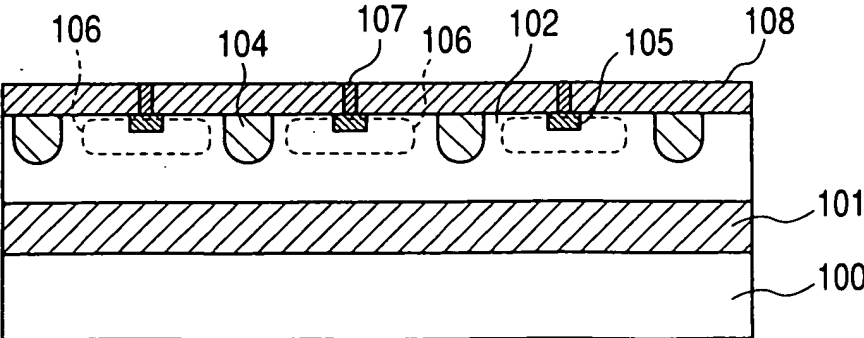


圖 3A

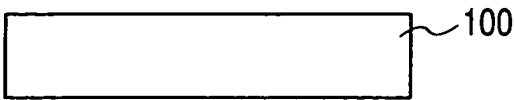


圖 3B

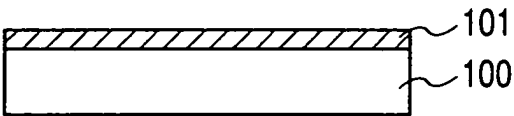


圖 3C

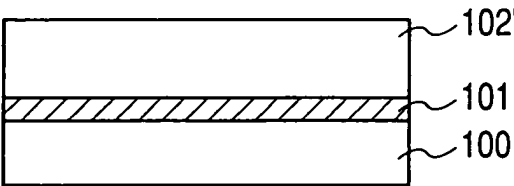


圖 3D

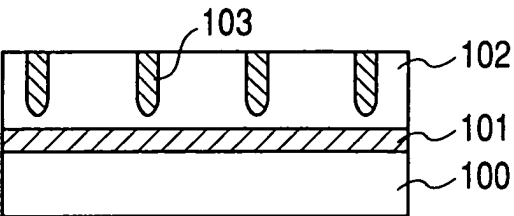


圖 3E

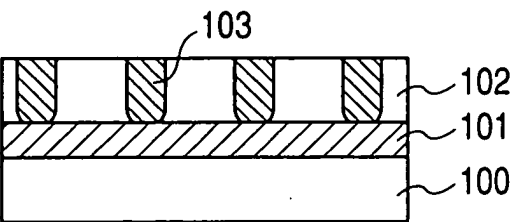


圖 3F

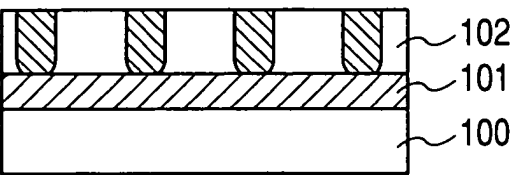


圖 3G

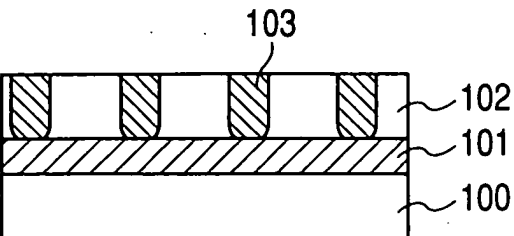
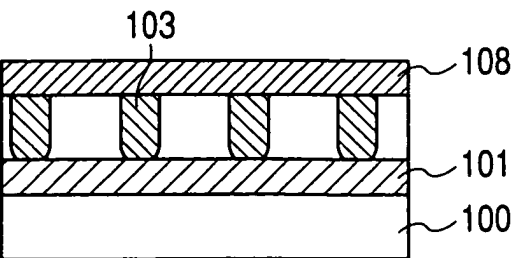


圖 3H



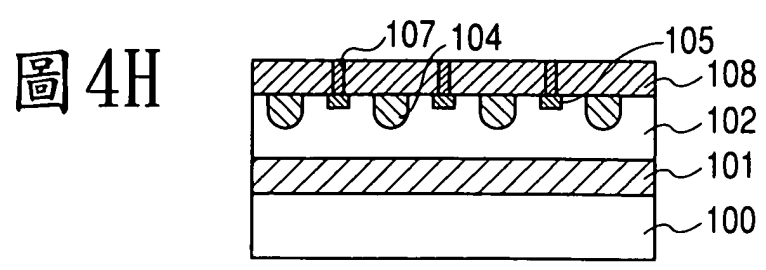
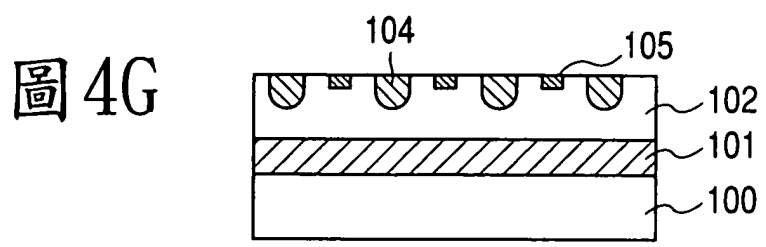
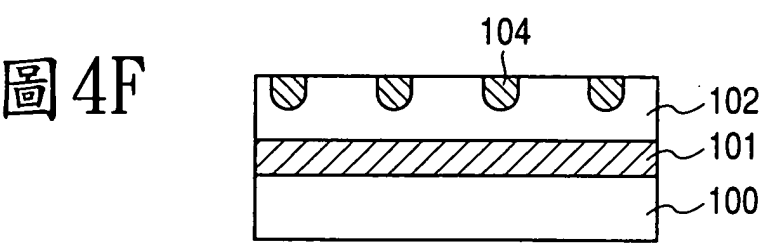
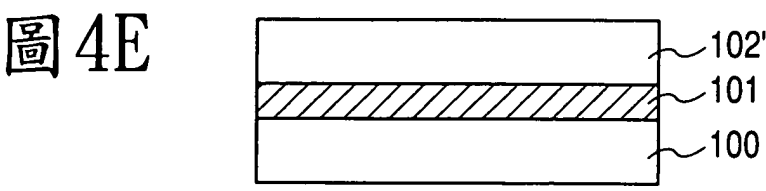
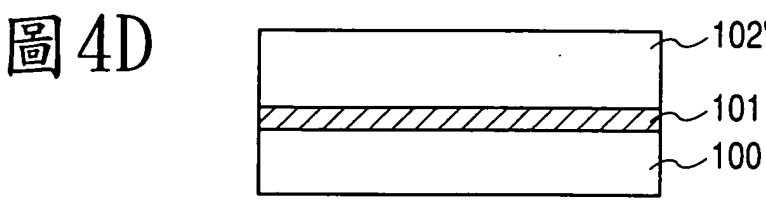
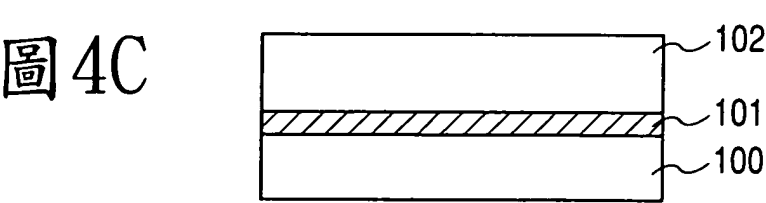
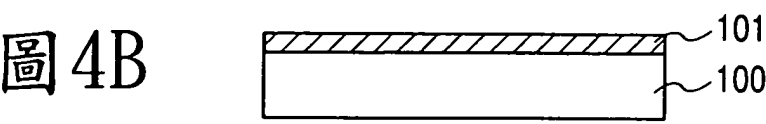
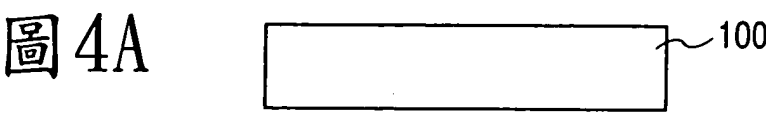


圖5

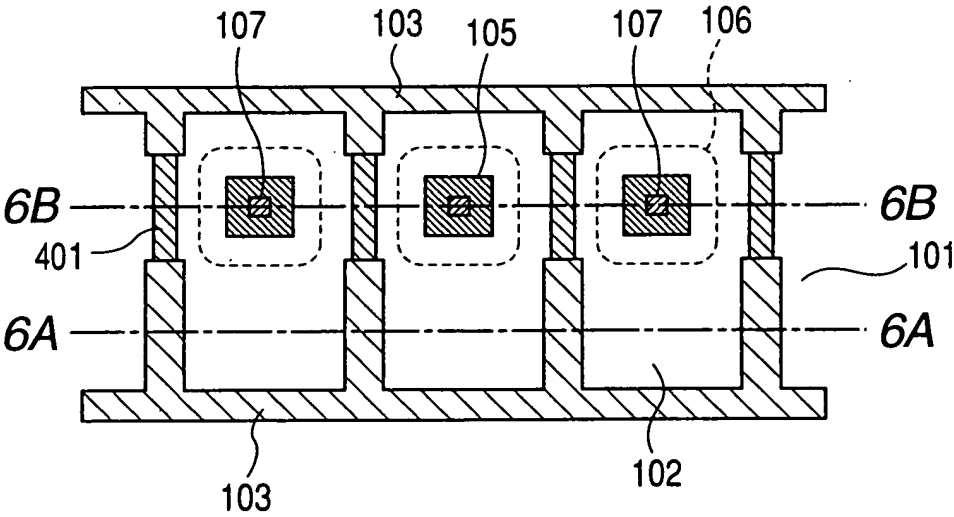


圖 6A

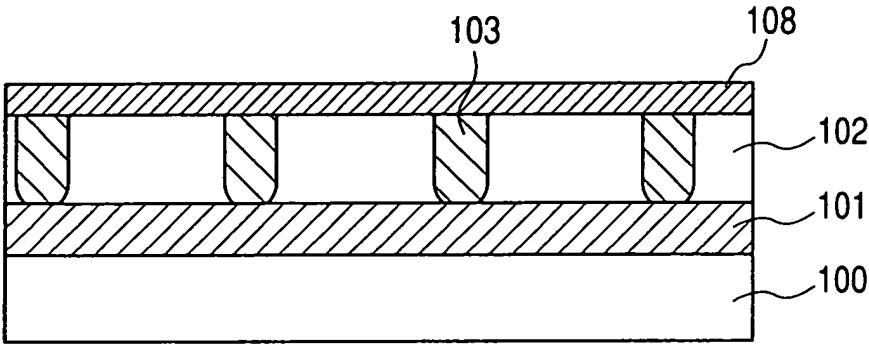


圖 6B

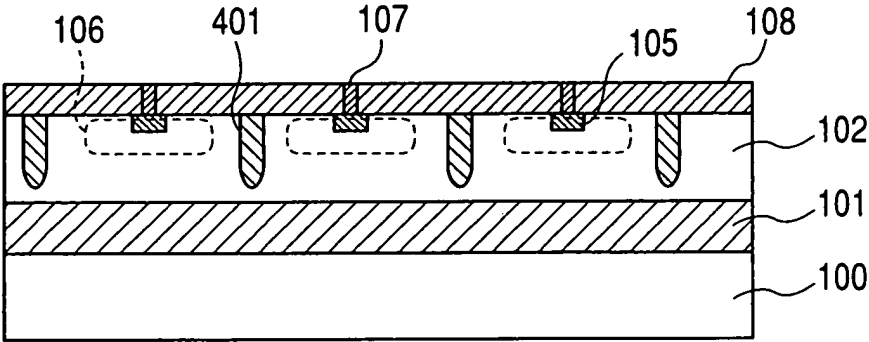
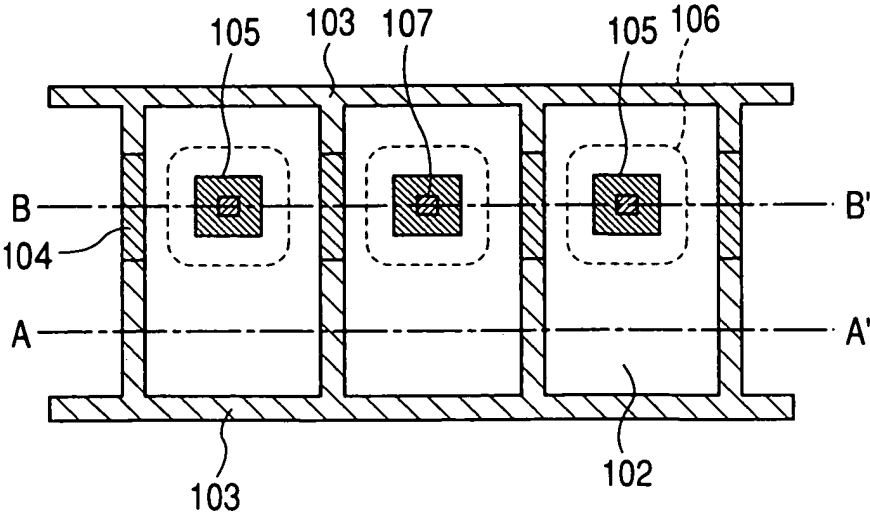
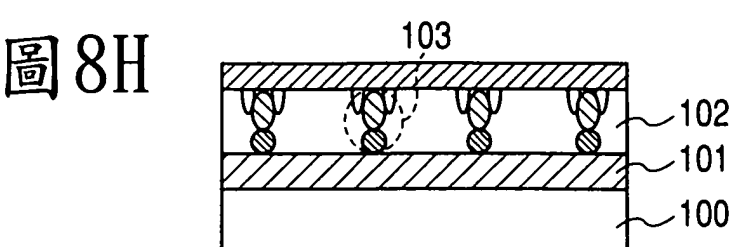
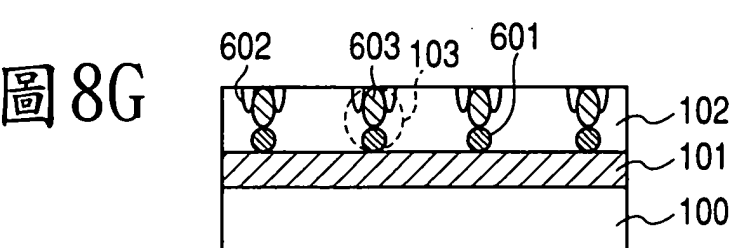
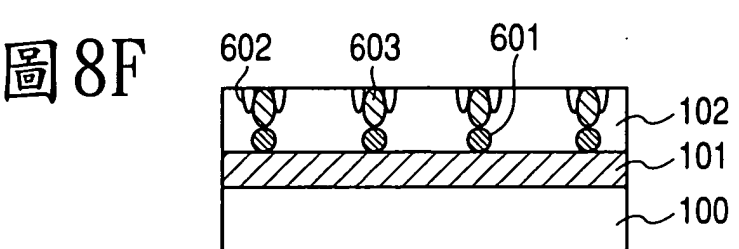
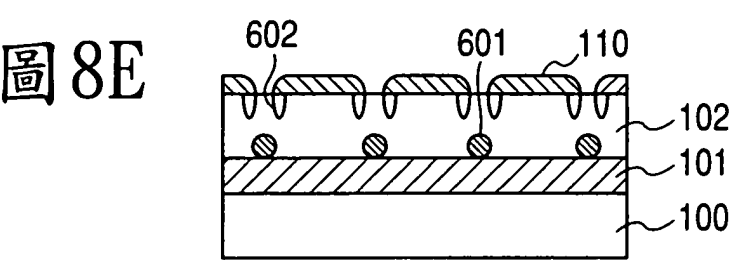
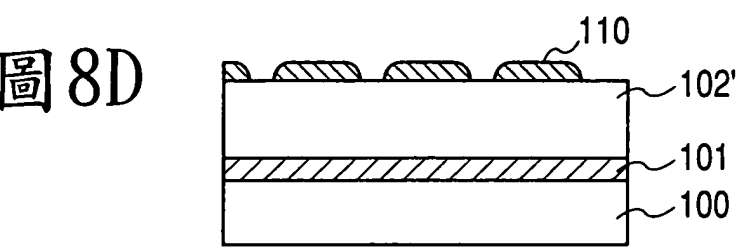
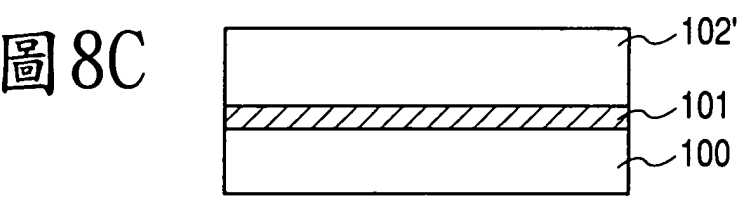
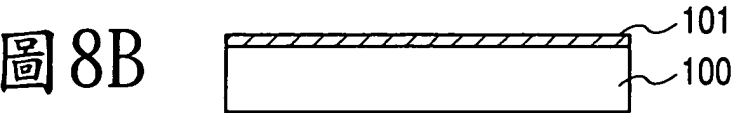
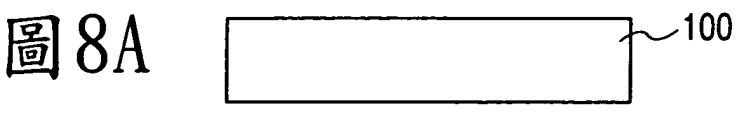


圖 7





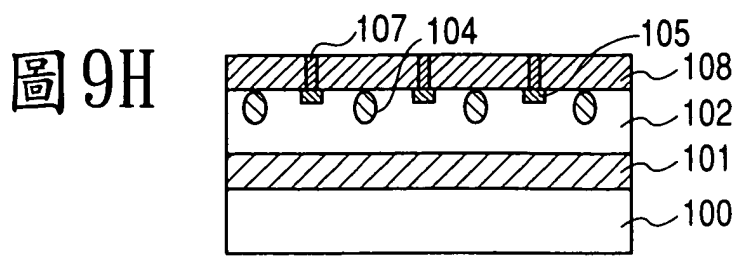
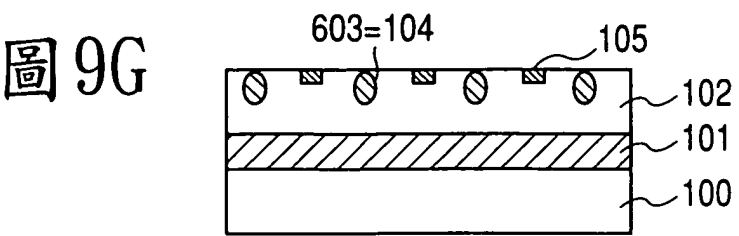
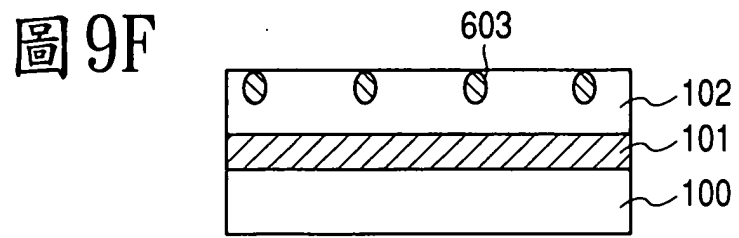
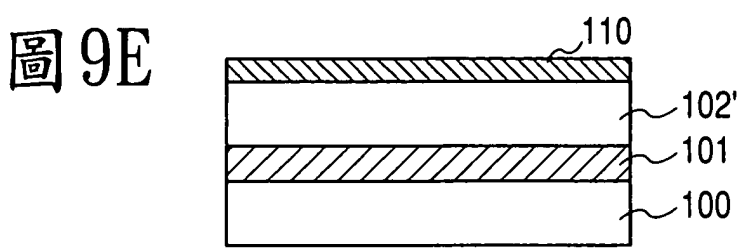
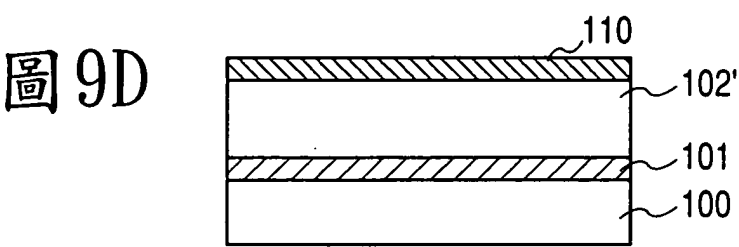
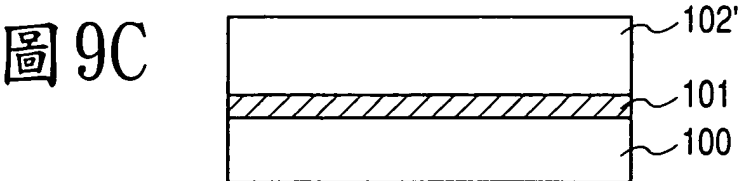
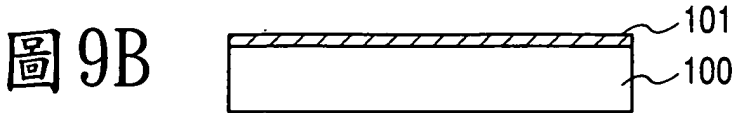
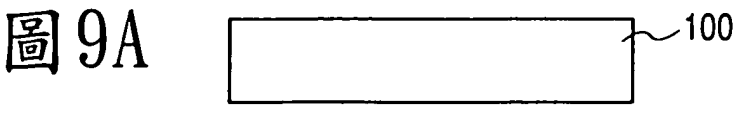


圖 10

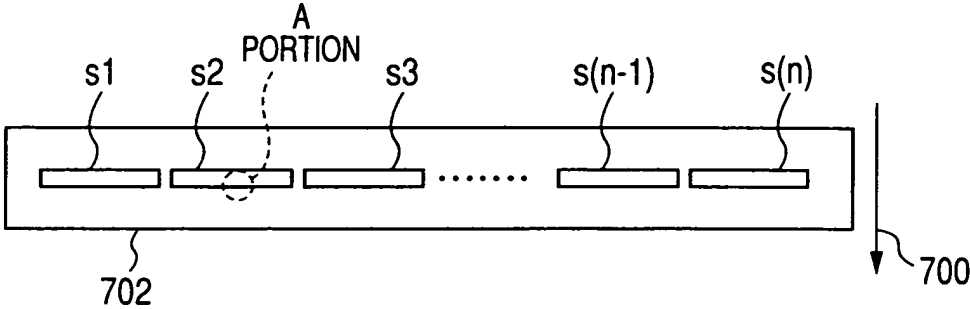


圖 11

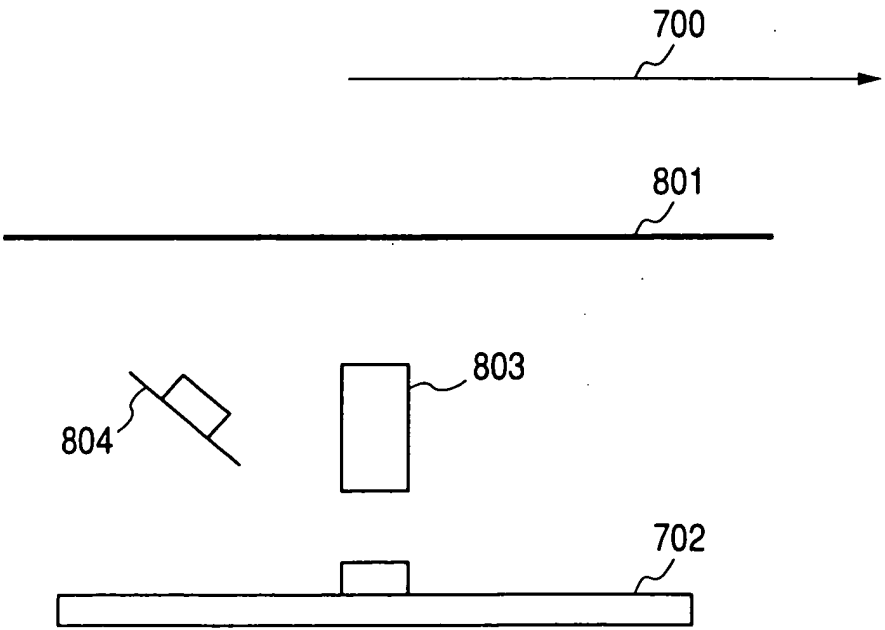
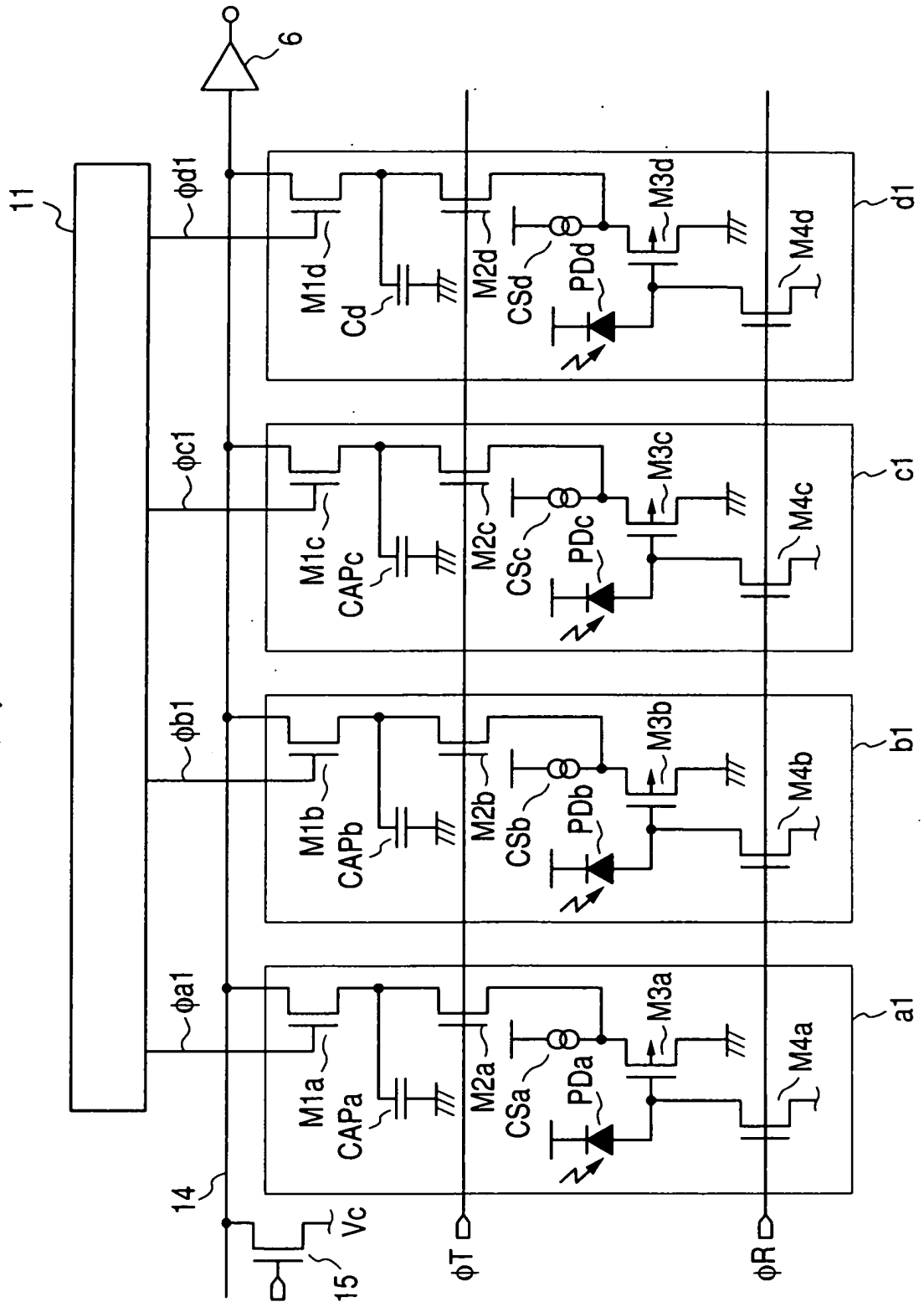


圖12



七、指定代表圖

(一)、本案指定代表圖為：第 (1) 圖

(二)、本代表圖之元件代表符號簡單說明：

102：N-型磊晶區域(第一雜質區域)

103：第一 N-型元件隔開區域(第三雜質區域)

104：第二 N-型元件隔開區域(第四雜質區域)

105：P-型區域(第二雜質區域)

106：空乏層區域

107：金屬電極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

第 097130662 號專利申請案中文申請專利範圍修正本

民國 101 年 4 月 9 日修正

十、申請專利範圍

101年4月9日修正本

1. 一種光電轉換裝置，包括：

多個光電轉換區域，該多個光電轉換區域各自包含第一導電類型的第一雜質區域，及操作為配置於該第一雜質區域中之訊號取得區域之第二導電類型的第二雜質區域，

該第一導電類型的第三雜質區域，及

該第一導電類型的第四雜質區域，係配置而相鄰於該第一雜質區域，其中

對於該多個光電轉換區域的至少一個光電轉換區域而言，在平行於該光電轉換區域之光接收表面的平面中，該第一雜質區域被該第三雜質區域和該第四雜質區域所包圍，

該第四雜質區域係設置在該第二雜質區域與相鄰於該第二雜質區域的另一個第二雜質區域之間，及

該第四雜質區域的雜質濃度係小於該第三雜質區域的雜質濃度。

2. 一種光電轉換裝置，包括：

多個光電轉換區域，該多個光電轉換區域各自包含第一導電類型的第一雜質區域，及操作為配置於該第一雜質區域中之訊號取得區域之第二導電類型的第二雜質區域，

該第一導電類型的第三雜質區域，及

該第一導電類型的第四雜質區域，係配置而相鄰於該

第一雜質區域，其中

對於該多個光電轉換區域的至少一個光電轉換區域而言，在平行於該光電轉換區域之光接收表面的平面中，該第一雜質區域被該第三雜質區域和該第四雜質區域所包圍，

該第四雜質區域係設置在該第二雜質區域與相鄰於該第二雜質區域的另一個第二雜質區域之間，及

該第四雜質區域的隔開寬度係窄於該第三雜質區域的隔開寬度。

3.一種光電轉換裝置，包括：

多個光電轉換區域，該多個光電轉換區域各自包含第一導電類型的第一雜質區域，及操作為配置於該第一雜質區域中之訊號取得區域之第二導電類型的第二雜質區域，

該第一導電類型的第三雜質區域，及

該第一導電類型的第四雜質區域，係配置而相鄰於該第一雜質區域，其中

對於該多個光電轉換區域的至少一個光電轉換區域而言，在平行於該光電轉換區域之光接收表面的平面中，該第一雜質區域被該第三雜質區域和該第四雜質區域所包圍，

該第四雜質區域係設置在該第二雜質區域與相鄰於該第二雜質區域的另一個第二雜質區域之間，及

該第四雜質區域的深度係小於該第三雜質區域的深度。

4.如申請專利範圍第 1、2 和 3 項中任一項之光電轉換裝置，其中：

該第四雜質區域係配置在至少最接近於該訊號取得區域之區域中。

5.如申請專利範圍第 1、2 和 3 項中任一項之光電轉換裝置，其中：

該第三雜質區域能夠隔開該第二雜質區域，及

該第四雜質區域能夠隔開該第二雜質區域。

6.如申請專利範圍第 1、2 和 3 項中任一項之光電轉換裝置，其中：

該第二雜質區域具有矩形形狀，使得該第四雜質區域係沿著該矩形形狀之該區域的較長側來予以配置。

7.如申請專利範圍第 1、2 和 3 項中任一項之光電轉換裝置，另包括：

多個放大電晶體，分別用於該多個光電轉換區域的各個光電轉換區域。

8.如申請專利範圍第 7 項之光電轉換裝置，其中：

該第二雜質區域和該放大電晶體的閘極電極係藉由配線來予以連接。

9.如申請專利範圍第 1、2 和 3 項中任一項之光電轉換裝置，其中：

該光電轉換裝置係包含在配置於影像感測器之至少一條線中的多個光電轉換裝置中。

10.一種多晶片影像感測器，其包括多個沿著多條行

而配置之光電轉換裝置，各個光電轉換裝置係設置如申請專利範圍第 1、2 和 3 項中任一項之光電轉換裝置。

11.如申請專利範圍第 10 項之多晶片影像感測器，另包括濾色器。