(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3790641号
(P3790641)
(45)発行日　平成18年6月28日(2006.6.28)　(24)登録日　平成18年4月7日(2006.4.7)

(51)Int.Cl.		F I		
G11C 11/41	(2006.01)	G11C	11/34	K
G11C 11/413	(2006.01)	G11C	11/34	301A
		G11C	11/34	345

請求項の数 5　外国語出願　(全 13 頁)

(21)出願番号　特願平11-144039
(22)出願日　平成11年5月24日(1999.5.24)
(65)公開番号　特開2000-36197(P2000-36197A)
(43)公開日　平成12年2月2日(2000.2.2)
審査請求日　平成14年6月27日(2002.6.27)
(31)優先権主張番号　084,689
(32)優先日　平成10年5月26日(1998.5.26)
(33)優先権主張国　米国(US)

(73)特許権者　398038580
ヒューレット・パッカード・カンパニー
HEWLETT－PACKARD COMPANY
アメリカ合衆国カリフォルニア州パロアルト　ハノーバー・ストリート　3000
(74)代理人　100099623
弁理士　奥山　尚一
(74)代理人　100096769
弁理士　有原　幸一
(74)代理人　100107319
弁理士　松島　鉄男

最終頁に続く

(54)【発明の名称】列インタリーブド・アレイのためのマルチポート・スタティック・ランダム・アクセス・メモリ

(57)【特許請求の範囲】
【請求項１】
記憶メモリであって、
複数のビット線を有するデータ・バスと、
複数の記憶セルと、
を備え、
前記複数の記憶セルの各々が、
ビット値が記憶される記憶ノードと、
複数の書き込みポートであって、前記書き込みポートの各々が、前記複数のビット線の各１つに結合され、かつそれに対応している、複数の書き込みポートと、
複数の書き込み選択回路であって、前記選択回路の各１つが、前記複数の書き込みポートの各１つに対応し、かつ、前記記憶ノードを前記対応する書き込みポートに接続するように、各ワード線選択信号と各列選択信号とによって制御可能である、複数の書き込み選択回路と、
を有し、
各記憶セルにおける前記複数の書き込み選択回路の各々が、異なる各ワード線選択信号と、同一の各列選択信号とを受信する、記憶メモリ。
【請求項２】
同一列選択信号によりアドレス指定可能な、前記複数の記憶セルの各々の前記書き込み選択回路の各々が、前記同一列選択信号により制御される、請求項１に記載の記憶メモリ。

【請求項３】
前記複数の書き込み選択回路の各々が、前記各ワード線選択信号により制御可能な第１のスイッチと、前記各列選択信号よって制御可能な第２のスイッチとを備えている、請求項１に記載の記憶メモリ。
【請求項４】
前記複数の書き込み選択回路の各々が、前記対応するビット線と前記記憶ノードとの間に、第２のＦＥＴと直列結合されている第１のＦＥＴを備えている、請求項１に記載の記憶メモリ。
【請求項５】
前記記憶メモリの同一行にある、前記複数の記憶セルの各対の前記複数の書き込みポートが、前記データ・バスの、異なる各共有経路に結合されている、請求項１に記載の記憶メモリ。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、一般に、メモリ素子の分野に関するものであり、とりわけ、列インタフェース・サポートを組み込んだ、複数書き込みポート・スタティック・ランダム・アクセス・メモリ（ＳＲＡＭ）に関するものである。
【０００２】
【発明の背景】
スタティック・ランダム・アクセス・メモリ（ＳＲＡＭ）は、コンピュータ・プロセッサ・ベースのシステムにおいて不可欠のコンポーネントである。ＳＲＡＭチップには、一般に、それぞれ、単一のデジタル・ビット値を記憶する、数百万の個別記憶セルが含まれている。先行技術によるＳＲＡＭセルは、単一ポート式であった、すなわち、単一書き込み経路を介して、セルの読み取り／書き込みが可能であった。しかし、最近では、単一機械サイクルの間に、メモリへの／メモリからの複数データの転送を必要とする用途、及び、記憶すべきデータがいくつかの異なる情報源から得られる用途の場合、マルチポートＳＲＡＭセルが一般的になってきている。マルチポートＳＲＡＭアレイの典型的な用途には、中央演算処理装置（ＣＰＵ）に利用される高速汎用レジスタ、及び、命令及びデータのメモリ管理に利用される高速キャッシュ・メモリが含まれる。マルチポートＳＲＡＭは、ｎのデータ入力／出力（Ｉ／Ｏ）ポートを備え、単一読み取りまたは書き込みサイクルの間に、ｎの独立したデータ転送を可能にする。
【０００３】
ＳＲＡＭは、一般に、個別記憶セルのアレイとして実施される。最も基本的なＳＲＡＭアレイの場合、行数は、メモリ内のアドレス可能なワード数に一致し、列数は、各ワードのビット数に一致する。この構成の場合、所定のアドレスにマッピングされたワード線によって、アドレス指定された行における各記憶セルの１対のパス・ゲートが起動して、それぞれの記憶セルが異なるそれぞれのビット線に結合される。読み取り操作の場合、所定のワードに関するワード線が起動して、各記憶セルからの記憶データが、セルの使用可能になったパス・ゲートを介して、記憶セルのそれぞれのビット線に結合される。書き込み操作の場合、データは、それぞれのビット線のそれぞれに結合され、アドレス指定されたワードに対応するワード線が起動して、セルのパス・ゲートが、ビット線に存在するデータをアドレス指定された行のそれぞれの記憶セルのそれぞれに結合できるようになる。このアドレス指定方式の場合、各ビット線は、所定の列の全てのセルに結合される。大型ＳＲＡＭアレイの場合、この構成によって、ビット線が極めて長くなり、従って、記憶セルのアクセス時間が長くなる。従って、最新のＳＲＡＭは、より正方形に近いアレイ構成が得られるようにするため、列インタリービングを利用しており、これによって、ビット線の長さ及び記憶セルのアクセス時間が最短に抑えられる。
【０００４】
列インタリービングは、アレイの異なる領域間に所定のワードの各ビットを分散して、ビ

ット・エラー・レートを低下させるためにも利用される。概して云えば、ＳＲＡＭチップの同じ領域内の記憶セルは、それぞれ、共通の破損事象を被りやすい。記憶セルの破損は、例えば、静電気の放電（ＥＳＤ）事象の結果として、または、アルファ粒子の衝撃によって生じる場合が多い。これらの事象は、単一記憶セルが占めるよりもはるかに大きいチップ領域に影響を及ぼす。従って、メモリ・チップの異なる部分間にメモリ・ビットをインタリーブすることによって、同じワードにおけるいくつかの隣接ビットが同じ事象のために破損する確率が、低下する。従って、破損事象が生じても、一般に、どの所定のワードにおいても、破損状態になるのは単一または少数のビットだけである。列インタリービング技法によれば、どの所定の時点においても、破壊状態になる可能性があるのは単一または少数のビットだけであるため、破壊事象が生じても、奇偶検査及びエラー訂正符号（ＥＣＣ）のような標準的エラー訂正技法を利用して、各破壊バイトまたはワードを回復することが可能である。

【０００５】

ＳＲＡＭは、ワードのアドレス指定が可能である、すなわち、共通ワードのあるビットを記憶している全ての記憶セルが、同時にアクセスされる。複数書き込みポートＳＲＡＭの場合、各記憶セルの異なる書き込みポートを介して、どの所定のワードのビットにもアクセス可能である。各記憶セルの各書き込みポートは、個別のワード線信号によって起動される。従って、単一ワード線信号によって、ワードに存在するビットと同じ数のＳＲＡＭセルの書き込みポートが起動されるので、あるビットが、ワードの他のビットのどれかと異なるポートから読み取られる場合（例えば、所定のワードの異なるビットが、異なる情報源から、または、異なるクロック・サイクルの間に、従って、異なる書き込みポートを介して書き込まれることになる場合）、実際には、いくつかのセルの書き込みポートが、そのポートを介してそのセルへのデータの書き込みが行われていなくても、起動される可能性がある。これは、当該技術において「ダミー読み取り」と呼ばれる。ビット線の事前充電の結果として、記憶セルの記憶ノードに加えられる追加電荷のために、ダミー読み取りを実施する記憶セルによって記憶される値の故意ではない反転を生じる場合が多い。従って、安定のため、マルチポートＳＲＡＭは、一般に、シングル・エンド記憶セルの場合の１つのビット線及び１つのアクセス・トランジスタではなく、記憶セルの書き込みに２つのビット線と２つのアクセス・トランジスタを必要とする、差動回路技法を利用して実施される。

【０００６】

先行技術によるＳＲＡＭセルの場合、各追加書き込みポートは、ビット線の追加差動対と、もう１組の関連ビット線選択回路要素を必要とする。追加書き込みポートをＳＲＡＭの記憶セルに追加することに関する不利な点は、従って、ＳＲＡＭ回路構成のサイズが大幅に拡大することである。

【０００７】

ＳＲＡＭセルの実施に必要なビット線、選択回路要素、及び、記憶セル・コンポーネントの数を最小限にとどめる、複数書き込みポート・シングル・エンドＳＲＡＭセルへの要求が存在する。

【０００８】

【発明の概要】

本発明は、列選択を組み込んだ、シングル・エンド複数書き込みポートＳＲＡＭ設計を提供することによって、これらの目的の全てを実現する。本発明によれば、列選択スイッチが、各ＳＲＡＭセルに組み込まれるので、所定のセルに対する書き込みによって、列インタリーブド・アレイの同じワード線に接続された他のセルが影響を受けることはもはやない。ＳＲＡＭセルの望ましい雑音余裕も容易に達成される。全てのインタリーブド・セルの書き込みデータ線が、単一データ線によって共用されるので、必要なビット線の数が少なくなる。

【０００９】

ＳＲＡＭチップは、メモリ・ワードの各ビット毎に１つずつの、複数の列インターリーブ

・グループに分割される。各列インターリーブ・グループには、列をなすように配置された複数の記憶セルが含まれている。

【００１０】

各記憶セルには、ビット値が書き込まれる記憶ノードと、記憶セルへの書き込みを可能にする、いくつかの異なる書き込み経路に対応する複数の書き込みポートが含まれている。記憶セルの各書き込みポートは、それぞれのワード線選択信号及びそれぞれの列選択信号に応答して、ビット線をセルの記憶ノードにスイッチ可能に接続する書き込み選択回路要素に結合されている。所定の記憶セルの各書き込みポートに関連した書き込み選択回路要素を制御するそれぞれのワード線選択信号は異なるが、それぞれの列選択信号は同じである。同じ列内に存在する各書き込みポートに関連した書き込み選択回路要素は、同じそれぞれの列選択信号を受信する。書き込み選択回路要素は、望ましい実施態様の場合、セルの入力ポートと、それがサービスを提供しているそれぞれの書き込みビット線の間に共に結合された、１対の直列に結合されたｎチャネル電界効果トランジスタ（ＮＦＥＴ）を利用して実施される。直列に接続されたＮＦＥＴの一方は、ワード線選択信号によって制御され、もう一方は、列選択信号によって制御される。

【００１１】

【詳細な説明】

本発明の新規の特徴については、図１～３に例示の先行技術を参照することによってより理解が深まるであろう。図１は、従来のｍ×ｎのＳＲＡＭアレイ１００に関するブロック図である。アレイ１００には、ｍ行とｎ列をなすように配置された複数の記憶セル１１０が含まれている。各記憶セル１１０は、相互排除及び自己保全の２つの動作状態の一方における動作を特徴とする、ビット値を保持している。各動作状態によって、可能性のある２つの２進ビット値の一方、０または１が定義される。一般的な先行技術によるＳＲＡＭアレイ１００は、差動回路技法を利用して実施される。各記憶素子１００には、任意の所定の時間に、互いに逆の電圧レベルを維持する、本明細書において、それぞれ、駆動Ｉ／Ｏポート１１２及び逆Ｉ／Ｏポート１１４と呼ばれる、１対の差動入力／出力（Ｉ／Ｏ）ポート１１２、１１４が設けられている。

【００１２】

同じ列内にある各記憶セル１１０は、ＣＬ０及びＣＬＯ’～ＣＬｎ－１及びＣＬｎ－１’として示される（列０～ｎの場合）共通の差動ビット線対ＣＬ及びＣＬ’を共用する。各記憶セル１１０は、ＷＬ０～ＷＬｍ－１として位置的に示されるワード線信号ＷＬに応答して、記憶セル１１０の差動入力／出力１１２、１１４をその列のそれぞれの差動ビット線対ＣＬ及びＣＬ’に結合する。列選択回路要素（不図示）は、読み取られるべきまたは書き込まれるべき特定のセルの差動ビット線対ＣＬ及びＣＬ’を選択する。ワード選択回路要素（不図示）は、所望の記憶セル１１０のワード線信号ＷＬを起動する。最も単純な実施態様の場合、ワードの各ビットは、セル・アレイの同じ行内に存在する。他の構成の場合、ビット・エラー・レートを低下させるため、所定のワード線の各ビットは、ＳＲＡＭアレイの異なる領域内に存在する。特定の記憶セル１１０の読み取りには、所望の記憶セルのワード線信号ＷＬを起動して、セルのそれぞれの差動Ｉ／Ｏポート１１２、１１４をその対応する列のビット線ＣＬ及びＣＬ’に接続することが必要になる。所望の記憶セル１１０に対する書き込みには、まず、セルのそれぞれの列のビット線ＣＬ及びＣＬ’に選択された相補論理電圧を印加し、次に、セルのワード線信号ＷＬを起動して、論理電圧をセルのそれぞれのＩ／Ｏポート１１２、１１４に接続することが必要になる。この結果、出力が強制的に選択された論理電圧になり、記憶セルに電力が供給されている限り、または、記憶セルの書き換えが行われるまで維持される。

【００１３】

図２は、列インタリーブが施された複数書き込みポートＳＲＡＭアレイの一部の略ブロック図である。記憶セルは、等しく２２０で示されている。図２は、ｎビット・ワードを想定しているが、この場合、ｎビット・ワードの各ビットは、複数のインタリーブ・グループ２１０＿０～２１０＿ｎ－１の異なる１つに配置されている。各セル２２０は、それぞ

れ、ワード線Ｗ０及びＷ１によって使用可能になる２つの書き込みポートを支援する。

【００１４】

図３は、２つの書き込みポートによる実施例を例示した、従来の複数書き込みポート記憶セル２２０の概略図である。記憶セル２２０には、一般に、相互結合されて、双安定フリップ・フロップを形成する第１と第２のインバータ２０２及び２０４が含まれている。インバータ２０２及び２０４は、ｎチャネル駆動トランジスタＮ１及びＮ２と、ｐチャネル負荷トランジスタＰ１及びＰ２によって形成されている。

【００１５】

駆動トランジスタＮ１及びＮ２のソース領域は、一般的には回路アースである、ＶＳＳで表示の低基準電圧または回路供給電圧に結合される。負荷トランジスタＰ１及びＰ２は、ＶＤＤで表示の高基準電圧または回路供給電圧と対応する駆動トランジスタＮ１及びＮ２のドレインの間に直列に接続されている。負荷トランジスタＰ１及びＰ２のゲートは、対応する駆動トランジスタＮ１及びＮ２のゲートに接続されている。

【００１６】

インバータ２０２は、駆動トランジスタＮ１のドレインと負荷トランジスタＰ１のドレインによって形成されたインバータ出力Ｄ１’を備えている。同様に、インバータ２０４は、駆動トランジスタＮ２のドレインと負荷トランジスタＰ２のドレインによって形成されたインバータ出力Ｄ１を備えている。インバータ２０２は、駆動トランジスタＮ１のゲートと負荷トランジスタＰ１のゲートによって形成されたインバータ入力Ｄｉｎ’を備えている。インバータ２０４は、駆動トランジスタＮ２のゲートと負荷トランジスタＰ２のゲートによって形成されたインバータ入力Ｄｉｎを備えている。

【００１７】

インバータ２０２及び２０４の入力及び出力は、相互結合されて、１対の相補性状態出力を備えたフリップ・フロップを形成している。すなわち、インバータ出力Ｄ１’が、インバータ入力Ｄｉｎに相互接続され、インバータ出力Ｄ１が、インバータ入力Ｄｉｎ’に相互接続されている。この構成において、インバータ出力Ｄ１及びＤ’１は、フリップ・フロップの相補性２状態出力を形成している。

【００１８】

第１の書き込みポートは、１対のアクセス・トランジスタＮ３及びＮ４を用いて実施される。アクセス・トランジスタＮ３は、相互結合されたインバータ出力Ｄ１’に接続された１つのアクティブ端子を備えている。アクセス・トランジスタＮ４は、相互結合されたインバータ出力Ｄ１に接続された１つのアクティブ端子を備えている。相補性ビット線対Ｂ０及びＢ０’は、それぞれ、それぞれのアクセス・トランジスタＮ３及びＮ４のアクティブ端子に接続されている。第１の書き込みポート・アクセス・トランジスタＮ３及びＮ４は、第１のワード線信号ＷＬ０によってスイッチがオンになり、差動ビット線ＢＬ０及びＢＬ０’をインバータ出力Ｄ１及びＤ１’に結合する。

【００１９】

第２の書き込みポートは、１対のアクセス・トランジスタＮ５及びＮ６を利用して実施される。アクセス・トランジスタＮ５は、相互結合されたインバータ出力Ｄ１’に接続された１つのアクティブ端子を備えている。アクセス・トランジスタＮ６は、相互結合されたインバータ出力Ｄ１に接続された１つのアクティブ端子を備えている。相補性ビット線対Ｂ１及びＢ１’は、それぞれ、それぞれのアクセス・トランジスタＮ５及びＮ６のアクティブ端子に接続されている。第２の書き込みポート・アクセス・トランジスタＮ５及びＮ６は、第１のワード線信号ＷＬ１によってスイッチがオンになり、差動ビット線ＢＬ１及びＢＬ１’をインバータ出力Ｄ１及びＤ１’に結合する。

【００２０】

第１の書き込みポートを介した記憶セル２２０への書き込みは、まず、列のビット線Ｂ０及びＢ０’に選択された相補論理電圧を印加し、次に、ワード線信号ＷＬ０を起動して、論理電圧をインバータ出力Ｄ１及びＤ１’に接続することによって実施される。これによって、出力Ｄ１及びＤ１’は強制的に選択された論理電圧になり、記憶セル２２０に電力

が供給されている限り、または、記憶セル２２０の書き換えが行われるまで維持される。第２の書き込みポートを介した記憶セル２２０への書き込みは、まず、列のビット線Ｂ１及びＢ１’に選択された相補論理電圧を印加し、次に、ワード線信号ＷＬ１を起動して、論理電圧をインバータ出力Ｄ１及びＤ１’に接続することによって実施される。

【００２１】

記憶セル２２０は、２つの異なる出力電圧に対応する、２つの安定または自己保全動作状態を有するため、双安定性であると言われる。外部刺激がなければ、記憶セル２２０は、その２つの動作状態のうちの一方の状態による動作を継続する。記憶セル２２０は、電力の供給を受け続けている限りは、記憶セル２２０の動作状態に対応する安定出力電圧を維持する内部フィードバックを備えている。記憶セル２２０によって生じる２つの可能性のある出力電圧は、一般に、高回路供給電圧ＶＤＤ及び低回路供給電圧ＶＳＳに対応する。高回路供給電圧ＶＤＤと低回路供給電圧ＶＳＳの間の中間出力電圧は、一般に、記憶セル２２０のパワー・アップの短い期間中、及び、一方の動作状態からもう一方の動作状態への遷移中を除けば発生しない。

【００２２】

従来のＳＲＡＭ設計では、シングル・エンド・セル設計に比べて優れた雑音余裕度及びセル安定性が得られるようにするため、差動回路技法が用いられる。シングル・エンド記憶セル設計の場合、セルの読み取りまたは書き込みは、単一列ビット線及び単一アクセス・トランジスタを介して実施される。しかし、シングル・エンド記憶セル設計には問題がある。所定の記憶セルのアクセスが、例えば、Ｎ４またはＮ６のような単一アクセス・トランジスタを介して、例えば、セル２２０のＤ１のような記憶セルの片側からだけしか行われなければ、セルが低論理レベル（すなわち、「０」）を記憶している場合の、セル２２０の読み取り操作によって、記憶値が不安定な状態にさらされる。ビット線Ｂ０及びＢ１は、事前充電によって高になるため、アクセス・トランジスタＮ４またはＮ６が、ダミー読み取り操作中にオンになると、電荷がＤｉｎ’に蓄積されて、インバータ２０２、従って、インバータ２０４の反転を生じる可能性があり、その結果、セル２２０のＤ１に保持された記憶値が、低論理レベル（すなわち「０」）から高論理レベル（すなわち「１」）に反転する。この望ましくない影響を回避するため、一般に、２つのことが実施される。第１に、ＮＦＥＴ　Ｎ２、Ｎ４、及び、Ｎ６のサイズが、読み取り操作中にＤ１に蓄積される電荷が、インバータ２０２を反転させるには不十分になるように設計される。この条件が満たされると、高論理レベル（すなわち「１」）の書き込みが不可能になる。第２に、インバータ２０４が、それぞれ、やはり、事前充電によって高になっている差動ビット線Ｂ０’またはＢ１’に同時に結合される。これは、読み取り操作中、インバータ２０４の反転を阻止するため、Ｉ／ＯポートＤ１を高論理レベル（すなわち「１」）に維持するのに役立つ。Ｄ１における高論理レベル（すなわち「１」）の書き込み操作中、差動ビット線Ｂ０’またはＢ１’が駆動されて、低論理レベル（すなわち、「０」）になり、同時に、Ｉ／ＯポートＤ１’が低論理レベルに結合される。

【００２３】

図２に戻ると、各記憶セル２２０の２つの書き込みポートが、それぞれ、ワード線ＷＬ０及びＷＬ１によって起動し、それぞれ、Ｉ／Ｏポートを差動ビット線Ｂ０、Ｂ０’、または、Ｂ１、Ｂ１’に結合する。図２の構成から分かるように、ワードの異なる各ビットは、ＳＲＡＭ２００の異なる４重列インタリーブ・グループ２１０＿０～２１０＿ｎ－１から得られるものである。各列インタリーブ・グループ２１０＿０～２１０＿ｎ－１は、隣接ビット・エラーを減少させるため、ＳＲＡＭ２００の異なる部分に存在する。ＳＲＡＭ２００の各セル２２０への書き込みは、ポート０とポート１のいずれかを介して行うことが可能である。例えば、ポート０を介して、行０、列３に配置された各インタリーブ・グループ２１０＿０～２１０＿ｎ－１のセルに書き込み、同時に、ポート１を介して、行ｍ０、列０に配置された各インタリーブ・グループ２１０＿０～２１０＿ｎ－１のセルに書き込むことが所望されるものと仮定する。ワード線ＷＬ０＿０によって、各インタリーブ・グループ２１０＿０～２１０ｎ－１の列ＣＯＬ０、ＣＬＯ１、及び、ＣＬＯ２に配置さ

れたセル２２０の対応する書き込みポートが、それらのセルに対するデータの書き込みが行われていなくても、起動する。同様に、ＷＬ１＿ｍによって、各インタリーブ・グループ２１０＿０～２１０ｎ－１の列ＣＯＬ１、ＣＬＯ２、及び、ＣＬＯ３に配置されたセル２２０の対応する書き込みポートが、それらのセルに対するデータの書き込みが行われていなくても、起動する。この例から明らかなように、所定のワード線ＷＬ０＿ｘまたはＷＬ１＿ｘのどれもが、同じ行ｘにおける各記憶セル２２０の同じポートを起動するので、先行技術のＳＲＡＭ構成を利用すると、ダミー読み取りを回避することができない。記憶セル２２０は、それに備わっている限りの書き込みポートによるダミー読み取りを被る可能性がある。従って、図３に示すように構成された２つの書き込みポート・セルは、同時に２つのダミー読み取りを被る潜在的可能性がある。従来の技術のセクションで述べたように、セルが被る同時ダミー読み取りが増加すればするほど、記憶セル２２０のＩ／ＯポートＤ１に蓄積する電荷の量も増大し、許容可能な雑音余裕要件内におけるセルの設計が困難になる。

【００２４】

記憶セルに追加書き込みポートを追加する場合に、許容可能な雑音余裕限界を維持する難しさに加えて、図２からも分かるように、全ての追加書き込みポートが、追加個別セットをなす差動ビット線と、関連する列選択回路要素を必要とする。従って、単一書き込みポートの実施には、差動ビット線対Ｂ０、Ｂ０’と、図示の４：１マルチプレクサのような列選択回路要素２２０＿０が必要になる。第２の書き込みポートを追加するには、もう１対の差動ビット線Ｂ１、Ｂ１’と、もう１つの列選択回路２２０＿１が必要になる。記憶セルにさらに多くの書き込みポートを追加する場合、その実施には、各追加ポート毎に、もう１対のビット線と、もう１つの列選択回路が必要になる。従って、コンポーネント数及び必要なチップ領域は、追加書き込みポートが各ＳＲＡＭセルに追加されると、急速に増大する。

【００２５】

図４には、本発明によるＳＲＡＭアレイのインタリーブ・グループの単一４重列インタリーブ行４００に関する概略図が示されている。行４００には、それぞれが、それぞれ、４０２ａ、４０２ｂ、４０２ｃ、４０２ｄとして示された記憶ノード４０２を備える、４１０ａ、４１０ｂ、４１０ｃ、及び、４１０ｄとして示された、複数のｋポート記憶セル４１０が含まれている。各記憶セル４１０は、そのそれぞれの記憶セル４１０を検出し、その読み取りを可能にする、それぞれ、４０８ａ、４０８ｂ、４０８ｃ、４０８ｄとして示された読み取り選択回路要素４０８に結合されている。読み取り選択回路要素４０８は、本発明の書き込み選択回路要素と同じにすることもできる、あるいは、図４に示すように、それとは別個に実施することも可能である。各記憶セル４１０への書き込みは、それぞれ、４５０ａ０、４５０ｂ０、４５０ｃ０、４５０ｄ０；４５０ａ１、４５０ｂ１、４５０ｃ１、４５０ｄ１；４５０ａ２、４５０ｂ２、４５０ｃ２、４５０ｄ２；４５０ａ３、４５０ｂ３、４５０ｃ３、４５０ｄ３として各セル毎に示された、ｋの異なる書き込みポート４５０ａ、４５０ｂ、．．．、４５０ｋの１つを介して行われる。各書き込みポート４５０ａ、４５０ｂ、．．．、４５０ｋは、それぞれの独立したビット線Ｄａ、Ｄｂ、．．．、Ｄｋに結合されている。各記憶セル４１０の書き込みポート４５０ａ、４５０ｂ、．．．、４５０ｋは、書き込み選択回路要素４５２ａ、４５２ｂ、．．．、４５２ｋを介して、それぞれ、４０２ａ、４０２ｂ、４０２ｃ、４０２ｄとして示されたセルの記憶ノード４０２に結合されている。

【００２６】

記憶セル４１０ａ、４１０ｂ、４１０ｃ、及び、４１０ｄの書き込み選択回路要素４５２ａ、４５２ｂ、．．．、４５２ｋは、それぞれ、４５２ａ０、４５２ｂ０、．．．、４５２ｋ０；４５２ａ１、４５２ｂ１、．．．、４５２ｋ１；４５２ａ２、４５２ｂ２、．．．、４５２ｋ２；及び、４５２ａ３、４５２ｂ３、．．．、４５２ｋ３として示されている。書き込み選択回路要素４５２ａ、４５２ｂ、．．．、４５２ｋは、ワード線信号ＷＬｘ及び列選択信号ＣＯＬｙを受信して、所定のビット線Ｄａ、Ｄｂ、．．．Ｄｋに存在す

るデータが、記憶セル４１０のそれぞれ独立した書き込みポート４５０ａ、４５０ｂ、．．．、４５０ｋに転送されるか否かを判定する。望ましい実施態様の場合、書き込み選択回路要素は、それぞれの独立したビット線Ｄａ、Ｄｂ、．．．、Ｄｋと記憶セル４１０のそれぞれの書き込みポート４５０ａ、４５０ｂ、．．．、４５０ｋの間に結合された、２つの直列に接続されたＮＦＥＴ４１２及び４１４を利用して実施される。それぞれの独立したビット線Ｄａ、Ｄｂ、．．．、Ｄｋは、それぞれ、隣接する記憶セル４１０ａと４１０ｂの間、及び、４１０ｃと４１０ｄの間で共用される。ＮＦＥＴ４１２の一方は、そのゲートで受信するワード線信号ＷＬｘによって制御され（ここで、ｘはポート番号を表す）、もう一方のＮＦＥＴ４１４は、そのゲートで受信する列選択信号ＣＯＬｙによって制御される（ここで、ｙは列番号を表す）。ＮＦＥＴスイッチ４１２を制御するワード線選択信号ＷＬｘは、所定の行４００における各セル４１０の同様の各書き込みポートに関して同一である。例えば、ワード線選択信号ＷＬａは、書き込みポート４５０ａ０のＮＦＥＴ４１２ａ０、書き込みポート４５０ａ１のＮＦＥＴ４１２ａ１、書き込みポート４５０ａ２のＮＦＥＴ４１２ａ２、及び、書き込みポート４５０ａ３のＮＦＥＴ４１２ａ３を制御する。同様に、ワード線選択信号ＷＬｋは、それぞれのＮＦＥＴ４１２ｋ０、４１２ｋ１、４１２ｋ２、及び、４１２ｋ３を制御する。ＮＦＥＴスイッチ４１４を制御する列選択信号ＣＯＬｙは、所定の行４００における各ＮＦＥＴスイッチ４１４毎に異なる。例えば、列選択信号ＣＯＬ０は、それぞれの書き込みポート４５０ａ０、４５０ｂ０、４５０ｋ０のそれぞれのＮＦＥＴスイッチ４１４ａ０、４１４ｂ０、４１４ｋ０を制御し；列選択信号ＣＯＬ１は、それぞれの書き込みポート４５０ａ１、４５０ｂ１、４５０ｋ１のそれぞれのＮＦＥＴスイッチ４１４ａ１、４１４ｂ１、４１４ｋ１を制御し；列選択信号ＣＯＬ２は、それぞれの書き込みポート４５０ａ２、４５０ｂ２、４５０ｋ２のそれぞれのＮＦＥＴスイッチ４１４ａ２、４１４ｂ２、４１４ｋ２を制御し；列選択信号ＣＯＬ３は、それぞれの書き込みポート４５０ａ３、４５０ｂ３、４５０ｋ３のそれぞれのＮＦＥＴスイッチ４１４ａ３、４１４ｂ３、４１４ｋ３を制御する。当該技術者には明らかなように、ＮＦＥＴスイッチ４１２及び４１４の位置は、入れ換えることが可能であり、それでも、本発明の範囲内に留まることになる。また、書き込み選択回路要素４５２ａ、４５２ｂ、４５２ｃ、４５２ｄは、ｐチャネル電界効果トランジスタ及び相補形論理回路、または、他の任意の同等物を利用して実施できることも明らかである。

【００２７】

動作時、特定の書き込みポートの書き込み選択回路要素を制御するワード線信号ＷＬｘと列選択信号ＣＯＬｙの両方が、起動すると、それぞれの書き込み選択回路要素に結合されたそれぞれのビット線Ｄａ、Ｄｂ、．．．、Ｄｋに存在するデータは、それぞれの記憶セル４１０の記憶ノード４０２に転送される。例えば、ビット線Ｄｋに存在するデータが、記憶セル４１０ｄに書き込まれることになるものと仮定する。記憶セル４１０ｄは、列３に配置され、ビット線Ｄｋは、書き込みポート４５０ｋにスイッチ可能に結合される。従って、信号ＣＯＬ３及びＷＬｋは、両方とも、起動し、ビット線Ｄｋの値が、記憶セル４１０ｄの入力ポート４０２ｄに転送される。この例の場合、ＣＯＬ３が起動し、従って、ＮＦＥＴスイッチ４１４ａ３、４１４ｂ３、．．．、４１４ｋ３が、全てオンになる。しかし、ＷＬａ、ＷＬｂ、．．．、ＷＬｋは起動しないので、書き込みポート４５０ａ３、４５０ｂ３、．．．、４５０ｋ３のＮＦＥＴスイッチ４１４ａ３、４１４ｂ３、．．．、４１４ｋ３は、オフのままであり、ビット線Ｄａ、Ｄｂ、．．．、Ｄｋが記憶セル４１０ｄの記憶ノード４０２ｄから分離されることによって、ダミー読み取りが記憶セル４１０ｄに生じるのが阻止される。同様に、ＷＬｋが起動し、従って、ＮＦＥＴスイッチ４１２ｋ０、４１２ｋ１、４１２ｋ２、及び、４１２ｋ３が、全てオンになる。しかし、ＣＯＬ０、ＣＯＬ１、及び、ＣＯＬ２は起動しないので、ＮＦＥＴスイッチ４１４ｋ０、４１４ｋ１、４１４ｋ２はオフであり、このため、ビット線Ｄｋがそれぞれの記憶セル４１０ａ、４１０ｂ、及び、４１０ｃｄの記憶ノード４０２ａ、４０２ｂ、４０２ｃから分離されることによって、ダミー読み取りが記憶セル４１０ａ、４１０ｂ、または、４１０ｃに生じるのが阻止される。従って、本発明の設計によれば、実施される書き込みポート数に関

係なく、ダミー読み取り操作が排除される。従って、ダミー読み取りと組み合わせられたビット線の事前充電に起因する記憶セルの不安定性は、もはや問題ではなく、このため、差動論理を実施する必要がなくなる。従って、必要なビット線及び選択コンポーネントの数を削減するため、シングル・エンド設計が実施される。さらに、雑音余裕レベルが、書き込みポート数に関係なく容易に達成され、用いられるＦＥＴのサイズは、先行技術によるマルチポートＳＲＡＭよりも小さくすることが可能である。さらに、本発明によれば、雑音余裕に影響を及ぼすことなく、所望される数だけの書き込みポートを記憶セルに追加することも可能である。

【００２８】

例示のように、本発明の場合、ビット線及び列選択回路コンポーネントは、複数の記憶セル間において共用されるので、チップ領域が縮小される。主データ・バスＤａ、Ｄｂ、．．．、Ｄｋは、各列対間において分岐している（すなわち、列０と列１の間に、Ｄａ＿０、Ｄｂ＿０、．．．、Ｄｋ＿０として表示され、２と列３の間に、Ｄａ＿１、Ｄｂ＿１、．．．、Ｄｋ＿１として表示されている）。データ・バス・ブランチＤａ＿０、Ｄｂ＿０、．．．、Ｄｋ＿０は、記憶セル４０２ａと４０２ｂの間で共用され、データ・バス・ブランチＤａ＿１、Ｄｂ＿１、．．．、Ｄｋ＿１は、記憶セル４０２ｃと４０２ｄの間で共用される。これは、各列毎に独立したブランチを必要とし、ブランチ当たり書き込みポート当たり２つのビット線を必要とする先行技術の設計と対照的であると言えよう。本発明のシングル・エンド設計によれば、十分な安定性と雑音余裕レベルが得られるので、差動論理の必要がなくなり、このため、必要とされる垂直トラック数、従って、必要な領域の量が減少する。

【００２９】

図５は、図２の先行技術によるＳＲＡＭ２００との比較のため、インタリーブ・グループ５１０＿０、．．．、５１０＿ｊ－１と共に示された、本発明によるＳＲＡＭ５００のブロック図である。同じインタリーブ・グループ５１０＿０、．．．、５１０＿ｊ－１のメンバである本発明によるＳＲＡＭの全ての記憶セルは、それぞれ、［Ｄａ、Ｄｂ、．．．、Ｄｋ］＿０、．．．、［Ｄａ、Ｄｂ、．．．、Ｄｋ］＿ｊ－１として示された１組のビット線を含む共通データ・バスを共用している。シングル・エンド書き込みが実施されると、各列毎に２つの独立したビット線を必要とする、差動マルチポートＳＲＡＭの要件が削除されるので、必要なビット線の数が先行技術に比べて激減する。それぞれのビット線経路（すなわち、図４のＤａ＿０、Ｄｂ＿０、．．．、Ｄｋ＿０、及び、Ｄａ＿１、Ｄｂ＿１、．．．、Ｄｋ＿１）も、同じ行内に存在する隣接列において対をなすセルによって共用することが可能であり、従って、ＳＲＡＭチップのサイズは、さらに、激減する。

【００３０】

ここまで、本発明の例証となる、現在のところ望ましい実施態様について解説してきたが、もちろん、本発明の概念は、別様のさまざまな実施及び利用が可能であり、付属の請求項は、先行技術による制限のある場合を除いて、こうした変更を含むと解釈されることを意図したものである。

【図面の簡単な説明】

【図１】先行技術によるＳＲＡＭアレイのブロック図である。

【図２】先行技術による列インタリーブド・メモリ・アレイの一部に関する概略図である。

【図３】先行技術によるマルチポート記憶セルの概略図である。

【図４】本発明によるＳＲＡＭアレイのインタリーブ・グループの行に関する概略図である。

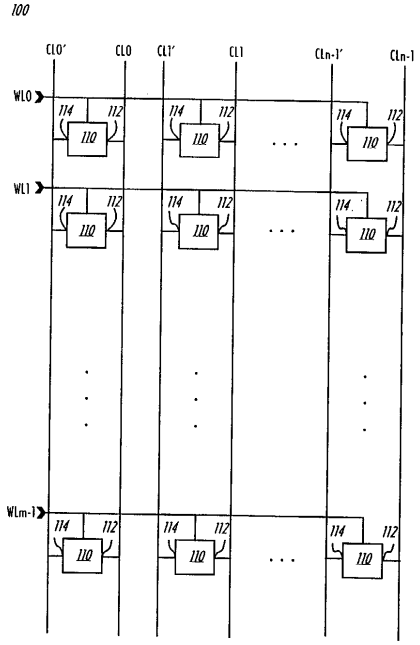
【図５】本発明による列インタリーブドＳＲＡＭアレイのブロック図である。

【符号の説明】

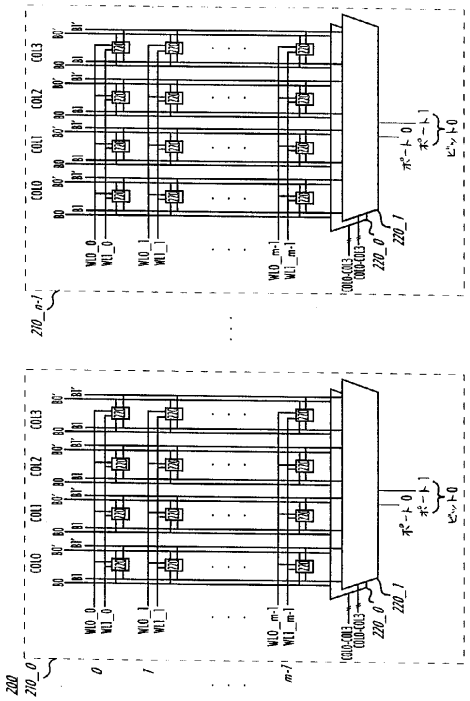
４０２ａ　記憶ノード
４０２ｂ　記憶ノード
４０２ｃ　記憶ノード

４０２ｄ	記憶ノード
４１０ａ	記憶セル
４１０ｂ	記憶セル
４１０ｃ	記憶セル
４１０ｄ	記憶セル
４１２	第１のスイッチ
４１４	第２のスイッチ
４５０ａ	書き込みポート
４５０ｂ	書き込みポート
４５０ｋ	書き込みポート
４５２ａ	書き込み選択回路
４５２ｂ	書き込み選択回路
４５２ｋ	書き込み選択回路
５１０＿０	インタリーブ・グループ
５１０＿ｊ－１	インタリーブ・グループ
ＣＯＬ０	列選択信号
ＣＯＬ１	列選択信号
ＣＯＬ２	列選択信号
ＣＯＬ３	列選択信号
Ｄａ	ビット線
Ｄｂ	ビット線
Ｄｋ	ビット線
Ｄａ＿０	共用経路
Ｄｂ＿０	共用経路
Ｄｋ＿０	共用経路
Ｄａ＿１	共用経路
Ｄｂ＿１	共用経路
Ｄｋ＿１	共用経路
ＷＬａ	ワード線選択信号
ＷＬｂ	ワード線選択信号
ＷＬｋ	ワード線選択信号

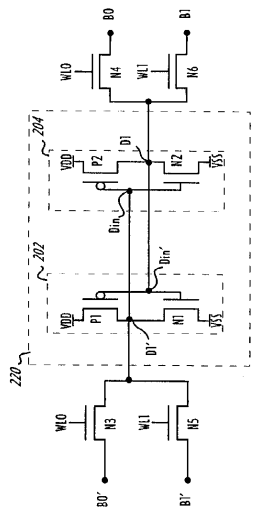
【図１】



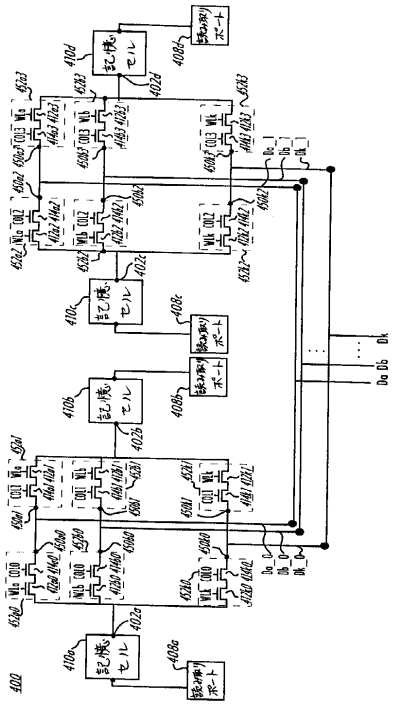
【図２】



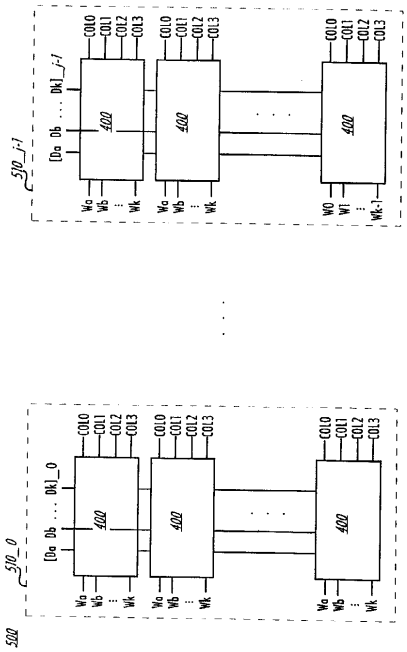
【図３】



【図４】



【図５】


510_j-1
510_0
500
400
COL0
COL1
COL2
COL3
D0 D1 ... Dk1_j-1
D0 D1 ... Dk1_0
W0 W1 ... Wk-1
W0 W1 ... Wk

フロントページの続き

(72)発明者　ケビン・ザング
アメリカ合衆国オレゴン州ポートランド　ノース・ウエスト・トレードウインド・ストリート１４２５８
(72)発明者　ジョン・ウー
アメリカ合衆国コロラド州フォート・コリンズ　ジャミソン・コート１８０７

審査官　加藤　俊哉

(56)参考文献　特開平０３－２６３６８７（ＪＰ，Ａ）
特表平１０－５１００８７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/41
G11C 11/413