



(12)发明专利

(10)授权公告号 CN 103843068 B

(45)授权公告日 2016.11.02

(21)申请号 201280048762.8

(22)申请日 2012.08.24

(65)同一申请的已公布的文献号

申请公布号 CN 103843068 A

(43)申请公布日 2014.06.04

(30)优先权数据

13/219,439 2011.08.26 US

(85)PCT国际申请进入国家阶段日

2014.04.03

(86)PCT国际申请的申请数据

PCT/US2012/052333 2012.08.24

(87)PCT国际申请的公布数据

W02013/032928 EN 2013.03.07

(73)专利权人 美光科技公司

地址 美国爱达荷州

(72)发明人 维奥兰特·莫斯基亚诺

托马索·瓦利 乔瓦尼·纳索

维沙尔·萨林

威廉·亨利·拉德克

西奥多·T·皮耶克尼

(74)专利代理机构 北京律盟知识产权代理有限公司

责任公司 11287

代理人 孙宝成

(51)Int.Cl.

G11C 16/34(2006.01)

G11C 16/26(2006.01)

(56)对比文件

US 2011/0141815 A1,2011.06.16,

US 2011/0141815 A1,2011.06.16,

US 2009/0141558 A1,2009.06.04,

CN 101385089 A,2009.03.11,

CN 101405812 A,2009.04.08,

CN 101861624 A,2010.10.13,

CN 101458954 A,2009.06.17,

US 2010/0321999 A1,2010.12.23,

审查员 邵磊

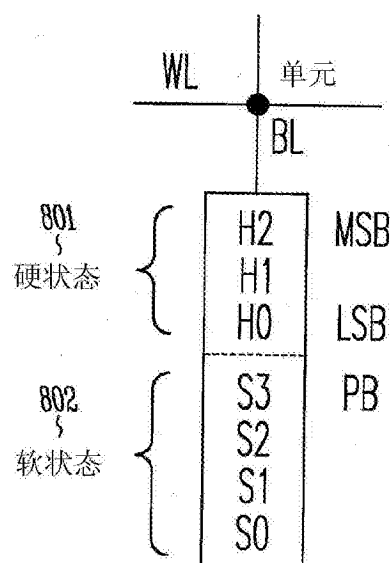
权利要求书4页 说明书9页 附图8页

(54)发明名称

具有阈值电压补偿的存储器及其操作方法

(57)摘要

通过阈值电压安置来控制电荷存储存储器中的阈值电压,以例如提供更可靠操作及减小例如相邻电荷存储元件及寄生耦合等因素的影响。相邻经编程“侵略者”存储器单元的阈值电压的预补偿或后补偿减小了快闪存储器系统中的阈值电压不确定性。使用具有例如查找表等数据结构的缓冲器提供了可编程阈值电压分布,此使得能够特制多电平单元快闪存储器中的数据状态的分布以例如提供更可靠操作。



1. 一种操作存储器的方法,其包括:

确定在物理上接近于待读取的单元的至少一个侵略者非易失性存储器单元的经编程数据状态,并确定对所述经编程数据状态进行编码的数据的至少一个软位;

确定所述待读取的单元的阈值电压,并为经确定的所述阈值电压确定数据的多个硬位,其中所述多个硬位对所述待读取的单元的经确定的所述阈值电压进行编码;及

根据所述数据的至少一个软位,将所述多个硬位中的一个硬位确定为读取操作的输出。

2. 根据权利要求1所述的操作存储器的方法,其中至少部分基于所述确定的阈值电压及所述侵略者非易失性存储器单元的所述确定的数据状态而确定读取操作的输出包括:基于由所述侵略者非易失性存储器单元施加的影响引起的所述待读取的单元的所观测阈值电压的预期变化而确定所述输出。

3. 根据权利要求1所述的操作存储器的方法,其中所述待读取的单元包括多电平非易失性存储器单元。

4. 根据权利要求3所述的操作存储器的方法,其中所述数据的至少一个软位对所述待读取的单元上的所述至少一个侵略者非易失性存储器单元所施加的影响的概率进行编码。

5. 根据权利要求4所述的操作存储器的方法,其中所述多个硬位代表了包含在数值区域中的阈值电压值,所述数值区域具有被电压斜坡产生器输出的更大概率。

6. 根据权利要求1所述的操作存储器的方法,其中确定所述待读取的单元的所述阈值电压包括:将电压斜坡信号施加到所述存储器单元的控制栅极及在所述待读取的单元改变导电状态时观测所述电压斜坡信号的电压的指示。

7. 根据权利要求1所述的操作存储器的方法,其中所述存储器包括存储器芯片、存储器卡、智能电话或固态存储装置。

8. 一种存储器,其包括:

多个存储器单元;

阈值电压检测电路,其可操作以检测选定存储器单元的阈值电压;及

输出补偿电路,其可操作以确定对经检测的阈值电压进行编码的数据的多个硬位以及对接近所述选定存储器单元的至少一个侵略者单元的经编程数据状态进行编码的数据的至少一个软位,并将所述选定存储器单元的读取操作的输出确定为根据所述数据的至少一个软位选定的多个硬位中的一个硬位。

9. 根据权利要求8所述的存储器,其中所述至少一个侵略者存储器单元施加由所述存储器单元的经编程数据状态引起的阈值电压的预期变化。

10. 根据权利要求8所述的存储器,其中所述存储器单元包括多电平存储器单元。

11. 根据权利要求9所述的存储器,其中所述输出补偿电路进一步可操作以从数据的至少一个硬位及数据的至少一个软位确定所述输出,数据的所述至少一个硬位对待读取的所述单元的所述确定的阈值电压进行编码,且数据的所述至少一个软位对所述至少一个侵略者存储器单元的经编程数据状态进行编码。

12. 根据权利要求10所述的存储器,其包括电压斜坡产生器,所述电压斜坡产生器可操作以产生所述多个存储器单元的存储器单元阈值电压值,其中所述输出补偿电路进一步可操作以从具有被所述电压斜坡产生器输出的更大概率的阈值电压值区域确定所述数据的多个

硬位。

13. 根据权利要求8所述的存储器,其进一步包括可操作以产生电压斜坡信号的电压斜坡产生器,且其中确定所述选定单元的所述阈值电压包括将所述电压斜坡信号施加到所述选定单元的控制栅极及在待读取的所述单元改变导电状态时观测所述电压斜坡信号的电压的指示。

14. 根据权利要求8所述的存储器,其中所述存储器包括存储器芯片、存储器控制器、存储器卡或固态存储装置。

15. 一种编程存储器的方法,其包括:

确定在物理上接近待编程的单元的至少一个潜在侵略者存储器单元的目标数据状态;

确定对所述至少一个潜在侵略者存储器单元的所述目标数据状态进行编码的数据的多个软位;及

至少部分基于经确定的数据的多个软位而确定所述待编程的单元的目标阈值电压。

16. 根据权利要求15所述的编程存储器的方法,其中确定目标阈值是至少部分基于由所述至少一个侵略者存储器单元施加的影响引起的所述待编程的单元的所要观测阈值电压从所述目标阈值电压的预期变化。

17. 根据权利要求15所述的编程存储器的方法,其中确定所述待编程的单元的所述目标经编程阈值电压包括:将所述待编程的单元编程到比所要观测阈值电压低的阈值电压,以补偿由所述至少一个潜在侵略者存储器单元的经编程数据状态引起的阈值电压的电位上升。

18. 根据权利要求17所述的编程存储器的方法,其中将所述确定目标经编程阈值电压编码为数据的硬位及数据的所述软位,且其中以数据的所述软位对所述潜在侵略者存储器单元的所述确定的经编程状态进行编码。

19. 根据权利要求18所述的编程存储器的方法,其中以数据的所述硬位编码的阈值电压低于所述所要观测阈值电压,且数据的所述软位对以数据的所述硬位编码的所述阈值电压的增大进行编码以补偿相邻经编程侵略者的缺乏。

20. 根据权利要求15所述的编程存储器的方法,其中确定所述待编程的单元的目标经编程阈值电压包括:确定多电平编程时所使用的阈值电压。

21. 根据权利要求15所述的编程存储器的方法,其中确定在物理上接近待编程的单元的至少一个潜在侵略者存储器单元的目标状态包括:在所述待编程的单元被编程之前将所述至少一个潜在侵略者存储器单元的数据状态存储于缓冲器中。

22. 根据权利要求15所述的编程存储器的方法,其中所述存储器包括存储器芯片、存储器卡、智能电话或固态存储装置。

23. 一种存储器,其包括:

多个存储器单元;及

编程逻辑,其可操作以确定所述多个存储器单元中的待编程的单元的目标阈值电压且确定至少一个潜在侵略者存储器单元的目标数据状态以及对所述至少一个潜在侵略者存储器单元的所述目标数据状态进行编码的数据的多个软位,其中所述目标阈值电压是至少部分基于经确定的数据的软位。

24. 根据权利要求23所述的存储器,其中确定所述目标阈值电压是至少部分基于由所

述至少一个潜在侵略者存储器单元施加的影响引起的所述待编程的单元的观测阈值电压从所述目标经编程阈值电压的预期变化。

25. 根据权利要求23所述的存储器, 其中所述目标阈值电压低于所要观测阈值电压以补偿由相邻的一个或一个以上侵略者非易失性存储器单元引起的观测阈值电压的上升。

26. 根据权利要求23所述的存储器, 其中所述目标经编程阈值电压是以数据的至少一个硬位及数据的所述软位编码, 其中所述至少一个潜在侵略者存储器单元的所述目标数据状态是以数据的至少一个软位编码。

27. 根据权利要求26所述的存储器, 其中以数据的所述至少一个硬位编码的所述阈值电压低于所要观测的所述阈值电压, 且数据的所述至少一个软位对所述目标经编程阈值电压的增大进行编码以补偿相邻经编程侵略者存储器单元的缺乏。

28. 根据权利要求23所述的存储器, 其中所述存储器单元包括多电平存储器单元。

29. 根据权利要求23所述的存储器, 其中确定在物理上接近待写入的单元的一个或一个以上侵略者非易失性存储器单元的所述编程状态包括在所述待写入的单元或侵略者非易失性存储器单元被写入之前评估所述一个或一个以上侵略者非易失性存储器单元在缓冲器中的状态。

30. 根据权利要求23所述的存储器, 其中所述存储器包括存储器芯片、存储器控制器、存储器卡或固态存储装置。

31. 一种操作存储器的方法, 其包括:

用数据的至少一个硬位对非易失性存储器单元的阈值电压进行编码;

用数据的软位由一个或多个邻近侵略者经编程存储器单元的经编程状态来对所述阈值电压的影响进行编码; 及

至少部分地根据所述软位在实现所要阈值电压时调整非易失性存储器单元的阈值电压以补偿一个或一个以上邻近侵略者经编程存储器单元。

32. 根据权利要求31所述的操作存储器的方法, 其中调整阈值电压包括: 调整经编程阈值电压以补偿邻近侵略者经编程存储器单元中的一者或一者以上, 使得读取阈值电压为所要阈值电压。

33. 根据权利要求31所述的操作存储器的方法, 其中调整阈值电压包括: 调整读取阈值电压以补偿一个或一个以上邻近侵略者经编程存储器单元。

34. 根据权利要求31所述的操作存储器的方法, 其中所述存储器包括存储器芯片、存储器卡、智能电话或固态存储装置。

35. 一种存储器, 其包括:

逻辑, 其在实现所要阈值电压时用数据的至少一个硬位调整非易失性存储器单元的阈值电压、用数据的软位由一个或多个邻近侵略者经编程存储器单元的经编程状态来对所述阈值电压的影响进行编码并且通过改变所述阈值电压的所述编码来调整所述非易失性存储器单元的所述阈值电压以补偿由一个或一个以上邻近侵略者经编程存储器单元施加的影响。

36. 根据权利要求35所述的存储器, 其中调整阈值电压包括: 调整经编程阈值电压以补偿邻近侵略者经编程存储器单元中的一者或一者以上, 使得读取阈值电压为所要阈值电压。

37. 根据权利要求35所述的存储器, 其中调整阈值电压包括: 调整读取阈值电压以补偿邻近侵略者经编程存储器单元中的一者或一者以上。

38. 根据权利要求35所述的存储器, 其中所述存储器包括存储器芯片、存储器控制器、存储器卡或固态存储装置。

具有阈值电压补偿的存储器及其操作方法

[0001] 优先权申请

[0002] 本申请案主张2011年8月26申请的第13/219,439号美国申请案的优先权权益,所述美国申请案以全文引用的方式并入本文中。

背景技术

[0003] 各种计算机系统及电子装置使用不具易失性或在断电时不丢失其已存储的数据的存储器。这些非易失性存储器可经重新编程、读取及电擦除,且非常适合于存储数据,例如数字音频播放器中的音乐、数码相机中的图片及蜂窝式电话中的配置数据。此类存储器包含通常被称为快闪存储器(如此命名的部分原因为:在其被重新编程之前使用快闪操作来擦除数据块的内容)的装置,且在供消费者使用时被封装在例如紧凑快闪存储器卡、USB快闪存储器驱动器及其它此类装置等产品中。

[0004] 快闪存储器包括许多单元,其中每一者通常存储单个二进制数字或单个位的信息。典型快闪存储器单元包括场效应晶体管,其具有电隔离电荷存储结构(例如浮动栅极或电荷陷阱),所述电荷存储结构控制所述存储器单元的源极区与漏极区之间的导电。由存储于所述电荷存储结构上的电荷及所述源极区与漏极区之间所观测的所得导电率变化表示数据。

[0005] 电荷存储结构使控制栅极与存储器单元的源极及漏极区分离。存储于电荷存储结构上的电子与控制栅极绝缘且漏极及源极因绝缘氧化层而部分地抵消或修改由控制栅极产生的电场,从而导致存储器单元的有效阈值电压(V_t)的变化。当通过将指定电压置于控制栅极上而读取存储器单元时,装置的源极与漏极之间的电阻抗将根据电荷在电荷存储结构上的存在及存储器单元的有效 V_t 或阈值电压而允许或不允许电流流动。可感测超过阈值电平的电流的存在或不存在且使用其来确定存储器单元的编程状态,从而导致特定数据值(例如1或0值)被读取。

[0006] 一些快闪存储器单元可通过在编程及读取快闪存储器单元时使用多个阈值电压而每单元存储单个位以上的信息,且所述快闪存储器单元通常被称为多电平存储器单元。例如,具有三个不同阈值电压的多电平存储器单元可被编程为处于四个状态中的任何一者,借此每单元存储双位的数据且使可存储于存储器单元中的数据量加倍。

[0007] 存储器单元通常布置成行及列的二维阵列,其中行经由存取线(通常被称为字线)而耦合且列经由数据线(通常被称为位线)而耦合。在数据读取及写入功能期间使用字线及位线以选择某些存储器单元用于读取或选择字及位用于写入或编程。在此类读取及写入功能期间,例如以下每一者的因素可导致位线与字线之间的无用耦合或干扰:感应电场或磁场、电容性耦合及导体的有限电阻以及绝缘体。

[0008] 存储器单元本身进一步经受耦合到存储器单元的位线及字线的电阻及电容以进行适当操作及与存储器控制器的通信。装置特征(例如电荷存储结构与导电区(介于源极与漏极之间)之间的氧化物层厚度的变动)也可导致此存储器单元的阈值电压及其它操作参数的变动。另外,存储器阵列中的存储器单元的紧密物理接近可导致电荷存储结构之间的

耦合,从而进一步影响存储器单元的操作。例如这些因素可在每存储器单元具有多于一个阈值电压的多电平快闪存储器中起更大作用,这是因为不同数据状态之间的差异随不同状态的数目增加而变得更难准确辨别。

附图说明

[0009] 图1为可用以实践本发明的一些实施例的典型非易失性存储器单元的横截面图。

[0010] 图2为根据本发明的一些实例实施例的NAND快闪存储器配置中的一串典型非易失性存储器单元的示意图。

[0011] 图3为根据本发明的一些实例实施例的电压斜坡驱动的非易失性存储器的示意图。

[0012] 图4展示根据本发明的一些实例实施例的非易失性存储器单元阵列的阈值电压分布及对应硬状态读取数据。

[0013] 图5为展示根据本发明的一些实例实施例的使用硬状态及软状态数据来确定存储器单元读取操作的输出的表。

[0014] 图6为展示根据本发明的一些实例实施例的基于相邻侵略者编程存储器单元的数目的软位确定的表。

[0015] 图7为展示根据本发明的一些实例实施例的耦合到多位缓冲器的存储器的偶数页及奇数页的示意图。

[0016] 图8为展示根据本发明的一些实例实施例的使用多位缓冲器来存储硬及软存储器状态数据的框图。

[0017] 图9为根据本发明的一些实例实施例的多电平非易失性存储器系统的框图。

[0018] 图10为根据本发明的一些实例实施例的非易失性存储器单元及相邻侵略者非易失性存储器单元的简图。

[0019] 图11为说明根据本发明的一些实例实施例的使用软状态侵略者编程数据来减小经编程非易失性存储器单元中的阈值电压变动的阈值电压图。

[0020] 图12为根据本发明的一些实例实施例的非易失性存储器单元及相邻侵略者非易失性存储器单元的示意图。

[0021] 图13为根据本发明的一些实例实施例的数字信号斜坡的非易失性存储器的示意图。

[0022] 图14为根据本发明的一些实例实施例的包含转换表从而实现可编程阈值电压的数字信号斜坡的非易失性存储器的示意图。

具体实施方式

[0023] 在本发明的实例实施例的以下详细描述中,借助图式及说明而参考本发明的特定实例实施例。足够详细地描述这些实例以使所属领域的技术人员能够实践本发明,且这些实例用来说明本发明可如何应用于各种用途或实施例。存在本发明的其它实施例且所述实施例处在本发明的范围内,且可在不背离本发明的标的物或范围的情况下做出逻辑、机械、电性及其它变化。本文中所述的本发明的各种实施例的特征或限制(不管对其中并入所述特征或限制的实例实施例如何重要)不限制本发明的其它实施例或整个发明,且对本发明、

其元件、操作及应用的任何参考不限制整个发明且仅用来界定这些实例实施例。因此,以下详细描述不限制仅由所附权利要求书界定的本发明的各种实施例的范围。

[0024] 图1说明典型非易失性存储器单元的实例,其与电可擦除可编程存储器(EEPROM)共享基本结构。源极101及漏极102形成于衬底103(例如p型半导体材料)上。在一些实施例中,源极、漏极及衬底由具有以下掺杂剂的硅形成:具有五价电子的掺杂剂(例如磷、砷或锑),其增大硅中的电子浓度;或具有三价电子的掺杂剂(例如硼、镓、镓或铝),其增大空穴浓度。通常添加少量受控量的掺杂剂以在半导体材料中产生所要空穴或电子浓度,如果过剩电子存在于例如源极101及漏极102中,那么导致n型材料,且如果过多空穴存在于例如衬底材料103中,那么导致p型材料。

[0025] 使用绝缘体材料(例如二氧化硅(SiO_2))来形成绝缘层104,绝缘层104已在其内嵌入电荷存储结构(例如由导体(例如金属或导电多晶硅)制成的浮动栅极105)及类似地由导电材料形成的控制栅极106。浮动栅极105未直接电耦合到存储器单元的另一导电元件,而是在绝缘材料104中“浮动”。具有受控厚度(例如10纳米)的薄绝缘层使浮动栅极与源极101与漏极102之间的p型衬底材料103的区分离。

[0026] 在操作中,浮动栅极105因其与存储器单元的其它组件电隔离而能够存储电荷。可经由被称为福勒-诺得汉(Fowler-Nordheim)穿隧的穿隧过程而在浮动栅极105上执行电荷电平的编程或擦除,其中电子穿隧通过使浮动栅极105与衬底103分离的氧化物层。基于存储器单元的布置或用以执行写入、读取及擦除操作的电路,大部分快闪存储器单元被分类为NOR快闪存储器或NAND快闪存储器。

[0027] 为将数据位编程到NOR快闪存储器单元或将电荷存储于其浮动栅极上,源极101可接地,且可将供应电压(例如6伏特)施加到漏极102。在一个实施例中,经由用以识别待写入的位的位线而施加漏极电压。还将更高电压(例如12伏特)置于控制栅极106上以归因于电子被吸引到带正电的控制栅极而迫使反转区形成于p型衬底中。源极与漏极之间的电压差结合p型材料中的反转区导致源极101与漏极102之间的大量电子流过p型衬底103的反转区,使得电子的动能及由106处的控制栅极电压产生的电场导致高能量或“热”电子横跨绝缘体福勒-诺得汉穿隧到浮动栅极105上。

[0028] 借此,浮动栅极采用负电荷,所述负电荷抵消了源极101与漏极102之间的衬底103的区上的任何控制栅极正电荷效应,从而升高必须经由字线施加到控制栅极106的存储器单元阈值电压以导致横跨p型衬底材料103中的反转区的导电。换句话说,当在读取操作期间使字线的电压达到高电压(例如5伏特)时,归因于写入操作期间存储于浮动栅极105上的电子引起的较高阈值电压,单元将不会接通。施加到控制栅极的读取电压大于经擦除存储器单元的阈值电压(V_t),但未大到足以允许横跨已被写入的单元的衬底103反转区的导电。

[0029] 为编程或写入NAND快闪存储器单元,图1的存储器单元的源极101及漏极102可接地,且可使控制栅极106达到可能20伏特的电压。此电压明显高于用于使用NOR快闪方法来编程同一存储器单元的12伏特控制栅极电压,这是因为较高电压弥补存储器单元的源极与漏极之间的慢速“热”电子的缺乏。

[0030] 为擦除使用典型NOR快闪存储器电路的存储器单元,可发生从存储器单元的浮动栅极105到源极101的类似电子穿隧。在一些实施例中,比漏极更深地扩散源极101以增强擦除性能。可将正电压(例如12伏特)施加到源极101,控制栅极106可接地,且漏极102可保持

切断连接以在一个实例中执行擦除操作。源极101上的大正电压吸引带负电的电子以导致其穿隧通过绝缘层104且远离浮动栅极105。因为在擦除操作期间源极与漏极之间几乎无电流流动,所以执行擦除操作几乎无需电流且消耗相对极少电力。

[0031] 在通常在NAND存储器配置中使用的另一实例存储器单元擦除操作中,源极101及漏极102可保持浮动,但可使衬底材料103达到高正电压(例如20伏特)以吸引带负电的电子且导致其从浮动栅极105、穿过氧化物绝缘层104而穿隧到衬底材料103。此方法有时被称为“通道擦除”,这是因为通道衬底材料105从浮动栅极接收电子。

[0032] 存储器单元(例如图1的存储器单元)通常布置成阵列,其经由被称为字线的存取线及被称为位线的数据线而寻址,如图2中所展示。图2展示耦合到单一位线的NAND快闪存储器阵列的一部分,其中可经由字线而进一步选择所述位线中所展示的存储器单元中的每一者。

[0033] 位线201耦合到与字线202耦合的一系列电荷存储存储器单元(在此实例中,其包含存储器单元0到31)。所述存储器单元系列在所述系列的另一侧上连接到源极线205,且可通过相应线选择晶体管204而与源极线205及位线201选择性隔离。

[0034] 为执行读取操作,可使选定存储器单元202的字线及因此控制栅极维持处于低的正电压电平,同时可使未选定存储器单元的字线达到足够高电压以导致所述未选定存储器单元导电,而无论可在个别存储器单元的电荷存储结构上的任何电荷如何。如果选定存储器单元具有不带电的电荷存储结构,那么其将因控制栅极上的低正电压电平而激活,但如果电荷存储结构具有负电荷,那么其将使存储器单元202的阈值电压升到高于施加到控制栅极的低正电压,使得单元不导电。因此,可通过监视位线201与源极线205之间的导电率或电流流动而确定存储器单元的电荷存储结构的状态。

[0035] 为执行写入操作,通常经由将串耦合到接地位线201及源极线205的线选择晶体管204而使位线201及源极线205接地。因此,线选择晶体管204的栅极再次耦合到电压源,使得所述晶体管导电。使未被写入的存储器单元的控制栅极达到足够高电压(例如10伏特)以导致存储器单元导电(无论其存储的电荷如何)。选定存储器单元202的控制栅极耦合到明显更高的电压,例如20伏特。施加到选定存储器单元的控制栅极的电压导致反转区形成于沟道中及由于电子吸引到与20伏特信号耦合的带正电控制栅极引起的电子穿隧。与通道材料中的反转区组合的接地源极及漏极提供连续电子源用于存储器单元的反转区中的穿隧,使得可由来自接地位线及源极线的电子替换穿隧到电荷存储结构上的电子。

[0036] 当电子穿隧通过氧化物层而到电荷存储结构上时,电荷存储结构的最初正电位因与控制栅极耦合的电场而减小,借此减小电荷存储结构与沟道中的导电反转区之间的电压差且减慢电子到电荷存储结构上的穿隧。因此,电荷存储结构上的电子的存储在某种程度上受自身限制,且由例如以下因素界定:耦合于控制栅极与电荷存储结构之间的电场、氧化物厚度、字线电压或位线电压的变动,及存储器电路的其它元件的杂散电场或电容。电荷存储结构电荷的所得变动导致被写入的存储器单元的阈值电压 V_t 的变动,所述变动归因于存储器单元可靠性及电力消耗的变动效应而非所要的。

[0037] 尤其在若干相邻单元处于经编程状态的条件下,相邻单元的电荷存储结构中的电荷存储也可非有意地改变单元的功能阈值电压。当与其它因素(例如电容性耦合、温度波动、编程/擦除循环及每存储器单元的多个位的数据的存储)组合时,相邻电荷存储结构的

影响可导致单元被错读。

[0038] 虽然许多快闪存储器使用比较器作为与位线耦合的读取逻辑的部分以确定在一阈值电压下单元是否导电,但图3展示替代系统,其中可更确切地确定阈值电压(例如第2009/0141558A1号美国公开案)。此处,电压斜坡产生器301产生电压斜坡信号,所述电压斜坡信号经由行解码器302而施加到选定字线且施加到模/数转换器303。当被读取的存储器单元304导电时,读取逻辑305检测位线的导电与模/数转换器的输出两者,借此确定快闪存储器单元304的阈值电压。在替代实施例中,采用提供类似功能或结果的其它方法,例如使用数字电压斜坡产生器且将提供到读取逻辑的数字信号转换为提供到行解码器及存储器单元字线的模拟电压电平。

[0039] 使用存储器系统(例如图3中所展示的系统)来区别不同阈值电压的能力不仅促进单元数据状态的更准确确定,且可在本发明的各种实施例中用于多电平存储器单元读取及写入、相邻经编程存储器单元的补偿、错误校正估计及其它此类功能。

[0040] 图4展示根据本发明的实例实施例的使用经测量阈值电压来确定可能数据状态输出的方法。在此实例中,通过评估使被读取的存储器单元导电的阈值电压而确定若干“硬位”的数据。如所说明的硬位数据可为四状态多电平单元的最低有效位(如由状态01与00之间的转变中的概率分布线所展示),或可为单个经编程状态与未经编程状态之间的转变(如由概率分布虚线所展示)。无论何种情况,被提供为输出的硬位数据随阈值电压增大而改变,使得阈值电压变得越高,被设定为逻辑1输出值的硬位越少。在此实例中,硬位也依序改变,使得第三位在数据状态之间的转变区中的最低阈值电压处改变,接着依序为第二位、第一位及第零位。在此实施例中,图4中所展示的硬位不是电压斜坡的直接测量,而是对应于可能观测阈值(其考虑例如相邻经编程存储器单元及其它变量等因素的影响)的区内的电压斜坡上的各种电压值。

[0041] 接着,经确定的硬位(如图4中所展示)可与“软位”一起使用以更准确地确定表示存储器单元的真数据状态的输出,如图5中所展示。软位表示处于经编程状态的相邻存储器单元的数目,使得其可非有意地升高被读取的单元的阈值电压。可经由潜在侵略者存储器单元的读取而确定软位,其中使用缓冲器来将潜在侵略者单元的数据状态转换为软位。例如,可使用缓冲器来将(若干)侵略者单元的读取状态转换为软位(例如在双侧完全后补偿的情况下)或将所述读取状态用作为软位(例如单侧后补偿),且与硬位合并于页缓冲器中。在更详细实例中,将来自三个侵略者单元中的每一者的两个硬位从阵列下载到页缓冲器(例如在三个单独读取中),扫描SRAM以将六个硬位(来自侵略者单元)编码为两个软位,所述两个软位接着与硬位合并。

[0042] 在此实例中,物理上最接近的单元被视为比更远离的单元在对正被读取的单元的干扰方面具有更大影响或侵略。因此,在此实例中,不考虑与正被读取的单元成对角的单元,而垂直或水平相邻的单元被视为潜在侵略者。图6反映如何在另一实例中对相邻经编程侵略者的数目进行编码,其中11表示无相邻垂直或水平经编程存储器单元,且00表示三个或四个相邻垂直及水平经编程存储器单元。图6的“输出”列指示:图4的操作期间所读取的四个硬位中的哪一者将最佳地表示基于如由软位5及6所编码的相邻侵略者数目的存储器装置的真数据状态,如图5中更详细所展示。

[0043] 返回图5,根据本发明的实例实施例而展示一表(其展示各种存储器单元501到504

的若干实例硬位读取)以及对应软位数据及输出数据。首先查看501的实例,四个硬位全部为1以指示:无论软位值如何,输出将均为1。读取501处的软位,位5与6的值均为1,其根据图6的表指示来自相邻存储器单元的低侵略者干扰且指示硬位3应被用以确定输出值。

[0044] 类似地,504处所读取的快闪存储器单元的软位均为1,从而也指示:硬位3应被用以确定数据状态。在504处,此导致0输出,这是因为仅硬位0被设定为1值。存储器单元503具有两个硬位1及两个硬位0,因此,如果存在一个或更少相邻经编程侵略者存储器单元,那么输出将为0,且如果存在两个或两个以上相邻经编程存储器单元,那么输出将为1。此处,存在一个相邻经编程存储器单元(如由图6中的软位所反映),因此,使用具有0值的硬位2来提供输出。

[0045] 因此,可通过使用包围正被读取的单元的侵略者的数目而确定存储器单元的数据状态(例如通过将相邻存储器单元经编程状态编码成软位而确定应被用以提供输出的硬位是哪一个),借此略微改变转变区附近的阈值位置(如由图4中的硬位表所反映)以补偿相邻存储器单元的影响。

[0046] 在另一实施例中,阈值电压追踪(例如图4到6中所展示的实例)可用以估计来自相邻存储器单元的影响的概率或可能性,且可用以提供错误校正。例如,查看502处所读取的存储器单元,我们可明白,在不存在相邻侵略者单元影响的情况下,输出将为0,如由硬位3所反映。但任何相邻侵略者单元的存在指示输出应可能为1,且概率随相邻侵略者的数目增加而增大。因此,在此实例中,软位00将指示何内容可能已被读取为零的相对较大概率(假定不存在来自相邻侵略者的影响应为输出值1),从而为错误校正 电路提供可有助于解决原本无法被校正的错误的信息。

[0047] 图4到6的实例说明补偿侵略者或经编程相邻存储器单元以提供经编程快闪存储器单元的更准确或更可靠读取的方法。各种实施例包含多种硬件及其它特征(图中可展示或不展示所述特征)以实施此类实例,例如可操作以确定存储器单元的阈值电压的阈值电压感测电路及可操作以至少部分根据至少一个侵略者存储器单元的编程状态确定读取输出的输出补偿电路。在另一实例中,在编程期间施加对相邻经编程侵略者存储器单元的补偿。

[0048] 图7展示根据本发明的实例实施例的具有七位页缓冲器的实例存储器系统。此处,可使用耦合到偶数选择信号701及奇数选择信号702的偶数及奇数线选择晶体管来交替读取偶数及奇数存储器页。在此实例中,由特定字线驱动且由偶数/奇数选择线晶体管选择的全部单元被界定为8千字节的页。存储于每一存储器单元中的数据包括七个位的数据,如页缓冲器703及704中所展示。

[0049] 图8更详细地展示根据本发明的实例实施例的七位页缓冲器。此处,使用三个“硬位”来存储数据或对八个不同数据符号中的一者进行编码,如801处所展示。将802处所展示的剩余四个“软位”用于编程期间的相邻侵略者存储器单元补偿。在替代实例中,存储器单元不被操作为多电平单元,且仅使用单个位的“硬”数据。在替代实施例中,可根据所要的补偿准确度或分辨率的程度而类似地变动“软”位的数目。

[0050] 图9展示可用以实践本发明的一些实施例的快闪存储器的框图。快闪存储器包含单电平单元部分902及多电平单元部分903。可使用存储器的单电平单元(SLC)部分来暂时存储呈单电平单元模式的三页,此后,所述三页的数据被组合及存储为快闪存储器的每单

元三位的多电平单元(MLC)部分中的单页数据。

[0051] 在更特定实例中,控制器904可使三页的数据快速且可靠地写入到快闪存储器901的单电平单元部分。存储于单电平单元部分中的三页各自与待被写入到存储器的多电平单元部分中的数据页的每一单元的三个位中的一者相关联。控制器从单电平单元部分读取已存储的三页数据且将其存储于缓冲器905中,此处其被组合及写入到存储器的多电平单元部分,使得多电平单元部分903中已被写入的每一单元存储三个位的数据,来自三页数据中的每一者的数据存储于单电平单元存储器902中且在控制器中被缓冲。

[0052] 图10中展示根据本发明的实例实施例的具有相邻侵略者单元的存储器单元。在此实施例中,相邻单元(包含:单元A1及A2,其位于两侧上但不同页中;单元A3,其位于同一页中但在相邻字线上;及单元A4及A5,两者位于相邻字线及不同页上)的电荷存储结构的经编程状态潜在地影响单元1001。此处,相邻单元A1及A2具有更接近于单元1001的电荷存储结构的电荷存储结构,且因此比其它相邻单元A3到A5更大地影响单元1001的阈值电压。单元A3还位于单元1001的相对接近处,但比单元A1及A2略微更远离1001,因此其电荷存储结构的经编程状态对单元1001的阈值电压的影响略微不如单元A1及A2。单元A4及A5比单元A1到A3更远离,因为单元A4及A5对单元1001的阈值电压的影响较低,所以此实例的预补偿中不包含单元A4及A5。

[0053] 如果1001的目标阈值电压例如为3V且相邻单元A1、A2及A3经编程使得其对在读取单元1001时所观测的阈值电压的贡献为约1伏特,那么单元1001将被编程到约2伏特的阈值电压,使得单元1001在被读取时似乎具有所要的3伏特阈值电压。

[0054] 图11展示根据本发明的实例实施例的阈值电压预补偿的更详细实例。此处所展示的图表说明:如何通过编程期间使用具有软状态(SS)补偿的硬状态(HS)编程电压(如1102处所展示)而实现所要阈值电压 V_t (如1101处所展示)。1102处所展示的硬状态电压电平经选择使得硬状态阈值电压加上处于全部经补偿侵略者的经编程状态(例如在一些多电平实施例中,被编程到其最高电荷状态)中的全部经补偿侵略者的影响导致所要阈值电压 V_t 。此在1103处被展示,使得1102处所展示的硬状态加上1111的软状态(其指示未受相邻存储器单元侵略)导致经编程阈值电压 V_t 。

[0055] 如果存在经编程侵略者存储器单元,那么软状态将小于1111,从而导致略微减小的经编程阈值电压。当读取选定快闪存储器单元时,侵略者存储器单元的影响弥补经编程阈值电压的减小,从而导致接近 V_t 的有效阈值电压。这在1104处被展示,其中软状态0000导致将单元编程到HS阈值电压,使得侵略者将使观测阈值电压从HS电压上升到 V_t 。

[0056] 阈值电压中可因未经补偿侵略者单元而存在一些不确定性,但如1105及1106处所展示,无论经补偿侵略者的软状态值或侵略者状态如何,不确定性水平均相同。最终结果为:侵略者补偿因从1108处所展示的电压范围到1107处所展示的电压范围的相邻经编程存储器单元而减小阈值电压的不确定性水平。可使用此改进来提供每单元的更多数据状态或更多位数据、减少存储器中的读取错误的数目或以其它方式改善存储器性能。

[0057] 在以上实例中,通过观测相邻单元的硬状态编程数据而确定软状态位,如图10中所展示。图12展示根据本发明的实例实施例的对正被编程的单元进行软状态位确定的更详细实例。此处,正编程单元1201,且使用相邻单元A1、A2及A3的硬状态位来确定软位。在此实例中,将侵略者A1到A3的硬状态应用于查找表以输出软状态位以补偿单元1201的经编程状

态。在替代实施例中,仅使用侵略者的较高阶位,例如单元A1的H5及H4,或补偿计算中包含更少或更多相邻侵略者存储器单元。

[0058] 因为在此实例中页缓冲器允许四个软位,所以可添加每相邻单元的两个最高有效位或每相邻单元的四个可能数据状态以产生从0到12的范围内的补偿值。可使用查找表来将此编码为/扩展到从0到16的编码值范围内的四个位,使得如果所添加的硬状态位为12,那么经编码的软状态为16。在替代实施例中,来自潜在侵略者的硬位的总数目经编码以形成软状态,例如其中每相邻单元添加3个硬位或16个可能状态以产生具有48个可能状态的补偿值。通过使用查找表或除以3而将此补偿值减小到16个状态中的一者,使得所得减小值可由软位0000到1111编码。

[0059] 在编程单元1201之前,用以产生编程单元(例如1201)时所使用的软位的相邻侵略者存储器单元状态的评估使用相邻侵略者存储器单元状态的知识。在一个实例中,编程逻辑将存储器的所要页或若干页加载到缓冲器(例如SRAM或页缓冲器)的硬位位置中,且使用查找表来由硬位确定软位并且例如通过依序扫描存储器单元及从相邻单元得到软位数据而将软位写入到所述缓冲器。接着,可将经缓冲的页数据(其包含硬位数据与软位补偿数据两者)写入到存储器页。

[0060] 在一些实施例中,使用可编程阈值电压来提供多电平单元快闪存储器中的从阈值电压到阈值电压的更大电压变化百分比。在此实例实施例中,所述快闪存储器的经编程状态为7位经编码值,从而导致多电平单元中的多达128个不同可能阈值电压状态。当前,一些技术受限于少于16个阈值状态或3个到4个位的数据,例如前述实例的3个硬状态位。

[0061] 图13展示根据本发明的一些实施例的具有可安置阈值电压的实例快闪存储器。此处,字线DAC1301接收数字信号且将其转换为施加到待编程的单元的字线的模拟斜坡电压信号。还将字线电压斜坡馈送到与页缓冲器1303连接的页缓冲器DAC1302。页缓冲器耦合到读出放大器,所述读出放大器经设计以检测电流是否在NAND快闪串中流动,从而指示是否已达到快闪存储器单元1305的阈值电压。

[0062] 如果单元1305正被写入,那么页缓冲器1303存储单元1305的目标阈值,或如果快闪存储器单元1305正被读取,那么使用页缓冲器1303来锁存快闪存储器单元1305的观测阈值。比较器比较存储于页缓冲器1303的锁存器L0到L6中的值与从页缓冲器DAC1302接收的值,从而使页缓冲器能够读取数据值或将数据值写入到快闪存储器单元1305。

[0063] 为执行读取操作,字线DAC1301经递增以产生施加到1305处待读取的单元的模拟电压斜坡。在字线DAC的每一步骤期间,读出放大器监视导电。如果NAND串无法导电,那么原因是由存储于快闪存储器单元1305的电荷存储结构上的电荷引起的经编程快闪存储器单元1305的升高阈值电压,且单元经确定为至少被编程到当前DAC信号的阈值电压。一旦NAND串导电,阈值电压已被达到且可由页缓冲器DAC电平确定并被锁存于页缓冲器锁存器1303中。接着,在此实例中,将存储于页缓冲器1303中的值输出为单元的观测阈值电压。

[0064] 为执行编程操作,页缓冲器1303存储有待写入到例如1305的快闪存储器单元的值。将第一编程脉冲施加到处于一电压电平的存储器单元1305的控制栅极,所述电压电平不应导致存储器单元的阈值电压超过多电平单元的目标经编程数据状态的最低阈值电压。接着,执行读取操作(如上所述)以验证使单元编程到的阈值电平。如果单元未被编程到所要阈值电压,那么施加额外编程脉冲(其任选地包含较高电压或较长长度脉冲)且重新检查

阈值电压。重复此过程,直到所述读取操作确认:单元被编程到所要阈值电压,此时在未来编程脉冲期间抑制位线以防止单元1305的进一步编程。

[0065] 在图14的实例中修改此系统,其中元件(例如存储转换表的SRAM或查找表)使字线DAC1401与页缓冲器DAC1402分离。此使阈值能够具有除由图13的系统提供的阈值电压之间的线性电压增量以外的分布,从而提供改善的可靠性、每多电平单元的更多信息的编码、阵列中的寄生耦合的减小影响及取决于阈值电压安置的其它此类益处。

[0066] 作为实例,考虑具有八个数据状态或可编程阈值电平的三位系统,其中目标阈值电压从1伏特到8伏特。在图13的系统中,邻近阈值电压之间的差值近似相等,从而使八个阈值电压电平为1伏特、2伏特、3伏特、4伏特、5伏特、6伏特、7伏特及8伏特。通过使用SRAM查找表1406,页缓冲器1403不存储阈值 V_t ,而是存储由阈值电压 V_t 确定的来自SRAM查找表的值,从而能够通过指定与SRAM查找表1406中的各种阈值电压对应的经编程数据状态而根据存储器系统的需要来变动与不同经编程数据状态对应的阈值电压。

[0067] 例如,阈值电压可经分布使得从数据状态到数据状态的电压百分比变化是类似的,而非随阈值电压升高而减小。在更详细实例中,现将从1伏特到8伏特的八个数据状态电压(如图13的实例中所论述)分布为1伏特、1.35伏特、1.81伏特、2.44伏特、3.28伏特、4.42伏特、5.95伏特及8伏特,使得每一数据状态的目标电压为下一更低数据状态的目标电压的约1.346倍。在其它实例中,使用例如斐波那契(Fibonacci)级数或多项式级数等其它分布。例如,阈值电压 $V_t = a + a \cdot 2^1 + a \cdot 2^2 + \dots + a \cdot 2^n$,其中 n 为在更详细实施例中的编码于单元中的八个数据状态中的一者。

[0068] 图14的存储器与图13的存储器操作相同,但图14的存储器在内部执行阈值电压编码使得无需阈值电压的外部编码或解码来提供非线性阈值电压分布。这简化了可编程阈值电压的实施方案,这是因为可仅用图14的改进电路取代图13的电路且编程或控制无需外部变化。

[0069] 此处所展示的实例系统说明可如何在允许阈值电压安置的系统中控制快闪存储器中的阈值电压以提供更可靠操作且减小例如相邻经编程存储器单元及寄生耦合等因素的影响。图中已展示相邻经编程“侵略者”存储器单元的阈值电压的预补偿及后补偿,从而减小存储器系统中的阈值电压不确定性。图中还展示使用数据结构或查找表来提供可编程阈值电压分布,从而能够调整多电平单元快闪存储器中的阈值电压的分布以提供更可靠操作。可将例如这些的实例并入到存储器、存储器控制器、电子装置(例如智能电话或固态存储装置)或其它此类装置中。

[0070] 虽然已在本文中说明及描述特定实施例,但所属领域的一般技术人员应了解,实现相同用途、结构或功能的任何布置可取代图中所展示的特定实施例。本申请案希望涵盖本文中所述的本发明的实例实施例的任何调适或变动。希望使本发明仅受限于权利要求书及其等效物的完全范围。

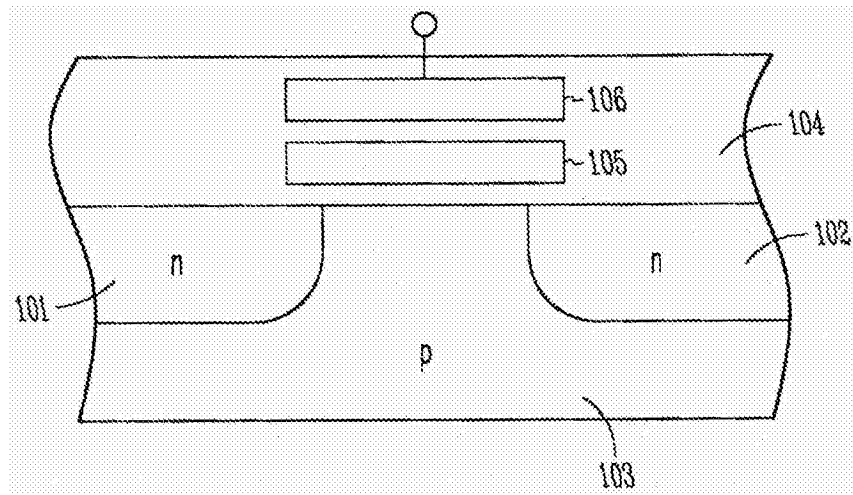


图1

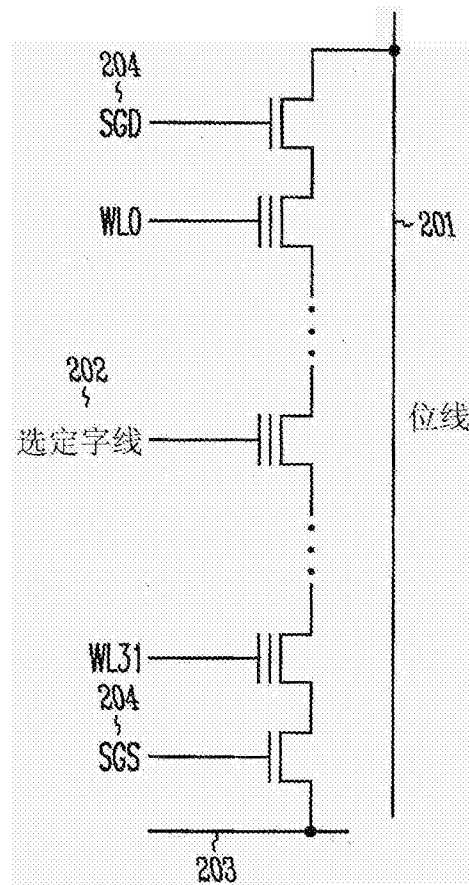


图2

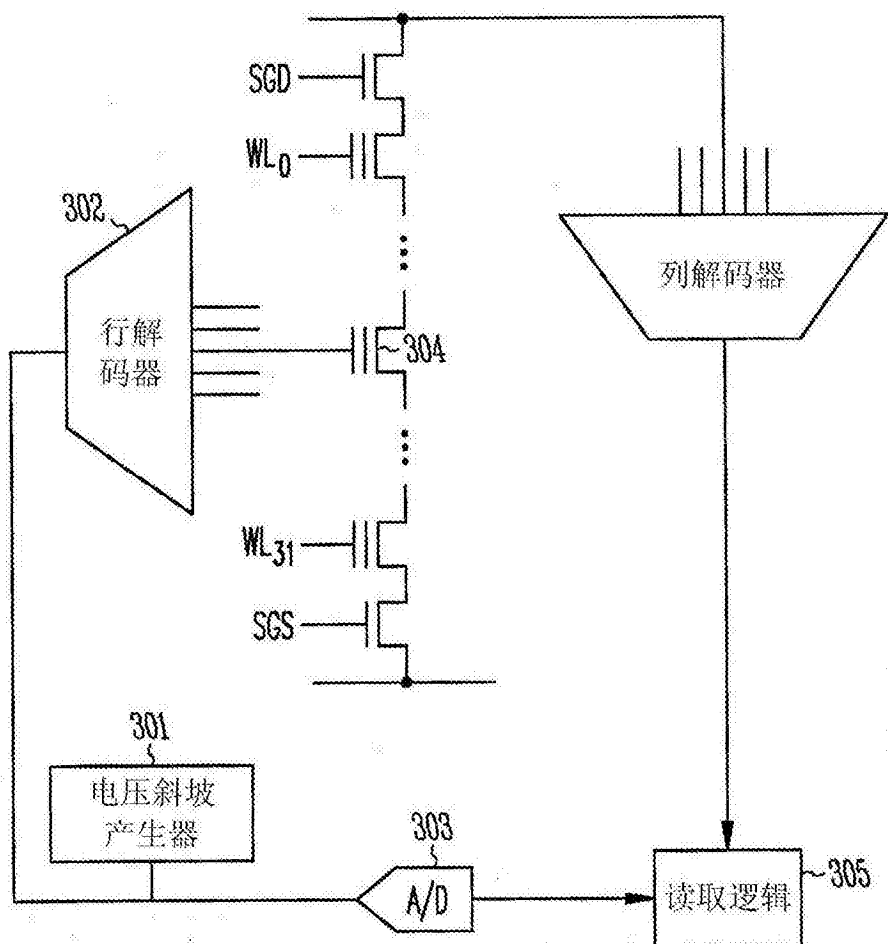


图3

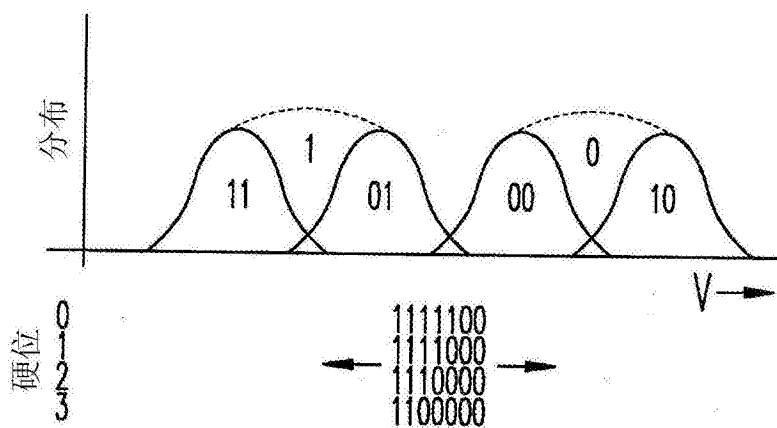


图4

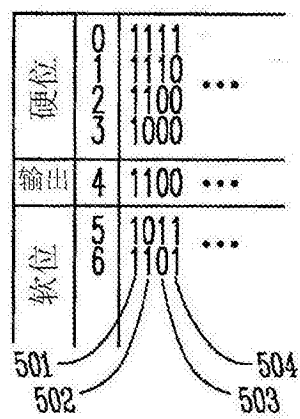


图5

软位		输出	侵略者
5	6		
0	0	位 0	高 - 3
0	1	位 1	2
1	0	位 2	1
1	1	位 3	低 - 0

图6

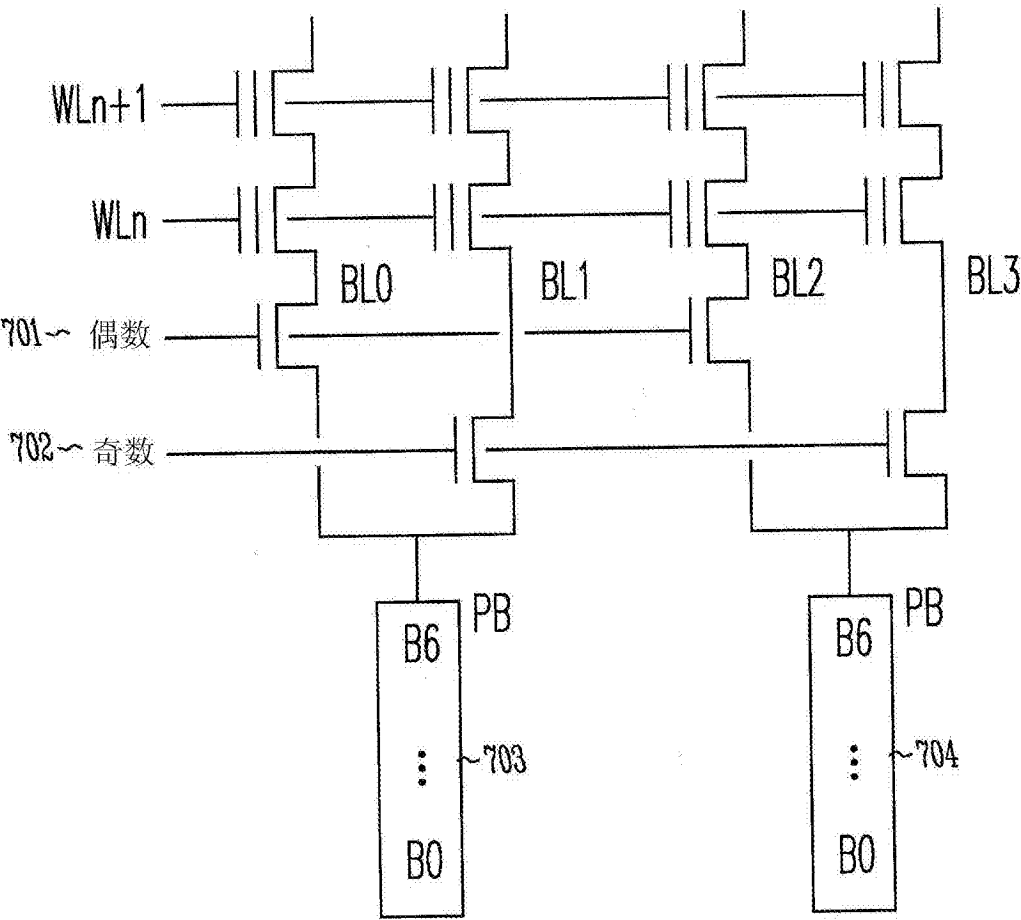


图7

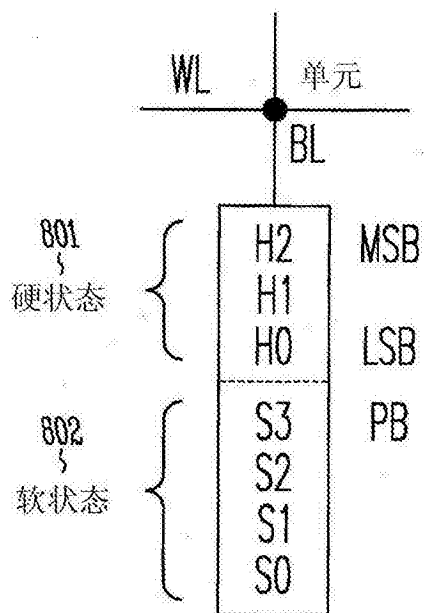


图8

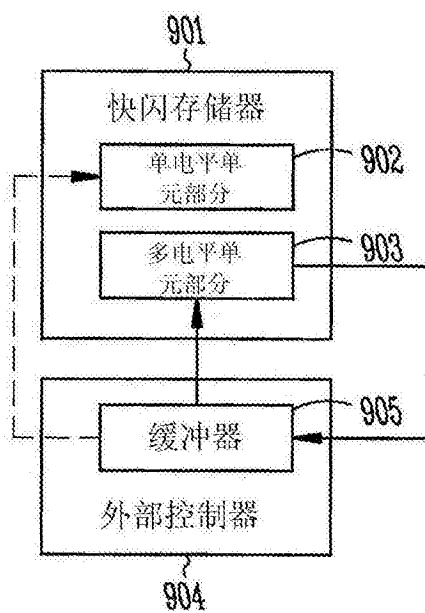


图9

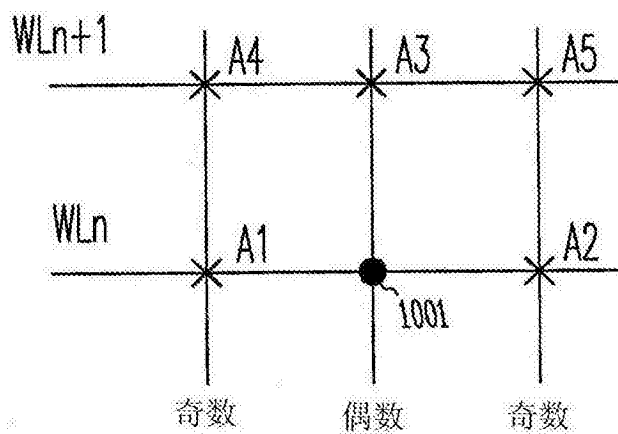


图10

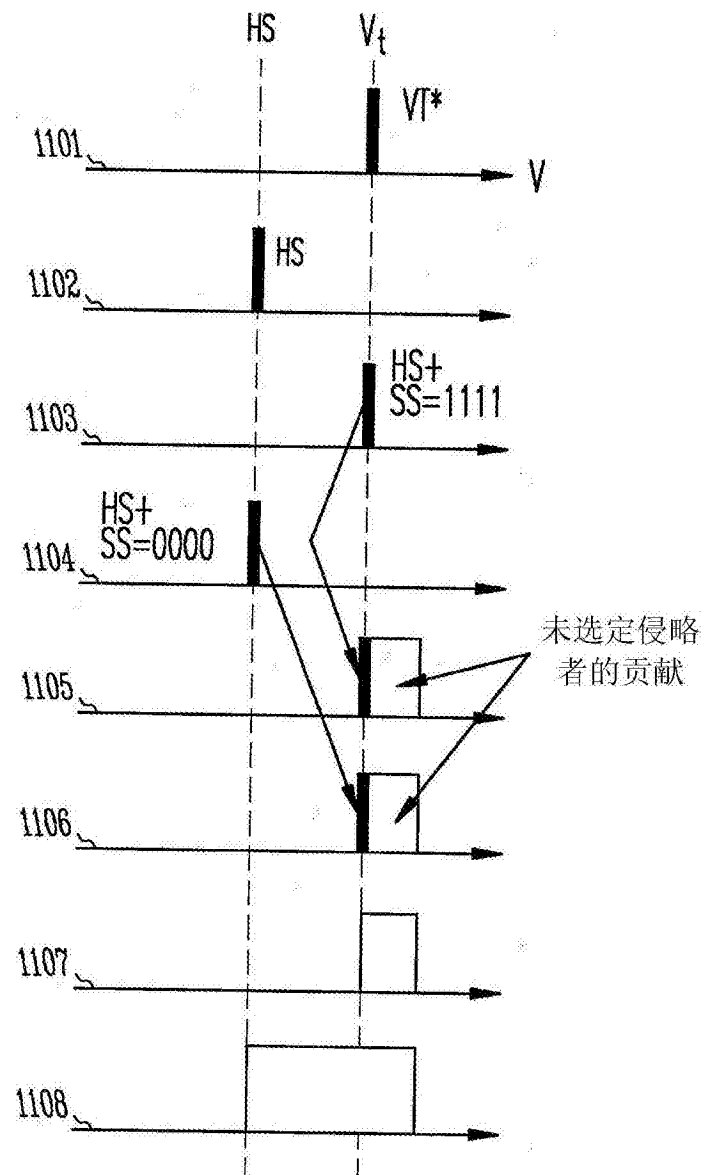


图11

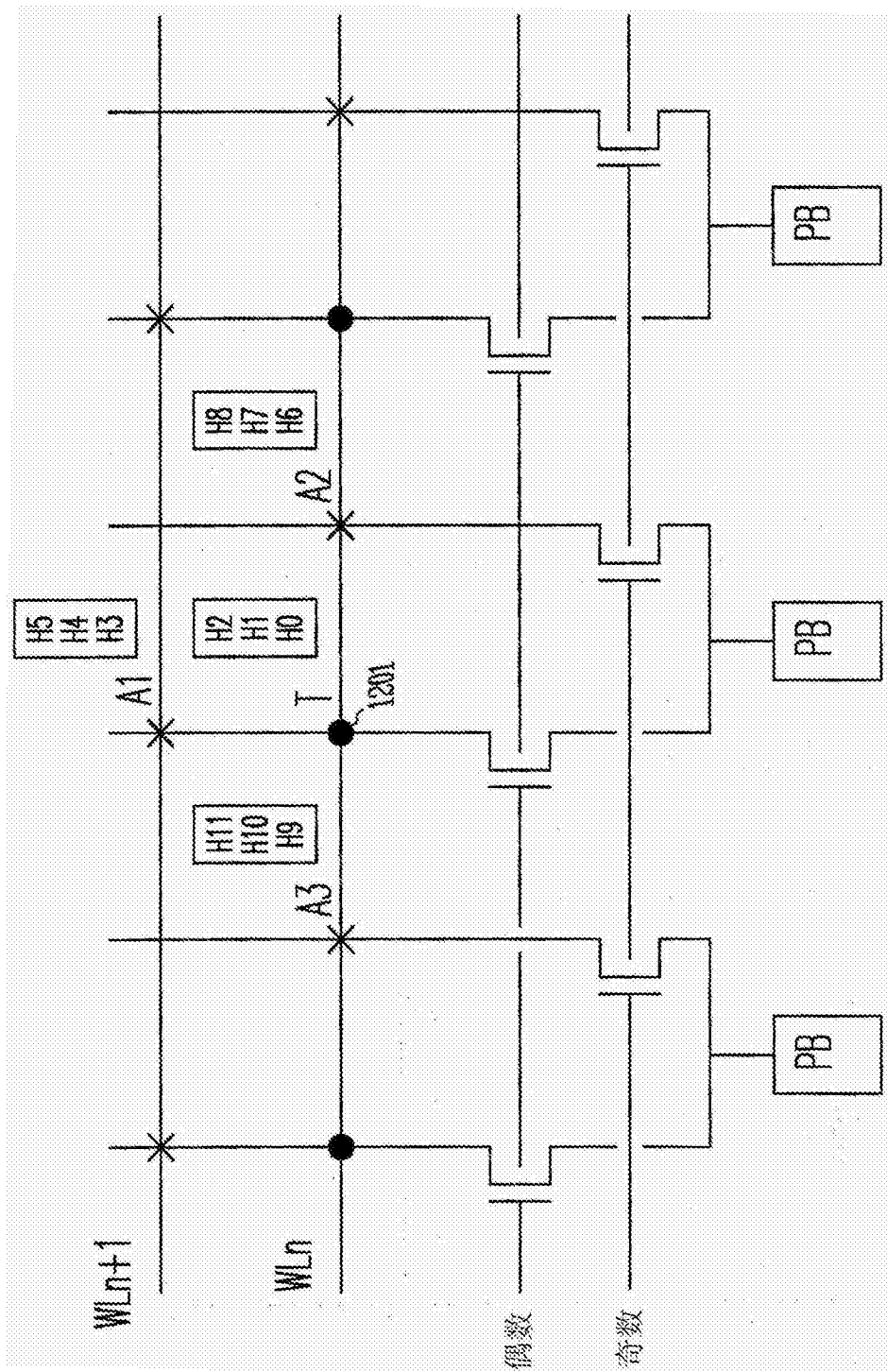


图12

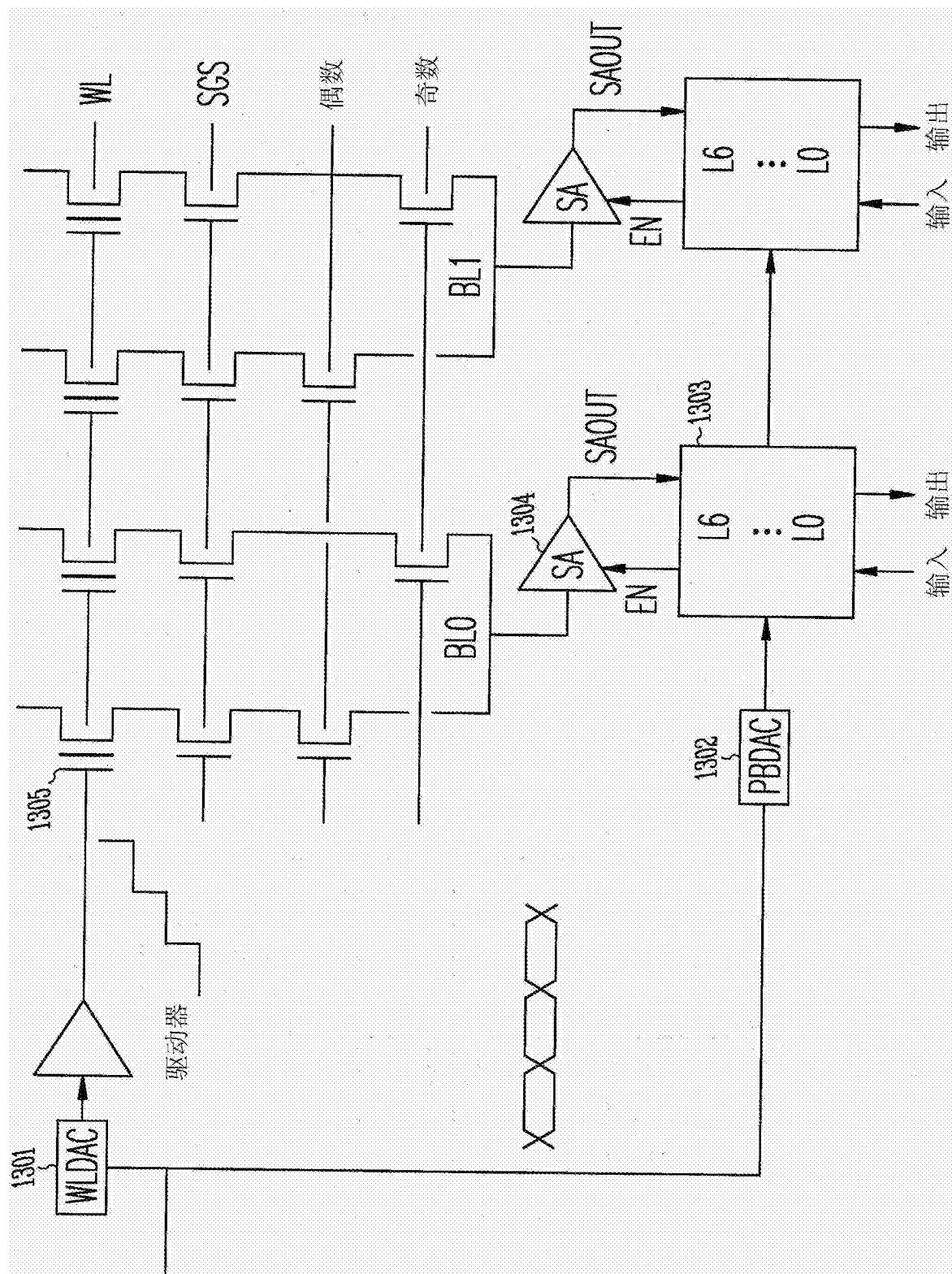


图13

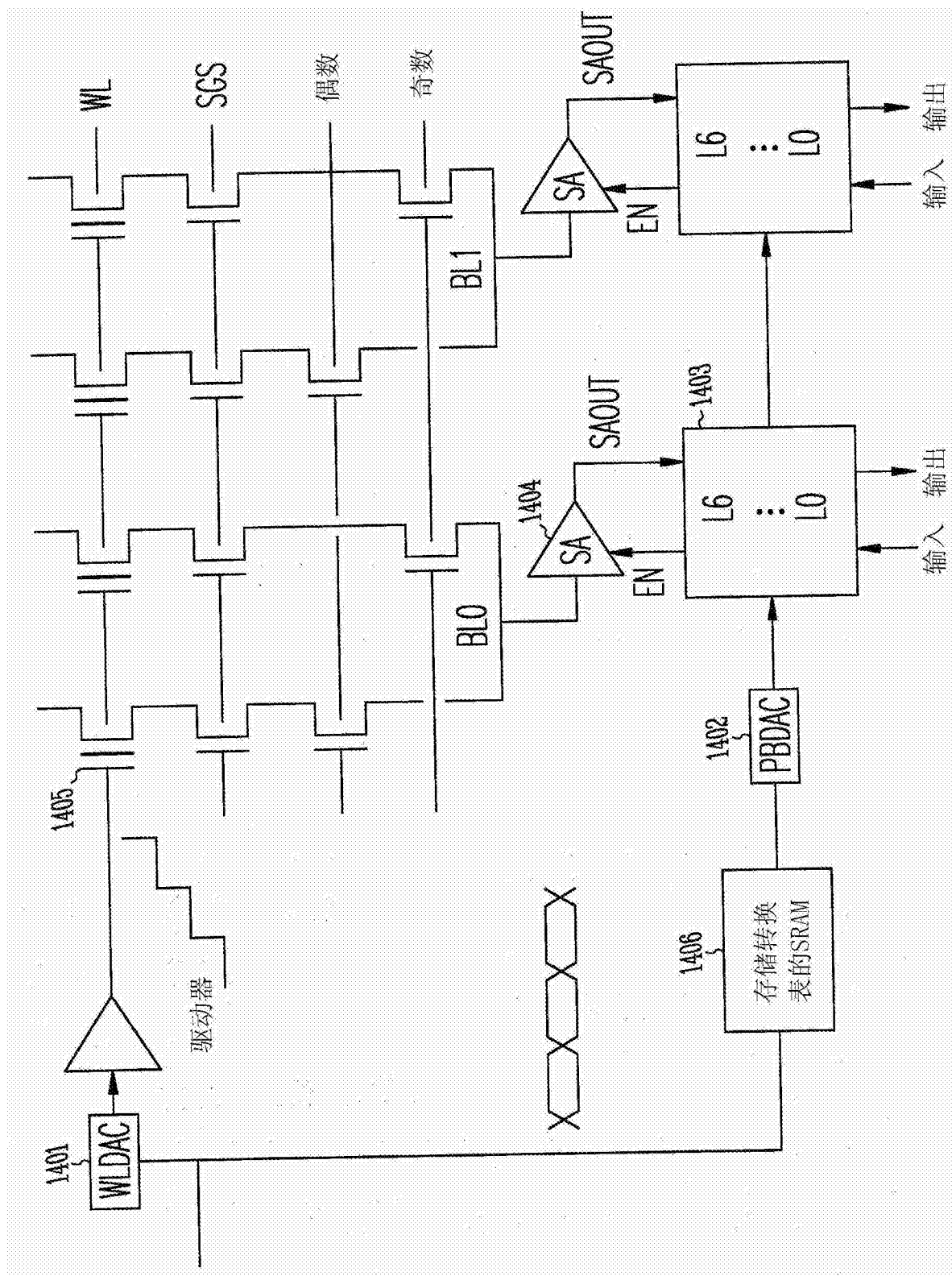


图14