

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月12日(12.12.2024)



(10) 国際公開番号

WO 2024/252247 A1

(51) 国際特許分類:

G09F 9/30 (2006.01) H10K 50/10 (2023.01)

G02F 1/1368 (2006.01) H10K 59/10 (2023.01)

(21) 国際出願番号: PCT/IB2024/055385

(22) 国際出願日: 2024年6月3日(03.06.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-094681 2023年6月8日(08.06.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 中村太紀 (NAKAMURA, Daiki);
〒2430036 神奈川県厚木市長谷398株式会社半

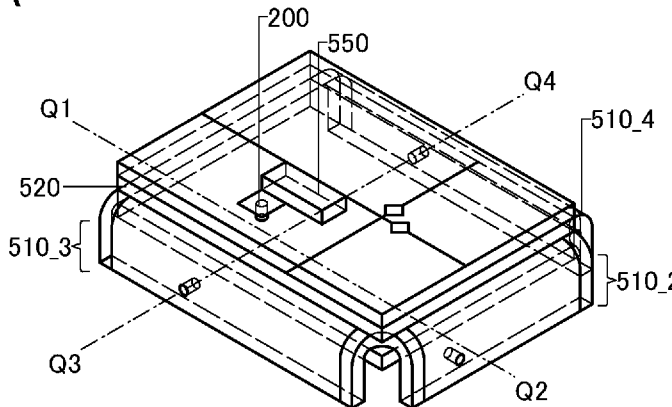
導体エネルギー研究所内 Kanagawa (JP). 初見亮(HATSUMI, Ryo); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 池田寿雄(IKEDA, Hisao); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 塚本洋介(TSUKAMOTO, Yosuke); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: DISPLAY APPARATUS, DISPLAY MODULE, AND ELECTRONIC DEVICE

(54) 発明の名称: 表示装置、表示モジュール、電子機器

図1A



(57) Abstract: Provided is a novel display apparatus that is excellent in terms of convenience, usefulness, or reliability. This display apparatus includes a first functional layer, a second functional layer, a first substrate, and a second substrate. The first functional layer includes a first region and a second region, and the first functional layer is bent in the second region. The first region is sandwiched between the second functional layer and the first substrate, the first region comprises a first layer and a pixel circuit, and the pixel circuit is sandwiched between the second functional layer and the first layer. The second region is adjacent to the first region, the second region comprises a second layer and a first shift register, the second layer is continuous to the first layer, and the first shift register is formed on the second layer. The second functional layer is sandwiched between the second substrate and the first region, the second functional layer comprises a display device, and the display device is electrically connected to the pixel circuit.



MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 利便性、有用性または信頼性に優れた新規な表示装置を提供する。第1の機能層と、第2の機能層と、第1の基板と、第2の基板と、を有する表示装置である。第1の機能層は、第1の領域および第2の領域を備え、第1の機能層は第2の領域において屈曲している。第1の領域は、第2の機能層および第1の基板の間に挟まれ、第1の領域は第1の層および画素回路を備え、画素回路は、第2の機能層および第1の層の間に挟まれる。第2の領域は第1の領域と隣接し、第2の領域は、第2の層および第1のシフトレジスタを備え、第2の層は第1の層と連続し、第1のシフトレジスタは、第2の層上に形成される。第2の機能層は、第2の基板および第1の領域の間に挟まれ、第2の機能層は表示デバイスを備え、表示デバイスは、画素回路と電氣的に接続される。

明細書

発明の名称

表示装置、表示モジュール、電子機器

技術分野

[0001]

本発明の一態様は、表示装置、表示モジュール、電子機器または半導体装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

背景技術

[0003]

スマートフォンなどのモバイル機器には、小型軽量化して、携帯性を高めたいという要望と、ディスプレイの表示領域を大きくして、視認性を向上し、より多くの情報を表示したいという要望がある。また、拡張現実（AR：Augmented Reality）や仮想現実（VR：Virtual Reality）に代表される頭部装着型表示装置（HMD：Head mount display）についても、その要望は顕著であり、表示に寄与しない領域を極力小さくしたいというディスプレイに対する要望、いわゆる狭額縁化への要望は大きい。

[0004]

また、液晶表示装置（LCD：Liquid crystal display）の額縁部には、端子を外部に取り出すためのフレキシブルプリント基板および外付けのドライバICなどが存在する。そこで、狭額縁化を目的に、表示部と入力部を同じフレキシブルプリント基板に接続する方法、またはゲートドライバを内蔵する方法などが、採用されている。

[0005]

なお、可撓性を有する基板上に表示素子と駆動回路を設け、湾曲させることのできるフレキシブルディスプレイが実用化されている。また、フレキシブルディスプレイは、薄型、軽量であることから、スマートフォンなどの携帯情報端末機に適している。特許文献1には、可撓性を有する表示装置の一部を湾曲させることで、接続端子を表示面とは反対側に折り返す構成が記載されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 特開2014-197181号公報

発明の概要

発明が解決しようとする課題

[0007]

以上のように、さまざまな発明が先行技術文献に開示されているが、未だその利便性、有用性または信頼性において課題が多く、満足のできるものではない。そこで、本発明の一態様は、利便性、有用

性または信頼性に優れた新規な表示装置を提供することを課題の一とする。または、利便性、有用性または信頼性に優れた新規な表示モジュールを提供することを課題の一とする。または、利便性、有用性または信頼性に優れた新規な電子機器を提供することを課題の一とする。または、新規な表示装置、新規な表示モジュール、新規な電子機器、または、新規な半導体装置を提供することを課題の一とする。

[0008]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0009]

(1) 本発明の一態様は、第1の機能層と、第2の機能層と、第1の基板と、第2の基板と、を有する表示装置である。

[0010]

第1の機能層は、第1の領域および第2の領域を備え、第1の機能層は、第2の領域において屈曲している。

[0011]

第1の領域は、第2の機能層および第1の基板の間に挟まれ、第1の領域は、第1の層および画素回路を備える。画素回路は、第2の機能層および第1の層の間に挟まれる。

[0012]

第2の領域は第1の領域と隣接し、第2の領域は、第2の層および第1のシフトレジスタを備える。

[0013]

第2の層は第1の層と連続し、第1のシフトレジスタは、第2の層上に形成される。

[0014]

第2の機能層は、第2の基板および第1の領域の間に挟まれ、第2の機能層は、表示デバイスを備える。表示デバイスは画素回路と電氣的に接続される。

[0015]

(2) また、本発明の一態様は、第1の駆動回路を有する上記の表示装置である。

[0016]

第1の駆動回路は第1のシフトレジスタを含み、第1の機能層は信号線を備える。信号線は第1の駆動回路および画素回路を電氣的に接続し、信号線は映像信号を伝送する。

[0017]

これにより、第2の領域に第1の駆動回路を配置して、映像信号を信号線に供給することができる。また、隣接する第1の領域に画素回路および表示デバイスを配置して、映像を表示することができる。また、第2の領域において第1の機能層が屈曲されているため、第1の領域に正対した状態で、第2の領域を視認し難くすることができる。また、第1の領域に正対した状態で、額縁状に第1の領域を囲む領域を視認し難くすることができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0018]

(3) また、本発明の一態様は、第2の駆動回路を有する上記の表示装置である。

[0019]

第2の駆動回路は第2のシフトレジスタを含み、第1の機能層は、第3の領域および走査線を備え、第1の機能層は、第3の領域において屈曲している。

[0020]

第3の領域は第1の領域と隣接し、第3の領域は、第3の層および第2のシフトレジスタを備える。また、第3の層は第1の層と連続し、第2のシフトレジスタは、第3の層上に形成される。

[0021]

走査線は、第2の駆動回路および画素回路を電氣的に接続し、走査線は選択信号を伝送する。

[0022]

これにより、第3の領域に第2の駆動回路を配置して、選択信号を走査線に供給することができる。また、隣接する第1の領域に画素回路および表示デバイスを配置して、映像を表示することができる。また、第3の領域において第1の機能層が屈曲されているため、第1の領域に正対した状態で、第3の領域を視認し難くすることができる。また、第1の領域に正対した状態で、額縁状に第1の領域を囲む領域を視認し難くすることができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0023]

(4) また、本発明の一態様は、第1の電極と、第3の駆動回路と、を有する上記の表示装置である。

[0024]

第1の電極は、第1の機能層との間に第2の機能層を挟み、第3の駆動回路は、第3のシフトレジスタを含む。

[0025]

第1の機能層は、第4の領域および第2の電極を備え、第1の機能層は、第4の領域において屈曲している。

[0026]

第4の領域は第1の領域と隣接し、第4の領域は、第4の層および第3のシフトレジスタを備える。また、第4の層は第1の層と連続し、第3のシフトレジスタは、第4の層上に形成される。

[0027]

第2の電極は、第1の電極との間に容量を形成し、第2の電極は、第3の駆動回路と電氣的に接続され、第2の電極は、パルス信号を伝送する。

[0028]

これにより、第4の領域に第3の駆動回路を配置して、パルス信号を第2の電極に供給することができる。また、隣接する第1の領域上に第1の電極を配置して、第2の電極との間に生じる投影容量の変化を検知することができる。また、第1の領域に近づく表示装置の利用者の指の位置を検知することができる。また、第4の領域において第1の機能層が屈曲されているため、第1の領域に正対した状態で、第4の領域を視認し難くすることができる。また、第1の領域に正対した状態で、額縁状に第1の領域を囲む領域を視認し難くすることができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0029]

(5) また、本発明の一態様は、第1の機能層が、スペーサおよびトランジスタを備える上記の表示

装置である。

[0030]

スペーサは、第1の面、第2の面、第3の面および第1の開口部を備え、第1の面、第2の面および第3の面は、絶縁性を備える。第2の面は第1の面に対向し、第2の面は、第1の面と比較して、第2の機能層の近くに位置する。第3の面は、第1の面および第2の面を接続し、第3の面は、第1の開口部の側面に位置する。

[0031]

トランジスタは、第3の電極、第4の電極、第5の電極、半導体層および絶縁層を備える。第3の電極は、第1の面と接する領域および第1の開口部と重なる領域を備える。

[0032]

第4の電極は第2の面と接する領域、第2の開口部および第4の面を備える。第4の面は第2の開口部の側面に位置し、第2の開口部は第1の開口部と重なる。

[0033]

第5の電極は第3の面に対向する領域を備え、絶縁層は、第3の面および第5の電極に挟まれる領域を備える。

[0034]

半導体層は、第3の面および絶縁層の間に挟まれる領域を備え、半導体層は、第1の開口部において、第3の電極と接する。また、半導体層は、第4の面において、第4の電極と接する。

[0035]

(6) また、本発明の一態様は、第1のシフトレジスタが、上記のトランジスタを備える、上記の表示装置である。

[0036]

これにより、トランジスタの占有面積を小さくできる。また、トランジスタのチャネル長を短くできる。また、トランジスタのオン電流を大きくできる。また、トランジスタの動作特性のばらつきを低減できる。また、第1のシフトレジスタの少なくとも一部を、画素回路を形成する工程において形成することができる。また、表示装置の作製工程を簡略化することができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0037]

(7) また、本発明の一態様は、画素回路が上記のトランジスタを備える、上記の表示装置である。

[0038]

これにより、トランジスタの占有面積を小さくできる。また、トランジスタのチャネル長を短くできる。また、トランジスタのオン電流を大きくできる。また、トランジスタの動作特性のばらつきを低減できる。また、画素回路の占有面積を小さくできる。また、表示装置の精細度を高めることができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0039]

(8) また、本発明の一態様は、表示デバイスが第5の層を備え、第5の層は液晶材料を含む、上記の表示装置である。

[0040]

これにより、例えば、外光を利用した、反射型の表示をすることができる。また、表示デバイスの消費電力を抑制することができる。また、第2の領域において第1の機能層が屈曲されているため、第

1の領域に正対した状態で、第2の領域を視認し難くすることができる。また、第1の領域に正対した状態で、額縁状に第1の領域を囲む領域を視認し難くすることができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0041]

(9)また、本発明の一態様は、上記の表示装置と、コネクタ及び集積回路のうち少なくとも一方と、を有する、表示モジュールである。

[0042]

(10)また、本発明の一態様は、上記の表示装置と、光源と、を有する表示モジュールである。

[0043]

第1の層は、可視光域において、80%以上の透過率を備える。

[0044]

第1の基板は、第1の端部および第2の端部を備え、第2の端部は第1の端部と対向し、第2の端部は、第1の端部および第2の層の間に位置する。また、第1の基板は、第1の端部から入射した光を、第2の基板に向けて分配する機能を備える。

[0045]

光源は第1の端部と対向し、光源は第1の端部に光を照射する。

[0046]

これにより、第1の領域との間に第1の基板を挟むように光源を配置する構成に比べて、光源が光を照射する範囲を狭くすることができる。また、第1の領域との間に第1の基板を挟むように光源を配置する構成に比べて、表示装置の厚さを薄くできる。また、第2の領域において第1の機能層が屈曲されているため、第1の領域に正対した状態で、第2の領域を視認し難くすることができる。また、第1の領域に正対した状態で、額縁状に第1の領域を囲む領域を視認し難くすることができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0047]

(11)また、本発明の一態様は、上記の表示装置と、バッテリー、カメラ、スピーカ、及びマイクのうち少なくとも一つと、を有する、電子機器である。

[0048]

本明細書に添付した図面では、構成要素を機能ごとに分類し、互いに独立したブロックとしてブロック図を示しているが、実際の構成要素は機能ごとに完全に切り分けることが難しく、一つの構成要素が複数の機能に係わることもあり得る。

[0049]

なお、本明細書中における発光装置とは、発光デバイスを用いた画像表示デバイスを含む。また、発光デバイスにコネクタ、例えば異方導電性フィルム又はTCP (Tape Carrier Package) が取り付けられたモジュール、TCPの先にプリント配線板が設けられたモジュール、又は発光デバイスにCOG (Chip On Glass) 方式によりIC (集積回路) が直接実装されたモジュールも、発光装置に含む場合がある。さらに、照明器具等は、発光装置を有する場合がある。

発明の効果

[0050]

本発明の一態様によれば、利便性、有用性または信頼性に優れた新規な表示装置を提供することがで

きる。また、本発明の一態様は、利便性、有用性または信頼性に優れた新規な表示モジュールを提供することができる。また、本発明の一態様は、利便性、有用性または信頼性に優れた新規な電子機器を提供することができる。また、新規な表示装置を提供することができる。また、新規な表示モジュールを提供することができる。また、新規な電子機器を提供することができる。

[0051]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0052]

図1Aおよび図1Bは、実施の形態に係る表示装置の構成を説明する図である。

図2A乃至図2Cは、実施の形態に係る表示装置の構成を説明する図である。

図3は、実施の形態に係る表示装置の構成を説明する図である。

図4Aおよび図4Bは、実施の形態に係る表示装置の構成を説明する図である。

図5は、実施の形態に係る表示装置の構成を説明する図である。

図6Aおよび図6Bは、実施の形態に係る表示装置の構成を説明する図である。

図7A乃至図7Cは、実施の形態に係る表示装置の構成を説明する図である。

図8A、図8Cおよび図8Dは、実施の形態に係る表示装置の構成を説明する図である。図8Bは、実施の形態に係る表示装置の動作を説明する図である。

図9は、実施の形態に係るタッチパネルモジュールの構成を説明する図である。

図10A乃至図10Cは、実施の形態に係るタッチパネルモジュールの構成を説明する図である。

図11A乃至図11Cは、実施の形態に係るシフトレジスタの構成を説明する図である。

図12は、実施の形態に係る信号出力回路の構成を説明する図である。

図13は、実施の形態に係る信号出力回路の構成を説明する図である。

図14は、実施の形態に係る信号出力回路の構成を説明する図である。

図15A乃至図15Dは、実施の形態に係るトランジスタの構成を説明する図である。

図16A乃至図16Fは、実施の形態に係るトランジスタの構成を説明する図である。

図17Aおよび図17Bは、実施の形態に係るトランジスタの構成を説明する図である。

図18Aおよび図18Bは、実施の形態に係るトランジスタの構成を説明する図である。

図19A乃至図19Dは、実施の形態に係るトランジスタの構成を説明する図である。

図20A乃至図20Dは、実施の形態に係るトランジスタの構成を説明する図である。

図21は、実施の形態に係る信号出力回路の構成を説明する図である。

図22Aおよび図22Bは、実施の形態に係る信号出力回路の構成を説明する図である。

図23Aおよび図23Bは、実施の形態に係る信号出力回路の構成を説明する図である。

図24は、実施の形態に係る信号出力回路の構成を説明する図である。

図25は、実施の形態に係る信号出力回路の動作を説明する図である。

図26は、実施の形態に係る信号出力回路の動作を説明する図である。

図27は、実施の形態に係る信号出力回路の動作を説明する図である。

図28は、実施の形態に係る信号出力回路の動作を説明する図である。

図 29 は、実施の形態に係る信号出力回路の動作を説明する図である。
図 30 は、実施の形態に係る信号出力回路の動作を説明する図である。
図 31 は、実施の形態に係る信号出力回路の動作を説明する図である。
図 32 は、実施の形態に係る信号出力回路の動作を説明する図である。
図 33 は、実施の形態に係るトランジスタの構成を説明する図である。
図 34 は、実施の形態に係るシフトレジスタの動作を説明する図である。
図 35 は、実施の形態に係る表示モジュールの構成を説明する図である。
図 36 は、実施の形態に係る表示モジュールの構成を説明する図である。
図 37 は、実施の形態に係る表示モジュールの構成を説明する図である。
図 38 は、実施の形態に係る表示モジュールの構成を説明する図である。
図 39 は、実施の形態に係る表示モジュールの構成を説明する図である。
図 40 は、実施の形態に係る表示モジュールの構成を説明する図である。
図 41A 乃至図 41F は、実施の形態に係る電子機器の構成を説明する図である。

発明を実施するための形態

[0053]

本発明の一態様の表示装置は、第 1 の機能層と、第 2 の機能層と、第 1 の基板と、第 2 の基板と、を有する。第 1 の機能層は、第 1 の領域および第 2 の領域を備え、第 1 の機能層は第 2 の領域において屈曲している。第 1 の領域は、第 2 の機能層および第 1 の基板の間に挟まれ、第 1 の領域は第 1 の層および画素回路を備え、画素回路は、第 2 の機能層および第 1 の層の間に挟まれる。第 2 の領域は第 1 の領域と隣接し、第 2 の領域は、第 2 の層および第 1 のシフトレジスタを備え、第 2 の層は第 1 の層と連続し、第 1 のシフトレジスタは、第 2 の層上に形成される。第 2 の機能層は、第 2 の基板および第 1 の領域の間に挟まれ、第 2 の機能層は表示デバイスを備え、表示デバイスは、画素回路と電気的に接続される。

[0054]

これにより、第 2 の領域に第 1 の駆動回路を配置して、映像信号を信号線に供給することができる。また、隣接する第 1 の領域に画素回路および表示デバイスを配置して、映像を表示することができる。また、第 2 の領域において第 1 の機能層が屈曲されているため、第 1 の領域に正対した状態で、第 2 の領域を視認し難くすることができる。また、第 1 の領域に正対した状態で、額縁状に第 1 の領域を囲む領域を視認し難くすることができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0055]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

[0056]

(実施の形態 1)

本実施の形態では、本発明の一態様の表示装置の構成について、図 1 乃至図 6 を参照しながら説明する。

[0057]

図1Aは、本発明の一態様の表示装置の構成を模式的に説明する斜視図であり、図1Bは、本発明の一態様の表示装置の構成を模式的に説明する断面図である。

[0058]

図2Aは、図1Bに示す本発明の一態様の表示装置の一部を説明する正面図である。また、図2Bは、図2Aに示す切断線Q1-Q2における断面図であり、図2Cは、図2Aに示す切断線Q3-Q4における断面図である。

[0059]

図3は、本発明の一態様の表示装置の一部を説明する正面図である。

[0060]

図4Aは、図3に示す本発明の一態様の表示装置の一部を説明する正面図であり、図4Bは、図4Aに示す切断線P1-P2における断面図である。

[0061]

図5は、図4Bに示す構成の一部を詳細に説明する図である。なお、図の煩雑さを避けるため、一部の構成については、ハッチングパターンを省略する。

[0062]

図6Aは、本発明の一態様の表示装置の構成を模式的に説明する斜視図であり、図6Bは、図6Aに示す切断線Q1-Q2における断面図である。

[0063]

<表示装置の構成例1>

本発明の一態様の表示装置は、機能層510と、機能層520と、基板SUB1と、基板SUB2と、を有する（図1A及び図1B参照）。

[0064]

《機能層510の構成例1》

機能層510は、領域510__1および領域510__2を備え、機能層510は、領域510__2において屈曲している（図1B参照）。

[0065]

領域510__1は、機能層520および基板SUB1の間に挟まれ、領域510__1は、層511__1および画素回路530を備える。画素回路530は、機能層520および層511__1の間に挟まれる。機能層510はトランジスタ200を備える。

[0066]

領域510__2は領域510__1と隣接し、領域510__2は、層511__2およびシフトレジスタSR1を備える（図2Aおよび図2B参照）。なお、説明の便宜のため、領域510__2を屈曲した状態から伸長した状態に変形して、図2Aおよび図2Bに機能層510を示す。

[0067]

層511__2は層511__1と連続し、シフトレジスタSR1は層511__2上に形成される。

[0068]

[層511の構成例]

層511は、層511__1および層511__2を含む。例えば、無機材料、有機材料または無機材料および有機材料を積層した材料を層511に用いることができる。

[0069]

具体的には、酸素およびシリコンを含む材料、窒素およびシリコンを含む材料、酸素およびタンゲステンを含む材料を、層511に用いることができる。

[0070]

また、エポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、PVC（ポリビニルクロライド）樹脂、PVB（ポリビニルブチラル）樹脂、EVA（エチレンビニルアセテート）樹脂等を層511に用いることができる。特に、耐熱性に優れたポリイミド樹脂を層511に好適に用いることができる。

[0071]

上記の構成により、層511__2を屈曲することができる。また、画素回路530およびシフトレジスタSR1を、層511上に形成することができる。また、作製工程中に加わる熱による、層511の劣化および変質を抑制することができる。

[0072]

また、層511が形成された作製工程用基板を用いて、機能層510および機能層520を作製し、基板SUB2と貼り合わせたあと、当該作製工程用基板を、機能層510から剥離することができる。例えば、作製工程用基板を透過して、機能層510に向けてレーザを照射して、作製工程用基板を、機能層510から剥離することができる。これにより、ワークピースが剛直な状態で、作製工程の一部を進めることができる。また、作製工程用基板を分離した後に、可撓性を有する状態にすることができる。

[0073]

《機能層520の構成例1》

機能層520は、基板SUB2および領域510__1の間に挟まれる（図1B参照）。

[0074]

機能層520は表示デバイス550を備え、表示デバイス550は、画素回路530と電氣的に接続される。

[0075]

《表示デバイス550の構成例》

例えば、液晶デバイス550LCを、表示デバイス550に用いることができる（図3参照）。なお、液晶デバイスに限らず、さまざまな表示デバイスを本発明の一態様の表示装置に用いることができる。例えば、発光デバイスなどを表示デバイス550に用いることができる。

[0076]

液晶デバイス550LCは、電極551LC、電極552LCおよび液晶を含む層553LCを備える。電極552LCは、電極551LCとの間に液晶材料の配向を制御する電界が形成されるように配置される（図4B参照）。電極551LCは画素電極である。

[0077]

例えば、櫛歯状の形状を電極551LCに適用し、電極552LCとの間に横電界またはフリンジ電界が形成されるように、電極552LCを配置することができる（図3参照）。なお、電極551LCは、液晶を含む層553LCおよび電極552LCの間に挟まれる。

[0078]

また、例えば、電極552LCとの間に縦電界が形成されるように電極551LCを配置することが

できる。なお、液晶を含む層553LCは、電極551LCおよび電極552LCの間に挟まれる。

[0079]

また、液晶デバイス550LCは、配向膜AF1および配向膜AF2を備える（図4B参照）。配向膜AF1は、液晶を含む層553LCおよび電極551LCの間に挟まれ、配向膜AF2は、配向膜AF1との間に液晶を含む層553LCを挟む。

[0080]

例えば、垂直配向（VA）モードを採用した透過型の液晶デバイスを、液晶デバイス550LCに用いることができる。垂直配向モードとしては、MVA（Multi-Domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）モード、ASV（Advanced Super View）モードなどを用いることができる。

[0081]

また、動作モードはVAモードに限られず、様々なモードで動作する液晶デバイスを、液晶デバイス550LCに用いることができる。例えば、FFSモード、TN（Twisted Nematic）モード、IPSモード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optically Compensated Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）モード、ECB（Electrically Controlled Birefringence）モード、ゲストホストモード等を、液晶デバイス550LCに用いることができる。

[0082]

ここで、液晶デバイスは、偏光と液晶の光学的変調作用を利用して、光の透過または非透過を制御する。液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。液晶デバイスに用いることのできる液晶としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC：Polymer Dispersed Liquid Crystal）、高分子ネットワーク型液晶（PNLC：Polymer Network Liquid Crystal）、強誘電性液晶、反強誘電性液晶などを用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相などを示す。また、液晶材料としては、ポジ型の液晶、またはネガ型の液晶のいずれを用いてもよく、適用するモードまたは設計に応じて最適な液晶材料を用いればよい。

[0083]

《機能層520の構成例2》

機能層520は、遮光膜BM、着色層CF、層522および層KBを備える（図4B参照）。遮光膜BMは開口部を備え、着色層CFは遮光膜BMの開口部に重なる。層522は、着色層CFおよび液晶を含む層553LCの間に挟まれ、絶縁性を備える。層KBは、開口部518_4および遮光膜BMの間に挟まれ、層KBは液晶を含む層553LCの厚さを制御する。また、機能層520は層521を備える。層521は、液晶を含む層553LCおよび機能層510の間に挟まれる。

[0084]

これにより、例えば、外光を利用した、反射型の表示をすることができる。また、表示デバイス55

0の消費電力を抑制することができる。また、透過型の表示をすることができる。また、領域510__2において機能層510が屈曲されているため、領域510__1に正対した状態で、領域510__2を視認し難くすることができる。また、領域510__1に正対した状態で、額縁状に領域510__1を囲む領域を視認し難くすることができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0085]

《機能層510の構成例2》

機能層510は、層516、層518、スペーサ210およびトランジスタ200を備える(図4B参照)。

[0086]

[層518、層516の構成例]

層518は、機能層520およびスペーサ210の間に挟まれる。層518は開口部518__4を備え、層518は絶縁性を備える。また、層516は、層518およびスペーサ210の間に挟まれ、層516はトランジスタ200と重なる。

[0087]

例えば、絶縁性の無機材料、絶縁性の有機材料または無機材料と有機材料を含む絶縁性の複合材料を、層518に用いることができる。

[0088]

具体的には、無機酸化物、無機窒化物または無機酸化窒化物等を、層518に用いることができる。または、無機酸化物、無機窒化物または無機酸化窒化物等から選ばれた複数を積層した積層材料を、層518に用いることができる。

[0089]

具体的には、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム等を、層518に用いることができる。なお、窒化シリコン膜は緻密な膜であり、不純物の拡散を抑制する機能に優れる。また、不純物の拡散を抑制する機能に優れる膜を、層516に好適に用いることができる。これにより、トランジスタ200の外部から内部への、トランジスタ200の動作特性を損なう不純物の拡散を抑制することができる。

[0090]

また、例えば、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネイト、ポリシロキサンまたはアクリル樹脂等を、層518に用いることができる。なお、感光性を有する材料を用いて形成してもよい。なお、ポリイミドは他の有機材料に比べて、熱的安定性、絶縁性、靱性、低誘電率、低熱膨張率、耐薬品性などの特性において優れる。

[0091]

また、層518を下地の上に形成することにより、層518は、下地の構造に由来する段差を平坦化することができる。

[0092]

[スペーサ210の構成例]

スペーサ210は、面210__1、面210__2、面210__3および開口部210__4を備える(図5参照)。面210__1、面210__2および面210__3は、絶縁性を備える。

[0093]

面 2 1 0 __ 2 は面 2 1 0 __ 1 に対向し、面 2 1 0 __ 2 は、面 2 1 0 __ 1 と比較して、層 5 1 8 の近くに位置する。

[0094]

例えば、層 2 1 0 A、層 2 1 0 B および層 2 1 0 C を積層した構成を、スペーサ 2 1 0 に用いることができる。層 2 1 0 C が層 2 1 0 A および層 2 1 0 B の間に位置する場合、例えば、層 2 1 0 A が面 2 1 0 __ 1 を構成し、層 2 1 0 B が面 2 1 0 __ 2 を構成する。

[0095]

面 2 1 0 __ 3 は、面 2 1 0 __ 1 および面 2 1 0 __ 2 を接続し、面 2 1 0 __ 3 は開口部 2 1 0 __ 4 の側面に位置する。なお、面や開口は図面の破線の範囲に限定されない。

[0096]

例えば、層 2 1 0 A、層 2 1 0 B および層 2 1 0 C を積層した構成をスペーサ 2 1 0 に用いる場合、面 2 1 0 __ 3 は、層 2 1 0 A の開口部の側面と、層 2 1 0 B の開口部の側面と、層 2 1 0 C の開口部の側面とで構成される。

[0097]

[トランジスタ 2 0 0 の構成例]

トランジスタ 2 0 0 は、電極 2 1 2 A、電極 2 1 2 B、電極 2 0 4、半導体層 2 0 8 および絶縁層 2 0 6 を備える（図 4 B および図 5 参照）。

[0098]

電極 2 1 2 A は、面 2 1 0 __ 1 と接する領域および開口部 2 1 0 __ 4 と重なる領域を備える。

[0099]

電極 2 1 2 B は、面 2 1 0 __ 2 と接する領域、開口部 2 1 2 B __ 4 および面 2 1 2 B __ 3 を備える。面 2 1 2 B __ 3 は、開口部 2 1 2 B __ 4 の側面に位置し、開口部 2 1 2 B __ 4 は開口部 2 1 0 __ 4 と重なる。

[0100]

電極 2 0 4 は、面 2 1 0 __ 3 に対向する領域を備える。なお、電極 2 0 4 は、トランジスタ 2 0 0 のゲート電極として機能する。

[0101]

絶縁層 2 0 6 は、面 2 1 0 __ 3 および電極 2 0 4 に挟まれる領域を備える。なお、絶縁層 2 0 6 は、トランジスタ 2 0 0 のゲート絶縁膜として機能する。

[0102]

半導体層 2 0 8 は、面 2 1 0 __ 3 および絶縁層 2 0 6 の間に挟まれる領域を備える。なお、トランジスタ 2 0 0 のチャンネルは、半導体層 2 0 8 に形成される。

[0103]

半導体層 2 0 8 は、開口部 2 1 0 __ 4 において、電極 2 1 2 A と接し、また、半導体層 2 0 8 は、面 2 1 2 B __ 3 において、電極 2 1 2 B と接する。なお、電極 2 1 2 A は、トランジスタ 2 0 0 のソース電極またはドレイン電極の一方として機能し、電極 2 1 2 B は、トランジスタ 2 0 0 のソース電極またはドレイン電極の他方として機能する。なお、トランジスタ 2 0 0 に用いることができる構成の詳細については、実施の形態 4 において説明する。

[0104]

これにより、トランジスタの占有面積を小さくできる。また、トランジスタのチャンネル長を短くでき

る。また、トランジスタのオン電流を大きくできる。また、トランジスタの動作特性のばらつきを低減できる。また、画素回路530の占有面積を小さくできる。また、表示装置の精細度を高めることができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0105]

《導電層519Aの構成例》

導電層519Aは、開口部518__4を介して、電極212Bおよび電極551LCを電氣的に接続する（図4B参照）。

[0106]

例えば、開口部518__4が電極212Bと重なる位置に形成された層518の上に、導電膜を形成することで、当該導電膜および電極212Bを、開口部518__4において、電氣的に接続することができる。さらに、当該導電膜を所定の形状に加工して、導電層519Aおよび電極551LCを形成できる。なお、導電層519Aおよび電極551LCが同じ導電層から形成されている場合、当該導電層の層518の開口部518__4と重なる部分を導電層519Aとし、当該導電層の層518の平坦な領域と重なる部分を電極551LCとする。

[0107]

無機導電性材料、有機導電性材料、金属または導電性酸化物等を、導電層519Aに用いることができる。

[0108]

具体的には、アルミニウム、金、白金、銀、銅、クロム、タンタル、チタン、モリブデン、タングステン、ニッケル、鉄、コバルト、パラジウムまたはマンガンから選ばれた金属元素を、導電層519Aに用いることができる。または、上述した金属元素を含む合金などを、導電層519Aに用いることができる。

[0109]

具体的には、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等を導電層519Aに用いることができる。

[0110]

例えば、インジウムを含む導電性酸化物を導電層519Aに用いることができる。具体的には、酸化インジウム、酸化インジウム－酸化スズ（略称：ITO）、ケイ素若しくは酸化ケイ素を含有した酸化インジウム－酸化スズ（略称：ITSO）、酸化インジウム－酸化亜鉛、酸化タングステン及び酸化亜鉛を含有した酸化インジウム（略称：IWZO）等を用いることができる。

[0111]

また、例えば、亜鉛を含む導電性酸化物を導電層519Aに用いることができる。具体的には、酸化亜鉛、ガリウムを添加した酸化亜鉛、アルミニウムを添加した酸化亜鉛などを用いることができる。

[0112]

《基板SUB1、基板SUB2の構成例》

例えば、ガラス基板を基板SUB1および基板SUB2に用いることができる。具体的には、無アルカリガラスを基板SUB1および基板SUB2に用いることができる。

[0113]

<表示装置の構成例 2>

本発明の一態様の表示装置は、駆動回路SDを有する。駆動回路SDは、シフトレジスタSR1を含む（図2A参照）。

[0114]

機能層510は信号線Sを備える。信号線Sは、駆動回路SDおよび画素回路530を電氣的に接続し、信号線Sは映像信号を伝送する。なお、本発明の一態様の表示装置に用いることができる駆動回路SDの機能については、実施の形態2において詳細に説明する。また、シフトレジスタSR1に用いることができる構成の詳細については、実施の形態4において説明する。

[0115]

これにより、領域510__2に駆動回路SDを配置して、映像信号を信号線Sに供給することができる。また、隣接する領域510__1に画素回路530および表示デバイス550を配置して、映像を表示することができる。また、領域510__2において機能層510が屈曲されているため、領域510__1に正対した状態で、領域510__2を視認し難くすることができる。また、領域510__1に正対した状態で、額縁状に領域510__1を囲む領域を視認し難くすることができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0116]

また、信号線Sは電極212Aと電氣的に接続される（図4B参照）。例えば、液晶デバイス550LCに信号を供給するための配線を、信号線Sに用いることができる。なお、信号線Sおよび電極212Aが同じ導電層から形成されている場合、当該導電層のスペーサ210の開口部210__4と重なる部分を、電極212Aとする。また、当該導電層のスペーサ210の平坦な領域と重なる部分を、信号線Sとする。

[0117]

信号線Sは遮光性を備える。例えば、導電層519Aに用いることができる材料を、信号線Sに用いることができる。特に、金属または合金を好適に用いることができる。

[0118]

信号線Sは、開口部518__4と重なる。換言すれば、開口部518__4は、電極212Bおよび信号線Sと重なる。

[0119]

これにより、開口部518__4上に形成される段差を、信号線Sに重ねることができる。また、信号線Sと重ならない領域に、平坦な領域を形成することができる。また、当該平坦な領域に、表示デバイス550の電極を形成することができる。また、当該電極に平坦な領域を形成することができる。また、当該電極の平坦な領域上に、例えば、液晶を含む層を形成することができる。また、例えば、液晶を含む層およびバックライトの間に、信号線Sを配置することができる。また、開口部518__4上の段差に由来して、液晶を含む層に形成される配向が乱れた領域に、バックライトの光が到達しないように、信号線Sを用いて遮光することができる。また、液晶デバイスの開口率を高めることができる。また、表示装置の輝度を高めることができる。また、消費電力を抑制することができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0120]

<表示装置の構成例 3>

本発明の一態様の表示装置は、駆動回路GDを有する。駆動回路GDは、シフトレジスタSR2を含

む（図2 A参照）。なお、本発明の一態様の表示装置に用いることができる駆動回路GDの機能については、実施の形態2において詳細に説明する。また、シフトレジスタSR2に用いることができる構成の詳細については、実施の形態4において説明する。

[0121]

機能層510は、領域510__3および走査線Gを備える。機能層510は、領域510__3において屈曲している。

[0122]

なお、図1 Aに示すように、領域510__1に対して領域510__2を屈曲する軸と、領域510__1に対して領域510__3を屈曲する軸とが交差する場合、領域510__2および領域510__3の間に、切り欠きを設ける。さまざまな形状を切り欠きの外形に採用することができるが、例えば、破線Q5-Q6を用いて図2 Aに示すように、緩やかな曲線で描かれた外形を採用すると、屈曲に伴う応力の集中を防ぐことができる。具体的には、曲率半径が0.1 mm以上10 mm以下の曲線で描かれた外形が好ましい。

[0123]

領域510__3は領域510__1と隣接し、領域510__3は、層511__3およびシフトレジスタSR2を備える（図2 Aおよび図2 C参照）。

[0124]

層511__3は層511__1と連続し、シフトレジスタSR2は層511__3上に形成される。

[0125]

走査線Gは、駆動回路GDおよび画素回路530を電氣的に接続し、走査線Gは、選択信号を伝送する。

[0126]

これにより、領域510__3に駆動回路GDを配置して、選択信号を走査線Gに供給することができる。また、隣接する領域510__1に画素回路530および表示デバイス550を配置して、映像を表示することができる。また、領域510__3において機能層510が屈曲されているため、領域510__1に正対した状態で、領域510__3を視認し難くすることができる。また、領域510__1に正対した状態で、額縁状に領域510__1を囲む領域を視認し難くすることができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0127]

<表示装置の構成例4>

本発明の一態様の表示装置は、電極RXと、駆動回路TDと、を有する。

[0128]

機能層520は、電極RXおよび機能層510の間に位置する。換言すれば、電極RXは、機能層510との間に機能層520を挟む（図4 B参照）。

[0129]

駆動回路TDは、シフトレジスタSR3を含む（図2 A参照）。なお、本発明の一態様の表示装置に用いることができる駆動回路TDの機能については、実施の形態3において詳細に説明する。また、シフトレジスタSR3に用いることができる構成の詳細については、実施の形態4において説明する。

[0130]

機能層 5 1 0 は、領域 5 1 0 __ 4 および電極 T X を備える。機能層 5 1 0 は、領域 5 1 0 __ 4 において屈曲している。

[0 1 3 1]

領域 5 1 0 __ 4 は領域 5 1 0 __ 1 と隣接し、領域 5 1 0 __ 4 は、層 5 1 1 __ 4 およびシフトレジスタ S R 3 を備える（図 2 A および図 2 C 参照）。

[0 1 3 2]

層 5 1 1 __ 4 は層 5 1 1 __ 1 と連続し、シフトレジスタ S R 3 は層 5 1 1 __ 4 上に形成される。

[0 1 3 3]

電極 T X と電極 R X の間に、容量が形成される（図 6 B 参照）。換言すれば、電極 T X は、電極 R X との間に容量を形成する。また、電極 T X および電極 R X は、センサ素子を構成する。なお、表示デバイス 5 5 0 に液晶デバイスを用いる場合、電極 T X を液晶デバイスの共通電極に用いることができる。具体的には、電極 T X を電極 5 5 2 L C に用いることができる（図 4 B 参照）。

[0 1 3 4]

電極 T X は、駆動回路 T D と電氣的に接続され、電極 T X は、パルス信号を伝送する。

[0 1 3 5]

これにより、領域 5 1 0 __ 4 に駆動回路 T D を配置して、パルス信号を電極 T X に供給することができる。また、隣接する領域 5 1 0 __ 1 上に電極 R X を配置して、電極 T X との間に生じる投影容量の変化を検知することができる。また、領域 5 1 0 __ 1 に近づく表示装置の利用者の指の位置を検知することができる。また、領域 5 1 0 __ 4 において機能層 5 1 0 が屈曲されているため、領域 5 1 0 __ 1 に正対した状態で、領域 5 1 0 __ 4 を視認し難くすることができる。また、領域 5 1 0 __ 1 に正対した状態で、額縁状に領域 5 1 0 __ 1 を囲む領域を視認し難くすることができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0 1 3 6]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0 1 3 7]

（実施の形態 2）

本実施の形態では、本発明の一態様の表示装置について、図 7 および図 8 を参照しながら説明する。

[0 1 3 8]

図 7 A に示す表示装置は、画素部 4 5 0 2 と、駆動回路部 4 5 0 4 と、保護回路 4 5 0 6 と、端子部 4 5 0 7 と、を有する。なお、保護回路 4 5 0 6 は、設けない構成としてもよい。

[0 1 3 9]

画素部 4 5 0 2 は、X 行 Y 列（X、Y はそれぞれ独立に 2 以上の自然数）に配置された複数の画素回路 4 5 0 1 を有する。各画素回路 4 5 0 1 は、それぞれ表示素子を駆動する回路を有する。

[0 1 4 0]

駆動回路部 4 5 0 4 は、ゲートドライバ 4 5 0 4 a およびソースドライバ 4 5 0 4 b などの駆動回路を有する。

[0 1 4 1]

ゲートドライバ 4 5 0 4 a は、ゲート線 G L __ 1 乃至ゲート線 G L __ X に走査信号を出力する。ゲートドライバ 4 5 0 4 a は、少なくともシフトレジスタを有する構成とすることができる。なお、ゲートドライバ 4 5 0 4 a を、例えば、実施の形態 1 において説明する表示装置の駆動回路 G D に用いる

ことができる。

[0142]

また、ソースドライバ4504bは、データ線DL__1乃至データ線DL__Yにデータ信号を供給する。ソースドライバ4504bは、シフトレジスタ、デジタルアナログ変換回路、ラッチ回路などを用いて構成することができる。なお、ソースドライバ4504bを、例えば、実施の形態1において説明する駆動回路SDに用いることができる。

[0143]

端子部4507は、外部の回路から表示装置に電源、制御信号、及び画像信号等を入力するための端子が設けられた部分である。

[0144]

保護回路4506は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。図7Aに示す保護回路4506は、例えば、ゲート線、データ線などの各種配線に接続される。なお図7Aでは、保護回路4506と画素回路4501とを区別するため、保護回路4506にハッチングパターンを付している。

[0145]

また、ゲートドライバ4504aとソースドライバ4504bは、それぞれ画素部4502と同じ基板上に設けられていてもよいし、ゲートドライバ回路またはソースドライバ回路が別途形成されたICをCOG (Chip on glass) 法などを用いて、画素部4502が設けられる基板に実装する構成としてもよい。または、ICが実装されたFPC (Flexible Printed Circuit) をACF (Anisotropic Conductive Film) などを用いて基板に貼りつけてもよい。

[0146]

特に、画素部4502とゲートドライバ4504aとが、同一基板上に、同一工程を経て作製されることが好ましい。このとき、画素部4502とゲートドライバ4504aとに、それぞれ本発明の一態様のトランジスタを設けることが好ましい。また、ソースドライバ4504bにICを用いた場合、当該基板上にデマルチプレクサ回路を設けると、ICの端子数を削減することができるため好ましい。このとき、デマルチプレクサ回路に、本発明の一態様のトランジスタを適用することが好ましい。

[0147]

図7Bに、画素回路4501に適用することのできる画素回路の構成の一例を示す。

[0148]

図7Bに示す画素回路4501は、液晶デバイス4570と、トランジスタ4550と、容量素子4560と、を有する。また画素回路4501には、データ線DL__n、ゲート線GL__m、電位供給線等が接続されている。なお、データ線DL__nを、例えば、実施の形態1において説明する信号線Sに用いることができる。また、ゲート線GL__mを、走査線Gに用いることができる。また、トランジスタ4550に用いることができる構成の詳細については、実施の形態4において説明する。

[0149]

液晶デバイス4570の一对の電極の一方の電位は、画素回路4501の仕様に応じて適宜設定される。液晶デバイス4570は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路4501のそれぞれが有する液晶デバイス4570の一对の電極の一方に共通の電位（コモン電位）を与えてもよい。また、各行の画素回路4501の液晶デバイス4570の一对の電極の一

方に異なる電位を与えてもよい。

[0150]

また、図7Cに示す画素回路4501は、トランジスタ4552と、トランジスタ4554と、容量素子4562と、発光素子4572と、を有する。また画素回路4501には、データ線DL_n、ゲート線GL_m、電位供給線VL_a、及び電位供給線VL_b等が接続されている。

[0151]

なお、電位供給線VL_a及び電位供給線VL_bの一方には、高電源電位VDDが与えられ、他方には、低電源電位VSSが与えられる。トランジスタ4554のゲートに与えられる電位に応じて、発光素子4572に流れる電流が制御されることにより、発光素子4572からの発光輝度が制御される。

[0152]

続いて、画素に表示される階調を補正するためのメモリを備える画素回路と、これを有する表示装置について説明する。

[0153]

図8Aに、画素回路4400の回路図を示す。画素回路4400は、トランジスタM1、トランジスタM2、容量C1、及び回路4401を有する。また画素回路4400には、配線S1、配線S2、配線G1、及び配線G2が接続される。なお、トランジスタM1及びトランジスタM2に用いることができる構成の詳細については、実施の形態4において説明する。

[0154]

トランジスタM1は、ゲートが配線G1と、ソース及びドレインの一方が配線S1と、他方が容量C1の一方の電極と、それぞれ接続する。トランジスタM2は、ゲートが配線G2と、ソース及びドレインの一方が配線S2と、他方が容量C1の他方の電極、及び回路4401と、それぞれ接続する。

[0155]

回路4401は、少なくとも一の表示素子を含む回路である。ここでは、表示素子として液晶デバイスを有する。なお、これに限られず、表示素子としては様々な素子を用いることができ、代表的には有機EL素子、LED素子などの発光素子、またはMEMS (Micro Electro Mechanical Systems) 素子等を適用することができる。

[0156]

トランジスタM1と容量C1とを接続するノードをノードN1、トランジスタM2と回路4401とを接続するノードをノードN2とする。

[0157]

画素回路4400は、トランジスタM1をオフ状態とすることで、ノードN1の電位を保持することができる。また、トランジスタM2をオフ状態とすることで、ノードN2の電位を保持することができる。また、トランジスタM2をオフ状態とした状態で、トランジスタM1を介してノードN1に所定の電位を書き込むことで、容量C1を介した容量結合により、ノードN1の電位の変位に応じてノードN2の電位を変化させることができる。

[0158]

なお、トランジスタM1、トランジスタM2のうちの一方または両方に、酸化物半導体が適用されたトランジスタを適用することができる。そのため極めて低いオフ電流により、ノードN1またはノードN2の電位を長期間に亘って保持することができる。なお、各ノードの電位を保持する期間が短い

場合（具体的には、フレーム周波数が30Hz以上である場合等）には、シリコン等の半導体を適用したトランジスタを用いてもよい。

[0159]

〔駆動方法例〕

続いて、図8Bを用いて、画素回路4400の動作方法の一例を説明する。図8Bは、画素回路4400の動作に係るタイミングチャートである。なおここでは説明を容易にするため、配線抵抗などの各種抵抗、寄生容量、及びトランジスタのしきい値電圧などの影響は考慮しない。

[0160]

図8Bに示す動作では、1フレーム期間を期間T1と期間T2とに分ける。期間T1はノードN2に電位を書き込む期間であり、期間T2はノードN1に電位を書き込む期間である。

[0161]

〔期間T1〕

期間T1では、配線G1と配線G2の両方に、トランジスタをオン状態にする電位を与える。また、配線S1には固定電位である電位 V_{ref} を供給し、配線S2には第1データ電位 V_w を供給する。

[0162]

ノードN1には、トランジスタM1を介して配線S1から電位 V_{ref} が与えられる。また、ノードN2には、トランジスタM2を介して配線S2から第1データ電位 V_w が与えられる。したがって、容量C1には電位差 $V_w - V_{ref}$ が保持された状態となる。

[0163]

〔期間T2〕

続いて期間T2では、配線G1にはトランジスタM1をオン状態とする電位を与え、配線G2にはトランジスタM2をオフ状態とする電位を与える。また、配線S1には第2データ電位 V_{data} を供給する。配線S2には所定の定電位を与える、またはフローティング状態としてもよい。

[0164]

ノードN1には、トランジスタM1を介して配線S1から第2データ電位 V_{data} が与えられる。このとき、容量C1による容量結合により、第2データ電位 V_{data} に応じてノードN2の電位が電位dVだけ変化する。すなわち、回路4401には、第1データ電位 V_w と電位dVを足した電位が入力されることとなる。なお、図8Bでは電位dVが正の値であるように示しているが、負の値であってもよい。すなわち、第2データ電位 V_{data} が電位 V_{ref} より低くてもよい。

[0165]

ここで、電位dVは、容量C1の容量値と、回路4401の容量値によって概ね決定される。容量C1の容量値が回路4401の容量値よりも十分に大きい場合、電位dVは第2データ電位 V_{data} に近い電位となる。

[0166]

このように、画素回路4400は、2種類のデータ信号を組み合わせる表示素子を含む回路4401に供給する電位を生成することができるため、画素回路4400内で階調の補正を行うことが可能となる。

[0167]

また画素回路4400は、配線S1及び配線S2に接続されるソースドライバが供給可能な最大電位を超える電位を生成することも可能となる。例えば発光素子を用いた場合では、ハイダイナミック

レンジ（HDR）表示等を行うことができる。また、液晶デバイスを用いた場合では、オーバードライブ駆動等を実現できる。

[0168]

[適用例]

[液晶デバイスを用いた例]

図8Cに示す画素回路4400LCは、回路4401LCを有する。回路4401LCは、液晶デバイスLCと、容量C2とを有する。

[0169]

液晶デバイスLCは、一方の電極がノードN2及び容量C2の一方の電極と、他方の電極が電位 V_{com2} が与えられる配線と接続する。容量C2は、他方の電極が電位 V_{com1} が与えられる配線と接続する。

[0170]

容量C2は保持容量として機能する。なお、容量C2は不要であれば省略することができる。

[0171]

画素回路4400LCは、液晶デバイスLCに高い電圧を供給することができるため、例えばオーバードライブ駆動により高速な表示を実現すること、駆動電圧の高い液晶材料を適用することなどができる。また、配線S1または配線S2に補正信号を供給することで、使用温度、液晶デバイスLCの劣化状態等に応じて階調を補正することもできる。

[0172]

[発光素子を用いた例]

図8Dに示す画素回路4400ELは、回路4401ELを有する。回路4401ELは、発光素子EL、トランジスタM3、及び容量C2を有する。

[0173]

トランジスタM3は、ゲートがノードN2及び容量C2の一方の電極と、ソース及びドレインの一方が電位 V_H が与えられる配線と、他方が発光素子ELの一方の電極と、それぞれ接続される。容量C2は、他方の電極が電位 V_{com} が与えられる配線と接続する。発光素子ELは、他方の電極が電位 V_L が与えられる配線と接続する。

[0174]

トランジスタM3は、発光素子ELに供給する電流を制御する機能を有する。容量C2は保持容量として機能する。容量C2は不要であれば省略することができる。

[0175]

なお、ここでは発光素子ELのアノード側がトランジスタM3と接続する構成を示しているが、カソード側にトランジスタM3を接続してもよい。そのとき、電位 V_H と電位 V_L の値を適宜変更することができる。

[0176]

画素回路4400ELは、トランジスタM3のゲートに高い電位を与えることで、発光素子ELに大きな電流を流すことができるため、例えばHDR表示などを実現することができる。また、配線S1または配線S2に補正信号を供給することで、トランジスタM3、発光素子ELなどの電気特性のばらつきを補正することもできる。

[0177]

なお、図 8 C 及び図 8 D で例示した回路に限られず、別途トランジスタ、容量などを追加した構成としてもよい。

[0178]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[0179]

(実施の形態 3)

本実施の形態では、タッチパネルモジュールの構成例について、図 9 および図 10 を参照しながら説明する。

[0180]

図 9 は、タッチパネルモジュール 6500 のブロック図である。

[0181]

図 10 A 乃至図 10 C は、IC 6520 を実装したタッチパネルモジュール 6500 の概略図である。

[0182]

<タッチパネルモジュールの構成例 1>

タッチパネルモジュール 6500 は、タッチパネル 6510 と、IC 6520 と、を有する (図 9 参照)。

[0183]

《タッチパネル 6510 の構成例》

タッチパネル 6510 は、表示部 6511 と、入力部 6512 と、走査線駆動回路 6513 と、センサ駆動回路 6503 と、検出回路 6504 と、を有する。

[0184]

[表示部 6511、入力部 6512]

表示部 6511 は、複数の画素、複数の信号線、複数の走査線を有し、画像を表示する機能を有する。

[0185]

表示部 6511 は、HD (画素数 1280×720)、FHD (画素数 1920×1080)、WQHD (画素数 2560×1440)、WQXGA (画素数 2560×1600)、4K (画素数 3840×2160)、8K (画素数 7680×4320) といった極めて高い解像度を有していることが好ましい。特に 4K、8K、またはそれ以上の解像度とすることが好ましい。また、表示部 6511 に設けられる画素の画素密度 (精細度) が、300 p p i 以上、好ましくは 500 p p i 以上、より好ましくは 800 p p i 以上、より好ましくは 1000 p p i 以上、より好ましくは 1200 p p i 以上であることが好ましい。このように高い解像度で且つ高い精細度を有する表示部 6511 により、より臨場感、奥行き感などを高めることが可能となる。

[0186]

入力部 6512 は、被検知体のタッチパネル 6510 への接触、または近接を検知する複数のセンサ素子を有し、タッチセンサとしての機能を有する。走査線駆動回路 6513 は、表示部 6511 が有する走査線に、走査信号を出力する機能を有する。

[0187]

ここでは説明を容易にするため、タッチパネル 6510 の構成として、表示部 6511 と入力部 65

12を分けて明示しているが、画像を表示する機能と、タッチセンサとしての機能の両方の機能を有する、いわゆるインセル型のタッチパネルとしてもよい。なお、例えば、実施の形態1において説明する表示装置の領域510—1を、表示部6511に用いることができる。

[0188]

入力部6512として用いることのできるタッチセンサの方式としては、例えば静電容量方式を適用できる。静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。また投影型静電容量方式としては、自己容量方式、相互容量方式等がある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。

[0189]

なおこれに限られず、指、スタイラスなどの被検知体が近づくこと、接触すること、または押圧することを検知することのできる様々な方式のセンサを入力部6512に適用することもできる。例えばセンサの方式としては、静電容量方式以外にも、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式など様々な方式を用いることができる。

[0190]

インセル型のタッチパネルとしては、代表的にはハイブリッドインセル型と、フルインセル型とがある。ハイブリッドインセル型は、表示素子を支持する基板と対向基板の両方、または対向基板に、タッチセンサを構成する電極等が設けられた構成を言う。一方、フルインセル型は、表示素子を支持する基板に、タッチセンサを構成する電極等を設けた構成を言う。フルインセル型のタッチパネルとすることで、対向基板の構成を簡略化できるため好ましい。特にフルインセル型として、表示素子を構成する電極が、タッチセンサを構成する電極を兼ねる構成とすると、作製工程を簡略化でき、作製コストを低減できるため好ましい。

[0191]

[センサ駆動回路6503]

センサ駆動回路6503は、入力部6512が有するセンサ素子を駆動する信号を出力する機能を有する。センサ駆動回路6503としては、例えばシフトレジスタ回路とバッファ回路を組み合わせた構成を用いることができる。なお、センサ駆動回路6503を、例えば、実施の形態1において説明する駆動回路TDに用いることができる。

[0192]

[検出回路6504]

検出回路6504は、入力部6512が有するセンサ素子からの出力信号を増幅し、AD変換回路6507に出力する機能を有する。

[0193]

《IC6520の構成例》

IC6520は、回路ユニット6501、信号線駆動回路6502、及びAD変換回路6507を有する。回路ユニット6501は、タイミングコントローラ6505と、画像処理回路6506等を有する。

[0194]

このように、タッチパネル6510の表示部6511を駆動する機能と、入力部6512を駆動する機能と、を1つのICに組み込んだ構成とすることで、タッチパネルモジュール6500に実装するICの数を減らすことができるため、コストを低減することができる。

[0195]

[信号線駆動回路6502]

信号線駆動回路6502は、表示部6511が有する信号線に、アナログ信号である映像信号（ビデオ信号ともいう）を出力する機能を有する。例えば信号線駆動回路6502として、シフトレジスタ、デジタルアナログ変換回路（DAC: Digital-Analog Converter）、ラッチ回路、バッファ回路などを組み合わせた構成を有することができる。また、タッチパネル6510は、信号線に接続するデマルチプレクサ回路を有していてもよい。

[0196]

[AD変換回路6507]

AD変換回路6507は、検出回路6504から入力されたアナログ信号をデジタル信号に変換して、回路ユニット6501に出力する機能を有する。例えばAD変換回路6507は、アナログデジタル変換回路（ADC: Analog-Digital Converter）に加えて、増幅回路を有する構成を用いることができる。

[0197]

[回路ユニット6501]

回路ユニット6501が有する画像処理回路6506は、タッチパネル6510の表示部6511を駆動する信号を生成して出力する機能と、入力部6512を駆動する信号を生成して出力する機能と、入力部6512から出力された信号を解析して、CPU6540に出力する機能と、を有する。

[0198]

より具体的な例としては、画像処理回路6506は、CPU6540からの命令に従い、映像信号を生成する機能を有する。また画像処理回路6506は、表示部6511の仕様に合わせて映像信号に信号処理を施し、アナログ映像信号に変換し、信号線駆動回路6502に供給する機能を有する。また画像処理回路6506は、CPU6540からの命令に従い、センサ駆動回路6503に出力する駆動信号を生成する機能を有する。また、画像処理回路6506は、検出回路6504からAD変換回路6507を介して入力された信号を解析し、位置情報としてCPU6540に出力する機能を有する。

[0199]

またタイミングコントローラ6505は、画像処理回路6506が処理を施した映像信号等に含まれる同期信号を基に、走査線駆動回路6513及びセンサ駆動回路6503に出力する信号（クロック信号、スタートパルス信号などの信号）を生成し、出力する機能を有する。またタイミングコントローラ6505は、検出回路6504が信号を出力するタイミングを規定する信号を生成し、出力する機能を有していてもよい。ここで、タイミングコントローラ6505は、走査線駆動回路6513に出力する信号と、センサ駆動回路6503に出力する信号とに、それぞれ同期させた信号を出力することが好ましい。特に、表示部6511の画素のデータを書き換える期間と、入力部6512でセンシングする期間を、それぞれ分けることが好ましい。例えば、1フレーム期間を、画素のデータを書き換える期間と、センシングする期間とに分けてタッチパネル6510を駆動することができる。また、例えば1フレーム期間中に2以上のセンシングの期間を設けることで、検出感度及び検出精度を高めることができる。

[0200]

画像処理回路6506としては、例えばプロセッサを有する構成とすることができる。例えばDSP

(Digital Signal Processor)、GPU (Graphics Processing Unit) 等のマイクロプロセッサを用いることができる。またこれらマイクロプロセッサをFPGA (Field Programmable Gate Array)、FPAA (Field Programmable Analog Array) などのPLD (Programmable Logic Device) によって実現した構成としてもよい。画像処理回路6506は、プロセッサにより種々のプログラムからの命令を解釈し実行することで、各種のデータ処理、プログラム制御などを行う。プロセッサにより実行しうるプログラムは、プロセッサが有するメモリ領域に格納されていてもよいし、別途設けられる記憶装置に格納されていてもよい。

[0201]

<タッチパネルモジュールの構成例2>

タッチパネル6510が有する表示部6511、入力部6512、走査線駆動回路6513、センサ駆動回路6503、検出回路6504のうち、一以上に、チャンネル形成領域に酸化物半導体を用い、極めて低いオフ電流が実現されたトランジスタを利用することが好ましい。

[0202]

当該トランジスタは、オフ電流が極めて低いため、当該トランジスタを記憶素子として機能する容量素子に流入した電荷（データ）を保持するためのスイッチとして用いることで、データの保持期間を長期にわたり確保することができる。また、IC6520が有する回路ユニット6501、信号線駆動回路6502、AD変換回路6507、または外部に設けられるCPU6540等に、当該トランジスタを適用してもよい。例えばこの特性を画像処理回路6506のレジスタ、キャッシュメモリなどに用いることで、必要なときだけ画像処理回路6506を動作させ、他の場合には直前の処理の情報を当該記憶素子に待避させることにより、使用しないときには画像処理回路6506の電源を遮断する、いわゆるノーマリーオフコンピューティングが可能となり、タッチパネルモジュール6500、及びこれが実装される電子機器の低消費電力化を図ることができる。

[0203]

なお、ここでは回路ユニット6501がタイミングコントローラ6505と画像処理回路6506を有する構成としたが、画像処理回路6506自体、または画像処理回路6506の一部の機能を有する回路を、IC6520の外部に設けてもよい。または、画像処理回路6506の機能、または一部の機能をCPU6540が担ってもよい。例えば回路ユニット6501が信号線駆動回路6502、タイミングコントローラ6505、及びAD変換回路6507を有する構成とすることもできる。

[0204]

また、ここではIC6520が回路ユニット6501を含む例を示したが、回路ユニット6501はIC6520に含まれない構成とすることもできる。この時、IC6520は信号線駆動回路6502及びAD変換回路6507を有する構成とすることができる。例えばタッチパネルモジュール6500にICを複数実装する場合には、回路ユニット6501を含むICを別途設け、回路ユニット6501を有さないIC6520を複数配置することもできる。また、IC6520と、信号線駆動回路6502のみを有するICを組み合わせ配置することもできる。

[0205]

<タッチパネルモジュールの構成例3>

図10Aに示すタッチパネルモジュール6500は、基板6531、対向基板6532、複数のFPC6533、IC6520、IC6530等を有する。また基板6531と対向基板6532との間

に表示部 6511、入力部 6512、走査線駆動回路 6513、センサ駆動回路 6503、及び検出回路 6504を有している。IC 6520及びIC 6530は、COG (Chip On Glass) 方式などの実装方法により基板 6531に実装されている。

[0206]

IC 6530は、上述したIC 6520において、信号線駆動回路 6502のみ、または信号線駆動回路 6502及び回路ユニット 6501を有するICである。IC 6520及びIC 6530には、FPC 6533を介して外部から信号が供給される。またFPC 6533を介してIC 6520またはIC 6530から外部に信号を出力することができる。

[0207]

図10Aでは表示部 6511を挟むように走査線駆動回路 6513を2つ設ける構成の例を示している。またIC 6520に加えてIC 6530を有する構成を示している。このような構成は、表示部 6511として極めて高解像度の場合に、好適に用いることができる。

[0208]

<タッチパネルモジュールの構成例4>

図10Bは、1つのIC 6520と1つのFPC 6533を実装した例を示している。このように、機能を1つのIC 6520に集約させることで、部品点数を減らすことができるため好ましい。また図10Bでは、走査線駆動回路 6513を表示部 6511の2つの短辺のうち、FPC 6533に近い側の辺に沿って配置した例を示している。

[0209]

なお、図10Aおよび図10Bに示すように、表示部 6511の短辺側にFPC 6533、IC 6520(及びIC 6530)などを配置する構成は狭額縁化が可能であるため、例えばスマートフォン、携帯電話、またはタブレット端末などの電子機器に好適に用いることができる。

[0210]

<タッチパネルモジュールの構成例5>

図10Cは、画像処理回路 6506等が実装されたPCB (Printed Circuit Board) 6534を有する構成の例を示している。基板 6531上のIC 6520及びIC 6530と、PCB 6534とは、FPC 6533によって電氣的に接続されている。ここで、IC 6520には、上述の画像処理回路 6506を有さない構成を適用することができる。

[0211]

なお、図10Cに示すようなPCB 6534を用いる構成は、例えばテレビジョン装置、モニタ装置、タブレット端末、またはノート型のパーソナルコンピュータなどに好適に用いることができる。

[0212]

また、図10A乃至図10Cにおいて、IC 6520及びIC 6530は、基板 6531ではなくFPC 6533に実装されていてもよい。例えばIC 6520及びIC 6530をCOF方式またはTAB方式などの実装方法によりFPC 6533に実装することができる。

[0213]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[0214]

(実施の形態4)

本実施の形態では、半導体装置の一種である信号出力回路、該信号出力回路を含むシフトレジスタの一例について、図面を参照して説明する。

[0215]

<シフトレジスタ100の構成>

図11Aに示すシフトレジスタ100は、 n 個(n は1以上の整数)の信号出力回路110を有する。本明細書等では、1段目(1個目)の信号出力回路110を信号出力回路110[1]と記す場合があり、 n 段目(n 個目)の信号出力回路110を信号出力回路110[n]と記す場合がある。

[0216]

また、 i 段目(i は1以上 n 以下の整数)の信号出力回路110を信号出力回路110[i]と記す場合がある。なお、任意の段数を $i + \alpha$ と示し、かつ、 α が正の時、 $i + \alpha$ は n を越えないものとする。また、任意の段数を $i - \alpha$ と示し、かつ、 α が正の時 $i - \alpha$ は1を下回らないものとする。

[0217]

また、シフトレジスタ100は、ダミー回路である2つの信号出力回路110(信号出力回路110[$n+1$]、信号出力回路110[$n+2$])を有する。

[0218]

なお、信号出力回路110が有する端子ならびに入出力信号などについても上記と同様に記す場合がある。例えば、信号出力回路110[i]の信号OUTを信号OUT[i]と記す場合がある。

[0219]

また、シフトレジスタ100は、クロック信号である4つの信号CLK(信号CLK__1乃至信号CLK__4)が供給される配線101乃至配線104と、4つの信号PWC(信号PWC__1乃至信号PWC__4)が供給される配線105乃至配線108と、を有している。配線101には信号CLK__1が供給され、配線102には信号CLK__2が供給され、配線103には信号CLK__3が供給され、配線104には信号CLK__4が供給される。配線105には信号PWC__1が供給され、配線106には信号PWC__2が供給され、配線107には信号PWC__3が供給され、配線108には信号PWC__4が供給される。

[0220]

信号出力回路110は、端子111乃至端子118を有している(図11B参照)。端子111、端子112、および端子113は、それぞれが配線101乃至配線104のいずれかかつ異なる配線と電氣的に接続されている。例えば、図11Aにおいて、1段目の信号出力回路110[1]は、端子111が配線101と電氣的に接続され、端子112が配線102と電氣的に接続され、端子113が配線103と電氣的に接続されている。すなわち、端子111に信号CLK__1が供給され、端子112に信号CLK__2が供給され、端子113に信号CLK__3が供給される。

[0221]

また、2段目の信号出力回路110[2]は、端子111が配線102と電氣的に接続され、端子112が配線103と電氣的に接続され、端子113が配線104と電氣的に接続されている。すなわち、端子111に信号CLK__2が供給され、端子112に信号CLK__3が供給され、端子113に信号CLK__4が供給される。

[0222]

すなわち、信号出力回路110[i]の端子111[i]に、信号CLK__ k が供給される(図11C参照)。ここで、 k は1以上4以下の整数であり、 i が4以下のとき k は i と等しく、 i が5以上

のとき k は $i - 4 \times g$ と等しい。 g は i を 4 で除算した商である。

[0223]

また、信号出力回路 110 [i] の端子 112 [i] に、信号 CLK__ $k + 1$ が供給される。ここで、 k は 1 以上 4 以下の整数であり、 $k + 1$ が 5 になる場合は k を 1 とする。また、 i が 3 以下のとき k は i と等しく、 i が 4 以上のとき k は $i - 4 \times g$ と等しい。

[0224]

また、信号出力回路 110 [i] の端子 113 [i] に、信号 CLK__ $k + 2$ が供給される。ここで、 $k + 1$ は 1 以上 4 以下の整数であり、 $k + 2$ が 5 になる場合は $k + 2$ を 1 とし、 $k + 2$ が 6 になる場合は $k + 2$ を 2 とする。また、 i が 2 以下のとき k は i と等しく、 i が 3 以上のとき k は $i - 4 \times g$ と等しい。

[0225]

また、端子 114 [i] は次段の信号出力回路 110 [$i + 1$] (図示せず) の端子 117 [$i + 1$] (図示せず) と電氣的に接続されている。よって、端子 117 [i] は端子 114 [$i - 1$] (図示せず) と電氣的に接続される。例えば、信号出力回路 110 [1] の端子 114 は、信号出力回路 110 [2] の端子 117 と電氣的に接続される。また、信号出力回路 110 [1] の端子 117 にはスタートパルス SP が供給される。

[0226]

また、端子 115 [i] は 2 段後の信号出力回路 110 [$i + 2$] (図示せず) の端子 114 [$i + 2$] (図示せず) と電氣的に接続されている。例えば、信号出力回路 110 [1] の端子 115 は、信号出力回路 110 [3] の端子 114 と電氣的に接続され、信号出力回路 110 [2] の端子 115 は、信号出力回路 110 [4] の端子 114 と電氣的に接続される。よって、信号出力回路 110 [$n - 1$] の端子 115 は、信号出力回路 110 [$n + 1$] の端子 114 と電氣的に接続され、信号出力回路 110 [n] の端子 115 は、信号出力回路 110 [$n + 2$] の端子 114 と電氣的に接続される。なお、信号出力回路 110 [$n + 1$] および信号出力回路 110 [$n + 2$] は、端子 115 を有さなくてもよい。

[0227]

また、端子 118 [i] は配線 105 乃至配線 108 のいずれかと電氣的に接続される。例えば、信号出力回路 110 [1] の端子 118 は、配線 105 と電氣的に接続され、信号出力回路 110 [2] の端子 118 は、配線 106 と電氣的に接続される。言い換えると、信号出力回路 110 [i] の端子 118 [i] に、信号 PWC__ k が供給される。ここで、 k は 1 以上 4 以下の整数であり、 i が 4 以下のとき k は i と等しく、 i が 5 以上のとき k は $i - 4 \times g$ と等しい。

[0228]

また、端子 116 [i] から信号 OUT [i] が出力される。例えば、信号出力回路 110 [1] の端子 116 から信号 OUT [1] が出力される。また、 n 段目の信号出力回路 110 [n] の端子 116 からは、信号 OUT [n] が出力される。なお、「端子 116 [i] から信号 OUT [i] が出力される。」は、「端子 116 [i] に信号 OUT [i] が供給される。」と読み換えることができる。

[0229]

また、端子 114 [i] には信号 SROUT [i] が供給される。言い換えると、端子 114 [i] から信号 SROUT [i] が出力される。例えば、信号出力回路 110 [1] の端子 114 から信号 SROUT [1] が出力される。また、 n 段目の信号出力回路 110 [n] の端子 114 からは、信

号SROUT [n] が出力される。なお、「端子114 [i] から信号SROUT [i] が出力される。」は、「端子114 [i] に信号SROUT [i] が供給される。」と読み換えることができる。

[0230]

〔信号出力回路110の構成例〕

次に、信号出力回路110に用いることができる信号出力回路110aの構成について説明する（図12参照）。信号出力回路110aは、トランジスタ10 [1] 乃至トランジスタ10 [11]、容量20 [1] 乃至容量20 [3] を有する。

[0231]

トランジスタ10 [1] のゲートは、端子117およびトランジスタ10 [6] のゲートと電氣的に接続される。トランジスタ10 [1] のソースはトランジスタ10 [2] のドレインと電氣的に接続され、トランジスタ10 [1] のドレインは配線131と電氣的に接続される。トランジスタ10 [2] のゲートは容量20 [1] の一方の端子と電氣的に接続される。トランジスタ10 [2] のソースは、容量20 [1] の他方の端子、トランジスタ10 [6] のソース、および配線132と電氣的に接続される。

[0232]

トランジスタ10 [3] のゲートは端子113と電氣的に接続され、トランジスタ10 [3] のドレインは配線131と電氣的に接続され、トランジスタ10 [3] のソースはトランジスタ10 [4] のドレインと電氣的に接続される。トランジスタ10 [4] のゲートは端子112と電氣的に接続され、トランジスタ10 [4] のドレインはトランジスタ10 [3] のソースと電氣的に接続される。トランジスタ10 [4] のソースは、トランジスタ10 [2]、トランジスタ10 [9]、およびトランジスタ10 [11]それぞれのゲート、ならびに容量20 [1] の一方の端子と電氣的に接続される。

[0233]

なお、本明細書等では、トランジスタ10 [2]、トランジスタ10 [9]、およびトランジスタ10 [11]それぞれのゲート、トランジスタ10 [4] のソース、ならびに容量20 [1] の一方の端子が電氣的に接続される領域をノードND [1] と呼ぶ。容量20 [1] は、ノードND [1] がフローティング状態になった時のノードND [1] の電位変動を抑制し、ノードND [1] の電位を維持する機能を有する。

[0234]

トランジスタ10 [5] のゲートは端子115と電氣的に接続され、トランジスタ10 [5] のドレインは配線131と電氣的に接続される。トランジスタ10 [5] のソースは、トランジスタ10 [2] のゲート、トランジスタ10 [9] のゲート、トランジスタ10 [11] のゲート、およびトランジスタ10 [6] のドレインと電氣的に接続される。

[0235]

トランジスタ10 [7] のゲートは配線131と電氣的に接続され、トランジスタ10 [7] のソースまたはドレインの一方は、トランジスタ10 [1] のソースおよびトランジスタ10 [2] のドレインと電氣的に接続される。トランジスタ10 [7] のソースまたはドレインの他方は、トランジスタ10 [8] のゲート、容量20 [2] の一方の端子、トランジスタ10 [10] のゲート、および容量20 [3] の一方の端子と電氣的に接続される。

[0236]

なお、本明細書等では、トランジスタ 10 [7] のソースまたはドレインの一方、トランジスタ 10 [1] のソース、トランジスタ 10 [2] のドレインが電氣的に接続される領域をノード ND [2] と呼ぶ。また、本明細書等では、トランジスタ 10 [7] のソースまたはドレインの他方、トランジスタ 10 [8] のゲート、容量 20 [2] の一方の端子、トランジスタ 10 [10] のゲート、および容量 20 [3] の一方の端子が電氣的に接続される領域をノード ND [3] と呼ぶ。

[0237]

トランジスタ 10 [8] のドレインは端子 111 と電氣的に接続される。トランジスタ 10 [8] のソースは、容量 20 [2] の他方の端子、端子 114、およびトランジスタ 10 [9] のドレインと電氣的に接続される。トランジスタ 10 [10] のドレインは端子 118 と電氣的に接続される。トランジスタ 10 [10] のソースは、容量 20 [3] の他方の端子、端子 116、およびトランジスタ 10 [11] のドレインと電氣的に接続される。

[0238]

トランジスタ 10 [9] のソースおよびトランジスタ 10 [11] のソースは、配線 132 と電氣的に接続される。

[0239]

なお、トランジスタ 10 [1] のドレイン、トランジスタ 10 [3] のドレイン、トランジスタ 10 [5] のドレイン、およびトランジスタ 10 [7] のゲートはそれぞれ異なる配線と電氣的に接続してもよい。また、トランジスタ 10 [6] のソース、トランジスタ 10 [9] のソース、およびトランジスタ 10 [11] のソースはそれぞれ異なる配線と電氣的に接続してもよい。

[0240]

例えば、図 13 に示すように、トランジスタ 10 [1] のドレインが配線 131 [1] と電氣的に接続し、トランジスタ 10 [3] のドレインが配線 131 [2] と電氣的に接続し、トランジスタ 10 [5] のドレインが配線 131 [3] と電氣的に接続し、トランジスタ 10 [7] のゲートが配線 131 [4] と電氣的に接続してもよい。また、トランジスタ 10 [6] のソースが配線 132 [1] と電氣的に接続し、トランジスタ 10 [9] のソースが配線 132 [2] と電氣的に接続し、トランジスタ 10 [11] のソースが配線 132 [3] と電氣的に接続してもよい。なお、図 14 に示すように、容量 20 [3] の容量値が十分確保できる場合は、容量 20 [2] の形成を省略してもよい。

[0241]

端子 115 には信号 RIN が供給され、端子 117 には信号 LIN が供給され、端子 114 には信号 SROUT が供給され、端子 116 には信号 OUT が供給される。また、1 段目の信号出力回路 110a では、端子 111 に信号 CLK__1 が供給され、端子 112 に信号 CLK__2 が供給され、端子 113 に信号 CLK__3 が供給され、端子 118 に信号 PWC__1 が供給される。

[0242]

なお、2 段目の信号出力回路 110a では、端子 111 に信号 CLK__2 が供給され、端子 112 に信号 CLK__3 が供給され、端子 113 に信号 CLK__4 が供給され、端子 118 に信号 PWC__2 が供給される。

[0243]

[トランジスタの構成例]

トランジスタ 10 に用いることができるトランジスタの構成例について説明する。図 15A は、トランジスタ 10 の平面図である。図 15B は、図 15A に A1-A2 の一点鎖線で示した部位の断面図

である。図15Cは、トランジスタ10の一部を切り欠いて示す斜視図である。図15Dは、トランジスタ10の等価回路図である。トランジスタ10の構成を理解しやすくするため、図15Aおよび図15Cでは、トランジスタ10の構成要素の記載の一部を省略している。例えば、図15Aおよび図15Cにおいて、図15Bに示す絶縁層164などの記載を省略している。

[0244]

また、図16Aおよび図16Bは、図15Bに示すトランジスタ10の拡大図である。また、図16Cは、開口159をZ方向から見た図である。

[0245]

トランジスタ10は、基板153上に絶縁層154を有し、絶縁層154上に導電層155を有する。また、導電層155上に絶縁層156を有し、絶縁層156の上に絶縁層157を有し、絶縁層157の上に絶縁層158を有する。また、絶縁層158の上に導電層160を有する。

[0246]

また、導電層155の一部と重なる領域において、導電層160、絶縁層158、絶縁層157、および絶縁層156に開口159が設けられている（図15Bおよび図16A参照）。また、開口159に半導体層161を有する。半導体層161は、開口159の底部と重なる領域と、開口159の側面と重なる領域と、を有する。半導体層161は、絶縁層158の側面と接する領域と、絶縁層157の側面と接する領域と、絶縁層156の側面と接する領域と、を有する。また、半導体層161の一部が導電層160と電氣的に接続し、半導体層161の他の一部が導電層155と電氣的に接続する。

[0247]

また、絶縁層158、導電層160、および半導体層161の上に絶縁層162を有し、絶縁層162の上に導電層163を有する。また、絶縁層162および導電層163の上に絶縁層164を有する。絶縁層162は、半導体層161を介して開口159の側面と重なる領域を有する。導電層163は半導体層161を覆って設けられる。よって、導電層163は、半導体層161の端部を越えて延在する領域を有する。また、導電層163は、絶縁層162および半導体層161を介して開口159の側面と重なる領域を有する。

[0248]

導電層155は、トランジスタ10のソース電極またはドレイン電極の一方として機能する領域を有する。また、導電層160は、トランジスタ10のソース電極またはドレイン電極の他方として機能する領域を有する。例えば、導電層155がトランジスタ10のドレイン電極として機能する場合、導電層160はトランジスタ10のソース電極として機能する。

[0249]

半導体層161は、トランジスタ10のチャネルが形成される半導体層として機能する領域を有し、絶縁層162はゲート絶縁層として機能する領域を有し、導電層163はゲート電極として機能する領域を有する。トランジスタ10は、開口159を含む領域に設けられている。

[0250]

トランジスタ10はソース電極とドレイン電極がZ方向に配置される。よって、トランジスタ10のソースとドレインは、それぞれがZ方向の異なる位置に配置される。例えば、基板153の上面を基準にしたときに、トランジスタ10のソースとドレインは、基準である基板153の上面から、それぞれ異なる距離に配置される。このようなトランジスタを、「縦チャネル型トランジスタ」、「縦型チ

ャネルトランジスタ」、「縦型トランジスタ」、または「VFET (Vertical Field Effect Transistor)」ともいう。縦チャネル型トランジスタでは、 I_d (ドレイン電流) の流れる方向にZ方向 (縦方向) の成分を含む。例えば、縦チャネル型トランジスタであるトランジスタ10において、Z方向から見た開口159の中心 (または重心) を通る断面を、X方向またはY方向から見た時の、導電層155上の半導体層161の被形成面と I_d の流れる方向がなす角度 θ (図16A参照) は、5度以上110度以下、もしくは10度以上90度以下、もしくは30度以上90度以下、もしくは60度以上90度以下となる。

[0251]

また、前述したように半導体層161は、絶縁層157の側面と接する領域を有する。よって、 I_d は絶縁層157の側面に沿って流れる。このため、導電層155上の半導体層161の被形成面と I_d の流れる方向がなす角度 θ は、導電層155上の半導体層161の被形成面と絶縁層157の側面がなす角度 θ と読み替えることができる。

[0252]

縦チャネル型トランジスタは、ソース電極とドレイン電極がZ方向に配置されるため、トランジスタの占有面積を低減できる。半導体装置に縦チャネル型トランジスタを用いることにより、半導体装置の占有面積を著しく低減できる。

[0253]

ここで、本発明の一態様に係るトランジスタ10または半導体装置に用いることができる材料の一例について説明しておく。

[0254]

[基板]

基板に用いる材料に大きな制限はない。目的に応じて、透光性の有無および加熱処理に耐えうる程度の耐熱性などを勘案して決定することができる。例えばバリウムホウケイ酸ガラスおよびアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などの絶縁性基板を用いることができる。また、半導体基板、可撓性基板 (フレキシブル基板)、貼り合わせフィルム、基材フィルムなどを用いてもよい。

[0255]

半導体基板としては、例えば、シリコン、もしくはゲルマニウムなどを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、もしくは酸化ガリウムを材料とした化合物半導体基板などがある。また、半導体基板は、単結晶半導体であってもよいし、多結晶半導体であってもよい。

[0256]

本発明の一態様に係るトランジスタ10などを表示装置に用いる場合の基板として、例えば、第6世代 (1500mm×1850mm)、第7世代 (1870mm×2200mm)、第8世代 (2200mm×2400mm)、第9世代 (2400mm×2800mm)、第10世代 (2950mm×3400mm) 等の面積が大きなガラス基板を用いることができる。これにより、大型の表示装置を作製できる。また、基板が大型化されることで、1枚の基板からより多くの表示装置を生産でき、生産コストを削減できる。

[0257]

可撓性基板、貼り合わせフィルム、基材フィルムなどの材料としては、例えば、ポリエチレンテレフ

タレート（PET）、ポリエチレンナフタレート（PEN）等のポリエステル、ポリアクリロニトリル、アクリル樹脂、ポリイミド、ポリメチルメタクリレート、ポリカーボネイト（PC）、ポリエーテルスルホン（PES）、ポリアミド（ナイロン、アラミド等）、ポリシロキサン、シクロオレフィン樹脂、ポリスチレン、ポリアミドイミド、ポリウレタン、ポリ塩化ビニル、ポリ塩化ビニリデン、ポリプロピレン、ポリテトラフルオロエチレン（PTFE）、ABS樹脂、セルロースナノファイバーなどを用いることができる。

[0258]

基板として上記材料を用いることにより、トランジスタ10を含む軽量の半導体装置を提供できる。また、基板として上記材料を用いることにより、衝撃に強い半導体装置を提供できる。また、基板として上記材料を用いることにより、破損しにくい半導体装置を提供できる。

[0259]

基板に用いる可撓性基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。基板に用いる可撓性基板は、例えば、線膨張率が $1 \times 10^{-3}/K$ 以下、 $5 \times 10^{-5}/K$ 以下、または $1 \times 10^{-5}/K$ 以下である材質を用いればよい。特に、アラミドは、線膨張率が低いため、可撓性基板として好適である。

[0260]

[導電層]

トランジスタ10のゲート電極、ソース電極およびドレイン電極だけでなく、半導体装置を構成する各種配線および電極などの導電層に用いる導電性材料として、アルミニウム（Al）、クロム（Cr）、銅（Cu）、銀（Ag）、金（Au）、白金（Pt）、タンタル（Ta）、ニッケル（Ni）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、マンガン（Mn）、マグネシウム（Mg）、ジルコニウム（Zr）、ベリリウム（Be）等から選ばれた金属元素、上述した金属元素を成分とする合金、または上述した金属元素を組み合わせた合金などを用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。導電性材料の形成方法は特に限定されず、蒸着法、原子層堆積（ALD: Atomic Layer Deposition）法、化学気相成長（CVD: Chemical Vapor Deposition）法、スパッタリング法、スピコート法などの各種形成方法を用いることができる。

[0261]

また、導電性材料として、Cu-X合金（Xは、Mn、Ni、Cr、Fe、Co、Mo、Ta、またはTi）を適用してもよい。Cu-X合金で形成した層は、ウェットエッチングプロセスで加工できるため、製造コストを抑制することが可能となる。また、導電性材料として、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の元素を含むアルミニウム合金を用いてもよい。

[0262]

また、導電層に用いることのできる導電性材料として、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの、酸素を有する導電性材料を用いることもできる。また、窒化チタン、窒化タンタル、窒化タングステンなどの、窒素を含む導電性材料を用いることもできる。また、導電層を、

酸素を有する導電性材料、窒素を含む導電性材料、前述した金属元素を含む材料を適宜組み合わせた積層構造とすることもできる。

[0263]

例えば、導電層を、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層を積層する二層構造、窒化チタン層上にチタン層を積層する二層構造、窒化チタン層上にタングステン層を積層する二層構造、窒化タンタル層上にタングステン層を積層する二層構造、チタン層と、そのチタン層上にアルミニウム層を積層し、さらにその上にチタン層を積層する三層構造としてもよい。

[0264]

また、上記の導電性材料で形成される導電層を複数積層して用いてもよい。例えば、導電層を前述した金属元素を含む材料と酸素を含む導電性材料を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料、酸素を含む導電性材料、および窒素を含む導電性材料を組み合わせた積層構造としてもよい。

[0265]

例えば、導電層を、インジウムまたは亜鉛の少なくとも一方と酸素とを含む導電層上に、銅を含む導電層を積層し、さらにその上にインジウムまたは亜鉛の少なくとも一方と酸素とを含む導電層を積層する三層構造としてもよい。この場合、銅を含む導電層の側面もインジウムまたは亜鉛の少なくとも一方と酸素とを含む導電層で覆うことが好ましい。また、例えば、導電層としてインジウムまたは亜鉛の少なくとも一方と酸素とを含む導電層を複数積層して用いてもよい。

[0266]

[絶縁層]

各絶縁層は、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、アルミニウムシリケートなどから選ばれた絶縁性材料を、単層でまたは積層して用いる。また、酸化物材料、窒化物材料、酸化窒化物材料、窒化酸化物材料のうち、複数を用いてもよい。

[0267]

絶縁性材料の形成方法は特に限定されず、蒸着法、ALD法、CVD法、スパッタリング法、スピコート法などの各種形成方法を用いることができる。

[0268]

なお、本明細書などにおいて、窒化酸化物とは、酸素よりも窒素の含有量が多い材料をいう。また、酸化窒化物とは、窒素よりも酸素の含有量が多い材料をいう。なお、各元素の含有量は、例えば、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)等を用いて測定することができる。

[0269]

例えば、絶縁層154および絶縁層164は、不純物が透過しにくい絶縁性材料を用いて形成することが好ましい。例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁材料を、単層で、または積層で用いればよい。不純物

が透過しにくい絶縁性材料の一例として、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、窒化シリコンなどを挙げることができる。

[0270]

絶縁層154に不純物が透過しにくい絶縁性材料を用いることで、基板153側からの不純物の拡散を抑制し、トランジスタ10の信頼性を高めることができる。すなわち、トランジスタ10を含む半導体装置の信頼性を高めることができる。絶縁層164に不純物が透過しにくい絶縁性材料を用いることで、絶縁層164よりも上側からの不純物の拡散を抑制し、トランジスタ10の信頼性を高めることができる。すなわち、トランジスタ10を含む半導体装置の信頼性を高めることができる。

[0271]

また、絶縁層としては、平坦化層として機能できる絶縁層を用いてもよい。平坦化層として機能する絶縁層の材料としては、アクリル樹脂、ポリイミド、エポキシ樹脂、ポリアミド、ポリイミドアミド、シロキサン樹脂、ベンゾシクロブテン樹脂、フェノール樹脂、およびこれらの前駆体等が挙げられる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層してもよい。

[0272]

なお、シロキサン樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン樹脂は置換基としては有機基（例えばアルキル基またはアリール基）またはフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

[0273]

また、絶縁層などの表面にCMP処理を行なってもよい。CMP処理を行うことにより、絶縁層などの表面の凹凸を低減し、この後形成される絶縁層および導電層の被覆性を高めることができる。

[0274]

[半導体層]

半導体層161として、単結晶半導体、多結晶半導体、微結晶半導体、または非晶質半導体などを、単体でまたは組み合わせて用いることができる。半導体材料としては、例えば、シリコン、ゲルマニウムなどのバンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いることができる。例えば、単体元素の半導体、化合物半導体、または層状物質（原子層物質、2次元材料などともいう）などを半導体材料に用いることが好ましい。また、化合物半導体として、半導体特性を有する有機物、または半導体特性を有する金属酸化物（酸化物半導体ともいう）を用いることができる。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

[0275]

例えば、半導体層161として、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンを用いてもよい。多結晶シリコンとして、例えば、低温ポリシリコン（LTPS: Low Temperature Poly Silicon）を用いてもよい。

[0276]

半導体層161に非晶質シリコンを用いたトランジスタは、大型のガラス基板上に形成でき、低コストで作製することができる。半導体層161に多結晶シリコンを用いたトランジスタは、電界効果移

動度が高く、高速動作が可能である。また、半導体層 161 に微結晶シリコンを用いたトランジスタは、非晶質シリコンを用いたトランジスタより電界効果移動度が高く、高速動作が可能である。

[0277]

半導体材料に用いることができる化合物半導体として、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、窒化ホウ素、及びヒ化ホウ素などが挙げられる。半導体層に用いることができる窒化ホウ素は、アモルファス構造を含むことが好ましい。半導体層に用いることができるヒ化ホウ素は、立方晶構造の結晶を含むことが好ましい。

[0278]

半導体層 161 は、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス力のような、共有結合またはイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0279]

層状物質として、例えば、グラフェン、シリセン、炭窒化ホウ素、カルコゲン化物などが挙げられる。層状物質としての炭窒化ホウ素は、炭素原子、窒素原子、およびホウ素原子が平面上に六角形格子構造で配列している。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第 16 族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13 族カルコゲナイドなどが挙げられる。トランジスタの半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。上述の遷移金属カルコゲナイドを、半導体層に適用することで、オン電流が大きい記憶装置を提供できる。

[0280]

また、酸化物半導体はバンドギャップが 2 eV 以上であるため、チャネルが形成される半導体層に金属酸化物の一種である酸化物半導体を用いたトランジスタ（「OS トランジスタ」ともいう）は、オフ電流が著しく少ない。よって、OS トランジスタを含む半導体装置の消費電力を低減できる。また、OS トランジスタは高温環境下においても動作が安定し、特性変動が少ない。例えば、高温環境下でもオフ電流がほとんど増加しない。具体的には、室温以上 200℃ 以下の環境温度下でもオフ電流がほとんど増加しない。また、高温環境下でもオン電流が低下しにくい。よって、OS トランジスタを含む半導体装置は、高温環境下においても動作が安定し、高い信頼性が得られる。

[0281]

なお、本実施の形態などでは、トランジスタ 10 として OS トランジスタを用いることが好ましい。OS トランジスタはソースとドレイン間の絶縁耐圧が高いため、チャネル長を短くすることができる。よって、オン電流を大きくすることができる。OS トランジスタは、縦チャネル型トランジスタに好適である。

[0282]

例えば、チャネル長を、5 nm以上、7 nm以上、または10 nm以上であって、3 μ m未満、2.5 μ m以下、2 μ m以下、1.5 μ m以下、1.2 μ m以下、1 μ m以下、500 nm以下、300 nm以下、200 nm以下、100 nm以下、50 nm以下、30 nm以下、または20 nm以下とすることができる。例えば、チャネル長Lを、100 nm以上1 μ m以下とすることもできる。

[0283]

OSトランジスタの半導体層に用いることができる金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、および亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウム(In)または亜鉛(Zn)を含むことが好ましい。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二または三を有することが好ましい。なお、元素Mは、酸素との結合エネルギーが高い金属元素または半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素または半金属元素である。

[0284]

元素Mとして、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種または複数種であることがより好ましく、ガリウムがさらに好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0285]

例えば、インジウム亜鉛酸化物(In-Zn酸化物)、インジウムスズ酸化物(In-Sn酸化物)、インジウムチタン酸化物(In-Ti酸化物)、インジウムガリウム酸化物(In-Ga酸化物)、インジウムガリウムアルミニウム酸化物(In-Ga-Al酸化物)、インジウムガリウムスズ酸化物(In-Ga-Sn酸化物)、ガリウム亜鉛酸化物(Ga-Zn酸化物、GZOとも記す)、アルミニウム亜鉛酸化物(Al-Zn酸化物、AZOとも記す)、インジウムアルミニウム亜鉛酸化物(In-Al-Zn酸化物、IAZOとも記す)、インジウムスズ亜鉛酸化物(In-Sn-Zn酸化物)、インジウムチタン亜鉛酸化物(In-Ti-Zn酸化物)、インジウムガリウム亜鉛酸化物(In-Ga-Zn酸化物、IGZOとも記す)、インジウムガリウムスズ亜鉛酸化物(In-Ga-Sn-Zn酸化物、IGZTOとも記す)、インジウムガリウムアルミニウム亜鉛酸化物(In-Ga-Al-Zn酸化物、IGAZOまたはIAGZOとも記す)などを用いることができる。または、シリコンを含むインジウムスズ酸化物、ガリウムスズ酸化物(Ga-Sn酸化物)、アルミニウムスズ酸化物(Al-Sn酸化物)などを用いることができる。

[0286]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。

[0287]

なお、金属酸化物は、インジウムに代えて、または、インジウムに加えて、周期の数が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物における

キャリア伝導は大きくなる傾向がある。よって、周期の数が多い金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。周期の数が多い金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0288]

また、金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

[0289]

また、金属酸化物に含まれる主成分元素のうち、金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0290]

また、金属酸化物に含まれる主成分元素のうち、金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されるのを抑制できる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0291]

半導体層に適用する金属酸化物の組成により、トランジスタの電気特性、および信頼性が異なる。したがって、トランジスタに求められる電気特性、および信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置が実現できる。

[0292]

OSトランジスタの半導体層にIn-Zn酸化物を用いる場合、インジウムの原子数比が亜鉛の原子数比以上である金属酸化物を適用することが好ましい。例えば、金属元素の原子数比が、 $In:Zn=1:1$ 、 $In:Zn=2:1$ 、 $In:Zn=3:1$ 、 $In:Zn=4:1$ 、 $In:Zn=5:1$ 、 $In:Zn=7:1$ 、 $In:Zn=10:1$ 、またはこれらの近傍の金属酸化物を用いることができる。

[0293]

OSトランジスタの半導体層にIn-Sn酸化物を用いる場合、インジウムの原子数比がスズの原子数比以上である金属酸化物を適用することが好ましい。例えば、金属元素の原子数比が、 $In:Sn=1:1$ 、 $In:Sn=2:1$ 、 $In:Sn=3:1$ 、 $In:Sn=4:1$ 、 $In:Sn=5:1$ 、 $In:Sn=7:1$ 、 $In:Sn=10:1$ 、またはこれらの近傍の金属酸化物を用いることができる。

[0294]

OSトランジスタの半導体層にIn-Sn-Zn酸化物を用いる場合、インジウムの原子数比が、スズの原子数比よりも高い金属酸化物を適用することができる。さらには、亜鉛の原子数比が、スズの原子数比よりも高い金属酸化物を用いることが好ましい。例えば、金属元素の原子数比が、 $In:S$

$\text{In} : \text{Zn} = 2 : 1 : 3$ 、 $\text{In} : \text{Sn} : \text{Zn} = 3 : 1 : 2$ 、 $\text{In} : \text{Sn} : \text{Zn} = 4 : 2 : 3$ 、 $\text{In} : \text{Sn} : \text{Zn} = 4 : 2 : 4$ 、 1 、 $\text{In} : \text{Sn} : \text{Zn} = 5 : 1 : 3$ 、 $\text{In} : \text{Sn} : \text{Zn} = 5 : 1 : 6$ 、 $\text{In} : \text{Sn} : \text{Zn} = 5 : 1 : 7$ 、 $\text{In} : \text{Sn} : \text{Zn} = 5 : 1 : 8$ 、 $\text{In} : \text{Sn} : \text{Zn} = 6 : 1 : 6$ 、 $\text{In} : \text{Sn} : \text{Zn} = 10 : 1 : 3$ 、 $\text{In} : \text{Sn} : \text{Zn} = 10 : 1 : 6$ 、 $\text{In} : \text{Sn} : \text{Zn} = 10 : 1 : 7$ 、 $\text{In} : \text{Sn} : \text{Zn} = 10 : 1 : 8$ 、 $\text{In} : \text{Sn} : \text{Zn} = 5 : 2 : 5$ 、 $\text{In} : \text{Sn} : \text{Zn} = 10 : 1 : 10$ 、 $\text{In} : \text{Sn} : \text{Zn} = 20 : 1 : 10$ 、 $\text{In} : \text{Sn} : \text{Zn} = 40 : 1 : 10$ 、またはこれらの近傍の金属酸化物を用いることができる。

[0295]

OSトランジスタの半導体層に $\text{In}-\text{Al}-\text{Zn}$ 酸化物を用いる場合、インジウムの原子数比が、アルミニウムの原子数比よりも高い金属酸化物を適用することができる。さらには、亜鉛の原子数比が、アルミニウムの原子数比よりも高い金属酸化物を用いることが好ましい。例えば、金属元素の原子数比が、 $\text{In} : \text{Al} : \text{Zn} = 2 : 1 : 3$ 、 $\text{In} : \text{Al} : \text{Zn} = 3 : 1 : 2$ 、 $\text{In} : \text{Al} : \text{Zn} = 4 : 2 : 3$ 、 $\text{In} : \text{Al} : \text{Zn} = 4 : 2 : 4$ 、 1 、 $\text{In} : \text{Al} : \text{Zn} = 5 : 1 : 3$ 、 $\text{In} : \text{Al} : \text{Zn} = 5 : 1 : 6$ 、 $\text{In} : \text{Al} : \text{Zn} = 5 : 1 : 7$ 、 $\text{In} : \text{Al} : \text{Zn} = 5 : 1 : 8$ 、 $\text{In} : \text{Al} : \text{Zn} = 6 : 1 : 6$ 、 $\text{In} : \text{Al} : \text{Zn} = 10 : 1 : 3$ 、 $\text{In} : \text{Al} : \text{Zn} = 10 : 1 : 6$ 、 $\text{In} : \text{Al} : \text{Zn} = 10 : 1 : 7$ 、 $\text{In} : \text{Al} : \text{Zn} = 10 : 1 : 8$ 、 $\text{In} : \text{Al} : \text{Zn} = 5 : 2 : 5$ 、 $\text{In} : \text{Al} : \text{Zn} = 10 : 1 : 10$ 、 $\text{In} : \text{Al} : \text{Zn} = 20 : 1 : 10$ 、 $\text{In} : \text{Al} : \text{Zn} = 40 : 1 : 10$ 、またはこれらの近傍の金属酸化物を用いることができる。

[0296]

OSトランジスタの半導体層に $\text{In}-\text{Ga}-\text{Zn}$ 酸化物を用いる場合、金属元素の原子数に対するインジウムの原子数比が、ガリウムの原子数比よりも高い金属酸化物を適用することができる。さらには、亜鉛の原子数比が、ガリウムの原子数比よりも高い金属酸化物を用いることが、より好ましい。例えば、金属元素の原子数比が、 $\text{In} : \text{Ga} : \text{Zn} = 2 : 1 : 3$ 、 $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ 、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ 、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 4$ 、 1 、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ 、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 6$ 、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 7$ 、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 8$ 、 $\text{In} : \text{Ga} : \text{Zn} = 6 : 1 : 6$ 、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 3$ 、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 6$ 、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 7$ 、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 8$ 、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 2 : 5$ 、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 10$ 、 $\text{In} : \text{Ga} : \text{Zn} = 20 : 1 : 10$ 、 $\text{In} : \text{Ga} : \text{Zn} = 40 : 1 : 10$ 、またはこれらの近傍の金属酸化物を用いることができる。

[0297]

OSトランジスタの半導体層に $\text{In}-\text{M}-\text{Zn}$ 酸化物を用いる場合、金属元素の原子数に対するインジウムの原子数比が、元素Mの原子数比よりも高い金属酸化物を適用することができる。さらには、亜鉛の原子数比が、元素Mの原子数比よりも高い金属酸化物を用いることが、より好ましい。例えば、金属元素の原子数比が、 $\text{In} : \text{M} : \text{Zn} = 2 : 1 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 3 : 1 : 2$ 、 $\text{In} : \text{M} : \text{Zn} = 4 : 2 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 4 : 2 : 4$ 、 1 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 7$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 8$ 、 $\text{In} : \text{M} : \text{Zn} = 6 : 1 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 7$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 8$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 2 : 5$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 10$ 、 $\text{In} : \text{M} : \text{Zn} = 20 : 1 : 10$ 、 $\text{In} : \text{M} : \text{Zn} = 40 : 1 : 10$ 、またはこれらの近傍の金属酸化物を用いることができる。

[0298]

なお、元素Mとして複数の金属元素を有する場合は、当該金属元素の原子数比の合計を、元素Mの原子数比とすることができる。例えば、元素Mとしてガリウムとアルミニウムを有する In-Ga-Al-Zn 酸化物の場合、ガリウムの原子数比とアルミニウムの原子数比の合計を元素Mの原子数比とすることができる。また、インジウム、元素M、および亜鉛の原子数比が前述の範囲であることが好ましい。

[0299]

金属酸化物に含まれる主成分元素のうち、金属元素の原子数の和に対するインジウムの原子数の割合が、30原子%以上100原子%以下、好ましくは30原子%以上95原子%以下、より好ましくは35原子%以上95原子%以下、より好ましくは35原子%以上90原子%以下、より好ましくは40原子%以上90原子%以下、より好ましくは45原子%以上90原子%以下、より好ましくは50原子%以上80原子%以下、より好ましくは60原子%以上80原子%以下、より好ましくは70原子%以上80原子%以下である金属酸化物を用いることが好ましい。例えば、半導体層に In-M-Zn 酸化物を用いる場合、インジウム、元素M、および亜鉛の原子数の合計に対する、インジウムの原子数の割合が前述の範囲であることが好ましい。

[0300]

前述した通り、金属酸化物に含まれる主成分元素のうち、金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。当該トランジスタを用いることにより、高速動作が可能な回路を作製することができる。さらには回路の占有面積を縮小することが可能となる。例えば、当該トランジスタを大型の表示装置、または高精細な表示装置に適用する際、配線数が増加した場合においても、各配線における信号遅延を低減することができ、表示ムラを抑制することができる。また、回路の占有面積を縮小できるため、表示装置の額縁を狭くすることができる。

[0301]

金属酸化物の組成の分析は、例えば、エネルギー分散型X線分光法 (EDX: Energy Dispersive X-ray spectroscopy)、X線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy)、誘導結合プラズマ質量分析法 (ICP-MS: Inductively Coupled Plasma-Mass Spectrometry)、または誘導結合高周波プラズマ発光分光法 (ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry) を用いることができる。または、これらの手法を複数組み合わせる分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られた元素Mの含有率が、実際の含有率より低くなる場合がある。

[0302]

金属酸化物の形成は、スパッタリング法、またはALD法が好適である。なお、金属酸化物をスパッタリング法で形成する場合、ターゲットの原子数比と、当該金属酸化物の原子数比が異なる場合がある。特に、亜鉛は、ターゲットの原子数比よりも金属酸化物の原子数比が小さくなる場合がある。具体的には、ターゲットに含まれる亜鉛の原子数比の40%以上90%以下程度となる場合がある。

[0303]

半導体層にガリウムを含まない、またはガリウムの含有率の低い金属酸化物を用いることにより、正バイアス印加に対する信頼性が高いトランジスタとすることができる。つまり、P B T S 試験でのしきい値電圧の変動量が小さいトランジスタとすることができる。また、ガリウムを含む金属酸化物を用いる場合は、インジウムの含有率よりも、ガリウムの含有率を低くすることが好ましい。これにより、信頼性の高いトランジスタを実現することができる。

[0304]

P B T S 試験でのしきい値電圧の変動の1つの要因として、半導体層とゲート絶縁層の界面、または界面近傍における欠陥準位が挙げられる。欠陥準位密度が大きいほど、P B T S 試験での劣化が顕著になる。半導体層の、ゲート絶縁層と接する領域におけるガリウムの含有率を低くすることにより、当該欠陥準位の生成を抑制できる。

[0305]

ガリウムを含まない、またはガリウムの含有率の低い金属酸化物を半導体層に用いることにより P B T S 試験でのしきい値電圧の変動を抑制できる理由として、例えば、以下のようなことが考えられる。金属酸化物に含まれるガリウムは、他の金属元素（例えば、インジウムまたは亜鉛）と比較して、酸素を誘引しやすい性質を有する。そのため、ガリウムを多く含む金属酸化物と、ゲート絶縁層との界面において、ガリウムがゲート絶縁層中の余剰酸素と結合することにより、キャリア（ここでは電子）トラップサイトを生じさせやすくなると推察される。そのため、ゲートに正の電位を与えた際に、半導体層とゲート絶縁層との界面にキャリアがトラップされることにより、しきい値電圧が変動することが考えられる。

[0306]

より具体的には、半導体層に In-Ga-Zn 酸化物を用いた場合、インジウムの原子数比が、ガリウムの原子数比よりも高い金属酸化物を、半導体層に適用することができる。また、亜鉛の原子数比が、ガリウムの原子数比よりも高い金属酸化物を用いることが、より好ましい。言い換えると、金属元素の原子数比が、 $\text{In} > \text{Ga}$ 、且つ $\text{Zn} > \text{Ga}$ を満たす金属酸化物を、半導体層に適用することが好ましい。

[0307]

例えば、OS トランジスタの半導体層に、金属元素の原子数比が、 $\text{In} : \text{Ga} : \text{Zn} = 2 : 1 : 3$ 、 $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ 、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ 、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 4$ 、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ 、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 6$ 、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 7$ 、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 8$ 、 $\text{In} : \text{Ga} : \text{Zn} = 6 : 1 : 6$ 、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 3$ 、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 6$ 、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 7$ 、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 8$ 、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 2 : 5$ 、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 10$ 、 $\text{In} : \text{Ga} : \text{Zn} = 20 : 1 : 10$ 、 $\text{In} : \text{Ga} : \text{Zn} = 40 : 1 : 10$ 、またはこれらの近傍の金属酸化物を用いることができる。

[0308]

OS トランジスタの半導体層は、含有される金属元素の原子数に対するガリウムの原子数の割合が、0 原子%より高く 50 原子%以下、好ましくは 0.1 原子%以上 40 原子%以下、より好ましくは 0.1 原子%以上 35 原子%以下、より好ましくは 0.1 原子%以上 30 原子%以下、より好ましくは 0.1 原子%以上 25 原子%以下、より好ましくは 0.1 原子%以上 20 原子%以下、より好ましくは 0.1 原子%以上 15 原子%以下、より好ましくは 0.1 原子%以上 10 原子%以下である金属酸化物を

用いることが好ましい。半導体層中の金属元素の原子数に対するガリウムの原子数の割合を低くすることにより、P B T S 試験に対する耐性の高いトランジスタとすることができる。なお、金属酸化物にガリウムを含有させることにより、金属酸化物に酸素欠損 (V_O : Oxygen Vacancy) が生じにくくなるといった効果を奏する。

[0309]

O S トランジスタの半導体層に、ガリウムを含まない金属酸化物を適用してもよい。例えば、I n - Z n 酸化物を半導体層に適用することができる。このとき、金属酸化物に含まれる金属元素の原子数に対するインジウムの原子数比を高くすることにより、トランジスタの電界効果移動度を高めることができる。一方、金属酸化物に含まれる金属元素の原子数に対する亜鉛の原子数比を高くすることにより、結晶性の高い金属酸化物となるため、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。また、半導体層には、酸化インジウムなどの、ガリウムおよび亜鉛を含まない金属酸化物を適用してもよい。ガリウムを含まない金属酸化物を用いることにより、特に、P B T S 試験におけるしきい値電圧の変動を極めて小さなものとすることができる。

[0310]

例えば、半導体層に、インジウムと亜鉛を含む酸化物を用いることができる。このとき、金属元素の原子数比が、例えば $I n : Z n = 2 : 3$ 、 $I n : Z n = 4 : 1$ 、またはこれらの近傍である金属酸化物を用いることができる。

[0311]

なお、代表的にガリウムを挙げて説明したが、ガリウムに代えて元素Mを用いた場合にも適用できる。半導体層には、インジウムの原子数比が元素Mの原子数比よりも高い金属酸化物を適用することが好ましい。また、亜鉛の原子数比が元素Mの原子数比よりも高い金属酸化物を適用することが好ましい。

[0312]

半導体層に元素Mの含有率が低い金属酸化物を適用することにより、正バイアス印加に対する信頼性が高いトランジスタが実現できる。当該トランジスタを正バイアス印加に対する高い信頼性が求められるトランジスタに適用することにより、高い信頼性を有する半導体装置が実現できる。

[0313]

続いて、光に対するトランジスタの信頼性について、説明する。

[0314]

トランジスタに光が入射することにより、トランジスタの電気特性が変動してしまう場合がある。特に、光が入射しうる領域に適用されるトランジスタは、光照射下での電気特性の変動が小さく、光に対する信頼性が高いことが好ましい。光に対する信頼性は、例えば、N B T I S 試験でのしきい値電圧の変動量により評価することができる。

[0315]

半導体層に用いる金属酸化物の元素Mの含有率を高くすることにより、光に対する信頼性の高いトランジスタとすることができる。つまり、N B T I S 試験でのしきい値電圧の変動量が小さいトランジスタとすることができる。具体的には、元素Mの原子数比がインジウムの原子数比以上である金属酸化物はバンドギャップがより大きくなり、トランジスタのN B T I S 試験でのしきい値電圧の変動量を小さくすることができる。半導体層が有する金属酸化物のバンドギャップは、2.0 eV以上が好ましく、さらには2.5 eV以上が好ましく、さらには3.0 eV以上が好ましく、さらには3.

2 eV以上が好ましく、さらには3.3 eV以上が好ましく、さらには3.4 eV以上が好ましく、さらには3.5 eV以上が好ましい。

[0316]

例えば、半導体層に、金属元素の原子数比が、 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:2$ 、 $\text{In}:\text{M}:\text{Zn}=1:3:2$ 、 $\text{In}:\text{M}:\text{Zn}=1:3:3$ 、 $\text{In}:\text{M}:\text{Zn}=1:3:4$ 、またはこれらの近傍の金属酸化物を用いることができる。

[0317]

特に、半導体層として、含有される金属元素の原子数に対する元素Mの原子数の割合が、20原子%以上70原子%以下、好ましくは30原子%以上70原子%以下、より好ましくは30原子%以上60原子%以下、より好ましくは40原子%以上60原子%以下、より好ましくは50原子%以上60原子%以下である金属酸化物が好適である。

[0318]

半導体層に In-Ga-Zn 酸化物を用いた場合、金属元素の原子数に対するインジウムの原子数比が、ガリウムの原子数比以下の金属酸化物を適用することができる。例えば、金属元素の原子数比が、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:3:3$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ 、またはこれらの近傍の金属酸化物を用いることができる。

[0319]

半導体層として、特に、含有される金属元素の原子数に対するガリウムの原子数の割合が、20原子%以上60原子%以下、好ましくは20原子%以上50原子%以下、より好ましくは30原子%以上50原子%以下、より好ましくは40原子%以上60原子%以下、より好ましくは50原子%以上60原子%以下である金属酸化物が好適である。

[0320]

半導体層に元素Mの含有率が高い金属酸化物を適用することにより、光に対する信頼性が高いトランジスタとすることができる。当該トランジスタを光に対する高い信頼性が求められるトランジスタに適用することにより、高い信頼性を有する半導体装置とすることができる。

[0321]

半導体層は、2以上の金属酸化物層を有する積層構造としてもよい。半導体層が有する2以上の金属酸化物層は、組成が互いに同じ、または概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成できるため、製造コストを削減できる。

[0322]

半導体層が有する2以上の金属酸化物層は、組成が互いに異なってもよい。例えば、 $\text{In}:\text{M}:\text{Zn}=1:3:4$ [原子数比] もしくはその近傍の組成の第1の金属酸化物層と、当該第1の金属酸化物層に重なる $\text{In}:\text{M}:\text{Zn}=1:1:1$ [原子数比] もしくはその近傍の組成の第2の金属酸化物層と、の2層積層構造を用いてもよい。また、元素Mとして、ガリウムまたはアルミニウムを用いることが特に好ましい。例えば、インジウム酸化物、インジウムガリウム酸化物、およびIGZOの中から選ばれるいずれか一と、IAZO、IAGZO、およびITZO（登録商標）の中から選ばれるいずれか一と、の積層構造などを用いてもよい。

[0323]

また、例えば、 $I n : M : Z n = 1 : 1 : 1$ [原子数比] もしくはその近傍の組成の第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる $I n : Z n = 4 : 1$ [原子数比] もしくはその近傍の組成の第2の金属酸化物層と、の積層構造を用いてもよい。

[0324]

また、例えば、金属元素の原子数比が $I n : G a : Z n = 1 : 1 : 1$ の半導体層を1層目とし、金属元素の原子数比が $I n : Z n = 4 : 1$ の半導体層を2層目とし、金属元素の原子数比が $I n : G a : Z n = 1 : 1 : 1$ の半導体層を3層目とする3層積層構造を用いてもよい。なお、1層目および3層目の半導体層のバンドギャップが、2層目の半導体層のバンドギャップより大きい構成が好ましい。当該構成とすることで、主な電流経路を2層目とすることが可能となり、所謂埋め込みチャネルの構造とすることができる。

[0325]

半導体層は、結晶性を有する金属酸化物層を用いることが好ましい。例えば、CAAC (c-axis aligned crystal) 構造、多結晶構造、微結晶 (nc: nano-crystal) 構造等を有する金属酸化物層を用いることができる。結晶性を有する金属酸化物層を半導体層に用いることにより、半導体層中の欠陥準位密度を低減でき、信頼性の高い表示装置を実現できる。

[0326]

半導体層に用いる金属酸化物層の結晶性が高いほど、半導体層中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物層を用いることで、大きな電流を流すことができるトランジスタを実現することができる。

[0327]

金属酸化物層をスパッタリング法により形成する場合、形成時の基板温度（ステージ温度）が高いほど、結晶性の高い金属酸化物層を形成することができる。また、形成時に用いる成膜ガス全体に対する酸素ガスの流量の割合（以下、酸素流量比ともいう）が高いほど、結晶性の高い金属酸化物層を形成することができる。

[0328]

OSトランジスタの半導体層は、結晶性が異なる2以上の金属酸化物層の積層構造であってもよい。例えば、第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる第2の金属酸化物層と、の積層構造とし、第2の金属酸化物層は、第1の金属酸化物層より結晶性が高い領域を有する構成とすることができる。または、第2の金属酸化物層は、第1の金属酸化物層より結晶性が低い領域を有する構成とすることができる。半導体層が有する2以上の金属酸化物層は、組成が互いに同じ、または概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成できるため、製造コストを削減できる。例えば、同じスパッタリングターゲットを用いて、酸素流量比を異ならせることにより、結晶性が異なる2以上の金属酸化物層の積層構造を形成することができる。なお、半導体層が有する2以上の金属酸化物層は、組成が互いに異なってもよい。

[0329]

本実施の形態に示すトランジスタ10は、導電層160と導電層155の間に設けられる絶縁層の厚さでチャンネル長Lが決定される。よって、チャンネル長Lが短いトランジスタを精度よく作製できる。また、複数のトランジスタ10間の特性ばらつきも低減される。よって、トランジスタ10を含む半導体装置の動作が安定し、信頼性を高めることができる。また、特性ばらつきが減ると、半導体装置

の回路設計自由度が高くなり、動作電圧も低減できる。よって、半導体装置の消費電力を低減できる。

[0330]

半導体層161に酸化物半導体を用いる場合は、絶縁層156と絶縁層158に水素を含む材料を用いることが好ましい。水素を含む絶縁層が酸化物半導体に接することで、該絶縁層が接する領域の酸化物半導体がn型化され、ソース領域またはドレイン領域として機能できる。該絶縁層として、例えば、シリコン、窒素、および水素を含む材料を用いればよい。具体的には、水素を含む窒化シリコンまたは水素を含む窒化酸化シリコンなどを用いればよい。

[0331]

また、半導体層161に酸化物半導体を用いる場合は、半導体層161と接する導電層155、および、半導体層161と接する導電層160は、酸化物半導体をn型化する導電性材料を用いることが好ましい。例えば、窒素を含む導電性材料を用いればよい。例えば、チタンまたはタンタルと、窒素と、を含む導電性材料を用いればよい。また、窒素を含む導電性材料を重ねて、他の導電性材料を設けてもよい。

[0332]

一方で、絶縁層157には水素が低減され、酸素を含む材料を用いることが好ましい。例えば、シリコンおよび酸素を含む材料を用いればよい。具体的には、酸化シリコンまたは酸化窒化シリコンなどを用いればよい。酸化物半導体において水素は不純物元素であるため、酸化物半導体である半導体層161と水素が低減された絶縁層157が接することで、半導体層161がn型化されにくくなる。また、酸化物半導体である半導体層161と酸素を含む絶縁層157が接することで、半導体層161の酸素欠損が低減され、トランジスタ10の特性が安定し、信頼性が向上する。

[0333]

また、半導体層161に酸化物半導体を用いる場合は、絶縁層157は過剰酸素を含むことが好ましい。本明細書等において、「過剰酸素」とは、加熱により離脱する酸素のことを示す。また、絶縁層157に過剰酸素を含む材料を用いる場合、絶縁層156と絶縁層158に酸素が透過しにくい材料を用いることが好ましい。酸素が透過しにくい材料として、例えば、アルミニウムおよびハフニウム的一方または双方を含む酸化物、シリコンの窒化物などを用いることができる。絶縁層156と絶縁層158に酸素が透過しにくい材料を用いることで、絶縁層157に含まれる過剰酸素が下層または上層に脱離しにくくなる。よって、酸化物半導体に十分な酸素を供給できる。例えば、シリコンおよび窒素を含む2層の絶縁層（絶縁層156、絶縁層158）の間に、シリコンおよび酸素を含む絶縁層（絶縁層157）を有する構成とすることができる。

[0334]

また、半導体層161に酸化物半導体を用いて、絶縁層156と絶縁層158に水素を含む材料を用いる場合、半導体層161の導電層160と接する領域、および、半導体層161の絶縁層158と接する領域が、ソース（ソース領域）またはドレイン（ドレイン領域）の一方として機能する。また、半導体層161の導電層155と接する領域、および、半導体層161の絶縁層156と接する領域が、ソース（ソース領域）またはドレイン（ドレイン領域）の他方として機能する。よって、絶縁層157の厚さ t でトランジスタ10のチャネル長 L が決定される（図16A参照）。

[0335]

また、絶縁層156と絶縁層158に、水素を含まないまたは水素が極めて少ない材料を用いてもよい。例えば、水素が極めて少ない窒化シリコンまたは水素が極めて少ない窒化酸化シリコンなどを用

いてもよい。この場合は、半導体層 161 が絶縁層 156 と接する領域および半導体層 161 が絶縁層 158 と接する領域が n 型化されない。よって、半導体層 161 の導電層 160 と接する領域が、ソース（ソース領域）またはドレイン（ドレイン領域）の一方として機能する。また、半導体層 161 の導電層 155 と接する領域が、ソース（ソース領域）またはドレイン（ドレイン領域）の他方として機能する。この場合、絶縁層 156、絶縁層 157、および絶縁層 158 それぞれの厚さを合算した厚さ t_s がトランジスタ 10 のチャネル長 L に相当する（図 16A 参照）。

[0336]

絶縁層 156、絶縁層 157、および絶縁層 158 の厚さを調整することで、チャネル長 L を制御できる。例えば、チャネル長 L を、5 nm 以上、7 nm 以上、または 10 nm 以上であって、 $3\ \mu\text{m}$ 未満、 $2.5\ \mu\text{m}$ 以下、 $2\ \mu\text{m}$ 以下、 $1.5\ \mu\text{m}$ 以下、 $1.2\ \mu\text{m}$ 以下、 $1\ \mu\text{m}$ 以下、500 nm 以下、300 nm 以下、200 nm 以下、100 nm 以下、50 nm 以下、30 nm 以下、または 20 nm 以下とすることができる。例えば、チャネル長 L を、100 nm 以上 $1\ \mu\text{m}$ 以下とすることもできる。

[0337]

なお、本実施の形態では、導電層 155 と導電層 160 の間に 3 層の絶縁層（絶縁層 156、絶縁層 157、絶縁層 158）を有する構成を示しているが、導電層 155 と導電層 160 の間の絶縁層の層数はこれに限定されない。導電層 155 と導電層 160 の間の絶縁層は 1 層または 2 層にすることができる。また、4 層以上にすることができる。

[0338]

また、半導体層 161 は開口 159 に設けられているため、開口 159 の周の長さ p がトランジスタ 10 のチャネル幅 W となる（図 16C 参照）。周の長さ p は、例えば、絶縁層 157 の厚さ t の半分（ $t/2$ ）の位置もしくは、厚さ t_s の半分（ $t_s/2$ ）の位置で求めればよい。なお、必要に応じて、開口 159 の任意の位置の周の長さをチャネル幅 W としてもよい。例えば、開口 159 の最下部の周の長さ p をチャネル幅 W としてもよいし、開口 159 の最上部の周の長さ p をチャネル幅 W としてもよい。

[0339]

また、図 16C では、Z 方向から見た開口 159 の輪郭（平面形状）を円形で示しているが、これに限定されない。例えば、Z 方向から見た開口 159 の輪郭は、楕円形（図 16D 参照）にすることができる。また、矩形（図 16E 参照）にすることができる。なお、図 16E では角部が湾曲した矩形を示している。また、例えば、Z 方向から見た開口 159 の輪郭は、直線部と曲線部の一方または双方を含む形状（図 16F 参照）であってもよい。

[0340]

本発明の一態様に係るトランジスタ 10 は、ゲートとソース間に生じる寄生容量の容量値とゲートとドレイン間に生じる寄生容量の容量値が異なる。具体的には、絶縁層 154 上で導電層 160 と導電層 163 が重なる領域に生じる容量 C_1 と、開口 159 で導電層 155 と導電層 163 が重なる領域に生じる容量 C_2 において、容量 C_1 の容量値が容量 C_2 の容量値よりも大きくなる（図 15D および図 16B 参照）。

[0341]

図 17A および図 17B に、図 15A と同様の平面図を示す。本発明の一態様に係るトランジスタ 10 を Z 方向から見ると、導電層 163 は開口 159 の周辺部で開口 159 を取り囲むように導電層 160 に重なり、開口 159 の底部で導電層 160 と重なる。

[0342]

図17Aにおいて、Z方向から見たときに容量C1として機能する領域にハッチングパターンを付している。導電層160と導電層163が、絶縁層154上で半導体層161および絶縁層162を介して互いに重なる領域が容量C1として機能する（図16Bおよび図17A参照）。なお、図17Aでは絶縁層154および絶縁層162の記載を省略している。

[0343]

図17Bにおいて、Z方向から見たときに容量C2として機能する領域にハッチングパターンを付している。開口159の底部において、導電層155と導電層163が、半導体層161および絶縁層162を介して互いに重なる領域が容量C2として機能する（図16Bおよび図17B参照）。なお、図17Bでは絶縁層154および絶縁層162の記載を省略している。

[0344]

図17Aおよび図17Bより、容量C2として機能する領域の面積よりも、容量C1として機能する領域の面積が大きいことがわかる。容量C2として機能する領域の面積よりも、容量C1として機能する領域の面積を大きくすることにより、容量C2よりも容量C1の容量値が大きくなる。

[0345]

また、容量C2の容量値を変えるため導電層155と導電層163の重畳面積を変えようとする、開口159の形状を変えることになり、開口159の周の長さpが変化する。周の長さpの変化はトランジスタ10の電気特性に直接影響するため、容量C2の容量値の調整は困難である。

[0346]

一方で、導電層163と導電層160の重畳面積の調整は容易であり、トランジスタ10の電気特性への影響も生じにくい。例えば、導電層163と導電層160の重畳面積を増やすことで、容量C1の容量値を大きくすることができる。

[0347]

また、図18Aの断面図に示すように、絶縁層157中に半導体層161に近接する導電層166を設けてもよい。また、導電層166は半導体層161と接することなく設ける。また、導電層166は半導体層161を囲んで設けることが好ましい。導電層166を半導体層161に接することなく、半導体層161に近接して設けることで、導電層166をトランジスタ10のバックゲート電極として機能させることができる。よって、図18Aに示すトランジスタ10は、バックゲート（バックゲート電極）を有するトランジスタとして機能する。なお、図18Bは、図18Aに示すトランジスタ10の等価回路図である。

[0348]

ここで、バックゲート電極について説明しておく。一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、GND電位もしくは任意の電位としてもよい。ゲート電極とバックゲート電極を電氣的に接続することで、トランジスタのオン電流を大きくすることができる。また、バックゲート電極の電位をゲート電極と同じにせず、独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

[0349]

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界

が、半導体層のチャネル形成領域に作用しないようにする機能（特に静電気などに対する電界遮蔽機能）を有する。この結果、トランジスタ毎の特性ばらつきが低減される。また、G B T S 試験によるトランジスタ特性の劣化が抑制される。例えば、バックゲート電極を有することで、G B T S 試験前後におけるしきい値電圧の変動を抑制できる。また、バックゲート電極を有するトランジスタは、G B T S 試験前後におけるしきい値電圧の変動も、バックゲート電極を有さないトランジスタより小さい。

[0350]

なお、G B T S（N B T S および P B T S）試験は加速試験の一種であり、長期間の使用によって起こるトランジスタの特性変化（経年変化）を短時間で評価することができる。特に、G B T S 試験前後におけるトランジスタのしきい値電圧の変動量は、信頼性を調べるための重要な指標となる。G B T S 試験前後において、しきい値電圧の変動量が少ないほど、信頼性が高いトランジスタであるといえる。

[0351]

また、バックゲート電極側から光が入射する場合に、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。同様に、ゲート電極を、遮光性を有する導電膜で形成することで、ゲート電極側から半導体層に光が入射することを防ぐことができる。ゲート電極およびバックゲート電極の一方または双方を、遮光性を有する導電膜で形成することで、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。

[0352]

また、ゲート電極およびバックゲート電極は、ドレイン電極から生じる電界が半導体層に作用しないように遮断することができる。よって、ドレイン電圧の変動に起因する、オン電流の立ち上がり電圧の変動を抑制することができる。なお、この効果は、ゲート電極およびバックゲート電極に電位が供給されている場合において顕著に生じる。

[0353]

複数のトランジスタ 10 を並列に接続することにより、見かけ上のトランジスタ 10 のチャネル幅 W を大きくすることができる。チャネル幅 W が大きくなることにより、トランジスタ 10 がオン状態の時のソースとドレイン間の抵抗値が小さくなり、オン状態の時の I_d を増やすことができる。

[0354]

図 19 A は、トランジスタ 10 a およびトランジスタ 10 b を含むトランジスタ 10 の平面図である。図 19 B は、図 19 A に A1 - A2 の一点鎖線で示した部位の断面図である。図 19 C は、トランジスタ 10 a およびトランジスタ 10 b を含むトランジスタ 10 の一部を切り欠いて示す斜視図である。図 19 D は、トランジスタ 10 a およびトランジスタ 10 b を含むトランジスタ 10 の等価回路図である。トランジスタ 10 の構成を理解しやすくするため、図 19 A および図 19 C では、トランジスタ 10 の構成要素の記載の一部を省略している。

[0355]

トランジスタ 10 a およびトランジスタ 10 b は、図 15 および図 16 を用いて説明したトランジスタ 10 と同様の構成を有する。トランジスタ 10 a は、開口 159 a を含む領域に設けられ、トランジスタ 10 b は、開口 159 b を含む領域に設けられている。開口 159 a および開口 159 b は、開口 159 と同様に形成できる。

[0356]

導電層155の一部がトランジスタ10aのソース電極またはドレイン電極の一方として機能し、導電層155の他の一部がトランジスタ10bのソース電極またはドレイン電極の一方として機能する。また、導電層160の一部がトランジスタ10aのソース電極またはドレイン電極の他方として機能し、導電層160の他の一部がトランジスタ10bのソース電極またはドレイン電極の他方として機能する。また、導電層163の一部がトランジスタ10aのゲート電極として機能し、導電層163の他の一部がトランジスタ10bのゲート電極として機能する。

[0357]

図19Dの等価回路図で説明すると、トランジスタ10aのソースまたはドレインの一方と、トランジスタ10bのソースまたはドレインの一方は電氣的に接続され、トランジスタ10aのソースまたはドレインの他方と、トランジスタ10bのソースまたはドレインの他方は電氣的に接続される。また、トランジスタ10aのゲートとトランジスタ10bのゲートは電氣的に接続される。よって、トランジスタ10aおよびトランジスタ10bは、オン状態とオフ状態が同時に切り換わり、1つのトランジスタ10として機能する。

[0358]

複数のトランジスタ10（ここでは、トランジスタ10aおよびトランジスタ10b）を直列に接続することにより、見かけ上のトランジスタ10のチャンネル長Lを大きくすることができる。チャンネル長Lが大きくなることにより、トランジスタ10の飽和特性を向上することができる。

[0359]

図20Aは、トランジスタ10aおよびトランジスタ10bを含むトランジスタ10の平面図である。図20Bは、図20AにA1-A2の一点鎖線で示した部位の断面図である。図20Cは、トランジスタ10aおよびトランジスタ10bを含むトランジスタ10の一部を切り欠いて示す斜視図である。図20Dは、トランジスタ10aおよびトランジスタ10bを含むトランジスタ10の等価回路図である。トランジスタ10の構成を理解しやすくするため、図20Aおよび図20Cでは、トランジスタ10の構成要素の記載の一部を省略している。

[0360]

トランジスタ10aおよびトランジスタ10bは、図19を用いて説明したトランジスタ10と似た構成を有するが、導電層155が導電層155aと導電層155bに分離している点が異なる。

[0361]

導電層155aがトランジスタ10aのソース電極またはドレイン電極の一方として機能し、導電層160の一部がトランジスタ10aのソース電極またはドレイン電極の他方として機能する。また、導電層160の他の一部がトランジスタ10bのソース電極またはドレイン電極の一方として機能し、導電層155bがトランジスタ10bのソース電極またはドレイン電極の他方として機能する。また、図19を用いて説明したトランジスタ10と同様に、導電層163の一部がトランジスタ10aのゲート電極として機能し、導電層163の他の一部がトランジスタ10bのゲート電極として機能する。

[0362]

図20Dの等価回路図で説明すると、トランジスタ10aのソースまたはドレインの他方と、トランジスタ10bのソースまたはドレインの一方が電氣的に接続され、トランジスタ10aのゲートとトランジスタ10bのゲートが電氣的に接続される。よって、トランジスタ10aおよびトランジスタ

タ 1 0 b は、オン状態とオフ状態が同時に切り換わり、1つのトランジスタ 1 0 として機能する。

[0363]

[信号出力回路 1 1 0 の平面および断面構成例]

続いて、信号出力回路 1 1 0 の平面および断面構成例を、図面を用いて説明する。本実施の形態では、信号出力回路 1 1 0 のうち、図 1 2 に示した信号出力回路 1 1 0 a の平面および断面構成例について説明する。

[0364]

図 2 1 は、信号出力回路 1 1 0 a の平面構成例を示す図である。また、図 2 2 A は、図 2 1 に A 1 - A 2 を通る一点鎖線で示した部位の断面構成例を示す図である。図 2 2 A は、図 2 1 に A 2 - A 3 を通る一点鎖線で示した部位の断面構成例を示す図である。図 2 3 A は、図 2 1 に A 4 - A 5 を通る一点鎖線で示した部位の断面構成例を示す図である。図 2 3 B は、図 2 1 に A 6 - A 7 を通る一点鎖線で示した部位の断面構成例を示す図である。

[0365]

本実施の形態では、信号出力回路 1 1 0 a のトランジスタ 1 0 に、前述した V F E T を用いる構成例を説明する。信号出力回路 1 1 0 a は、基板 1 4 8 上に絶縁層 1 5 4 を有し、絶縁層 1 5 4 上に導電層 1 5 5 (例えば、図 2 2 A の導電層 1 5 5 [1] および導電層 1 5 5 [3]、図 2 2 B の導電層 1 5 5 [3] および導電層 1 5 5 [4]、図 2 3 A の導電層 1 5 5 [10] および導電層 1 5 5 [11]) を有する。

[0366]

なお、トランジスタ 1 0 に前述した V F E T を用いる信号出力回路 1 1 0 a の積層構成は、前述したトランジスタ 1 0 の構成例と共通部分を有する。このため、ここでは主に前述したトランジスタ 1 0 の構成例と異なる部分について説明する。

[0367]

また、本明細書などでは、トランジスタ 1 0 [1] に係る構成要素の符号に [1] の識別用の符号を付す場合がある。例えば、トランジスタ 1 0 [1] のゲート電極として機能する導電層 1 6 3 を導電層 1 6 3 [1] と記す場合がある。なお、複数のトランジスタ 1 0 に共通して係る構成要素の符号に、該複数のトランジスタ 1 0 のいずれかの識別用の符号を付す場合がある。例えば、トランジスタ 1 0 [2]、トランジスタ 1 0 [9]、およびトランジスタ 1 0 [11] それぞれのゲート電極として機能する導電層 1 6 3 を導電層 1 6 3 [2] と記す場合がある。

[0368]

例えば、トランジスタ 1 0 [3] に係る開口 1 5 9 および半導体層 1 6 1 を、開口 1 5 9 [3] および半導体層 1 6 1 [3] と記す場合がある。例えば、トランジスタ 1 0 [4] に係る開口 1 5 9 および半導体層 1 6 1 を、開口 1 5 9 [4] および半導体層 1 6 1 [4] と記す場合がある。例えば、トランジスタ 1 0 [7] に係る開口 1 5 9 および半導体層 1 6 1 を、開口 1 5 9 [7] および半導体層 1 6 1 [7] と記す場合がある。例えば、トランジスタ 1 0 [8] に係る開口 1 5 9 および半導体層 1 6 1 を、開口 1 5 9 [8] および半導体層 1 6 1 [8] と記す場合がある。例えば、トランジスタ 1 0 [10] に係る開口 1 5 9 および半導体層 1 6 1 を、開口 1 5 9 [10] および半導体層 1 6 1 [10] と記す場合がある。

[0369]

信号出力回路 1 1 0 a は、絶縁層 1 5 8 上に導電層 1 8 1 [1] 乃至導電層 1 8 1 [4] を有する (図

21および図23A参照)。導電層181(導電層181[1]乃至導電層181[4])は、導電層160と同様の材料および方法で形成できる。また、導電層181は導電層160と同時に形成できる。

[0370]

また、信号出力回路110aは、絶縁層164の上に絶縁層187を有する。絶縁層187は、下層に形成されたトランジスタ、容量、配線などによって生じた段差を軽減する平坦化層として機能することが好ましい。平坦化層として機能する材料としては、有機絶縁膜が好適である。また、絶縁層187を無機材料または有機材料を用いて形成した後、絶縁層187に化学機械研磨(CMP:Chemical Mechanical Polishing)法等を用いた平坦化処理を行なってもよい。

[0371]

また、信号出力回路110aは、絶縁層187上に導電層191乃至導電層199、配線131、および配線132を有する(図21、図22A、図22B、および図23A、参照)。導電層191乃至導電層199、配線131、および配線132は、他の導電層と同様の材料および方法で形成できる。導電層191は図24に示す端子111として機能し、導電層192は端子112として機能し、導電層193は端子113として機能し、導電層194は端子114として機能し、導電層195は端子115として機能し、導電層196は端子116として機能し、導電層197は端子117として機能し、導電層198は端子118として機能する。

[0372]

また、信号出力回路110aは、導電層160[2]、導電層160[3]、導電層181[1]、導電層181[2]、導電層181[3]、および導電層181[4]それぞれの上に、絶縁層162、絶縁層164、および絶縁層187を貫通する開口が設けられている。導電層160[2]上に設けられた開口において、配線132と導電層160[2]が電氣的に接続される。より具体的には、導電層160[2]上に設けられた開口の底部において、配線132と導電層160[2]が電氣的に接続される。

[0373]

導電層160[3]上には、2つの開口が設けられている。当該2つの開口の一方において、配線131と導電層160[3]が電氣的に接続される。また、当該2つの開口の他方において、導電層199と導電層160[3]が電氣的に接続される。

[0374]

また、導電層181[1]上に設けられた開口において、導電層191と導電層181[1]が電氣的に接続される。また、導電層181[2]上に設けられた開口において、導電層194と導電層181[2]が電氣的に接続される。また、導電層181[3]上に設けられた開口において、導電層198と導電層181[3]が電氣的に接続される。また、導電層181[4]上に設けられた開口において、導電層196と導電層181[4]が電氣的に接続される。

[0375]

また、信号出力回路110aは、導電層163[1]、導電層163[3]、導電層163[4]、導電層163[5]、および導電層163[7]それぞれの上に、絶縁層164および絶縁層187を貫通する開口が設けられている。

[0376]

導電層 163 [1] 上に設けられた開口において、導電層 197 と導電層 163 [1] が電氣的に接続される。また、導電層 163 [3] 上に設けられた開口において、導電層 193 と導電層 163 [3] が電氣的に接続される。また、導電層 163 [4] 上に設けられた開口において、導電層 192 と導電層 163 [4] が電氣的に接続される。また、導電層 163 [5] 上に設けられた開口において、導電層 195 と導電層 163 [5] が電氣的に接続される。また、導電層 163 [7] 上に設けられた開口において、導電層 199 と導電層 163 [7] が電氣的に接続される。導電層 160 [3] と導電層 163 [7] は、導電層 199 を介して電氣的に接続される。

[0377]

また、信号出力回路 110a は、導電層 155 [1]、導電層 155 [2]、導電層 155 [3]、導電層 155 [4]、導電層 155 [8]、導電層 155 [9]、導電層 155 [10]、および導電層 155 [11] それぞれの上に、絶縁層 156、絶縁層 157、および絶縁層 158 を貫通する開口が設けられている。

[0378]

導電層 155 [1] 上に設けられた開口において、導電層 160 [3] と導電層 155 [1] が電氣的に接続される。また、導電層 155 [2] 上に設けられた開口において、導電層 160 [1] と導電層 155 [2] が電氣的に接続される。また、導電層 155 [3] 上に設けられた開口において、導電層 160 [4] と導電層 155 [3] が電氣的に接続される。また、導電層 155 [8] 上に設けられた開口において、導電層 181 [1] と導電層 155 [8] が電氣的に接続される。また、導電層 155 [10] 上に設けられた開口において、導電層 181 [3] と導電層 155 [10] が電氣的に接続される。

[0379]

導電層 155 [9] 上には、2つの開口が設けられている。当該2つの開口の一方において、導電層 160 [8] と導電層 155 [9] が電氣的に接続される。また、当該2つの開口の他方において、導電層 181 [2] と導電層 155 [9] が電氣的に接続される。

[0380]

導電層 155 [11] 上には、2つの開口が設けられている。当該2つの開口の一方において、導電層 160 [10] と導電層 155 [11] が電氣的に接続される。また、当該2つの開口の他方において、導電層 181 [4] と導電層 155 [11] が電氣的に接続される。

[0381]

また、信号出力回路 110a は、導電層 155 [4] および導電層 155 [7] それぞれの上に、絶縁層 156、絶縁層 157、および絶縁層 158 を貫通する開口が設けられている。

[0382]

導電層 155 [4] 上に設けられた開口において、導電層 163 [2] と導電層 155 [4] が電氣的に接続される（図23B参照）。導電層 155 [7] 上に設けられた開口において、導電層 163 [8] と導電層 155 [7] が電氣的に接続される。

[0383]

なお、導電層 155 [4] は、導電層 155 [5] および導電層 155 [6] としても機能する。また、導電層 160 [1] は、導電層 160 [7] としても機能する。また、導電層 160 [2] は、導電層 160 [6]、導電層 160 [9]、および導電層 160 [11] としても機能する。また、導電層 160 [3] は、導電層 160 [5] としても機能する。また、導電層 163 [1] は、導電層

1 6 3 [6] としても機能する。また、導電層 1 6 3 [2] は、導電層 1 6 3 [9] および導電層 1 6 3 [1 1] としても機能する。また、導電層 1 6 3 [8] は、導電層 1 6 3 [1 0] としても機能する。

[0 3 8 4]

導電層 1 5 5 [4] と導電層 1 6 0 [6] が、絶縁層 1 5 6、絶縁層 1 5 7、および絶縁層 1 5 8 を介して重なる領域が、容量 2 0 [1] として機能する。

[0 3 8 5]

また、導電層 1 6 0 [8] と導電層 1 5 5 [9] を電氣的に接続することで、容量 2 0 [2] としてトランジスタ 1 0 [8] の容量 C 1 を用いることができる。容量 2 0 [2] としてトランジスタ 1 0 [8] の容量 C 1 を用いることで、容量 2 0 [2] を別途設ける必要がなくなるため、占有面積の少ない半導体装置を実現できる (図 2 1 参照)。よって、トランジスタ 1 0 [8] として本発明の一態様に係る V F E T を用いることが好ましい。

[0 3 8 6]

また、導電層 1 6 0 [1 0] と導電層 1 5 5 [1 1] を電氣的に接続することで、容量 2 0 [3] としてトランジスタ 1 0 [1 0] の容量 C 1 を用いることができる。容量 2 0 [3] としてトランジスタ 1 0 [1 0] の容量 C 1 を用いることで、容量 2 0 [3] を別途設ける必要がなくなるため、占有面積の少ない半導体装置を実現できる (図 2 1 および図 2 3 A 参照)。よって、トランジスタ 1 0 [1 0] として本発明の一態様に係る V F E T を用いることが好ましい。

[0 3 8 7]

図 2 4 に、容量 2 0 [2] としてトランジスタ 1 0 [8] の容量 C 1 を用い、容量 2 0 [3] としてトランジスタ 1 0 [1 0] の容量 C 1 を用いた場合の、信号出力回路 1 1 0 a の回路図を示す。

[0 3 8 8]

トランジスタ 1 0 [1 0] およびトランジスタ 1 0 [1 0] 以外のトランジスタを、V F E T 以外のトランジスタで構成してもよい。ただし、占有面積が低減された半導体装置を実現するため、信号出力回路 1 1 0 a に本発明の一態様に係るトランジスタを多く用いることが好ましい。よって、信号出力回路 1 1 0 a に含まれる全てのトランジスタに本発明の一態様に係るトランジスタを用いることが好ましい。

[0 3 8 9]

〔信号出力回路の動作例〕

続いて、信号出力回路 1 1 0 の動作例を、図面を用いて説明する。本実施の形態では、信号出力回路 1 1 0 のうち、図 1 2 に示した信号出力回路 1 1 0 a の動作例について説明する。

[0 3 9 0]

図 2 5 は信号出力回路 1 1 0 a [i] の動作例を説明するためのタイミングチャートである。図 2 6 乃至図 3 2 は信号出力回路 1 1 0 a [i] の動作例を説明するための回路図である。

[0 3 9 1]

また、図面などにおいて、配線などの電位を示すため、配線などに隣接して電位 H を示す “H”、または電位 L を示す “L” を付記する場合がある。また、電位変化が生じた電極などに、“H” または “L” を囲み文字で付記する場合がある。また、トランジスタがオフ状態である場合、当該トランジスタに重ねて “X” 記号を付記する場合がある。

[0 3 9 2]

配線 1 3 1 には電位 H (VDD) が供給され、配線 1 3 2 には電位 L (VSS) が供給されるものとする。また、端子 1 1 1 に信号 CLK__1 が供給され、端子 1 1 2 に信号 CLK__2 が供給され、端子 1 1 3 に信号 CLK__3 が供給され、端子 1 1 8 に信号 PWC__1 が供給されるものとする。

[0393]

また、期間 T1 直前の状態として、信号 CLK__1 が電位 L、信号 CLK__2 が電位 H、信号 CLK__3 が電位 H、信号 PWC__1 が電位 L、信号 LIN が電位 L であるものとする。また、トランジスタ 10 [2]、トランジスタ 10 [3]、トランジスタ 10 [4]、トランジスタ 10 [9]、およびトランジスタ 10 [11] がオン状態であるものとする。また、トランジスタ 10 [1]、トランジスタ 10 [5]、トランジスタ 10 [6]、トランジスタ 10 [7]、トランジスタ 10 [8]、およびトランジスタ 10 [10] がオフ状態であるものとする。

[0394]

また、信号 CLK__4 および信号 PWC__2 乃至信号 PWC__4 が電位 L であるものとする。ただし、信号 CLK__4 および信号 PWC__2 乃至信号 PWC__4 は、ここで説明する信号出力回路 110 a [i] の動作に関係しないため、信号出力回路 110 a [i] の動作説明に使用しない。

[0395]

期間 T1 において、信号 CLK__2 が電位 L、信号 LIN が電位 H になる (図 2 5 および図 2 6 参照)。すると、トランジスタ 10 [1]、トランジスタ 10 [6]、がオン状態になる。すると、ノード ND [1] の電位が電位 L になり、トランジスタ 10 [2]、トランジスタ 10 [9]、およびトランジスタ 10 [11] がオフ状態になる。

[0396]

また、ノード ND [2] およびノード ND [3] の電位が、電位 H からトランジスタ 10 [1] の V_{th} 分低い電位 (電位 $H - V_{th}$) になる。ここで、電位 $H - V_{th}$ の値はトランジスタの V_{th} 以上とする。よって、トランジスタ 10 [8] およびトランジスタ 10 [10] がオン状態になる。端子 116 から信号 OUT として電位 L が出力され、端子 114 から信号 SROUT として電位 L が出力される。

[0397]

期間 T2 において、信号 CLK__1 が電位 H、信号 CLK__3 が電位 L、信号 PWC__1 が電位 H になる (図 2 5 参照)。すると、トランジスタ 10 [3] がオフ状態になる。また、期間 T2 開始時点の時刻 T2 a (図 2 7 参照) では、ノード ND [3] の電位が電位 $H - V_{th}$ であるため、端子 114 の電位が電位 $H - V_{th} - V_{th}$ になり、端子 116 の電位が電位 $H - V_{th} - V_{th}$ になる。

[0398]

一方で、端子 114 とノード ND [3] は容量 20 [2] を介して接続 (容量結合) している。また、端子 116 とノード ND [3] は容量 20 [3] を介して接続している。容量 20 [2] および容量 20 [3] はブートストラップ容量として機能する。よって、端子 114 および端子 116 の電位上昇に伴って、ノード ND [3] の電位が上昇する。

[0399]

この時、ノード ND [2] の電位も上昇するが、ノード ND [2] の電位が電位 $H - V_{th}$ を上回った瞬間に、トランジスタ 10 [1] とトランジスタ 10 [7] がオフ状態になり、ノード ND [2] とノード ND [3] がフローティング状態になる。また、ノード ND [3] の電位は電位 $H - V_{th} + 電位 H (2 \times 電位 H - V_{th})$ まで上昇する (時刻 T2 b。図 2 5 および図 2 8 参照)。当該電位

は電位 $H+V_{th}$ よりも高い電位であるため、端子114および端子116の電位を電位 H とすることができる。

[0400]

期間 T_3 において、信号 CLK_2 が電位 H 、信号 PWC_1 が電位 L 、信号 LIN が電位 L になる（図25および図29参照）。すると、トランジスタ10[4]がオン状態になる。また、端子116の電位が電位 L になる。また、トランジスタ10[6]がオフ状態になり、ノード $ND[1]$ およびノード $ND[2]$ がフローティング状態になる。

[0401]

期間 T_4 において、信号 CLK_1 が電位 L 、信号 CLK_3 が電位 H 、信号 RIN が電位 H になる（図25および図30参照）。すると、トランジスタ10[3]およびトランジスタ10[5]がオン状態になり、ノード $ND[1]$ の電位が電位 H になる。ノード $ND[1]$ の電位が電位 H になると、トランジスタ10[2]、トランジスタ10[9]、およびトランジスタ10[11]がオン状態になる。

[0402]

トランジスタ10[2]がオン状態になると、ノード $ND[2]$ の電位が電位 L になる。すると、トランジスタ10[7]がオン状態になり、ノード $ND[3]$ の電位も電位 L になる。よって、トランジスタ10[8]およびトランジスタ10[10]がオフ状態になる。また、トランジスタ10[9]およびトランジスタ10[11]がオン状態になることにより、端子114に電位 L が供給され、端子116の電位（電位 L ）が維持される。

[0403]

期間 T_5 において、信号 CLK_2 が電位 L になる（図25および図31参照）。すると、トランジスタ10[4]がオフ状態になる。

[0404]

期間 T_6 において、信号 CLK_3 および信号 RIN が電位 L になる（図25および図32参照）。すると、トランジスタ10[3]およびトランジスタ10[5]がオフ状態になる。トランジスタ10[5]がオフ状態になる事により、ノード $ND[1]$ がフローティング状態になる。

[0405]

以降、端子117に信号 LIN として電位 H が供給されるまで、端子114および端子116に電位 L が供給される。すなわち、端子117に信号 LIN として電位 H が供給されるまで、信号 OUT および信号 $SROUT$ として電位 L が出力される。

[0406]

この様にして、信号出力回路[i]は特定の信号の組み合わせと同期して端子114と端子116からパルス信号を出力することができる。なお、端子114から出力されるパルス信号である信号 $SROUT$ のパルス幅（電位 H が出力されている間の時間）は、信号 CLK と連動する。また、端子116から出力されるパルス信号である信号 OUT のパルス幅（電位 H が出力されている間の時間）は、信号 PWC と連動する。

[0407]

本発明の一態様に係る信号出力回路[i]は、ブートストラップ容量として機能する容量素子を備えることで、端子114および端子116から確実に電源電位（電位 H ）を出力できる。よって、本発明の一態様に係る信号出力回路[i]は、出力インピーダンスが小さく、端子114または端子11

6と接続する回路などの負荷に、確実に電位Hを供給できる。よって、本発明の一態様に係る信号出力回路[i]を含む半導体装置の動作が安定し、該半導体装置の信頼性を高めることができる。

[0408]

トランジスタ10[1]の容量C1は、ノードND[1]とトランジスタ10[1]のゲートの間に形成されることが好ましい。また、トランジスタ10[1]の容量C2は、電源電位が供給される配線131とトランジスタ10[1]のゲートの間に形成されることが好ましい(図33参照)。

[0409]

また、ノードND[1]は、信号CLK__2および信号CLK__3の両方が電位Hである以外の期間はフローティング状態になる。この期間のノードND[1]の電位変動を抑制し、本発明の一態様に係る信号出力回路[i]をより安定して動作させるため、トランジスタ10[2]、トランジスタ10[6]、トランジスタ10[9]、およびトランジスタ10[11]それぞれの容量C1が、電源電位が供給される配線132とゲートの間に形成されることが好ましい。具体的には、導電層160[2]が配線132と電氣的に接続することが好ましい(図21参照)。導電層160[2]は、トランジスタ10[2]、トランジスタ10[6]、トランジスタ10[9]、およびトランジスタ10[11]それぞれのソース電極として機能する。

[0410]

トランジスタ10[2]、トランジスタ10[9]、およびトランジスタ10[11]それぞれの容量C1を配線132とゲートの間に形成することで、それぞれの容量C1が容量20[1]と並列に接続される。このため、ノードND[1]の電位変動を抑制する効果を高めることができる(図33参照)。

[0411]

また、トランジスタ10[6]の容量C2をノードND[1]とトランジスタ10[6]のゲートの間に形成することで、容量C1をノードND[1]とトランジスタ10[6]のゲートの間に形成する場合よりも、トランジスタ10[6]のゲートに入力される信号の電位変動がノードND[1]に与える影響を低減できる。

[0412]

また、ノードND[1]の電位変動を抑制し、本発明の一態様に係る信号出力回路[i]をより安定して動作させるため、トランジスタ10[4]およびトランジスタ10[5]それぞれの容量C2をノードND[1]とゲートの間に形成することが好ましい。また、トランジスタ10[5]の容量C1を電源電位が供給される配線131とゲートの間に形成することが好ましい。具体的には、導電層160[3]が配線131と電氣的に接続することが好ましい(図21参照)。導電層160[3]はトランジスタ10[5]のドレイン電極として機能する。

[0413]

また、トランジスタ10[4]の容量C1をトランジスタ10[4]のドレインとゲートの間に形成することが好ましい。また、トランジスタ10[3]の容量C1を配線131とトランジスタ10[3]のゲートの間に形成することが好ましい。具体的には、導電層160[3]が配線131と電氣的に接続することが好ましい(図21参照)。導電層160[3]はトランジスタ10[3]のドレイン電極として機能する。また、トランジスタ10[3]の容量C2をトランジスタ10[3]のソースとゲートの間に形成することが好ましい。

[0414]

また、本発明の一態様に係る信号出力回路 [i] をより安定して動作させるため、ノードND [3] とトランジスタ10 [7] のゲートの間に生じる寄生容量の容量値は、容量20 [2] および容量20 [3] の容量値よりも小さいことが好ましい。よって、トランジスタ10 [7] において、容量C1がトランジスタ10 [7] のソースまたはドレインの一方とゲートの間に生じ、容量C2がトランジスタ10 [7] のソースまたはドレインの他方とゲートの間に生じることが好ましい(図33参照)。

[0415]

<シフトレジスタ100の動作例>

次に、図11Aに示したシフトレジスタ100の動作例について、図34を参照して説明する。図34はシフトレジスタ100の動作例を説明するタイミングチャートである。図34では、クロック信号である信号CLK__1乃至信号CLK__4、信号OUTのパルス幅を決める信号PWC__1乃至信号PWC__4、信号出力回路110 [1] に入力される信号LIN [1]、信号出力回路110 [1] 乃至信号出力回路110 [4] から出力される信号OUT [1] 乃至信号OUT [4]、信号出力回路110 [n] から出力される信号OUT [n]、信号出力回路110 [n+1] から出力される信号OUT [n+1]、および信号出力回路110 [n+2] から出力される信号OUT [n+2] の電位変化を示している。

[0416]

まず、期間T51で、信号出力回路110 [1] に電位Hの信号LIN [1] が供給される。期間T52で、信号LIN [1]、信号CLK__1、信号CLK__4、および信号PWC__1と同期して、信号OUT [1] として電位Hが出力される。

[0417]

続いて、期間T53で、信号OUT [1] として電位Lが出力される。また、信号CLK__1、信号CLK__2、および信号PWC__2と同期して、信号OUT [2] として電位Hが出力される。

[0418]

続いて、期間T54で、信号OUT [2] として電位Lが出力される。また、信号CLK__3、信号CLK__4、および信号PWC__3と同期して、信号OUT [3] として電位Hが出力される。

[0419]

続いて、期間T55で、信号OUT [3] として電位Lが出力される。また、信号CLK__3、信号CLK__4、および信号PWC__4と同期して、信号OUT [4] として電位Hが出力される。このようにして、1段目からn+2段目まで、順番に信号OUTとして電位Hが出力される。

[0420]

その後、再度信号LIN [1] として信号出力回路110 [1] に電位Hが供給されることで、シフトレジスタ100に上記動作を繰り返し行なわせることができる。なお、信号出力回路110 [1] に信号LIN [1] として電位Hが入力されてから、再度信号LIN [1] として電位Hが入力されるまでの期間をフレーム期間176と呼ぶ場合がある。また、信号出力回路110 [1] に入力される信号LINを、「スタートパルスSP」と呼ぶ場合がある。

[0421]

なお、本発明の一態様に係る信号出力回路などの半導体装置に用いるトランジスタとして、プレーナ型またはスタガ型トランジスタなどのVFET以外の構造のトランジスタを用いてもよい。または、VFETと、VFET以外の構造のトランジスタを組み合わせ用いてもよい。

[0422]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

[0423]

(実施の形態5)

本実施の形態では、本発明の一態様の表示モジュールの構成について、図35乃至図40を参照しながら説明する。

[0424]

図35は、本発明の一態様の表示モジュールの構成を説明する斜視図である。

[0425]

本実施の形態の表示装置は、高解像度の表示装置または大型な表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、及び、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、及び、音響再生装置の表示部に用いることができる。

[0426]

また、本実施の形態の表示装置は、高精細な表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、腕時計型、及び、ブレスレット型などの情報端末機（ウェアラブル機器）の表示部、並びに、ヘッドマウントディスプレイ（HMD）などのVR向け機器、及び、メガネ型のAR向け機器などの頭部に装着可能なウェアラブル機器の表示部に用いることができる。

[0427]

本発明の一態様の半導体装置は、表示装置、または、当該表示装置を有するモジュールに用いることができる。当該表示装置を有するモジュールとしては、当該表示装置にフレキシブルプリント回路基板（Flexible printed circuit、以下、FPCと記す）もしくはTCP（Tape Carrier Package）等のコネクタが取り付けられたモジュール、COG（Chip On Glass）方式もしくはCOF（Chip On Film）方式等により集積回路（IC）が実装されたモジュール等が挙げられる。

[0428]

表示装置5050Aは、基板5152と基板5151とが貼り合わされた構成を有する。図35では、基板5152を破線で示している。

[0429]

表示装置5050Aは、表示部5162、接続部5140、回路部5164、配線5165等を有する。図35では表示装置5050AにIC5173及びFPC5172が実装されている例を示している。そのため、図35に示す構成は、表示装置5050Aと、ICと、FPCと、を有する表示モジュールということもできる。

[0430]

接続部5140は、表示部5162の外側に設けられる。接続部5140は、表示部5162の一辺または複数の辺に沿って設けることができる。接続部5140は、単数であっても複数であってもよい。図35では、表示部の四辺を囲むように接続部5140が設けられている例を示す。接続部5140では、表示素子の共通電極と、導電層とが電氣的に接続されており、共通電極に電位を供給することができる。なお、共通電極を基板5151側に設ける場合など、接続部5140が不要であれば

設けなくてもよい。

[0431]

回路部5164は、例えば走査線駆動回路（ゲートドライバともいう）を有する。また、回路部5164は、走査線駆動回路及び信号線駆動回路（ソースドライバともいう）の双方を有していてもよい。

[0432]

配線5165は、表示部5162及び回路部5164に信号及び電力を供給する機能を有する。当該信号及び電力は、FPC5172を介して外部から配線5165に入力される、またはIC5173から配線5165に入力される。

[0433]

図35では、COG方式またはCOF方式等により、基板5151にIC5173が設けられている例を示す。IC5173には、例えば、走査線駆動回路及び信号線駆動回路のうち一方または双方を有するICを適用できる。なお、表示装置5050A及び表示モジュールは、ICを設けない構成としてもよい。また、ICを、COF方式等により、FPCに実装してもよい。

[0434]

本発明の一態様の縦型のトランジスタは、例えば、表示装置5050Aの表示部5162及び回路部5164の一方または双方に適用することができる。また、本発明の一態様の縦型のトランジスタは、IC5173に適用することもできる。

[0435]

例えば、本発明の一態様の縦型のトランジスタを表示装置の画素回路に適用する場合、画素回路の占有面積を縮小することができ、高精細の表示装置とすることができる。また、例えば、本発明の一態様の縦型のトランジスタを表示装置の駆動回路（例えば、ゲート線駆動回路及びソース線駆動回路の一方または双方）に適用する場合、駆動回路の占有面積を縮小することができ、狭額縁の表示装置とすることができる。また、本発明の一態様の縦型のトランジスタは、電気特性が良好であるため、表示装置に用いることで表示装置の信頼性を高めることができる。

[0436]

表示部5162は、表示装置5050Aにおける画像を表示する領域であり、周期的に配列された複数の画素5210を有する。図35には、1つの画素5210の拡大図を示している。

[0437]

本実施の形態の表示装置における画素の配列に特に限定はなく、様々な方法を適用することができる。画素の配列としては、例えば、ストライプ配列、Sストライプ配列、マトリクス配列、デルタ配列、バイヤー配列、及びペンタイル配列が挙げられる。

[0438]

図35に示す画素5210は、赤色の光を呈する副画素5210R、緑色の光を呈する副画素5210G、及び、青色の光を呈する副画素5210Bを有する。副画素5210R、副画素5210G、副画素5210Bは、それぞれ、表示素子と、当該表示素子の駆動を制御する回路と、を有する。

[0439]

表示素子としては、例えば液晶素子を用いることができる。例えば、透過型の液晶素子、反射型の液晶素子、及び、半透過型の液晶素子が挙げられる。

[0440]

また、表示素子としては、液晶素子以外にも様々な素子（例えば発光素子）を用いることができる。

発光素子としては、例えば、LED (Light Emitting Diode)、OLED (Organic LED)、半導体レーザなどの、自発光型の発光素子が挙げられる。LEDとして、例えば、ミニLED、マイクロLEDなどを用いることができる。

[0441]

その他、シャッター方式または光干渉方式のMEMS (Micro Electro Mechanical Systems) 素子、マイクロカプセル方式、電気泳動方式、エレクトロウェッティング方式、または電子粉流体 (登録商標) 方式等を適用した表示素子などを用いることもできる。また、光源と、量子ドット材料による色変換技術と、を用いたQLED (Quantum-dot LED) を用いてもよい。

[0442]

[表示装置の構成例1]

図36に、表示装置5050Aの、FPC5172を含む領域の一部、導電材料5242、回路部5164の一部、表示部5162の一部、接続部5140の一部、及び、端部を含む領域の一部をそれぞれ切断したときの断面の一例を示す。

[0443]

図36に示す表示装置は、VAモードで動作する液晶デバイスを備える。

[0444]

基板5151と基板5152とは、接着層によって貼り合されている。また基板5151、基板5152、及び接着層に囲まれた領域に、液晶が封止されている。また、基板5152の外側の面には偏光板POL2を有する。また基板5151の外側の面には、偏光板POL1を有する。

[0445]

また図示しないが、偏光板POL2よりも外側、または偏光板POL1よりも外側に、バックライトを設けることができる。

[0446]

なお、回路部5164が有するトランジスタと、表示部5162が有するトランジスタは、同じ構造であってもよいし、異なる構造であってもよい。また回路部5164が有する複数のトランジスタは、全て同じ構造であってもよいし、異なる構造のトランジスタを組み合わせ用いてもよい。

[0447]

導電性粒子CPは、接続部5140において、基板5151側に設けられた導電層と電氣的に接続されている。これにより、基板5151側に配置されるFPCまたはICから電位または信号を供給することができる。

[0448]

有機樹脂またはシリカなどの粒子の表面を金属材料で被覆したものを、導電性粒子CPに用いることができる。金属材料としてニッケルまたは金を用いると接触抵抗を低減できるため好ましい。またニッケルをさらに金で被覆するなど、2種類以上の金属材料を層状に被覆させた粒子を用いることが好ましい。また導電性粒子CPとして弾性変形、または塑性変形する材料を用いることが好ましい。このとき導電性粒子CPは上下方向に潰れた形状となる場合がある。こうすることで、これと電氣的に接続する導電層との接触面積が増大し、接触抵抗が低減できるほか、接続不良などの不具合の発生を抑制できる。

[0449]

〔表示装置の構成例 2〕

図 37 に示す表示装置は、F F S モードで動作する液晶デバイスを備える。画素電極は、平面視において櫛歯状の形状、またはスリットが設けられた形状を有する。また、共通電極は画素電極と重ねて配置されている。

〔0450〕

図 38 は、画素電極と共通電極の上下関係を反対にした場合の例である。共通電極は、平面視において櫛歯状またはスリットが設けられた形状を有し、絶縁層を介して画素電極上に設けられている。

〔0451〕

〔表示装置の構成例 3〕

図 39 に示す表示装置は、I P S モードで動作する液晶デバイスを備える。

〔0452〕

画素電極及び共通電極は、いずれも同じ絶縁層上に設けられている。画素電極及び共通電極は、それぞれ平面視において櫛歯状の形状を有し、それぞれが互いに噛み合うように配置されている。画素電極と共通電極は、同一の導電膜を加工して形成されていることが好ましい。

〔0453〕

〔表示装置の構成例 4〕

図 40 に示す表示モジュールは、F F S モードで動作する液晶デバイスを備える表示装置と、光源 L S と、を有する。また、可撓性を有する基板 5153 を有する。層 511 に基板 5153 を貼り合わせることで、層 511__2 の可撓性を保ちながら層 511__2 を補強することができる。

〔0454〕

層 511__1 は、可視光域において、80%以上の透過率を備える。これにより、バックライトの光は、透過型の液晶表示デバイスに効率よく到達することができる。

〔0455〕

基板 5151 L G は、端部 E G 1 および端部 E G 2 を備える。

〔0456〕

端部 E G 2 は端部 E G 1 と対向する端部である。なお、層 511__2 は屈曲しているため、端部 E G 2 は、端部 E G 1 および層 511__2 の間に位置する。

〔0457〕

また、基板 5151 L G は、端部 E G 1 から入射した光を、基板 5152 に向けて分配する機能を備える。換言すれば、基板 5151 L G は導光板である。また、例えば、基板 5151 L G および偏光板 P O L 1 の間に、拡散板を用いることができる。

〔0458〕

光源 L S は端部 E G 1 と対向し、光源 L S は、端部 E G 1 に光を照射する。例えば、白色の L E D を光源 L S に用いることができる。

〔0459〕

これにより、領域 510__1 との間に基板 S U B 1 を挟むように光源 L S を配置する構成に比べて、光源 L S の大きさを小さくすることができる。また、領域 510__1 との間に基板 S U B 1 を挟むように光源 L S を配置する構成に比べて、表示装置の厚さを薄くできる。また、領域 510__2 において機能層 510 が屈曲されているため、領域 510__1 に正対した状態で、領域 510__2 を視認し難くすることができる。また、領域 510__1 に正対した状態で、額縁状に領域 510__1 を囲む領

域を視認し難くすることができる。その結果、利便性、有用性または信頼性に優れた新規な表示装置を提供することができる。

[0460]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[0461]

(実施の形態6)

本実施の形態では、本発明の一態様の電子機器について説明する。

[0462]

本実施の形態の電子機器は、表示部に本発明の一態様の表示装置を有する。本発明の一態様の表示装置は、高精細化及び高解像度化が容易である。したがって、様々な電子機器の表示部に用いることができる。

[0463]

また、本発明の一態様の半導体装置は、電子機器の表示部以外に適用することもできる。例えば、電子機器の制御部等に、本発明の一態様の半導体装置を用いることで、低消費電力化が可能となり好ましい。

[0464]

電子機器としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

[0465]

特に、本発明の一態様の表示装置は、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に用いることができる。このような電子機器としては、例えば、腕時計型及びブレスレット型の情報端末機（ウェアラブル機器）、並びに、ヘッドマウントディスプレイなどのVR向け機器、メガネ型のAR向け機器、及び、MR向け機器など、頭部に装着可能なウェアラブル機器等が挙げられる。

[0466]

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を検知、検出、または測定する機能を含むもの）を有してもよい。

[0467]

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

[0468]

図41Aに示す電子機器7500は、スマートフォンとして用いることのできる携帯情報端末機である。

[0469]

電子機器 7500 は、筐体 7001、表示部 7002、電源ボタン 7003、ボタン 7004、スピーカ 7005、マイク 7006、カメラ 7007、及び光源 7008 等を有する。表示部 7002 はタッチパネル機能を備える。

[0470]

表示部 7002 に、本発明の一態様の表示装置を適用することができる。

[0471]

図 41B は、筐体 7001 のマイク 7006 側の端部を含む断面概略図である。

[0472]

筐体 7001 の表示面側には透光性を有する保護部材 7010 が設けられ、筐体 7001 と保護部材 7010 に囲まれた空間内に、表示パネル 7011、光学部材 7012、タッチセンサパネル 7013、プリント基板 7017、バッテリー 7018 等が配置されている。

[0473]

保護部材 7010 には、表示パネル 7011、光学部材 7012、及びタッチセンサパネル 7013 が接着層（図示しない）により固定されている。

[0474]

表示部 7002 よりも外側の領域において、表示パネル 7011 の一部が折り返されており、当該折り返された部分に FPC 7015 が接続されている。FPC 7015 には、IC 7016 が実装されている。FPC 7015 は、プリント基板 7017 に設けられた端子に接続されている。

[0475]

表示パネル 7011 には本発明の一態様のフレキシブルディスプレイを適用することができる。そのため、極めて軽量の電子機器を実現できる。また、表示パネル 7011 が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー 7018 を搭載することもできる。また、表示パネル 7011 の一部を折り返して、画素部の裏側に FPC 7015 との接続部を配置することにより、狭額縁の電子機器を実現できる。

[0476]

図 41C にテレビジョン装置の一例を示す。テレビジョン装置 7100 は、筐体 7101 に表示部 7000 が組み込まれている。ここでは、スタンド 7103 により筐体 7101 を支持した構成を示している。

[0477]

表示部 7000 に、本発明の一態様の表示装置を適用することができる。

[0478]

図 41C に示すテレビジョン装置 7100 の操作は、筐体 7101 が備える操作スイッチ、及び、別体のリモコン操作機 7111 により行うことができる。または、表示部 7000 にタッチセンサを備えていてもよく、指等で表示部 7000 に触れることでテレビジョン装置 7100 を操作してもよい。リモコン操作機 7111 は、当該リモコン操作機 7111 から出力する情報を表示する表示部を有してもよい。リモコン操作機 7111 が備える操作キーまたはタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部 7000 に表示される映像を操作することができる。

[0479]

なお、テレビジョン装置 7100 は、受信機及びモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワ

ークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間など）の情報通信を行うことも可能である。

[0480]

図41Dに、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ7200は、筐体7211、キーボード7212、ポインティングデバイス7213、外部接続ポート7214等を有する。筐体7211に、表示部7000が組み込まれている。

[0481]

表示部7000に、本発明の一態様の表示装置を適用することができる。

[0482]

図41E及び図41Fに、デジタルサイネージの一例を示す。

[0483]

図41Eに示すデジタルサイネージ7300は、筐体7301、表示部7000、及びスピーカ7303等を有する。さらに、LEDランプ、操作キー（電源スイッチ、または操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

[0484]

図41Fは円柱状の柱7401に取り付けられたデジタルサイネージ7400である。デジタルサイネージ7400は、柱7401の曲面に沿って設けられた表示部7000を有する。

[0485]

図41E及び図41Fにおいて、表示部7000に、本発明の一態様の表示装置を適用することができる。

[0486]

表示部7000が広いほど、一度に提供できる情報量を増やすことができる。また、表示部7000が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

[0487]

表示部7000にタッチパネルを適用することで、表示部7000に画像または動画を表示するだけでなく、使用者が直感的に操作することができ、好ましい。また、路線情報もしくは交通情報などの情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

[0488]

図41E及び図41Fに示すように、デジタルサイネージ7300またはデジタルサイネージ7400は、使用者が所持するスマートフォン等の情報端末機7311または情報端末機7411と無線通信により連携可能であることが好ましい。例えば、表示部7000に表示される広告の情報を、情報端末機7311または情報端末機7411の画面に表示させることができる。また、情報端末機7311または情報端末機7411を操作することで、表示部7000の表示を切り替えることができる。

[0489]

デジタルサイネージ7300またはデジタルサイネージ7400に、情報端末機7311または情報端末機7411の画面を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数の使用者が同時にゲームに参加し、楽しむことができる。

[0490]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[符号の説明]

[0491]

BM: 遮光膜、CF: 着色層、CLK: 信号、CP: 導電性粒子、DL: データ線、dV: 電位、GD: 駆動回路、GL: ゲート線、H: 電位、KB: 層、LC: 液晶デバイス、LIN: 信号、LS: 光源、OUT: 信号、PWC: 信号、RIN: 信号、RX: 電極、SD: 駆動回路、SP: スタートパルス、SROUT: 信号、TD: 駆動回路、TX: 電極、V_{com}: 電位、V_{data}: 第2データ電位、VDD: 高電源電位、VL: 電位供給線、V_{ref}: 電位、VSS: 低電源電位、V_w: 第1データ電位、10: トランジスタ、100: シフトレジスタ、101: 配線、102: 配線、103: 配線、104: 配線、105: 配線、106: 配線、107: 配線、108: 配線、110: 信号出力回路、111: 端子、112: 端子、113: 端子、114: 端子、115: 端子、116: 端子、117: 端子、118: 端子、131: 配線、132: 配線、148: 基板、153: 基板、154: 絶縁層、155: 導電層、156: 絶縁層、157: 絶縁層、158: 絶縁層、159: 開口、160: 導電層、161: 半導体層、162: 絶縁層、163: 導電層、164: 絶縁層、166: 導電層、176: フレーム期間、181: 導電層、187: 絶縁層、191: 導電層、192: 導電層、193: 導電層、194: 導電層、195: 導電層、196: 導電層、197: 導電層、198: 導電層、199: 導電層、200: トランジスタ、204: 電極、206: 絶縁層、208: 半導体層、210__1: 面、210__2: 面、210__3: 面、210__4: 開口部、210A: 層、210B: 層、210C: 層、210: スペーサ、212A: 電極、212B: 電極、212B__3: 面、212B__4: 開口部、510__1: 領域、510__2: 領域、510__3: 領域、510__4: 領域、510: 機能層、511__1: 層、511__2: 層、511__3: 層、511__4: 層、511: 層、516: 層、518__4: 開口部、518: 層、519A: 導電層、520: 機能層、521: 層、522: 層、530: 画素回路、550LC: 液晶デバイス、550: 表示デバイス、551LC: 電極、552LC: 電極、553LC: 層、4400EL: 画素回路、4400LC: 画素回路、4400: 画素回路、4401EL: 回路、4401LC: 回路、4401: 回路、4501: 画素回路、4502: 画素部、4504a: ゲートドライバ、4504b: ソースドライバ、4504: 駆動回路部、4506: 保護回路、4507: 端子部、4550: トランジスタ、4552: トランジスタ、4554: トランジスタ、4560: 容量素子、4562: 容量素子、4570: 液晶デバイス、4572: 発光素子、5050A: 表示装置、5140: 接続部、5151LG: 基板、5151: 基板、5152: 基板、5153: 基板、5162: 表示部、5164: 回路部、5165: 配線、5172: FPC、5173: IC、5210B: 副画素、5210G: 副画素、5210R: 副画素、5210: 画素、6500: タッチパネルモジュール、6501: 回路ユニット、6502: 信号線駆動回路、6503: センサ駆動回路、6504: 検出回路、6505: タイミングコントローラ、6506: 画像処理回路、6507: AD変換回路、6510: タッチパネル、6511: 表示部、6512: 入力部、6513: 走査線駆動回路、6520: IC、6530: IC、6531: 基板、6532: 対向基板、6533: FPC、6534: PCB、6540: CPU、7000: 表示部、7001: 筐体、7002: 表示部、7003: 電源ボタン、7004: ボタン、7005: スピーカ、7006: マイク、7007: カメラ、7008: 光源、7010: 保護部

材、7011：表示パネル、7012：光学部材、7013：タッチセンサパネル、7015：FPC、7016：IC、7017：プリント基板、7018：バッテリー、7100：テレビジョン装置、7101：筐体、7103：スタンド、7111：リモコン操作機、7200：ノート型パーソナルコンピュータ、7211：筐体、7212：キーボード、7213：ポインティングデバイス、7214：外部接続ポート、7300：デジタルサイネージ、7301：筐体、7303：スピーカ、7311：情報端末機、7400：デジタルサイネージ、7401：柱、7411：情報端末機、7500：電子機器、

請求の範囲

[請求項 1]

第 1 の機能層と、
第 2 の機能層と、
第 1 の基板と、
第 2 の基板と、を有し、
前記第 1 の機能層は、第 1 の領域および第 2 の領域を備え、
前記第 1 の機能層は、前記第 2 の領域において屈曲し、
前記第 1 の領域は、前記第 2 の機能層および前記第 1 の基板の間に挟まれ、
前記第 1 の領域は、第 1 の層および画素回路を備え、
前記画素回路は、前記第 2 の機能層および前記第 1 の層の間に挟まれ、
前記第 2 の領域は、前記第 1 の領域と隣接し、
前記第 2 の領域は、第 2 の層および第 1 のシフトレジスタを備え、
前記第 2 の層は、前記第 1 の層と連続し、
前記第 1 のシフトレジスタは、前記第 2 の層上に形成され、
前記第 2 の機能層は、前記第 2 の基板および前記第 1 の領域の間に挟まれ、
前記第 2 の機能層は、表示デバイスを備え、
前記表示デバイスは、前記画素回路と電氣的に接続される、表示装置。

[請求項 2]

第 1 の駆動回路を有し、
前記第 1 の駆動回路は、前記第 1 のシフトレジスタを含み、
前記第 1 の機能層は、信号線を備え、
前記信号線は、前記第 1 の駆動回路および前記画素回路を電氣的に接続し、
前記信号線は、映像信号を伝送する、請求項 1 に記載の表示装置。

[請求項 3]

第 2 の駆動回路を有し、
前記第 2 の駆動回路は、第 2 のシフトレジスタを含み、
前記第 1 の機能層は、第 3 の領域および走査線を備え、
前記第 1 の機能層は、前記第 3 の領域において屈曲し、
前記第 3 の領域は、前記第 1 の領域と隣接し、
前記第 3 の領域は、第 3 の層および前記第 2 のシフトレジスタを備え、
前記第 3 の層は、前記第 1 の層と連続し、
前記第 2 のシフトレジスタは、前記第 3 の層上に形成され、
前記走査線は、前記第 2 の駆動回路および前記画素回路を電氣的に接続し、
前記走査線は、選択信号を伝送する、請求項 1 に記載の表示装置。

[請求項 4]

第 1 の電極と、
第 3 の駆動回路と、を有し、
前記第 1 の電極は、前記第 1 の機能層との間に前記第 2 の機能層を挟み、
前記第 3 の駆動回路は、第 3 のシフトレジスタを含み、

前記第1の機能層は、第4の領域および第2の電極を備え、
前記第1の機能層は、前記第4の領域において屈曲し、
前記第4の領域は、前記第1の領域と隣接し、
前記第4の領域は、第4の層および前記第3のシフトレジスタを備え、
前記第4の層は、前記第1の層と連続し、
前記第3のシフトレジスタは、前記第4の層上に形成され、
前記第2の電極は、前記第1の電極との間に容量を形成し、
前記第2の電極は、前記第3の駆動回路と電氣的に接続され、
前記第2の電極は、パルス信号を送信する、請求項1に記載の表示装置。

[請求項5]

前記第1の機能層は、スペーサおよびトランジスタを備え、
前記スペーサは、第1の面、第2の面、第3の面および第1の開口部を備え、
前記第1の面、前記第2の面および前記第3の面は、絶縁性を備え、
前記第2の面は、前記第1の面に対向し、
前記第2の面は、前記第1の面と比較して、前記第2の機能層の近くに位置し、
前記第3の面は、前記第1の面および前記第2の面を接続し、
前記第3の面は、前記第1の開口部の側面に位置し、
前記トランジスタは、第3の電極、第4の電極、第5の電極、半導体層および絶縁層を備え、
前記第3の電極は、前記第1の面と接する領域および前記第1の開口部と重なる領域を備え、
前記第4の電極は、前記第2の面と接する領域、第2の開口部および第4の面を備え、
前記第4の面は、前記第2の開口部の側面に位置し、
前記第2の開口部は、前記第1の開口部と重なり、
前記第5の電極は、前記第3の面に対向する領域を備え、
前記絶縁層は、前記第3の面および前記第5の電極に挟まれる領域を備え、
前記半導体層は、前記第3の面および前記絶縁層の間に挟まれる領域を備え、
前記半導体層は、前記第1の開口部において、前記第3の電極と接し、
前記半導体層は、前記第4の面において、前記第4の電極と接する、請求項1に記載の表示装置。

[請求項6]

前記第1のシフトレジスタは、前記トランジスタを備える、請求項5に記載の表示装置。

[請求項7]

前記画素回路は、前記トランジスタを備える、請求項5に記載の表示装置。

[請求項8]

前記表示デバイスは、第5の層を備え、
前記第5の層は、液晶材料を含む、請求項1に記載の表示装置。

[請求項9]

請求項1乃至請求項8に記載の表示装置と、
コネクタ及び集積回路のうち少なくとも一方と、を有する、表示モジュール。

[請求項10]

請求項8に記載の表示装置と、
光源と、を有し、

前記第 1 の層は、可視光域において、80%以上の透過率を備え、
前記第 1 の基板は、第 1 の端部および第 2 の端部を備え、
前記第 2 の端部は、前記第 1 の端部と対向し、
前記第 2 の端部は、前記第 1 の端部および前記第 2 の層の間に位置し、
前記光源は、前記第 1 の端部と対向し、
前記光源は、前記第 1 の端部に光を照射し、
前記第 1 の基板は、前記第 1 の端部から入射した光を、前記第 2 の基板に向けて分配する機能を備える、表示モジュール。

[請求項 11]

請求項 1 乃至請求項 8 に記載の表示装置と、
バッテリー、カメラ、スピーカ、及びマイクのうち少なくとも一つと、を有する、電子機器。

図1A

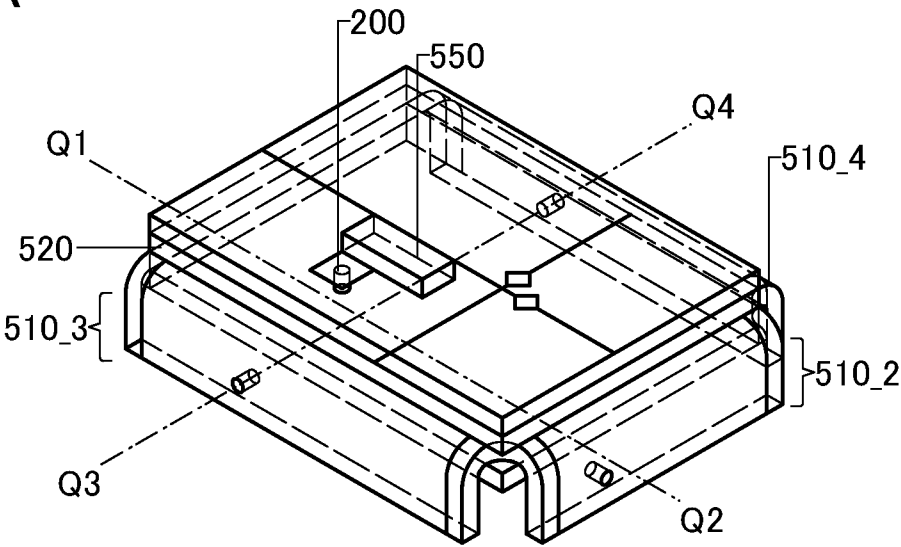


図1B

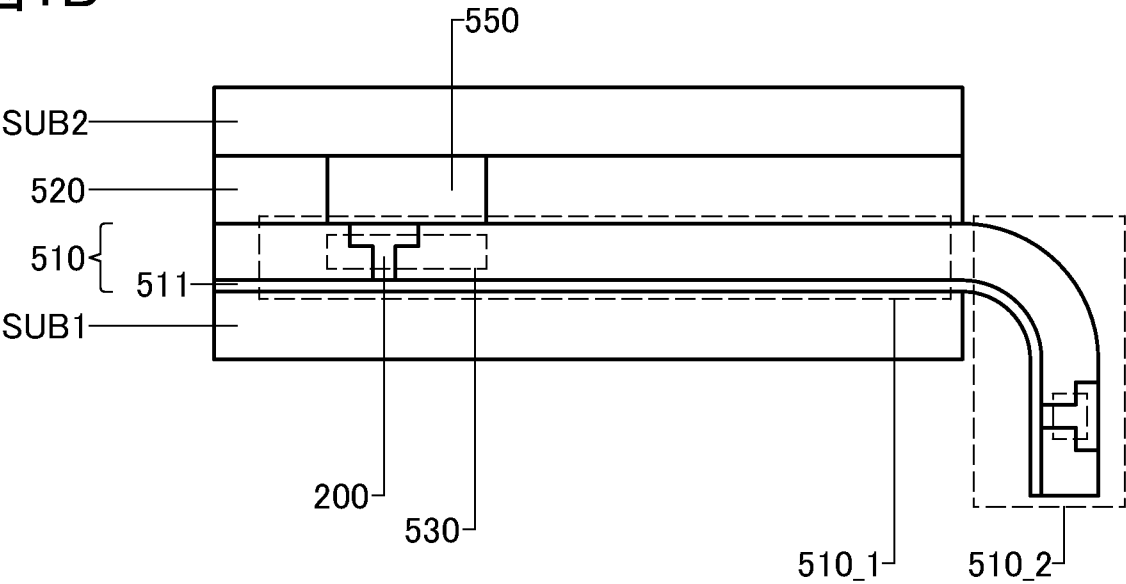


図2A

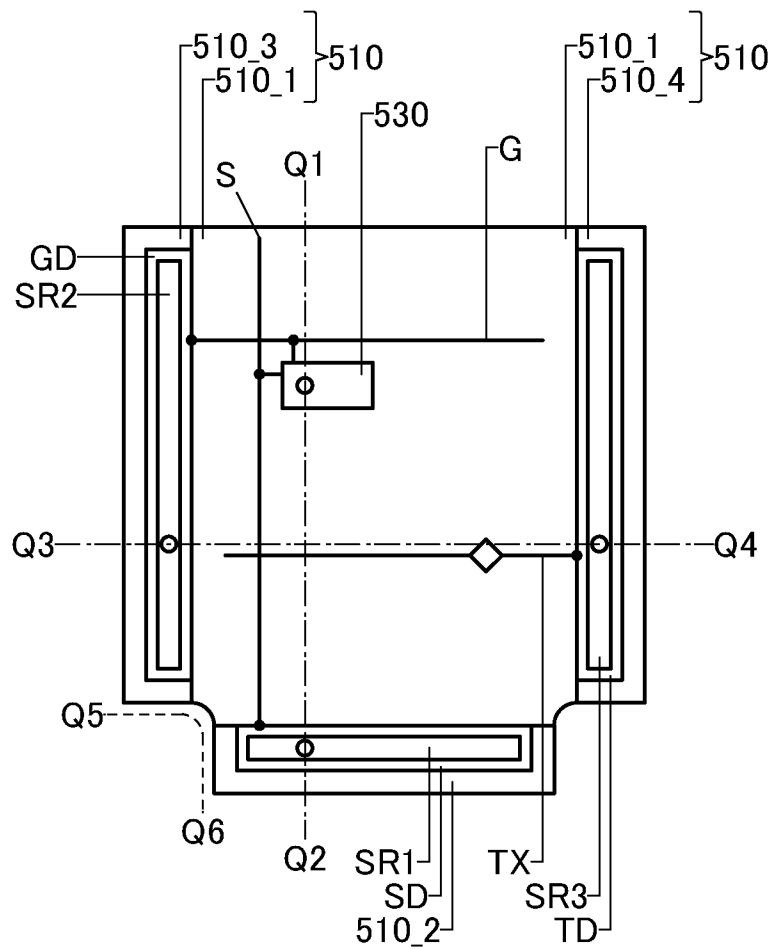


図2B

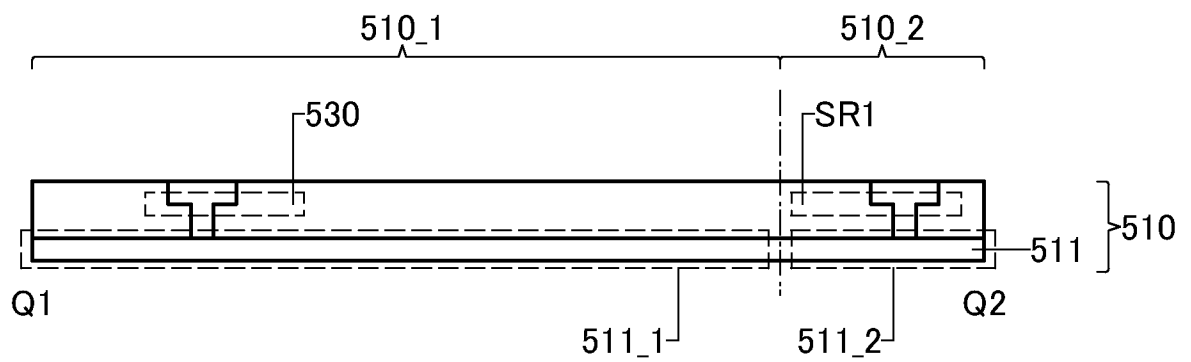
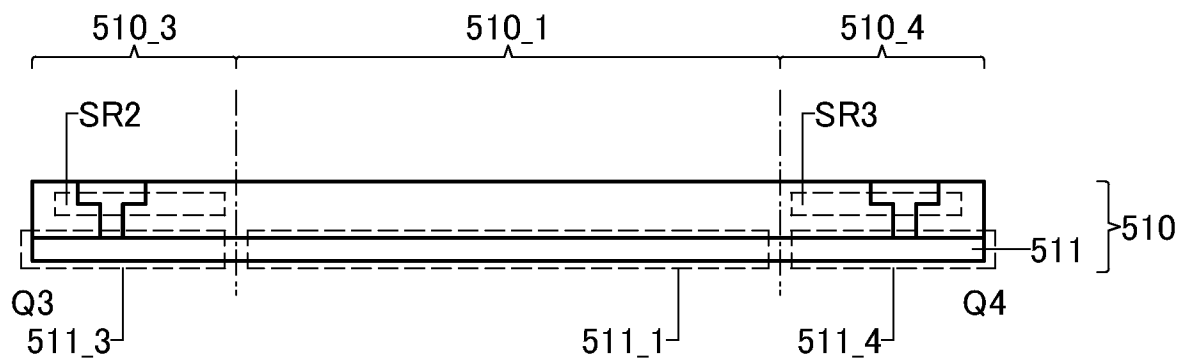


図2C



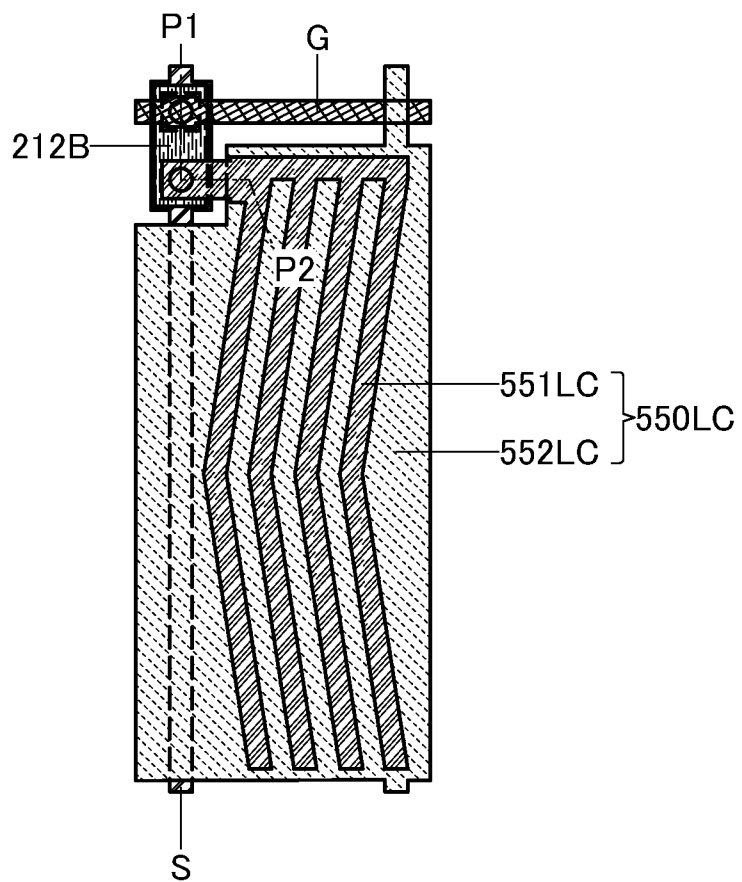


図4A

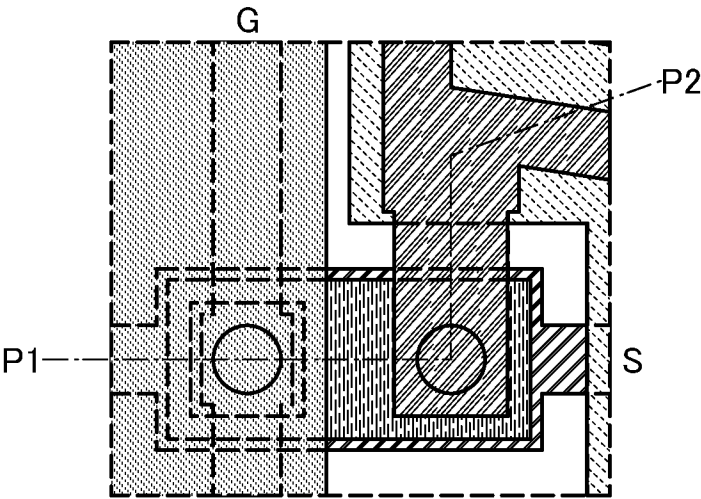


図4B

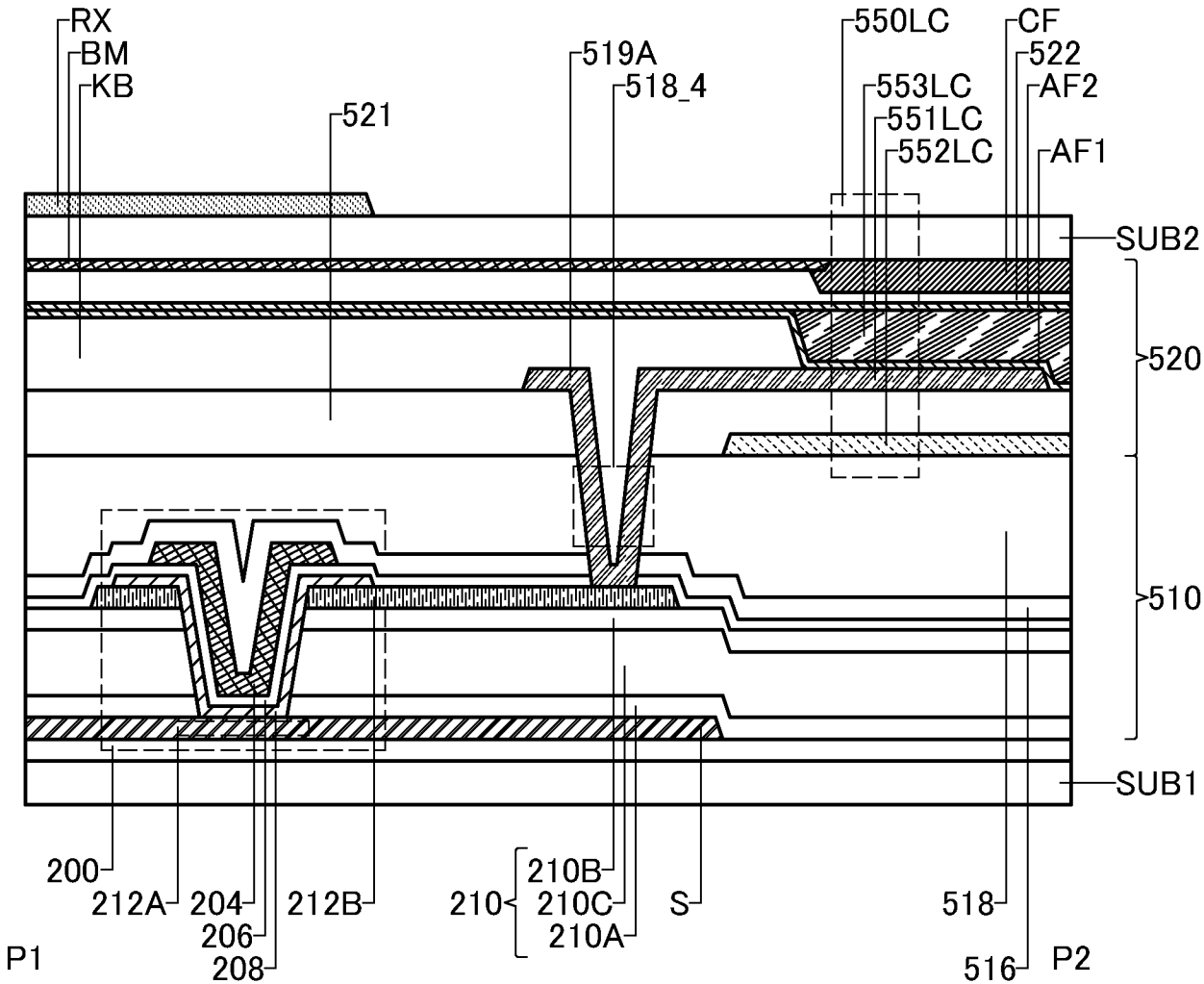


図5

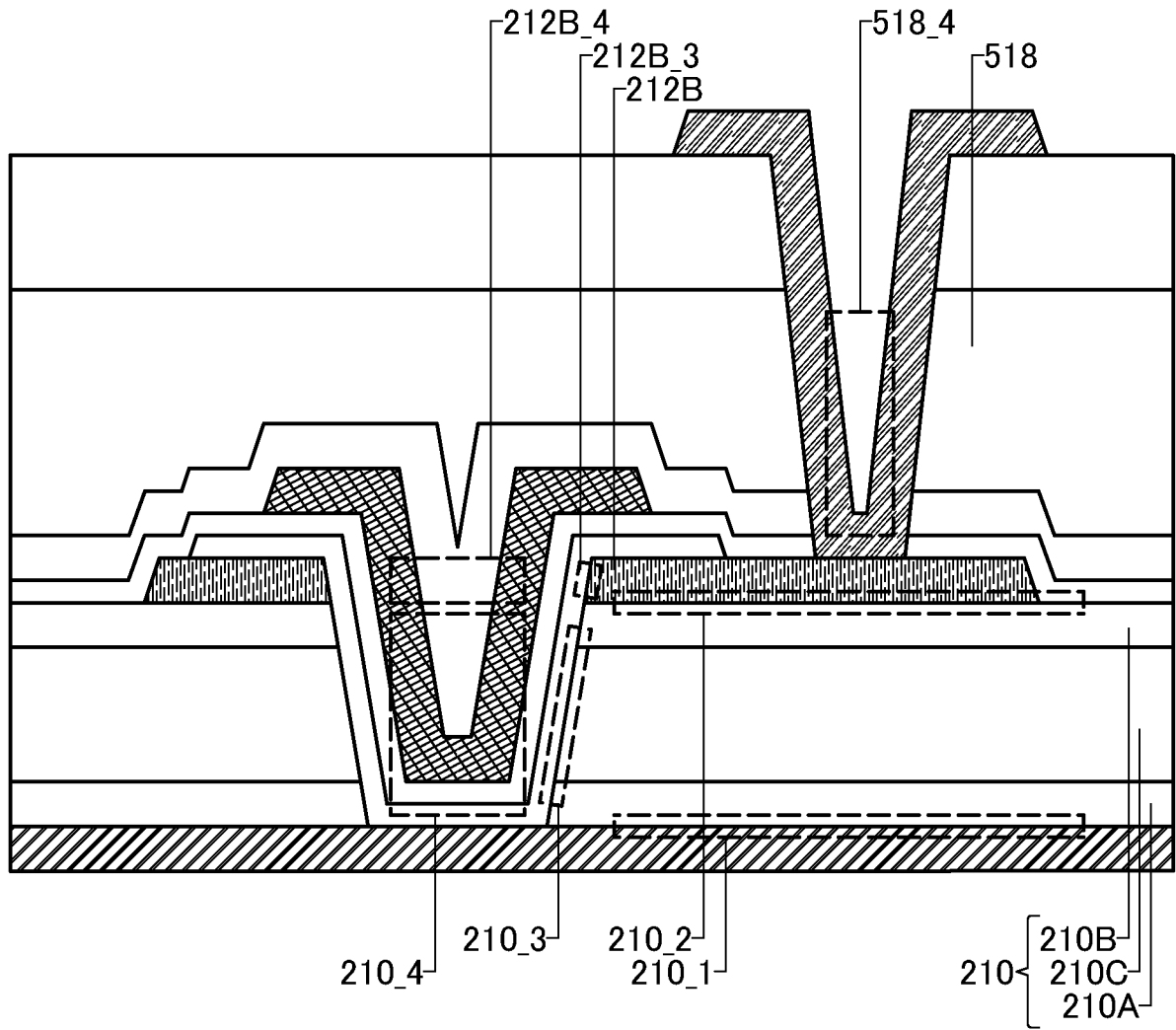


図 6A

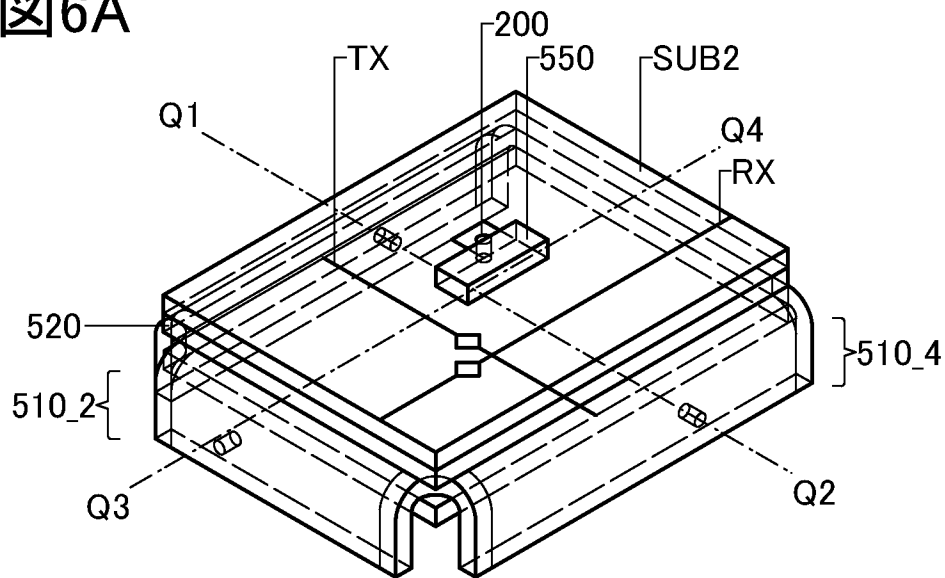


図 6B

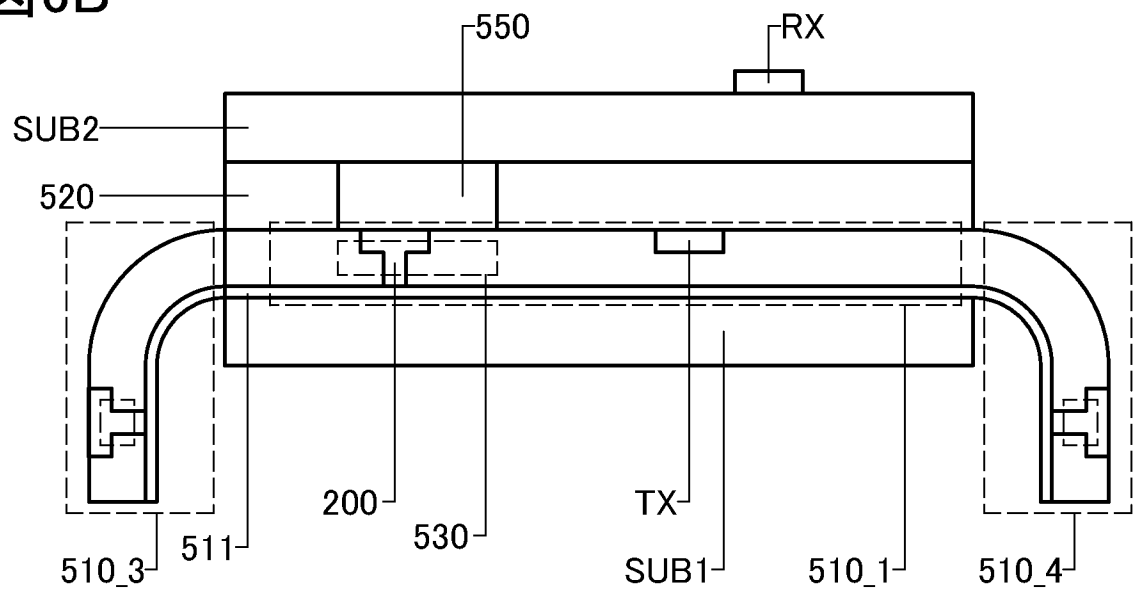


図8A

4400

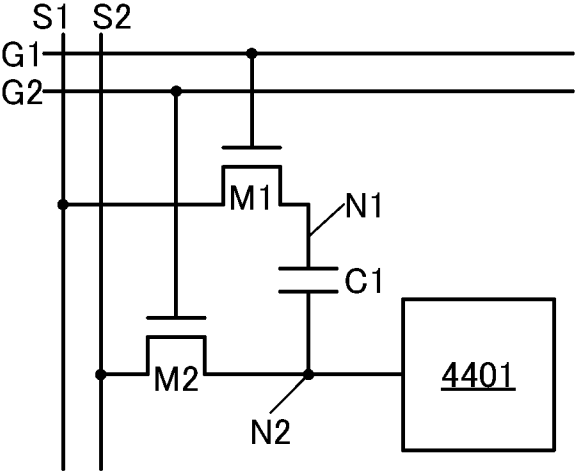


図8B

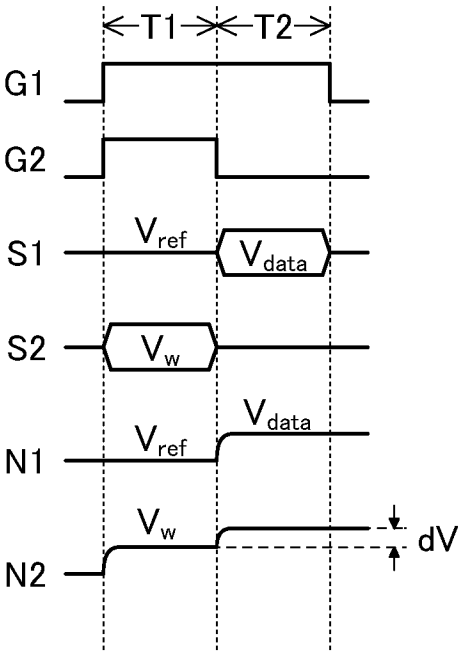


図8C

4400LC

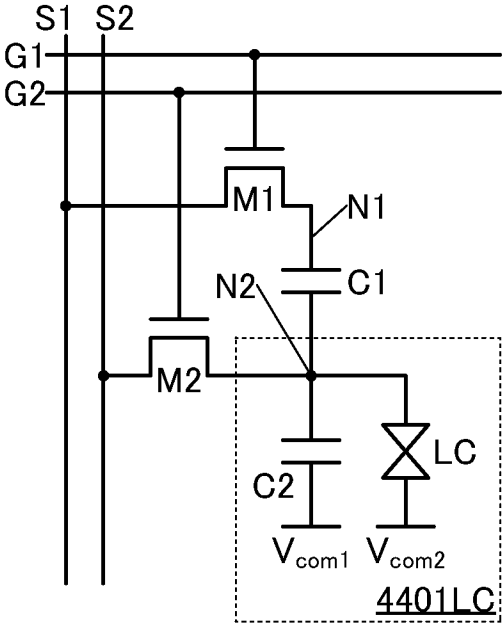


図8D

4400EL

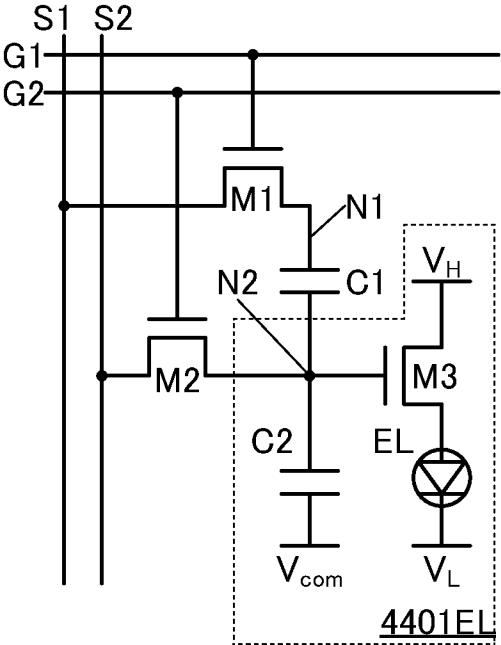


図9

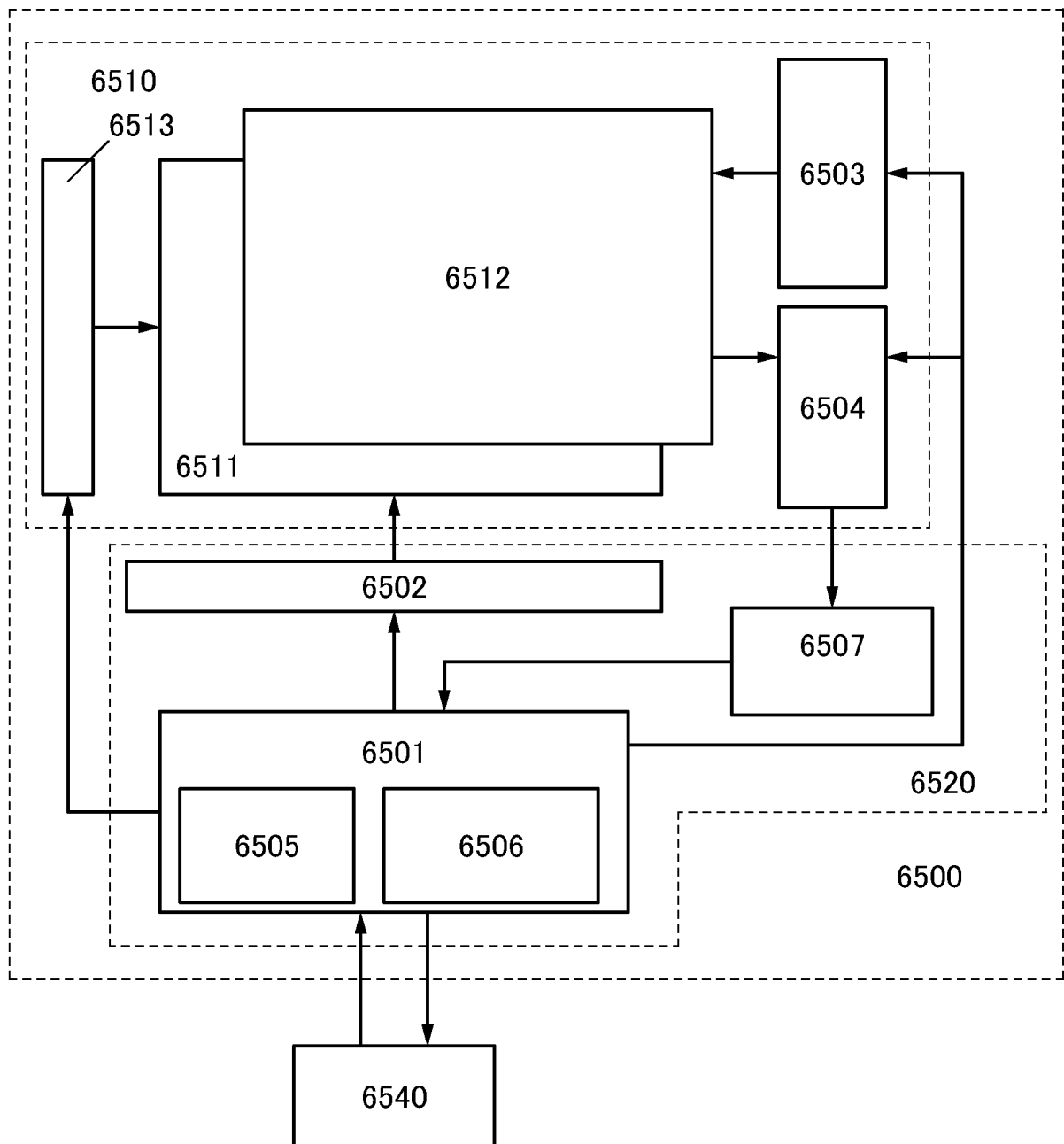


図10A

6500

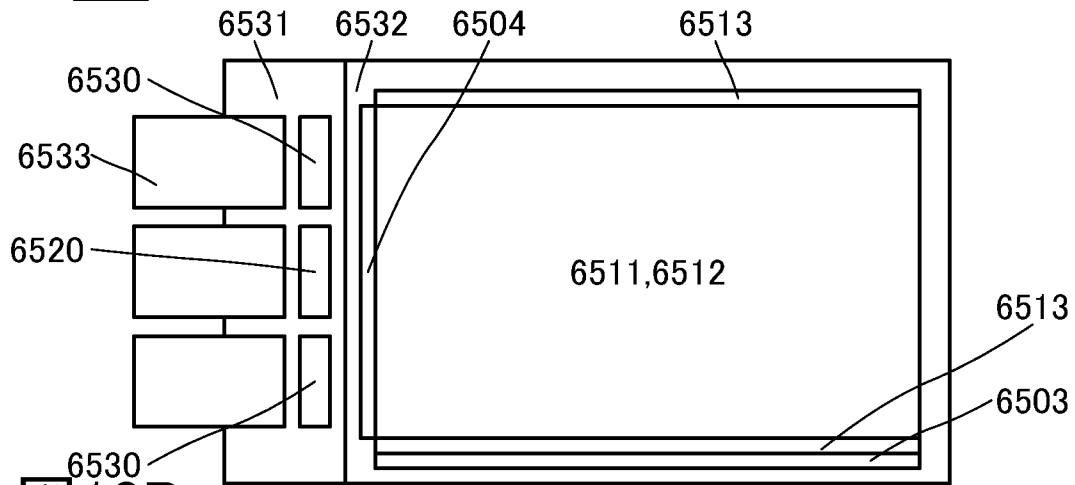


図10B

6500

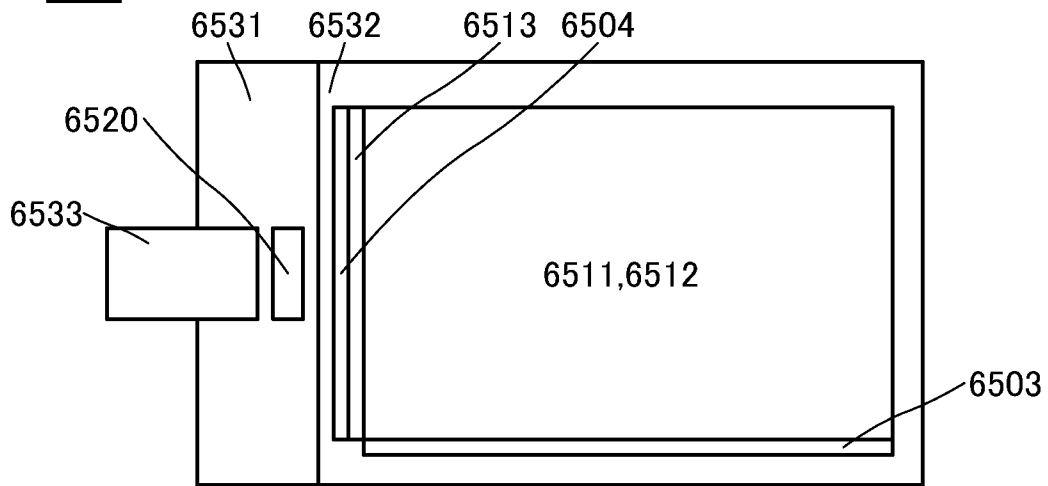
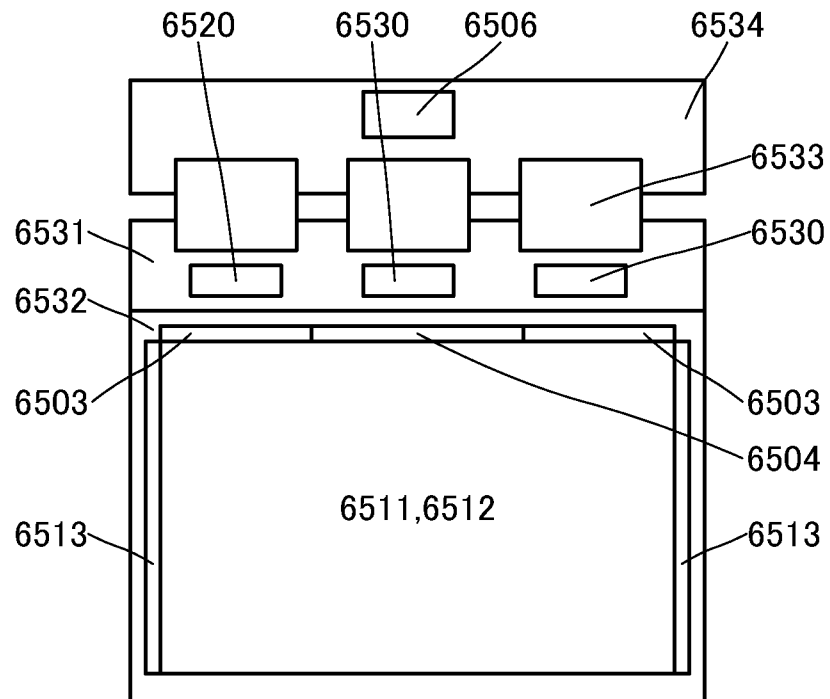
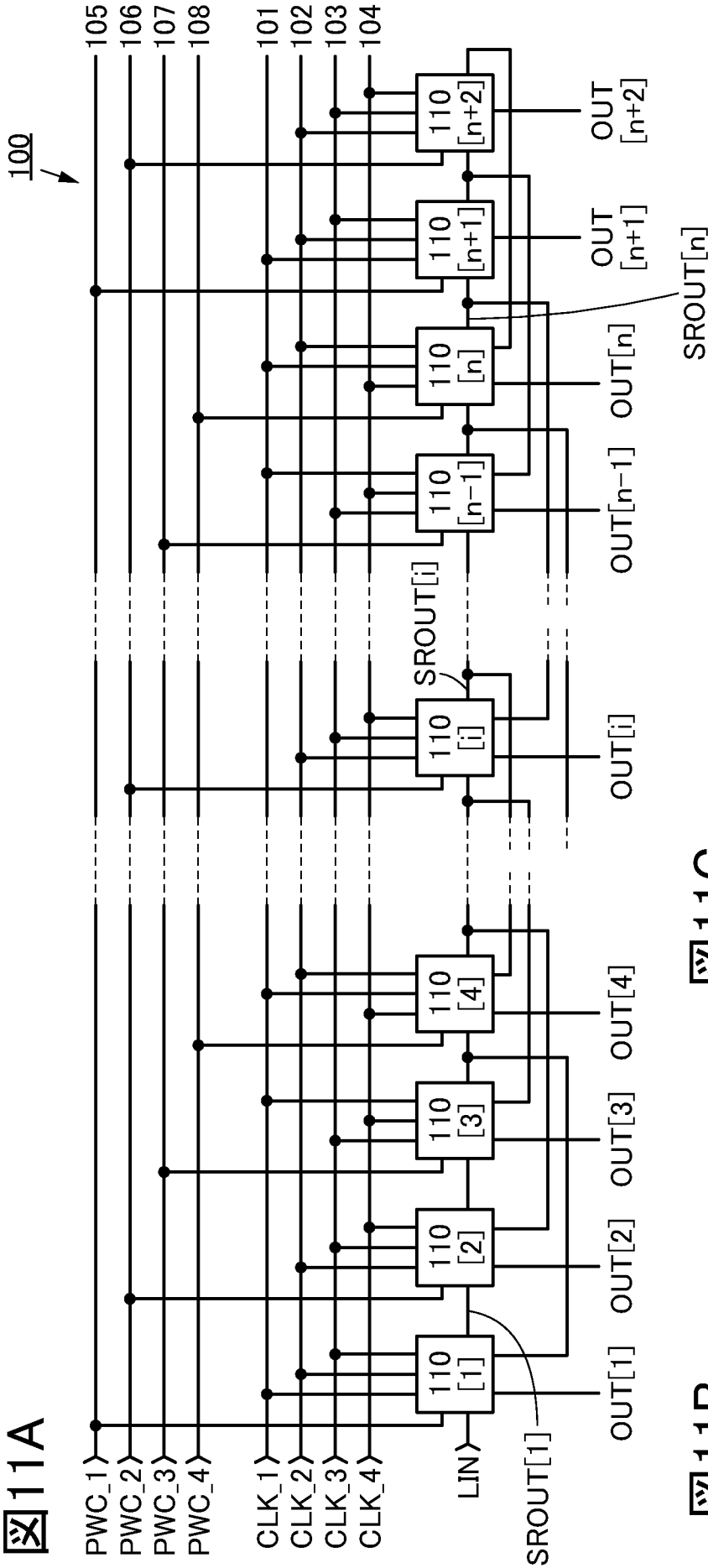


図10C

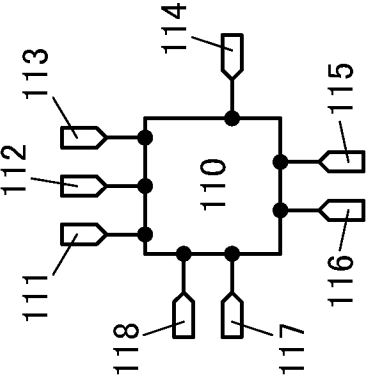
6500



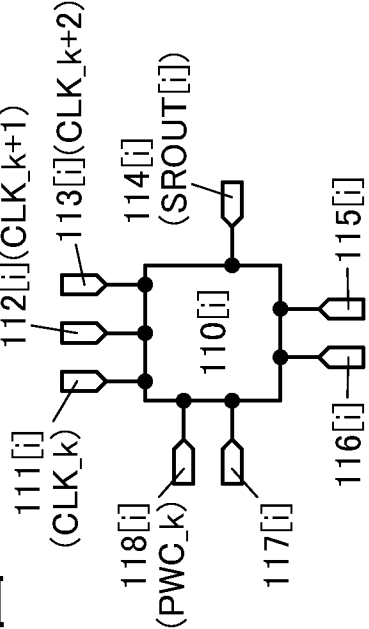
11A



11B



11C



12

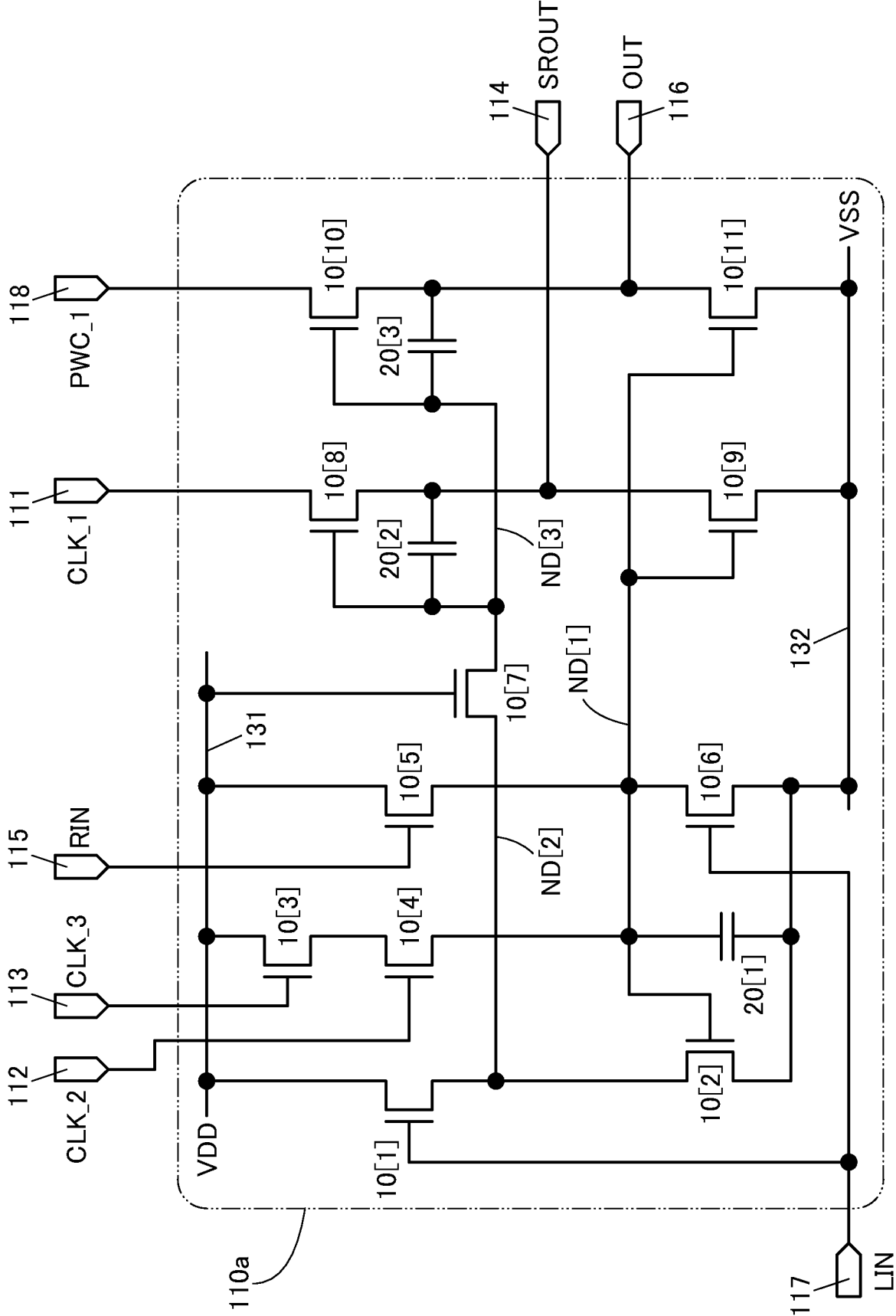


図13

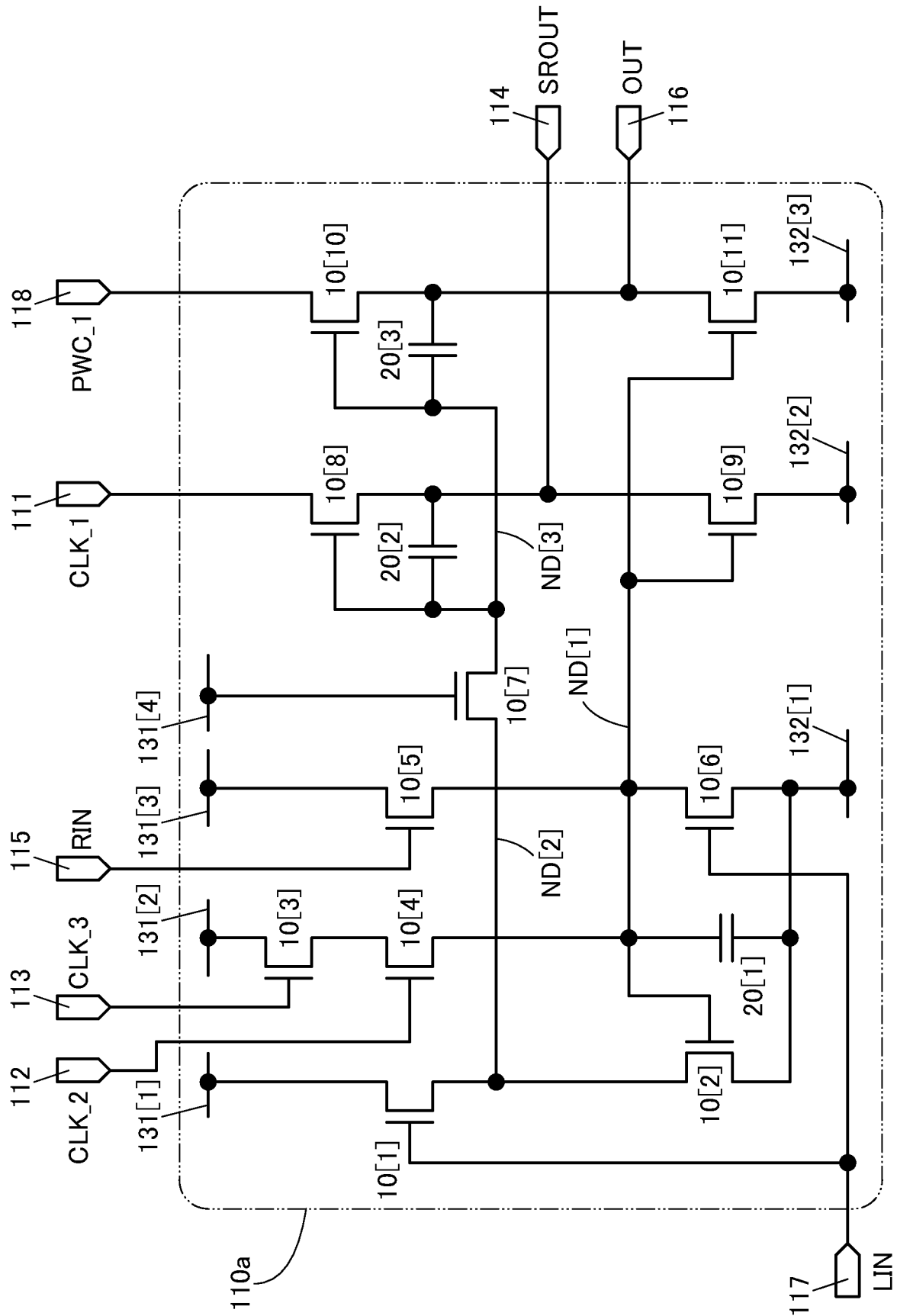


図14

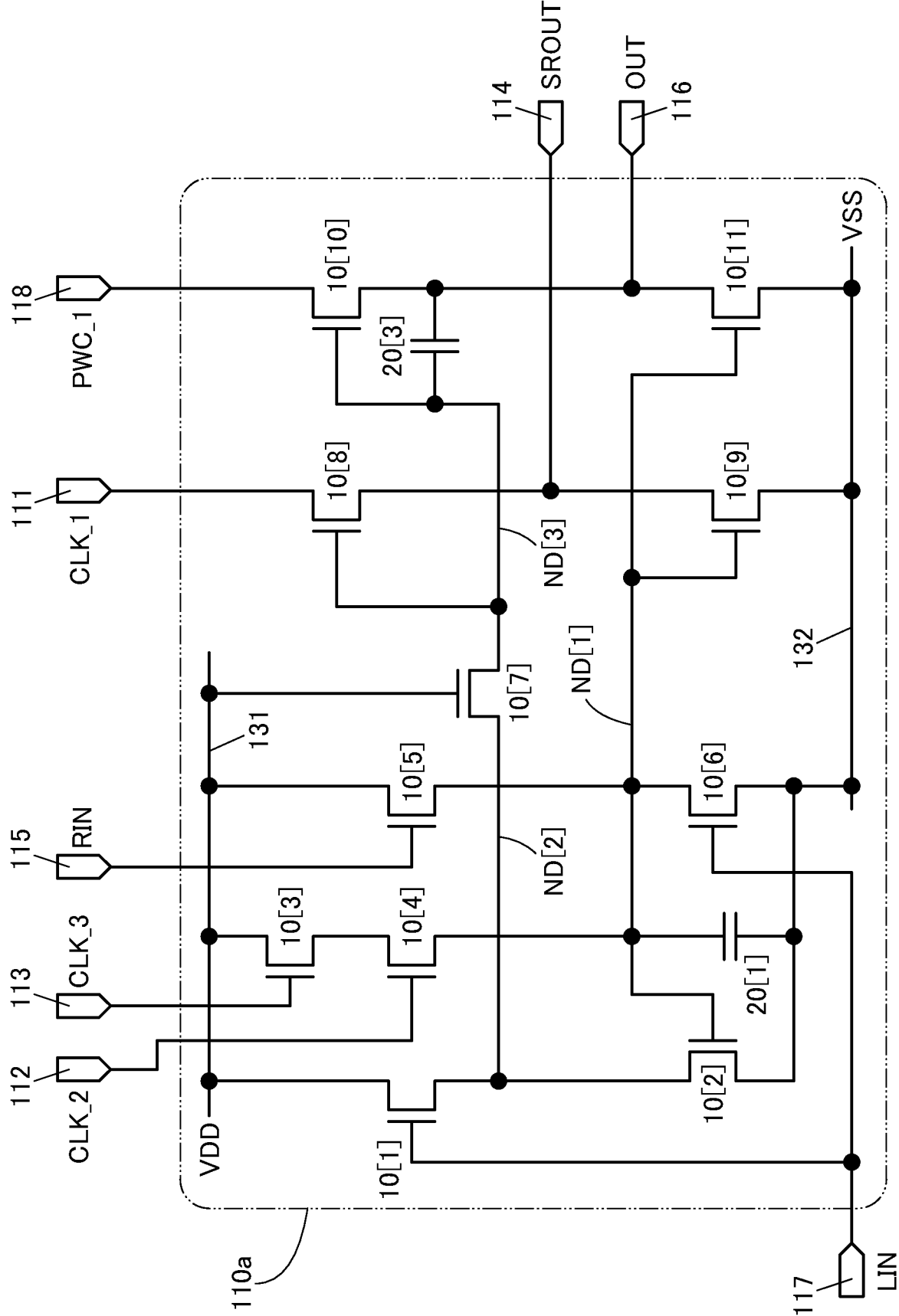


图15A

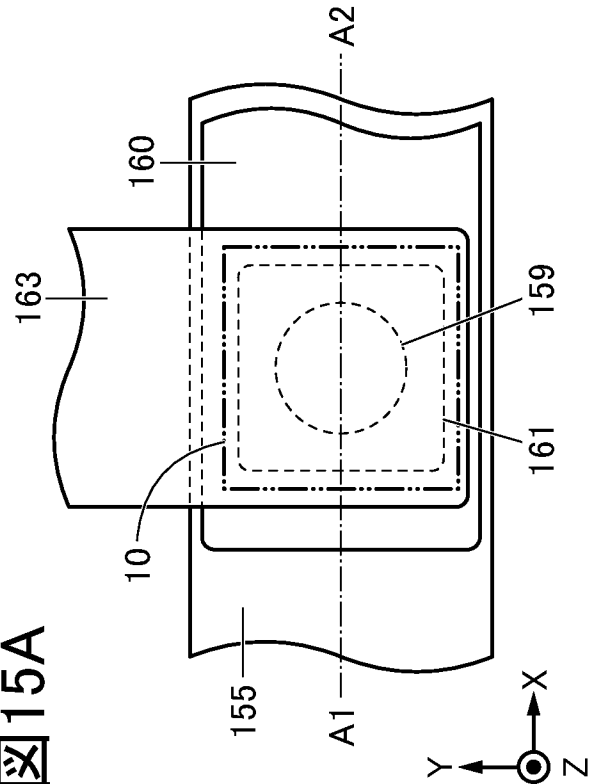


图15B

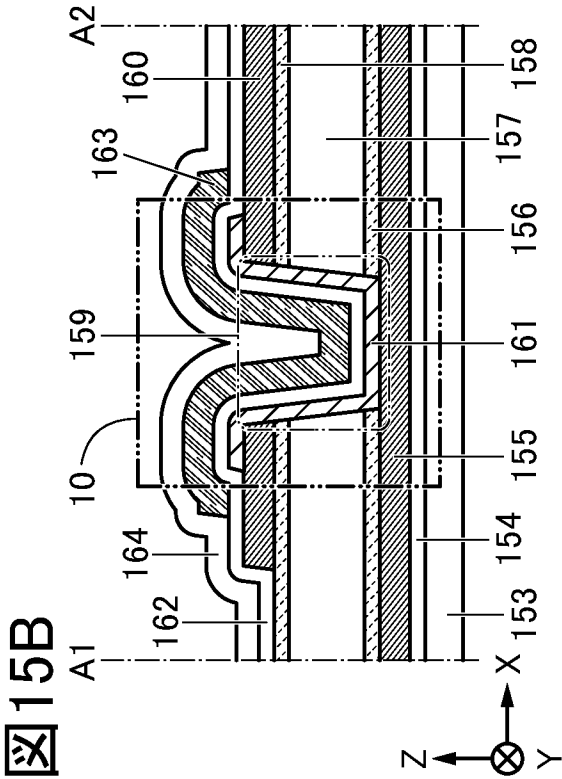


图15C

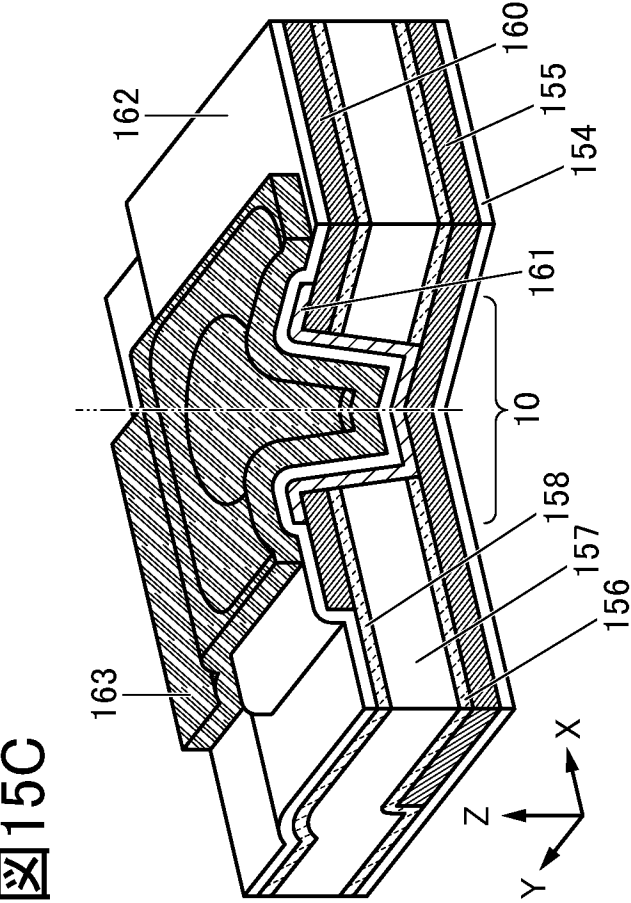


图15D

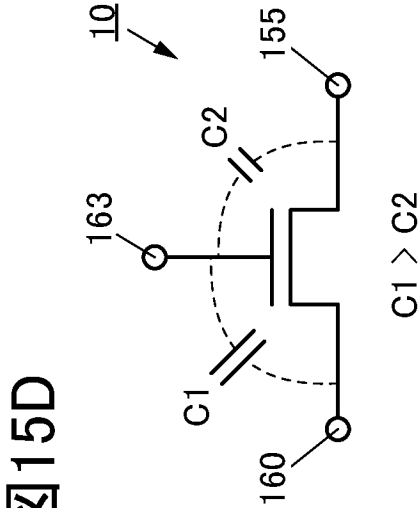


図16A

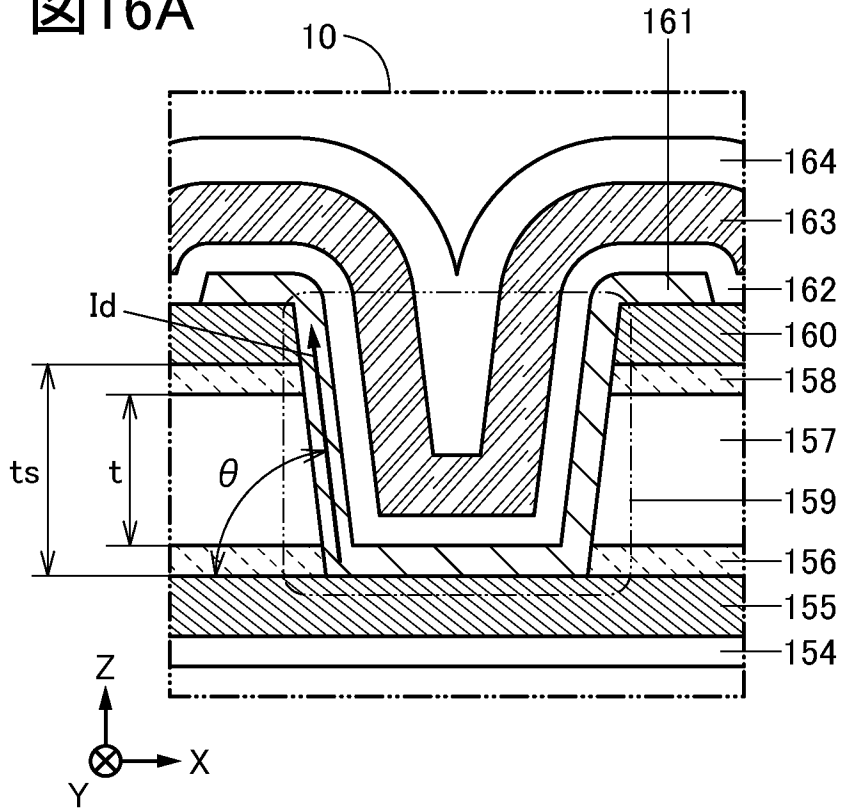


図16C

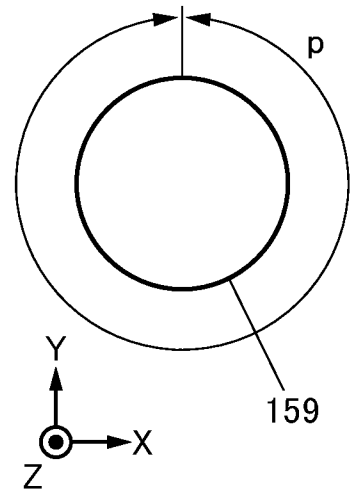


図16D

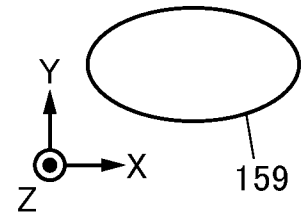


図16B

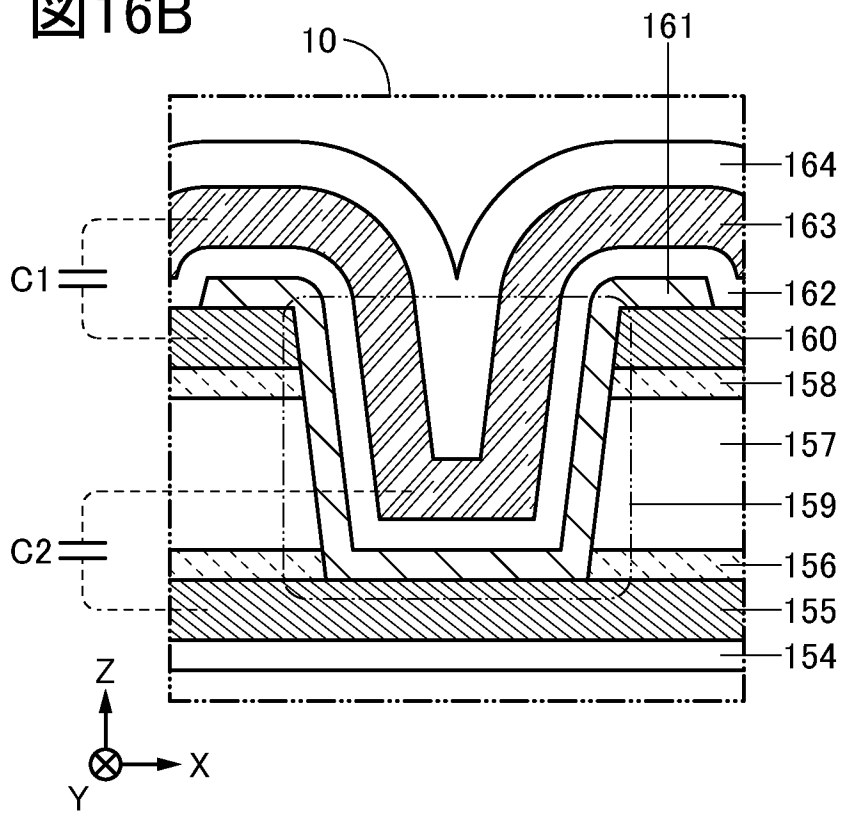


図16E

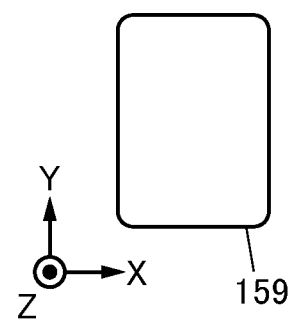


図16F

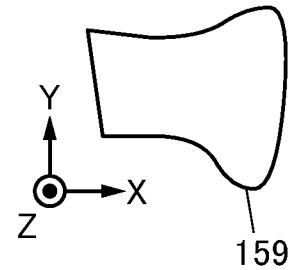


図17A

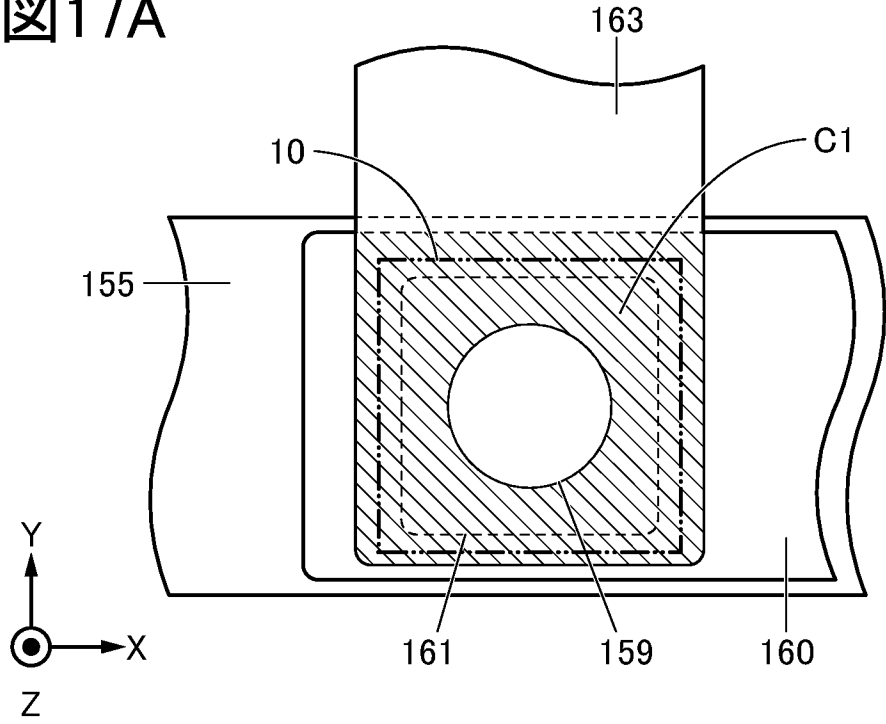


図17B

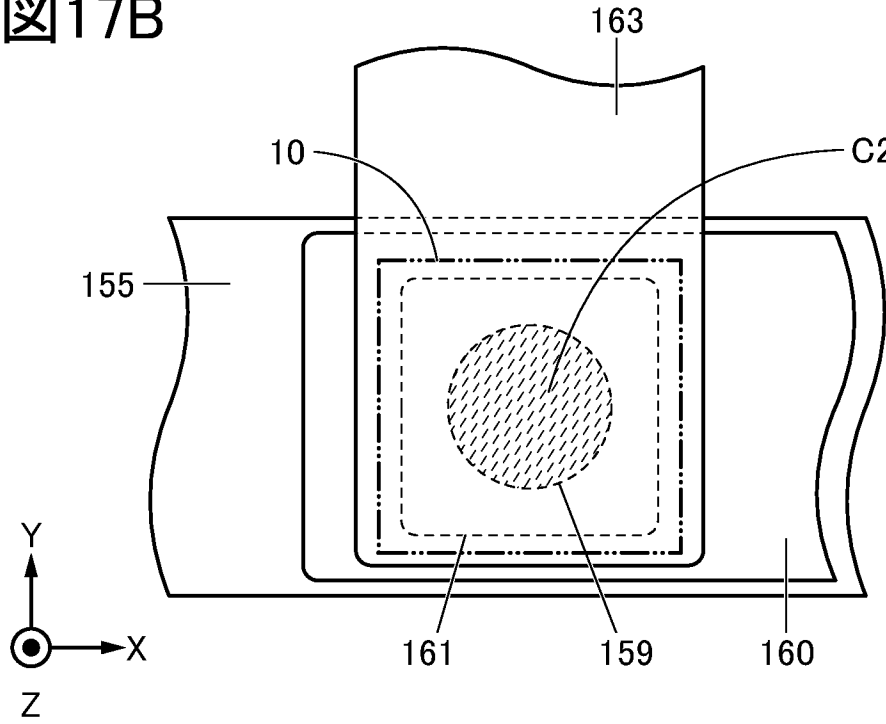


図19A

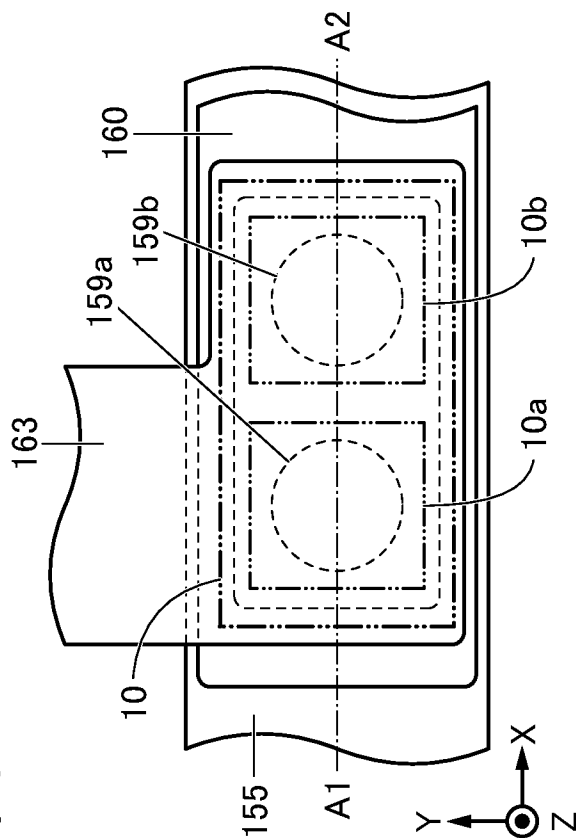


図19B

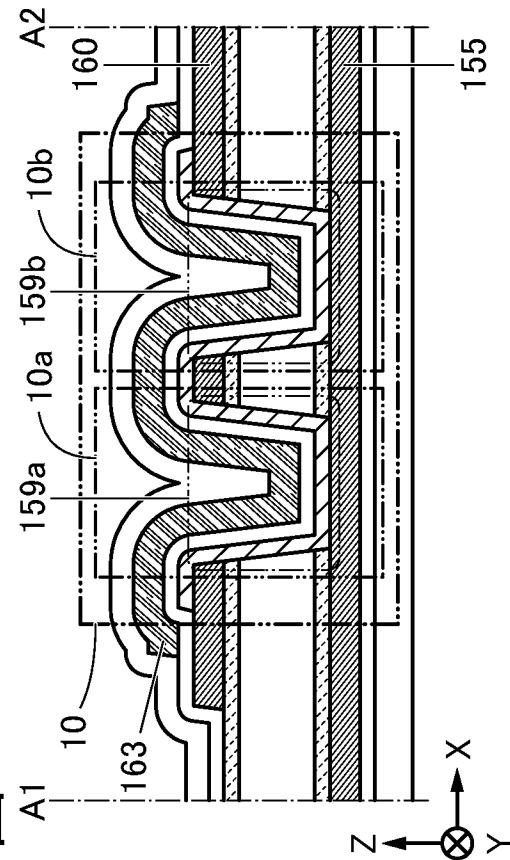


図19C

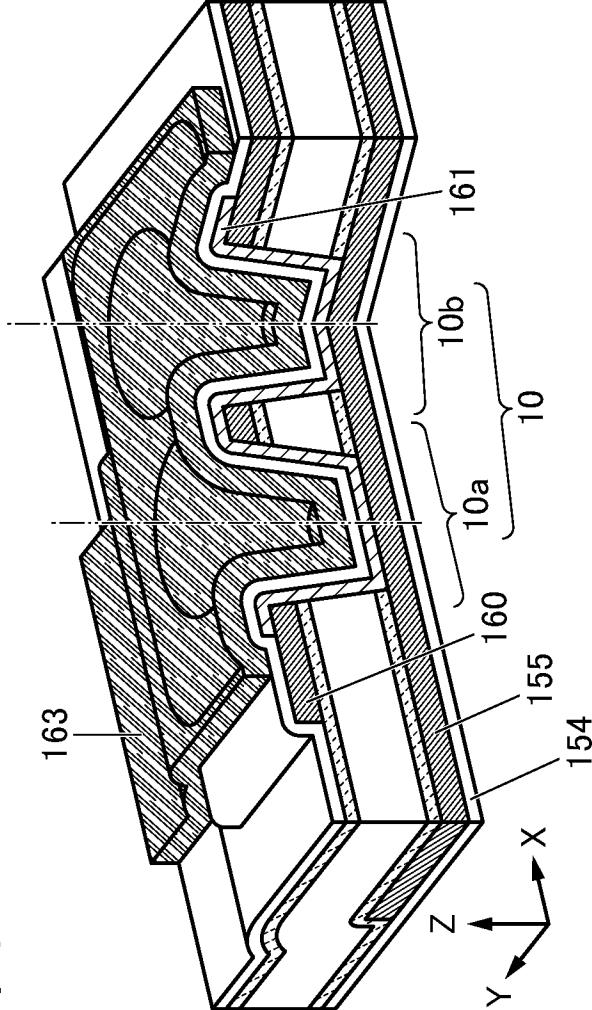
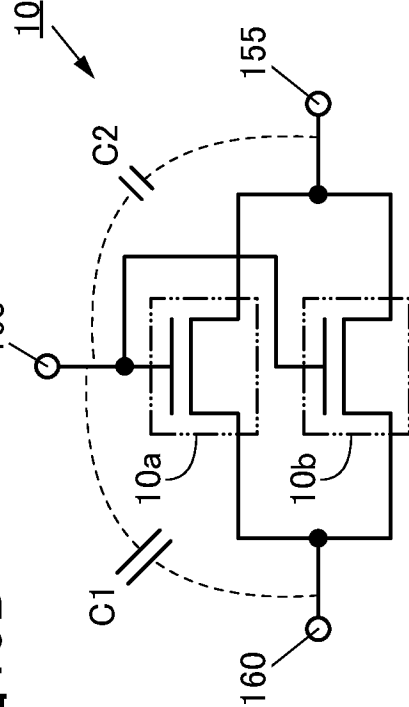
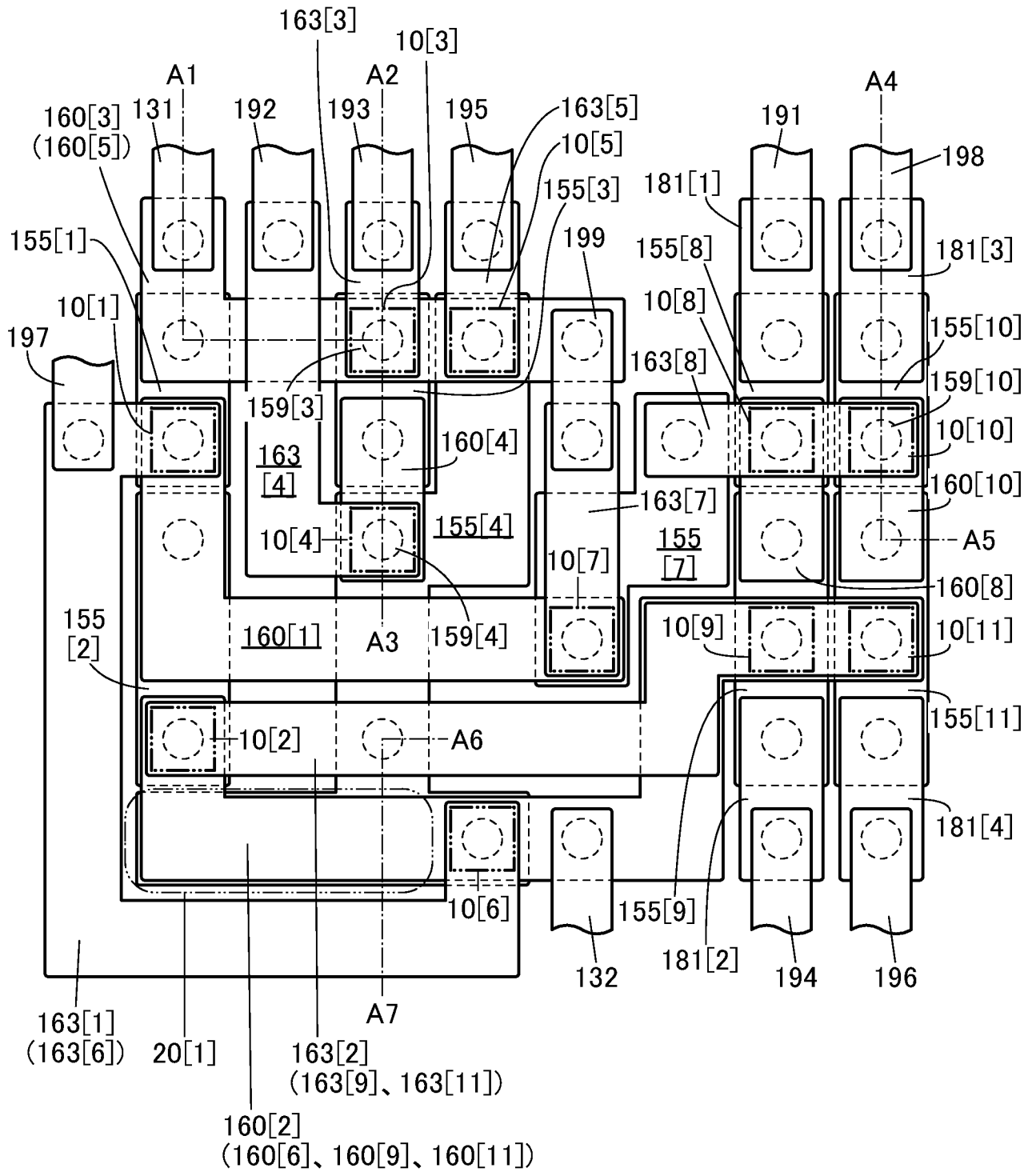
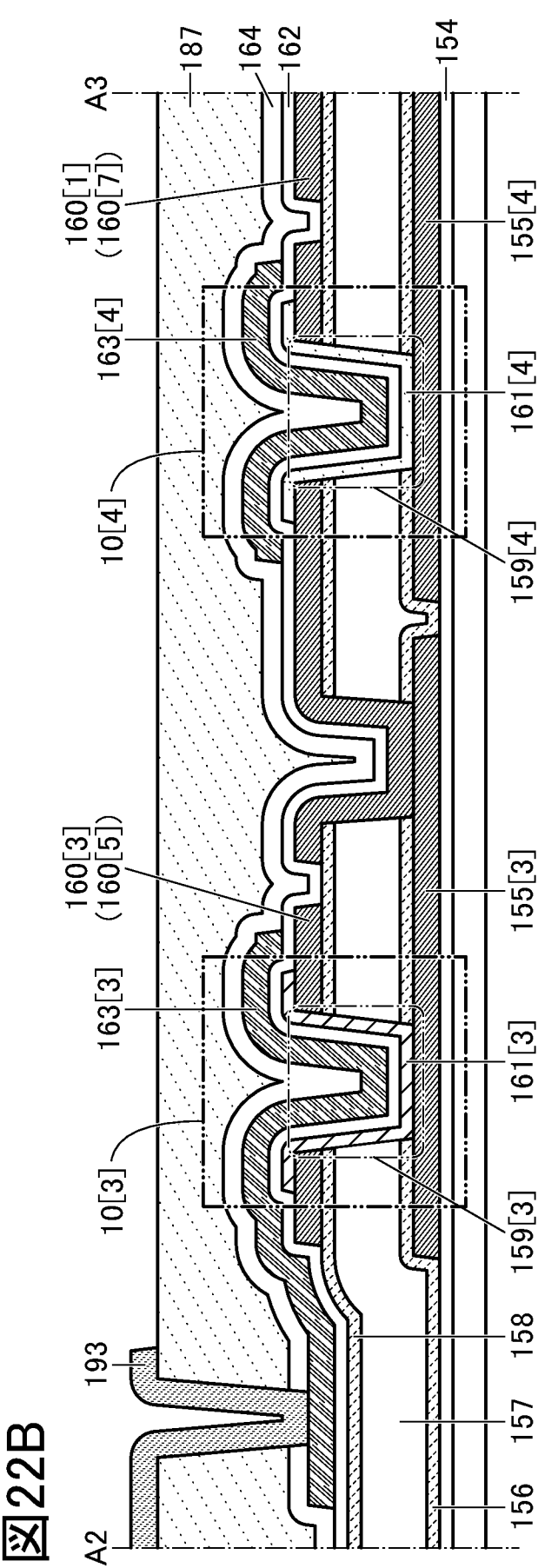
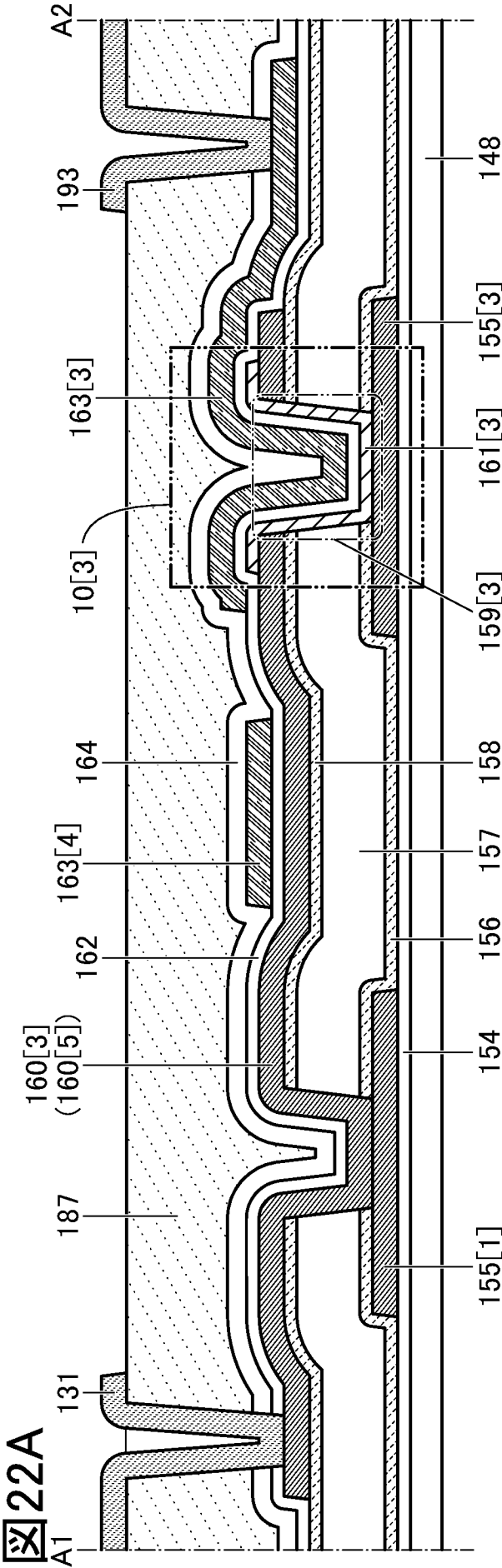
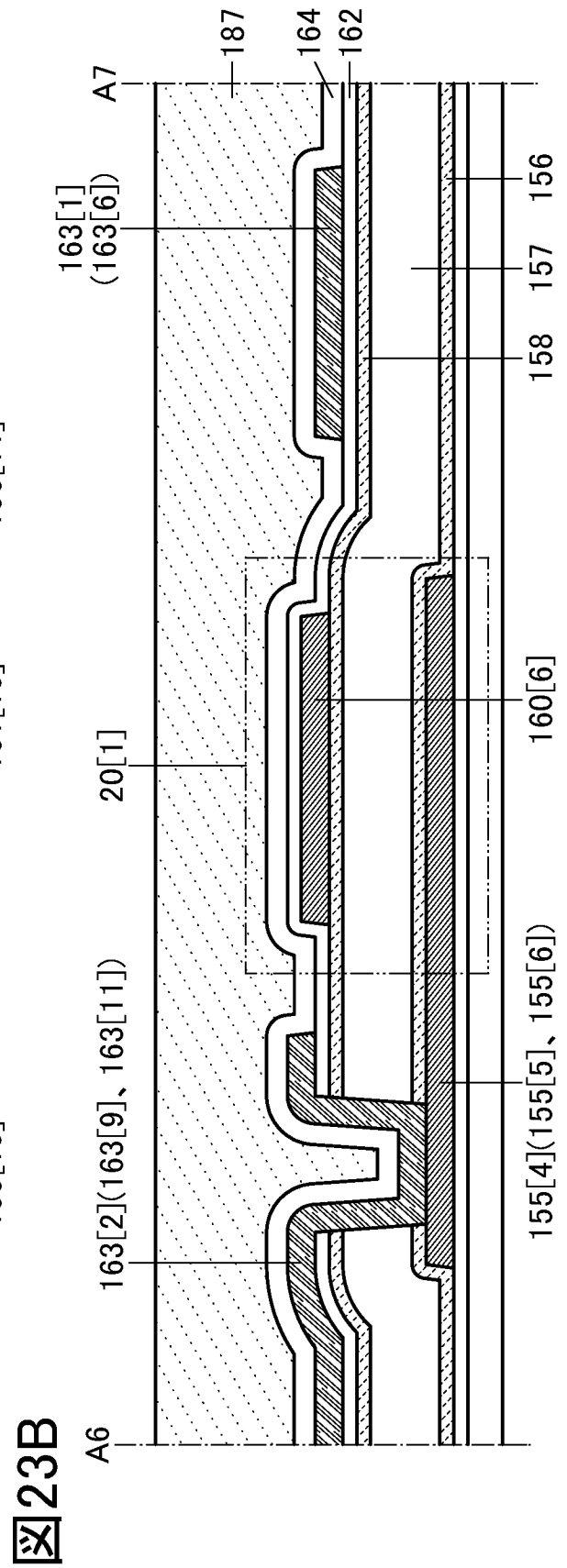
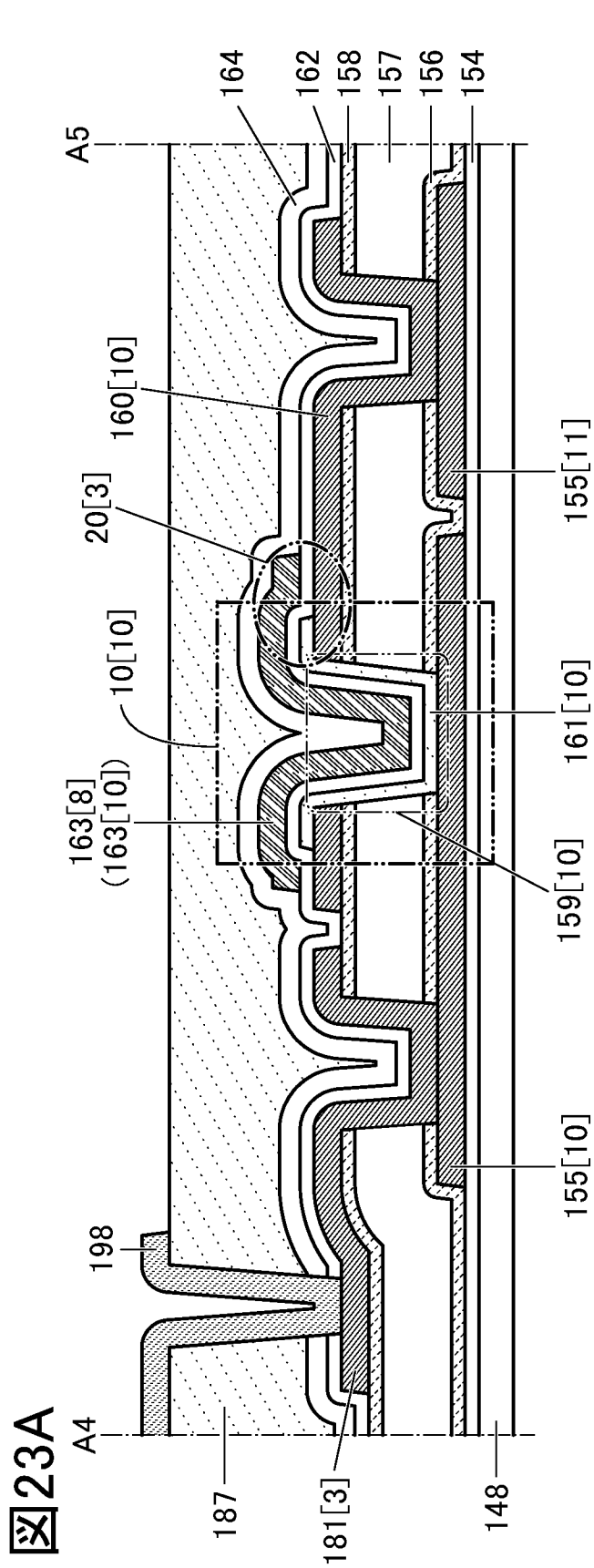


図19D

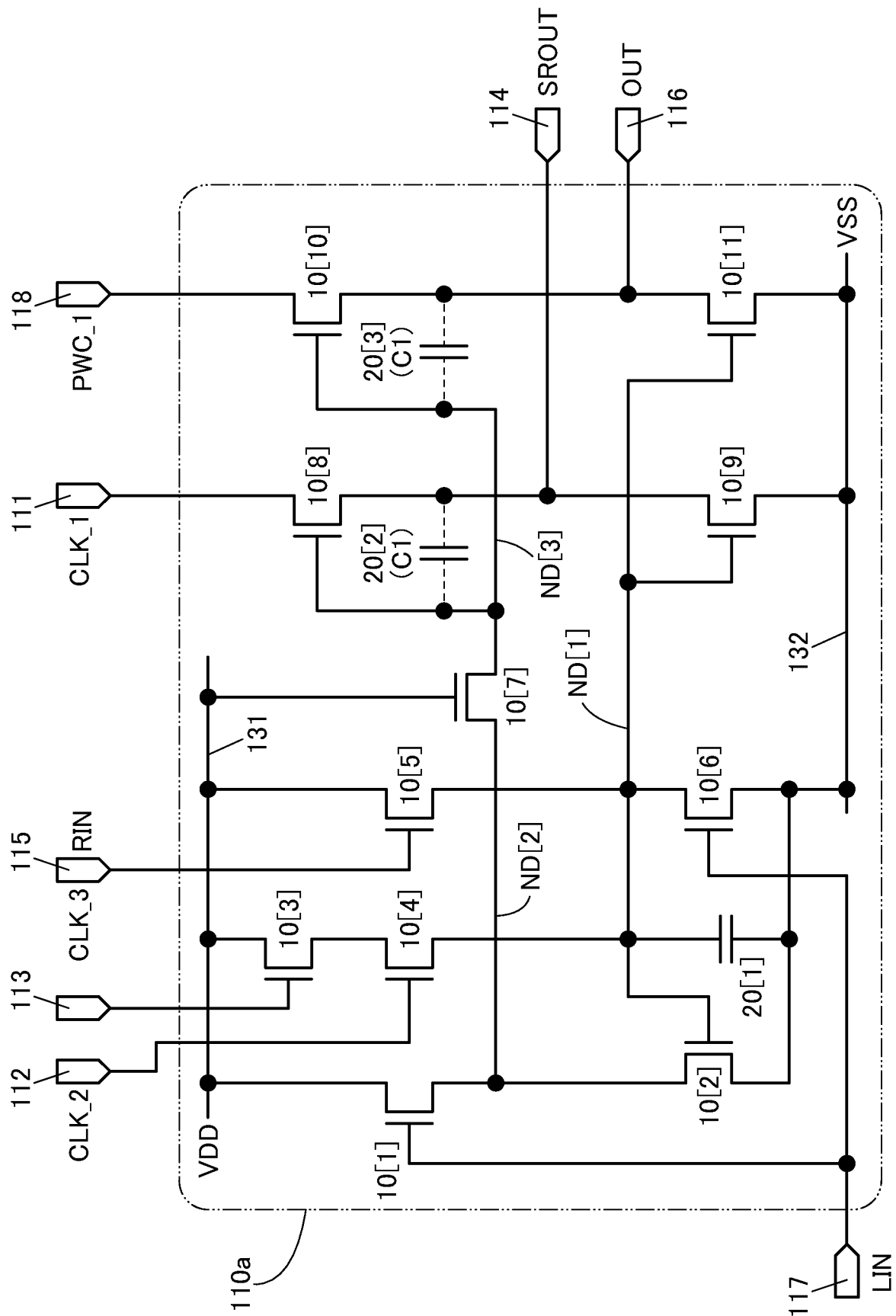








24



25

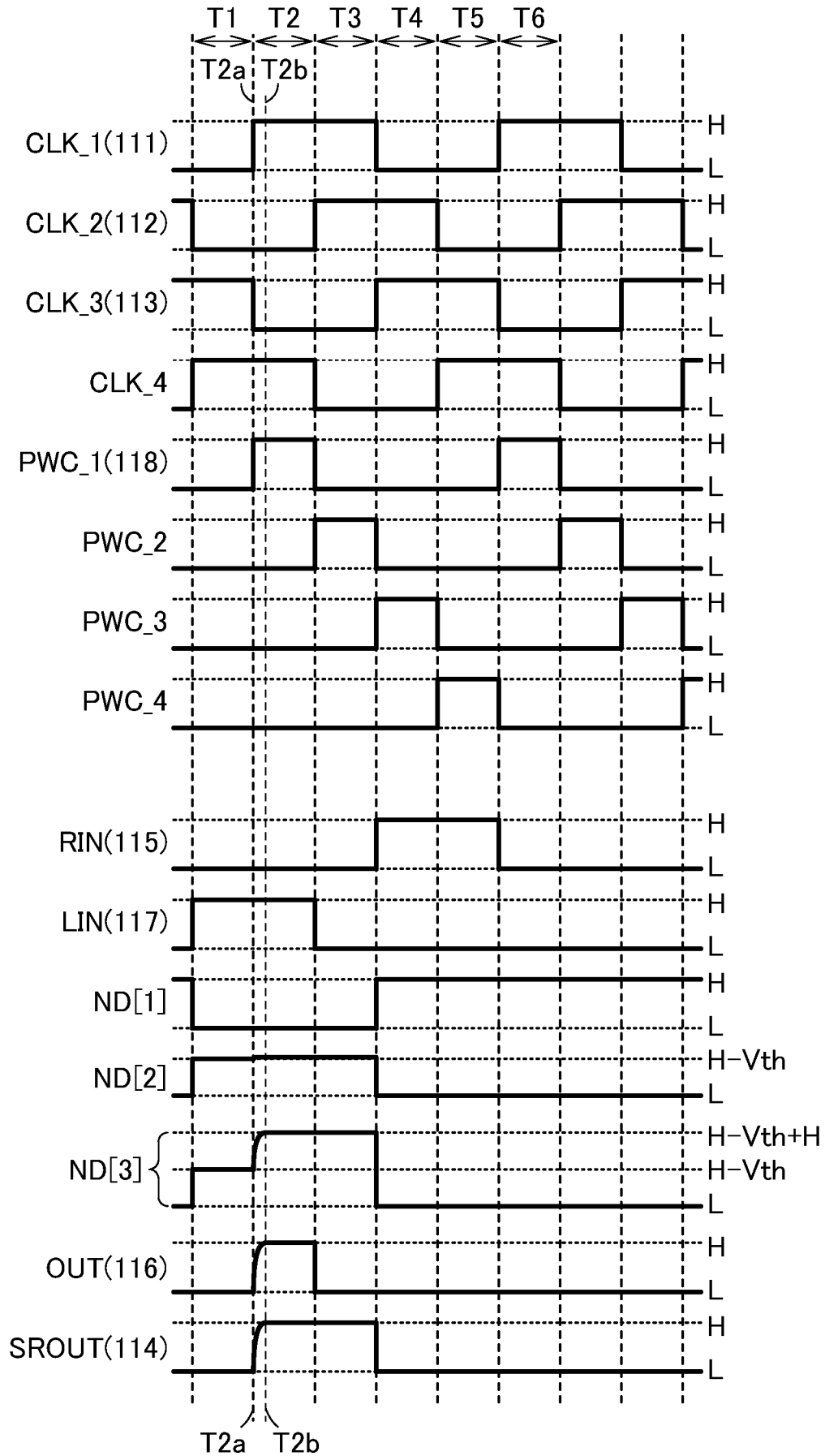
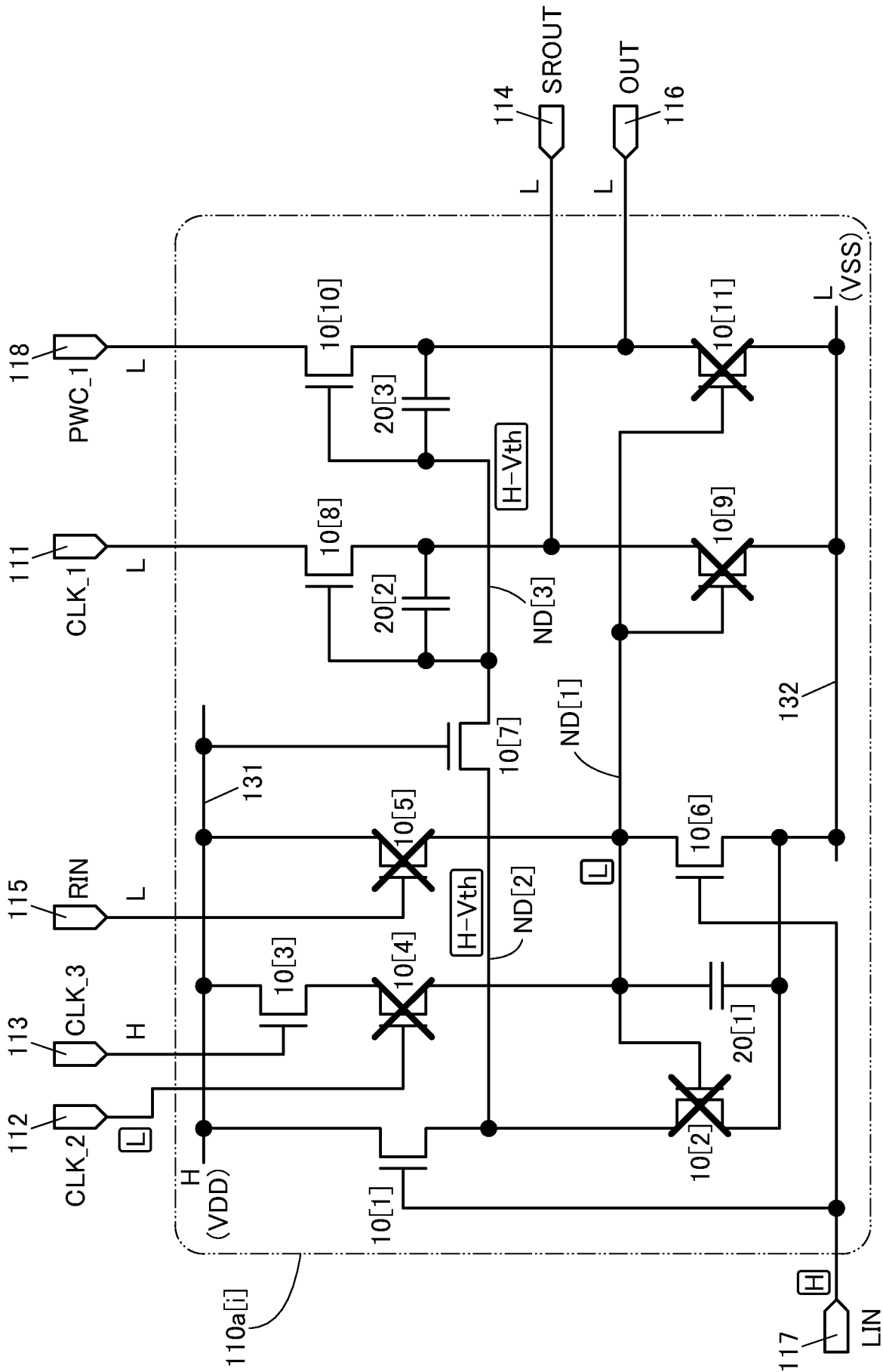
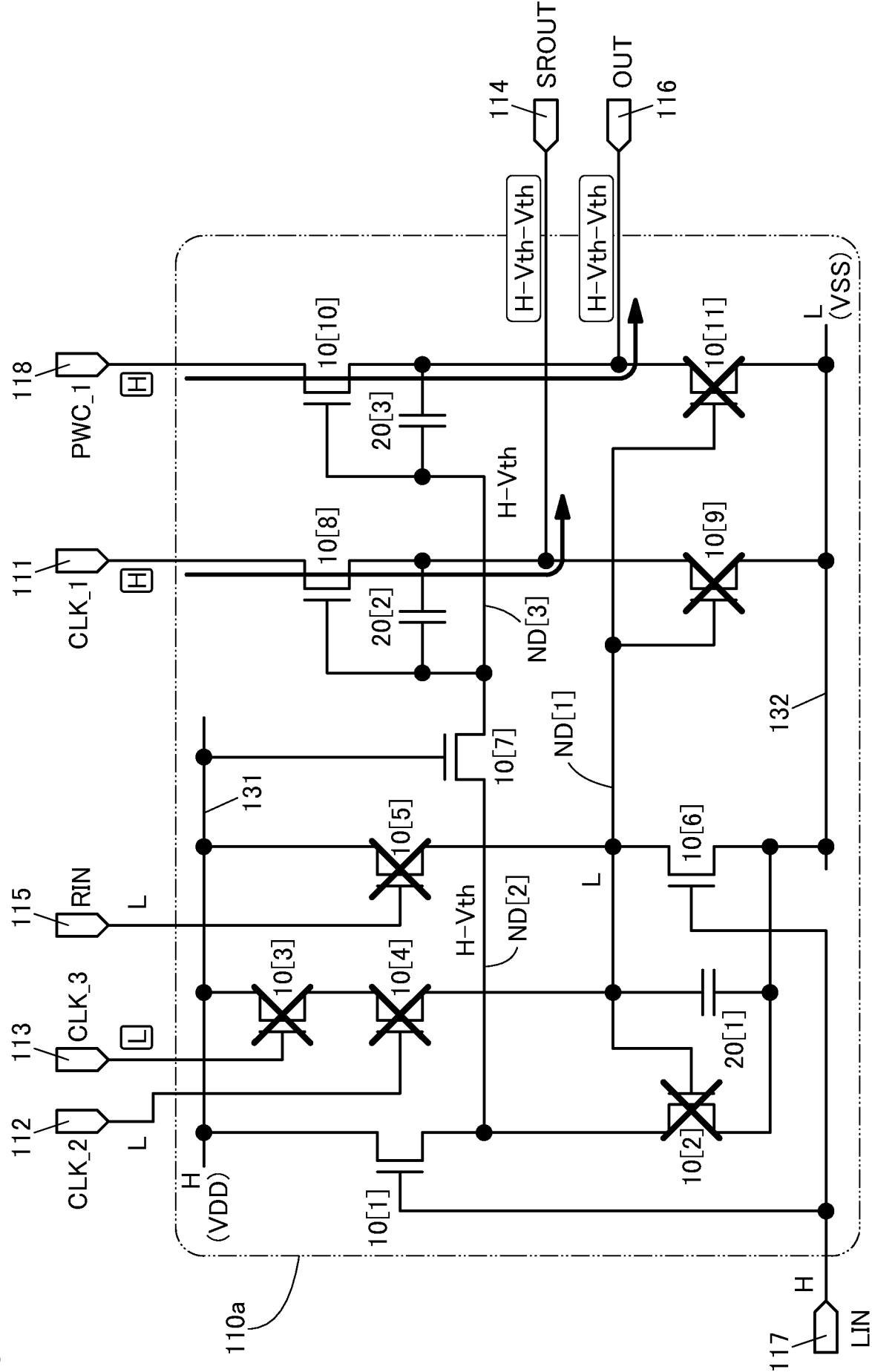


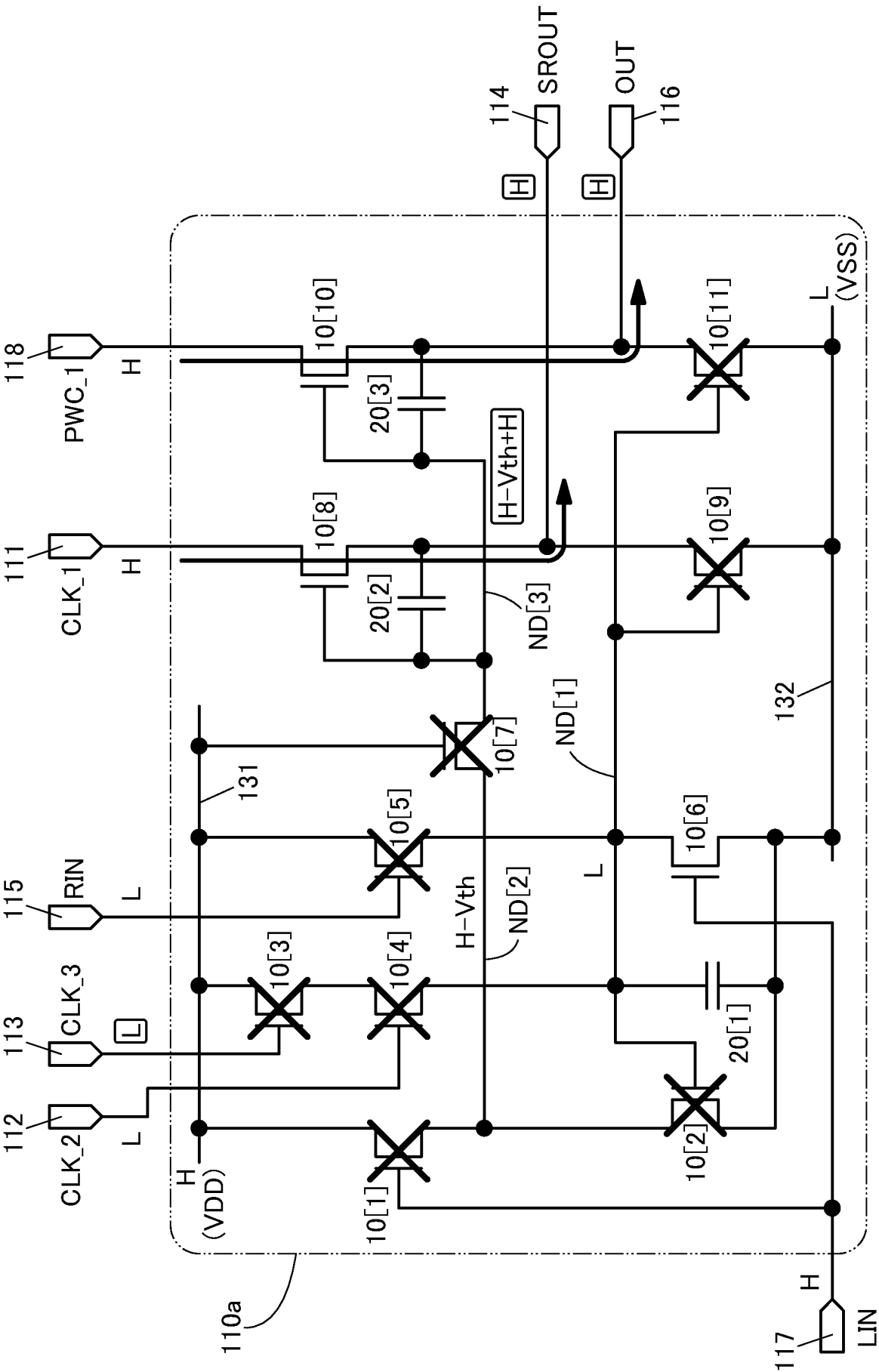
図 26



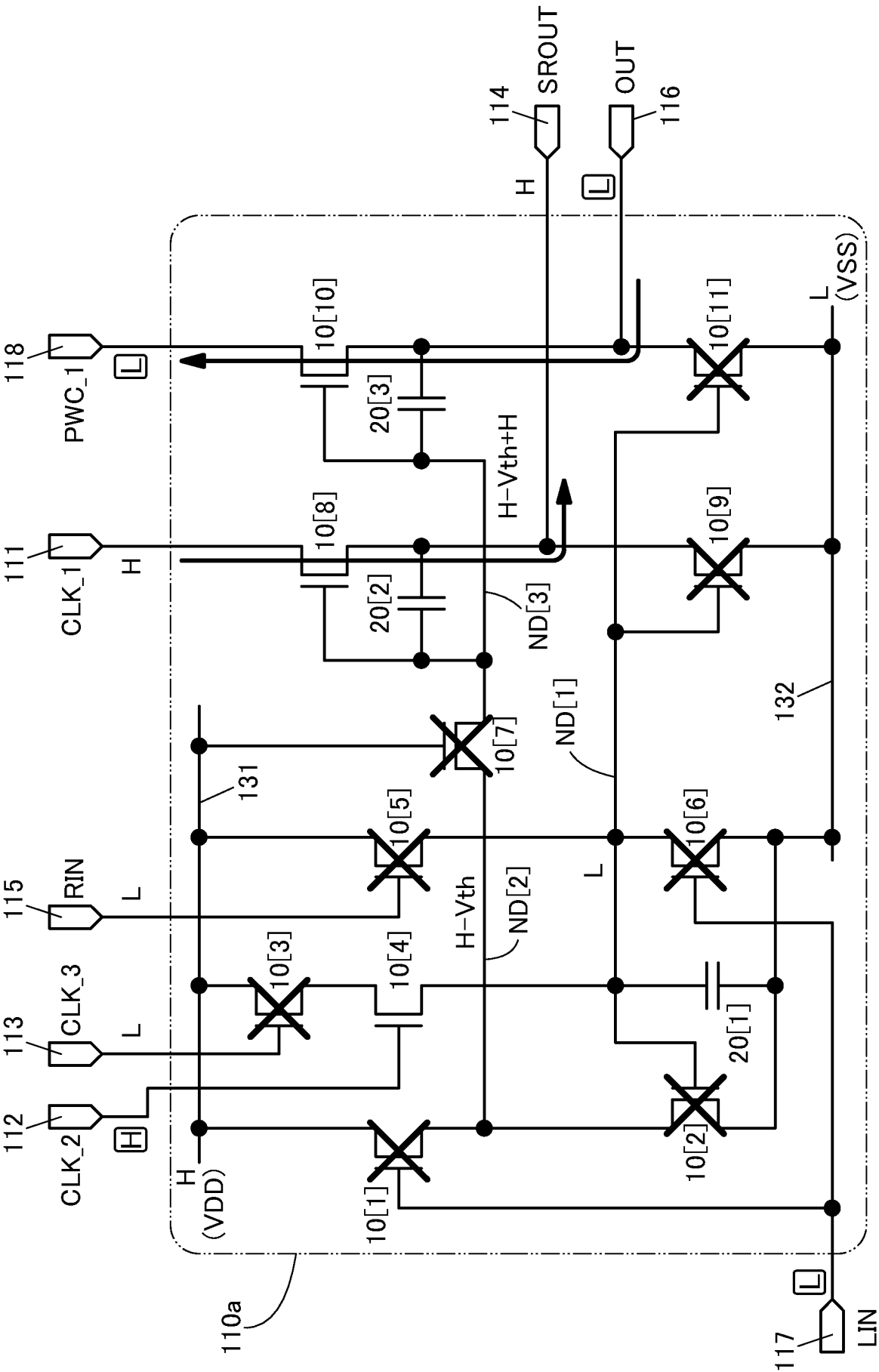
27



28



29



30

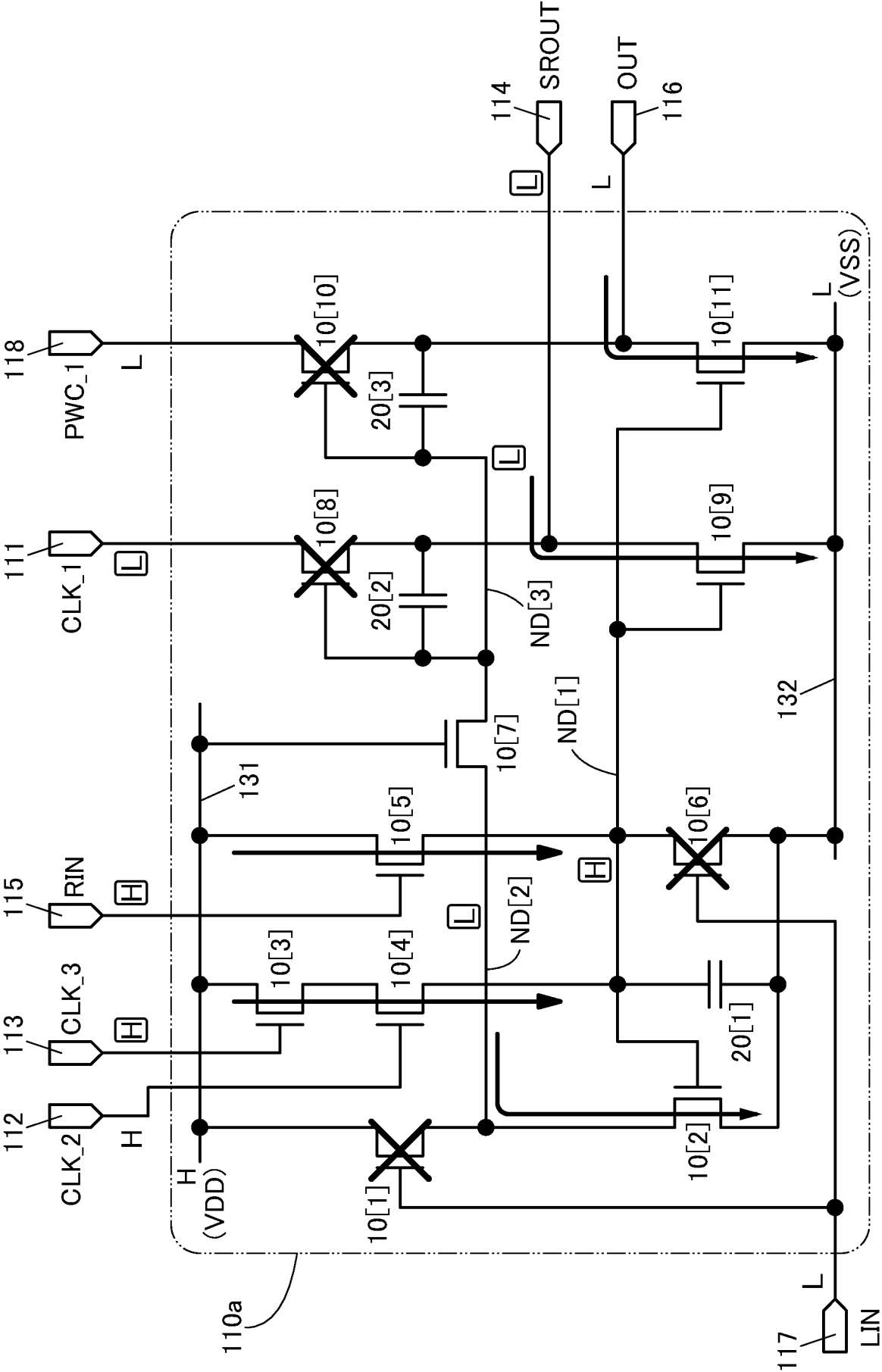
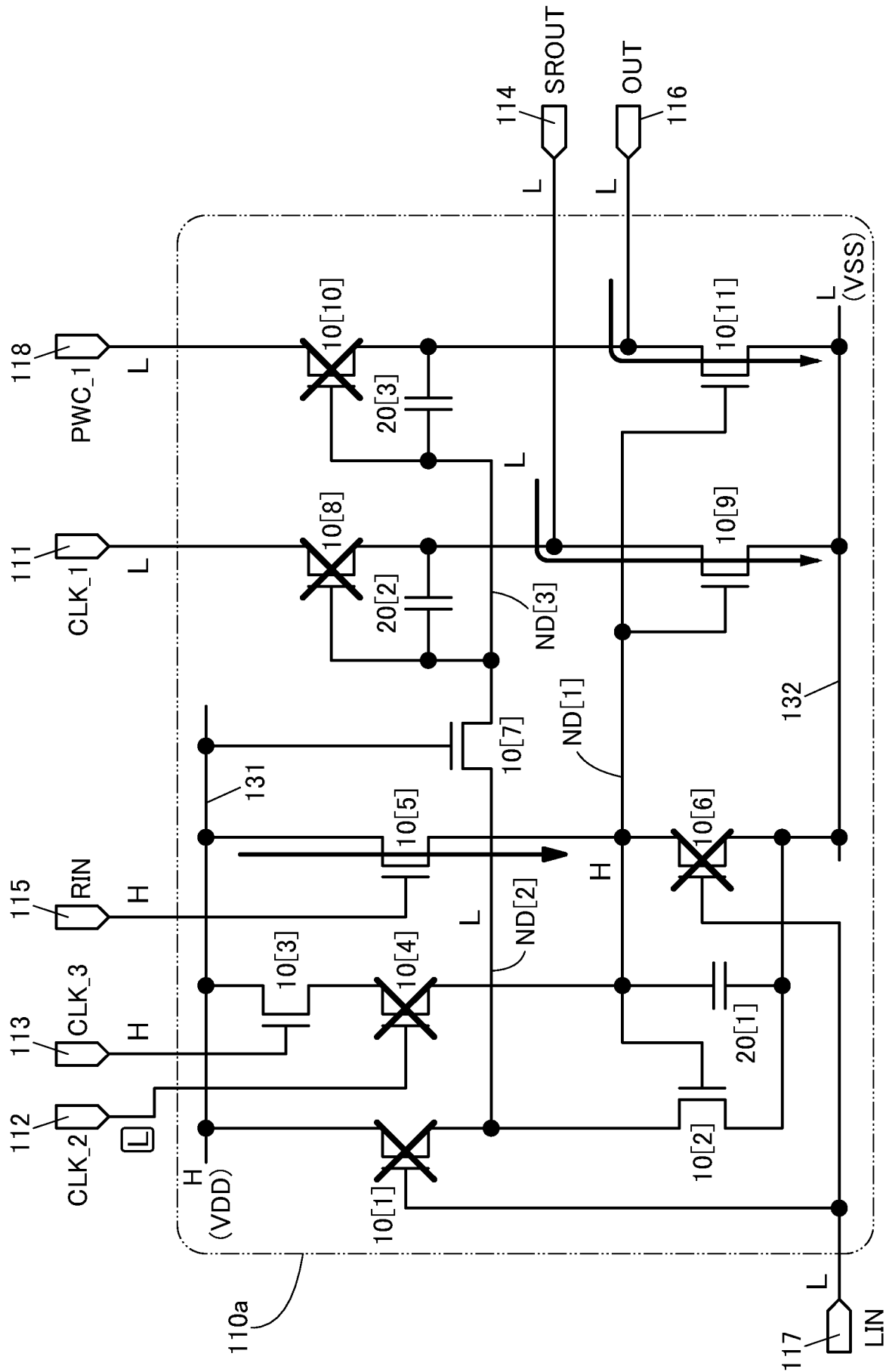
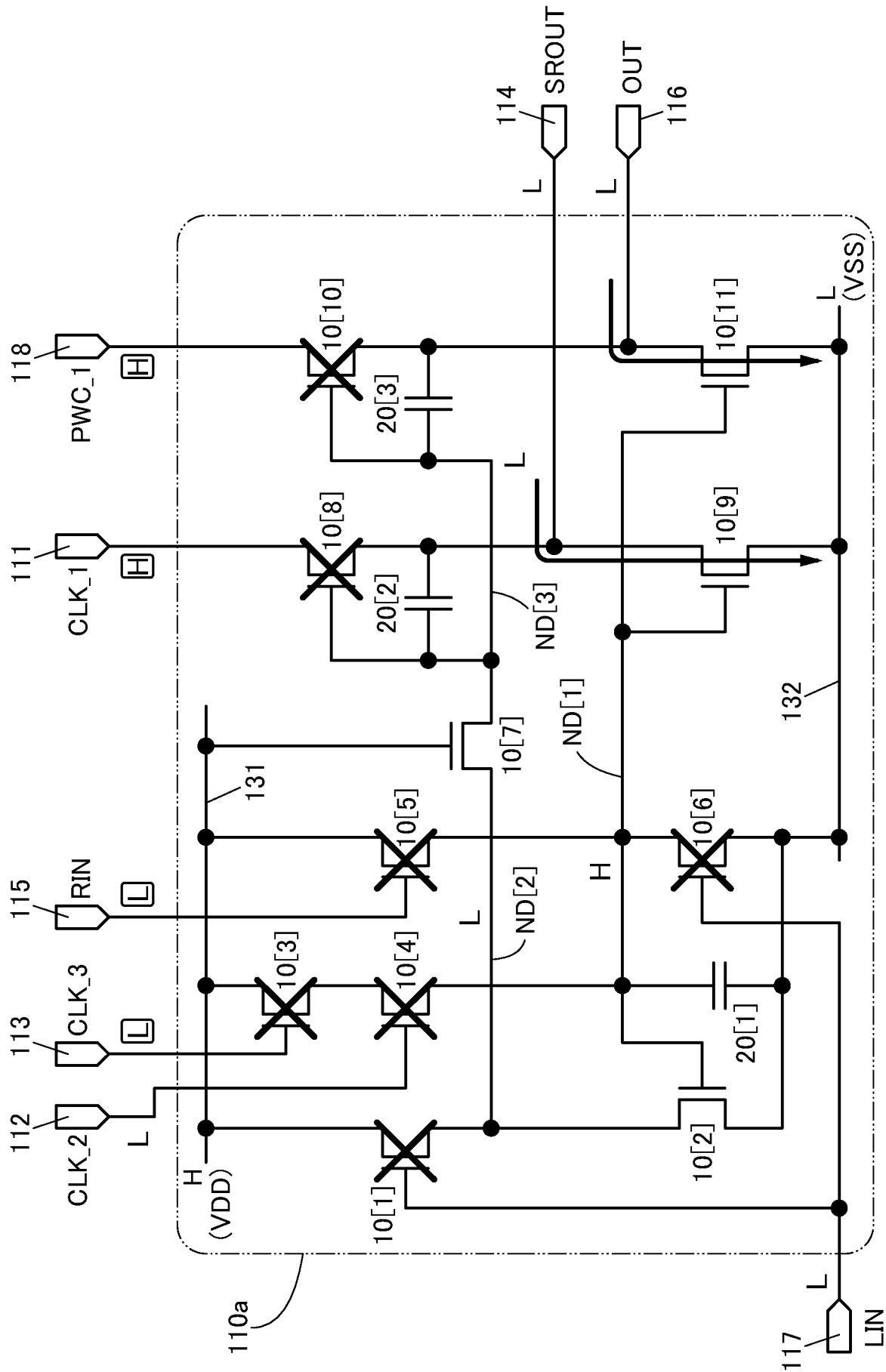


図31



32



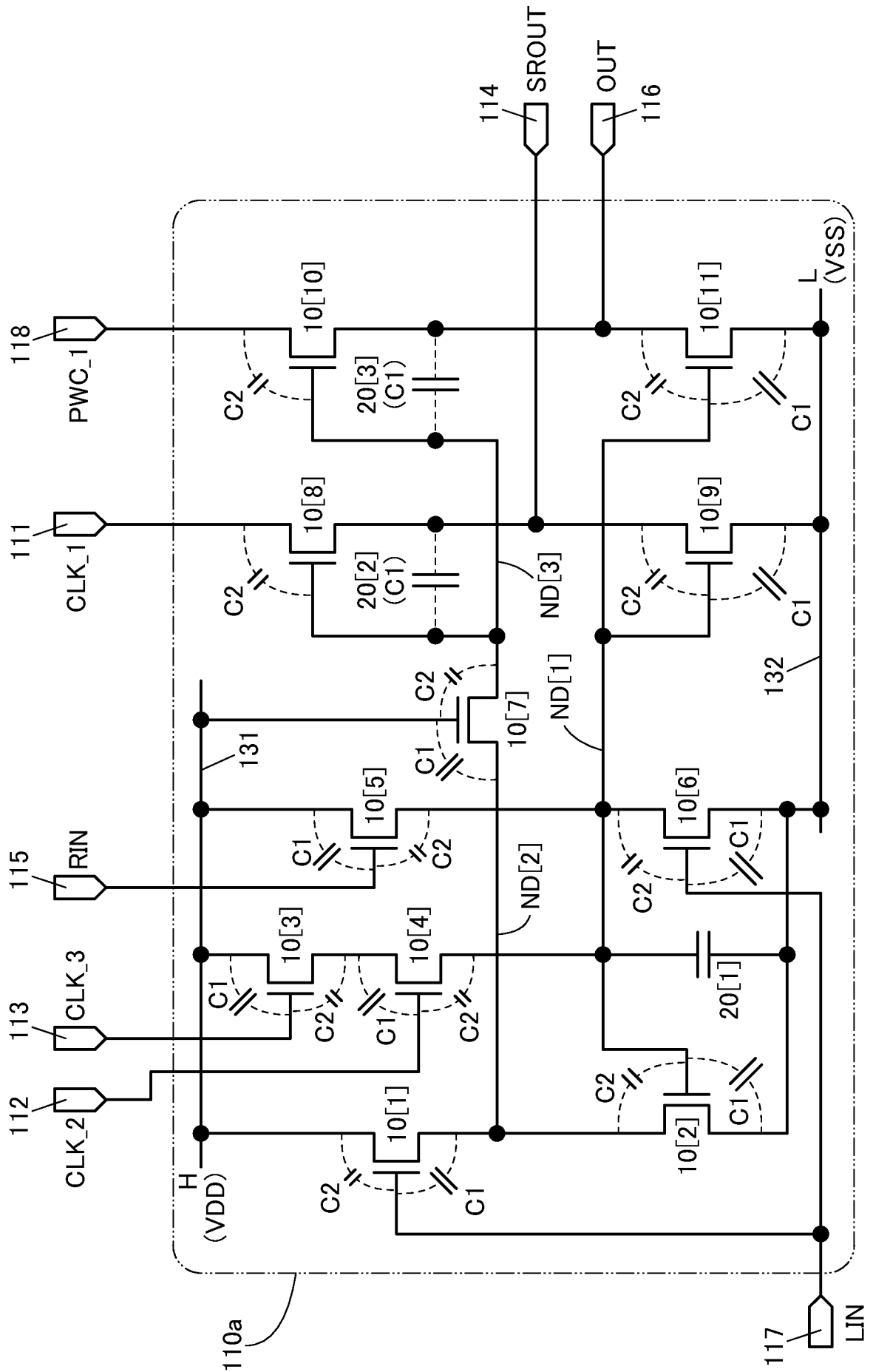


図34

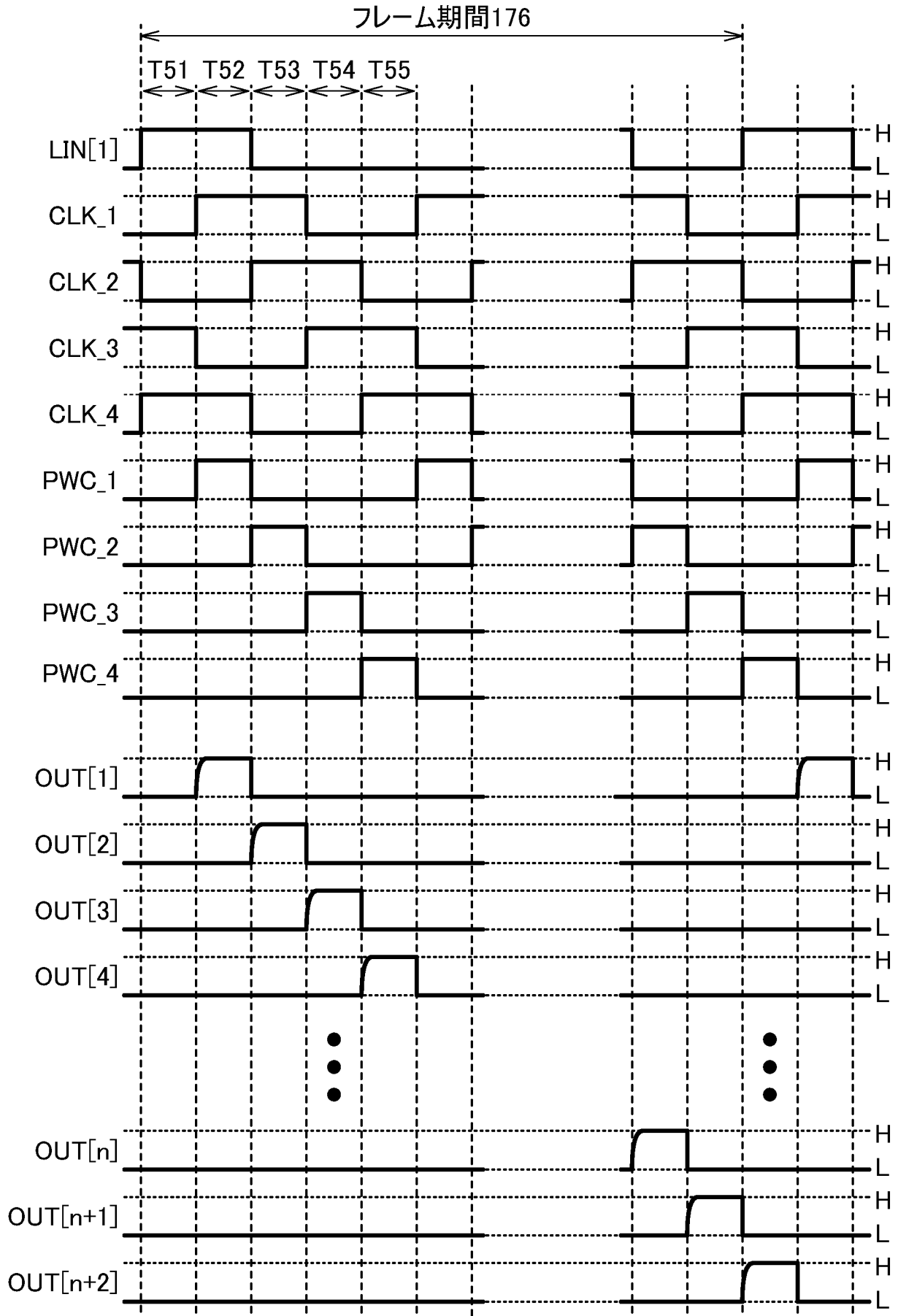


図35

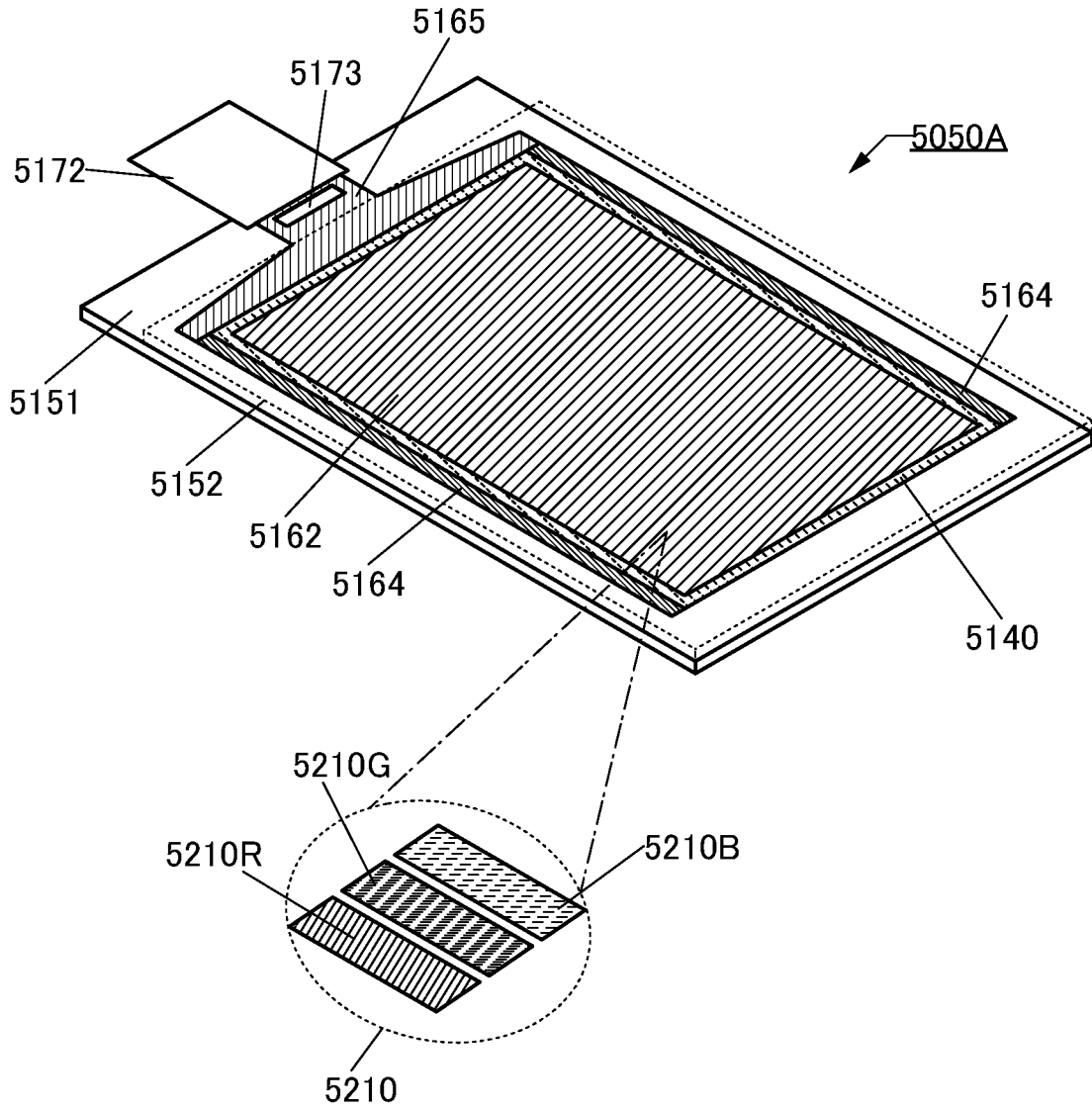


図36

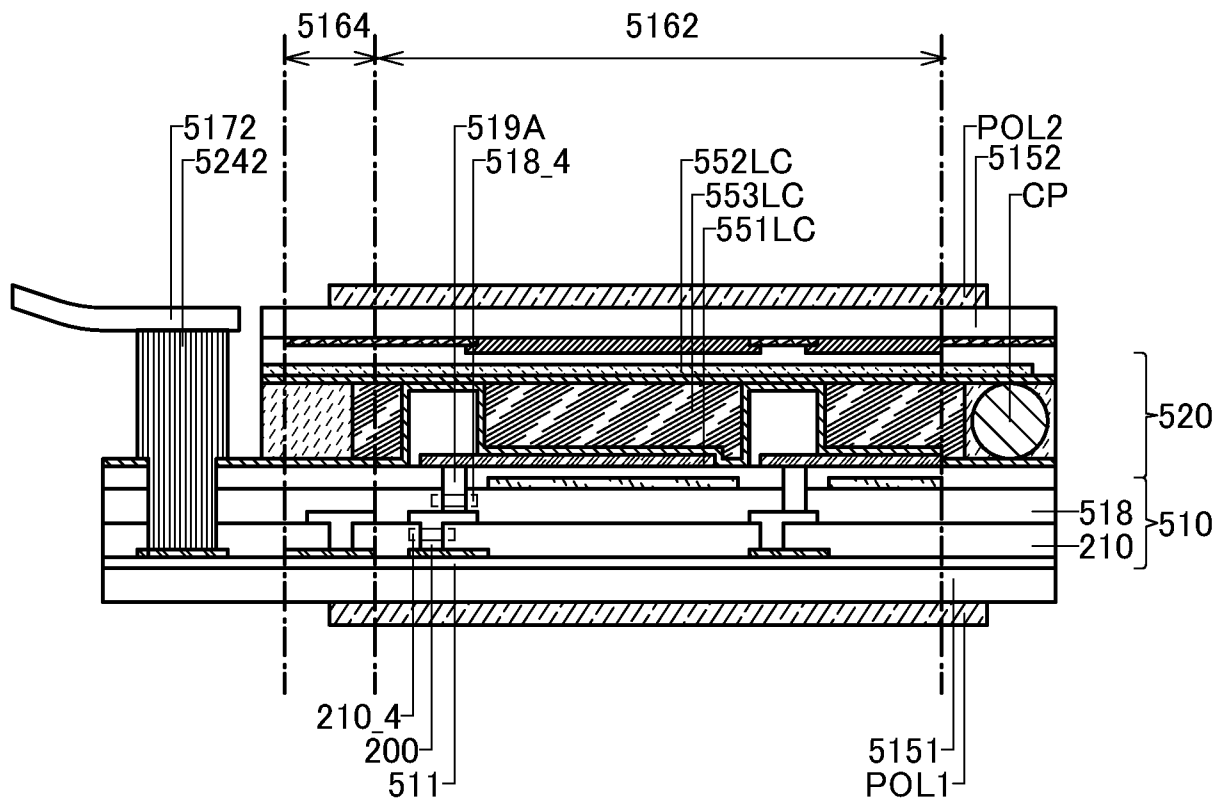


図37

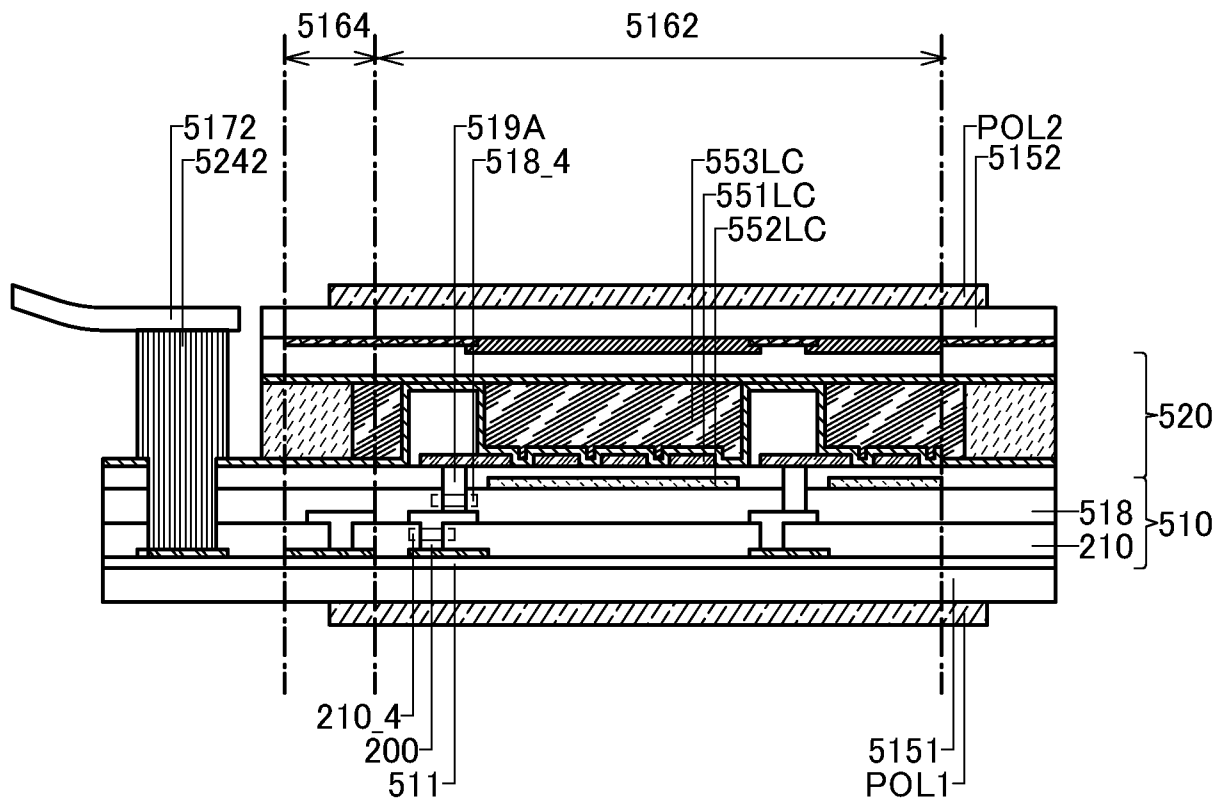


図38

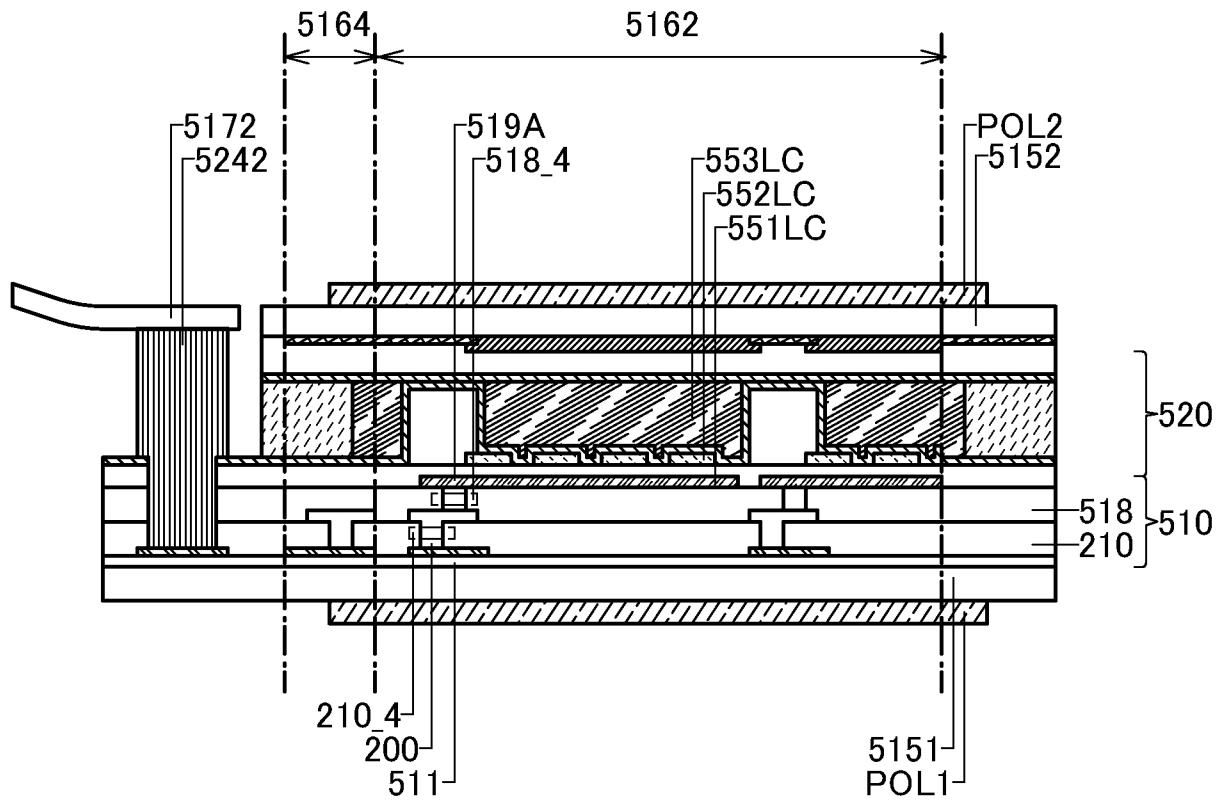
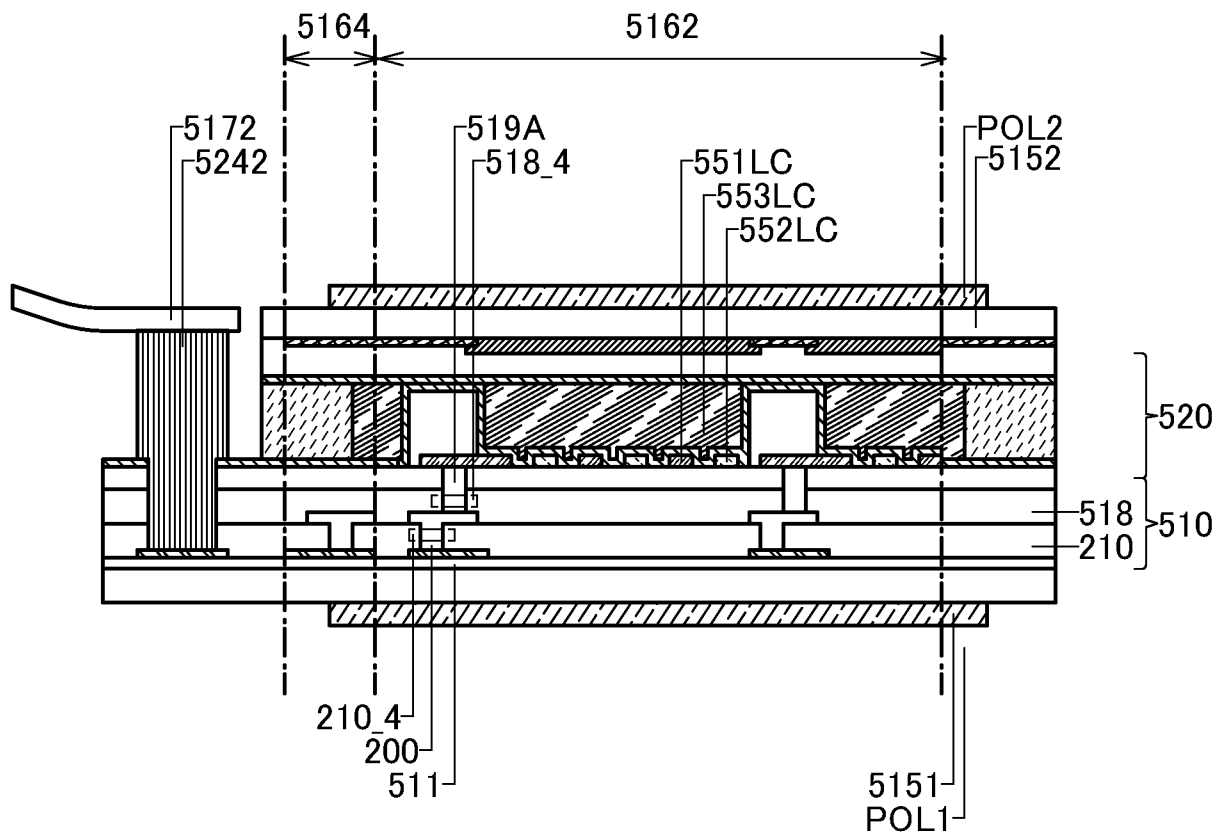


図39



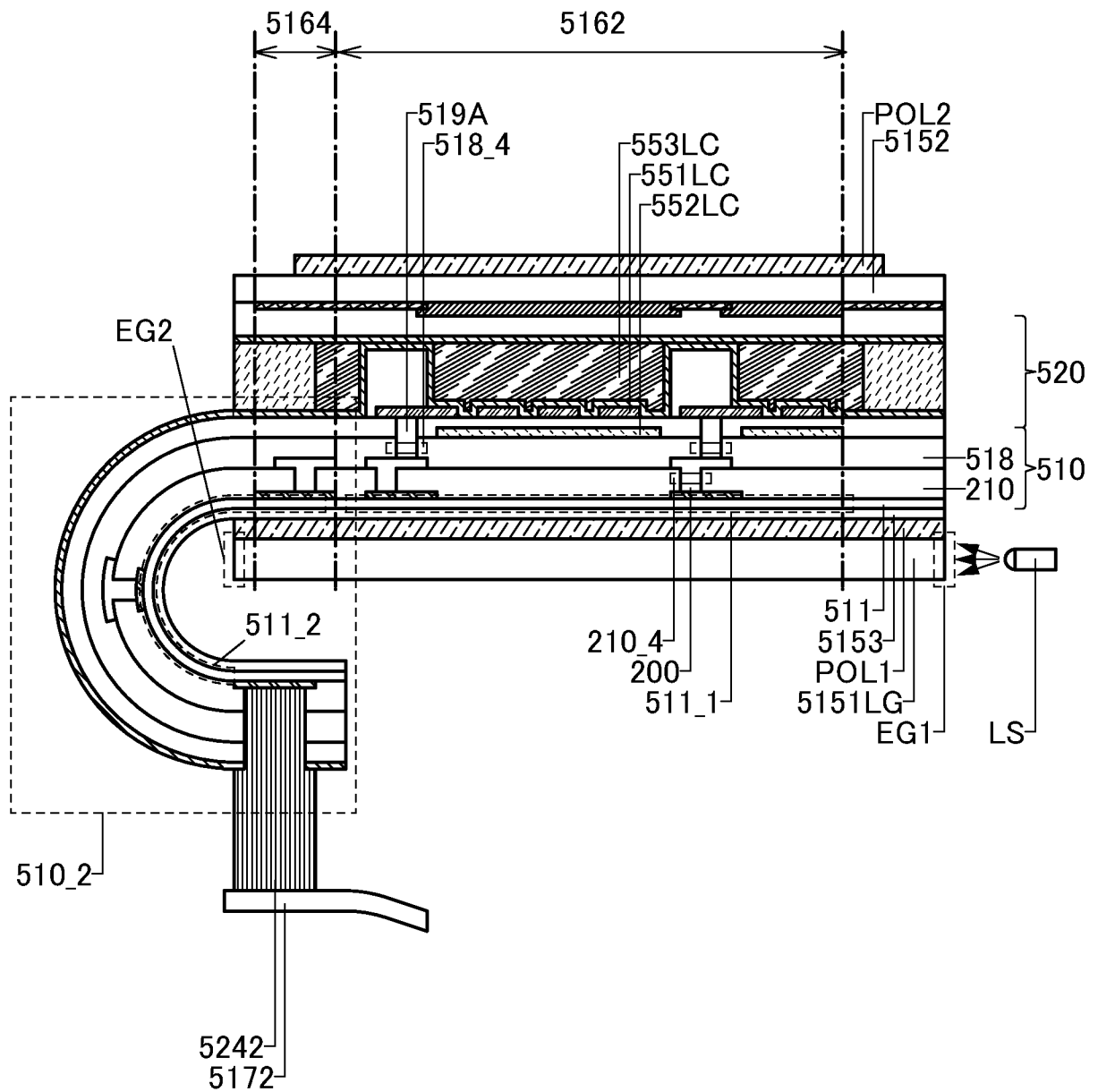


図41A

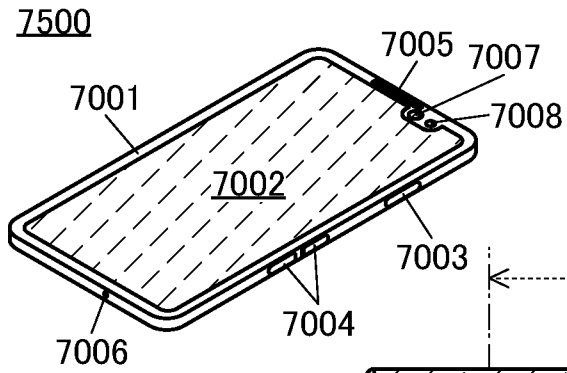


図41B

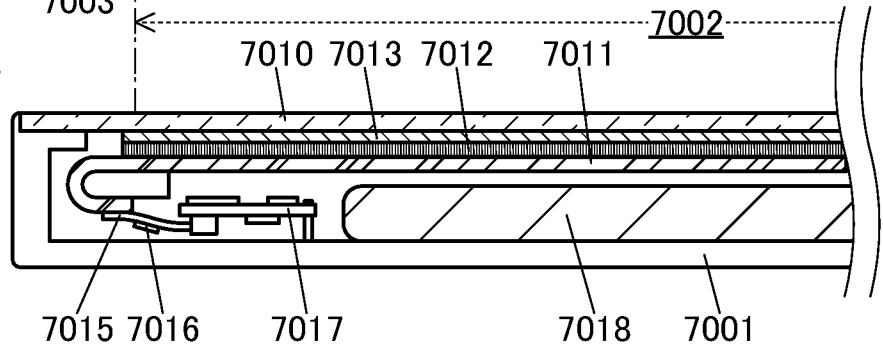


図41C

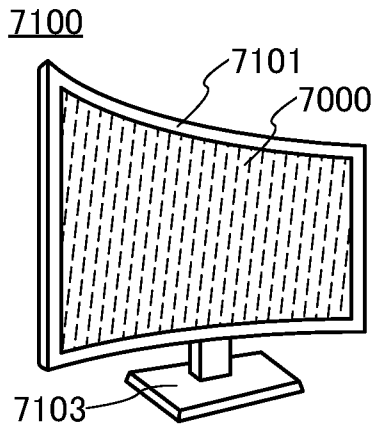


図41D

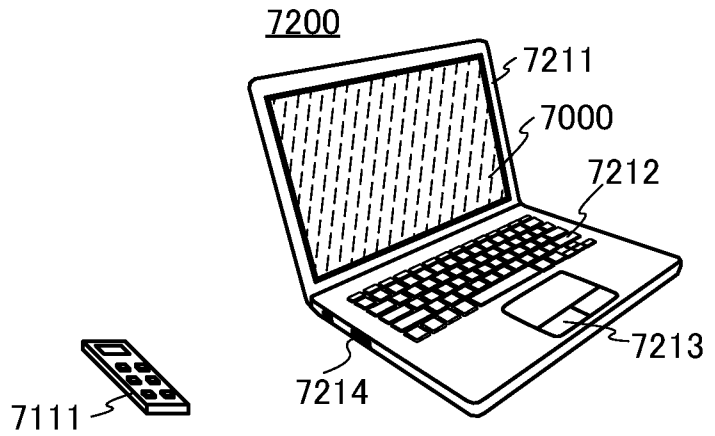


図41E

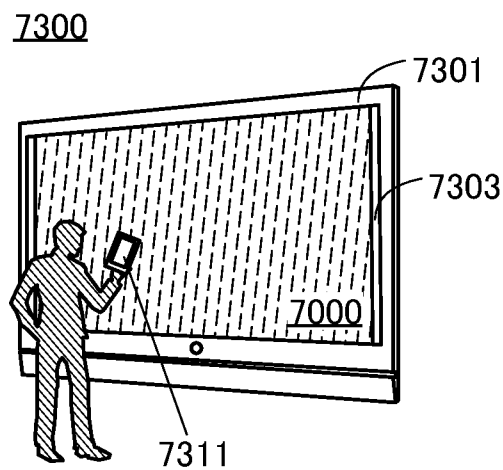
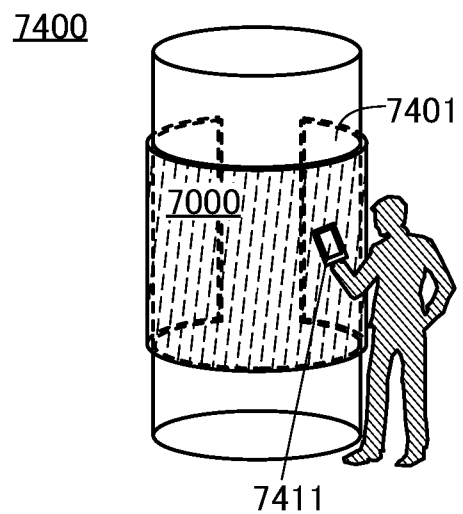


図41F



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/055385

A. CLASSIFICATION OF SUBJECT MATTER**G09F 9/30**(2006.01)i; **G02F 1/1368**(2006.01)i; **H10K 50/10**(2023.01)i; **H10K 59/10**(2023.01)i

FI: G09F9/30 338; G02F1/1368; G09F9/30 349Z; H10K50/10; H10K59/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/30; G02F1/1368; H10K50/10; H10K59/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2019-012229 A (JAPAN DISPLAY INC.) 24 January 2019 (2019-01-24) paragraphs [0009]-[0142], fig. 1-22	1-9, 11
Y	JP 2015-118373 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 25 June 2015 (2015-06-25) paragraphs [0027]-[0190], fig. 1-10	1-9, 11
Y	JP 2012-128006 A (SONY CORPORATION) 05 July 2012 (2012-07-05) paragraphs [0129]-[0135], fig. 15	1-9, 11
Y	JP 2017-138354 A (JAPAN DISPLAY INC.) 10 August 2017 (2017-08-10) paragraph [0020], fig. 1-2	1-9, 11
Y	JP 2011-141523 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 21 July 2011 (2011-07-21) paragraphs [0060]-[0073], fig. 1-2	4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 July 2024

Date of mailing of the international search report

30 July 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/055385

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-221072 A (SEIKO EPSON CORPORATION) 04 November 2011 (2011-11-04) paragraphs [0037]-[0043], fig. 5	5-7
Y	JP 2016-149552 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 August 2016 (2016-08-18) paragraphs [0048]-[0077], [0277], fig. 1-2	5-7
A	WO 2020/071010 A1 (JAPAN DISPLAY INC.) 09 April 2020 (2020-04-09) entire text, all drawings	1-11
A	US 2018/0068919 A1 (SAMSUNG DISPLAY CO., LTD.) 08 March 2018 (2018-03-08) entire text, all drawings	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2024/055385

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-012229	A	24 January 2019	US 2019-0004360 A1 paragraphs [0029]-[0171], fig. 1-22 CN 109212804 A	
JP	2015-118373	A	25 June 2015	US 2015-0138041 A1 paragraphs [0047]-[0210], fig. 1-10 KR 10-2016-0082252 A	
JP	2012-128006	A	05 July 2012	US 2012-0146886 A1 paragraphs [0157]-[0163], fig. 15 CN 102568377 A	
JP	2017-138354	A	10 August 2017	US 2017-0221978 A1 paragraph [0033], fig. 1-2	
JP	2011-141523	A	21 July 2011	US 2011-0090204 A1 paragraphs [0093]-[0106], fig. 1-2 EP 002489032 A1 CN 102576518 A KR 10-2012-0099228 A	
JP	2011-221072	A	04 November 2011	US 2011-0241004 A1 paragraphs [0050]-[0056], fig. 5	
JP	2016-149552	A	18 August 2016	US 2016-0233343 A1 paragraphs [0073]-[0101], [0301], fig. 1-2 TW 201640683 A	
WO	2020/071010	A1	09 April 2020	US 2021-0223622 A1 entire text, all drawings CN 112740303 A	
US	2018/0068919	A1	08 March 2018	CN 107799015 A entire text, all drawings KR 10-2018-0027704 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09F 9/30(2006.01)i; G02F 1/1368(2006.01)i; H10K 50/10(2023.01)i; H10K 59/10(2023.01)i FI: G09F9/30 338; G02F1/1368; G09F9/30 349Z; H10K50/10; H10K59/10		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G09F9/30; G02F1/1368; H10K50/10; H10K59/10		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2019-012229 A（株式会社ジャパンディスプレイ）24.01.2019（2019-01-24） 段落0009-0142、図1-22	1-9, 11
Y	JP 2015-118373 A（株式会社半導体エネルギー研究所）25.06.2015（2015-06-25） 段落0027-0190、図1-10	1-9, 11
Y	JP 2012-128006 A（ソニー株式会社）05.07.2012（2012-07-05） 段落0129-0135、図15	1-9, 11
Y	JP 2017-138354 A（株式会社ジャパンディスプレイ）10.08.2017（2017-08-10） 段落0020、図1-2	1-9, 11
Y	JP 2011-141523 A（株式会社半導体エネルギー研究所）21.07.2011（2011-07-21） 段落0060-0073、図1-2	4
Y	JP 2011-221072 A（セイコーエプソン株式会社）04.11.2011（2011-11-04） 段落0037-0043、図5	5-7
Y	JP 2016-149552 A（株式会社半導体エネルギー研究所）18.08.2016（2016-08-18） 段落0048-0077、0277、図1-2	5-7
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “Z” 同一パテントファミリー文献		
国際調査を完了した日 11.07.2024	国際調査報告の発送日 30.07.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 村上 遼太 2I 1946 電話番号 03-3581-1101 内線 3273	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2020/071010 A1 (株式会社ジャパンディスプレイ) 09.04.2020 (2020 - 04 - 09) 全文, 全図	1-11
A	US 2018/0068919 A1 (SAMSUNG DISPLAY CO., LTD.) 08.03.2018 (2018 - 03 - 08) 全文, 全図	1-11

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2024/055385

引用文献			公表日	パテントファミリー文献	公表日
JP	2019-012229	A	24.01.2019	US 2019-0004360 A1 段落 0 0 2 9 - 0 1 7 1、 図 1 - 2 2 CN 109212804 A	
JP	2015-118373	A	25.06.2015	US 2015-0138041 A1 段落 0 0 4 7 - 0 2 1 0、 図 1 - 1 0 KR 10-2016-0082252 A	
JP	2012-128006	A	05.07.2012	US 2012-0146886 A1 段落 0 1 5 7 - 0 1 6 3、 図 1 5 CN 102568377 A	
JP	2017-138354	A	10.08.2017	US 2017-0221978 A1 段落 0 0 3 3、図 1 - 2	
JP	2011-141523	A	21.07.2011	US 2011-0090204 A1 段落 0 0 9 3 - 0 1 0 6、 図 1 - 2 EP 002489032 A1 CN 102576518 A KR 10-2012-0099228 A	
JP	2011-221072	A	04.11.2011	US 2011-0241004 A1 段落 0 0 5 0 - 0 0 5 6、 図 5	
JP	2016-149552	A	18.08.2016	US 2016-0233343 A1 段落 0 0 7 3 - 0 1 0 1、 0 3 0 1、図 1 - 2 TW 201640683 A	
WO	2020/071010	A1	09.04.2020	US 2021-0223622 A1 全文, 全図 CN 112740303 A	
US	2018/0068919	A1	08.03.2018	CN 107799015 A 全文, 全図 KR 10-2018-0027704 A	