

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年5月15日(15.05.2014)



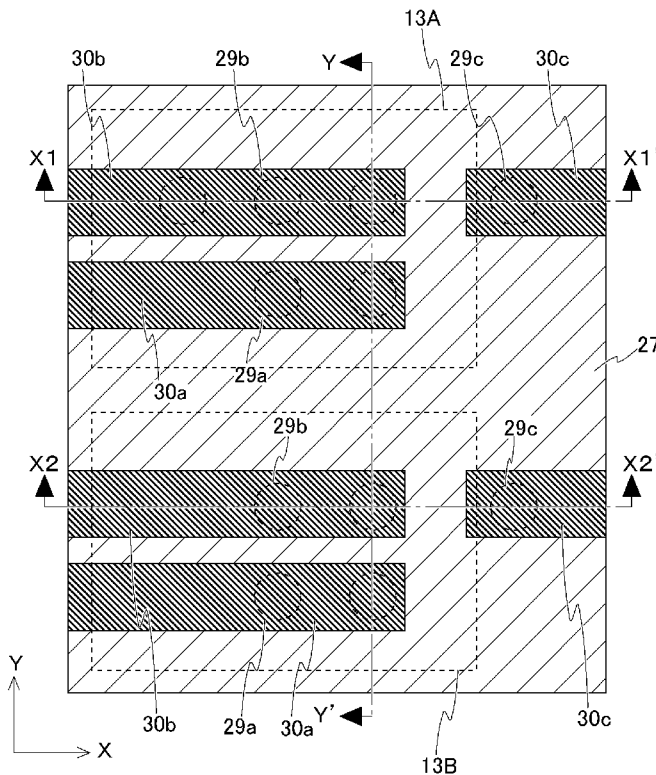
(10) 国際公開番号
WO 2014/073361 A1

- (51) 国際特許分類:
H01L 21/8234 (2006.01) H01L 27/088 (2006.01)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
H01L 21/82 (2006.01)
- (21) 国際出願番号: PCT/JP2013/078437
- (22) 国際出願日: 2013年10月21日(21.10.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-244448 2012年11月6日(06.11.2012) JP
- (71) 出願人(米国を除く全ての指定国について): ピー
エスフォー ルクスコ エスエイアールエル
(PS4 LUXCO S.A.R.L.) [LU/LU]; エルー 2 1 2 1
ルクセンブルク、ヴァル デ ボン マラデ
ス、 2 0 8 Luxembourg (LU).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 藤川 敦史
(FUJIKAWA, Atsushi) [JP/JP]; 〒1040028 東京都中
央区八重洲二丁目2番1号 エルピーダメモリ
株式会社内 Tokyo (JP).
- (74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.);
〒1050001 東京都港区虎ノ門2丁目10番1号
虎ノ門ツインビルディング西棟11階 Tokyo
(JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: The present invention is provided with: a plurality of pillars vertically arranged on a semiconductor substrate; a plurality of second diffusion layers respectively arranged on the upper part of each pillar; a conductive layer electrically connected to at least one of the second diffusion layers; and at least one contact formed on at least one of the plurality of second diffusion layers, the number of electrical connections (contacts) between the second diffusion layers and the conductive layer being smaller than the number of pillars, and the number of connections between the pillars and the conductive layer being changeable as needed.

(57) 要約: 半導体基板上に立設された複数のピラーと、各ピラーの上部にそれぞれ配置された複数の第2の拡散層と、第2の拡散層の1つ以上と電気的に接続される導電層と、複数の第2の拡散層の1つ以上の上に形成される1つ以上のコンタクトを備え、第2の拡散層と導電層との電気的な接続数(コンタクトの数)はピラーの個数より少なく、必要に応じてピラーと導電層との接続数は変更可能である。



WO 2014/073361 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 國際調查報告 (條約第 21 條(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は半導体装置に関し、特にピラー型絶縁ゲート電界効果トランジスタを有する半導体装置に関する。

背景技術

[0002] 従来のプレーナー型トランジスタの基板上の占有面積は、少なくともゲート長×チャンネル幅のチャンネル面積、ソース/ドレイン拡散層とそれらの電極引き出し用コンタクト配置、トランジスタ間の素子分離領域が必要である。

[0003] 専有面積を縮小するために、プレーナー型トランジスタに代えて、3次元構造のトランジスタが提案されており、中でもピラー型の絶縁ゲート電界効果トランジスタ（MOSFET）は専有面積の縮小に有効である（例えば、特許文献1参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-081377号公報

発明の概要

発明が解決しようとする課題

[0005] 一般に、回路特性の調整をするためあるいは製造ばらつきを吸収するためにトランジスタ特性の調整が必須であり、そのために余剰なトランジスタをあらかじめ配置しておき、配線工程でトランジスタの接続数を変更して電気特性の調整を行っている。プレーナー型トランジスタでは、上記の占有面積がひとつひとつのトランジスタに対して必要であるため、余剰なトランジスタを配置することがチップサイズの増大を招いていた。

[0006] そこで、専有面積の縮小に有利なピラー型MOSFETにて、トランジスタ特性の調整が容易な半導体装置が望まれる。

課題を解決するための手段

[0007] 本発明の一実施形態によれば、
半導体基板上の互いに素子分離された領域に立設された少なくとも2つの
ピラートランジスタを備え、
前記2つのピラートランジスタは、
前記素子分離された領域の各々に2つ以上の同数のピラーと、
前記ピラーの各々の上部に配置された拡散層と、
前記素子分離された領域の各々に、前記拡散層の1つ以上と電氣的に接続
された1つの導電層を有し、
前記2つのピラートランジスタは、前記各々の導電層と電氣的に接続され
た前記拡散層の個数が互いに異なることを特徴とする半導体装置、が提供さ
れる。

[0008] また、本発明の別の実施形態によれば、
半導体基板の上に立設された複数のピラートランジスタと、
前記複数のピラートランジスタの各々を構成する複数のソース領域、複数
のチャンネル領域および複数のドレイン領域と、
前記複数のソース領域の各々を接続するソース電極と、
前記複数のチャンネル領域の各々を同時に駆動するゲート電極と、
前記複数のドレイン領域の1部とコンタクトを介して接続されるドレイン
電極と、
前記複数のドレイン領域のうち、前記ドレイン電極と、前記コンタクトを
介さず、絶縁層を介して対峙する少なくとも1つのドレイン領域と、
を備えることを特徴とする半導体装置、が提供される。

[0009] 更に別の実施形態によれば、
半導体基板の上に立設された複数のピラーと、
前記複数のピラーの各々はそれぞれ下部と上部と側面を有し、
各々の前記下部を接続する第1の拡散層と、
各々の前記上部にそれぞれ配置された複数の第2の拡散層と、
前記側面の各々にゲート絶縁膜を介して対峙し、連続体を成すゲート電極

と、

前記複数の第2の拡散層の1つ以上と電氣的に接続される導電層と、
前記複数の第2の拡散層の1つ以上の上に形成される1つ以上のコンタクトを備え、

前記第2の拡散層と前記導電層との電氣的な接続数は前記ピラーの個数より少ないことを特徴とする半導体装置、が提供される。

発明の効果

[0010] 本発明の一実施形態によれば、実デバイスを製造した後にトランジスタ特性の修正が必要となった場合でも、並列接続のピラートランジスタ数の変更が容易となり、短納期設計が可能となる。

図面の簡単な説明

[0011] [図1A]本発明の一実施形態例にかかる半導体装置の主要な構成要素の平面図を示す。

[図1B]図1AのX1-X1'での断面図を示す。

[図1C]図1AのX2-X2'での断面図を示す。

[図1D]図1AのY-Y'での断面図を示す。

[図2A]本発明の一実施形態例にかかる半導体装置の製造工程を示す平面図である。

[図2B]図2AのX1-X1'での断面図を示す。

[図2C]図2AのX2-X2'での断面図を示す。

[図2D]図2AのY-Y'での断面図を示す。

[図3A]本発明の一実施形態例にかかる半導体装置の製造工程を示す平面図である。

[図3B]図3AのX1-X1'での断面図を示す。

[図3C]図3AのX2-X2'での断面図を示す。

[図3D]図3AのY-Y'での断面図を示す。

[図4A]本発明の一実施形態例にかかる半導体装置の製造工程を示す平面図である。

[図4B]図4AのX1-X1'での断面図を示す。

[図4C]図4AのX2-X2'での断面図を示す。

[図4D]図4AのY-Y'での断面図を示す。

[図5A]本発明の一実施形態例にかかる半導体装置の製造工程を示す平面図である。

[図5B]図5AのX1-X1'での断面図を示す。

[図5C]図5AのX2-X2'での断面図を示す。

[図5D]図5AのY-Y'での断面図を示す。

[図6A]本発明の一実施形態例にかかる半導体装置の製造工程を示す平面図である。

[図6B]図6AのX1-X1'での断面図を示す。

[図6C]図6AのX2-X2'での断面図を示す。

[図6D]図6AのY-Y'での断面図を示す。

[図7B]図6の次工程のX1-X1'での断面図を示す。

[図7C]図6の次工程のX2-X2'での断面図を示す。

[図7D]図6の次工程のY-Y'での断面図を示す。

[図8A]本発明の一実施形態例にかかる半導体装置の製造工程を示す平面図である。

[図8B]図8AのX1-X1'での断面図を示す。

[図8C]図8AのX2-X2'での断面図を示す。

[図8D]図8AのY-Y'での断面図を示す。

[図9A]本発明の一実施形態例にかかる半導体装置の製造工程を示す平面図である。

[図9B]図9AのX1-X1'での断面図を示す。

[図9C]図9AのX2-X2'での断面図を示す。

[図9D]図9AのY-Y'での断面図を示す。

[図10A]本発明の一実施形態例にかかる半導体装置の製造工程を示す平面図である。

[図10B]図10AのX1-X1'での断面図を示す。

[図10C]図10AのX2-X2'での断面図を示す。

[図10D]図10AのY-Y'での断面図を示す。

[図11A]本発明の一実施形態例にかかる半導体装置の製造工程を示す平面図である。

[図11B]図11AのX1-X1'での断面図を示す。

[図11C]図11AのX2-X2'での断面図を示す。

[図11D]図11AのY-Y'での断面図を示す。

[図12A]本発明の一実施形態例にかかる半導体装置の製造工程を示す平面図である。

[図12B]図12AのX1-X1'での断面図を示す。

[図12C]図12AのX2-X2'での断面図を示す。

[図12D]図12AのY-Y'での断面図を示す。

[図13B]図12の次工程のX1-X1'での断面図を示す。

[図13C]図12の次工程のX2-X2'での断面図を示す。

[図13D]図12の次工程のY-Y'での断面図を示す。

[図14A]本発明の一実施形態例にかかる半導体装置の製造工程を示す平面図である。

[図14B]図14AのX1-X1'での断面図を示す。

[図14C]図14AのX2-X2'での断面図を示す。

[図14D]図14AのY-Y'での断面図を示す。

[図15A]本発明の一実施形態例にかかる半導体装置の製造工程を示す平面図である。

[図15B]図15AのX1-X1'での断面図を示す。

[図15C]図15AのX2-X2'での断面図を示す。

[図15D]図15AのY-Y'での断面図を示す。

[図16A]本発明の一実施形態例にかかる半導体装置の製造工程を示す平面図である。

[図16B]図16AのX1-X1'での断面図を示す。

[図16C]図16AのX2-X2'での断面図を示す。

[図16D]図16AのY-Y'での断面図を示す。

[図17A]本発明の一実施形態例にかかる半導体装置の製造工程を示す平面図である。

[図17B]図17AのX1-X1'での断面図を示す。

[図17C]図17AのX2-X2'での断面図を示す。

[図17D]図17AのY-Y'での断面図を示す。

[図18]本発明の一実施形態例において、コンタクト数の調整によりトランジスタ特性を制御する形態について説明する図である。

[図19A]本発明の別の実施形態例にかかる半導体装置の主要な構成要素の平面図を示す。

[図19B]図19AのX1-X1'での断面図を示す。

[図19C]図19AのX2-X2'での断面図を示す。

[図19D]図19AのY-Y'での断面図を示す。

[図20A]本発明のさらに別の実施形態例にかかる半導体装置の主要な構成要素の平面図を示す。

[図20B]図20AのX1-X1'での断面図を示す。

[図20C]図20AのX2-X2'での断面図を示す。

[図20D]図20AのY-Y'での断面図を示す。

発明を実施するための形態

[0012] 以下、具体的な実施形態例を挙げて本発明を具体的に説明するが、本発明はこの実施形態例に限定されるものではない。

[0013] (実施形態例1)

図1、図2を用いて、本実施形態例にかかる半導体装置の構造と効果について説明する。

図1Aは、本実施形態例にかかる半導体装置の主要な構成要素の平面図を示す。図1Bは、図1AのX1-X1'での断面図、図1Cは、図1AのX

2-X2'での断面図、図1Dは、図1AのY-Y'での断面図を示す。ここでは、互いに素子分離された活性領域13A、13Bにそれぞれ3つのピラーを1列に配置しているが、3つ及び1列に限定するものではない。各ピラーの下部には第1の拡散層18が設けられ、上部には第2の拡散層26が設けられ、ゲート電極20に囲まれた部分がチャンネル領域を構成している。便宜的に第1の拡散層18をソース領域、第2の拡散層26をドレイン領域とする。活性領域13A、13Bのそれぞれのソース領域は、コンタクトプラグ29aを介してソース電極となる配線30aに接続されている。図1Bに示すように、活性領域13Aでは、各ピラー15A上の第2の拡散層26には、いずれもコンタクトプラグ29bが形成され、ドレイン電極となる配線30bに接続されている。一方、図1Cに示すように、活性領域13Bでは、3つのピラー15Bのうち、一つのピラーにはコンタクトプラグ29bが設けられておらず、第2の拡散層26の一つはドレイン電極となる配線30bとの間に絶縁膜27が挟まれている。つまり、活性領域13Aでは3つのピラーが並列接続されているのに対し、活性領域13Bでは3つのピラーのうち2つのピラーが並列接続される構造となる。一つの活性領域内で並列接続されたピラーで構成されるトランジスタを、本発明ではピラートランジスタということがある。このように、活性領域13Aに形成されるピラートランジスタAは、活性領域13Bに形成されるピラートランジスタBよりも並列接続されるピラー数が多いために駆動電流を大きくすることができる。

[0014] ここで、図1C及び図1D右辺に示すピラートランジスタBに着目すると、複数のピラー15Bがそれぞれソース領域となる第1の拡散層18、チャンネル領域、及びドレイン領域となる第2の拡散層26を備える複数のピラートランジスタを構成している。各ピラートランジスタの下方のソース領域は互いに接続されて第1の拡散層18を構成し、第1の拡散層18とソース電極となる配線30aがコンタクト29aを介して電氣的に接続される。各ピラートランジスタのチャンネル領域は、ゲート電極20により同時に駆動される。各ピラートランジスタの上方にはドレイン領域となる第2の拡散層26

がそれぞれ設けられ、一部の第2の拡散層26はコンタクト29bを介してドレイン電極である配線30bに接続される。配線30bはコンタクト29bの形成されていない第2の拡散層26と絶縁層27を介して対峙している。本発明の一実施形態に係る半導体装置では、第2の拡散層26が導電層である配線30bと電氣的に接続されていない、少なくとも一つのピラートランジスタを含む。一方、図1B及び図1D左辺に示すピラートランジスタAに着目すると、少なくとも2つのピラーが並列接続されたピラートランジスタとなる。従って、本発明の一実施形態に係る半導体装置では、並列接続されたピラートランジスタを1つ以上含む。

[0015] 次に、本実施形態例による半導体装置の構造・製造方法について詳細に説明する。

図2～図17は、本実施形態例による半導体装置の製造方法を説明するための工程図であり、各分図Aは平面図、各分図Bは各分図AのX1-X1'断面図、各分図Cは各分図AのX2-X2'断面図、各分図DはAのY-Y'断面図を示している。なお、図7、図13の工程については、図6A、図12Aと平面図は同じであるため、図7A、図13Aを省略している。以下の説明において、例えば、図2とは、図2A～2Dをまとめて示している。

[0016] 本実施形態例による半導体装置の製造では、まずシリコン基板11を用意し、このシリコン基板上にSTI(Shallow Trench Isolation)12を形成することにより、STI12に囲まれた活性領域13を形成する(図2)。実際のシリコン基板11には多数の活性領域が形成されるが、図2には2つの活性領域13A、13Bのみを示している。特に限定されるものではないが、本実施形態例の活性領域13A、13Bはそれぞれ矩形状を有している。

[0017] STI12の形成では、シリコン基板11の主面に約220nmの深さを有する溝をドライエッチングにより形成し、溝の内壁を含む基板全面に薄いシリコン酸化膜を約1000℃の熱酸化により形成した後、溝の内部を含む基板全面に400～500nmの厚みを有するシリコン酸化膜をCVD(Che

mical Vapor Deposition) 法によって堆積させる。その後、シリコン基板 1 1 上の不要なシリコン酸化膜をCMP (Chemical Mechanical Polishing) により除去して、シリコン酸化膜を溝の内部にのみ残すことにより、ST112 が形成される。

[0018] 次に、活性領域 1 3 A、1 3 B 内にそれぞれシリコンピラー 1 5 A、1 5 B を同時に形成する。シリコンピラー 1 5 A、1 5 B はピラー型 Tr のチャネルとなる部分であり、2 つ以上であればいくつあってもかまわないが、本実施形態例では一つの活性領域に 3 つのピラー型 Tr を形成する場合について説明する。シリコンピラー 1 5 A、1 5 B の形成では、まず基板全面に保護絶縁膜であるシリコン酸化膜 1 4 a を形成し、レジスト R を塗布してリソグラフィで活性領域 1 3 A、1 3 B ごとにパターニングして、注入により、それぞれのピラー型 Tr に必要な不純物濃度になるように不純物、例えば、ボロンを導入する。

[0019] 次に基板全面にハードマスクであるシリコン窒化膜 1 4 b を形成する。特に限定されるものではないが、シリコン酸化膜 1 4 a 及びシリコン窒化膜 1 4 b はCVD法で形成することができ、シリコン酸化膜 1 4 a の膜厚は約 5 nm、シリコン窒化膜 1 4 b の膜厚は約 1 2 0 nm であることが好ましい。本実施形態例においては、シリコン酸化膜 1 4 a 及びシリコン窒化膜 1 4 b の積層膜を単に「ハードマスク 1 4」と呼ぶことがある。ハードマスク 1 4 の加工は、図 3 に示すように、フォトリソグラフィ技術により、シリコン窒化膜 1 4 b 上に所定のパターンにレジストマスク R を形成する。活性領域 1 3 A、1 3 B 上では、同じピラー径となるようにレジストマスクを形成しているが、それぞれ異なるピラー径となるようにレジストマスク R を形成することもできる。

[0020] その後、ハードマスク 1 4 をパターニングすることにより、シリコンピラー 1 5 A、1 5 B を形成すべき領域及び活性領域 1 3 よりも外側の領域にあるハードマスク 1 4 を残し、それ以外を除去する。なお、活性領域 1 3 A、1 3 B 内に不要なシリコンピラーが形成されないよう、ST112 を覆うハ

ードマスク 14 のエッジは、活性領域 13 A、13 B の外周よりもやや外側に位置させることが好ましい。

[0021] さらに、こうしてパターニングされたハードマスク 14 を用いて、活性領域 13 A、13 B および ST112 の露出面をドライエッチングにより掘り下げる。このエッチング工程により、活性領域 13 A、13 B の露出面に凹部が形成され、掘り下げられなかった部分はシリコン基板の主面に対してほぼ垂直なシリコンピラー 15 A、15 B となる（図 4）。また、シリコンピラー 15 A、15 B の上部に残存するハードマスク 14 は、キャップ絶縁膜となる。なお、ST112 に接する活性領域 13 A、13 B の一部は、ゲート給電用のダミーピラー 15 A'、15 B' として残しておく。それぞれ複数のシリコンピラー 15 A 及び 15 B は、所定の間隔を空けて形成されているが、その間隔は後工程で形成されるゲート電極 20 が相互に接続されて連続体を成す間隔であり、ゲート電極 20 の膜厚以上であって、ゲート電極 20 の膜厚の 2 倍未満のとなるように形成することが好ましい。

[0022] 次に、シリコンピラー 15 A、15 B の側面にサイドウォール絶縁膜 16 を形成する（図 5）。サイドウォール絶縁膜 16 は、ハードマスク 14 を残したまま、シリコン基板 11 の露出面を熱酸化により保護した後、シリコン窒化膜を形成し、さらにこのシリコン窒化膜をエッチバックすることより形成することができる。これにより、活性領域 13 A、13 B の内周面（ST112 側壁）と、シリコンピラー 15 A、15 B の側面がサイドウォール絶縁膜 16 に覆われた状態となる。

[0023] 次に、シリコン基板 11 の露出面（つまり活性領域 13 A、13 B の底面）にシリコン酸化膜 17 を熱酸化により形成する（図 6）。このとき、シリコンピラー 15 A、15 B の上面及び側面は、それぞれキャップ絶縁膜であるハードマスク 14 及びサイドウォール絶縁膜 16 によって覆われているので熱酸化されることはない。特に限定されるものではないが、シリコン酸化膜 17 の膜厚は約 30 nm であることが好ましい。

[0024] 次に、シリコンピラー 15 A、15 B の下部に第 1 の拡散層 18 を形成す

る（図7）。第1の拡散層18は、活性領域13の表面に形成されたシリコン酸化膜17を介して、シリコン基板（チャンネル）中の不純物とは反対の導電性を有する不純物をイオン注入することにより形成することができる。ここでは、先ほどチャンネルにP型不純物であるボロンを注入していたことから、反対のN型不純物であるリンやヒ素などを注入する。

[0025] 次に、サイドウォール絶縁膜16をウェットエッチングにより除去した後、ハードマスク14を残したまま、シリコンピラー15A、15Bの側面にゲート絶縁膜19A、19Bを同時に形成する（図8）。ゲート絶縁膜19A、19Bは熱酸化により形成することができ、これらの膜厚はおおよそ同一の膜厚であり、約5nmであることが好ましい。このとき、ダミーピラー15A'、15B'表面にもダミーゲート絶縁膜19A'、19B'が形成される。

[0026] 次に、ポリシリコン膜からなるゲート電極20を形成する（図9）。ゲート電極20は、ハードマスク14を残したまま、基板全面に膜厚約30nmのポリシリコン膜をCVD法によりコンフォーマルに成膜した後、ポリシリコン膜をハードマスク14の上面よりも低い位置までエッチバックすることにより形成することができる。これにより、シリコンピラー15A、15Bの側面はゲート電極20で覆われ、また、シリコンピラー15A間の間隔はゲート電極20の膜厚の2倍未満に設定されていることから、シリコンピラー15Aの列方向の隙間に形成されたゲート電極20は、互いに接触した状態となっている。また、ダミーピラー15A'と隣接するシリコンピラー15Aとの間隔もゲート電極20の膜厚の2倍未満に設定され、その間のゲート電極20も互いに接触した状態となる。同様に、シリコンピラー15B、ダミーピラー15B'の列方向の隙間に形成されたゲート電極20も、互いに接触した状態となっている。また、活性領域13A、13Bの周端部のSTI12の側面にもポリシリコン膜が残るが、このポリシリコン膜はゲート電極として機能するものではない。

[0027] 次に、基板全面にシリコン酸化膜からなる層間絶縁膜21を形成した後、

層間絶縁膜 21 の表面を CMP 法により研磨して平坦化する (図 10)。このとき、シリコン窒化膜 14 b が CMP ストッパーとしての役割を果たすので、層間絶縁膜 21 の膜厚を確実に制御することができる。こうして、活性領域 13 A、13 B 内は層間絶縁膜 21 で埋められた状態となる。

[0028] 次に、ダミーピラー 15 A'、15 B' 上部のハードマスク 14 を保護するマスク酸化膜 22 を形成する (図 11)。まず基板全面にシリコン酸化膜からなるマスク酸化膜 22 は CVD 法により形成することができ、マスク酸化膜 22 の膜厚は約 5 nm であることが好ましい。次に、シリコンピラー 15 A、15 B の上方に形成されたシリコン窒化膜 14 b が露出し、ダミーピラー 15 A'、15 B' の上方のシリコン窒化膜 14 b が保護されるように、マスク酸化膜 22 をパターニングする。

[0029] その後、露出したシリコン窒化膜 14 b をドライエッチング又はウェットエッチングにより除去することにより、シリコンピラー 15 A、15 B の上方に保護絶縁膜であるシリコン酸化膜 14 a を底面とするスルーホール 23 A、23 B が形成される (図 12)。スルーホール 23 A、23 B は、それぞれシリコンピラー 15 A、15 B を形成する際にマスクとして用いたシリコン窒化膜 14 b を除去することにより形成されることから、シリコンピラー 15 A、15 B に対して自己整合的に形成されることになる。このため、平面的に見て、スルーホール 23 A、23 B の壁面はそれぞれシリコンピラー 15 A、15 B の外周部と一致する。また、外周部および活性領域 13 A、13 B の間のシリコン窒化膜 14 b も除去される。

[0030] 次に、シリコンピラー 15 A、15 B の上部に LDD 領域 24 を形成する (図 13)。LDD 領域 24 は、それぞれシリコンピラー 15 A、15 B の上部に形成されたスルーホール 23 A、23 B からシリコン酸化膜 14 a を介して、チャンネル中の不純物と反対の導電型を有する不純物を低濃度に浅くイオン注入することにより形成することができる。ダミーピラー 15 A'、15 B' 上部はシリコン窒化膜 14 b が残存しており、LDD 領域は形成されない。

[0031] 次に、スルーホール23A、23Bの内壁面にサイドウォール絶縁膜25を形成する(図14)。サイドウォール絶縁膜25は、基板全面にシリコン窒化膜を形成した後、これをエッチバックすることにより形成することができる。特に限定されるものではないが、シリコン窒化膜の膜厚は約10nmであることが好ましい。このように、サイドウォール絶縁膜25はスルーホール23の内壁面に形成され、スルーホール23はシリコンピラー15A、15Bの形成に用いたハードマスクであるシリコン窒化膜14bを除去することによって形成されるものであることから、平面的に見て、筒状のサイドウォール絶縁膜25の外周部とシリコンピラー15A、15Bの外周部は一致している。なお、活性領域13A、13Bの外周面にもシリコン窒化膜が形成されるが、このシリコン窒化膜はサイドウォール絶縁膜として機能するものではない。

[0032] 次に、シリコンピラー15A、15Bの上部に第2の拡散層26を形成する。第2の拡散層26の形成では、まずスルーホール23を掘り下げてその底部にあるシリコン酸化膜14aに開口部を設け、シリコンピラー15A、15Bの上面を露出させる。そして、スルーホール23の内部にシリコンエピタキシャル層を選択的エピタキシャル成長法により形成する。これにより、ほぼ単結晶のシリコンが成長する。その後、シリコンエピタキシャル層にシリコン基板中の不純物とは反対の導電性を有する高濃度の不純物をLDD領域24よりも高濃度にイオン注入することにより、第2の拡散層26が形成される(図15)。これにより、第2の拡散層26がシリコンピラー15A、15Bに対して自己整合的に形成されることになる。

[0033] 次に、基板全面に層間絶縁膜27を形成した後、パターニングによりコンタクトホール28a、28b、28cを形成する(図16)。コンタクトホール28aは、シリコンピラー15A、15Bの隣に設けられた活性領域13A、13B内の空き領域に形成され、層間絶縁膜27、21、17を貫通して第1の拡散層18まで達している。コンタクトホール28bは、シリコンピラー15A、15Bの直上に形成され、層間絶縁膜27を貫通して第2

の拡散層 26 まで達している。但し、シリコンピラー 15 B のうち、ゲート給電用のコンタクトホール 28 c から最も遠い 3 番目のシリコンピラー 15 B の直上にはコンタクトホール 28 b は形成していない。コンタクトホール 28 c は、ダミーピラー 15 A'、15 B' の直上ではないが、ダミーピラー 15 A'、15 B' と接している STI 12 の上方に形成され、層間絶縁膜 27、マスク酸化膜 22、層間絶縁膜 21 を貫通してダミーピラー 15 A'、15 B' の周囲に形成されたゲート電極 20 まで達している。特に、コンタクトホール 28 c は、ダミーピラー 15 A'、15 B' の周囲に形成されたゲート電極 20 のうち、シリコンピラー 15 A、15 B と反対側の位置に接続されることが好ましい。これによれば、コンタクトホール 28 b とコンタクトホール 28 c との間隔を広げることができるので、十分なマージンを確保することができる。

[0034] 次に、コンタクトホール 28 a、28 b、28 c 内にポリシリコンを埋め込むことにより、コンタクトプラグ 29 a、29 b、29 c を形成する（図 17）。コンタクトプラグ 29 a は第 1 の拡散層 18 に接続され、コンタクトプラグ 29 b は第 2 の拡散層 26 に接続され、第 3 のコンタクトプラグ 29 c はゲート電極 20 に接続される。

[0035] 最後に、コンタクトプラグ 29 a、29 b、29 c の上部に配線層 30 を形成することにより、本実施形態例の半導体装置が完成する（図 1）。

[0036] 以上、本発明の好ましい実施形態の製造方法について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

[0037] 例えば、上記実施形態においては、トランジスタ用ピラーであるシリコンピラー 15 A、15 B に隣接して、ダミーピラー 15 A'、15 B' を設けているが、本発明においてこのようなダミーピラーを設けることは必須でない。

[0038] また、上記実施形態においては、シリコンピラーが共に正形状であり、

相似形の平面形状を有しているが、本発明はこのような場合に限定されるものではなく、種々の形状が考えられる。例えば、平面方向に細長い矩形形状を有するシリコンピラーや、その他、円形、楕円形、多角形状の平面形状を有するシリコンピラーを用いてもよい。

[0039] また、上記実施形態においては、スルーホール内にシリコンエピタキシャル層を形成し、このシリコンエピタキシャル層にイオン注入することにより第2の拡散層26を形成しているが、本発明はこのような工程に限定されるものではなく、例えば、スルーホール内に不純物をドーピングしたポリシリコン膜を埋め込むことにより第2の拡散層26（コンタクトプラグと兼用可）を形成してもよい。但し、選択的エピタキシャル成長法を用いれば、結晶の連続性が確保されることから、より良好なトランジスタ特性を得ることが可能となる。また、上記実施形態では、シリコンピラー15A、15Bと第2の拡散層26が別個の部分によって構成されているが、シリコンピラー15A、15Bの上部に第2の拡散層26を形成しても構わない。

[0040] このように、本発明によれば、同じ製造工程において、最終段階のコンタクトホール28bの数を変えることによって、並列接続されるシリコンピラーの数を調整し、トランジスタ特性の異なる複数のピラートランジスタを形成することができる。また、並列接続されるシリコンピラーの数を調整することで、回路特性の調整が可能となる。

[0041] 例えば、図18は、一つの活性領域に10本のシリコンピラーを形成した場合を示しており、10本の全ピラーを接続した場合の駆動電流を100%とすると、接続数を1本から9本まで変化させることによって10%から90%まで10%刻みで段階的に調整可能となる。なお、並列接続の仕方は、シリコンピラーを一つの活性領域内に1列に配置する場合に限定されず、複数列に配置して、接続数を調整してもよい。

[0042] 更にピラートランジスタの製造バラツキとして、並列接続するシリコンピラーのうち、ゲート最外端（ゲートコンタクト29cから最も遠い）のシリコンピラーのサイズが大きくばらつき、ON電流もばらつく傾向にある場合

、ゲート最外端のシリコンピラーに本発明を適用してダミーピラー化することで、製造バラツキの影響を最小限にすることができる。なお、このダミーピラー化は、ゲート給電用に形成されるダミーピラー15B'とは、ピラー上部に第2の拡散層26が形成されている点で異なる。このようにダミーピラー化したシリコンピラーをゲート給電用に用いることも不可能ではないが、その場合は、ゲート給電用のコンタクト29cと第2の拡散層26との接触を避ける必要がある。

[0043] 設計完了後にトランジスタ特性を再調整したい場合にも、修正するレチクルは、各シリコンピラーの上部に接続するコンタクト用のレチクル1枚ですみ、製造工程の初期段階の工程（素子分離領域及びピラー形成）でのレチクル変更は不要となる。また、プレーナー型トランジスタと比較すれば、専有面積が初期設計段階で概ね決定できるため、余剰トランジスタの配置のためのチップサイズの増大を抑制することができる。

[0044] 実施形態例2

上記実施形態例1では、最終段階のコンタクトホール28bの形成を変更することで、トランジスタ特性を調整する方法について説明しているが、コンタクトホール28b及びコンタクトプラグ29bをすべてのシリコンピラー上に形成した後、配線層30のパターンによって接続数を変更することもできる。

[0045] 図19Aは、本実施形態例にかかる半導体装置の主要な構成要素の平面図を示す。図19Bは、図19AのX1-X1'での断面図、図19Cは、図19AのX2-X2'での断面図、図19Dは、図19AのY-Y'での断面図を示す。

[0046] 本実施形態例では、シリコンピラー15Aと同様に、コンタクトプラグ29bまでをすべてのシリコンピラー15B上に形成し、配線30bの長さを変えることによって、並列接続されるピラー数を調整している。

[0047] このように、配線30bの長さを変えることによっても並列接続するピラー数が調整でき、再調整が必要になった場合にも、最後の配線30bのパタ

ーンを変えるだけですむため、修正するレチクルは、最後の配線パターン用のレチクル1枚ですむ。また、2つのピラートランジスタでシリコンピラーの形成数に余裕がある場合は、実施形態例1のようにコンタクトプラグ29bの形成数をそれぞれ異なるようにすると同時に、本実施形態例による配線30bの長さを変える方法と組み合わせても良い。

[0048] 実施形態例3

実施形態例3として、実施形態例1と同様の構成でCMOSインバータを形成する例について説明する。

[0049] 図20Aは、本実施形態例にかかる半導体装置の主要な構成要素の平面図を示す。図20Bは、図20AのX1-X1'での断面図、図20Cは、図20AのX2-X2'での断面図、図20Dは、図20AのY-Y'での断面図を示す。

[0050] ここでは、活性領域13AにNMOSトランジスタを、活性領域13BにPMOSトランジスタを形成し、ゲート間配線32、ドレイン間配線31によりそれぞれのゲート電極20同士及びドレイン領域（第2の拡散層26A及び26B）同士を接続する。本実施形態例では半導体基板としてp型シリコン基板1を用いるものとし、活性領域13BにN-wellを形成し、活性領域13Aに形成する第1の拡散層18A、LDD領域24A及び第2の拡散層26Aには、n型の不純物を、活性領域13Bに形成する第1の拡散層18B、LDD領域24B及び第2の拡散層26Bには、p型の不純物を導入している。チャンネルとなるゲート電極20で囲まれたシリコンピラー15Aと15Bもそれぞれ導電型が異なる。又、ゲート電極20に対しても、異なる導電型の不純物を導入しても良い。

[0051] このように、CMOSインバータにおいても、ピラー接続数をNMOSトランジスタとPMOSトランジスタとで変えて、性能を微調整することができる。また、実施形態例2で示したように、ドレイン間配線31のパターンによってピラー接続数を調整してもよい。

[0052] なお、以上の説明ではゲート電極20が各シリコンピラーの側面周囲を囲

むサラウンドゲート型のピラートランジスタについて説明したが、本発明はこれに限定されず、各シリコンピラーの1側面にゲート絶縁膜を介してゲート電極が対峙するシングルゲート型や、各シリコンピラーの対向する側面にゲート絶縁膜を介して2つのゲート電極が対峙するダブルゲート型のピラートランジスタについても同様に適用できる。

符号の説明

- [0053] 1 1 シリコン基板
1 2 S T I
1 3 A、1 3 B 活性領域
1 4 ハードマスク
1 4 a シリコン酸化膜（マスク絶縁膜）
1 4 b シリコン窒化膜（キャップ絶縁膜）
1 5 シリコンピラー
1 5 A、1 5 B シリコンピラー
1 5 A' , 1 5 B' シリコンピラー（ダミー）
1 6 サイドウォール絶縁膜
1 7 シリコン酸化膜
1 8 第1の拡散層
1 8 A n型の第1の拡散層
1 8 B p型の第1の拡散層
1 9 ゲート絶縁膜
2 0 ゲート電極
2 1 層間絶縁膜
2 2 マスク酸化膜
2 3 スルーホール
2 4 L D D領域
2 4 A n型のL D D領域
2 4 B p型のL D D領域

- 25 サイドウォール絶縁膜
- 26 第2の拡散層
 - 26A n型の第2の拡散層
 - 26B p型の第2の拡散層
- 27 層間絶縁膜
- 28a コンタクトホール
- 28b コンタクトホール
- 28c コンタクトホール
- 29a コンタクトプラグ
- 29b コンタクトプラグ
- 29c コンタクトプラグ
- 30 配線（導電層）
 - 30a ソース電極となる配線
 - 30b ドレイン電極となる配線
 - 30c ゲート配線
- 31 ゲート間配線
- 32 ドレイン間配線

請求の範囲

- [請求項1] 半導体基板上の互いに素子分離された領域に立設された少なくとも2つのピラートランジスタを備え、
前記2つのピラートランジスタは、
前記素子分離された領域の各々に2つ以上の同数のピラーと、
前記ピラーの各々の上部に配置された拡散層と、
前記素子分離された領域の各々に、前記拡散層の1つ以上と電氣的に接続された1つの導電層を有し、
前記2つのピラートランジスタは、前記各々の導電層と電氣的に接続された前記拡散層の個数が互いに異なることを特徴とする半導体装置。
- [請求項2] 前記2つのピラートランジスタは、前記素子分離された領域の各々において、前記導電層が前記ピラーの全ての上方を通過するように配置されており、前記拡散層と対応する前記導電層とを接続するコンタクトの個数が互いに異なることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記2つのピラートランジスタは、前記素子分離された領域の各々において、前記ピラー上部の拡散層の各々に接続されたコンタクトを有し、前記対応する導電層と前記コンタクトとの接続数が互いに異なることを特徴とする請求項1に記載の半導体装置。
- [請求項4] 前記2つのピラートランジスタは、前記素子分離された領域の各々において、前記ピラー全ての側方に、ゲート絶縁膜を介して連続体を成すゲート電極を備えることを特徴する請求項1乃至3のいずれか1項に記載の半導体装置。
- [請求項5] 前記2つのピラートランジスタは、前記素子分離された領域の各々において、前記ピラーに含まれるチャンネルが互いに異なる導電型であり、前記拡散層の各々が、それぞれ対応する前記チャンネルと反対の導電型を有することを特徴とする請求項1乃至4のいずれか1項に記載

の半導体装置。

[請求項6] 前記2つのピラートランジスタは、少なくとも各々の前記導電層が互いに接続されてCMOSインバータ回路を構成していることを特徴とする請求項5に記載の半導体装置。

[請求項7] 前記2つのピラートランジスタは、前記ピラーの上面が前記素子分離の絶縁層の上面と略等しい高さに形成されていることを特徴とする請求項1乃至6のいずれか1項に記載の半導体装置。

[請求項8] 前記拡散層の上面が前記ピラーの上面よりも上方に位置することを特徴とする請求項7に記載の半導体装置。

[請求項9] 半導体基板上に立設された複数のピラートランジスタと、
前記複数のピラートランジスタの各々を構成する複数のソース領域、
複数のチャネル領域および複数のドレイン領域と、
前記複数のソース領域の各々を接続するソース電極と、
前記複数のチャネル領域の各々を同時に駆動するゲート電極と、
前記複数のドレイン領域の1部とコンタクトを介して接続されるドレイン電極と、
前記複数のドレイン領域のうち、前記ドレイン電極と、前記コンタクトを介さず、絶縁層を介して対峙する少なくとも1つのドレイン領域と、
を備えることを特徴とする半導体装置。

[請求項10] 前記複数のピラートランジスタは、1つの素子分離された領域内に形成されていることを特徴とする請求項9に記載の半導体装置。

[請求項11] 前記複数のピラートランジスタは、前記1つの素子分離された領域内において、前記チャネル領域を含む複数のピラーと、前記複数のピラーの下部に前記複数のソース領域が互いに接続された拡散層領域と、前記複数のピラーの各々の上部に前記複数のドレイン領域を有することを特徴とする請求項10に記載の半導体装置。

[請求項12] 前記複数のピラートランジスタは、前記ゲート電極が互いに接触し

て連続体を成していることを特徴とする請求項 10 又は 11 に記載の半導体装置。

[請求項13] 前記ゲート電極は、前記ピラーの側面周囲を囲むように形成されており、前記複数のピラーは、前記各々のゲート電極が互いに接触して連続体を成すように所定の間隔で配置されていることを特徴とする請求項 11 に記載の半導体装置。

[請求項14] 半導体基板上に立設された複数のピラーと、
前記複数のピラーの各々はそれぞれ下部と上部と側面を有し、
各々の前記下部を接続する第 1 の拡散層と、
各々の前記上部にそれぞれ配置された複数の第 2 の拡散層と、
前記側面の各々にゲート絶縁膜を介して対峙し、連続体を成すゲート電極と、
前記複数の第 2 の拡散層の 1 つ以上と電氣的に接続される導電層と、
、
前記複数の第 2 の拡散層の 1 つ以上の上に形成される 1 つ以上のコンタクトを備え、
前記第 2 の拡散層と前記導電層との電氣的な接続数は前記ピラーの個数より少ないことを特徴とする半導体装置。

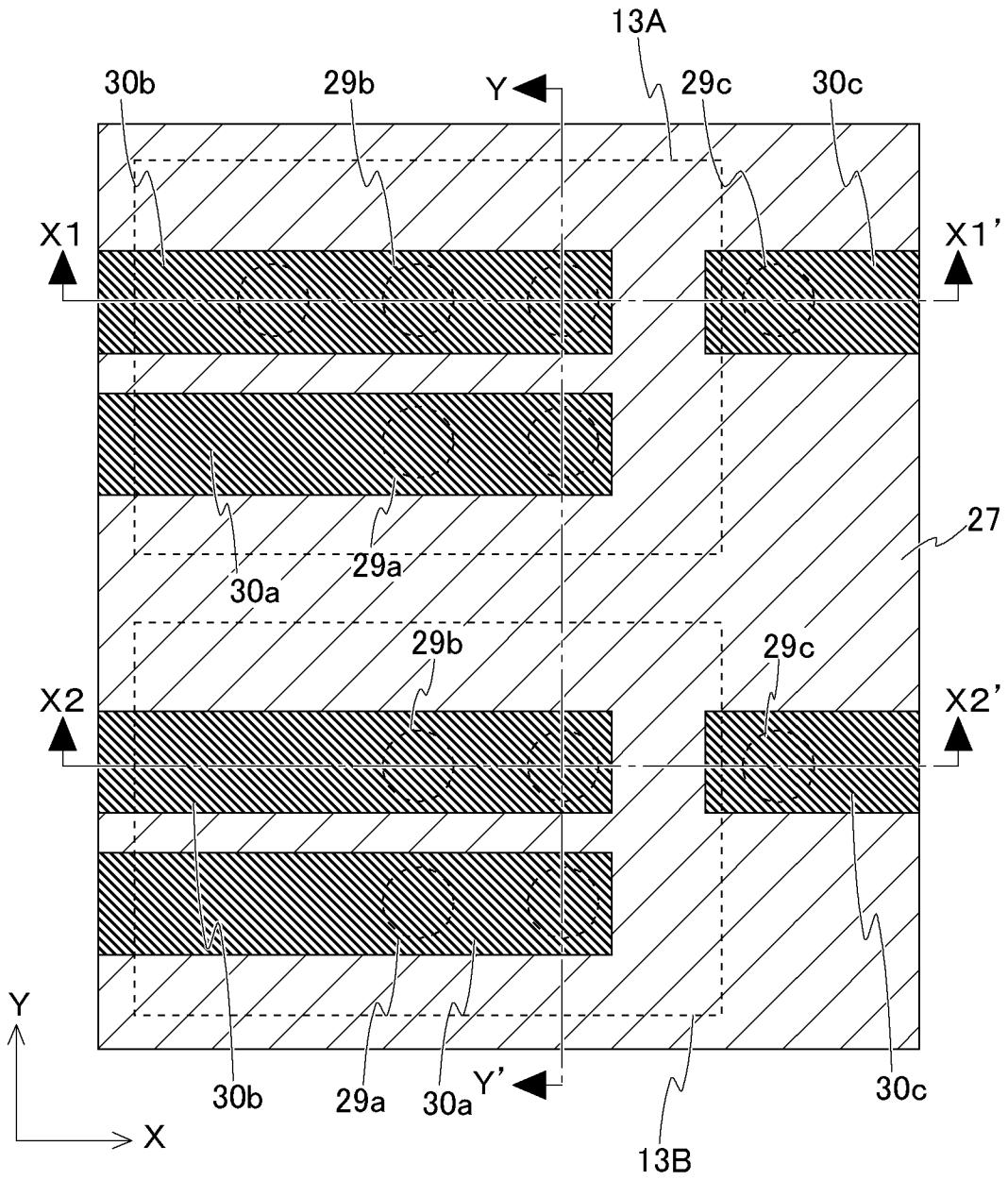
[請求項15] 前記導電層は前記ピラーの全ての上方を通過するように配置されており、前記第 2 の拡散層と前記導電層とを接続するコンタクトの個数が、前記ピラーの個数より少ないことを特徴とする請求項 14 に記載の半導体装置。

[請求項16] 前記コンタクトは前記複数のピラーの全ての上に接続されており、前記導電層と前記コンタクトとの接続数が前記ピラーの個数より少ないことを特徴とする請求項 14 に記載の半導体装置。

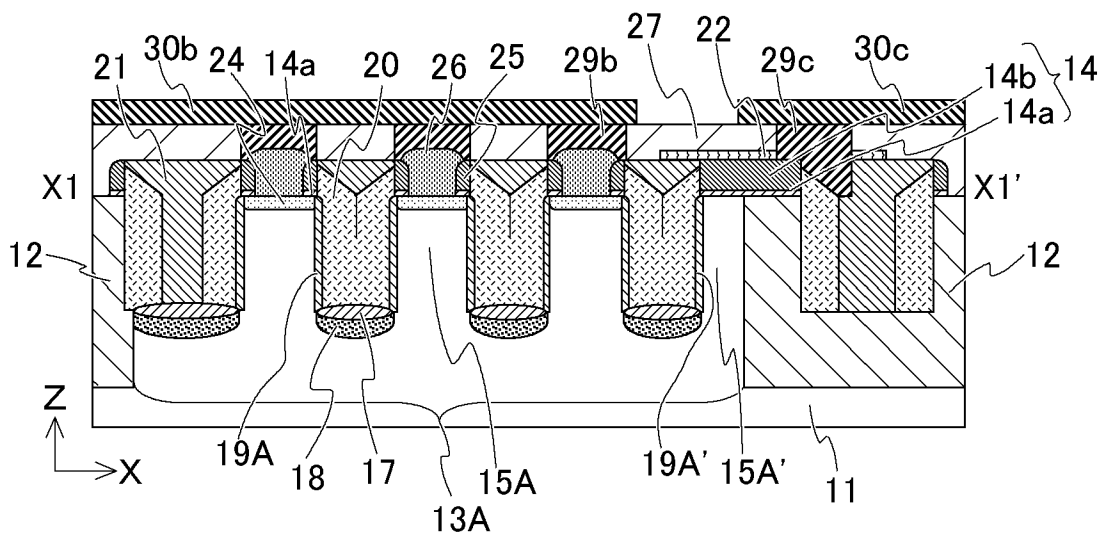
[請求項17] 前記複数のピラーは、1 つの素子分離された領域内に形成されていることを特徴とする請求項 14 乃至 16 のいずれか 1 項に記載の半導体装置。

[請求項18] 前記ゲート電極は、前記ピラーの側面周囲を囲むように形成されており、前記複数のピラーは、前記各々のゲート電極が互いに接触して連続体を成すように所定の間隔で配置されていることを特徴とする請求項17に記載の半導体装置。

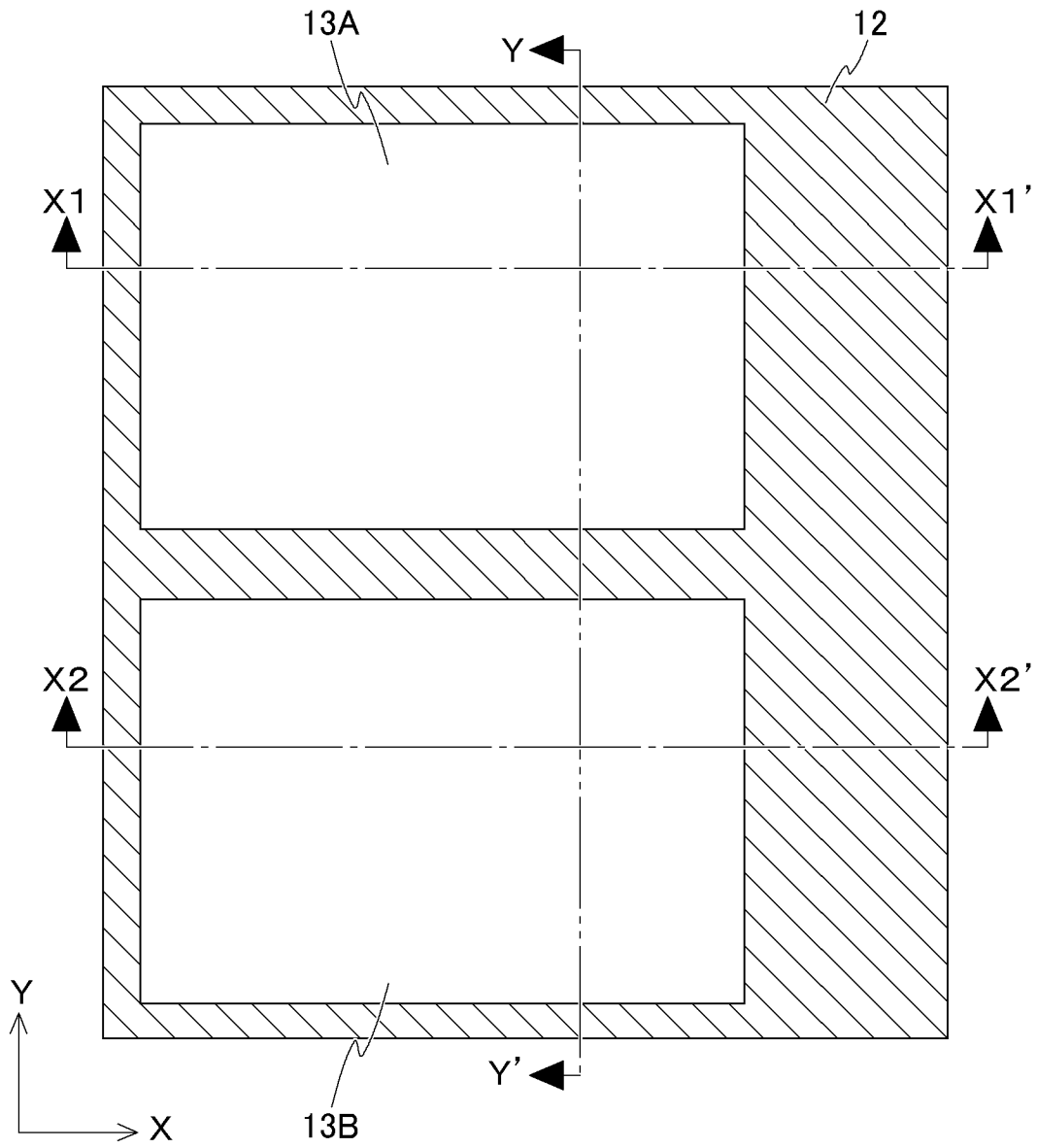
[図1A]



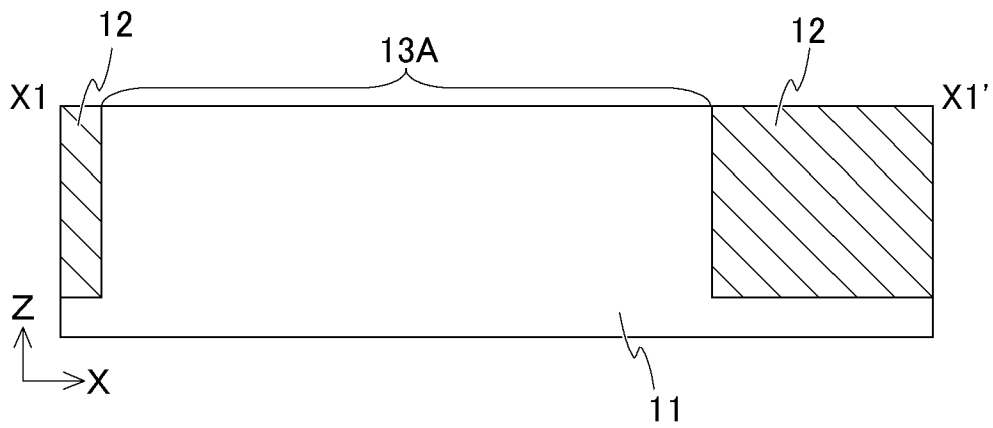
[図1B]



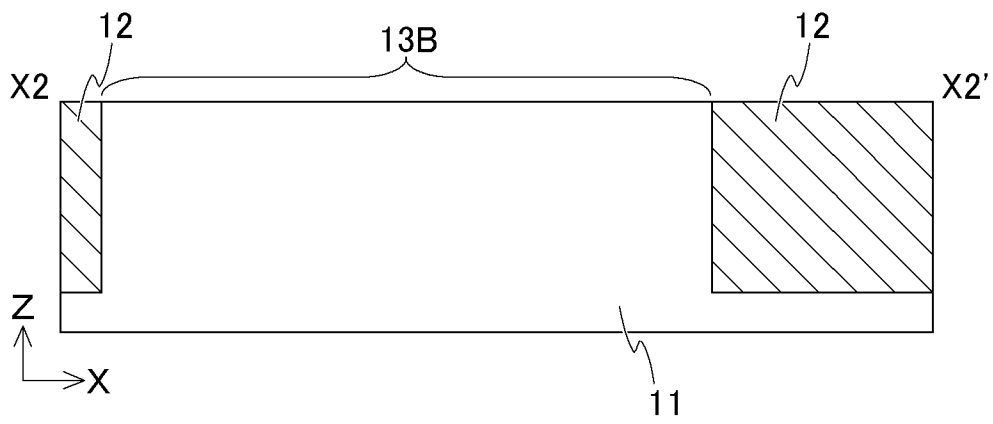
[図2A]



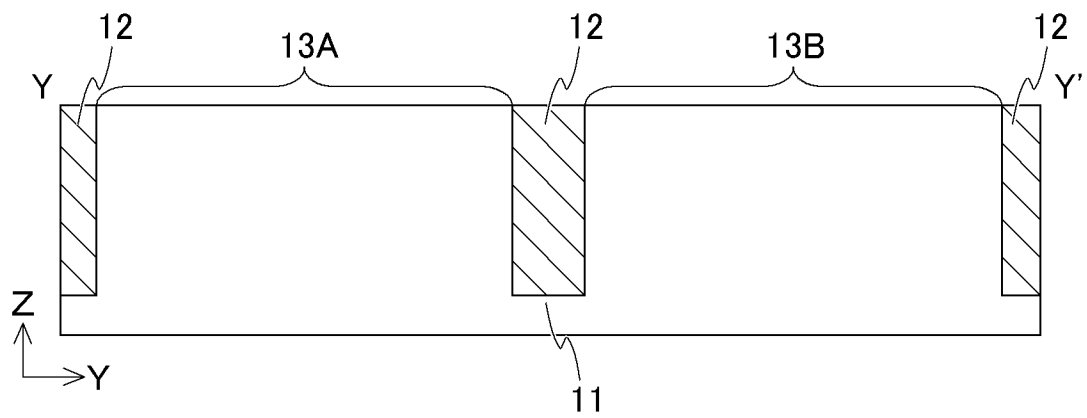
[図2B]



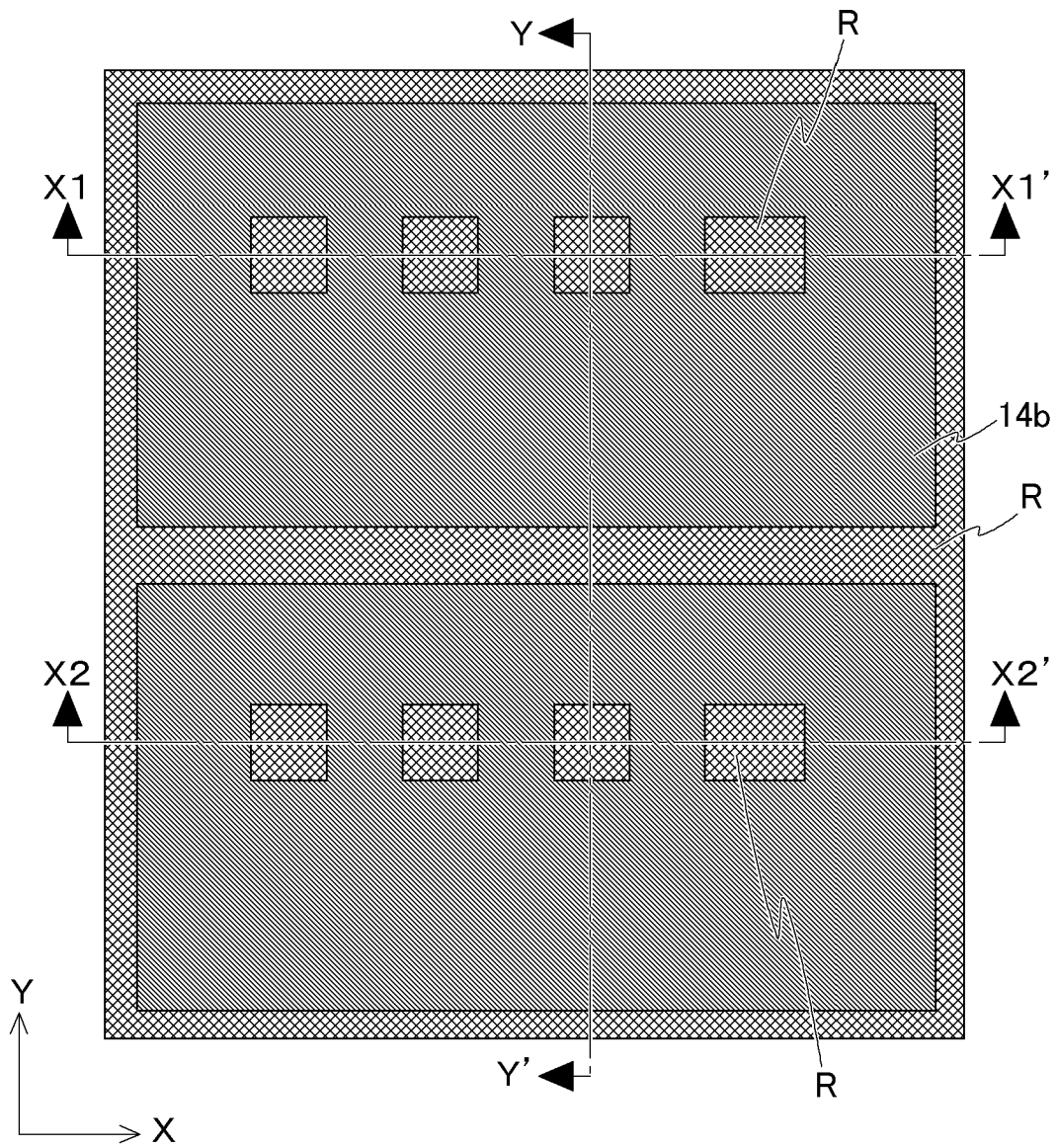
[図2C]



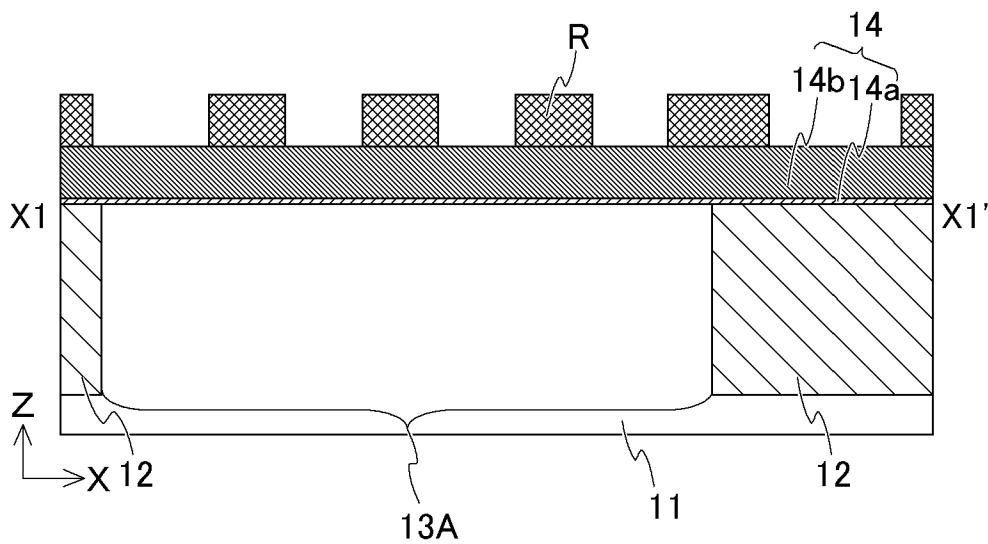
[図2D]



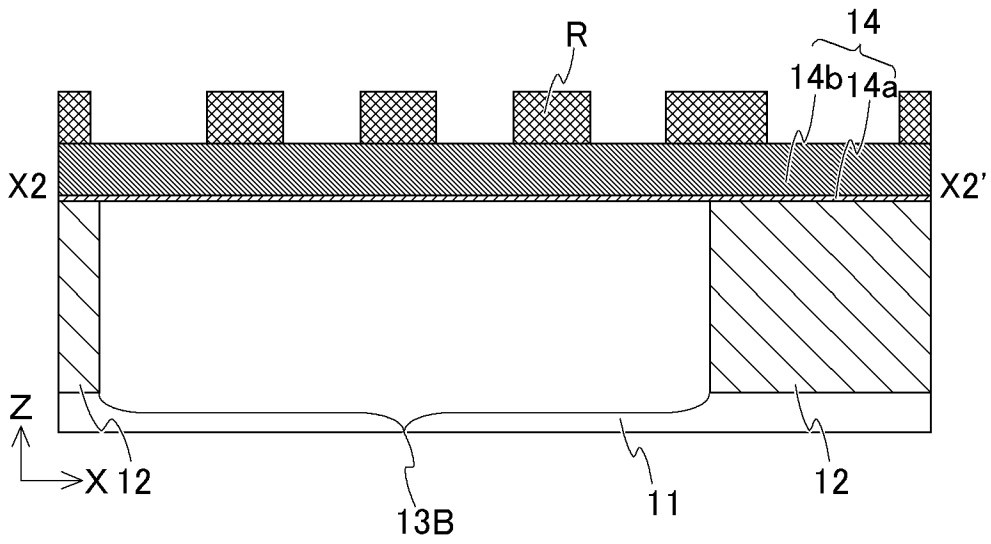
[図3A]



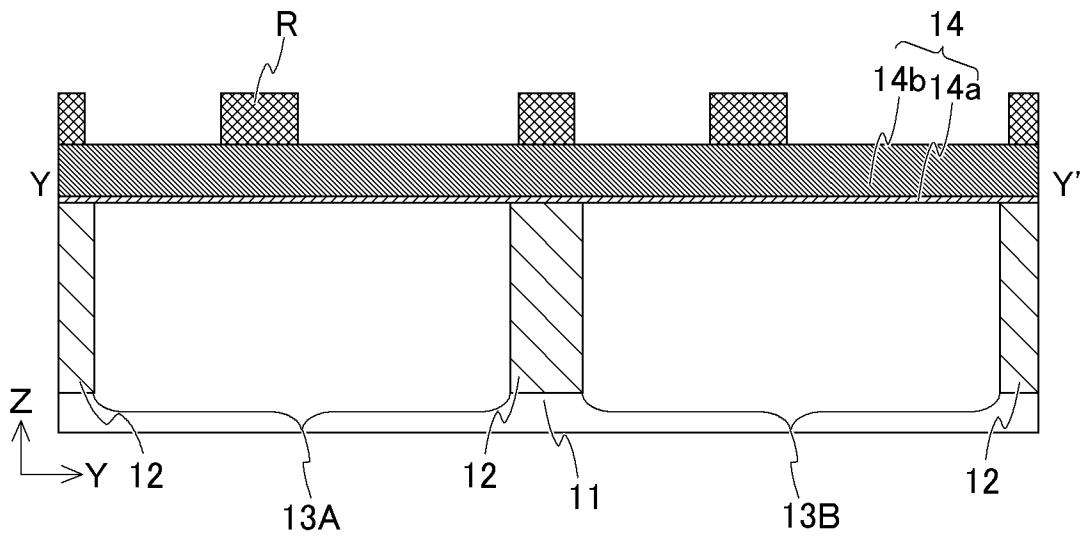
[図3B]



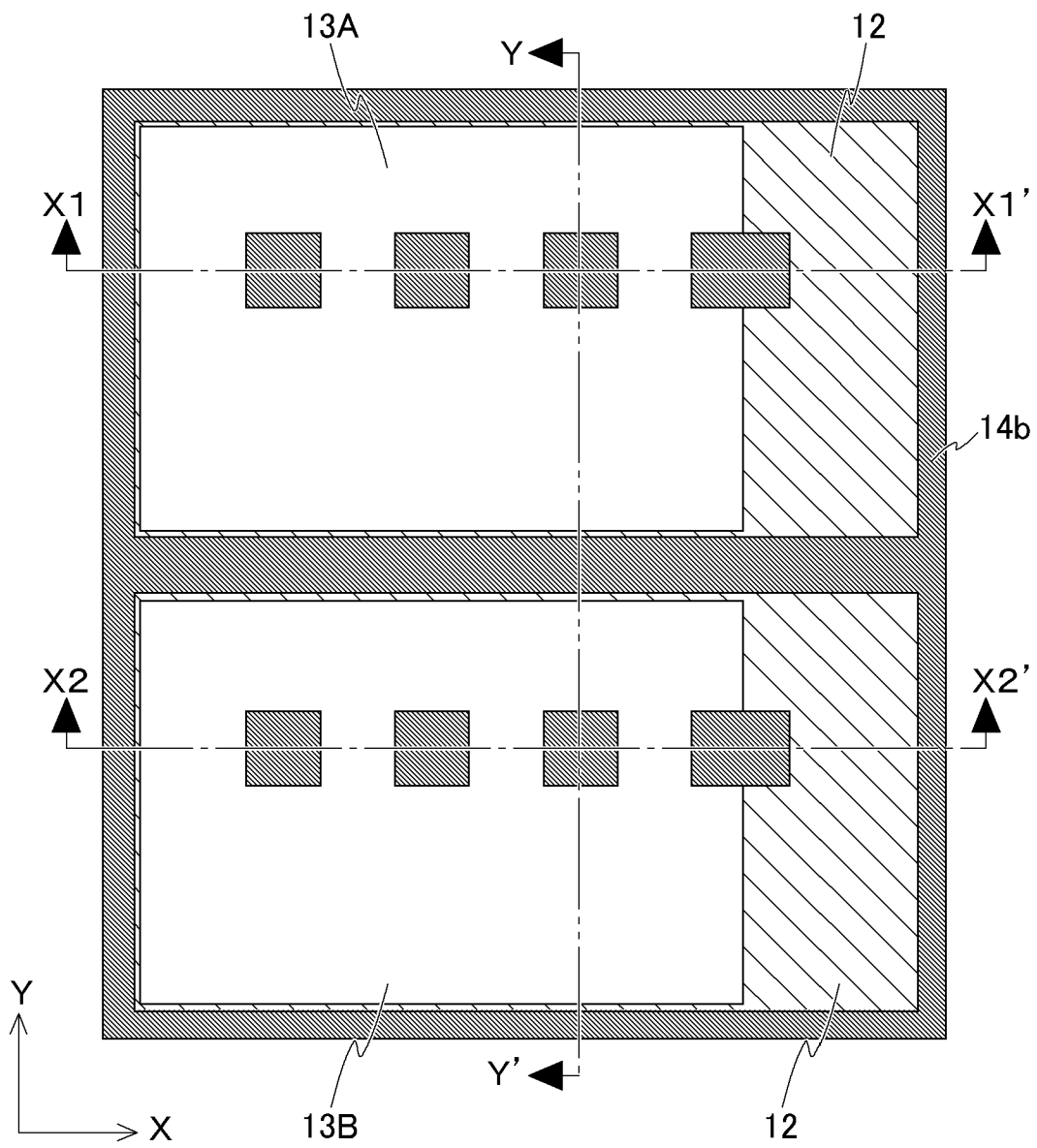
[図3C]



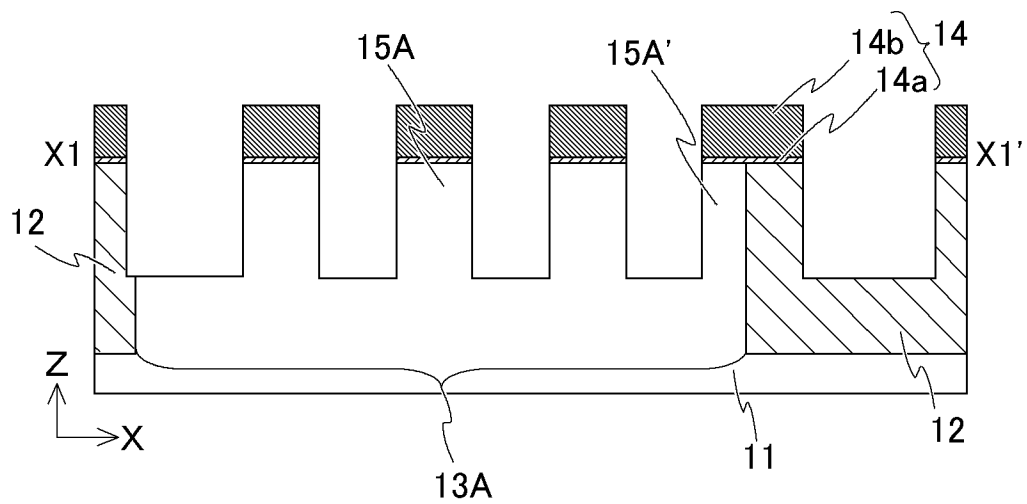
[図3D]



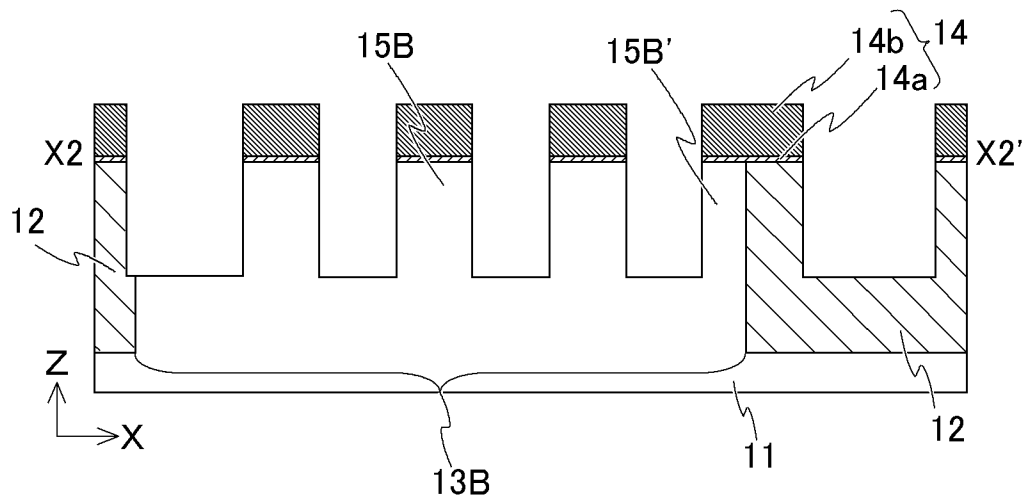
[図4A]



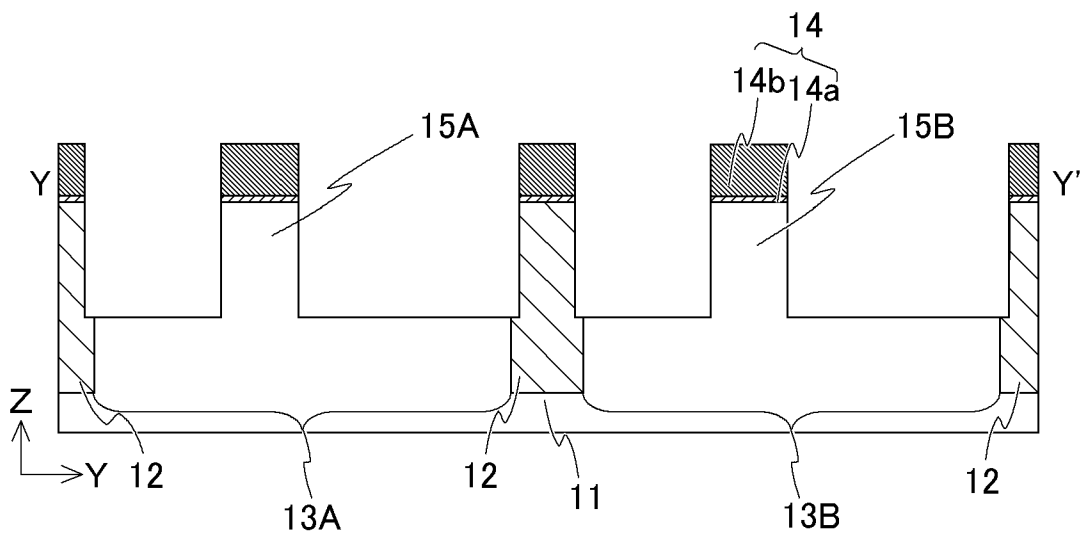
[図4B]



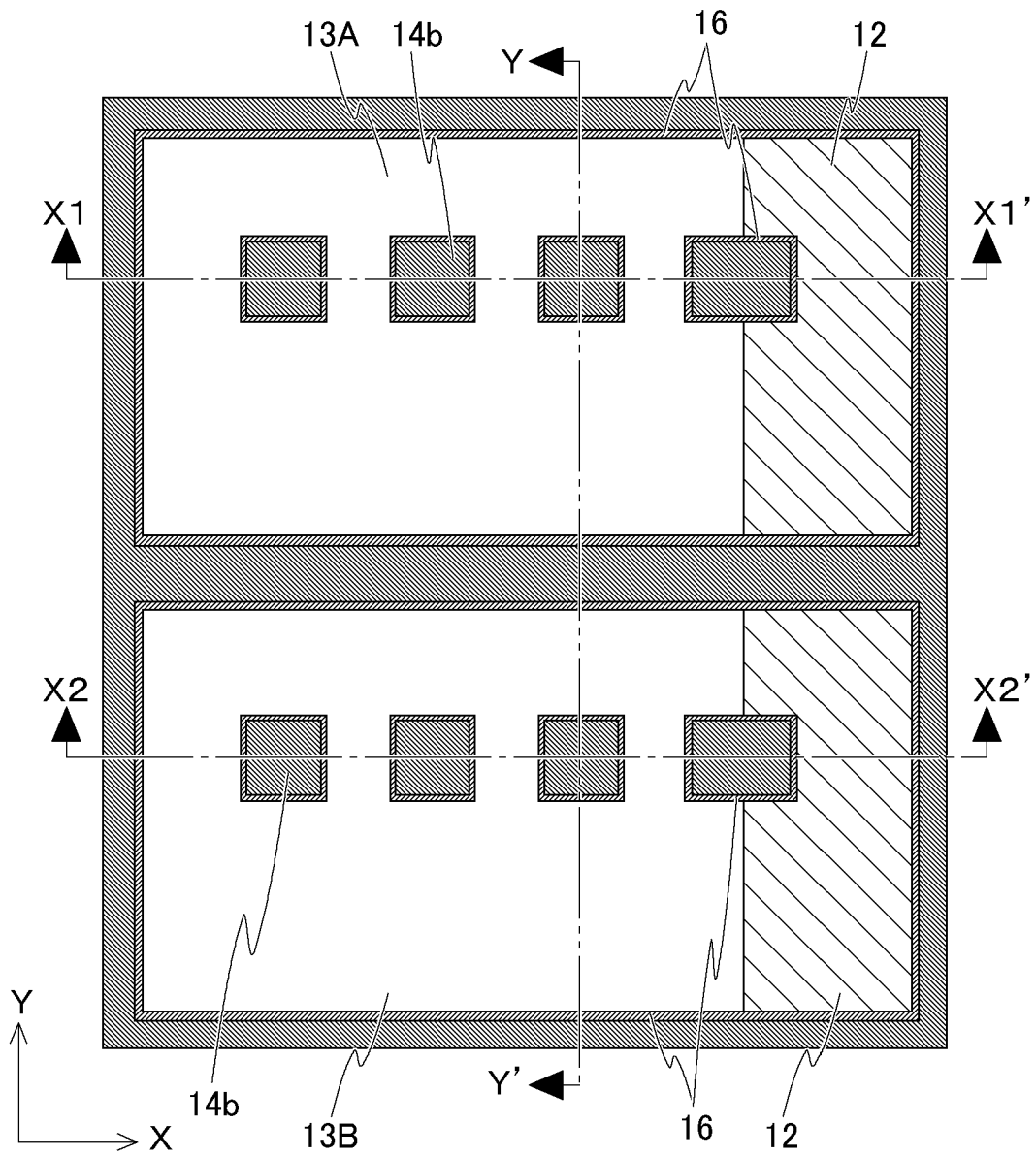
[図4C]



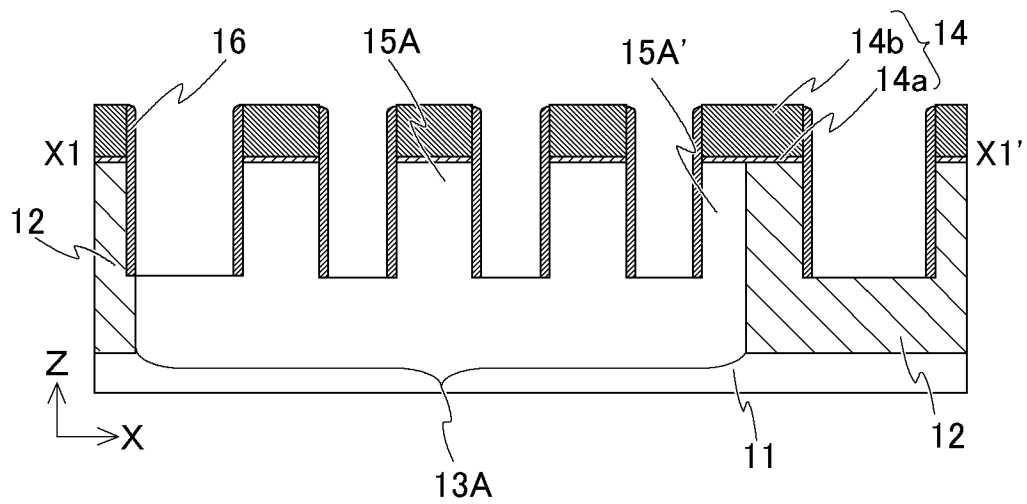
[図4D]



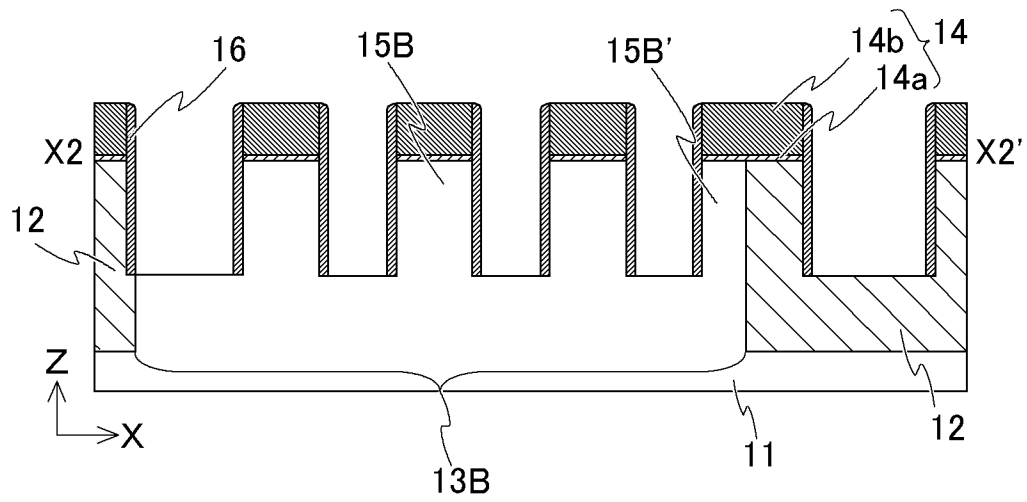
[図5A]



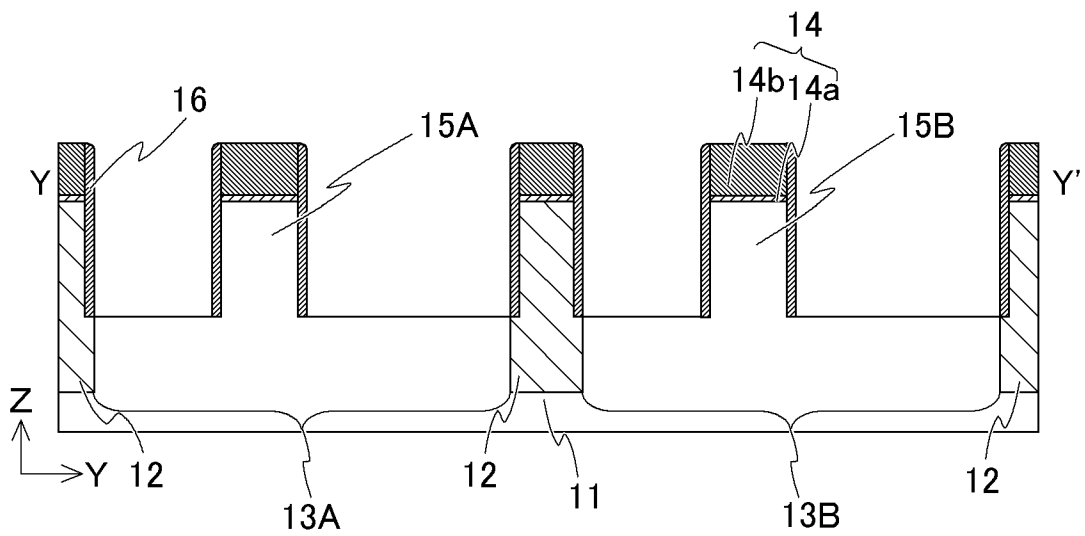
[図5B]



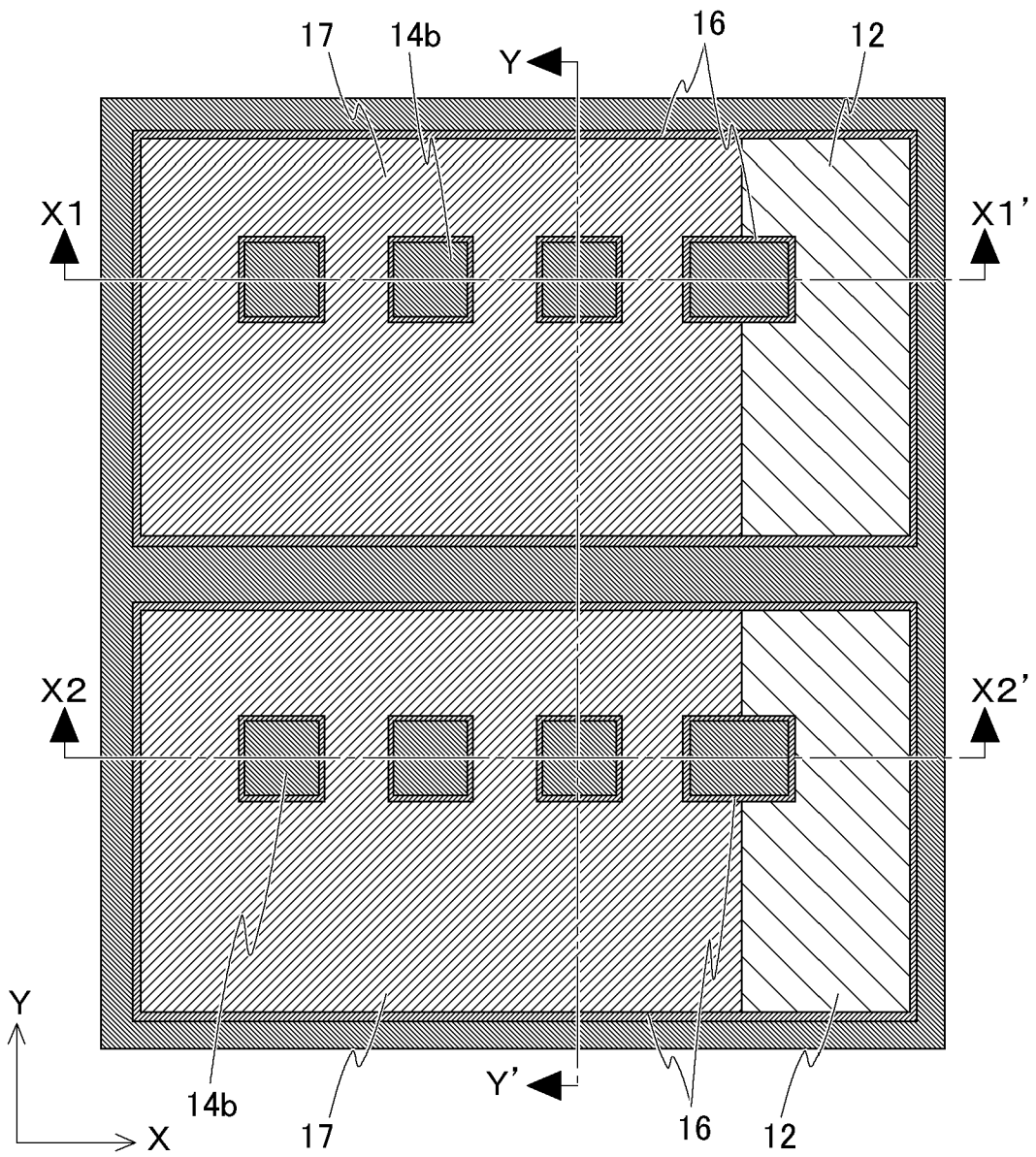
[図5C]



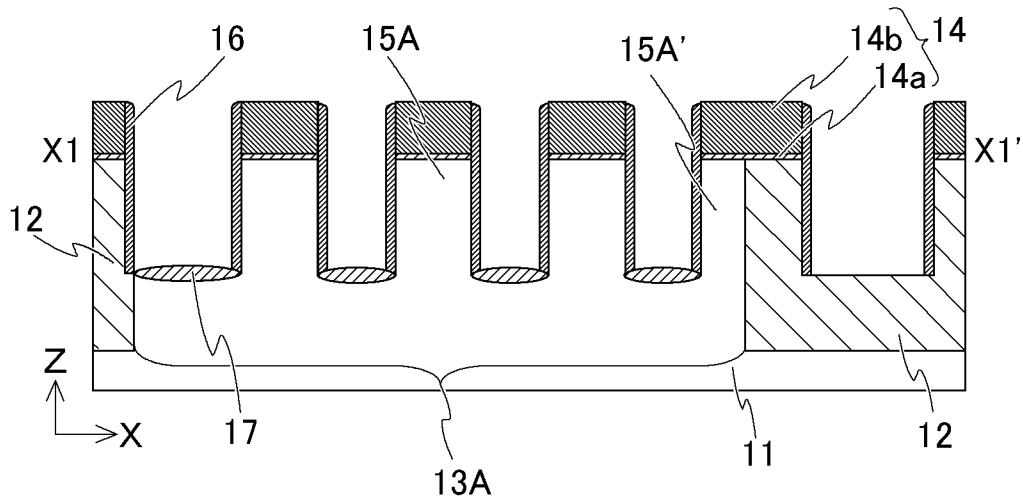
[図5D]



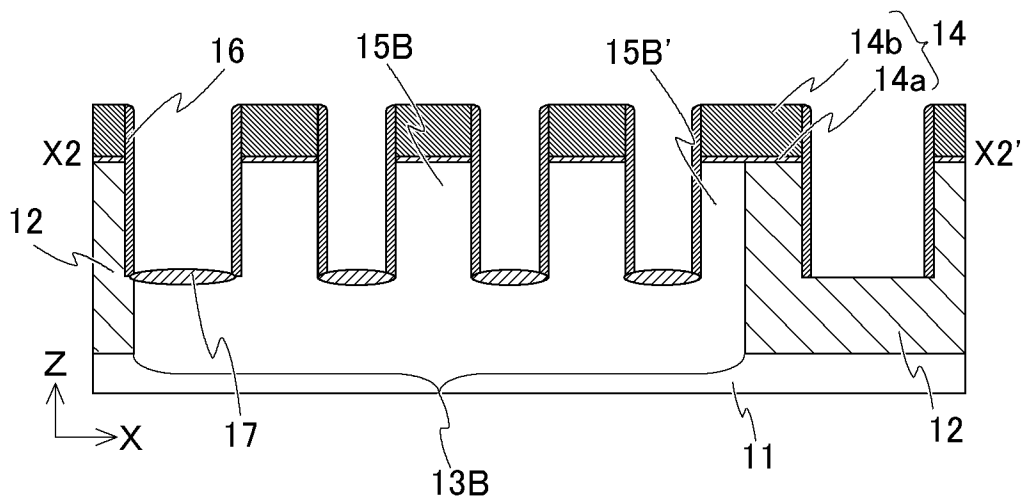
[図6A]



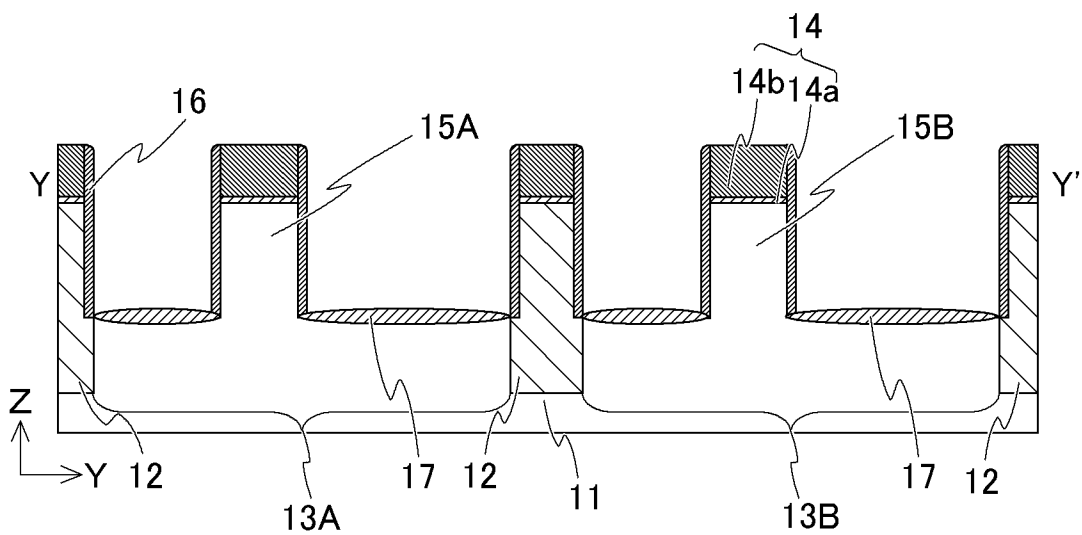
[図6B]



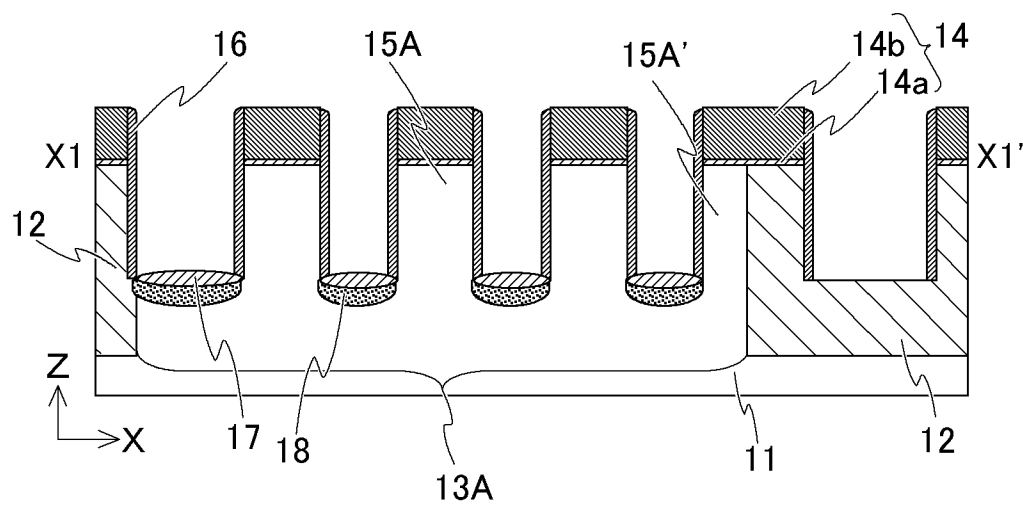
[図6C]



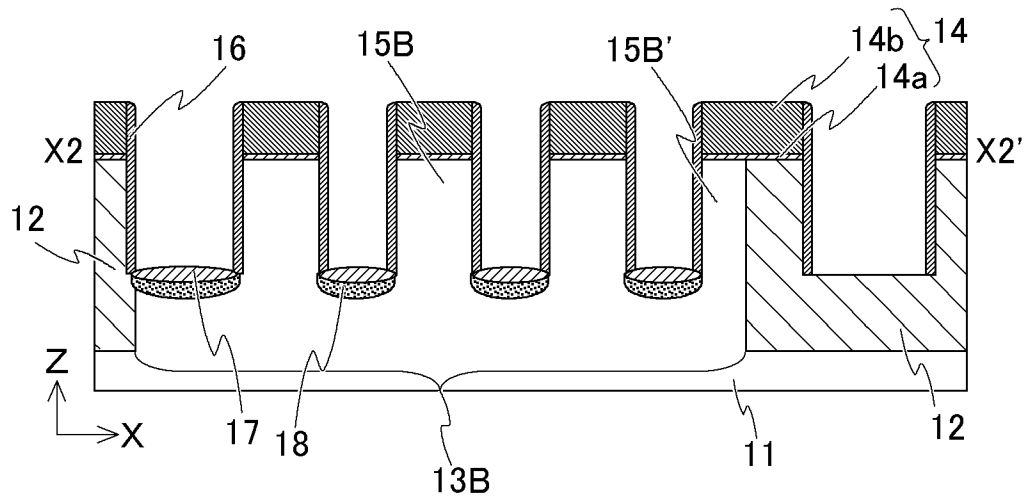
[図6D]



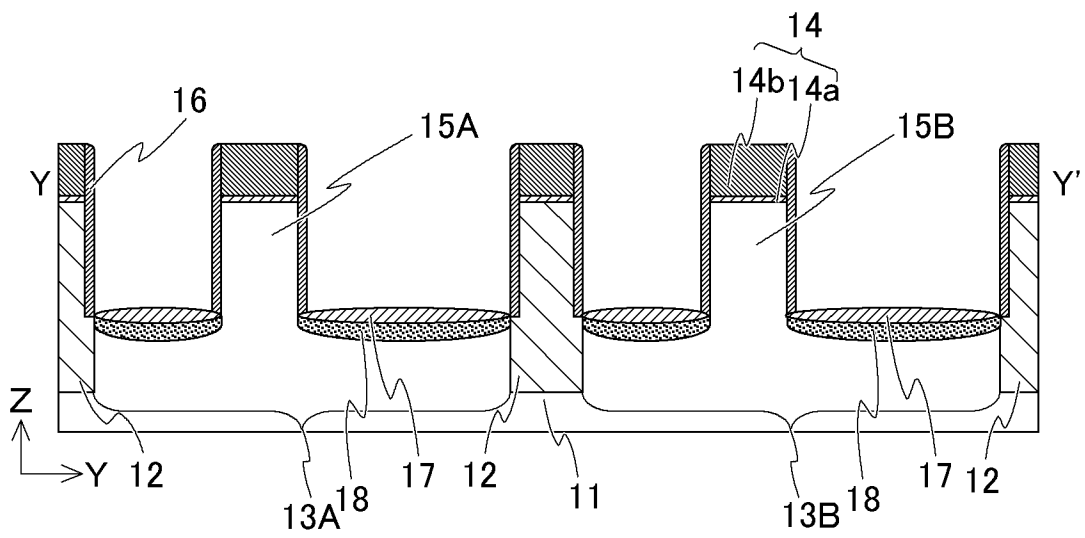
[図7B]



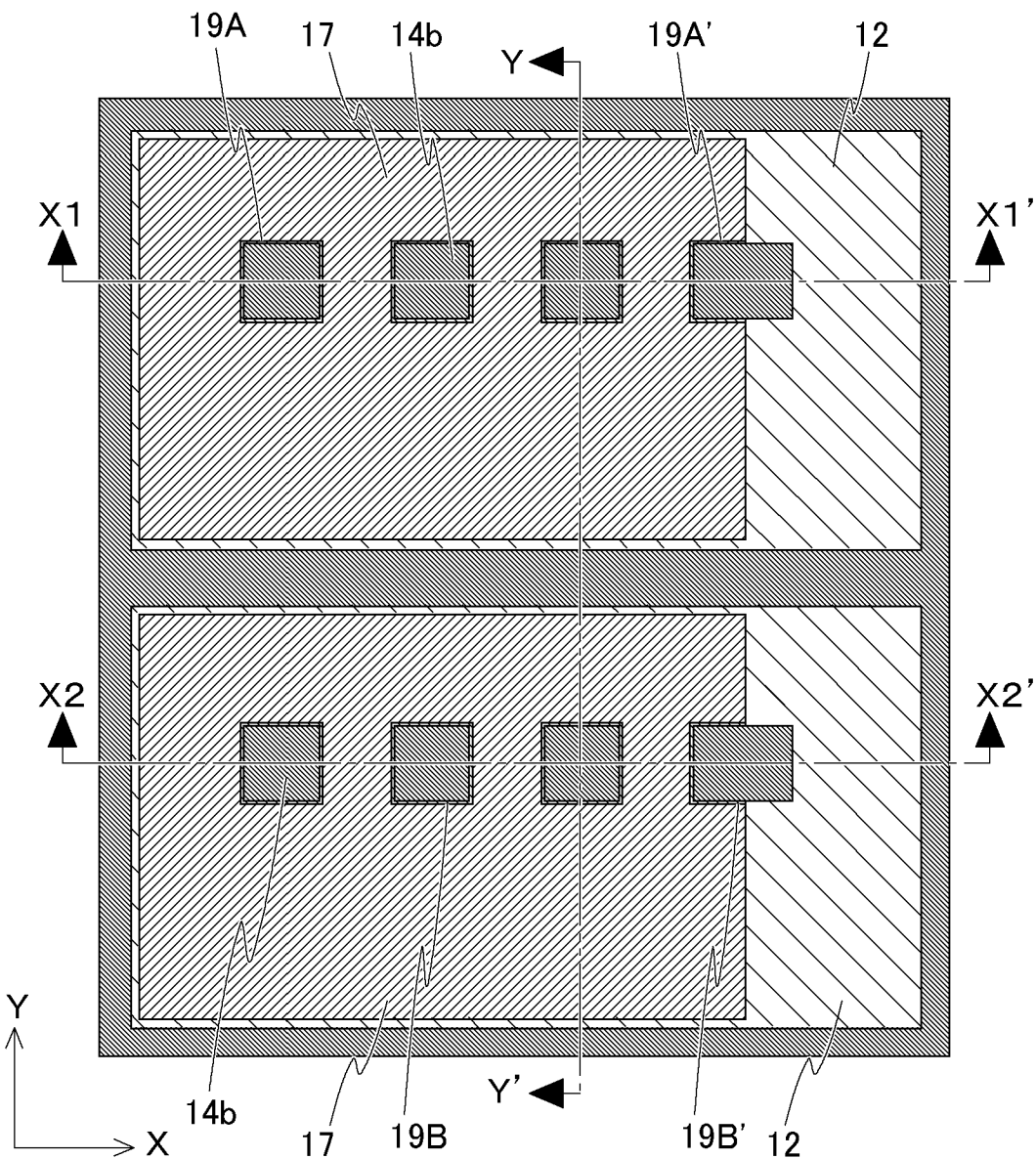
[図7C]



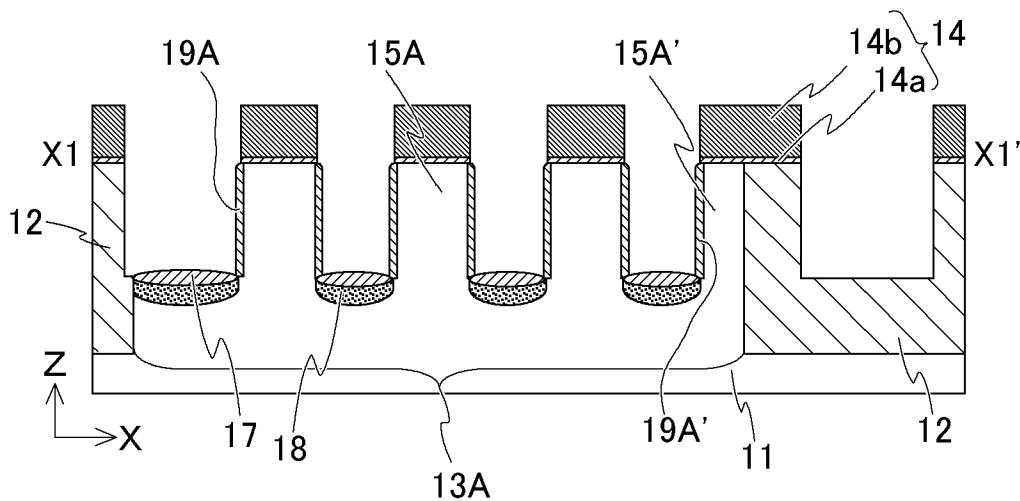
[図7D]



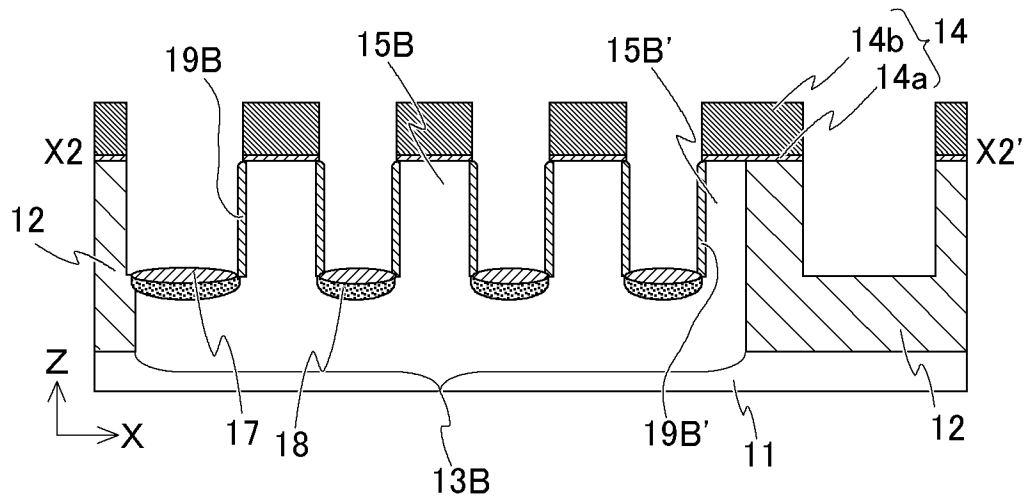
[図8A]



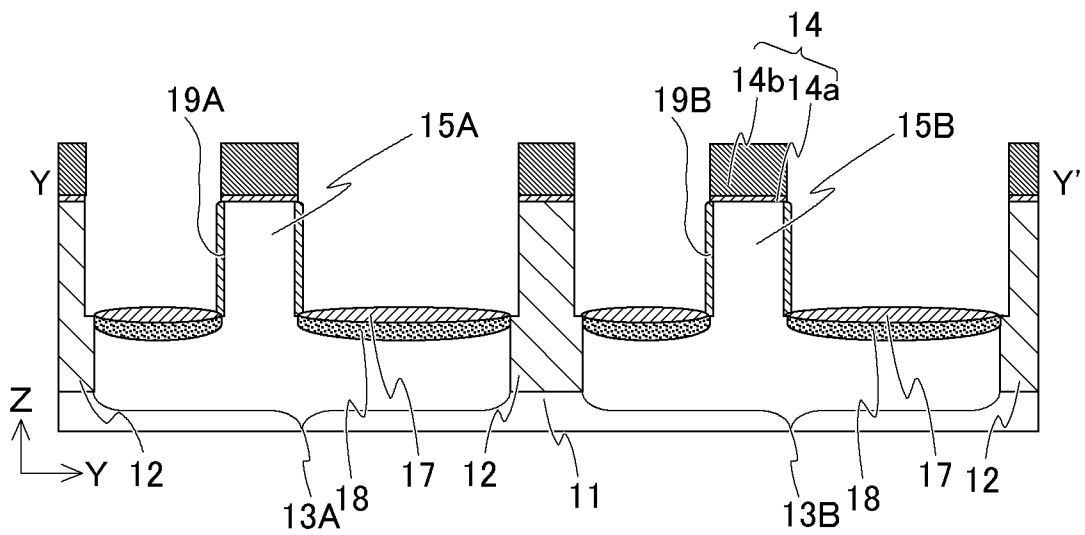
[図8B]



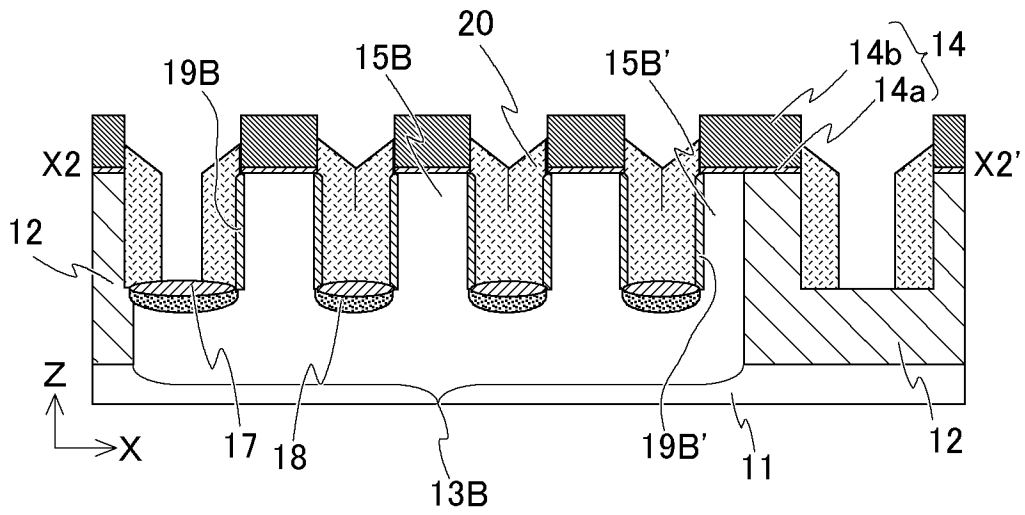
[図8C]



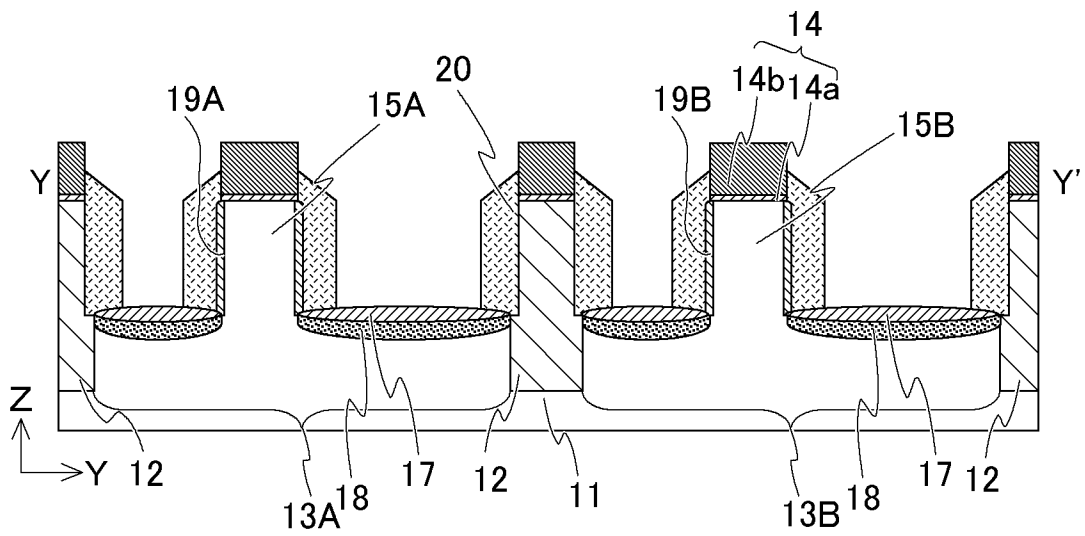
[図8D]



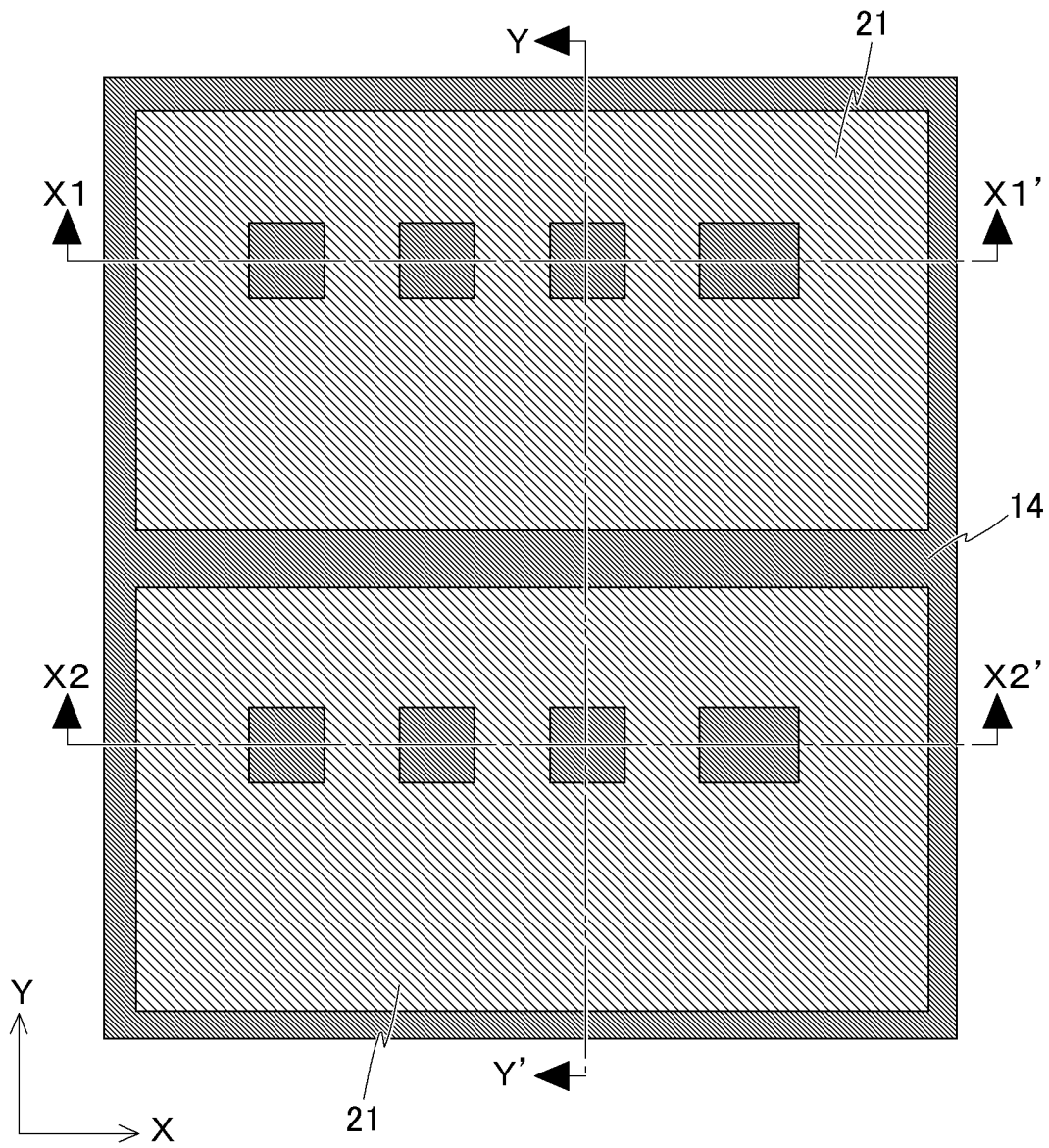
[図9C]



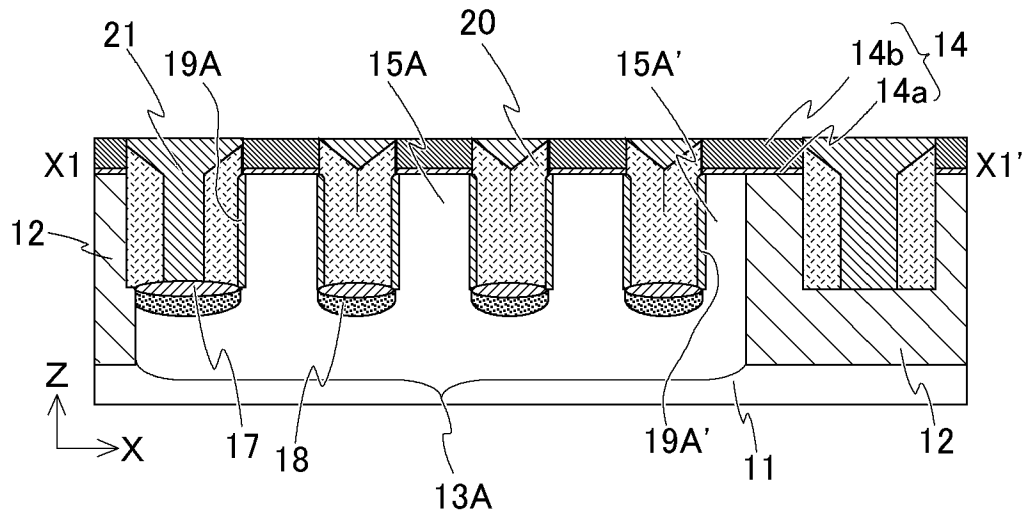
[図9D]



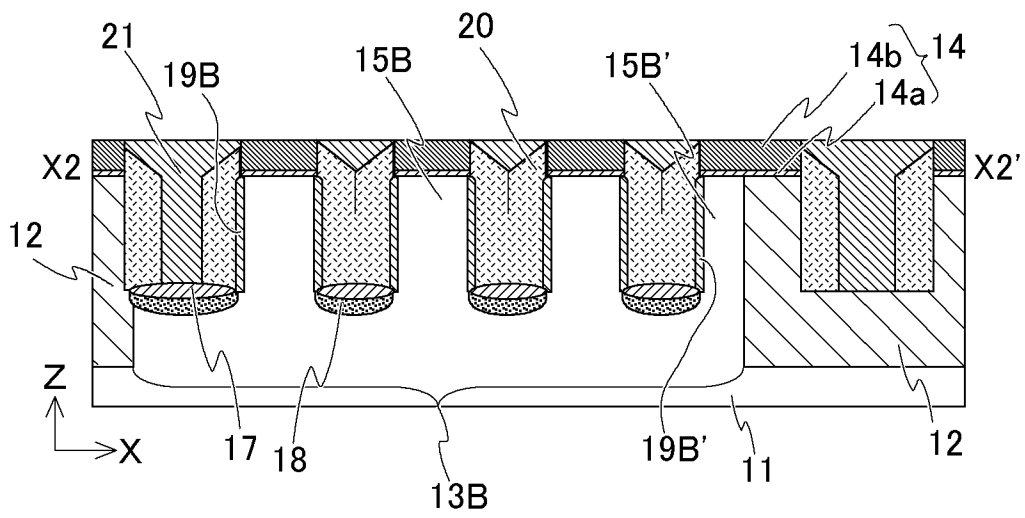
[図10A]



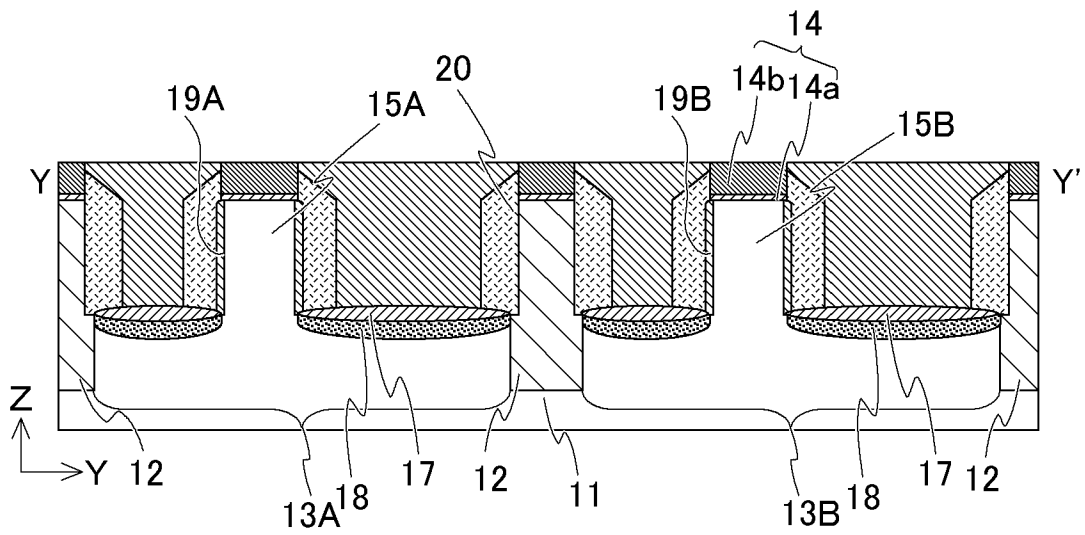
[図10B]



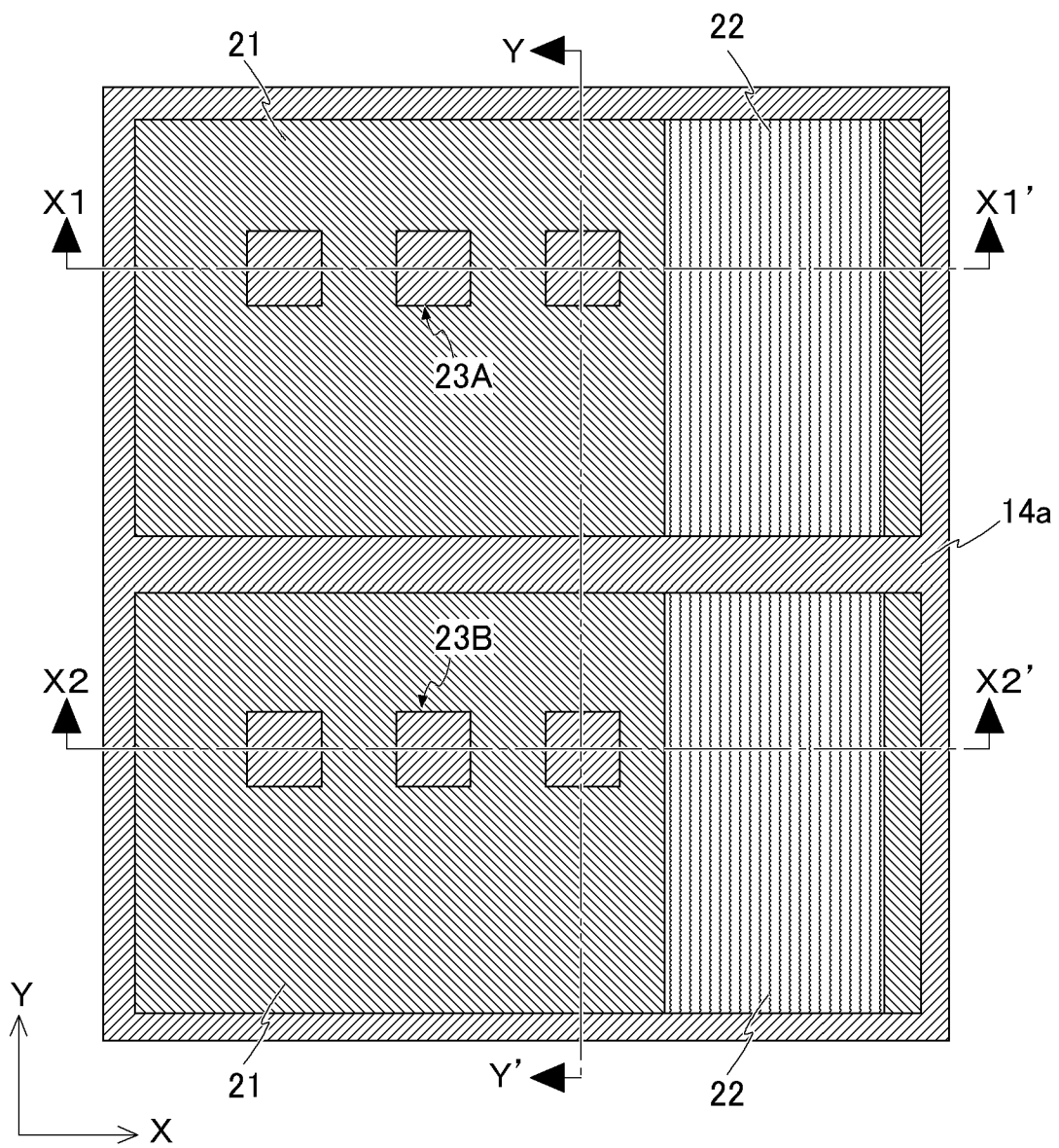
[図10C]



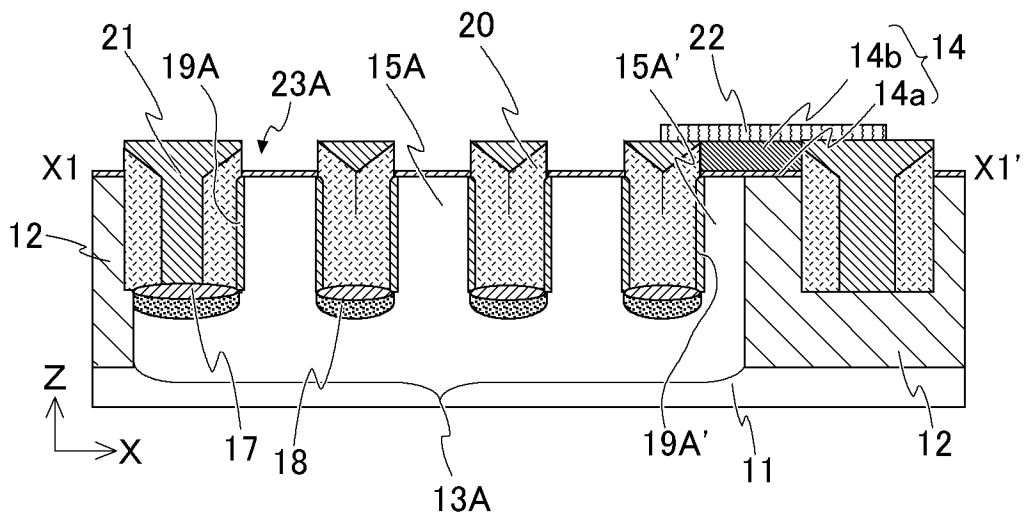
[図10D]



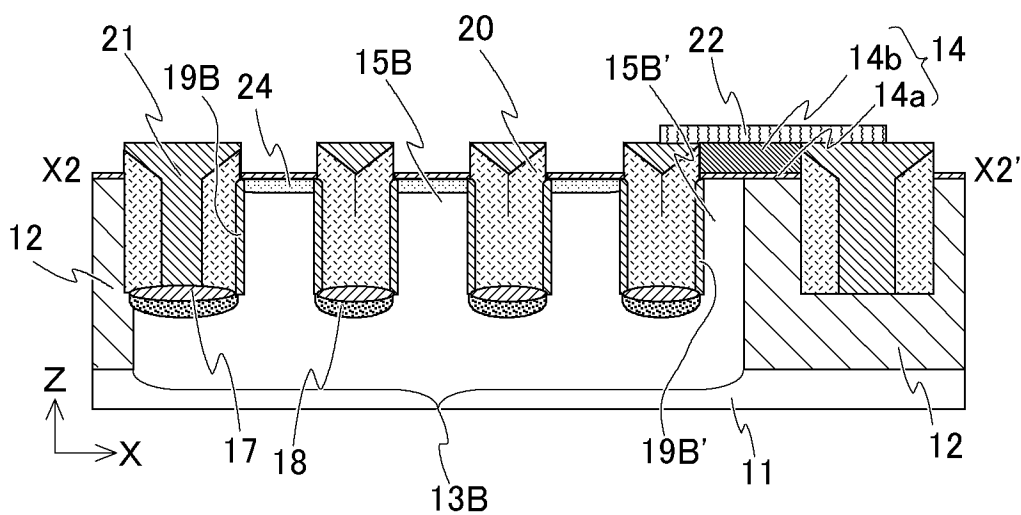
[図12A]



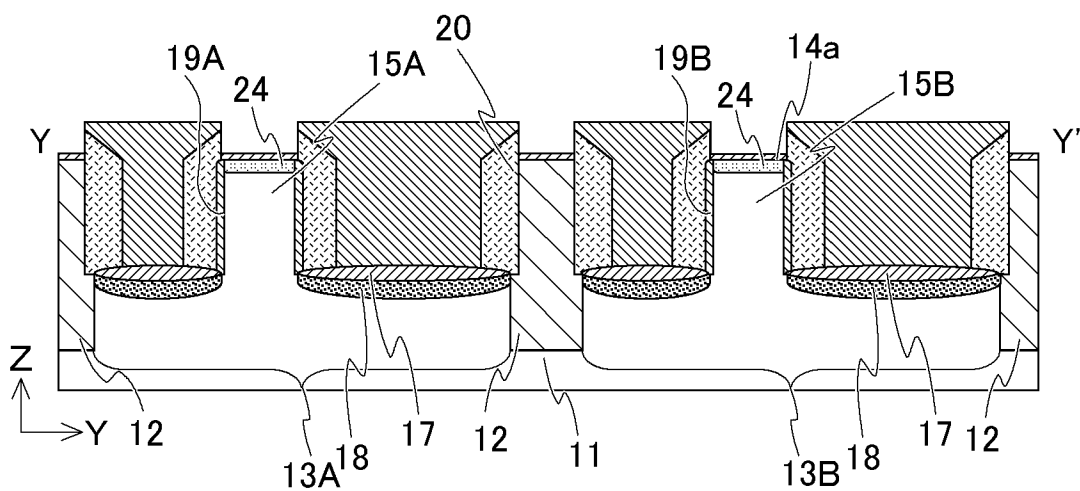
[図12B]



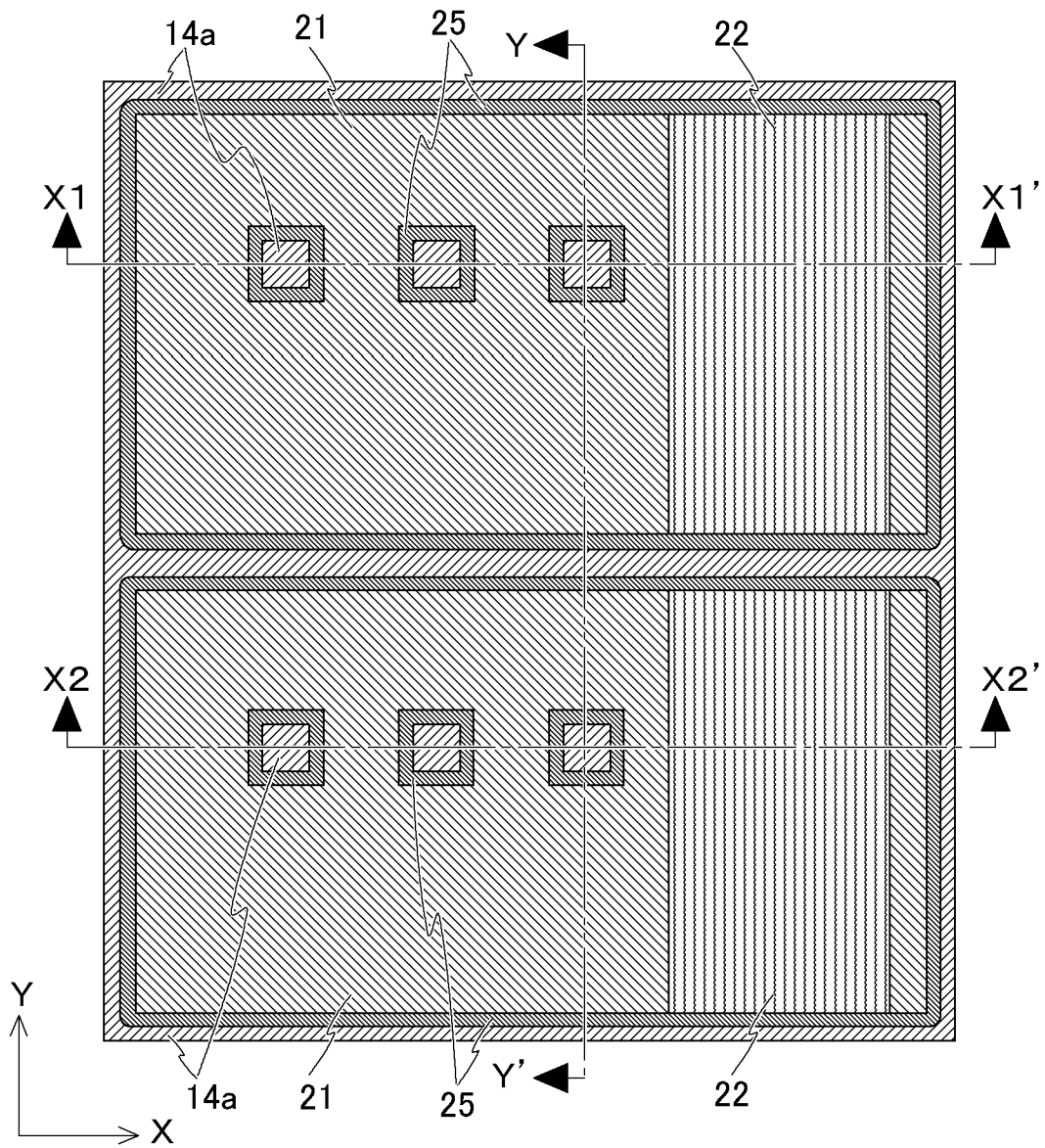
[図13C]



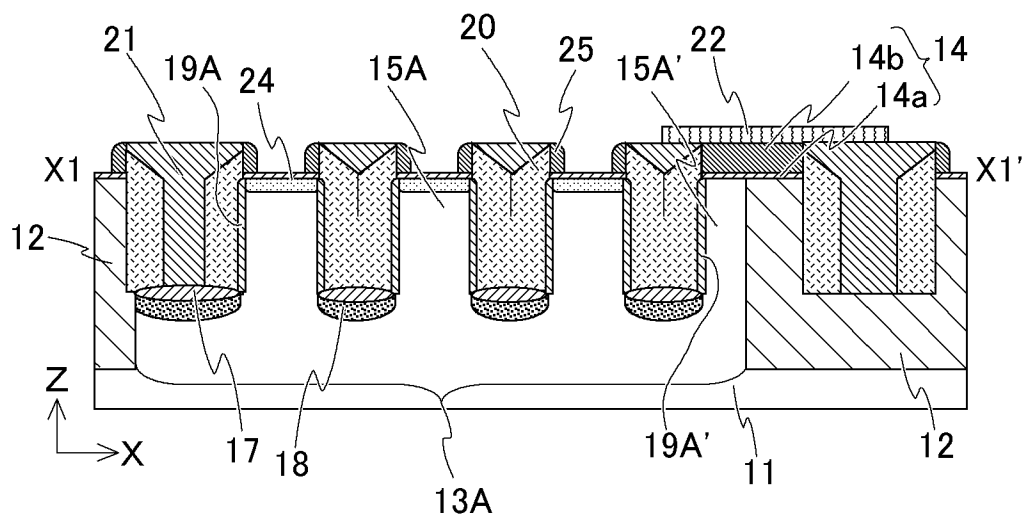
[図13D]



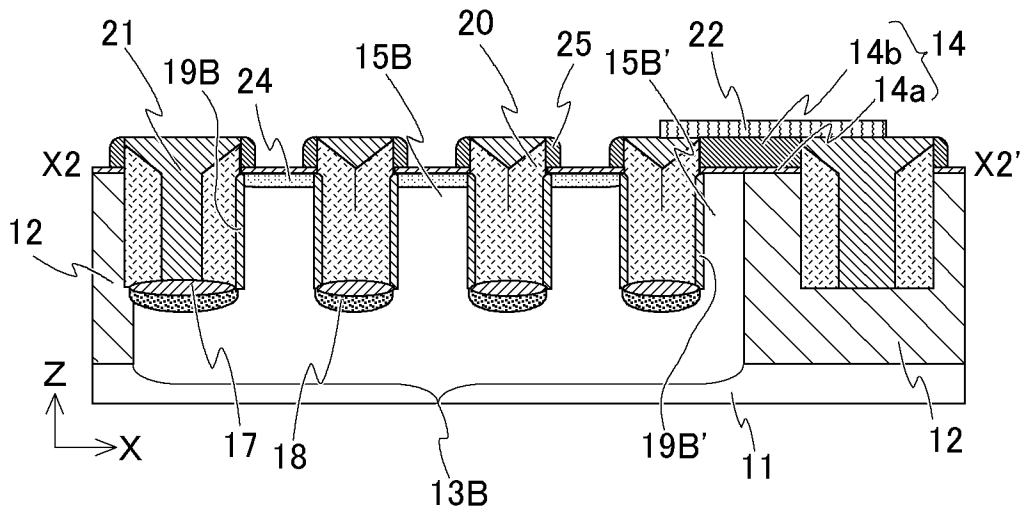
[図14A]



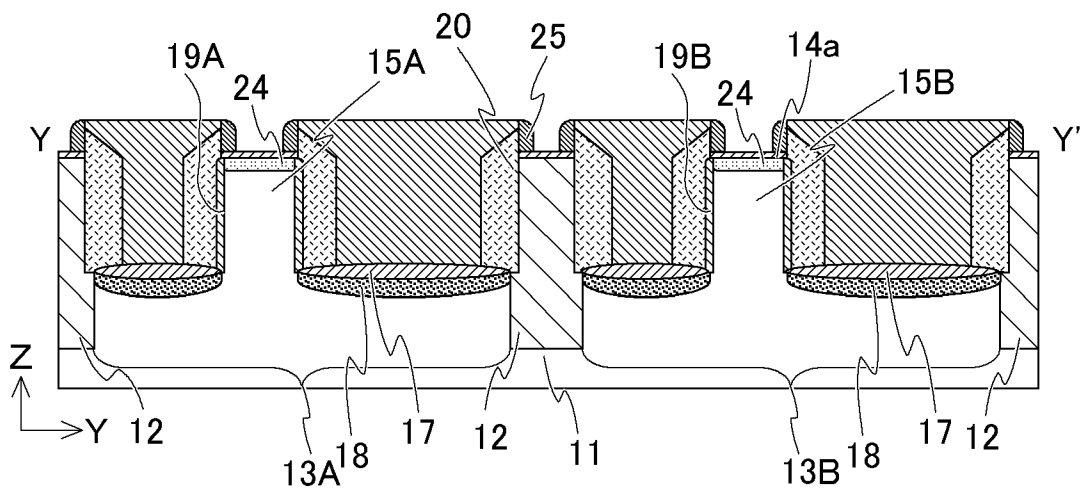
[図14B]



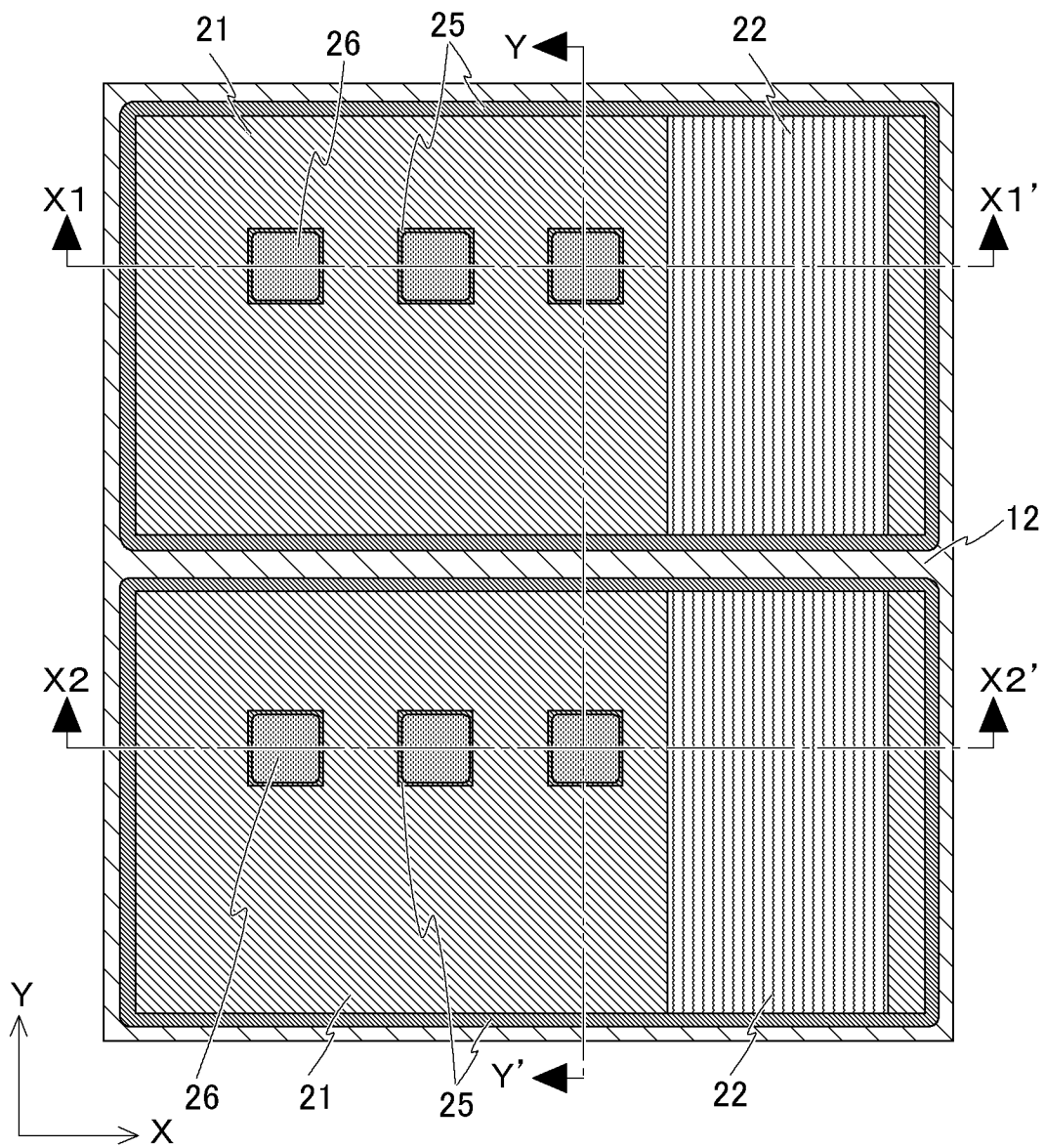
[図14C]



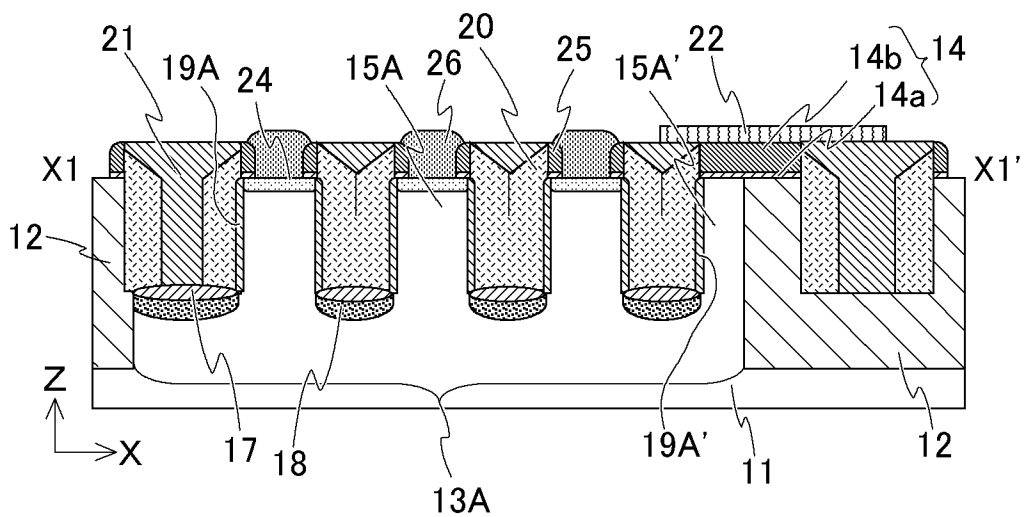
[図14D]



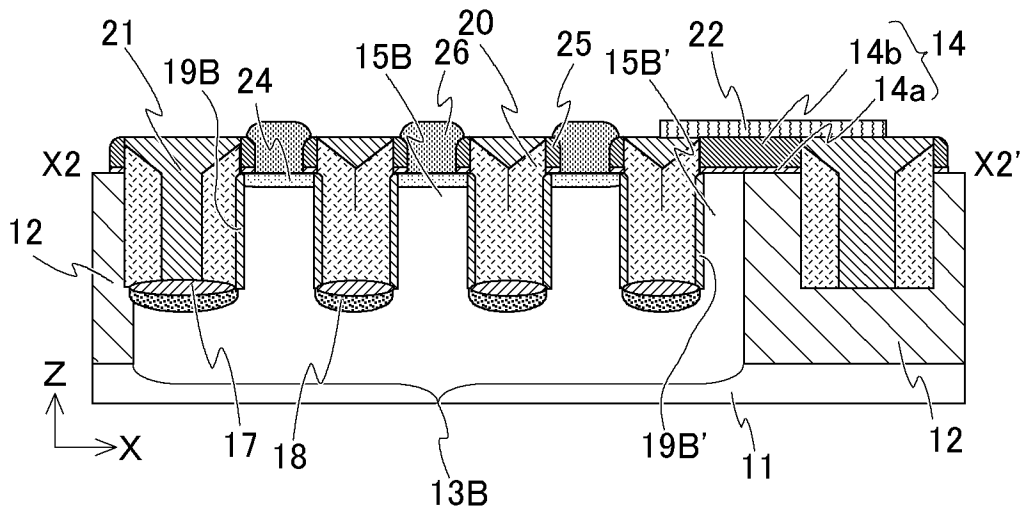
[図15A]



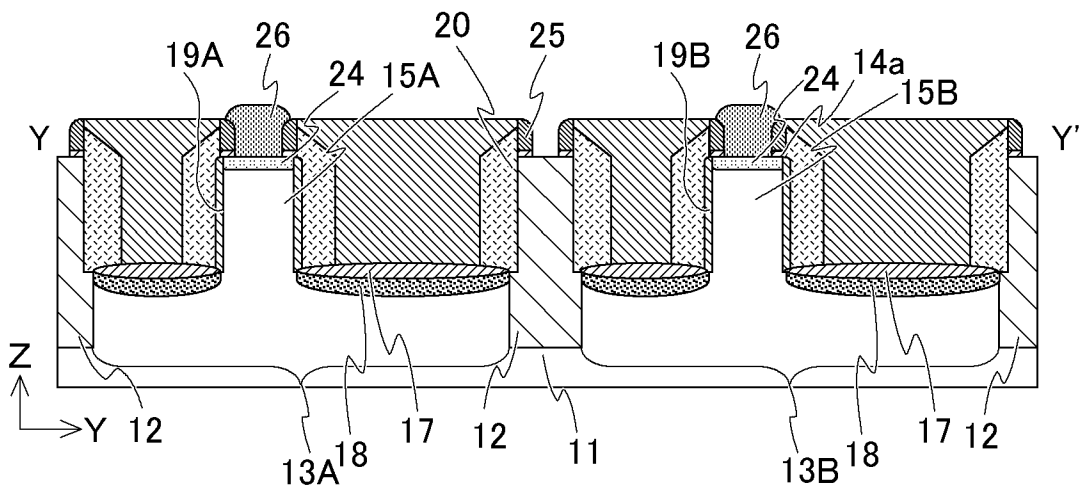
[図15B]



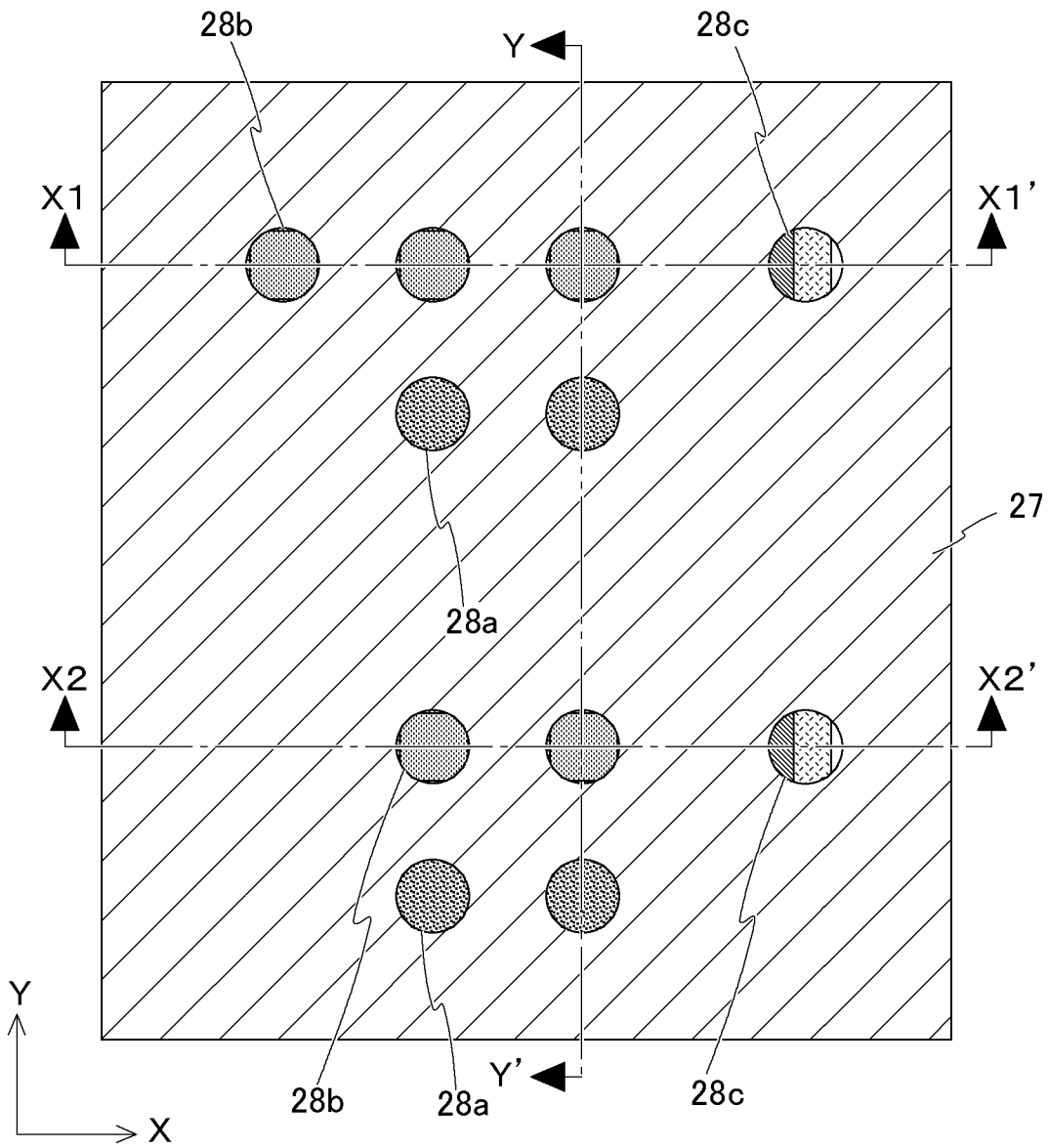
[図15C]



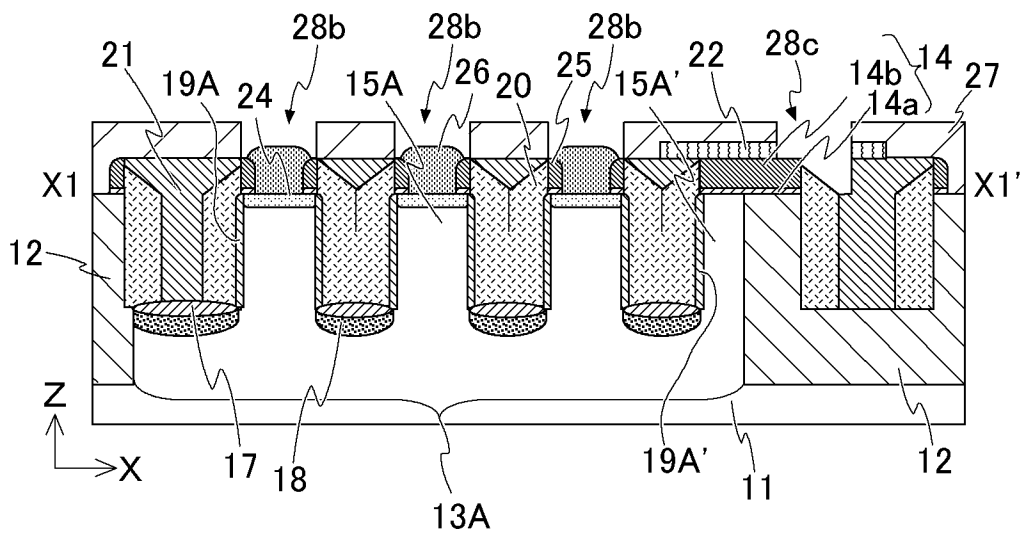
[図15D]



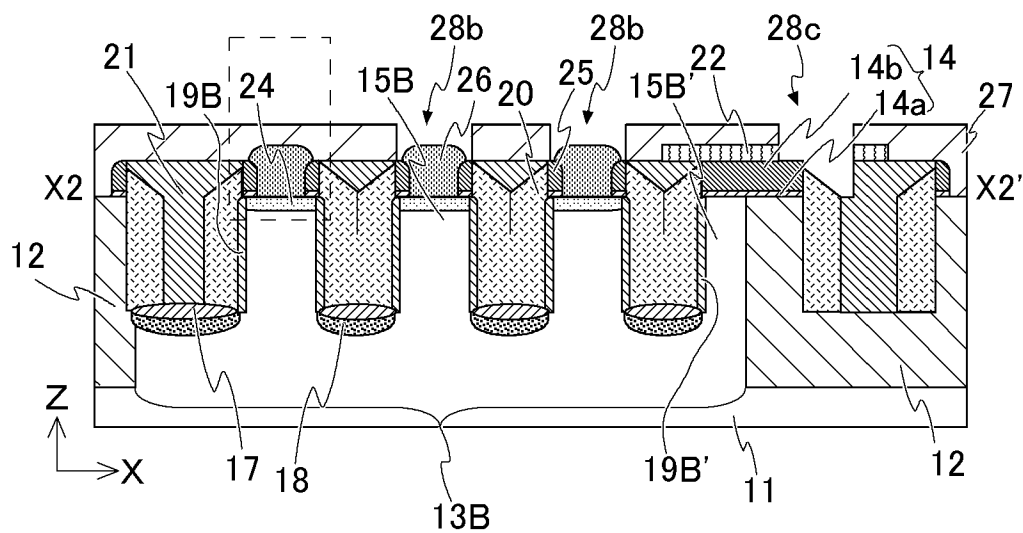
[図16A]



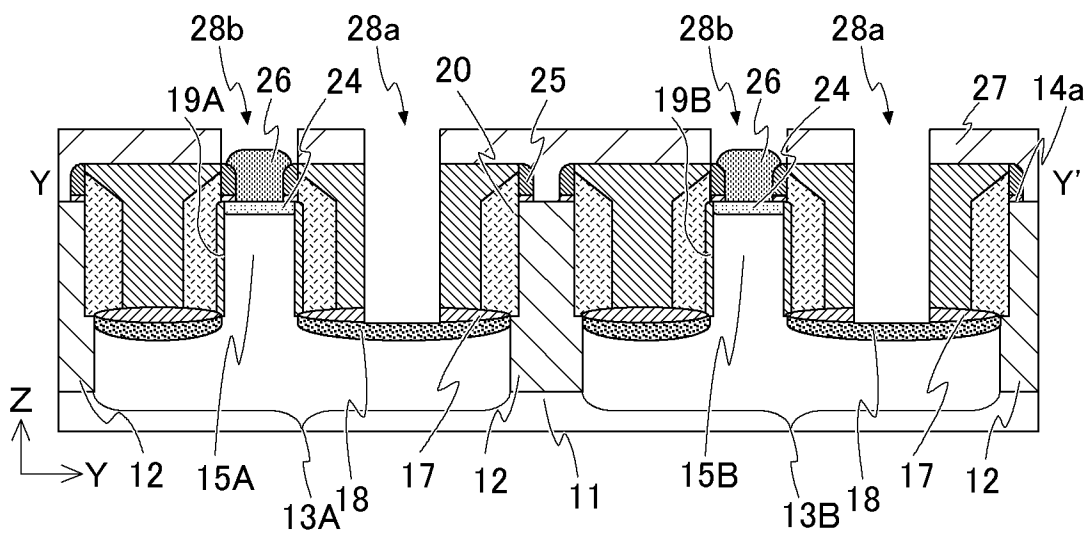
[図16B]



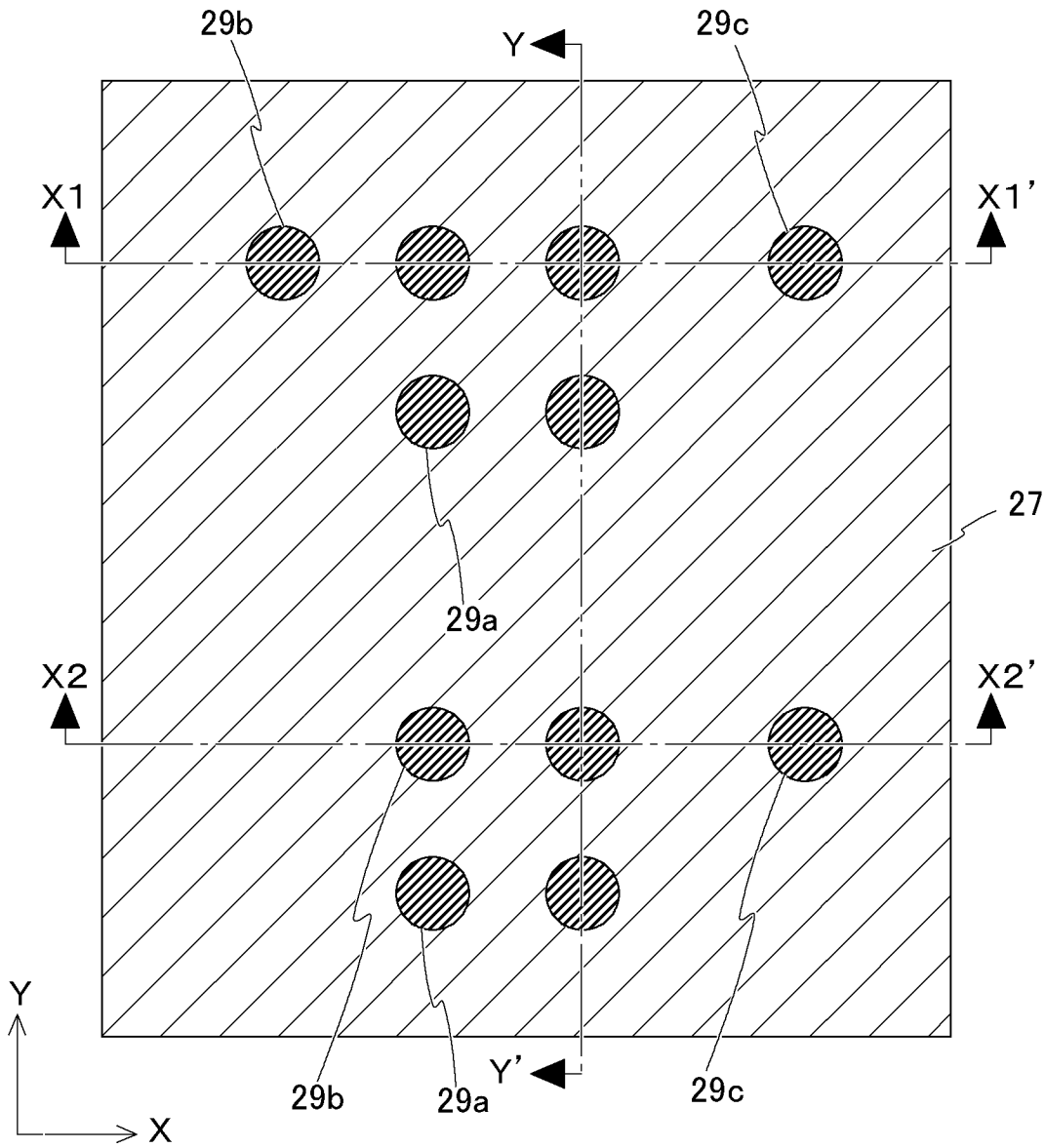
[図16C]



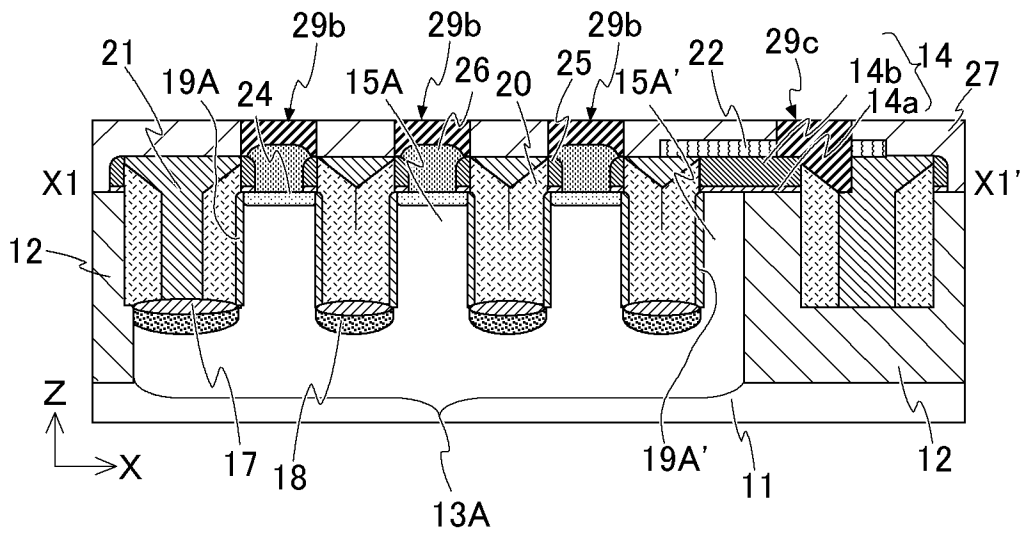
[図16D]



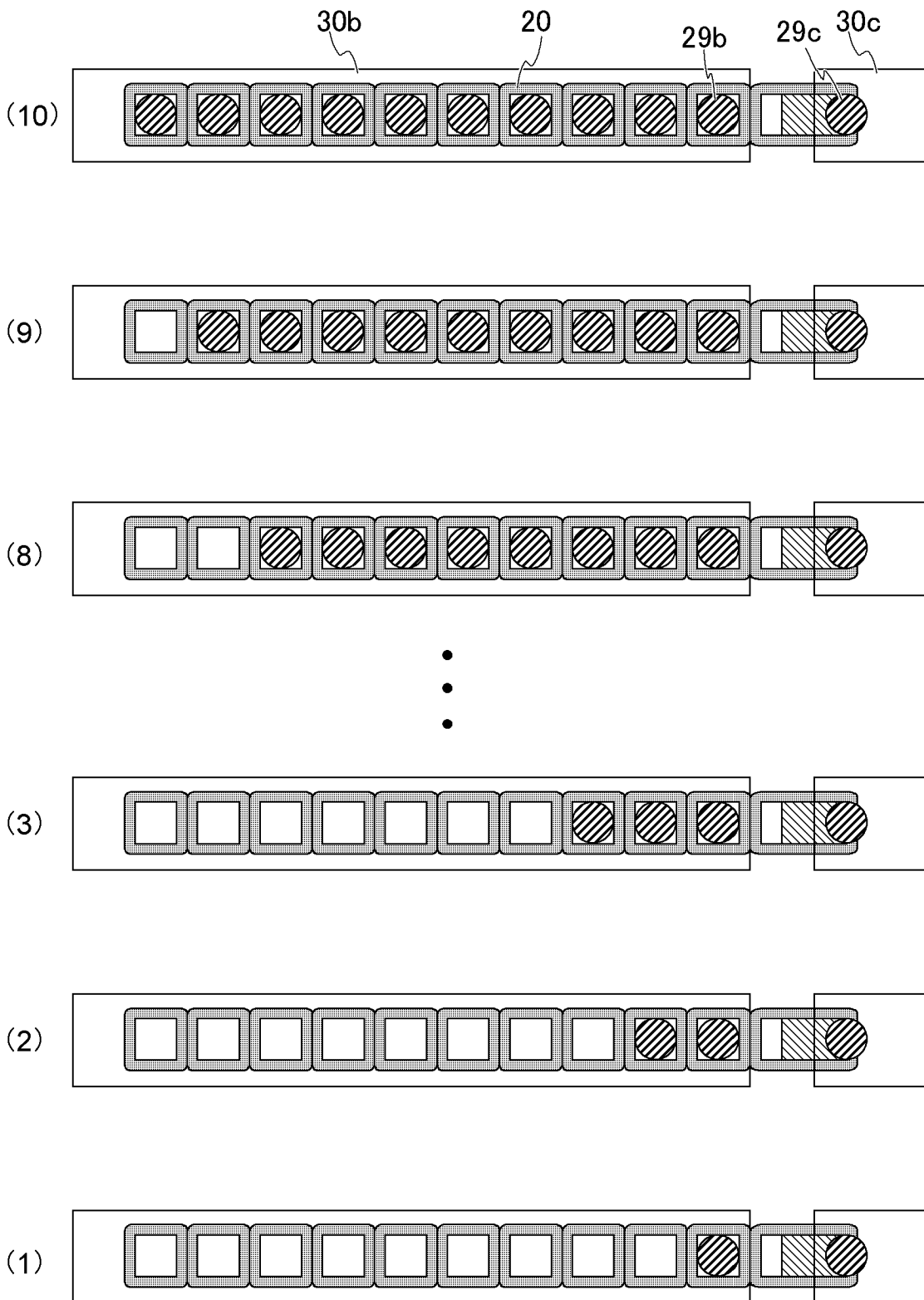
[図17A]



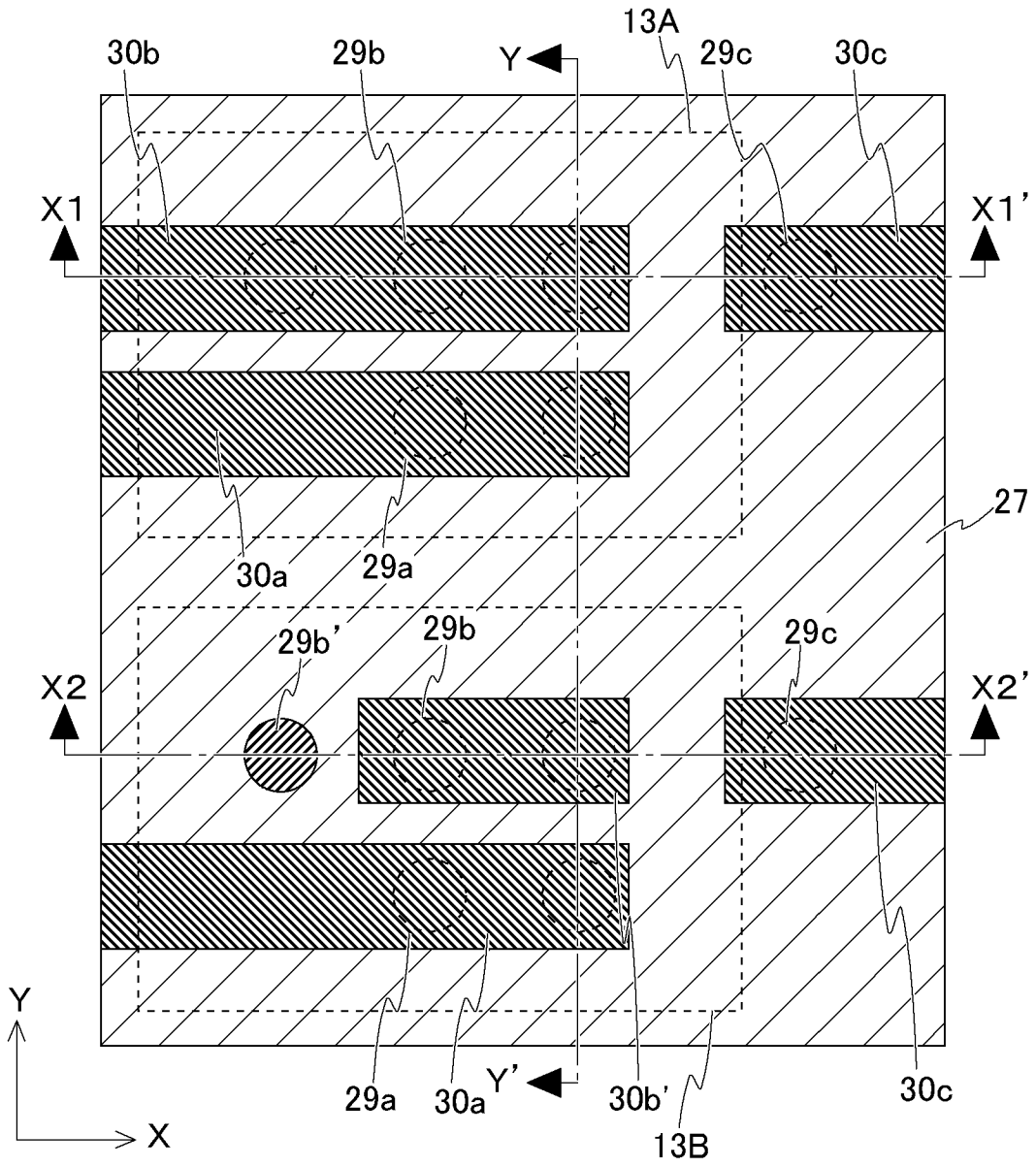
[図17B]



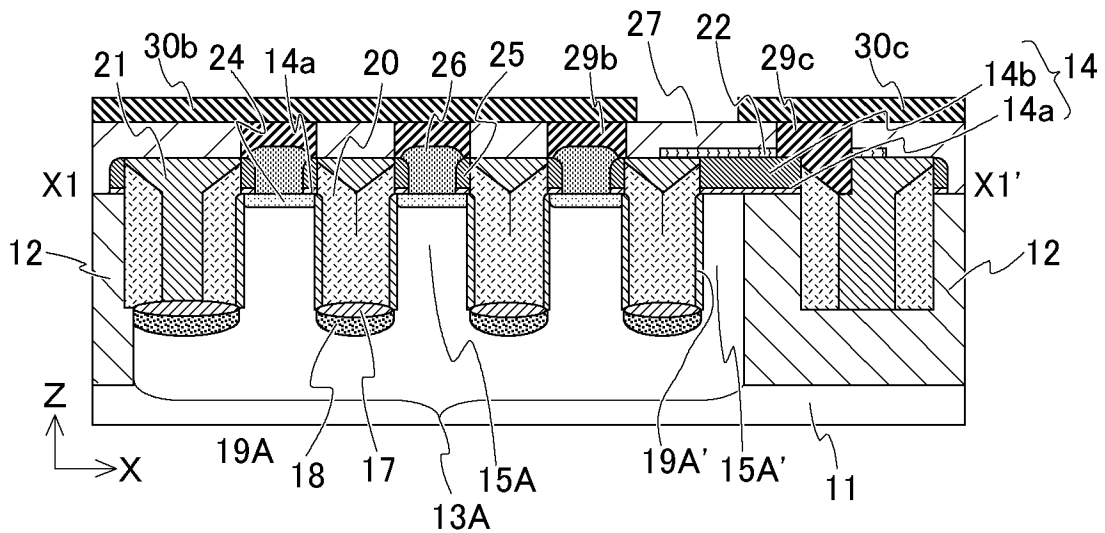
[図18]



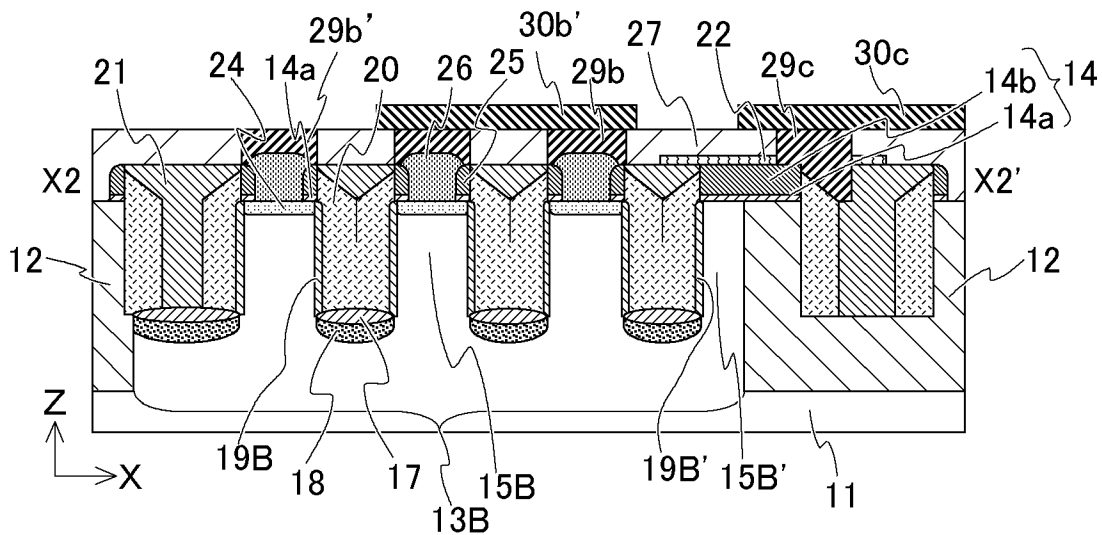
[図19A]



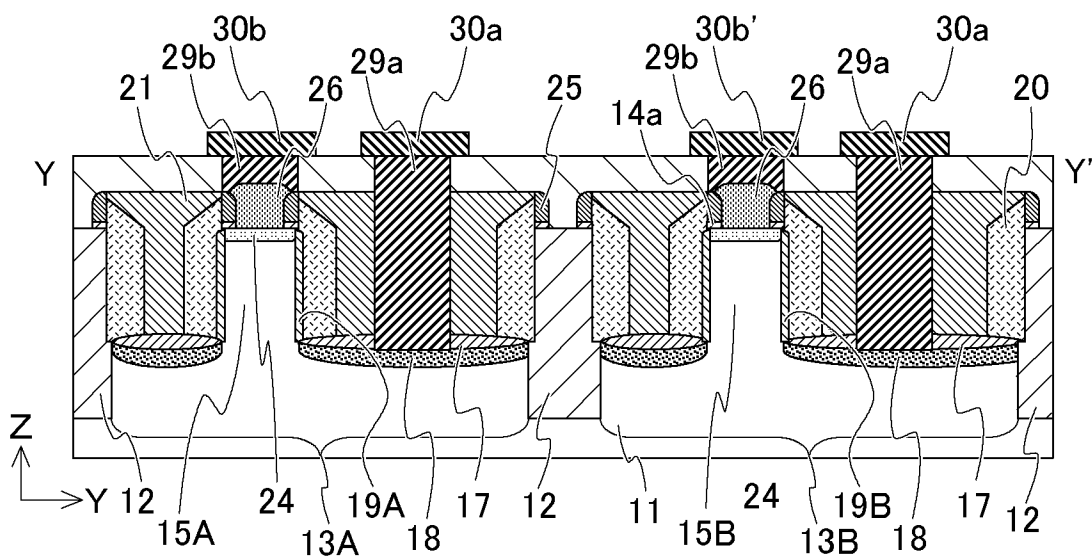
[図19B]



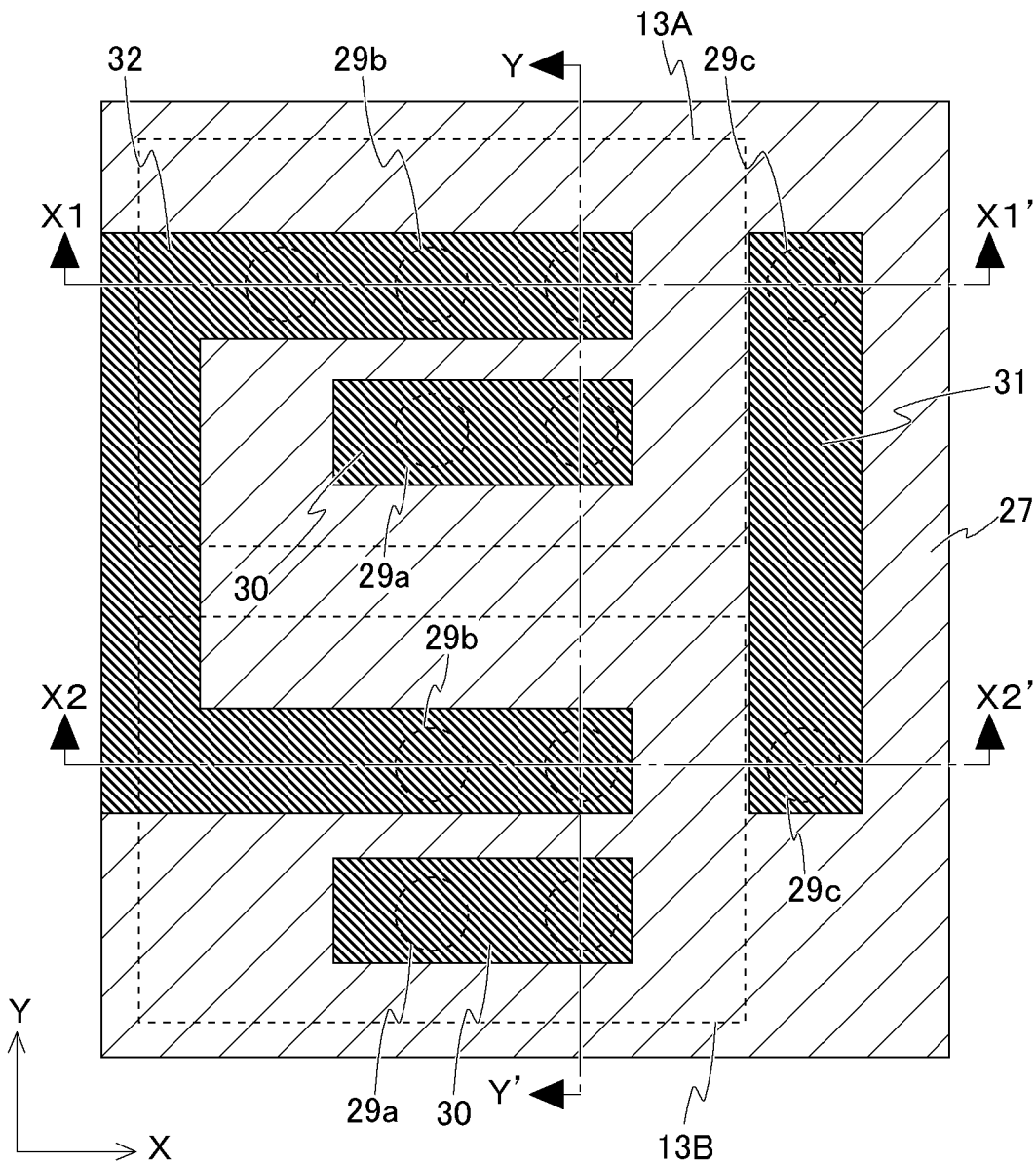
[図19C]



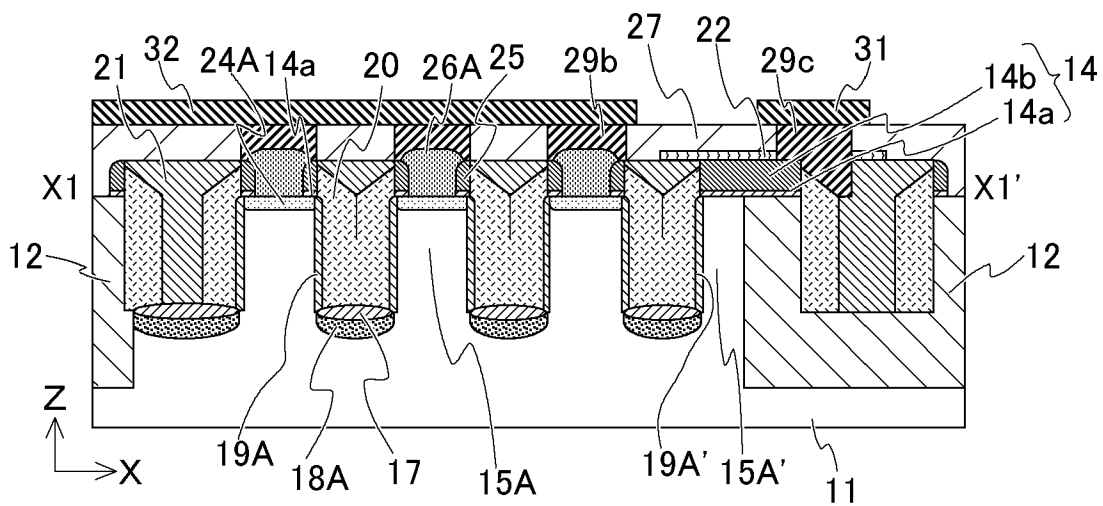
[図19D]



[図20A]



[図20B]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/078437

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/8234(2006.01)i, H01L21/336(2006.01)i, H01L21/82(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 H01L21/8234, H01L21/336, H01L21/82, H01L27/088, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-081389 A (Elpida Memory, Inc.), 16 April 2009 (16.04.2009), paragraphs [0022] to [0036], [0066] to [0067]; fig. 1, 2 & US 2009/0085102 A1	1-18
Y	JP 09-022945 A (Hitachi, Ltd.), 21 January 1997 (21.01.1997), paragraphs [0005] to [0008]; fig. 1 to 3 (Family: none)	1-18
A	JP 2009-188189 A (NEC Electronics Corp.), 20 August 2009 (20.08.2009), claims; fig. 3 to 14 & US 2009/0195282 A1	1-18

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09 January, 2014 (09.01.14)	Date of mailing of the international search report 21 January, 2014 (21.01.14)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/078437

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-088134 A (Elpida Memory, Inc.), 23 April 2009 (23.04.2009), fig. 1 & US 2009/0085088 A1 & US 2012/0025324 A1	1-18
A	JP 2009-081377 A (Elpida Memory, Inc.), 16 April 2009 (16.04.2009), claims; fig. 1 & US 2009/0085098 A1	1-18

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC))</p> <p>Int.Cl. H01L21/8234(2006.01)i, H01L21/336(2006.01)i, H01L21/82(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i</p>														
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料 (国際特許分類 (IPC))</p> <p>Int.Cl. H01L21/8234, H01L21/336, H01L21/82, H01L27/088, H01L29/78</p>														
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table style="width:100%; border-collapse: collapse;"> <tr> <td style="width:30%;">日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2014年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2014年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2014年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2014年	日本国実用新案登録公報	1996-2014年	日本国登録実用新案公報	1994-2014年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2014年													
日本国実用新案登録公報	1996-2014年													
日本国登録実用新案公報	1994-2014年													
<p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)</p>														
<p>C. 関連すると認められる文献</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">引用文献の カテゴリー*</th> <th style="width:70%;">引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th style="width:20%;">関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td style="text-align:center;">Y</td> <td>JP 2009-081389 A (エルピーダメモリ株式会社) 2009.04.16, 段落 0022-0036、段落 0066-0067、図 1,2 & US 2009/0085102 A1</td> <td style="text-align:center;">1-18</td> </tr> <tr> <td style="text-align:center;">Y</td> <td>JP 09-022945 A (株式会社日立製作所) 1997.01.21, 段落 0005-0008、図 1-3 (ファミリーなし)</td> <td style="text-align:center;">1-18</td> </tr> <tr> <td style="text-align:center;">A</td> <td>JP 2009-188189 A (NECエレクトロニクス株式会社) 2009.08.20, 特許請求の範囲、図 3-14 & US 2009/0195282 A1</td> <td style="text-align:center;">1-18</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2009-081389 A (エルピーダメモリ株式会社) 2009.04.16, 段落 0022-0036、段落 0066-0067、図 1,2 & US 2009/0085102 A1	1-18	Y	JP 09-022945 A (株式会社日立製作所) 1997.01.21, 段落 0005-0008、図 1-3 (ファミリーなし)	1-18	A	JP 2009-188189 A (NECエレクトロニクス株式会社) 2009.08.20, 特許請求の範囲、図 3-14 & US 2009/0195282 A1	1-18
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	JP 2009-081389 A (エルピーダメモリ株式会社) 2009.04.16, 段落 0022-0036、段落 0066-0067、図 1,2 & US 2009/0085102 A1	1-18												
Y	JP 09-022945 A (株式会社日立製作所) 1997.01.21, 段落 0005-0008、図 1-3 (ファミリーなし)	1-18												
A	JP 2009-188189 A (NECエレクトロニクス株式会社) 2009.08.20, 特許請求の範囲、図 3-14 & US 2009/0195282 A1	1-18												
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>														
<table style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; vertical-align: top;"> <p>* 引用文献のカテゴリー</p> <p>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」口頭による開示、使用、展示等に言及する文献</p> <p>「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p> </td> <td style="width:50%; vertical-align: top;"> <p>の日の後に公表された文献</p> <p>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」同一パテントファミリー文献</p> </td> </tr> </table>			<p>* 引用文献のカテゴリー</p> <p>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」口頭による開示、使用、展示等に言及する文献</p> <p>「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献</p> <p>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」同一パテントファミリー文献</p>										
<p>* 引用文献のカテゴリー</p> <p>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」口頭による開示、使用、展示等に言及する文献</p> <p>「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献</p> <p>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」同一パテントファミリー文献</p>													
<p>国際調査を完了した日</p> <p style="text-align:center;">09.01.2014</p>	<p>国際調査報告の発送日</p> <p style="text-align:center;">21.01.2014</p>													
<p>国際調査機関の名称及びあて先</p> <p style="text-align:center;">日本国特許庁 (ISA/J P)</p> <p style="text-align:center;">郵便番号100-8915</p> <p style="text-align:center;">東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官 (権限のある職員)</p> <p style="text-align:center;">岩本 勉</p> <p>電話番号 03-3581-1101 内線 3516</p>	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%;">5 F</td> <td style="width:50%;">9 3 5 5</td> </tr> </table>	5 F	9 3 5 5										
5 F	9 3 5 5													

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-088134 A (エルピーダメモリ株式会社) 2009. 04. 23, 図 1 & US 2009/0085088 A1 & US 2012/0025324 A1	1-18
A	JP 2009-081377 A (エルピーダメモリ株式会社) 2009. 04. 16, 特許請求の範囲、図 1 & US 2009/0085098 A1	1-18