

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5512104号
(P5512104)

(45) 発行日 平成26年6月4日(2014.6.4)

(24) 登録日 平成26年4月4日(2014.4.4)

(51) Int. Cl.	F I	
G 1 1 C 19/28 (2006.01)	G 1 1 C 19/28	D
G 1 1 C 19/00 (2006.01)	G 1 1 C 19/00	J
G O 9 G 3/36 (2006.01)	G O 9 G 3/36	
G O 9 G 3/20 (2006.01)	G O 9 G 3/20	6 1 1 J
	G O 9 G 3/20	6 2 2 E

請求項の数 9 (全 22 頁) 最終頁に続く

(21) 出願番号	特願2008-200994 (P2008-200994)	(73) 特許権者	512187343
(22) 出願日	平成20年8月4日(2008.8.4)		三星ディスプレイ株式会社
(65) 公開番号	特開2009-54273 (P2009-54273A)		Samsung Display Co., Ltd.
(43) 公開日	平成21年3月12日(2009.3.12)		大韓民国京畿道龍仁市器興区三星二路95
審査請求日	平成23年6月8日(2011.6.8)		95, Samsung 2 Ro, Gih eung-Gu, Yongin-City, Gyeonggi-Do, Korea
(31) 優先権主張番号	10-2007-0078578	(74) 代理人	100121382
(32) 優先日	平成19年8月6日(2007.8.6)		弁理士 山下 託嗣
(33) 優先権主張国	韓国 (KR)	(72) 発明者	金 聖 萬
			大韓民国ソウル市松坡区新川洞チャンミア パート25棟1001号

最終頁に続く

(54) 【発明の名称】 ゲート駆動回路、及びそれを有する表示装置

(57) 【特許請求の範囲】

【請求項1】

縦続接続された複数個のステージを含むゲート駆動回路であり、
各ステージは、
クロック信号を受信し、ゲート信号を前記クロック信号に合わせて変動させるプルアップ部、
前記プルアップ部に接続され、前段のステージのいずれかからキャリ信号を受信し、前記キャリ信号に応じて前記プルアップ部を動作させるプルアップ駆動部、
後段のステージのいずれかからゲート信号を受信して、そのゲート信号に応じて前記プルアップ部にゲート信号のレベルをゲートオフ電圧まで降下させるプルダウン部、
ゲート信号のレベルをゲートオフ電圧に維持する保持部、
前記クロック信号に応じて前記保持部を動作させるインバータ部、及び、
前記インバータ部の入力端子に入力されるリップル信号を弱め、又はバイパスさせるリップル防止部、
を含み、
前記リップル防止部は、

互いに直接連結されているソースとゲートとが前記プルアップ部の出力端子に共通接続され、ドレインが前記インバータ部の入力端子に接続されているスイッチング素子から成るリップル防止ダイオードを有する、ゲート駆動回路。

【請求項2】

前記リップル防止部は、

ドレインが前記リップル防止ダイオードのドレインに接続され、ソースの電位がゲートオフ電圧に維持され、ゲートが前記クロック信号の反転信号を受信するリップル防止スイッチング素子、

を更に有する、請求項1に記載のゲート駆動回路。

【請求項3】

前記プルアップ部の出力端子がゲート線に接続されている、請求項1に記載のゲート駆動回路。

【請求項4】

前記プルアップ部の出力端子が前記リップル防止ダイオードのソース及びゲートに接続されている、請求項3に記載のゲート駆動回路。

10

【請求項5】

前記クロック信号を用いてキャリ信号を生成して、後続のステージのいずれかのプルアップ駆動部に出力するキャリ出力部、を更に有する、請求項1に記載のゲート駆動回路。

【請求項6】

前記キャリ出力部の出力端子が前記リップル防止ダイオードのソース及びゲートに接続されている、請求項5に記載のゲート駆動回路。

【請求項7】

前記プルアップ部の入力端子に接続された入力端子を通して前記クロック信号を受信し、出力信号を前記クロック信号に合わせて変動させる第2プルアップ部、

20

を更に有する、請求項3に記載のゲート駆動回路。

【請求項8】

前記第2プルアップ部の出力端子が前記リップル防止ダイオードのソース及びゲートに接続されている、請求項7に記載のゲート駆動回路。

【請求項9】

前記インバータ部は、

ドレインが前記クロック信号を受信し、ソースの電位がゲートオフ電圧に維持され、ゲートが前記リップル防止ダイオードのドレインに接続されている一対のスイッチング素子、

を含み、

30

前記リップル防止部は、

前記一対のスイッチング素子のいずれかのゲートとソースとの間に接続されているリップル防止キャパシタ、

を含む、請求項1に記載のゲート駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に関し、特にそのゲート駆動回路に関する。

【背景技術】

【0002】

40

一般に、液晶表示装置に備えられた液晶パネルは、互いに対向している上部基板と下部基板、及びそれらの基板に挟持された液晶層から成る。液晶パネルは更に、複数のゲート線、複数のデータ線、及び複数の画素を含む。各画素はゲート線とデータ線とに接続されている。液晶パネルはその他に、ゲート駆動回路を含む。ゲート駆動回路は好ましくは薄膜工程によって液晶パネルに直接形成され、複数のゲート線にゲート信号を順番に出力する。

【0003】

一般に、ゲート駆動回路は1つのシフトレジスタで構成され、複数のステージが縦続接続されている。各ステージは複数のスイッチング素子で構成され、一本のゲート線にゲート信号を出力する。特に各ステージは、プルアップ部、保持部、及びインバータ部を含み

50

、それらを用いて、ゲート信号のレベルを、ゲートオン電圧とゲートオフ電圧との二値の間で切り換える。プルアップ部はゲート線に接続され、そのゲート線の電圧を所定のタイミングでゲートオン電圧に引き上げる。このゲート信号は更に、前段のステージにも出力され、その前段のステージの駆動制御に利用される。保持部は、所定の期間にゲート信号のレベルをゲートオフ電圧に保持する。インバータ部は、特にプルアップ部の接続されたゲート線の電圧に応じて、保持部をオンオフさせる。

【発明の開示】

【発明が解決しようとする課題】

【0004】

ゲート駆動回路の各ステージでは、インバータ部が、ゲート信号の出力端子及びゲート線に接続されている。従って、そのゲート出力端子及びゲート線にノイズが発生した場合、そのノイズに起因するリップル信号がインバータ部に直に輸入されて保持部とインバータ部との正常な動作を阻んで出力不良を生じさせ、そのステージの出力信号、特にゲート信号に歪みを発生させる危険性がある。更に、各ステージの出力信号は前後のステージの駆動制御にも利用されるので、一つのステージでの出力不良は、そのステージのみならず、前後のステージの出力信号、特にゲート信号にも歪みを発生させ得る。その結果、従来のゲート駆動回路では、いずれかのステージの出力端子又はゲート線に生じたノイズに起因する画質不良を更に低減させることが困難である。

10

【0005】

本発明の目的は、ゲート信号の出力端子及びゲート線に生じたノイズから各ステージのインバータ部を更に確実に保護することにより、信頼性の更なる向上を実現できるゲート駆動回路を提供することである。

20

【課題を解決するための手段】

【0006】

本発明によるゲート駆動回路は、縦続接続された複数個のステージを含む。各ステージは、プルアップ部、プルダウン部、プルアップ駆動部、インバータ部、及びリップル防止部を含む。プルアップ部は、クロック信号を受信し、ゲート信号をクロック信号に合わせて変動させる。プルアップ駆動部は、プルアップ部に接続され、前段のステージのいずれかからキャリ信号を受信し、そのキャリ信号に応じてプルアップ部を動作させる。プルダウン部は、後段のステージのいずれかからゲート信号を受信して、そのゲート信号に応じてプルアップ部にゲート信号のレベルをゲートオフ電圧まで降下させる。保持部は、ゲート信号のレベルをゲートオフ電圧に維持する。インバータ部は、クロック信号に応じて保持部を動作させる。リップル防止部は、インバータ部の入力端子に輸入されるリップル信号を弱め、又はバイパスさせる。

30

【0007】

リップル防止部は、好ましくはリップル防止ダイオードを含む。リップル防止ダイオードはスイッチング素子から成り、そのスイッチング素子のソースとゲートとがプルアップ部の出力端子に共通接続され、ドレインがインバータ部の入力端子に接続されている。リップル防止部は更にリップル防止スイッチング素子を含む。そのリップル防止スイッチング素子のドレインはリップル防止ダイオードのドレインに接続され、ソースの電位はゲートオフ電圧に維持され、ゲートはクロック信号の反転信号を受信する。

40

【0008】

プルアップ部の出力端子がリップル防止ダイオードのソース及びゲートに接続されている。その他に、ゲート駆動回路がキャリ出力部を含む場合、そのキャリ出力部の出力端子がリップル防止ダイオードのソース及びゲートに接続されていてもよい。ここで、キャリ出力部は、クロック信号を用いてキャリ信号を生成して、後続のステージのいずれかのプルアップ駆動部に出力する。更に、プルアップ部の入力端子に接続された入力端子を通してクロック信号を受信し、出力信号をクロック信号に合わせて変動させる第2プルアップ部をゲート駆動回路が更に有する場合、第2プルアップ部の出力端子がリップル防止ダイオードのソース及びゲートに接続されていてもよい。

50

【 0 0 0 9 】

インバータ部は、好ましくは一对のスイッチング素子を含む。各スイッチング素子のドレインはクロック信号を受信し、ソースの電位はゲートオフ電圧に維持され、ドレインはリップル防止ダイオードのドレインに接続されている。その場合、リップル防止部は、インバータ部の含む一对のスイッチング素子のいずれかのゲートとソースとの間に接続されている。

【 0 0 1 0 】

本発明によるこのゲート駆動回路では、リップル防止部が、インバータ部の入力端子に入力されるリップル信号をリップル防止ダイオードによって弱め、又は、リップル防止スイッチング素子若しくはリップル防止キャパシタによってバイパスさせる。それにより、リップル防止部はインバータ部へのリップル信号の入力を防止する。その結果、このゲート駆動回路は、リップル信号に起因するインバータ部の出力不良を防止できる。

10

【 発明の効果 】

【 0 0 1 1 】

本発明によれば、ゲート信号の出力端子及びゲート線に生じたノイズに起因するリップル信号がインバータ部には入力されない。従って、そのノイズに起因するインバータ部の出力不良を防止することができる。その結果、ゲート駆動回路の信頼性を更に向上させることができる。それにより、本発明は、表示装置の画質を更に改善するという効果を発揮できる。

【 発明を実施するための最良の形態 】

20

【 0 0 1 2 】

以下、添付の図面を参照しながら、本発明の好ましい実施例を詳細に説明する。

図1は、本発明の第1実施例による液晶表示装置のブロック図である。図1に示されているように、その液晶表示装置は、液晶パネル300、ゲート駆動回路400L、400R、データ駆動回路500、階調電圧生成部800、タイミング制御部600、及び電圧生成部700を有する。ゲート駆動回路は第1シフトレジスタ400L及び第2シフトレジスタ400Rを含む。

【 0 0 1 3 】

図1には示されていないが、液晶パネル300では、第1表示パネルと第2表示パネルとが液晶層を隔てて互いに対向している。液晶パネル300は更に、図1に示されているように、複数の表示信号線G1~Gn、D1~Dmと、マトリクス状に配列された複数の画素PXとを含む。表示信号線G1~Gn、D1~Dmと画素PXとは好ましくは、第1表示パネルに形成されている。

30

【 0 0 1 4 】

表示信号線は、n本のゲート線G1~Gnとm本のデータ線D1~Dmとを含む(n、m：整数)。ゲート線G1~Gnは、画素マトリクスの行方向に互いにほぼ平行に延び、画素行ごとにゲート信号を伝達する。データ線D1~Dmは、画素マトリクスの列方向に互いにほぼ平行に延び、画素列ごとにデータ電圧を伝達する。

【 0 0 1 5 】

図1には示されていないが、各画素PXは、スイッチング素子、液晶キャパシタ、及びストレージキャパシタを含む。スイッチング素子の制御端子はいずれかのゲート線G1~Gnに接続され、入力端子はいずれかのデータ線D1~Dmに接続され、出力端子は同じ画素PXの液晶キャパシタ及びストレージキャパシタに接続されている。スイッチング素子は、その制御端子に対してゲート線から印加されるゲート信号に応じてオンオフし、その入力端子に対してデータ線から印加されたデータ電圧を同じ画素PXの液晶キャパシタ及びストレージキャパシタに伝達する。液晶キャパシタは、画素電極と共通電極とを二つの端子とみなし、それら二つの電極の間に挟まれた液晶層の部分を誘電体とみなしたキャパシタである。ここで、画素電極は第1表示パネルに画素PXごとに形成され、共通電極は第2表示パネルの全面を覆っている。画素電極は同じ画素PXのスイッチング素子の出力端子に接続され、オン状態のスイッチング素子を通してデータ線からデータ電圧を受ける。共通電極は外部から共通電圧Vcomを受ける。ストレージキャパシタは好ましくは、第1表示パネルに形成

40

50

された別の信号線と画素電極とが絶縁体を隔てて重なった部分から形成されている。この別の信号線に対しては、外部から共通電圧Vcomなどの所定の電圧が印加される。尚、ストレージキャパシタは省略されてもよい。

【0016】

図1には示されていないが、好ましくは、第2表示パネルの各画素領域にカラーフィルタが形成されている。各カラーフィルタの色は、赤色、緑色、又は青色である。カラーフィルタはその他に、第1表示パネルの画素電極の上層に、又は下地に形成されてもよい。

【0017】

図1には示されていないが、液晶パネル300の少なくともいずれかの外面には偏光子が接着されている。偏光子は、液晶パネル300に入射した光のうち、特定の偏光成分を透過させる。

10

【0018】

図1に示されているように、階調電圧生成部800はデータ駆動回路500に連結され、データ駆動回路500に複数の階調電圧を供給する。それらの階調電圧は好ましくは、画素PXの透過率の調節可能な値の全てに対応づけられている。その他に、他の階調電圧の基準とされるべき特定の階調電圧（以下、基準階調電圧という）だけが階調電圧生成部800によって生成されてもよい。その場合、他の階調電圧はデータ駆動回路500によって基準階調電圧に基づいて生成される。階調電圧生成部800は好ましくは、2組の階調電圧群を生成する。そのうちの1組は、共通電圧Vcomに対して正極性の階調電圧から成り、もう1組は負極性の階調電圧から成る。

20

【0019】

図1には示されているように、第1シフトレジスタ400Lは液晶パネル300の片側に配置され、第2シフトレジスタ400Rは、画素マトリクスを隔てて液晶パネル300の反対側に配置されている。いずれのシフトレジスタ400L、400Rも、タイミング制御部600と全てのゲート線G1~Gnとに接続され、タイミング制御部600からのゲート制御信号CONT1に従い、ゲート信号を全てのゲート線G1~Gnに対して順番に印加する。ゲート信号はゲートオン電圧とゲートオフ電圧Voffとの組み合わせから成る。各シフトレジスタ400L、400Rはゲート制御信号CONT1の示すタイミングに従い、各ゲート信号のレベルを順番にゲートオフ電圧Voffからゲートオン電圧に切り換え、所定時間ずつゲートオン電圧に維持する。

【0020】

データ駆動回路500は、タイミング制御部600、階調電圧生成部800、データ線D1~Dmに接続されている。データ駆動回路500は好ましくは、複数の集積回路から成る。データ駆動回路500は、タイミング制御部600からは出力映像信号DATとデータ制御信号CONT2とを受信し、階調電圧生成部800からは複数の階調電圧を受信する。データ駆動回路500は出力映像信号DATに応じて階調電圧群の中から階調電圧を選択し、データ電圧として各データ線を通して各画素に対し、データ制御信号CONT2の示すタイミングで印加する。ここで、階調電圧生成部800から基準階調電圧のみが提供される場合、データ駆動回路500は基準階調電圧を分圧して所望のデータ電圧を生成する。

30

【0021】

電圧生成部700は、タイミング制御部600からの制御信号に従い、複数の駆動電圧を生成する。電圧生成部700は好ましくは、ゲートオフ信号Voffを生成して各シフトレジスタ400L、400Rに供給し、共通電圧Vcomを生成して液晶パネル300に供給する。

40

【0022】

タイミング制御部600は、好ましくは外部のグラフィックコントローラ（図1には示されていない）から入力映像信号R、G、Bと入力制御信号とを受信する。入力制御信号は、好ましくは、垂直同期信号Vsync、水平同期信号Hsync、メインクロックMCLK、データインエーブル信号DEを含む。タイミング制御部600は、入力制御信号に基づいて、ゲート制御信号CONT1やデータ制御信号CONT2等の制御信号を生成し、他の駆動回路400L、400R、500、700に出力する。それにより、各駆動回路の動作が制御される。タイミング制御部600は更に、入力映像信号R、G、Bを、ガンマ特性等、液晶パネル300の動作条件に合わせて適切に

50

処理して、出力映像信号DATに変換する。タイミング制御部600は、ゲート制御信号CONT1を各シフトレジスタ400L、400Rに供給し、データ制御信号CONT2と出力映像信号DATをデータ駆動回路500に供給する。

【 0 0 2 3 】

ゲート制御信号CONT1は好ましくは、一对の開始信号STV1、STV2、第1クロック信号CKV1とその反転信号CKVB1、第2クロック信号CKV2とその反転信号CKVB2、及び出力イネーブル信号を含む。一对の開始信号STV1、STV2により、出力映像信号DATのフレームごとに、ゲート信号のレベルをゲートオン電圧に最初に切り換えるタイミングが各シフトレジスタ400L、400Rに対して指示される。二対のクロック信号CKV1、CKVB1、CKV2、CKVB2は、各シフトレジスタ400L、400Rによってゲート信号のレベルを切り換えるタイミングを示し、ゲート信号そのものとしても利用される。出力イネーブル信号は、各シフトレジスタ400L、400Rによって各ゲート信号のレベルをゲートオン電圧に持続させる期間を示す。

10

【 0 0 2 4 】

データ制御信号CONT2は好ましくは、水平同期開始信号、データロード信号、及びデータクロック信号を含む。水平同期開始信号によって、データ駆動回路500に出力映像信号DATの入力開始が指示される。データロード信号及びデータクロック信号によって、データ駆動回路500にデータ線D1～Dmに対するデータ電圧の印加タイミングが指示される。データ制御信号CONT2はその他に、反転信号を含んでもよい。反転信号によって、共通電圧Vcomに対するデータ電圧の極性を反転させるタイミングがデータ駆動回路500に指示される。

【 0 0 2 5 】

上記の液晶表示装置は以下のように動作する。

まず、タイミング制御部600が、外部のグラフィックコントローラから入力映像信号R、G、B及び入力制御信号を受信する。タイミング制御部600はそのとき、入力映像信号R、G、Bを出力映像信号DATに変換し、入力制御信号に基づいてゲート制御信号CONT1及びデータ制御信号CONT2を生成する。タイミング制御部600はその後、ゲート制御信号CONT1をゲート駆動回路400L、400Rに出力し、データ制御信号CONT2と出力映像信号DATとをデータ駆動回路500に出力する。

20

【 0 0 2 6 】

データ駆動回路500は、データ制御信号CONT2に応じ、1行の画素PXごとに、対応する出力映像信号DATを受信する。データ駆動回路500は更に、その出力映像信号DATに応じて階調電圧をデータ電圧として選択する。こうして、デジタル信号である出力映像信号DATが、アナログ信号であるデータ電圧に変換される。データ駆動回路500はその後、データ制御信号CONT2の示すタイミングで各データ電圧を目標のデータ線D1～Dmに対して印加する。

30

【 0 0 2 7 】

各シフトレジスタ400L、400Rは、ゲート制御信号CONT1に従って、ゲートオン電圧をゲート線G1～Gnに対して順番に1水平周期ずつ印加する。ここで、1水平周期は水平同期信号Hsync及びデータイネーブル信号DEの1周期に等しい。ゲートオン電圧が印加される間、各ゲート線G1～Gnに接続されたスイッチング素子が一齐にターンオンする。それにより、各データ線D1～Dmに供給されたデータ電圧が、ターンオンしたスイッチング素子を通して同じ画素PXの画素電極に対して印加される。

40

【 0 0 2 8 】

各画素PXでは、画素電極に対して印加されたデータ電圧と共通電圧Vcomとの間の差によって液晶キャパシタが充電され、その両端電圧が調節される。その両端電圧によってその画素PXの液晶層には電場が生じ、液晶分子の配列が、その電場の変化に応じて変化する。それにより、その液晶層を通過する光の偏光方向が変化する。この偏光方向の変化は液晶パネル300に接着された偏光子によって、その画素PXの光透過率の変化として現れる。こうして、その画素PXの輝度が出力映像信号DATの示す階調に調節される。

【 0 0 2 9 】

タイミング制御部600は、ゲート制御信号CONT1とデータ制御信号CONT2とにより、各シ

50

フトレジスタ400L、400Rが i 番目 ($i = 1, 2, \dots, n$) のゲート線 G_i に対するゲート信号のレベルをゲートオン電圧に維持するタイミングと、データ駆動回路500が第 i 行の画素PXに対するデータ電圧を各データ線 $D_1 \sim D_m$ に対して印加するタイミングとを同期させる。この同期操作を1フレーム期間中に水平周期で繰り返すことにより、すべてのゲート線 $G_1 \sim G_n$ に対して順番にゲートオン電圧が1水平周期ずつ印加されて、すべての画素に対してデータ電圧が印加される。こうして、1フレームの映像が液晶パネル300の画面に表示される。

【0030】

1フレームの表示が終了すると、次のフレームの表示が開始される。そのとき、タイミング制御部600は好ましくは、各画素PXに対して印加されるデータ電圧の極性が直前のフレームでの極性とは逆になるように、データ駆動回路500に対して印加される反転信号の状態を制御する(フレーム反転)。この場合、反転信号の特性を利用して、更に同じフレーム内でも、各データ線を通して伝達されるデータ電圧の極性を水平周期で反転させ(行反転、ドット反転)、又は、同じ画素行に対して印加されるデータ電圧の極性をデータ線ごとに反転させてもよい(列反転、ドット反転)。

10

【0031】

以下、図2～図4を参照しながら、本発明の第1実施例によるゲート駆動回路で使用されるシフトレジスタについて説明する。

【0032】

図2は、本発明の第1実施例によるシフトレジスタのブロック図である。図2に示されているように、第1シフトレジスタ400Lは各ゲート線の片側からゲート信号Gout1、Gout2、...を印加し、第2シフトレジスタ400Rは同じゲート線の反対側からゲート信号Gout1、Gout2、...を印加する。第1シフトレジスタ400Lと第2シフトレジスタ400Rとは同時に起動し、同じゲート線に対するゲート信号Gout1、Gout2、...のレベルを同時に切り換える。

20

【0033】

第1シフトレジスタ400Lは j 個の左側ステージSTL1、...、STL(j) ($j < n$) から成り、ゲート信号Gout1、...、Gout(j)のレベルを順番にゲートオン電圧に切り換える。第2シフトレジスタ400Rは、左側ステージと同数、すなわち j 個の右側ステージSTR1、...、STR(j) から成り、ゲート信号Gout1、...、Gout(j)のレベルを順番にゲートオン電圧に切り換える。奇数番目の左側ステージSTL1、STL3、STL5、...は縦続接続され、偶数番目の左側ステージSTL2、STL4、STL6、...は縦続接続されている。同様に、奇数番目の右側ステージSTR1、STR3、STR5、...は縦続接続され、偶数番目の右側ステージSTR2、STR4、STR6、...は縦続接続されている。

30

【0034】

本発明の第1実施例によるシフトレジスタ400L、400Rは構造が同一である。従って、以下、第1シフトレジスタ400Lの構造について説明し、第2シフトレジスタ400Rの構造については第1シフトレジスタ400Lの説明を援用する。

【0035】

各ステージSTL1、...、STL(j)は、第1クロック端子CK1、第2クロック端子CK2、セット端子S、リセット端子R、オフ電圧端子GV、フレームリセット端子FR、ゲート出力端子OUT1、及びキャリ出力端子OUT2を含む。

40

【0036】

($4i + 1$) 番目 ($i = 0, 1, 2, \dots$) のステージSTL1、STL5、...の第1クロック端子CK1には第1クロック信号CKV1が入力され、第2クロック端子CK2には第1反転クロック信号CKVB1が入力される。($4i + 2$) 番目のステージSTL2、STL6、...の第1クロック端子には第2クロック信号CKV2が入力され、第2クロック端子CK2には第2反転クロック信号CKVB2が入力される。($4i + 3$) 番目のステージSTL3、STL7、...の第1クロック端子CK1には第1反転クロック信号CKVB1が入力され、第2クロック端子CK2には第1クロック信号CKV1が入力される。($4i + 4$) 番目のステージSTL4、STL8、...の第1クロック端子には第2反転クロック信号CKVB2が入力され、第2クロック端子CK2には第2クロック信号CK

50

V2が入力される。

【 0 0 3 7 】

図 4 に、二対のクロック信号CKV1、CKVB1、CKV2、CKVB2の波形を示す。図 4 に示されているように、各クロック信号の周期Tはいずれも水平周期1Hの 4 倍に等しい。第 1 クロック信号CKV1と第 1 反転クロック信号CKVB1とは互いに逆位相であり、第 2 クロック信号CKV2と第 2 反転クロック信号CKVB2とは互いに逆位相である。また、第 2 クロック信号CKV2は第 1 クロック信号CKV1より位相が 1 / 4 周期、すなわち 1 水平周期1H遅れている。同様に、第 1 反転クロック信号CKVB1は第 2 反転クロック信号CKVB2より位相が 1 / 4 周期遅れている。

【 0 0 3 8 】

先頭のステージSTL1から n 番目のステージSTL(n)までの各ゲート出力端子OUT1は 1 本のゲート線G1、...、Gnに接続され、そのゲート線に対してゲート信号Gout1、...、Gout(n)を出力する。

【 0 0 3 9 】

図 4 に、先頭から 4 番目までの各ステージST1、...、STL4から出力されるゲート信号Gout1、...、Gout4の波形を示す。尚、他のステージから出力されるゲート信号の波形も同様である。図 4 に示されているように、各ゲート信号Gout1、Gout2、...のレベルは、1 フレーム当たり水平周期1Hの 2 倍の時間ずつゲートオン電圧Vonに維持され、それ以外の期間ではゲートオフ電圧Voffに維持される。ゲートオン電圧Vonの持続期間は、好ましくは、予備充電区間と主充電区間との二つに分けられる。更に好ましくは、予備充電区間と主充電区間とは長さが等しく、特に 1 水平周期1Hに等しい。データ駆動回路500は、各ゲート信号Gout1、Gout2、...の主充電区間M1、M2、...に合わせて、そのゲート信号Gout1、Gout2、...が印加される画素行に対するデータ電圧DATA1、DATA2、...を各データ線D1、D2、...に対して印加する。そのデータ電圧DATA1、DATA2、...によって目標の画素行の各液晶キャパシタが充電され、その両端電圧が目標値に調節される。一方、隣接する二本のゲート線では、前のゲート線によって伝達されるゲート信号、例えば第 1 ゲート信号Gout1、の主充電区間M1が、後のゲート線によって伝達されるゲート信号、例えば第 2 ゲート信号Gout2、の予備充電区間P2と重なっている。従って、例えば第 2 ゲート信号Gout2の予備充電区間P2では、先頭の画素行に対して印加されたデータ電圧DATA1が、第 2 画素行に対しても印加される。それにより、第 2 画素行では、各液晶キャパシタが第 2 ゲート信号Gout2の主充電区間M2に先だって充電を開始する。その結果、その主充電区間M2では、第 2 画素行の各液晶キャパシタの両端電圧が速やかに、かつ確実に、目標値に到達する。尚、データ駆動回路500は、第 1 ゲート信号Gout1の予備充電区間P1に合わせて予備のデータ電圧DATA0を各データ線D1、D2、...に対して印加してもよい。それにより、第 1 ゲート信号Gout1の主充電区間M1では、先頭の画素行の各液晶キャパシタの両端電圧が速やかに、かつ確実に、目標値に到達する。

【 0 0 4 0 】

第 1 ステージSTL1のセット端子Sには第 1 開始信号STV1が入力され、第 2 ステージSTL2のセット端子Sには第 2 開始信号STV2が入力される。図 4 に、各開始信号STV1、STV2の波形を示す。図 4 に示されているように、各開始信号STV1、STV2のレベルは、各フレームの開始時に水平周期1Hの 2 倍の時間ずつハイレベルに維持され、それ以外の期間ではローレベルに維持される。更に、第 2 開始信号STV2の立ち上がりは第 1 開始信号STV1の立ち上がりより 1 水平周期1H遅い。第 1 クロック信号の対CKV1、CKVB1の先頭パルスは第 1 開始信号STV1に同期して生成され、第 2 クロック信号の対CKV2、CKVB2の先頭パルスは第 2 開始信号STV2に同期して生成される。

【 0 0 4 1 】

第 3 ステージSTL3以降の各ステージSTL(i) (i = 3、4、...) のセット端子Sには、二つ前のステージSTL(i - 2)のキャリ出力端子が接続されている。ここで、各ステージSTL1、...、STL(j)はキャリ出力端子OUT2からキャリ信号を出力する。従って、第 3 ステージSTL3以降の各ステージSTL(i)のセット端子Sには、二つ前のステージSTL(i - 2)からそのキャリ信

10

20

30

40

50

号が入力される。

【 0 0 4 2 】

最後の三つのステージSTL(j - 2)、STL(j - 1)、STL(j)を除く各ステージSTL(i) (i = 1、2、...、j - 3)のリセット端子Rは、三つ後ろのステージSTL(i + 3)のゲート出力端子OUT1に接続され、そこからゲート信号Gout(i + 3)を受信する。最後の三つのステージSTL(j - 2) ~ STL(j)のリセット端子Rには、第1開始信号STV1が入力される。

【 0 0 4 3 】

各ステージSTL1、...、STL(j)のオフ電圧端子GVにはゲートオフ信号Voffが入力され、フレームリセット端子FRには初期化信号INTが入力される。好ましくは、各ステージSTL1、...、STL(j)のフレームリセット端子FRは、最後のステージSTL(j)のキャリ出力端子OUT2に接続されている。それにより、最後のステージSTL(j)のキャリ信号が初期化信号INTとして各ステージSTL1、...、STL(j)に供給される。

10

【 0 0 4 4 】

最後の三つのステージSTL(j)、STL(j - 1)、STL(j - 2)は好ましくはダミーステージとして利用される。すなわち、それら三つのステージSTL(j)、STL(j - 1)、STL(j - 2)の各ゲート出力端子OUT1は、ダミーのゲート線、又は前段の三つのステージSTL(j - 3)、STL(j - 4)、STL(j - 5)の各リセット端子Rに接続される。また、最後の三つのステージSTL(j)、STL(j - 1)、STL(j - 2)のキャリ出力端子OUT2は、開放されていてもよい。

【 0 0 4 5 】

図3は、図2に示されている第1シフトレジスタ400Lの左側ステージSTL(i) (i = 1、2、...、j)の等価回路図である。以下、図3を参照しながら、各ステージの等価回路を説明する。尚、第2シフトレジスタ400Rの右側ステージSTR(i)は第1シフトレジスタ400Lの左側ステージSTL(i)と等価回路が同一である。従って、以下、左側ステージSTL(i)の等価回路について説明し、右側ステージの等価回路については左側ステージSTL(i)の説明を援用する。

20

【 0 0 4 6 】

図3に示されているように、各ステージは、プルアップ駆動部211、プルダウン部219、プルアップ部213、キャリ出力部214、リップル改善部215、インバータ部216、保持部217、リセット部218、及びリップル防止部215aを有する。

【 0 0 4 7 】

プルアップ駆動部211は、第4スイッチング素子T4、第1キャパシタC1、及び第2キャパシタC2を含む。第4スイッチング素子T4のゲートとソースとはセット端子Sに接続され、ドレインは第1ノードN1に接続されている。第1キャパシタC1は第1ノードN1と第2ノードN2との間に接続されている。第2キャパシタC2は第1ノードN1とキャリ出力端子OUT2との間に接続されている。プルアップ駆動部211は、セット端子Sを通して二つ前のステージSTL(i - 2)からキャリ信号Cout(i - 2)を受信し、そのキャリ信号Cout(i - 2)のレベルに応じてプルアップ部213の第1スイッチング素子T1をオンオフさせる。尚、第1ステージSTL1のセット端子Sには第1開始信号STV1が入力され、第2ステージSTL2のセット端子Sには第2開始信号STV2が入力される。

30

【 0 0 4 8 】

プルダウン部219は、プルダウンスイッチング素子T2と第9スイッチング素子T9とを含む。プルダウンスイッチング素子T2のゲートはリセット端子Rに接続され、ソースはオフ電圧端子GVに接続され、ドレインはゲート出力端子OUT1に接続されている。第9スイッチング素子T9のゲートはリセット端子Rに接続され、ソースはオフ電圧端子GVに接続され、ドレインは第1ノードN1を通してプルアップ部213の第1スイッチング素子T1のゲートに接続されている。ここで、第9スイッチング素子T9のアスペクト比は、プルアップ部213の第1スイッチング素子T1のアスペクト比の1 / 20 ~ 1 / 10に設定されている。

40

【 0 0 4 9 】

プルダウンスイッチング素子T2は、三つ後ろのステージSTL(i + 3)からのゲート信号Gout(i + 3)に応じてオンオフすることにより、ゲート出力端子OUT1をオフ電圧端子GVに接続

50

し、又はその接続を遮断する。尚、最後の三つのステージSTL(j-2)~STL(j)のプルダウンスイッチング素子T2は、第1開始信号STV1に応じてオンオフする。プルダウンスイッチング素子T2は特に、ゲート信号Gout(i+3)の立ち上がりに応じてターンオンし、ゲート出力端子OUT1の電圧、すなわちゲート信号GOUT(i)のレベルをゲートオフ電圧Voffに維持する。一方、第9スイッチング素子T9は、三つ後ろのステージSTL(i+3)からのゲート信号Gout(i+3)に応じてオンオフすることにより、第1スイッチング素子T1のゲートをオフ電圧端子GVに接続し、又はその接続を遮断する。尚、最後の三つのステージSTL(j-2)~STL(j)の第9スイッチング素子T9は、第1開始信号STV1に応じてオンオフする。第9スイッチング素子T9は特に、ゲート信号Gout(i+3)の立ち上がりに応じてターンオンし、第1スイッチング素子T1のゲート電位をゲートオフ電圧Voffに維持して、第1スイッチング素子T1をターンオフさせる。このように、プルダウン部219は、三つ後ろのステージSTL(i+3)からのゲート信号Gout(i+3)又は第1開始信号STV1の立ち上がりに応じて、ゲート信号Gout(i)のレベルをゲートオフ電圧Voffに維持し、それと同時に、プルアップ部213の第1スイッチング素子T1をターンオフさせる。また、プルダウン部219は第1キャパシタC1の両端を短絡させて、第1キャパシタC1を完全に放電させる。

【0050】

プルアップ部213は第1スイッチング素子T1を含む。第1スイッチング素子T1のゲートは第1ノードN1に接続され、ソースは第1クロック端子CK1に接続され、ドレインはゲート出力端子OUT1に接続されている。すなわち、第1スイッチング素子T1のドレインがプルアップ部213の出力端子として利用される。第1スイッチング素子T1は、プルアップ駆動回路211から供給されるキャリ信号Cout(i-2)の立ち上がりに応じてターンオンして第1クロック端子CK1をゲート出力端子OUT1に接続する。それにより、第1クロック端子CK1に供給されるクロック信号CKV1(又は、CKVB1、CKV2、CKVB2)をゲート信号Gout(i)としてゲート出力端子OUT1から出力する。プルアップ部213はまた、プルダウン部219から供給されるゲートオフ電圧Voffによってターンオフして、第1クロック端子CK1をゲート出力端子OUT1から分離する。

【0051】

キャリ出力部214は第15スイッチング素子T15を含む。第15スイッチング素子T15のゲートは第1ノードN1に接続され、ソースは第1クロック端子CK1に接続され、ドレインはキャリ出力端子OUT2に接続されている。キャリ出力部214は、プルアップ駆動回路211に従ってターンオンして第1クロック端子CK1をキャリ出力端子OUT2に接続する。それにより、第1クロック端子CK1を介して供給されるクロック信号CKV1、CKVB1、CKV2、又はCKVB2がキャリ信号Cout(i)としてキャリ出力端子OUT2から出力される。尚、その他の実施例として、キャリ信号Cout(i)は、第15スイッチング素子T15に代えて、プルアップ部213の出力端子から出力されてもよい。その場合、キャリ出力部214は省略されてもよい。

【0052】

リップル改善部215は、第11スイッチング素子T11、第10スイッチング素子T10、及び第5スイッチング素子T5を含む。それらのスイッチング素子T11、T10、T5はその順で、セット端子Sとオフ電圧端子GVとの間に直列に接続されている。第11スイッチング素子T11のゲートは第2クロック端子CK2に接続され、ソースはセット端子Sに接続されて、ドレインは第1ノードN1に接続されている。第10スイッチング素子T10のゲートは第1クロック端子CK1に接続され、ソースは第2ノードN2に接続され、ドレインは第1ノードN1に接続されている。第5スイッチング素子T5のゲートは第2クロック端子CK2に接続され、ソースはオフ電圧端子GVに接続され、ドレインは第2ノードN2に接続されている。

【0053】

第10スイッチング素子T10は、第1クロック端子CK1に供給されるクロック信号CKV1(又は、CKVB1、CKV2、CKVB2)に応じてオンオフし、第1ノードN1と第2ノードN2との間を接続し、又はその接続を遮断する。第10スイッチング素子T10は特に、第1クロック端子CK1の電位がゲート出力端子OUT1の電位より高く上昇したときにターンオンし、第1ノードN1と第2ノードN2とを通してゲート出力端子OUT1を第1スイッチング素子T1のゲート

10

20

30

40

50

に接続する。それにより、後述のように、ゲート信号Gout(i)から、クロック信号CKV1(又は、CKVB1、CKV2、CKVB2)の立ち上がりに伴うリップルを除去する。

【0054】

第11スイッチング素子T11は、第2クロック端子CK2に供給される反転クロック信号CKVB1(又は、CKV1、CKVB2、CKV2)に応じてオンオフし、セット端子Sを第1ノードN1に接続し、又はその接続を遮断する。第11スイッチング素子T11は特に、第2クロック端子CK2の電位が第1ノードN1の電位より高く立ち上がる時にターンオンし、セット端子Sと第1ノードN1とを通して二つ前のステージからのキャリ信号Cout(i-2)を第1スイッチング素子T1のゲートに供給する。それにより、後述のように、ゲート信号Gout(i)から、反転クロック信号CKVB1(又は、CKV1、CKVB2、CKV2)の立ち上がり、すなわち、クロック信号CKV1(又は、CKVB1、CKV2、CKVB2)の立ち下がりに伴うリップルを除去する。

10

【0055】

第5スイッチング素子T5は、第2クロック端子CK2に供給される反転クロック信号CKVB1(又は、CKV1、CKVB2、CKV2)に応じてオンオフし、オフ電圧端子GVを第2ノードN2に接続し、又はその接続を遮断する。第5スイッチング素子T5は特に、第2クロック端子CK2の電位が第1ノードN1の電位より高く立ち上がる時にターンオンし、第2ノードN2を通してゲートオフ電圧Voffをゲート出力端子OUT1に供給する。それにより、後述のように、ゲート信号Gout(i)から、反転クロック信号CKVB1(又は、CKV1、CKVB2、CKV2)の立ち上がり、すなわち、クロック信号CKV1(又は、CKVB1、CKV2、CKVB2)の立ち下がりに伴うリップルを除去する。

20

【0056】

インバータ部216は、四個のスイッチング素子T12、T7、T13、T8と二個のキャパシタC3、C4を含む。第12スイッチング素子T12のゲートとソースとは第1クロック端子CK1に接続され、ドレインは第3ノードN3に接続されている。第7スイッチング素子T7のゲートは第3ノードN3に接続され、ソースは第1クロック端子CK1に接続され、ドレインは第4ノードN4に接続されている。第3キャパシタC3は第1クロック端子CK1と第3ノードN3の間に接続され、第4キャパシタC4は第3ノードN3と第4ノードN4の間に接続されている。第13スイッチング素子T13と第8スイッチング素子T8との各ゲートは第5ノードN5に接続され、各ソースはオフ電圧端子GVに接続されている。第13スイッチング素子T13のドレインは第3ノードN3に接続され、第8スイッチング素子T8のドレインは第4ノードN4に接続されている。

30

【0057】

第12スイッチング素子T12と第7スイッチング素子T7とは、第1クロック端子CK1に供給されるクロック信号CKV1(又は、CKVB1、CKV2、CKVB2)に応じてオンオフし、第1クロック端子CK1を第3ノードN3及び第4ノードN4に接続し、又はその接続を遮断する。第13スイッチング素子T13と第8スイッチング素子T8とは、第5ノードN5の電位に応じて同時にオンオフする。第13スイッチング素子T13はターンオンすることによって第3ノードN3をオフ電圧端子GVに接続し、その電位をゲートオフ電圧Voffに維持する。第8スイッチング素子T8はターンオンすることによって第4ノードN4をオフ電圧端子GVに接続し、その電位をゲートオフ電圧Voffに維持する。

40

【0058】

保持部217は、第3スイッチング素子T3を含む。第3スイッチング素子T3のゲートはインバータ部216の第4ノードN4に接続され、ソースはオフ電圧端子GVに接続され、ドレインはゲート出力端子OUT1に接続されている。第3スイッチング素子T3は第4ノードN4の電位に応じてオンオフし、オフ電圧端子GVをゲート出力端子OUT1に接続し、又はその接続を遮断する。

【0059】

リセット部218は、第6スイッチング素子T6を含む。プルアップ駆動部第6スイッチング素子T6のゲートはフレームリセット端子FRに接続され、ソースはオフ電圧端子GVに接続され、ドレインは第1ノードN1に接続されている。第6スイッチング素子T6は、初期化信

50

号INT、すなわち、最後のステージSTL(j)からのキャリ信号Cout(j)に応じてオンオフし、オフ電圧端子GVを第1ノードN1に接続し、又はその接続を遮断する。第6スイッチング素子T6は特に、後述のように、各フレームの終了時にターンオンすることによって、第1スイッチング素子T1と第15スイッチング素子T15とを確実にターンオフさせて、ゲート出力端子OUT1とキャリ出力端子OUT2とをリセットする。

【0060】

リップル防止部215aは、リップル防止ダイオードRT17、リップル防止スイッチング素子RT18、及びリップル防止キャパシタRC7を含む。リップル防止ダイオードRT17は、好ましくはダイオード接続のスイッチング素子から成る。そのスイッチング素子RT17のソースとゲートとは第2ノードN2に共通接続され、ドレインはインバータ部216の第5ノードN5を通して第8スイッチング素子T8と第13スイッチング素子T13との各ゲートに接続されている。リップル防止スイッチング素子RT18のドレインは第5ノードN5に接続され、ゲートは第2クロック端子CK2に接続され、ソースはオフ電圧端子GVに接続されている。リップル防止キャパシタRC7は第8スイッチング素子T8のゲートとソースとの間に接続されている。尚、リップル防止キャパシタRC7は第13スイッチング素子T13のゲートとソースとの間に接続されていてもよい。

10

【0061】

ゲート線がその寄生キャパシタを通して外部からノイズを受けた場合、そのノイズの影響により、そのゲート線からゲート出力端子OUT1にリップル信号が入力されることがある。その場合、そのリップル信号は、インバータ部216の第8スイッチング素子T8と第13スイッチング素子T13との各ゲートに、直接ではなく、リップル防止ダイオードRT17を通して入力される。従って、リップル信号に伴う各ゲート電位の急激な上昇は、少なくともリップル防止ダイオードRT17のしきい値電圧だけ弱められるので、インバータ部216の動作、特に第8スイッチング素子T8と第13スイッチング素子T13との動作が、リップル信号の影響を受けにくくなる。

20

【0062】

リップル防止スイッチング素子RT18は、第2クロック端子CK2に入力される反転クロック信号CKVB1(又は、CKV1、CKVB2、CKV2)に応じてオンオフして、インバータ部216の第8スイッチング素子T8と第13スイッチング素子T13との各ゲートをオフ電圧端子GVに接続し、又はその接続を遮断する。リップル防止スイッチング素子RT18は特に、後述のように、反転クロック信号CKVB1(又は、CKV1、CKVB2、CKV2)の立ち上がりに応じてターンオンし、第8スイッチング素子T8と第13スイッチング素子T13との各ゲート電位をゲートオフ電圧Voffに維持する。それにより、反転クロック信号CKVB1(又は、CKV1、CKVB2、CKV2)の立ち上がり、すなわち、クロック信号CKV1(又は、CKVB1、CKV2、CKVB2)の立ち下がりによってゲート出力端子OUT1から、第2ノードN2とリップル防止ダイオードRT17とを通して第5ノードN5に供給されるリップル信号を、第8スイッチング素子T8と第13スイッチング素子T13との各ゲートから除去する。

30

【0063】

リップル防止キャパシタRC7の一端はオフ電圧端子GVに接続されているので、その電位がゲートオフ電圧Voffに維持されている。従って、ゲート出力端子OUT1から、第2ノードN2とリップル防止ダイオードRT17とを通して第5ノードN5に供給されるリップル信号は、リップル防止キャパシタRC7をバイパスしてオフ電圧端子GVに流れる。それにより、インバータ部216の第8スイッチング素子T8と第13スイッチング素子T13との各ゲートにはリップル信号が流入しないので、各ゲートがリップル信号から保護される。

40

【0064】

図4は、図2に示されている先頭から4番目までの左側ステージSTL1~STL4に入出力される信号の波形図である。以下、図2、図3、図4を参照しながら、左側ステージの先頭である第1ステージSTL1の動作を説明する。尚、他のステージSTL2~STL(j)、STR1~STR(j)の動作も同様である。

【0065】

50

図4に示されている第1開始信号STV1の立ち上がり時刻 t_1 では、まず、セット端子Sの電位が立ち上がるので、プルアップ駆動回路211の第4スイッチング素子T4がターンオンする。それにより、第1ノードN1の電位がゲートオフ電圧 V_{off} から立ち上がる。一方、第1ステージSTL1のゲート出力端子OUT1、キャリ出力端子OUT2の各電位はいずれも、ゲートオフ電圧 V_{off} に維持されている。従って、ゲート出力端子OUT1と第1ノードN1との間の電位差によって第1キャパシタC1が充電され、キャリ出力端子OUT2と第1ノードN1との間の電位差によって第2キャパシタC2が充電される。尚、リセット部218の第6スイッチング素子が予め、好ましくは直前のフレームの終了時に、フレームリセット端子FRに入力された初期化信号INTの立ち上がりに応じてターンオンして第1キャパシタC1と第2キャパシタC2との各一端をオフ電圧端子GVに接続し、各キャパシタC1、C2を完全に放電させる。その結果、時刻 t_1 では、いずれのキャパシタC1、C2も、電荷を蓄積していない状態から充電を開始する。

【0066】

時刻 t_1 では更に、第1ノードN1での電位上昇により、プルアップ部213の第1スイッチング素子T1がターンオンして第1クロック端子CK1をゲート出力端子OUT1に接続し、キャリ出力部214の第15スイッチング素子T15がターンオンして第1クロック端子CK1をキャリ出力端子OUT2に接続する。そのとき、第1キャパシタC1はその両端電圧を第1スイッチング素子T1のしきい値電圧以上に維持し、第2キャパシタC2はその両端電圧を第15スイッチング素子T15のしきい値電圧以上に維持する。一方、第4ステージSTL4からリセット端子Rに入力されるゲート信号 G_{out4} のレベルはゲートオフ電圧 V_{off} に維持されているので、プルダウン部219のプルダウンスイッチング素子T2と第9スイッチング素子T9とはいずれもオフ状態を維持している。また、時刻 t_1 では、保持部217の第3スイッチング素子T3がオフ状態を維持している。従って、第1クロック端子CK1に供給される第1クロック信号CKV1が、ゲート出力端子OUT1からはゲート信号 G_{out1} として出力され、キャリ出力端子OUT2からはキャリ信号 C_{out1} として出力される。このとき、第1クロック端子CK1では第1クロック信号CKV1が立ち上がるので、ゲート信号 G_{out1} とキャリ信号 C_{out1} との各レベルがゲートオン電圧 V_{on} に上昇する。

【0067】

第1クロック信号CKV1の立ち上がり時、第2クロック端子CK2では、第1反転クロック信号CKVB1が立ち下がる。従って、リップル改善部215では、第10スイッチング素子T10がターンオンし、第11スイッチング素子T11と第5スイッチング素子T5とがターンオフする。第10スイッチング素子T10のターンオンにより、第1ノードN1と第2ノードN2とを通してゲート出力端子OUT1が第1スイッチング素子T1のゲートに接続される。それにより、第1クロック信号CKV1の立ち上がりに伴うゲート出力端子OUT1での急激な電位上昇が第1スイッチング素子T1のゲートにフィードバックされ、第1スイッチング素子T1のドレインとゲートとの間の電位差が安定に維持される。その結果、ゲート信号 G_{out1} から、第1クロック信号CKV1の立ち上がりに伴うリップルが除去される。尚、第10スイッチング素子T10のオン抵抗は十分に高いので、第10スイッチング素子T10を通した各キャパシタC1、C2の放電は十分に遅く、各放電量は十分に小さい。

【0068】

リップル防止部215aでは、第2クロック端子CK2での第1反転クロック信号CKVB1の立ち下がりに応じて、リップル防止スイッチング素子RT18がターンオフする。従って、第1クロック信号CKV1の立ち上がりに伴うゲート出力端子OUT1の電位上昇が、リップル防止ダイオードRT17を通して第5ノードN5の電位を上昇させる。それにより、インバータ部216の第13スイッチング素子T13と第8スイッチング素子T8とがいずれもターンオンする。ここで、第5ノードN5の急激な電位上昇に伴うリップル信号は、リップル防止ダイオードRT17とリップル防止キャパシタRC7を通してオフ電圧端子GVにバイパスされる。更に、第5ノードN5の電位上昇量はゲート出力端子OUT1の電位上昇量より、少なくともリップル防止ダイオードRT17のしきい値電圧だけ小さい。こうして、リップル信号から各スイッチング素子T13、T8のゲートが保護される。

10

20

30

40

50

【 0 0 6 9 】

インバータ部216では更に、第1クロック信号CKV1の立ち上がりに応じて第12スイッチング素子T12がターンオンして、第3ノードN3の電位を上昇させる。そのとき、第7スイッチング素子T7が続いてターンオンするように、第12スイッチング素子T12と第13スイッチング素子T13との間でのオン抵抗比は設計されている。従って、第3ノードN3の電位上昇に伴って第4ノードN4の電位が上昇する。更にそのとき、保持部217の第3スイッチング素子T3がオフ状態を維持するように、第7スイッチング素子T7と第8スイッチング素子T8との間でのオン抵抗比は設計されている。

【 0 0 7 0 】

第1クロック信号CKV1の立ち上がりに伴うゲート出力端子OUT1の電位上昇は、第1キャパシタC1を通して第1ノードN1の電位を更に上昇させる。第1ノードN1の電位がセット端子Sの電位、すなわち第1開始信号STV1のハイレベルに達したとき、プルアップ駆動回路211の第4スイッチング素子T4がターンオフするので、第1ノードN1の電位が更に上昇を続ける。その結果、図4に示されているように、時刻t1では、第1ノードN1の電位がゲートオフ電圧Voffから第1電圧レベルV1まで上昇する。更に、時刻t1から水平周期の2倍の時間が経過するまでの期間bでは第1クロック信号CKV1はハイレベルに維持されるので、第1ノードN1の電位は第1電圧レベルV1に維持され、第1スイッチング素子T1はオン状態を維持し、ゲート信号Gout1のレベルはゲートオン電圧Vonに維持される。

【 0 0 7 1 】

第1開始信号STV1の立ち上がり時刻t1から1水平周期1Hが経過した時、第2開始信号STV2が立ち上がる。それにより、第2ステージSTL2では、セット端子S、第1クロック端子CK1の各電位が立ち上がるので、第2ステージSTL2は時刻t1での第1ステージSTL1の動作と同様に動作して、ゲート信号Gout2のレベルをゲートオン電圧Vonに上昇させる。こうして、第1ステージSTL1がゲート信号Gout1をゲートオン電圧Vonに維持する期間の後半の1水平周期1H、すなわち主充電期間M1と、第2ステージSTL2がゲート信号Gout2をゲートオン電圧Vonに維持する期間の前半の1水平周期1H、すなわち予備充電期間P2とが重なる。

【 0 0 7 2 】

第1開始信号STV1の立ち上がり時刻t1から水平周期1Hの2倍が経過するまでの期間bでは、第1ステージSTL1はキャリ信号Cout1をハイレベルに維持する。それにより、第3ステージSTL3では第1ステージSTL1と同様に、セット端子Sの電位の立ち上がりによって第1スイッチング素子T1がターンオンして、第1クロック端子CK1をゲート出力端子OUT1に接続する。しかし、第3ステージSTL3では第1ステージSTL1とは、各クロック端子CK1、CK2に入力されるクロック信号が反対である。すなわち、時刻t1では第1クロック端子CK1の電位は立ち下がり、第2クロック端子CK2の電位が立ち上がる。従って、第3ステージSTL3は第1ステージSTL1とは逆に、ゲート信号Gout3のレベルをゲートオフ電圧Voffに維持する。

【 0 0 7 3 】

時刻t1から水平周期1Hの2倍の時間が経過した時刻t2では、第1クロック信号CKV1は立ち下がり、第1反転クロック信号CKVB1は立ち上がる。そのとき、第1ステージSTL1では、第1キャパシタC1の両端電圧によって第1スイッチング素子T1がオン状態を維持する一方、プルダウンスイッチング素子T2、第9スイッチング素子T9、及び第3スイッチング素子T3がいずれもオフ状態を維持している。従って、第1クロック端子CK1に供給される第1クロック信号CKV1がゲート出力端子OUT1を通してゲート信号Gout1として出力され続けるので、ゲート信号Gout1がゲートオフ電圧Voffに立ち下がり、主充電期間M1が終了する。尚、第2キャパシタC2の両端電圧によって第15スイッチング素子T15もオン状態を維持しているので、キャリ信号Cout1もゲート信号Gout1と同様に、ゲートオン電圧Voffに立ち下がる。

【 0 0 7 4 】

時刻t2では更に、ゲート出力端子OUT1の電位降下に伴い、第1ノードN1の電位は、図4に示されているように、第1電圧レベルV1より低い第2電圧レベルV2に降下する。ここで

10

20

30

40

50

、第2電圧レベルV2はゲートオフ電圧Voffより第1キャパシタC1の両端電圧だけ高いので、第1ノードN1とゲート出力端子OUT1との間の電位差は第1スイッチング素子T1のしきい値電圧以上である。従って、第1ノードN1の電位が第2電圧レベルV2に維持される期間では、第1スイッチング素子T1はオン状態を維持する。

【0075】

時刻t2では、第2クロック端子CK2に供給される第1反転クロック信号CKVB1が立ち下がるので、リップル改善部215では、第10スイッチング素子T10がターンオフし、第11スイッチング素子T11と第5スイッチング素子T5とがターンオンする。第11スイッチング素子T11のターンオンにより、セット端子Sと第1ノードN1とを通して第1開始信号STV1の立ち下がりが第1スイッチング素子T1のゲートに伝わる。一方、第5スイッチング素子T5のターンオンにより、第2ノードN2を通してゲートオフ電圧Voffがゲート出力端子OUT1に供給される。それらにより、第1クロック信号CKV1の立ち下がりに伴うゲート出力端子OUT1での急激な電位降下に関わらず、第1スイッチング素子T1のドレインとゲートとの間の電位差が安定に維持される。その結果、ゲート信号Gout1から、第1クロック信号CKV1の立ち下がりに伴うリップルが除去される。尚、第11スイッチング素子T11と第5スイッチング素子T5との各オン抵抗は十分に高いので、各スイッチング素子T11、T5を通した各キャパシタC1、C2の放電は十分に遅く、各放電量は十分に小さい。従って、時刻t2から、リセット端子Rに供給される第4ステージSTL4のゲート信号Gout4の次に立ち上がる時刻t3までの期間cにおいて、第1ノードN1の電位は第2電圧レベルV2に維持される。

【0076】

リップル防止部215aでは、第2クロック端子CK2での第1反転クロック信号CKVB1の立ち上がりに応じてリップル防止スイッチング素子RT18がターンオンし、オフ電圧端子GVを第5ノードN5に接続する。従って、第5ノードN5の電位がゲートオフ電圧Voffに維持されるので、インバータ部216の第13スイッチング素子T13と第8スイッチング素子T8とがいずれもターンオフする。ここで、第1クロック信号CKV1の立ち下がりに伴ってゲート出力端子OUT1から、第2ノードN2とリップル防止ダイオードRT17とを通して第5ノードN5に供給されるリップル信号は、リップル防止スイッチング素子RT18を通してオフ電圧端子GVにバイパスされるので、リップル信号から各スイッチング素子T8、T13のゲートが保護される。

【0077】

インバータ部216では更に、第1クロック信号CKV1の立ち下がりに応じて第12スイッチング素子T12がターンオフし、第3キャパシタC3を通して第3ノードN3の電位が低下する。従って、第7スイッチング素子T7が続いてターンオフし、第4キャパシタC4を通して第4ノードN4の電位が低下する。その結果、保持部217の第3スイッチング素子T3がオフ状態を維持する。

【0078】

時刻t2から1水平周期1H後の時刻t3では、図4に示されているように、第4ステージSTL4がそのゲート信号Gout4のレベルをゲートオン電圧Vonに上昇させるので、第1ステージSTL1ではリセット端子Rの電位が立ち上がる。従って、第9スイッチング素子T9がターンオンして、オフ電圧端子GVを第1ノードN1に接続するので、第1ノードN1の電位は、第2電圧レベルV2からゲートオフ電圧Voffに低下する。更にそのとき、第1キャパシタC1及び第2キャパシタC2は、第9スイッチング素子T9を通して放電する。それにより、第1スイッチング素子T1及び第15スイッチング素子T15がいずれもターンオフする。

【0079】

尚、他の実施例として、時刻t3では、プルダウンスイッチング素子T2に代えて、第9スイッチング素子T9によって、オフ電圧端子GVがゲート出力端子OUT1に接続されてもよい。比較的広いスペースが必要であるプルダウンスイッチング素子T2を除去することにより、液晶パネル300内においてゲート駆動回路400L、400Rの占める空間を縮小した場合、ゲート駆動回路400L、400Rの工程マージン、すなわち、位置決め時における許容誤差を十分な大きさに確保できる。

【 0 0 8 0 】

時刻 t_3 以後、次のフレームまでの期間 d では、第 1 ノード N_1 の電位がゲートオフ電圧 V_{off} に維持されるので、第 1 スイッチング素子 T_1 がオフ状態を維持する。従って、第 1 反転クロック信号 $CKVB_1$ のハイレベル期間では、ゲート出力端子 OUT_1 の電位がリップル防止ダイオード RT_{17} 及びリップル防止スイッチング素子 RT_{18} を通してオフ電圧端子 GV の電位、すなわちゲートオフ電圧 V_{off} に維持される。そのとき、インバータ部 216 の第 1 3 スイッチング素子 T_{13} と第 8 スイッチング素子 T_8 とがオフ状態を維持する。一方、第 1 クロック信号 CKV_1 のハイレベル期間では、インバータ部 216 の第 1 2 スイッチング素子 T_{12} と第 7 スイッチング素子 T_7 とがターンオンするので、第 4 ノード N_4 の電位が上昇する。そのとき、第 8 スイッチング素子 T_8 はオフ状態を維持しているため、保持部 217 の第 3 スイッチング素子 T_3 がターンオンし、オフ電圧端子 GV をゲート出力端子 OUT_1 に接続する。それにより、ゲート出力端子 OUT_1 の電位はゲートオフ電圧 V_{off} に維持される。更に第 5 ノード N_5 の電位がリップル防止ダイオード RT_{17} を通してゲートオフ電圧 V_{off} に維持されるので、第 1 3 スイッチング素子 T_{13} と第 8 スイッチング素子 T_8 とはオフ状態に維持される。こうして、ゲート出力端子 OUT_1 の電位、すなわちゲート信号 G_{out1} のレベルは、時刻 t_3 以降、ゲートオフ電圧 V_{off} に安定に維持される。

10

【 0 0 8 1 】

以上のとおり、第 1 実施例による液晶表示装置では、外部からのノイズによって各ゲート線からゲート駆動回路 $400L$ 、 $400R$ のゲート出力端子 OUT_1 に入力されるリップル信号、及び、各ステージがゲート信号 G_{out1} 、...、 $G_{out}(j)$ のレベルを変動させるときにゲート出力端子 OUT_1 に生じ得るリップル信号から、リップル防止部 $215a$ がインバータ部 216 の第 8 スイッチング素子 T_8 と第 1 3 スイッチング素子 T_{13} との各ゲートを保護する。それにより、リップル信号に起因するインバータ部 216 と保持部 217 との出力不良を防止することができる。その結果、各ステージは、自身の出力するゲート信号の歪みを低減できる。更に、各ステージは三つ後のステージからリセット端子 R に入力されるゲート信号を利用するので、一つのステージにおけるゲート信号の歪みの低減は、他のステージにおけるゲート信号の歪みの低減にも寄与する。その結果、すべてのステージでゲート信号の歪みが低減する。こうして、本発明の第 1 実施例によるゲート駆動回路 $400L$ 、 $400R$ はその信頼性を更に向上させ、液晶表示装置の画質を更に向上させることができる。

20

【 0 0 8 2 】

図 5 は、本発明の第 2 実施例による第 1 シフトレジスタ $400L$ の左側ステージ $STL(i)$ ($i = 1, 2, \dots, j$) の等価回路図である。以下、図 5 を参照しながら、各ステージの等価回路を説明する。尚、第 2 シフトレジスタ $400R$ の右側ステージ $STR(i)$ は第 1 シフトレジスタ $400L$ の左側ステージ $STL(i)$ と等価回路が同一である。従って、以下、左側ステージ $STL(i)$ の等価回路について説明し、右側ステージの等価回路については左側ステージ $STL(i)$ の説明を援用する。

30

【 0 0 8 3 】

図 5 に示されているように、各ステージは、ブルアップ駆動部 211 、ブルダウン部 219 、ブルアップ部 213 、キャリ出力部 214 、リップル改善部 215 、インバータ部 216 、保持部 217 、リセット部 218 、及び、リップル防止部 $215b$ を含む。本発明の第 2 実施例によるステージは、図 3 に示されている第 1 実施例によるステージと比べ、リップル防止部 $215b$ が異なる。その他の部分は本発明の第 1 実施例による部分と同様であるため、その説明については、第 1 実施例についての説明を援用する。

40

【 0 0 8 4 】

本発明の第 2 実施例におけるリップル防止部 $215b$ は、リップル防止ダイオード RT_{17} 、リップル防止スイッチング素子 RT_{18} 、及びリップル防止キャパシタ RC_7 を含む。リップル防止ダイオード RT_{17} は、好ましくはダイオード接続のスイッチング素子から成る。そのスイッチング素子 RT_{17} のソースとゲートとは、ゲート出力端子 OUT_1 に代えて、キャリ出力端子 OUT_2 に共通接続され、ドレインはインバータ部 216 の第 5 ノード N_5 を通して第 8 スイッチング素子 T_8 と第 1 3 スイッチング素子 T_{13} との各ゲートに接続されている。リップル防止

50

スイッチング素子RT18とリップル防止キャパシタRC7とは、第1実施例によるものと同様に接続されている。

【0085】

第5ノードN5はゲート出力端子OUT1及びゲート線からは分離されているので、ゲート信号の変動に伴うリップル信号がインバータ部216には悪影響を与えない。一方、キャリ出力端子OUT2にリップル信号が発生した場合、そのリップル信号は、インバータ部216の第8スイッチング素子T8と第13スイッチング素子T13との各ゲートに、直接ではなく、リップル防止ダイオードRT17を通して入力される。従って、リップル信号に伴う各ゲート電位の急激な上昇は、少なくともリップル防止ダイオードRT17のしきい値電圧だけ弱められるので、インバータ部216の動作、特に第8スイッチング素子T8と第13スイッチング素子T13との動作が、リップル信号の影響を受けにくくなる。

10

【0086】

リップル防止スイッチング素子RT18は、反転クロック信号CKVB1（又は、CKV1、CKVB2、CKV2）の立ち上がり、すなわち、クロック信号CKV1（又は、CKVB1、CKV2、CKVB2）の立ち下がりによってキャリ出力端子OUT2からリップル防止ダイオードRT17を通して第5ノードN5に供給されるリップル信号を、第8スイッチング素子T8と第13スイッチング素子T13との各ゲートから除去する。

【0087】

リップル防止キャパシタRC7は、キャリ出力端子OUT2からリップル防止ダイオードRT17を通して第5ノードN5に供給されるリップル信号をオフ電圧端子GVにバイパスさせる。それにより、インバータ部216の第8スイッチング素子T8と第13スイッチング素子T13との各ゲートにはリップル信号が流入しないので、各ゲートがリップル信号から保護される。

20

【0088】

第2実施例による液晶表示装置では、インバータ部216がゲート出力端子OUT1から分離されているので、インバータ部216は、ゲート出力端子OUT1に入力されるリップル信号には影響されない。一方、外部からのノイズによってゲート駆動回路400L、400Rのキャリ出力端子OUT2に入力されるリップル信号、及び、各ステージがキャリ信号Cout1、...、Cout(j)のレベルを変動させるときにキャリ出力端子OUT2に生じ得るリップル信号から、リップル防止部215bがインバータ部216の第8スイッチング素子T8と第13スイッチング素子T13との各ゲートを保護する。それにより、リップル信号に起因するインバータ部216と保持部217との出力不良を防止することができる。その結果、各ステージは、自身の出力するゲート信号の歪みを低減できる。更に、各ステージは三つ後ろのステージからリセット端子Rに入力されるゲート信号を利用するので、一つのステージにおけるゲート信号の歪みの低減は、他のステージにおけるゲート信号の歪みの低減にも寄与する。その結果、すべてのステージでゲート信号の歪みが低減する。こうして、本発明の第2実施例によるゲート駆動回路400L、400Rはその信頼性を更に向上させ、液晶表示装置の画質を更に向上させることができる。

30

【0089】

図6は、本発明の第3実施例による第1シフトレジスタ400Lの左側ステージSTL(i) (i = 1, 2, ..., j) の等価回路図である。以下、図6を参照しながら、各ステージの等価回路を説明する。尚、第2シフトレジスタ400Rの右側ステージSTR(i)は第1シフトレジスタ400Lの左側ステージSTL(i)と等価回路が同一である。従って、以下、左側ステージSTL(i)の等価回路について説明し、右側ステージの等価回路については左側ステージSTL(i)の説明を援用する。

40

【0090】

図6に示されているように、各ステージは、プルアップ駆動部211、プルダウン部219、プルアップ部213、キャリ出力部214、リップル改善部215、インバータ部216、保持部217、リセット部218、リップル防止部215c、及び第2プルアップ部RT19を含む。本発明の第3実施例によるステージは、図3に示されている第1実施例によるステージと比べ、リップル防止部215cと第2プルアップ部RT19とが異なる。その他の部分は本発明の第1実施例

50

による部分と同様であるので、その説明については、第1実施例についての説明を援用する。

【0091】

本発明の第3実施例におけるリップル防止部215cは、リップル防止ダイオードRT17、リップル防止スイッチング素子RT18、及びリップル防止キャパシタRC7を含む。リップル防止ダイオードRT17は、好ましくはダイオード接続のスイッチング素子から成る。そのスイッチング素子RT17のソースとゲートとは、ゲート出力端子OUT1に代えて、第2プルアップ部RT19の出力端子に共通接続され、ドレインはインバータ部216の第5ノードN5を通して第8スイッチング素子T8と第13スイッチング素子T13との各ゲートに接続されている。リップル防止スイッチング素子RT18とリップル防止キャパシタRC7とは、第1実施例によるものと同様に接続されている。

10

【0092】

第2プルアップ部RT19は、好ましくはスイッチング素子であり、そのゲートはプルアップ部213の第1スイッチング素子T1のゲートに接続され、ソースは第1スイッチング素子T1のソースに接続され、ドレインはリップル防止ダイオードRT17のアノード、すなわちスイッチング素子RT17のゲートとソースとに接続されている。

【0093】

第2プルアップ部RT19は第1スイッチング素子T1と同じタイミングでオンオフし、第1クロック端子CK1をリップル防止ダイオードRT17のアノードに接続し、又はその接続を遮断する。それにより、リップル防止部215c及びインバータ部216の第8スイッチング素子T8と第13スイッチング素子T13とを、第1実施例によるものと同様に動作させることができる。一方、第3実施例では、インバータ部216の第8スイッチング素子T8と第13スイッチング素子T13との各ゲートが、リップル防止ダイオードRT17、第2プルアップ部RT19、及び第1スイッチング素子T1を通してゲート出力端子OUT1に接続されている。従って、ゲート信号の変動に伴うリップル信号がそれらのゲートに直に入力することを防止できる。また、第2プルアップ部RT19で発生するリップル信号は、リップル防止ダイオードRT17によって弱められ、又は、リップル防止スイッチング素子RT18若しくはリップル防止キャパシタRC7を通してオフ電圧端子GVにバイパスされる。それにより、リップル信号がインバータ部216に与える悪影響が防止される。

20

【0094】

以上のとおり、第3実施例による液晶表示装置では、外部からのノイズによってゲート駆動回路400L、400Rのゲート出力端子OUT1に入力されるリップル信号、及び、各ステージがゲート信号Gout1、...、Gout(j)のレベルを変動させるときにゲート出力端子OUT1に生じ得るリップル信号から、第2プルアップ部RT19及びリップル防止部215cがインバータ部216の第8スイッチング素子T8と第13スイッチング素子T13との各ゲートを保護する。それにより、リップル信号に起因するインバータ部216と保持部217との出力不良を防止することができる。その結果、各ステージは、自身の出力するゲート信号の歪みを低減できる。更に、各ステージは三つ後ろのステージからリセット端子Rに入力されるゲート信号を利用するので、一つのステージにおけるゲート信号の歪みの低減は、他のステージにおけるゲート信号の歪みの低減にも寄与する。その結果、すべてのステージでゲート信号の歪みが低減する。こうして、本発明の第3実施例によるゲート駆動回路400L、400Rはその信頼性を更に向上させ、液晶表示装置の画質を更に向上させることができる。

30

40

【0095】

本発明の各実施例によるゲート駆動回路400L、400Rは、各ステージSTL、STRのインバータ部216と出力端子OUT1、OUT2との間に、ダイオードRT17、スイッチング素子RT18、及びキャパシタRC7の少なくとも1つを設けている。それにより、各ステージの出力信号、特にゲート信号Gout(i)のレベル変動に伴ってインバータ部216に入力されるリップル信号を弱め、又はオフ電圧端子GVにバイパスさせる。その結果、そのリップル信号がインバータ部216に及ぼす悪影響を除去することができる。その結果、ゲート駆動回路400L、400Rの信頼性を更に向上させることができる。

50

【 0 0 9 6 】

尚、本発明の実施形態は上述の実施例には限られず、本発明の技術的範囲から逸脱しない範囲内で、各実施例を多様に変更することが可能である。

【 図面の簡単な説明 】

【 0 0 9 7 】

【 図 1 】 本発明の第 1 実施例による液晶表示装置のブロック図

【 図 2 】 本発明の第 1 実施例によるシフトレジスタのブロック図

【 図 3 】 図 2 に示されている第 1 シフトレジスタの各ステージの等価回路図

【 図 4 】 図 2 に示されている先頭から 4 番目までの左側ステージに入出力される信号の波形図

10

【 図 5 】 本発明の第 2 実施例によるシフトレジスタの各ステージの等価回路図

【 図 6 】 本発明の第 3 実施例によるシフトレジスタの各ステージの等価回路図

【 符号の説明 】

【 0 0 9 8 】

211... プルアップ駆動部

219... プルダウン部

213... プルアップ部

214... キャリ出力部

215... リップル改善部

215a、215b、215c... リップル防止部

20

216... インバータ部

RT19... 第 2 プルアップ部

217... 保持部

218... リセット部

300... 液晶パネル

400L... 第 1 シフトレジスタ

400R... 第 2 シフトレジスタ

500... データ駆動回路

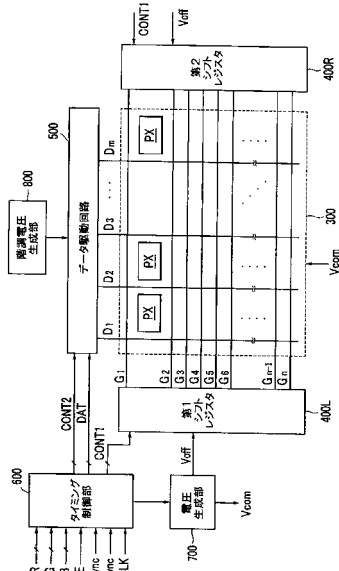
600... タイミング制御部

700... 電圧生成部

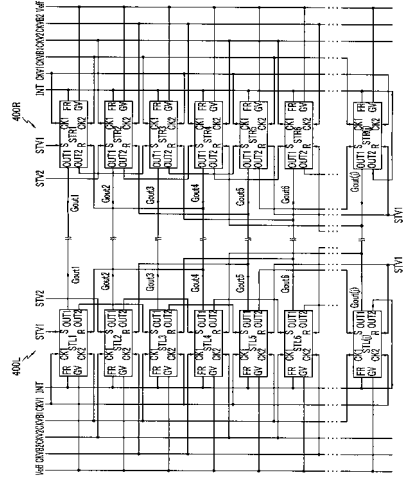
30

800... 階調電圧生成部

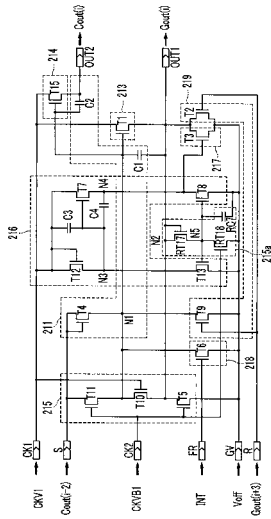
【図 1】



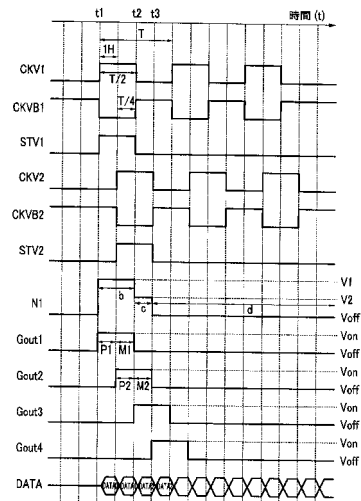
【図 2】



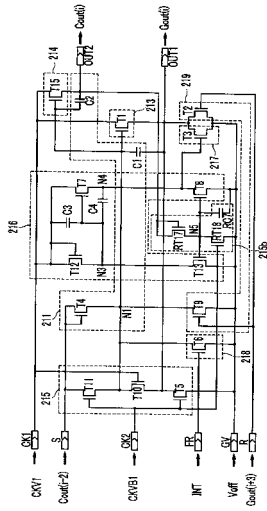
【図 3】



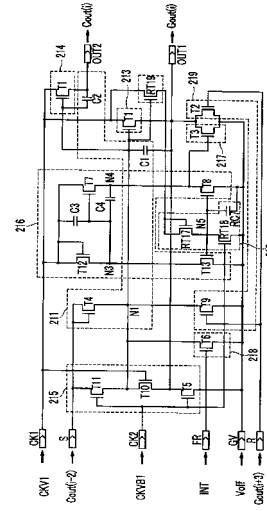
【図 4】



【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 G

- (72)発明者 李 洪 雨
大韓民国忠清南道天安市鳳鳴洞チヨンソル3次アパート301棟906号
- (72)発明者 許 命 九
大韓民国忠清南道天安市佛堂洞現代アイパークアパート108棟1202号
- (72)発明者 金 希 駿
大韓民国忠清南道天安市龍谷洞トンイルハイビルアパート103棟201号

審査官 堀田 和義

- (56)参考文献 特開2006-79041(JP,A)
特開2006-85118(JP,A)
特開2005-251348(JP,A)
特開2007-184076(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 1 1 C 1 9 / 2 8