

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710193994.3

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 29/786 (2006.01)

H01L 29/06 (2006.01)

[43] 公开日 2008 年 9 月 10 日

[11] 公开号 CN 101262010A

[22] 申请日 2007. 11. 29

[21] 申请号 200710193994.3

[30] 优先权

[32] 2007. 3. 6 [33] US [31] 11/714,569

[71] 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

[72] 发明人 王升平 黄宗义 王文亮

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 陈 晨

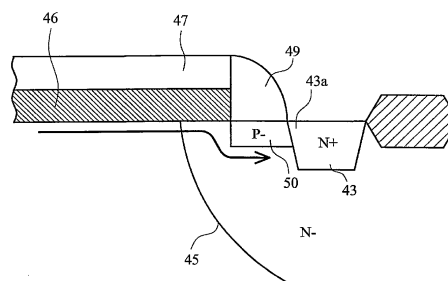
权利要求书 4 页 说明书 17 页 附图 28 页

[54] 发明名称

金属氧化物半导体晶体管及高压金属氧化物
半导体晶体管

[57] 摘要

提供一种金属氧化物半导体晶体管及高压金属氧化物半导体晶体管。该半导体晶体管包括形成于半导体衬底的金属氧化物半导体晶体管，其中，此半导体衬底为第一导电型，且具有第一导电型的栓塞区域；此栓塞区域形成于第二导电型的漏极延伸区域(就高压金属氧化物半导体晶体管而言)或形成于第二导电型的轻掺杂区域(就低压金属氧化物半导体晶体管而言)。这样的结构导致较高的击穿电压。本发明原则适用于形成在块状半导体衬底上的金属氧化物半导体晶体管及形成在硅置于绝缘物上构成的金属氧化物半导体晶体管。



1. 一种金属氧化物半导体晶体管，包括：

半导体衬底，属于第一导电型；

源极区域，属于第二导电型，与所述第一导电型相反且净掺杂浓度高于所述衬底，置于所述衬底的第一表面部分；

漏极区域，属于所述第二导电型，置于所述衬底的第二表面部分且包括轻掺杂区域，其中所述轻掺杂区域邻近重掺杂区域；

沟道区域，置于所述衬底的第三表面部分，分隔所述源极区域与所述漏极区域；

栅极介电层，置于所述衬底的表面上，介于所述源极区域与所述漏极区域之间，其中所述栅极介电层覆盖所述沟道区域；

栅极电极，置于所述栅极介电层上方；以及

插塞区域，属于所述第一导电型，包括延伸至所述衬底的一部分，其中所述部分被所述轻掺杂区域所包围且邻近所述重掺杂区域，其中所述重掺杂区域与所述插塞区域的所述部分延伸至所述衬底的距离至少一样远。

2. 如权利要求1所述的金属氧化物半导体晶体管，其中所述轻掺杂区域包围所述重掺杂区域，且延伸至所述衬底中较所述重掺杂区域深的位置。

3. 如权利要求2所述的金属氧化物半导体晶体管，还包括：

间隔件，置于所述栅极电极的侧壁。

4. 如权利要求3所述的金属氧化物半导体晶体管，其中所述栓塞区域位于所述间隔件下方。

5. 如权利要求4所述的金属氧化物半导体晶体管，其中所述轻掺杂区域具有掺杂浓度介于 $10^{12}\text{cm}^{-3}\sim 10^{13}\text{cm}^{-3}$ 的 N 型区域；所述栓塞区域具有掺杂浓度介于 $10^{13}\text{cm}^{-3}\sim 10^{14}\text{cm}^{-3}$ 的 P 型区域；所述重掺杂区域具有掺杂浓度介于 $10^{14}\text{cm}^{-3}\sim 10^{16}\text{cm}^{-3}$ 的 N 型区域。

6. 如权利要求5所述的金属氧化物半导体晶体管，其中所述轻掺杂区域延伸至大体上介于 $0.6\mu\text{m}\sim 1.5\mu\text{m}$ 的深度；所述栓塞区域延伸至大体上 $0.5\mu\text{m}$ 的深度；所述重掺杂区域延伸至大体上 $0.6\mu\text{m}$ 的深度。

7. 如权利要求2所述的金属氧化物半导体晶体管，其中所述源极区域、所述轻掺杂区域、及所述漏极区域的所述重掺杂区域包括 P 型掺杂物；所述

衬底包括 N 型掺杂物；所述金属氧化物半导体晶体管是 P 型金属氧化物半导体晶体管。

8. 如权利要求 1 所述的金属氧化物半导体晶体管，其中所述轻掺杂区域从所述重掺杂区域横向偏移并向所述源极区域延伸。

9. 如权利要求 8 所述的金属氧化物半导体晶体管，还包括：
间隔件，置于所述栅极电极的侧壁。

10. 如权利要求 9 所述的金属氧化物半导体晶体管，其中所述栓塞区域位于所述间隔件下方。

11. 如权利要求 10 所述的金属氧化物半导体晶体管，其中所述轻掺杂区域具有掺杂浓度介于 $10^{12}\text{cm}^{-3}\sim 10^{13}\text{cm}^{-3}$ 的 N 型区域；所述栓塞区域具有掺杂浓度介于 $10^{13}\text{cm}^{-3}\sim 10^{14}\text{cm}^{-3}$ 的 P 型区域；所述重掺杂区域具有掺杂浓度介于 $10^{14}\text{cm}^{-3}\sim 10^{16}\text{cm}^{-3}$ 的 N 型区域。

12. 如权利要求 11 所述的金属氧化物半导体晶体管，其中所述轻掺杂区域延伸至大体上介于 $0.6\mu\text{m}\sim 1.5\mu\text{m}$ 的深度；所述栓塞区域延伸至大体上 $0.5\mu\text{m}$ 的深度；所述重掺杂区域延伸至大体上 $0.6\mu\text{m}$ 的深度。

13. 如权利要求 8 所述的金属氧化物半导体晶体管，其中所述源极区域、所述轻掺杂区域、及所述重掺杂区域包括 P 型掺杂物；所述衬底包括 N 型掺杂物；所述金属氧化物半导体晶体管是 P 型金属氧化物半导体晶体管。

14. 一种金属氧化物半导体晶体管，包括：

衬底，包括绝缘材料；

半导体层，属于第一导电型，置于所述绝缘材料上方；

源极区域，属于第二导电型，与所述第一导电型相反且净掺杂浓度高于所述半导体层，置于所述半导体层的第一表面部分；

漏极区域，属于所述第二导电型，置于所述半导体层的第二表面部分且包括轻掺杂区域，其中所述轻掺杂区域邻近重掺杂区域，且所述轻掺杂区域从所述重掺杂区域横向偏移，并向所述源极区域、以及与所述衬底相邻的所述重掺杂区域延伸；

沟道区域，置于所述半导体层的第三表面部分，分隔所述源极区域与所述漏极区域；

栅极介电层，置于所述半导体层的表面上，介于所述源极区域与所述漏

极区域之间，其中所述栅极介电层覆盖所述沟道区域；

栅极电极，置于所述栅极介电层上方；以及

插塞区域，属于所述第一导电型，包括延伸至所述半导体层的一部分，其中所述部分被所述轻掺杂区域所包围且邻近所述重掺杂区域，其中所述重掺杂区域与所述插塞区域的所述部分至少一样深。

15. 如权利要求 14 所述的金属氧化物半导体晶体管，其中所述源极区域、所述轻掺杂区域、及所述漏极区域的所述重掺杂区域包括 N 型掺杂物；所述衬底包括 N 型掺杂物；所述金属氧化物半导体晶体管是 N 型金属氧化物半导体晶体管。

16. 如权利要求 14 所述的金属氧化物半导体晶体管，其中所述源极区域、所述轻掺杂区域、及所述漏极区域的所述重掺杂区域包括 P 型掺杂物；所述衬底包括 N 型掺杂物；所述金属氧化物半导体晶体管是 P 型金属氧化物半导体晶体管。

17. 如权利要求 14 所述的金属氧化物半导体晶体管，其中所述绝缘材料包括硅氧化物或蓝宝石。

18. 一种高压金属氧化物半导体晶体管，包括：

衬底，属于第一导电型；

源极区域，属于第二导电型，与所述第一导电型相反且净掺杂浓度高于所述衬底，置于所述衬底的第一表面部分；

漏极区域，属于所述第二导电型，置于所述衬底的第二表面部分且包括重掺杂区域，其中所述重掺杂区域被轻掺杂区域包围；

沟道区域，置于所述衬底的第三表面部分，分隔所述源极区域与所述漏极区域；

栅极介电层，置于所述衬底的表面上，介于所述源极区域与所述漏极区域之间，其中所述栅极介电层覆盖所述沟道区域；

栅极电极，置于所述栅极介电层上方；以及

插塞区域，属于所述第一导电型，包括延伸至所述衬底的一部分，其中所述部分被所述轻掺杂区域所包围且邻近所述重掺杂区域，其中所述重掺杂区域与所述插塞区域的所述部分延伸至所述衬底的距离至少一样远。

19. 如权利要求 18 所述的金属氧化物半导体晶体管，其中所述衬底是块

状半导体材料。

20. 如权利要求 18 所述的金属氧化物半导体晶体管，其中所述衬底包括：

半导体层，形成于绝缘材料上，其中所述绝缘材料包括硅氧化物或蓝宝石。

金属氧化物半导体晶体管及高压金属氧化物半导体晶体管

技术领域

本发明涉及一种高电压晶体管及其制造方法，且特别涉及一种高电压 n 型金属氧化物半导体（NMOS）晶体管及其制造方法，通过在 n 型漏极延伸区中形成 p 型掺杂区以抑制热载流子效应（hot-carrier effect）及改善击穿电压（on-breakdown voltage）。本发明也可应用于高电压 PMOS 晶体管及低电压短沟道逻辑 MOS 装置。

背景技术

MOS 装置会发生关于电击穿的问题，当由先进工艺制造的 MOS 晶体管中的源极与漏极之间的空间持续缩小时，击穿现象将越来越严重，而击穿现象会阻挡沟道区中电场的增加。本领域技术人员可知 MOS 晶体管中击穿现象的机制包括接面（junction）击穿、穿通（punchthrough）击穿及骤回（snapback）击穿。接面击穿的发生是由于重掺杂 n+漏极区与 p 型基底之间掺杂曲线陡峭的改变，举例而言，可通过将 NMOS 装置形成在轻掺杂 p 型基底上来避免接面击穿。穿通击穿的发生是由于当漏极/基底接面的反向偏压增加时源极与漏极耗尽区在沟道下接触。在 NMOS 晶体管中，可通过在沟道下的 n+漏极/p 型基底接面侧壁与 n+源极/p 型基底接面侧壁进行高浓度 p 型掺杂质的局部注入（local implant）或环形（halo）注入，以抑制穿通击穿。NMOS 装置的骤回击穿是当饱和操作时（晶体管被打开）在邻近漏极区发生。当电压施加于漏极区时，晶体管的沟道区产生横向电场，且电场的高峰区是邻近漏极区。高电场会加速沟道区中的电子，且使电子获得足够的动能（kinetic energy）而于邻近 n+漏极区的边缘成为“热”。热电子引起邻近漏极区边缘的材料的离子化，且产生电子-空穴对。由于栅极电极上的正偏压，电子将射入栅极氧化层中，空穴则射入基底中。一些空穴通过源极聚集，且这些空穴流对基底/源极区接面施加正偏压，如此，使较多电子自源极区拉出而加速且射入漏极区，这些电子将在邻近漏极引起更多的离子化且产生更多电子-空穴

对。当基底发生此正回馈机制时，基底就如正向有源模式（forward active mode）下工作的 NPN-BJT 装置，其中被施以正向偏压的基底至源极界面（衬底至发射极界面）会产生大量被射入 p 型基底的电流。基底中的电流被放大，且经由被施以反向偏压的漏极至基底界面（集电极至衬底界面）被漏极聚集。骤回击穿是一种雪崩（avalanche）击穿，当它发生于 MOS 装置时，基底中产生大量电流，且施加于栅极电极的电压对沟道区的电流失去控制。再者，射入栅极氧化层的电子可能引起负面的影响，例如临界电压（ V_t ）偏移及可靠度降低。在严重的情况下，骤回击穿会对栅极氧化物造成永久的物理性损害。

图 1A 示出已知的高电压金属氧化物半导体（high voltage metal oxide semiconductor, HV MOS）晶体管 10，晶体管 10 具有应用于高电压装置的横向电源金属氧化物半场效晶体管（MOSFET）的典型结构，其可应用于汽车工业、行动电话、医学设备、显示器驱动装置及其他需要高可靠度与轻巧需求的领域。在晶体管 10 中，轻掺杂 n-区 12 如同 NMOS 晶体管的重掺杂 n+区 14 的延伸。轻掺杂 n-区 12 可称为 n-延伸区或 n-漂移区。位于 p 型沟道与 n+漏极区 14 之间的 n-延伸区 12 形成逐渐变化的 n 型掺杂质量变曲线，其可改善 n+漏极区 14 下方的漏极至基底界面击穿电压。厚场氧化层 11 形成在 n-延伸区 12 上方，部分的栅极 13 沿着厚场氧化层 11 的上边缘形成。厚场氧化层 11 用来保护栅极 13 防止漏极侧的高电场，此高电场会引起射入栅极氧化层 15 的“热载流子”。当装置在饱和操作时（装置被打开），位于场氧化层 11 下方以及 n+漏极区 14 与栅极 13 之间的 n-延伸区 12 将会吸收施加于漏极的电压，且 n-延伸区 12 会降低邻近 n+漏极区边缘的电场高峰。利用此方法可改善邻近漏极区边缘的骤回击穿（on-breakdown voltage）。然而，已知结构的厚场氧化层 11 造成晶体管 10 的装置尺寸增加，使得此类型的 HV MOS 装置不适合与小尺寸的低电压 MOS（LV MOS）装置整合于同一芯片中。

图 1B 示出已知的另一 HV MOS 晶体管 20，其与低电压元件整合于同一基底上以应用于高电压装置，例如 LCD 荧幕的电源驱动装置等。晶体管 20 包括在源极侧的 n-延伸区 210A 以及在漏极侧的 n-延伸区 21B。此已知结构的双重扩散源极与漏极区可降低沟道区的电场高峰，进而维持施加于漏极区

24 的高电压 (V_d)。晶体管 20 还包括厚栅极介电层 25, 其厚度约为 LVMOS 晶体管的栅极介电层的厚度的 4 至 5 倍, 藉以维持施加于栅极电极 23 的高电压 (V_g)。

图 1C 示出已知的低电压短沟道 NMOS 晶体管 30。通过在沟道的边缘形成漏极的轻掺杂 n 区 (LDD) 35, NMOS 晶体管 30 可降低邻近漏极区 34 边缘的骤回击穿。当装置在操作模式时, 沟道区与 n+漏极区 34 之间的 LDD 区 35 吸收部分施加于漏极的电压, 且 LDD 区 35 可减弱邻近 n+漏极区 34 边缘的电场至临界离子化电场以下, 如此, 可进而减少射入栅极氧化层的“热载流子”。然而, 如本领域技术人员所知, 当 MOS 晶体管沟道距离减少时, n+漏极区边缘的电场高峰将会明显地增加。因此, LDD 技术将到达其本身的限制, 那就是 n+漏极区边缘的电场高峰超过临界值且引发突然的雪崩击穿 (avalanche breakdown)。

有鉴于上述及其他关于降低击穿现象与抑制击穿效应的问题, 目前需要改善或新颖的 MOS 晶体管结构及其形成方法, 以改善击穿电压及降低“热载流子”问题, 由此, 适应装置尺寸的微缩化。

发明内容

有鉴于此, 本发明的实施利提供金属氧化物半导体晶体管结构及其形成方法。此结构包括形成于半导体衬底的金属氧化物半导体晶体管, 其中, 此半导体衬底为第一导电型, 且具有第一导电型的栓塞区域; 此栓塞区域形成于第二导电型的漏极延伸区域 (就高压金属氧化物半导体晶体管而言) 或形成于第二导电型的轻掺杂区域 (就低压金属氧化物半导体晶体管而言)。

本发明实施利提供一种金属氧化物半导体晶体管, 而此金属氧化物半导体晶体管包括: 半导体衬底, 属于第一导电型; 源极区域, 属于第二导电型, 与该第一导电型相反且净掺杂浓度高于该衬底, 置于该衬底的第一表面部分; 漏极区域, 属于该第二导电型, 置于该衬底的第二表面部分且包括轻掺杂区域, 其中该轻掺杂区域邻近一重掺杂区域; 沟道区域, 置于该衬底的第一表面部分, 分隔该源极区域与该漏极区域; 栅极介电层, 置于该衬底的第一表面上, 介于该源极区域与该漏极区域之间, 其中该栅极介电层覆盖该沟道区域; 栅极电极, 置于该栅极介电层上方; 以及栓塞区域, 属于该第一导电型,

包括延伸至该衬底的一部分，其中该部分被该轻掺杂区域所包围且邻近该重掺杂区域，其中该重掺杂区域与该插塞区域的该部分延伸至该衬底的距离至少一样远。

根据本发明的金属氧化物半导体晶体管，其中所述轻掺杂区域包围所述重掺杂区域，且延伸至所述衬底中较所述重掺杂区域深的位置。

根据本发明的金属氧化物半导体晶体管，还包括：间隔件，置于所述栅极电极的侧壁。

根据本发明的金属氧化物半导体晶体管，其中所述栓塞区域位于所述间隔件下方。

根据本发明的金属氧化物半导体晶体管，其中所述轻掺杂区域具有掺杂浓度介于 $10^{12}\text{cm}^{-3}\sim 10^{13}\text{cm}^{-3}$ 的 N 型区域；所述栓塞区域具有掺杂浓度介于 $10^{13}\text{cm}^{-3}\sim 10^{14}\text{cm}^{-3}$ 的 P 型区域；所述重掺杂区域具有掺杂浓度介于 $10^{14}\text{cm}^{-3}\sim 10^{16}\text{cm}^{-3}$ 的 N 型区域。

根据本发明的金属氧化物半导体晶体管，其中所述轻掺杂区域延伸至大体上介于 $0.6\mu\text{m}\sim 1.5\mu\text{m}$ 的深度；所述栓塞区域延伸至大体上 $0.5\mu\text{m}$ 的深度；所述重掺杂区域延伸至大体上 $0.6\mu\text{m}$ 的深度。

根据本发明的金属氧化物半导体晶体管，其中所述源极区域、所述轻掺杂区域、及所述漏极区域的所述重掺杂区域包括 P 型掺杂物；所述衬底包括 N 型掺杂物；所述金属氧化物半导体晶体管是 P 型金属氧化物半导体晶体管。

根据本发明的金属氧化物半导体晶体管，其中所述轻掺杂区域从所述重掺杂区域横向偏移并向所述源极区域延伸。

根据本发明的金属氧化物半导体晶体管，还包括：间隔件，置于所述栅极电极的侧壁。

根据本发明的金属氧化物半导体晶体管，其中所述栓塞区域位于所述间隔件下方。

根据本发明的金属氧化物半导体晶体管，其中所述轻掺杂区域具有掺杂浓度介于 $10^{12}\text{cm}^{-3}\sim 10^{13}\text{cm}^{-3}$ 的 N 型区域；所述栓塞区域具有掺杂浓度介于 $10^{13}\text{cm}^{-3}\sim 10^{14}\text{cm}^{-3}$ 的 P 型区域；所述重掺杂区域具有掺杂浓度介于 $10^{14}\text{cm}^{-3}\sim 10^{16}\text{cm}^{-3}$ 的 N 型区域。

根据本发明的金属氧化物半导体晶体管，其中所述轻掺杂区域延伸至大

体上介于 $0.6\ \mu\text{m}$ ~ $1.5\ \mu\text{m}$ 的深度；所述栓塞区域延伸至大体上 $0.5\ \mu\text{m}$ 的深度；所述重掺杂区域延伸至大体上 $0.6\ \mu\text{m}$ 的深度。

根据本发明的金属氧化物半导体晶体管，其中所述源极区域、所述轻掺杂区域、及所述重掺杂区域包括 P 型掺杂物；所述衬底包括 N 型掺杂物；所述金属氧化物半导体晶体管是 P 型金属氧化物半导体晶体管。

本发明另一实施例提供一种金属氧化物半导体晶体管，包括：衬底，包括绝缘材料；半导体层，属于第一导电型，置于该绝缘材料上方；源极区域，属于第二导电型，与该第一导电型相反且净掺杂浓度高于该半导体层，置于该半导体层的第一表面部分；漏极区域，属于该第二导电型，置于该半导体层的第二表面部分且包括轻掺杂区域，其中该轻掺杂区域邻近一重掺杂区域，且该轻掺杂区域从该重掺杂区域横向偏移，并向该源极区域、以及与该衬底相邻的该重掺杂区域延伸；沟道区域，置于该半导体层的第三表面部分，分隔该源极区域与该漏极区域；栅极介电层，置于该半导体层的表面上，介于该源极区域与该漏极区域之间，其中该栅极介电层覆盖该沟道区域；栅极电极，置于该栅极介电层上方；以及插塞区域，属于该第一导电型，包括延伸至该半导体层的一部分，其中该部分被该轻掺杂区域所包围且邻近该重掺杂区域，其中该重掺杂区域与该插塞区域的该部分至少一样深。

根据本发明的金属氧化物半导体晶体管，其中所述源极区域、所述轻掺杂区域、及所述漏极区域的所述重掺杂区域包括 N 型掺杂物；所述衬底包括 N 型掺杂物；所述金属氧化物半导体晶体管是 N 型金属氧化物半导体晶体管。

根据本发明的金属氧化物半导体晶体管，其中所述源极区域、所述轻掺杂区域、及所述漏极区域的所述重掺杂区域包括 P 型掺杂物；所述衬底包括 N 型掺杂物；所述金属氧化物半导体晶体管是 P 型金属氧化物半导体晶体管。

根据本发明的金属氧化物半导体晶体管，其中所述绝缘材料包括硅氧化物或蓝宝石。

本发明又一实施例提供一种高压金属氧化物半导体晶体管，包括：衬底，属于第一导电型；源极区域，属于第二导电型，与该第一导电型相反且净掺杂浓度高于该衬底，置于该衬底的第一表面部分；漏极区域，属于该第二导电型，置于该衬底的第二表面部分且包括一重掺杂区域，其中该重掺杂区域被一轻掺杂区域包围；沟道区域，置于该衬底的第三表面部分，分隔该源极

区域与该漏极区域；栅极介电层，置于该衬底的表面上，介于该源极区域与该漏极区域之间，其中该栅极介电层覆盖该沟道区域；栅极电极，置于该栅极介电层上方；以及插塞区域，属于该第一导电型，包括延伸至该衬底的一部分，其中该部分被该轻掺杂区域所包围且邻近该重掺杂区域，其中该重掺杂区域与该插塞区域的该部分延伸至该衬底的距离至少一样远。

根据本发明的金属氧化物半导体晶体管，其中所述衬底是块状半导体材料。

根据本发明的金属氧化物半导体晶体管，其中所述衬底包括：半导体层，形成于绝缘材料上，其中所述绝缘材料包括硅氧化物或蓝宝石。

附图说明

图 1A 与图 1B 示出已知高压金属氧化物半导体晶体管的剖面图。

图 1C 示出已知低压短沟道 N 型金属氧化物半导体晶体管的剖面图。

图 2A 示出实施例的高压 N 型金属氧化物半导体晶体管的剖面图，其中，在 N 型漏极延伸区域中有 P 型掺杂物。

图 2B 示出图 2A 中该沟道区域及具有 P 型扩散区域的该漏极区域的部分的放大剖面图。

图 3A 至图 3I 示出实施例的高压金属氧化物半导体晶体管的工艺剖面图。

图 4 示出实施例的高压 N 型金属氧化物半导体晶体管的剖面图，其中，在 N 型漏极延伸区域中有 P 型掺杂物。

图 5A 至图 5B 示出图 4 的另一实施例的 N+源极/漏极接触区域的工艺剖面图。

图 6A 至图 6B 示出另一实施例的高压金属氧化物半导体晶体管及其工艺的剖面图，其中，在 N 型漏极延伸区域中有 P 型掺杂物。

图 7 示出实施例的低压短沟道金属氧化物半导体晶体管的剖面图，其中，在轻掺杂漏极区域中有 P 型掺杂物。

图 8A 至图 8F 示出实施例的低压短沟道金属氧化物半导体晶体管的工艺剖面图。

图 9 示出实施例的 N 型金属氧化物半导体晶体管的剖面图，其中，该 N

型金属氧化物半导体晶体管形成在硅置于绝缘物上的构成上。

图 10 示出实施例的衬底电流 $I_{\text{sub}_{\text{max}}}$ 与已知高压 N 型金属氧化物半导体晶体管的衬底电流 $I_{\text{sub}_{\text{max}}}$ 的比较图。

其中，附图标记说明如下：

10～晶体管；11～厚场氧化层；12～n-延伸区；13～栅极；14～n+漏极区；15～栅极氧化层；20～HVMOS 晶体管；21B～n-延伸区；23～栅极电极；24～漏极区；25～栅极介电层；30～短沟道 NMOS 晶体管；34～漏极区；35～轻掺杂 n 型 LDD；40～高电压 MOS 晶体管；41～基底；42～n+扩散区；42a～边缘；43～n+扩散区；43a～边缘；44～n-扩散区；44a～边缘；45～n-扩散区；45a～边缘；46～栅极介电层；47～栅极叠层；48～间隙壁；49～间隙壁；50～插塞区；55～场氧化区；100～P 型硅衬底；102～氧化物层；112～N-延伸区域；113～N-延伸区域；115～场氧化物区域；117～栅极氧化物层；118～栅极电极；120A～重掺杂 N+源极区域；120B～重掺杂 N+漏极区域；121～间隔件；122A～P 型栓塞；122B～P 型栓塞；125A～重掺杂 N+源极区域；125B～重掺杂 N+漏极区域；128A～二氧化硅介电层；128B～二氧化硅介电层；128C～二氧化硅介电层；128D～二氧化硅介电层；130～金属接触；131～金属接触；132～金属接触；142～重掺杂 N+漏极区域；143～重掺杂 N+漏极区域；148～间隔件；149～间隔件；150～区域；155～场氧化物；200～硬掩模层；210A～N+区域；210B～N+区域；240～N-沟道加强模式金属氧化物半导体晶体管；241～块状衬底；242～N+源极/漏极区域；243～N+源极/漏极区域；244～轻掺杂源极/漏极区域；245～轻掺杂源极/漏极区域；246～栅极层；247～栅极层；248～间隔件；249～间隔件；250～轻掺杂 P 型栓塞；255～场氧化物；300～P 型硅衬底；301～沟槽氧化物；302～栅极氧化物层；303～栅极层；304A～轻掺杂 N 型区域；304B～轻掺杂 N 型区域；305A～P 型区域；305B～P 型区域；306～间隔件；313A～N 型轻掺杂漏极区域；313B～N 型轻掺杂漏极区域；315A～轻掺杂 P 型区域；315B～轻掺杂 P 型区域；310A～二氧化硅介电层；310B～二氧化硅介电层；310C～二氧化硅介电层；二氧化硅介电层 310D～二氧化硅介电层；311A～钨金属接触；311B～钨金属接触；311C～钨金属接触；340～N 型金属氧化物半导体晶体管；341～绝缘材料层；342～导体层。

具体实施方式

本实施例的操作方法及制造方法将在以下作详尽的说明。然而，以下实施例并非本发明唯一的运用，本实施例仅是说明实施本发明的特定方法，其非用以限定本发明及专利范围。

本发明将以较佳实施例说明，以下实施例将说明用以增加高电压 MOS 晶体管（HVMOS）的击穿电压（on-breakdown voltage）的新颖结构及其形成方法。本发明亦可应用于低电压 MOS 晶体管或其他需要改善击穿电压的半导体装置。

图 2A 示出本发明实施例的 N 沟道增进法、高电压 MOS 晶体管 40。高电压 MOS 晶体管 40 包括块状(bulk)基底 41，如具有掺杂浓度约介于 10^{11}cm^{-3} 至 10^{12}cm^{-3} 的低掺杂浓度 p 型单晶硅。或者，基底 41 可为形成在绝缘层上的半导体层，其称为硅覆盖绝缘层（SOI）。n+扩散区 42 及 43 形成于基底 41 中，其分别作为源极与漏极。n+扩散区 42 及 43 的掺杂浓度可适当选择以与基底 41 有良好的欧姆接触（ohmic contact）而具有高导电性，且 n+扩散区 42 及 43 可掺杂适当材料，如掺杂浓度约 10^{14}cm^{-3} 至 10^{16}cm^{-3} 的磷或砷，然而，可使用其他的 n 型掺杂剂或掺杂浓度。较佳者，n+扩散区 42 及 43 在基底 41 中延伸的深度约为 $0.6\mu\text{m}$ 。n-扩散区 44 及 45 形成于基底 41 中的源极与漏极侧，其分别作为 n+源极与漏极区 42、43 的 n-延伸区。n-延伸区 44 及 45 的掺杂轮廓可适当选择藉以使在源极与漏极侧的 n-延伸区完全地包围在基底表面下方的 n+源极区 42 及 n+漏极区 43。每个 n-延伸区的掺杂浓度经过最佳化以获得所欲的优点，那就是当装置操作过程中电压施加于 n+漏极区 43 时，浓度不过高以致于在 n-延伸区与 p-基底之间引发接面击穿，浓度不过低以致于在基底中产生穿通击穿。较佳者，n-延伸区 44 及 45 的掺杂浓度约介于 10^{12}cm^{-3} 至 10^{13}cm^{-3} ，n-延伸区 44 及 45 可掺杂适当的 n 型材料，如磷或砷，然而，可使用其他的 n 型掺杂剂或掺杂浓度。n-延伸区 44 及 45 在基底 41 中延伸的深度约为 $0.6\mu\text{m}$ 至 $1.5\mu\text{m}$ ，其可完全地包围基底中 41 的源极与漏极区 42、43。长度约为 $1\mu\text{m}$ 至 $3\mu\text{m}$ 的沟道（channel）在基底表面且位于 n-延伸区 44 与 45 的相对边缘 44a、45a 之间。在基底 41 表面提供如为热二氧化硅的薄栅极介电层 46，二氧化硅层厚度可约为 $250\text{\AA}$ 至

400Å, 然而, 亦可利用其他适用的栅极介电层材料。栅极介电层 46 可由 n+源极区 42 的边缘 42a 与 n-延伸区 44 的边缘 44a 间的位置延伸至 n-延伸区 45 的边缘 45a 与 n+源极区 43 的边缘 43a 间的位置。在栅极介电层 46 上形成栅极叠层 47, 栅极叠层 47 可包括多晶硅层及形成在多晶硅层上的硅化钨层, 多晶硅层的厚度可介于 1000Å 至 2000Å, 而硅化钨层的厚度可介于 800Å 至 1800Å, 然而, 可利用其他适用的导电栅极电极材料。底部尺寸约 300Å 至 2000Å 的间隙壁 48 及 49 形成于栅极层 46、47 边缘以覆盖边缘侧壁与基底间的角落, 间隙壁 48 及 49 可包括利用含有四乙基硅酸盐 (TEOS) 为反应气体所形成的二氧化硅, 然而, 可利用其他适用的间隙壁介电材料或尺寸, 如氮化硅 (Si_3N_4)。轻掺杂 p 型插塞 50 形成间隙壁 49 下方的基底中, 较佳者, 插塞区 50 可掺杂适合的 p 型材料, 如硼, 其表面掺杂密度约为 10^{13}cm^{-3} 至 10^{14}cm^{-3} , 然而, 可使用其他 p 型掺杂材料及掺杂浓度。P 型扩散区 50 自基底表面下的深度约为 $0.5\mu\text{m}$ 。可提供场氧化区 55 以将高电压 MOS 晶体管 40 与同一基底上的其他装置隔离。

与已知具有相似装置尺寸且在相似操作条件下的高电压 NMOS 晶体管相较, 本发明实施例的高电压 NMOS 晶体管 40 在装置操作时, 邻近 n+漏极区 43 的边缘提供较弱的电场。

图 2B 根据图 2A 示出的部分沟道区及具有 p 型掺杂区 50 的漏极区的放大图。由已知技术可知, 当实施例的 N 型高压金属氧化物半导体晶体管 40 开启并于饱和模式下操作时, 则在栅极下方形成强烈反转 (strong inversion) 层, 且在源极与漏极之间形成沿着衬底表面的导电沟道。电流 (如图 2B 所示) 从源极区域流入漏极区域。如实施例所示, 通过形成 P 型栓塞 50, 沟道内的电子必须绕过 P 型“路障” (road block), 因为 P 型栓塞 50 对电子不导电。在操作时, 具有本发明的结构的高压 N 型金属氧化物半导体晶体管于 N+源极与 N+漏极之间创造更长的导电路径。由于电场是电压与距离两者的函数, 所以此更长的导电路径降低了靠近 N+漏极边缘的导电沟道的尖峰电场。因此, 避免在漏极侧附近发生骤回击穿 (snapback breakdown) 现象。由已知技术也可以得知, 通过形成实施例所示的 P 型栓塞 50, 则撞击离子化区域被推离至硅表面下方, 转而降低热载流子到达栅极氧化物的机率。

上述实施例具有下列 2 个优点。首先, N-延伸区域 45 应环绕延伸至衬

底的 P 型栓塞 50, 以致于在沟道区域内的电子可以流入 N+漏极区域 43 并穿过 N-延伸区域 45 的一部分。第二, N-延伸区域 45 的 P 型掺杂物浓度应仔细选择, 以致于元件操作时不会在 N+漏极区域 43 与 P 型栓塞 50 间发生局部接面击穿现象。在一个实施例中, 所选择的 P 型栓塞 50 的掺杂密度较 N+漏极区域 43 的为低。

图 3A 至图 3I 示出实施例的高压金属氧化物半导体晶体管的工艺剖面图。图 3A 示出初始步骤, 于 P 型硅衬底 100 的一部分上形成一层遮罩氧化物 (screen oxide) 102。在氧化物层 102 的表面上施加第一光阻工艺以形成用于 N 型掺杂物的选择性注入的光阻图案。接着, 通过加热工艺而将 N 型掺杂物驱入 P 型衬底以形成图 3B 所示的 N-延伸区域 112 与 113。N-延伸区域 112 形成后续形成的 N 型金属氧化物半导体晶体管的源极的延伸; N-延伸区域 113 形成后续形成的 N 型金属氧化物半导体晶体管的漏极的延伸。在实施例中, N-延伸区域 112 与 113 通过磷扩散工艺而形成, 且磷的掺杂浓度介于 10^{12} cm^{-3} 至 10^{13} cm^{-3} 之间。N-延伸区域 112 与 113 也可以从衬底表面延伸至衬底内部至少 1.5 公尺以上的深度。

如图 3C 所示, 也可以利用选择性氧化工艺而形成场氧化物区域 115。场氧化物区域 115 环绕金属氧化物半导体晶体管以将本身与相同衬底上的邻近的元件隔离。通过蚀刻工艺而将氧化物层 102 从衬底移除, 并在衬底上成长一层厚度介于 250 埃至 400 埃之间的加热氧化物, 且经图案化工艺而形成栅极氧化物层 117。接着, 如图所示, 可以进一步进行图案化工艺而在栅极氧化物层 117 上形成栅极电极 118; 此步骤包括: 形成厚度介于 1000 埃至 2000 埃之间的第一多晶硅层(图未显示)、与位于此多晶硅层顶部且厚度介于 800 埃至 1800 埃之间的硅化钨 (SiW_x) 层。在另一实施例中, 栅极电极 118 也可以通过已知技术的相似工艺而在 N-延伸区域 112 与 113 形成之前形成。

如图 3D 所示, 在形成栅极之后, 进行第二光刻工艺而形成光阻图案(标示为 PR), 以选择性地将 P 型掺杂物注入源极的 N-延伸区域 112 及漏极的 N-延伸区域 113。在实施例中, 用于定义 P 型掺杂区域的硬掩模与用于制造短沟道 N 型金属氧化物半导体晶体管元件的传统工艺中将 N 型轻掺杂漏极图案化的硬掩模相同。此为自我对准工艺, 其中, P 型区域的边缘通过将栅极 118 与场氧化物 115 图案化而定义。在此实施例中, P 型离子注入可以通

过使用中等电流离子注入机并以硼进行,以达到介于 $10^{12}\text{cm}^{-3}\sim 10^{13}\text{cm}^{-3}$ 的杂质密度;在其它实施例中,也可以采用其它 P 型离子注入材料与离子注入密度。在图 3E 所示的步骤后,形成轻掺杂 P 型区域 120A 与 120B。P 型区域 120A 与 120B 可以从衬底表面延伸至衬底内部大约 $0.5\mu\text{m}$ 的深度。

在轻掺杂 P 型区域 120A 与 120B 形成之后,于衬底及图案化的栅极 118 上沉积厚度介于 500 埃 $\sim$ 3000 埃的 TEOS 氧化物薄膜。接着,对衬底施加一干蚀刻工艺,以从平坦区域移除氧化物,并留下位于栅极侧壁之间隔件 121,如图 3F 所示。在实施例中,得到底部宽度介于 300 埃 $\sim$ 2500 埃之间隔件。也可以使用其它例如 Si_3N_4 等间隔件介电材料或其组合而形成间隔件。

如图 3G 所示,在间隔件形成之后,进行重且深的 N 型离子注入以形成与漏极/源极延伸区域连接的低电阻接触。在实施例中,用于定义 N 型掺杂区域的硬掩模与用于制造短沟道 N 型金属氧化物半导体晶体管元件的传统工艺中将 N 型轻掺杂漏极图案化的硬掩模相同。所得的重掺杂 N+区域是自我对准该间隔件边缘与该场氧化物。在此实施例中,N 型离子注入可以通过使用高数值电流离子注入机并以磷进行,以达到介于 $10^{14}\text{cm}^{-3}\sim 10^{16}\text{cm}^{-3}$ 的杂质密度;在其它实施例中,也可以采用其它 N 型离子注入材料与离子注入密度。之后,形成重掺杂 N+源极区域 125A 与重掺杂 N+漏极区域 125B,如图 3H 所示。N+区域 125A 与 125B 自衬底表面延伸至约 $0.6\mu\text{m}$ 的深度或更深。请注意,在此步骤中,位于间隔件 121 下方的 P 型区域 120A 与 120B 的所述多个区域被所述多个间隔件有效地遮蔽。以 N 型离子注入对 P 型区域 120A 与 120B 未被遮蔽的部分施以相反的掺杂而使其变成 N 型区域;然而,被遮蔽的部分则保持 P 型,因而形成 P 型栓塞 122A 与 122B。

本发明实施例的高压 N 型金属氧化物半导体晶体管的工艺通过对晶体管的栅极、漏极与源极形成金属接触而完成。在形成金属接触的过程中,于衬底上成长化学气相沉积二氧化硅介电层。接着,进行光刻工艺而形成图案,然后进行选择性蚀刻工艺而在栅极、源极与漏极上方形成开口,并留下二氧化硅介电层 128A、128B、128C 与 128D,如图 3I 所示。之后,在开口进行金属沉积与图案化工艺而形成金属接触 130、131、132,以分别与高压 N 型金属氧化物半导体晶体管的 N+源极区域 125A、栅极层 118 与 N+漏极区域 125B 连接。

由已知技术可知，本发明实施例的上述工艺在源极与漏极侧形成对称的轻掺杂 P 型栓塞区域 122A 与 122B。相较于图 2A 的实施例（轻掺杂 P 型区域 50 仅形成于漏极侧）而言，此实施例两个优点：第一、形成轻掺杂 P 型栓塞区域 122A 与 122B 的硬掩模与用于制造短沟道 N 型金属氧化物半导体晶体管元件的传统工艺中形成 N 型轻掺杂漏极区域的硬掩模相同，因此并不需要额外的硬掩模，故大大降低了发展创新的半导体元件的成本。第二、使用本发明实施例的电路设计者会有更多选择以轻掺杂 P 型区域的对称结构任一侧作为漏极的弹性，同时留下另一侧作为源极。就目前所知而言，位于源极侧的轻掺杂 P 型栓塞区域对于改善击穿电压、或其它影响元件性能的负面冲击并无效果。

图 4 示出实施例的高压 N 型金属氧化物半导体晶体管的剖面图。如图 2A 所示，相较于形成在间隔件 49 下方的轻掺杂 P 型栓塞区域 50 而言，本实施例的轻掺杂 P 型区域 150 横向延伸至间隔件 149 边缘后方，而到达重掺杂 N+漏极区域 143，其靠近区域 150 的第一部分与区域 150 的第二部分，并延伸至场氧化物 155，如图 4 所示。在源极侧，于间隔件 148 边缘与场氧化物 155 之间形成重掺杂 N+漏极区域 142，其中，区域 142 边缘从间隔件 148 边缘与场氧化物 155 移置。由已知技术可知，本实施例的晶体管结构在晶体管的 N+源极与 N+漏极之间提供足够压降的更长的沟道，却不用增加元件尺寸；相较于已知高压晶体管，反而具有更高的击穿电压。

图 5A 至图 5B 示出另一实施例中具有更长沟道（源极漏极间的距离）的高压 N 型金属氧化物半导体晶体管的工艺剖面图。先前所述与图 3A 至图 3F 相关的步骤与本实施例所使用的初始步骤相同。

如图 3F 所示，在形成轻掺杂 P 型区域 120A、120B 与间隔件 121 之后，采用新硬掩模层 200 而定义区域，其中，后续将对此区域进行重且深的 N 型离子注入，而形成与源/漏极延伸连接的低电阻接触，如图 5A 所示。N+离子注入可以通过使用高数值电流离子注入机并以磷进行，以达到介于 $10^{14}\text{cm}^{-3}\sim 10^{16}\text{cm}^{-3}$ 的杂质密度；在其它实施例中，也可以采用其它 P 型离子注入材料与离子注入密度。在图 5B 所示的步骤后，形成重掺杂 N+源极区域 210A 与重掺杂 N+漏极区域 210B。N+区域 210A 与 210B 可以从衬底表面延伸至衬底内部大约 $0.6\mu\text{m}$ 的深度。形成与本实施例的晶体管的栅极、漏极与

源极连接的金属接触的方法与图 3I 所示的方法相同。

图 6A 示出另一实施例中部分沟道区域与 P 型扩散区域的剖面放大图。在先前所述的实施例中，如图 2B 所示，轻掺杂 P 型区域 50 不再是延伸至衬底内且位于间隔件下方的栓塞。然而，在本实施例中，如图 6A 所示，P 型区域 50 覆盖了重掺杂 N+漏极区域 43 侧壁的左边部分。显然地，此结构在 N+源极与 N+漏极之间提供足够压降的更长的沟道（如图 6 的箭头所指的电流），并将撞击离子化区域从硅表面推离至更下方以降低热载流子效应。如图 6B 所示，此结构的轻掺杂 P 型区域 50 也可以在间隔件形成后通过一特定角度的硼离子注入而形成，以至于具有介于 10^{13}cm^{-3} 至 10^{14}cm^{-3} 的局部掺杂物密度；在其它实施例中，区域 50 也可以通过采用其它 P 型材料与方法而形成。此注入工艺可以在 N+源极与漏极形成前或后通过额外光罩而进行。

由已知技术可知，本实施例所示通过增加 N+源极与漏极间的电流而改善击穿电压的原则也适用于低压金属氧化物半导体晶体管，其中，热载流子衰减对于深次微米特征尺寸仍然是一个严重的问题。当晶体管沟道长度持续增加时，此负面效应也增加。

图 7 示出实施例的低压 N 型金属氧化物半导体晶体管结构的剖面图。参考图 7，N-沟道加强模式金属氧化物半导体晶体管 240 包括 P 型单晶硅的块状衬底 241，此 P 型单晶硅具有约 10^{14}cm^{-3} 低掺杂物浓度。两个置于衬底内的 N+型扩散区域 242 与 243 分别作为源极与漏极。N+型扩散区域 242 与 243 的掺杂物浓度可以适当地控制以致于可与衬底 241 之间达到良好的欧姆接触，并可以掺杂适当的材料，例如掺杂浓度介于 $10^{14}\text{cm}^{-3}\sim 10^{14}\text{cm}^{-3}$ 的磷或砷；在其它实施例中，也可以采用其它 N 型掺杂材料与掺杂浓度。具有较浅的扩散深度的两个轻掺杂源极/漏极区域 244 与 245 分别邻近 N+源极/漏极区域 242 与 243。具有长度介于约 $0.1\mu\text{m}\sim 1.0\mu\text{m}$ 间的沟道区域在轻掺杂源极/漏极区域 244 与 245 相对边缘之间沿着衬底表面延伸。在衬底表面上形成厚度介于 30 埃 $\sim$ 200 埃的薄栅极介电层 246（由热二氧化硅构成）；在其它实施例中，也可以采用其它适合的栅极介电材料。如图 7B 所示，栅极介电层 246 轻微地与轻掺杂源极/漏极区域 244 与 245 重叠。在栅极介电层 246 上形成栅极层 247（由适合的导电栅极电极材料与叠层结构组成）。两个由 TEOS 二氧化硅组成且底部尺寸介于 500 埃 $\sim$ 3000 埃之间间隔件 248 与 249 形成于栅

极层 246 与 247 的两边缘, 以覆盖位于栅极侧壁与衬底之间的角落; 在其它实施例中, 也可以采用其它间隔件尺寸与其它适合之间隔件介电材料, 例如是 Si_3N_4 。在间隔件 249 下方的衬底表面上形成轻掺杂 P 型栓塞 250。在实施例中, 于区域 250 掺杂适合的 P 型材料, 例如是硼, 其表面掺杂密度约为 10^{13}cm^{-3} 至 10^{14}cm^{-3} , 然而, 可使用其他 p 型掺杂材料及掺杂浓度。P 型掺杂区 250 自基底表面延伸至约 $0.5\text{ }\mu\text{m}$ 的深度。可提供场氧化物 255 以将低电压 MOS 晶体管 240 与同一基底上附近的其他装置隔离。在其它实施例中, 也可用浅沟槽隔离作为隔离结构。

图 8A 至图 8F 示出实施例的低压短沟道金属氧化物半导体晶体管的工艺剖面图。图 8A 示出初始步骤; 在初始步骤中, 于 P 型硅衬底 300 上成长或沉积一层氮化硅 (图未显示) 或其它介电材料。对氮化硅的表面进行第一光刻工艺以定义有源区域, 以在后续步骤中用于形成个别晶体管。之后, 通过干蚀刻工艺而蚀穿外露的氮化硅以及部分硅衬底, 以形成沟槽。沉积二氧化硅层以填充所述多个沟槽。进行化学气相研磨工艺以移除遗留在平坦表面上的二氧化硅。在其它移除覆盖有源区域的氮化硅的蚀刻工艺后, 形成沟槽氧化物 301, 而形成如图 8A 所示的结构。

如图 8B 所示, 厚度介于 30 埃~200 埃的热氧化物层成长于衬底上并经图案化工艺后形成栅极氧化物层 302。之后, 可以在栅极氧化物层 302 上形成具有适当导电栅极材料的栅极层 303。接着, 进行轻掺杂 N 型离子注入工艺而形成源极与漏极轻掺杂漏极区域。这是一个自我对准工艺, 其中离子注入掩模遮蔽 N 型金属氧化物半导体晶体管的有源区域, 且轻掺杂 N 型区域通过图案化栅极与沟槽氧化物而定义。此 N 型离子注入可以通过使用中等电流离子注入机并以磷进行, 以达到介于 10^{12}cm^{-3} ~ 10^{13}cm^{-3} 的杂质密度; 在其它实施例中, 也可以采用其它 N 型离子注入材料与离子注入密度。可以进行加热循环以促使源极/漏极 N-区域边缘轻微地位于栅极边缘下方。如图 8B 所示, 在此步骤之后, 形成轻掺杂 N 型区域 304A 与 304B。N 型区域 304A 与 304B 可自衬底表面延伸至约 $0.5\text{ }\mu\text{m}$ 的深度或更深。

在轻掺杂 N 型区域 304A 与 304B 形成之后, 进行 P 型离子注入以于 N 型轻掺杂漏极区域 304A 与 304B 内形成轻掺杂 P 型区域。用于定义 P 型离子注入区域的硬掩模与用于图案化 N 型轻掺杂漏极区域的硬掩模相同。在此

实施例中, P 型离子注入可以通过使用一高数值电流离子注入机并以硼进行, 以达到介于 $10^{13}\text{cm}^{-3}\sim 10^{14}\text{cm}^{-3}$ 的杂质密度。离子注入的剂量与深度应小心选择以致于在延伸的 N 型杂质中分解之后其净 P 型杂质密度介于约 $10^{13}\text{cm}^{-3}\sim 10^{14}\text{cm}^{-3}$ 之间, 且延伸至衬底内的 P 型区域 305A 与 305B 完全被轻掺杂 N 型区域 304A 与 304B 所包围, 如图 8C 所示。

在衬底上沉积厚度介于 500 埃~3000 埃的 TEOS 氧化物膜。对此衬底进行一干蚀刻工艺, 以清除位于平坦区域的氧化物, 同时留下位于栅极层侧壁之间隔件 306, 如图 8D 所示。在此实施例中, 得到宽度介于 300 埃~2500 埃之间隔件基部。在其它实施例中, 也可以使用其它间隔件介电材料, 例如 Si_3N_4 。

在间隔件形成之后, 进行重且深的 N 型离子注入 (如图 8D 所示) 以形成与漏极/源极延伸区域连接的低电阻接触。在此实施例中, 用于定义 N+ 注入区域的硬掩模与用于将 N 型轻掺杂漏极 304A 与 304B 及 P 型区域 305A 与 305B 图案化的硬掩模相同, 其中仅 N 型金属氧化物半导体晶体管有源区域被遮蔽。重掺杂 N+ 区域是自我对准该间隔件边缘与该场氧化物。在此实施例中, N+ 型离子注入可以通过使用高数值电流离子注入机并以磷进行, 以达到介于 $10^{14}\text{cm}^{-3}\sim 10^{16}\text{cm}^{-3}$ 的杂质密度; 在其它实施例中, 也可以采用其它 N 型离子注入材料与离子注入密度。在此步骤之后, 形成重掺杂 N+ 源极区域 306A 与重掺杂 N+ 源极区域 306B, 如图 8E 所示。N+ 区域 306A 与 306B 可自衬底表面延伸至约 $0.6\mu\text{m}$ 的深度或更深。

本发明实施例的短沟道 N 型金属氧化物半导体晶体管的工艺通过对晶体管的栅极、漏极与源极形成金属接触而完成。在形成金属接触的过程中, 于衬底上成长化学气相沉积二氧化硅介电层。接着, 进行光刻工艺而形成图案, 然后进行选择性蚀刻工艺而在栅极、源极与漏极上方形成开口, 并留下二氧化硅介电层 310A、310B、310C 与 310D, 如图 8F 所示。之后, 在开口进行钨金属沉积与图案化工艺而形成钨金属接触 311A、311B、311C, 以分别与低压 N 型金属氧化物半导体晶体管的 N+ 源极区域 306A、栅极层 303 与 N+ 漏极区域 306B 连接。在其它实施例中, 也可以使用其它导电材料与方法以形成晶体管的栅极、源极与漏极的金属接触。

由已知技术可知, 本发明实施例的上述工艺在源极与漏极侧形成对称的

轻掺杂 P 型区域 315A 与 315B，如图 8E 所示。相较于图 7（轻掺杂 P 型区域 250 仅形成于漏极侧）而言，此实施例两个优点：第一、形成 N 型轻掺杂漏极区域 313A 与 313B、轻掺杂 P 型区域 315A 与 315B、N+接触区域 306A 与 306B 是相同的硬掩模，因此并不需要额外的硬掩模，故大大降低了发展创新的半导体元件的成本。第二、使用本发明实施例的电路设计者会有更多选择以轻掺杂 P 型区域的对称结构任一侧作为漏极的弹性，同时留下另一侧作为源极。就目前所知而言，位于源极侧的轻掺杂 P 型栓塞区域对于改善击穿电压、或其它影响元件性能的负面冲击并无效果。

图 9 示出实施例的低压 N 型金属氧化物半导体晶体管的剖面图。相较于图 7 的实施例而言，N 型金属氧化物半导体晶体管 340 形成在位于绝缘材料层 341 上方的半导体层 342 上，亦即所谓的硅置于绝缘物上（SOI）的构成上。由已知技术可知，此结构完全被最佳化而避免重掺杂源极/漏极区域与绝缘层 341 间的接面电容，因而增加晶体管开关的速度。此结构也可以避免穿透击穿且降低次阈值电流。

实施例中所用的起使材料为 SOI 晶圆，其中，一层绝缘物（例如，二氧化硅或蓝宝石）成长于硅衬底上。接着，一层薄的掺杂硅成长于绝缘层上，且经选择性离子注入而形成源极与漏极。形成本实施例的栅极、源极、漏极与栓塞区域的方法相似于图 8A～图 8B 所示的方法。

虽然实施例以 N 型金属氧化物半导体晶体管作为说明，但是，本发明的原则、结构与方法亦适用于高压 P 型沟道加强模式金属氧化物半导体晶体管（具有形成于漏极的 P 型延伸区域中的轻掺杂 N 型栓塞）。另外，本发明的原则、结构与方法也适用于高压 N 沟道与 P 沟道耗尽模式金属氧化物半导体晶体管、低压 P 沟道加强模式金属氧化物半导体晶体管、与低压 N 沟道与 P 沟道耗尽模式金属氧化物半导体晶体管，

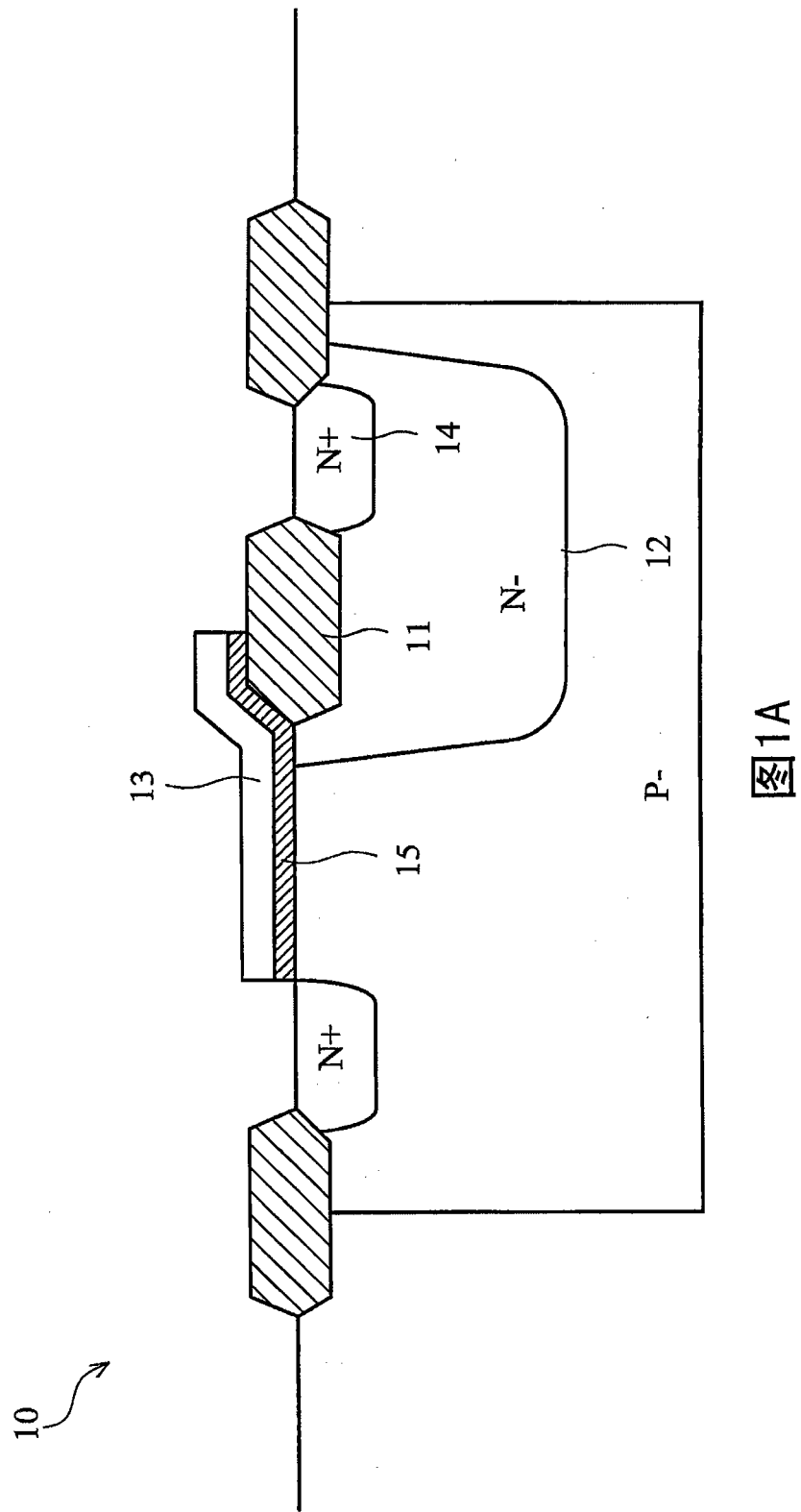
如图 2A 所示，本发明实施例制作了一个高压 N 型金属氧化物半导体晶体管的硅原型，其中，P 型栓塞区域形成于 N-延伸漏极区域。比较此实施例与图 1B 所示的已知技术的高压 N 型金属氧化物半导体晶体管（具有相似元件尺寸），结果如下表所示：

	图 1B 的已知 技术的高压 N 型金属氧 化物半导体 晶体管	具有本发明 实施例的 P 型栓塞的高 压 N 型金属 氧化物半导 体晶体管	单位	V _g
骤回击 穿电压(V _{ds})	13.2	16.1	伏特	4
	13.4	16.3	伏特	6
	14.4	16.6	伏特	8
	14.6	17.1	伏特	10

V_{ds} 代表穿过元件的漏极至源极电压；V_g 代表施加于栅极电极的电压。相较于具有相似元件尺寸的已知技术的高压 N 型金属氧化物半导体晶体管而言，本发明实施例的高压 N 型金属氧化物半导体晶体管具有较大的击穿电压。

由已知技术可知，衬底电流 I_{sub_max} 是一个用于确认金属氧化物半导体晶体管的骤回击穿的重要指标。图 10 示出实施例的衬底电流 I_{sub_max} 与已知高压 N 型金属氧化物半导体晶体管的衬底电流 I_{sub_max} 的比较图。其中，本发明实施例的衬底电流 I_{sub_max} 降低了 78%，其清楚地指出本发明实施例的结构对于抑制骤回击穿的效果。

根据本发明的实施例，通过在源极/漏极区域制作由相反形式杂质组成的“路障”（road block）以增加位于源极与漏极区域间的电流路径长度，可以改善击穿电压（on-breakdown voltage），转而降低元件内的尖峰电场。



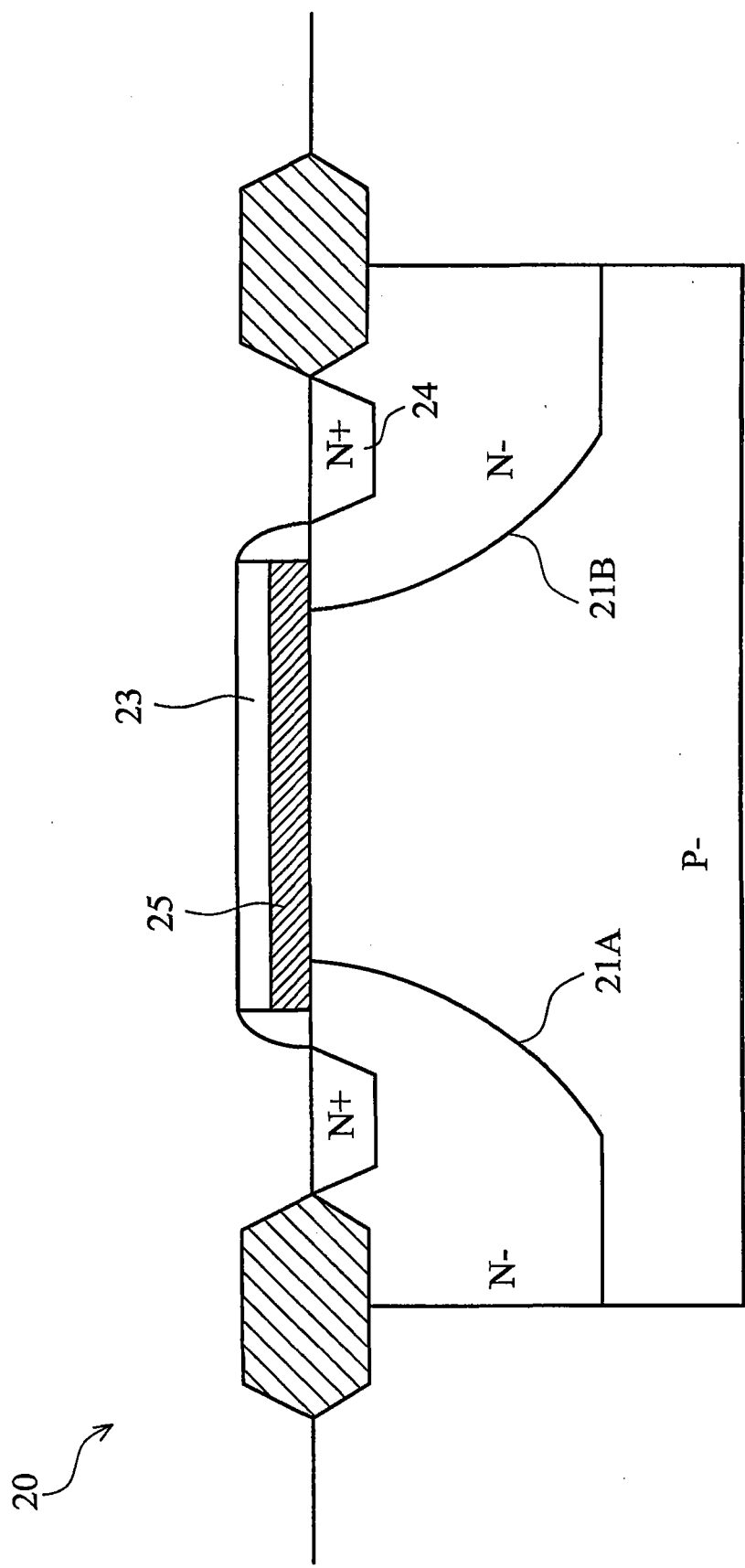


图1B

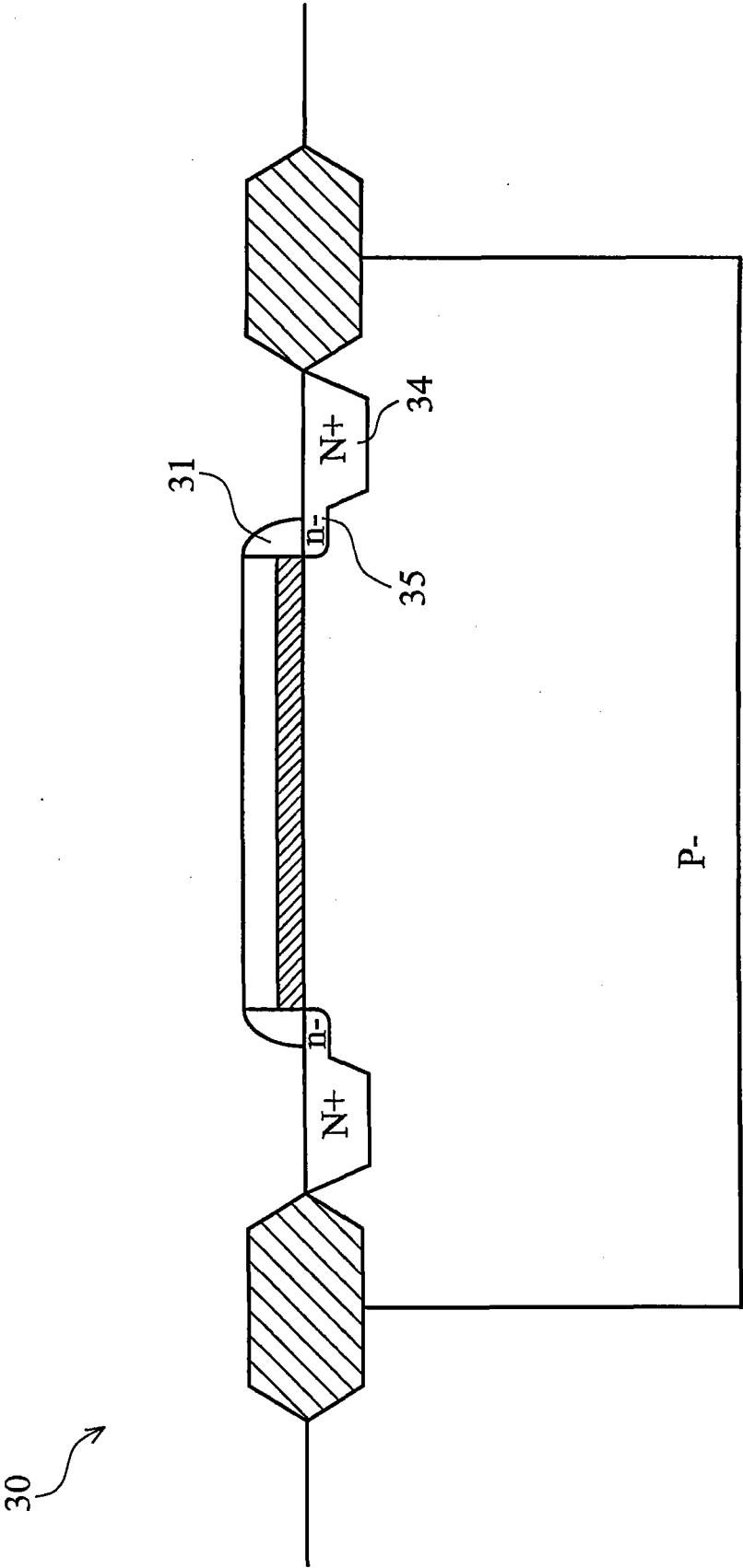


图1C

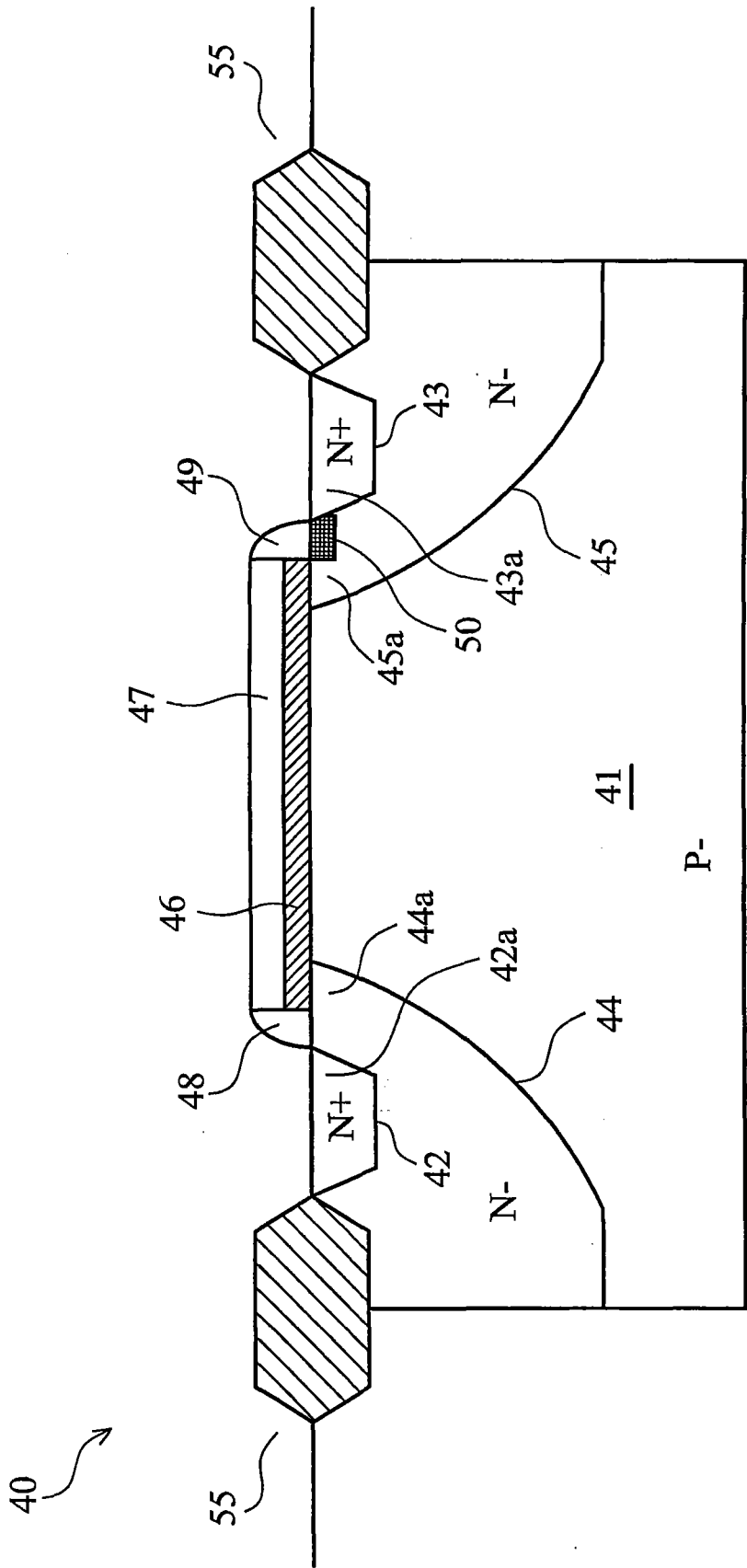


图2A

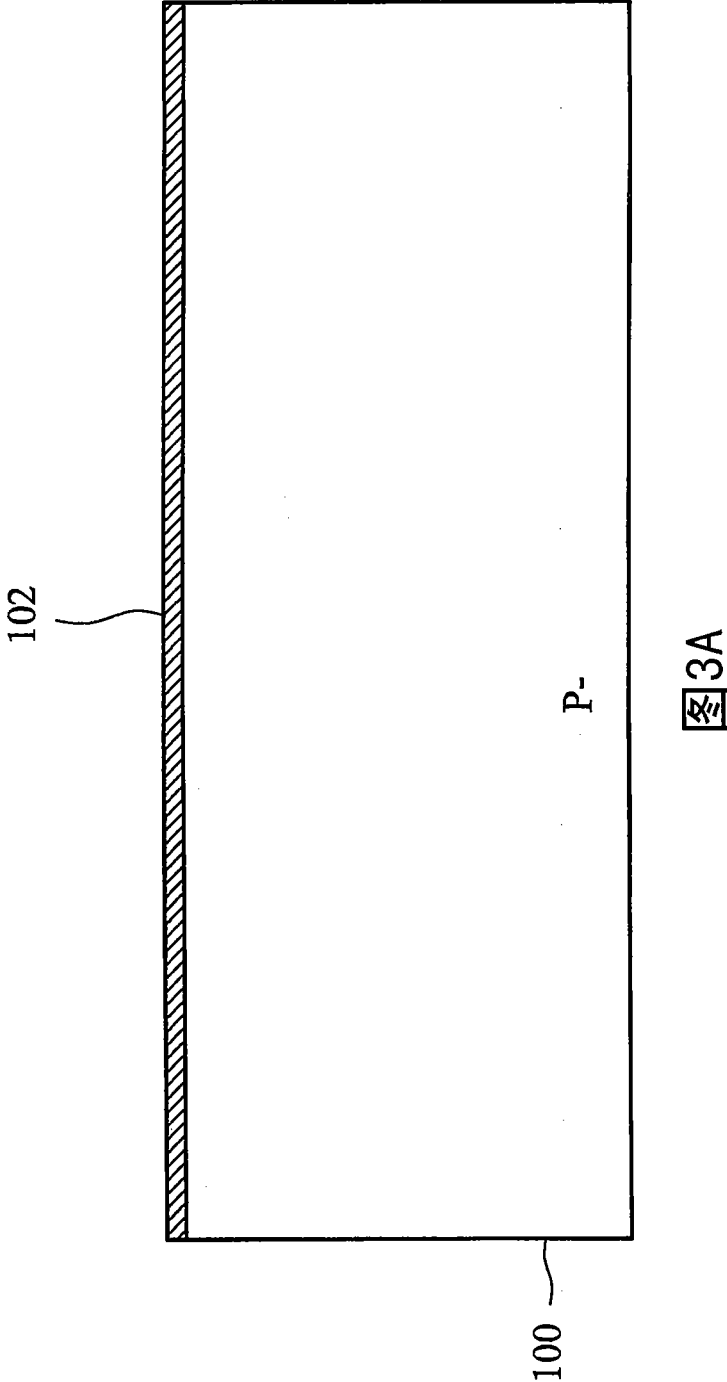


图3A

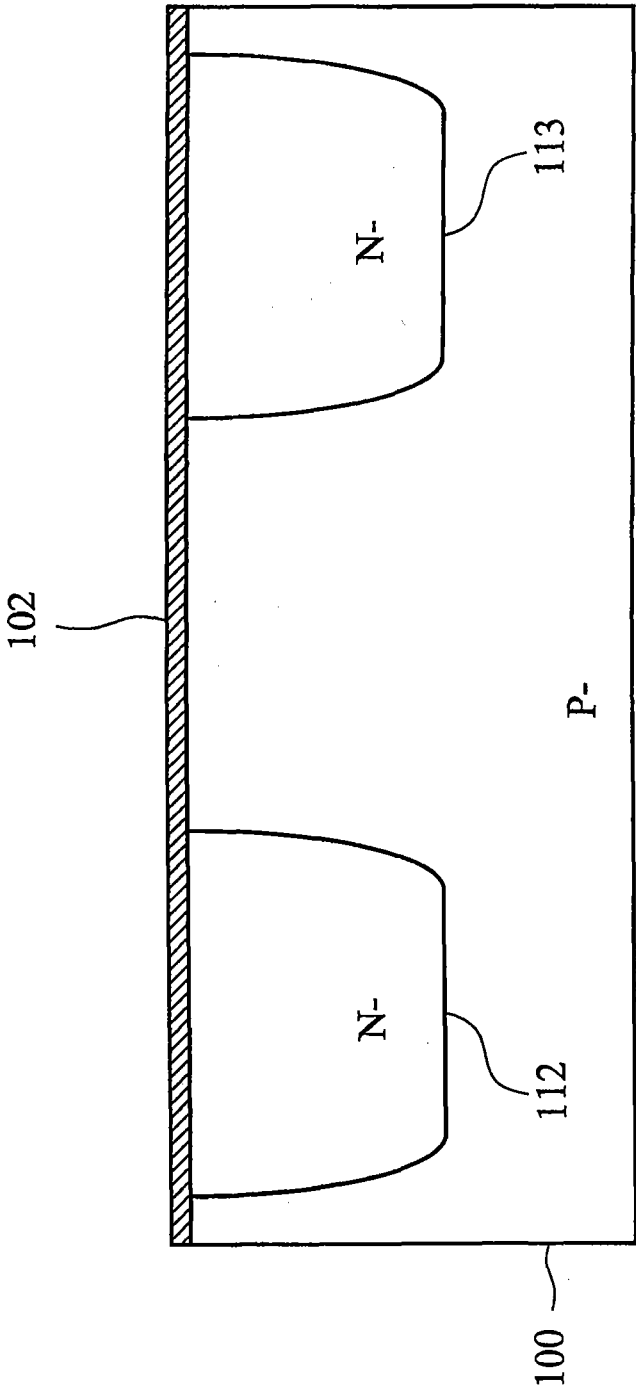


图3B

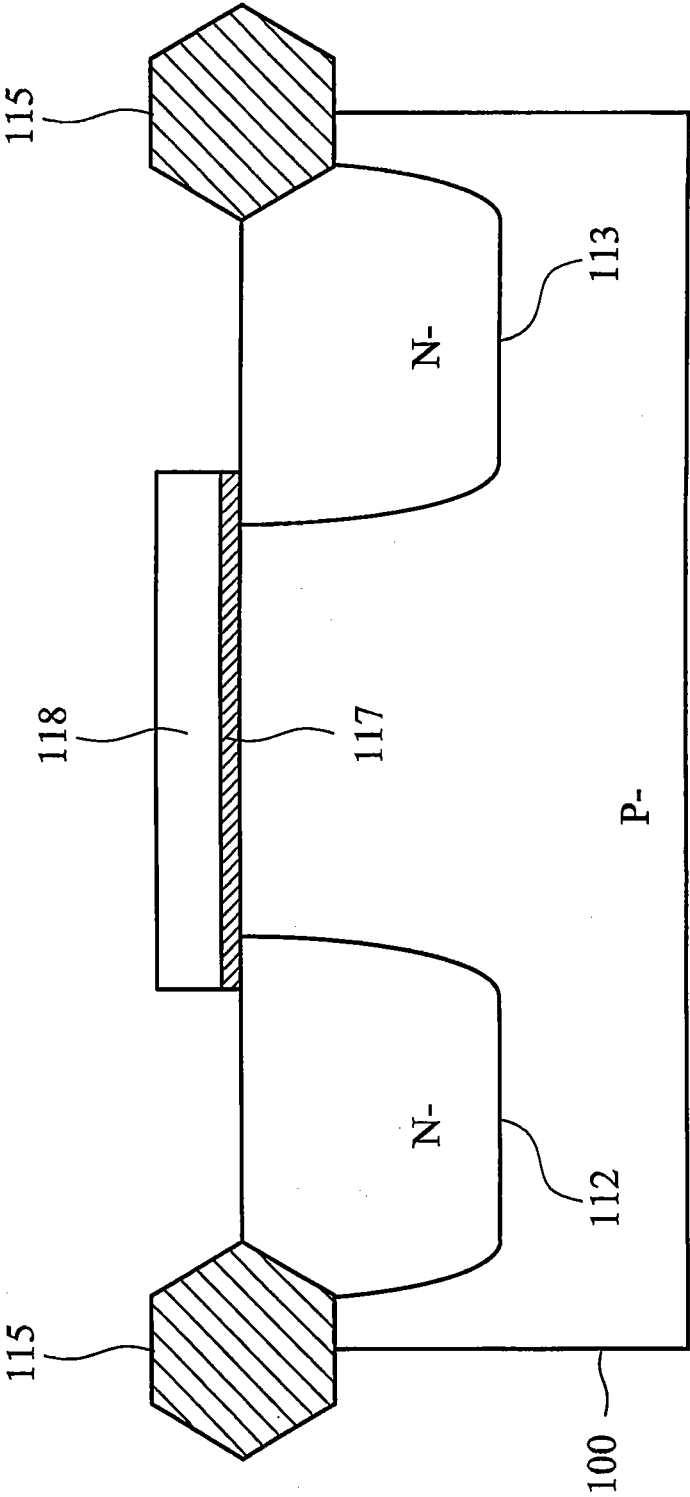


图3C

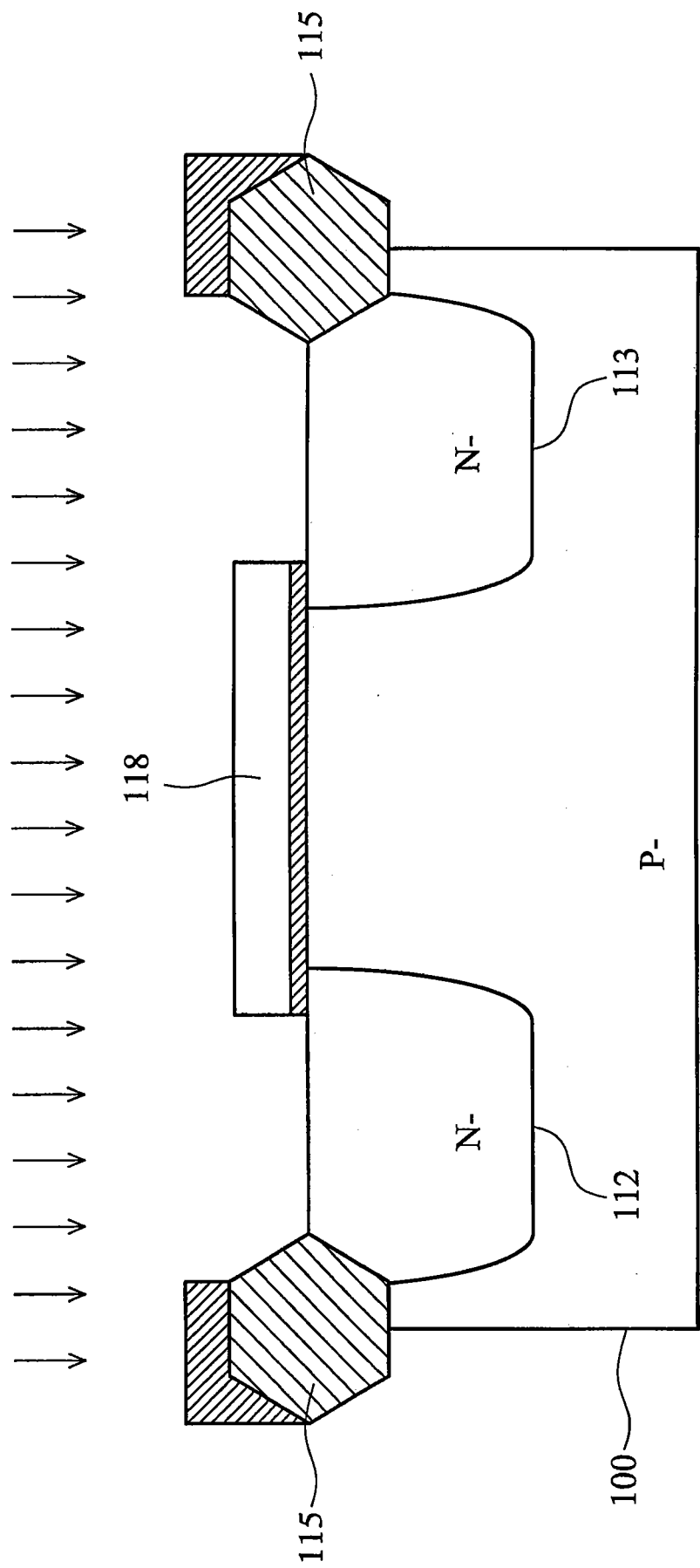


图3D

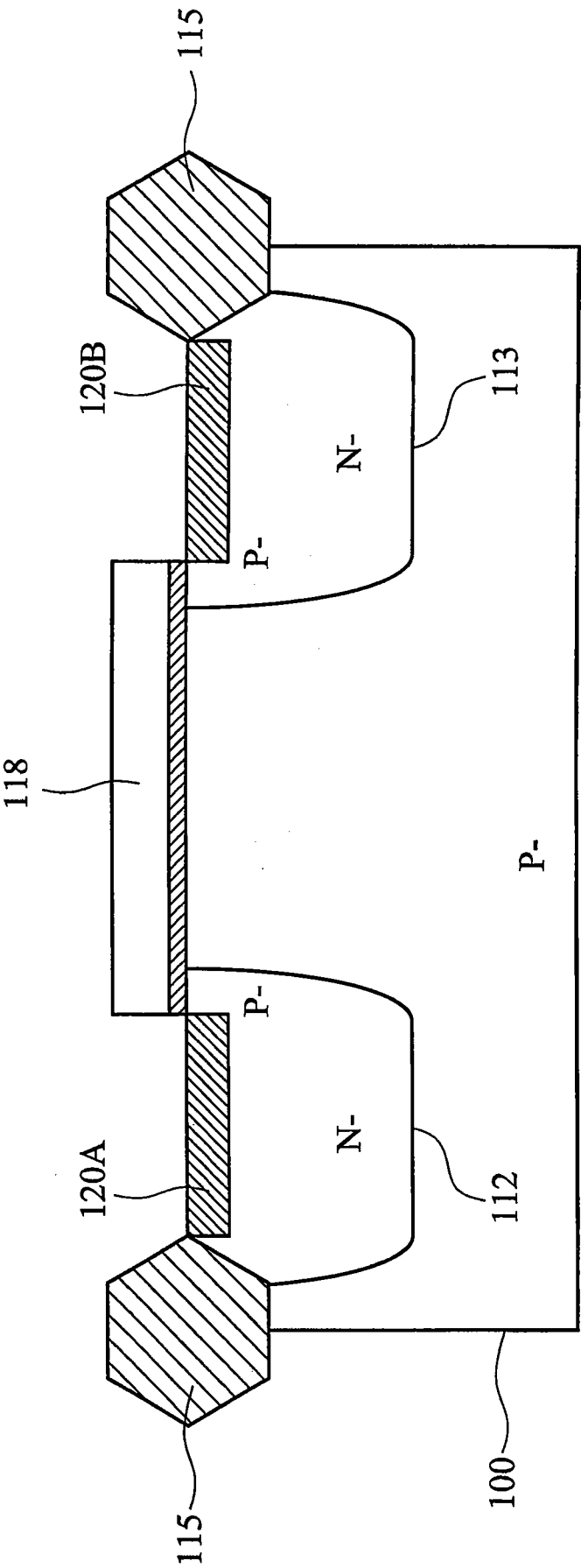


图3E

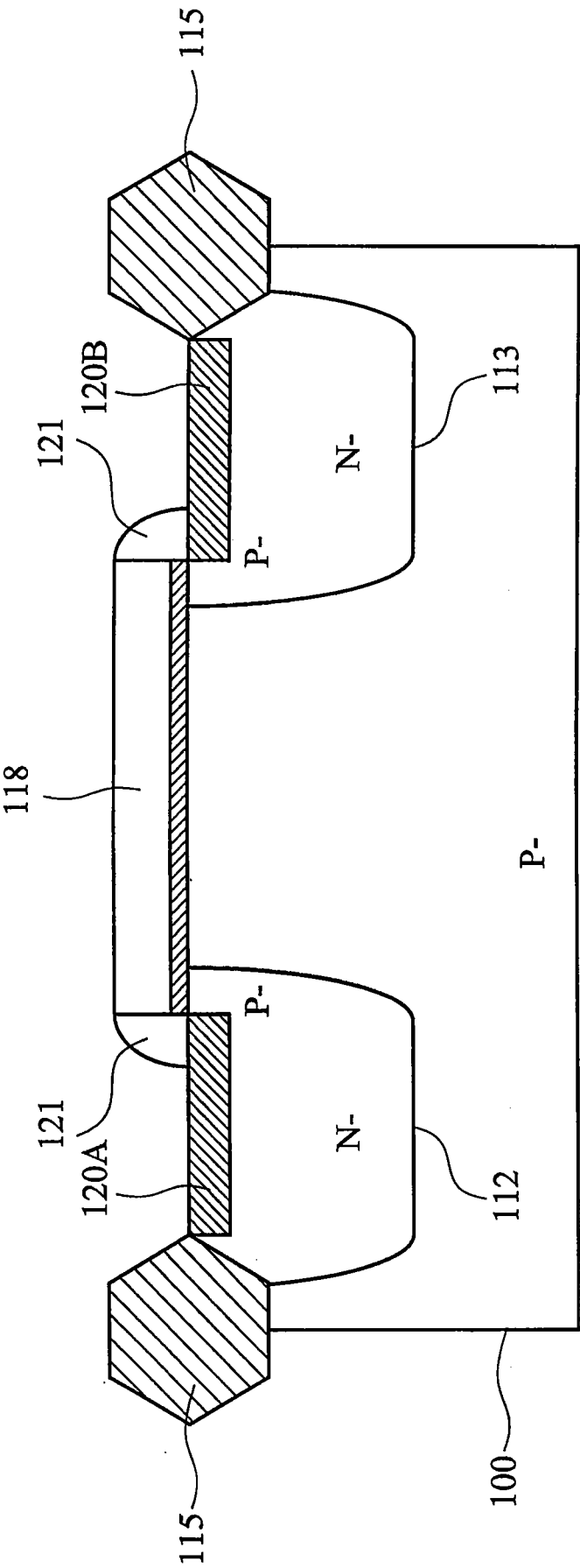


图3F

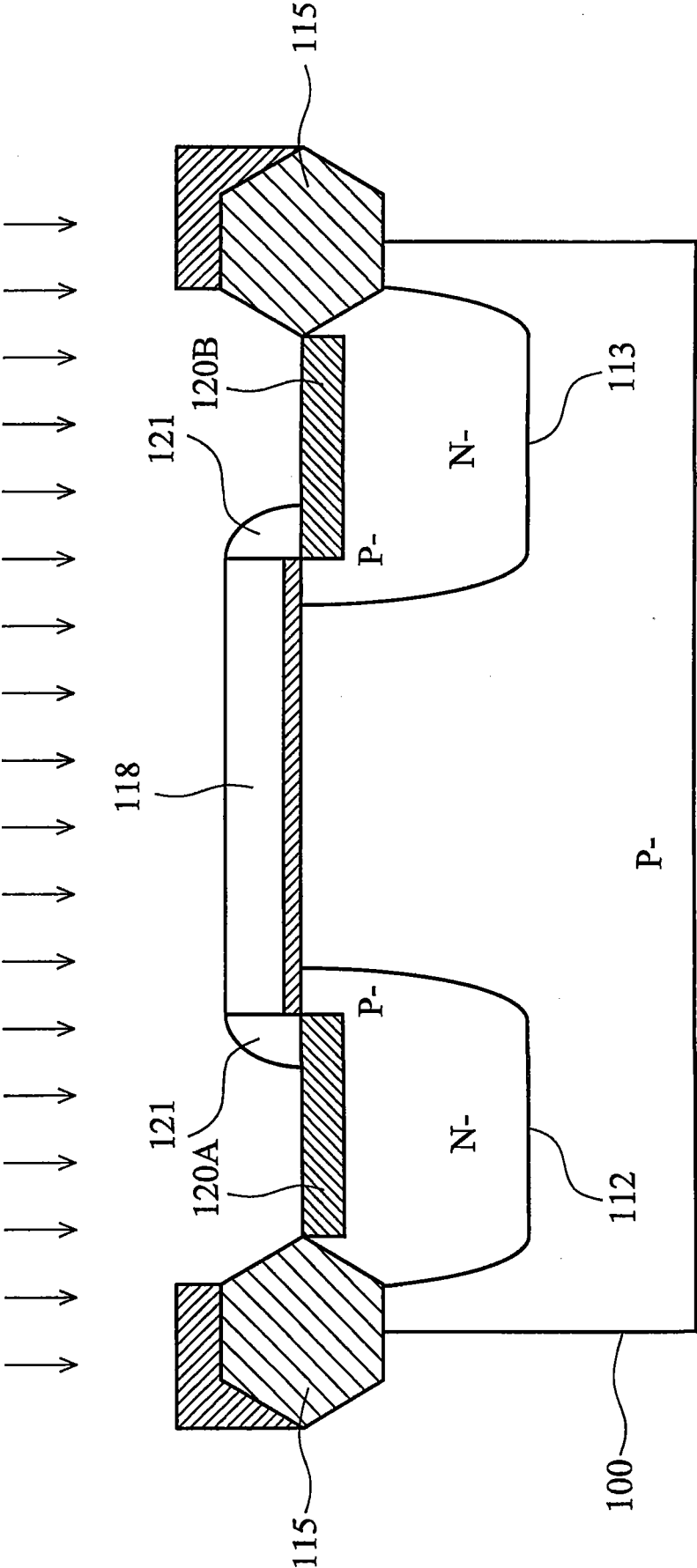


图3G

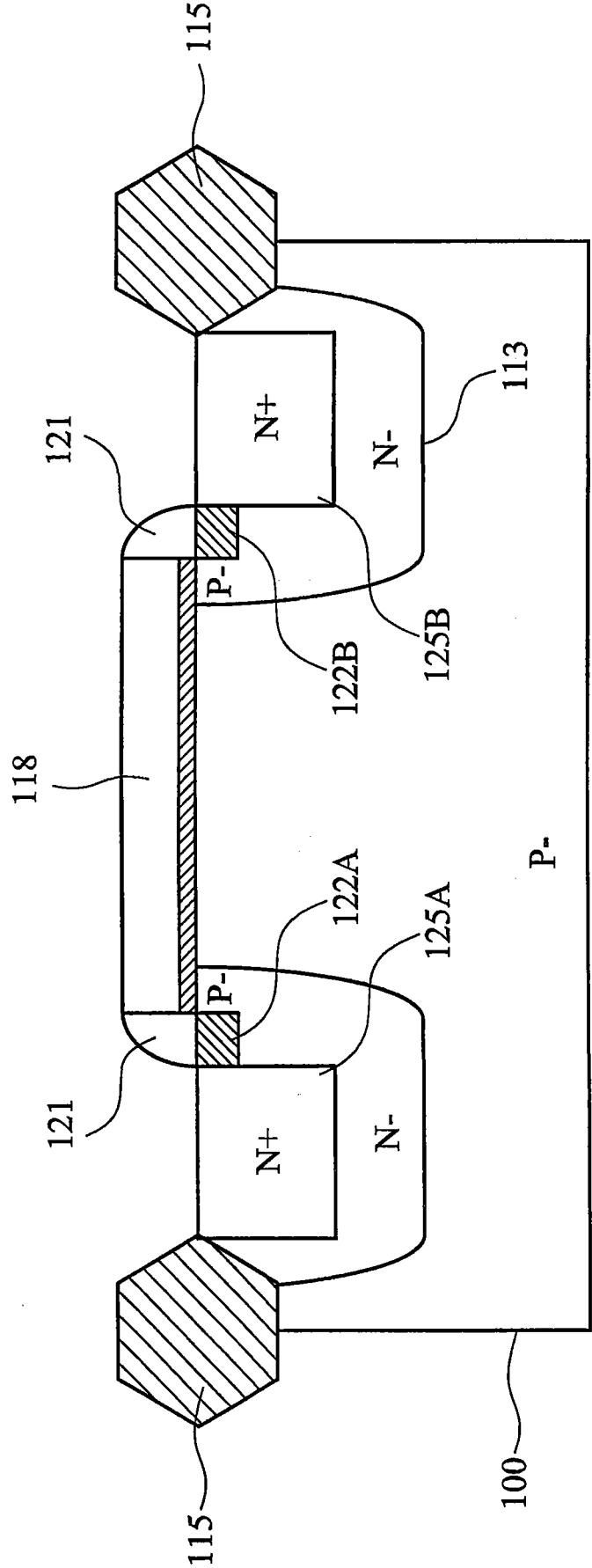


图3H

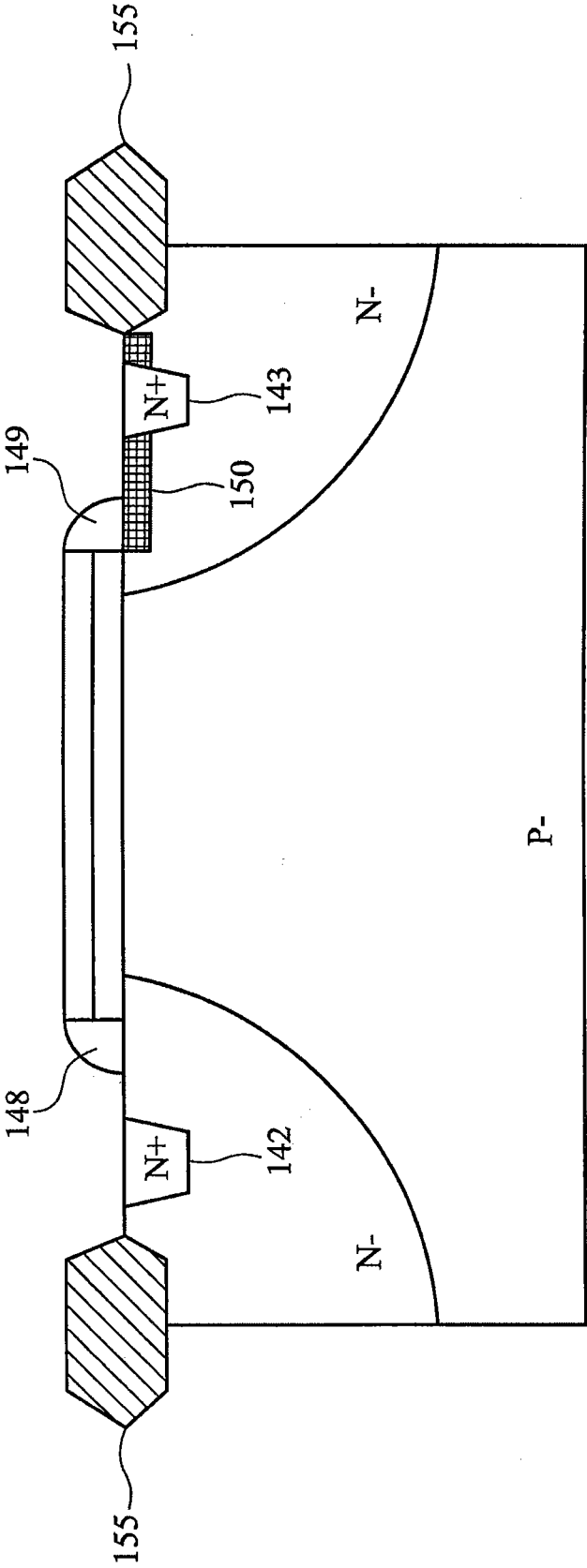


图4

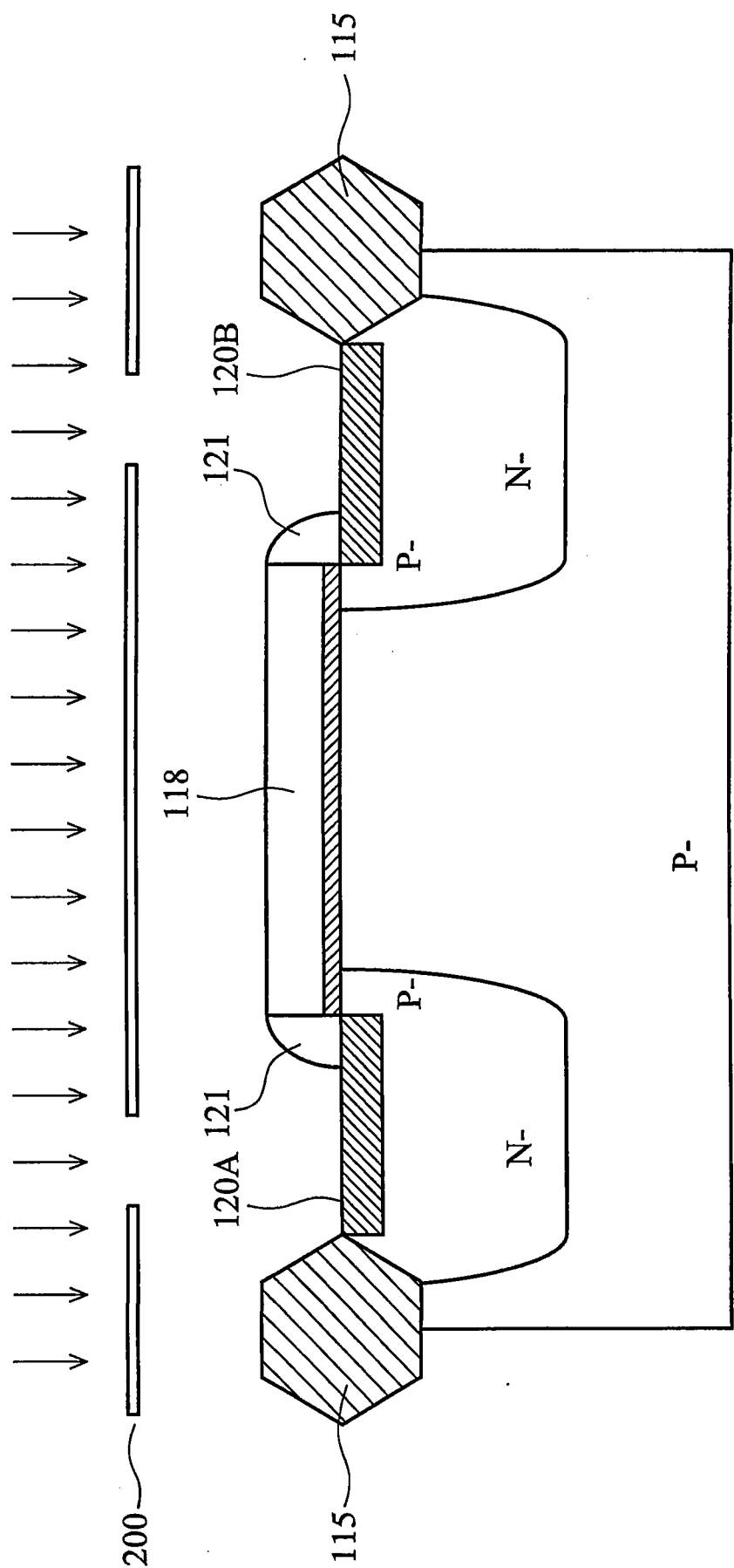


图5A

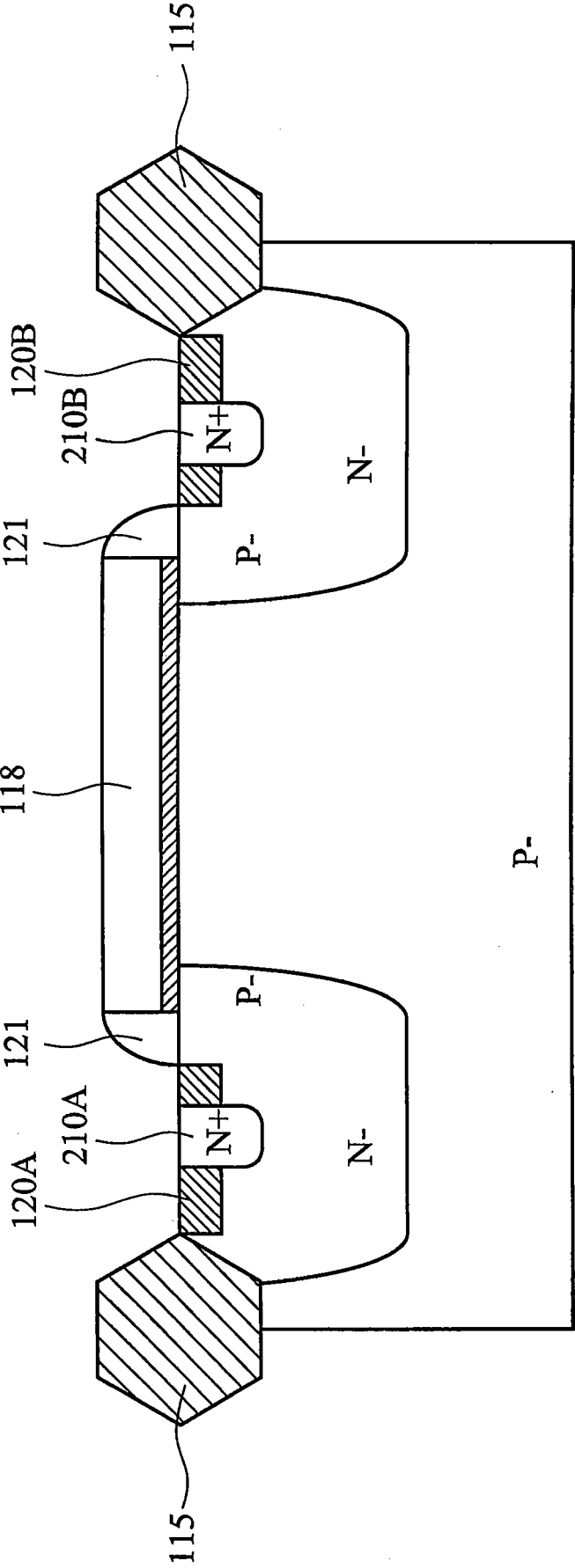


图5B

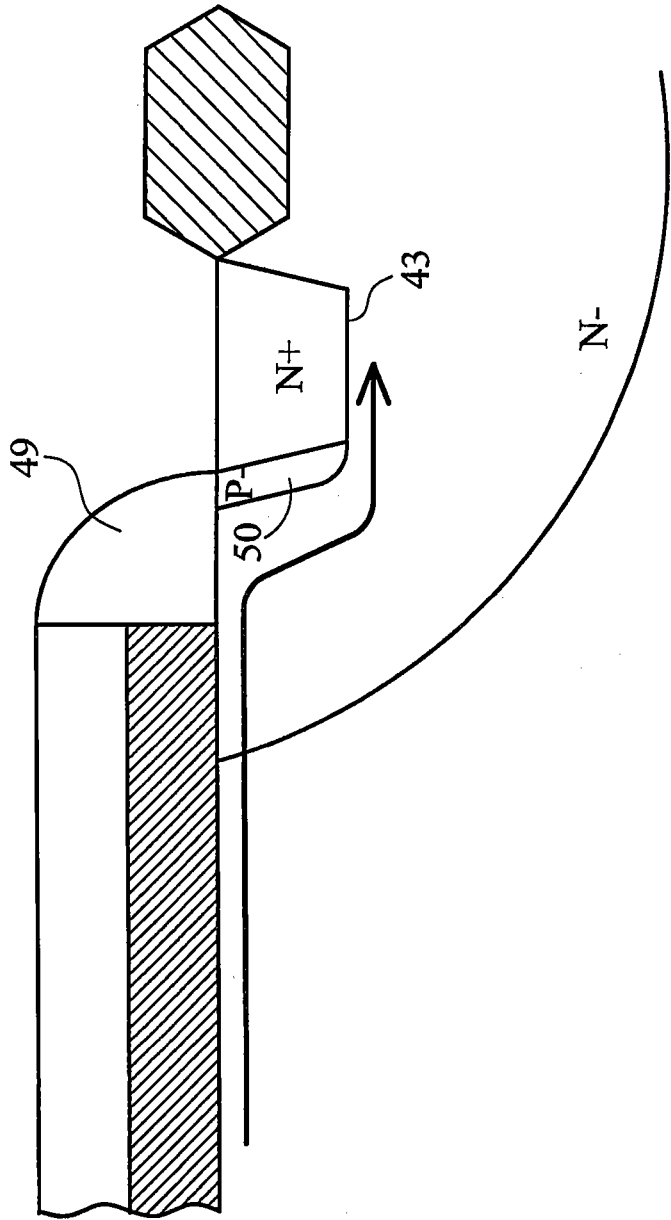


图 6A

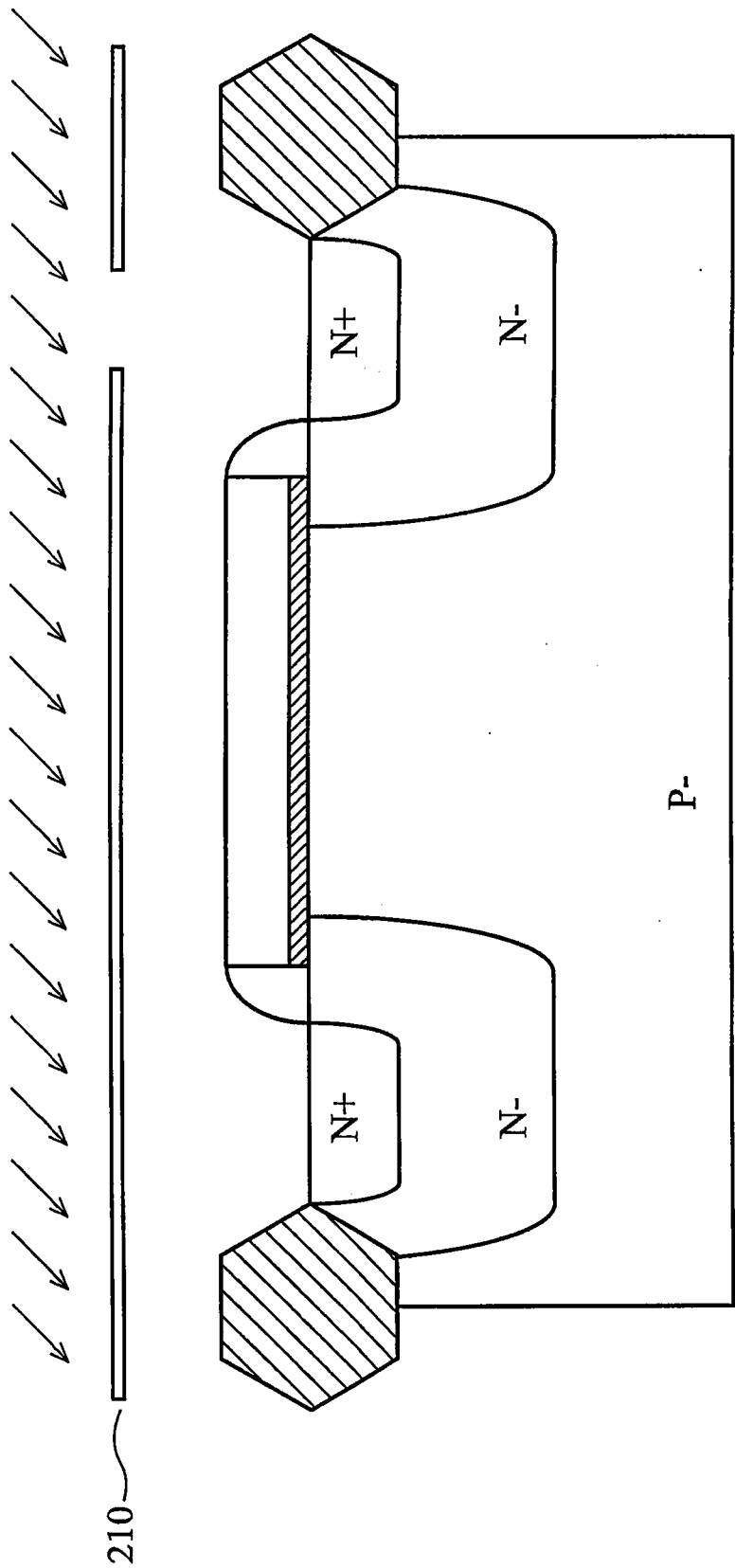


图6B

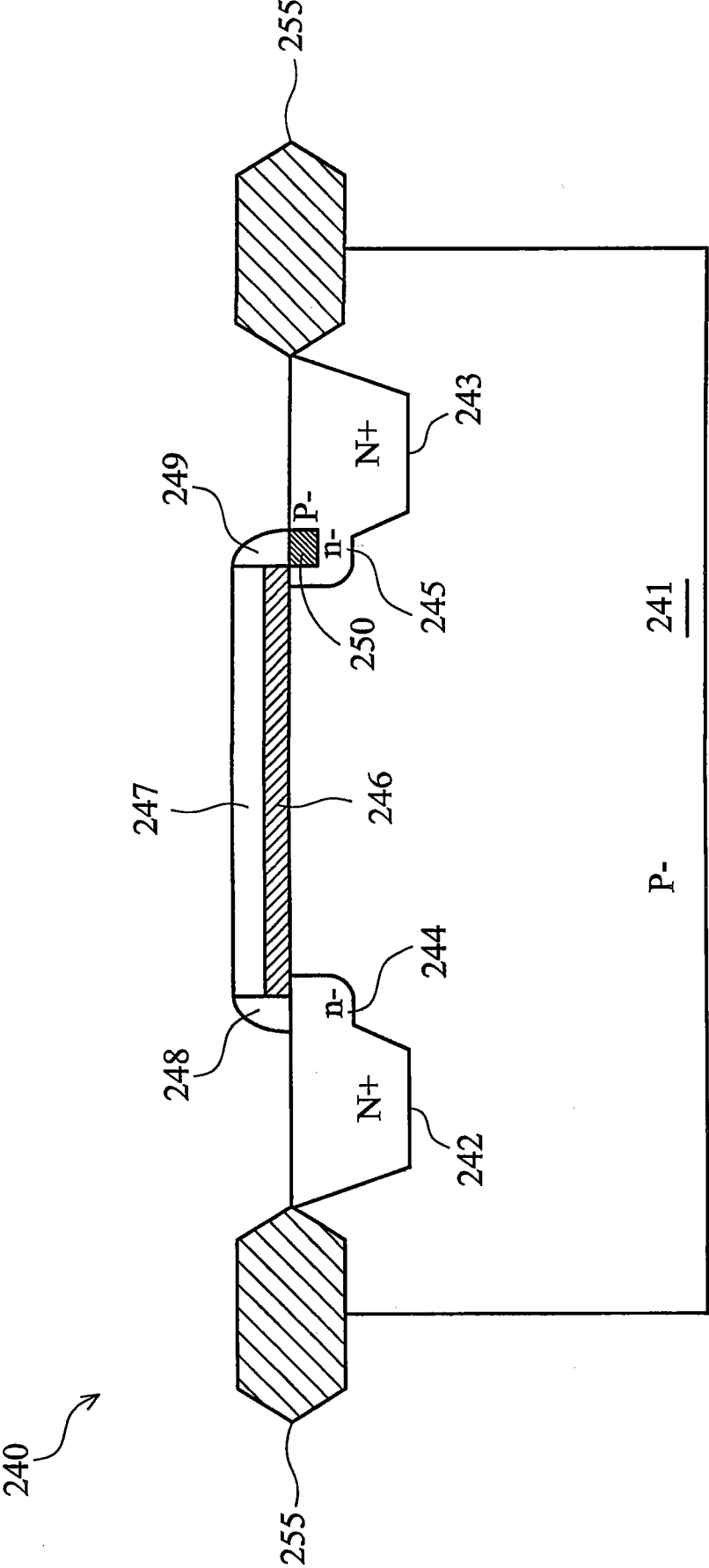


图7

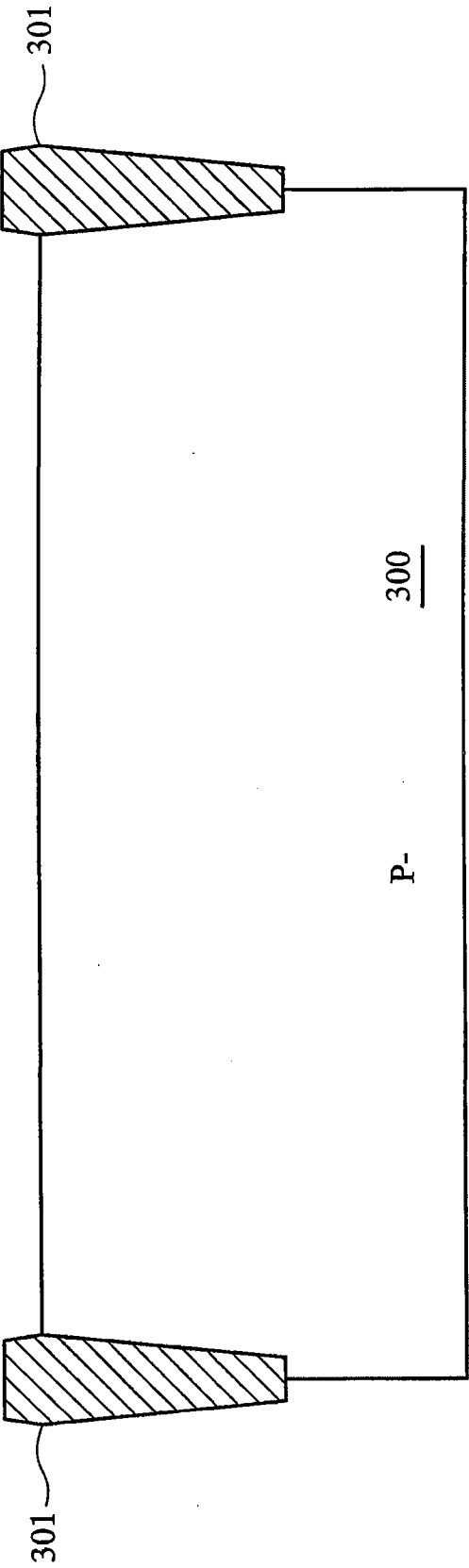


图8A

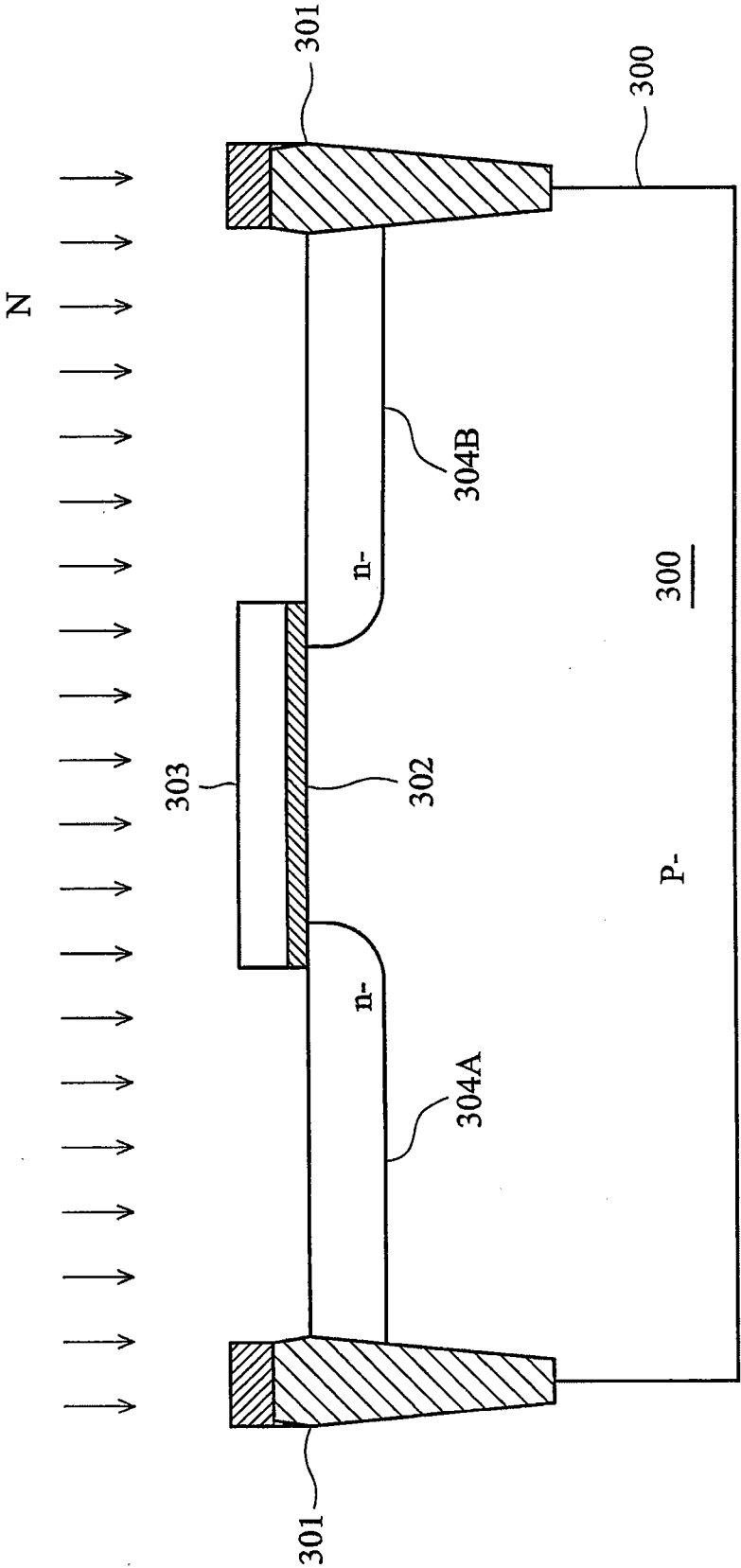


图8B

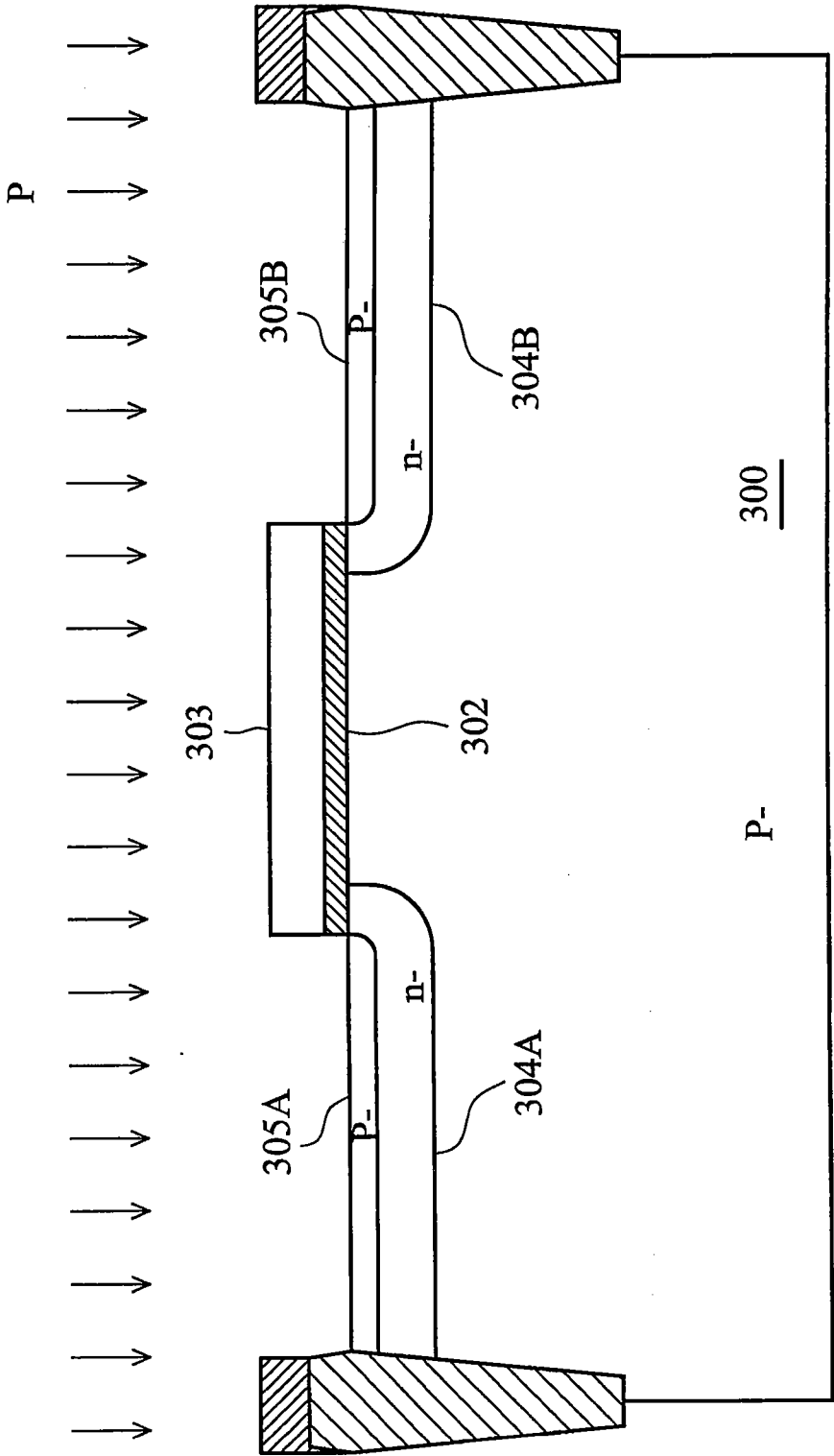


图8C

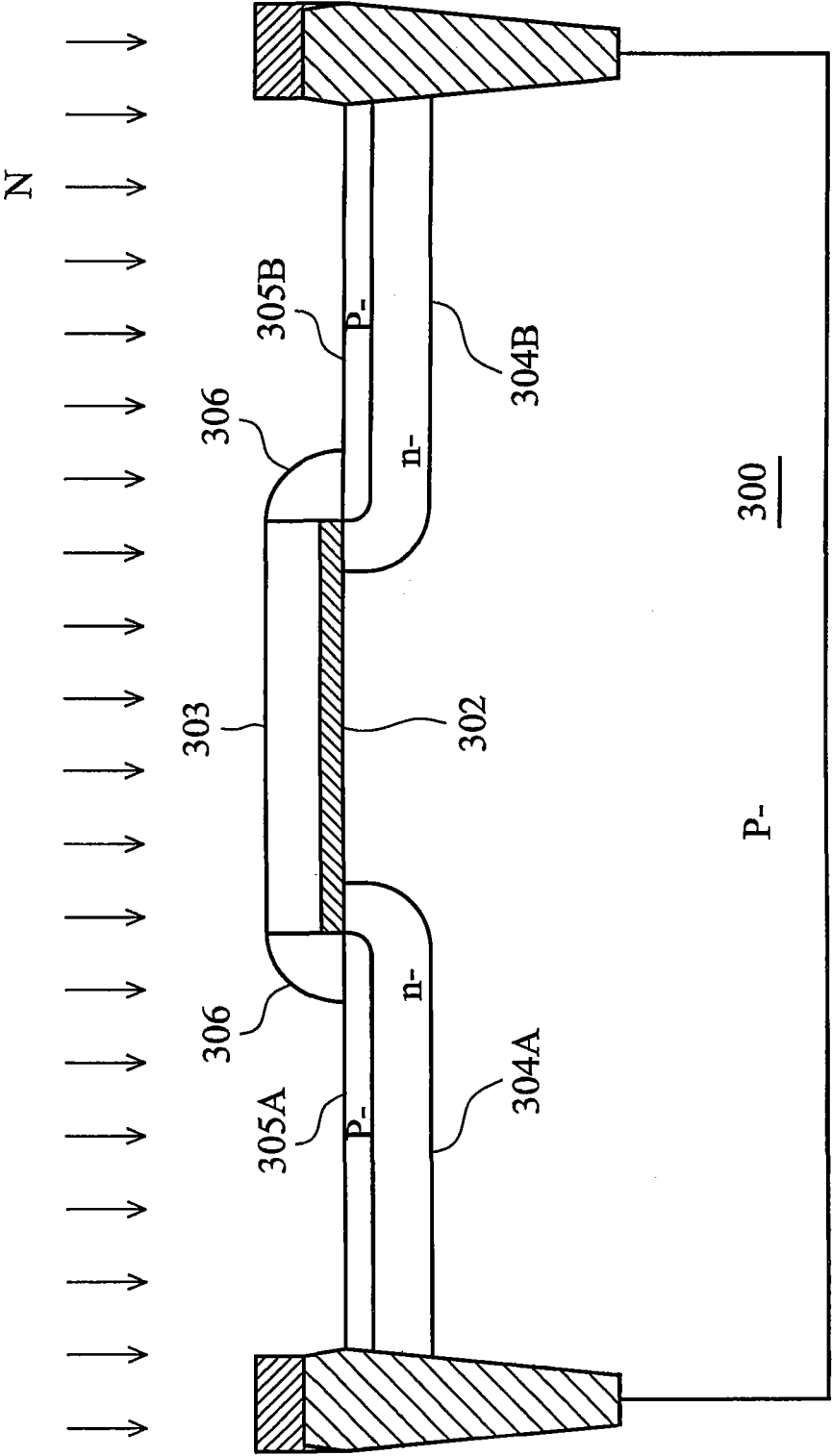


图8D

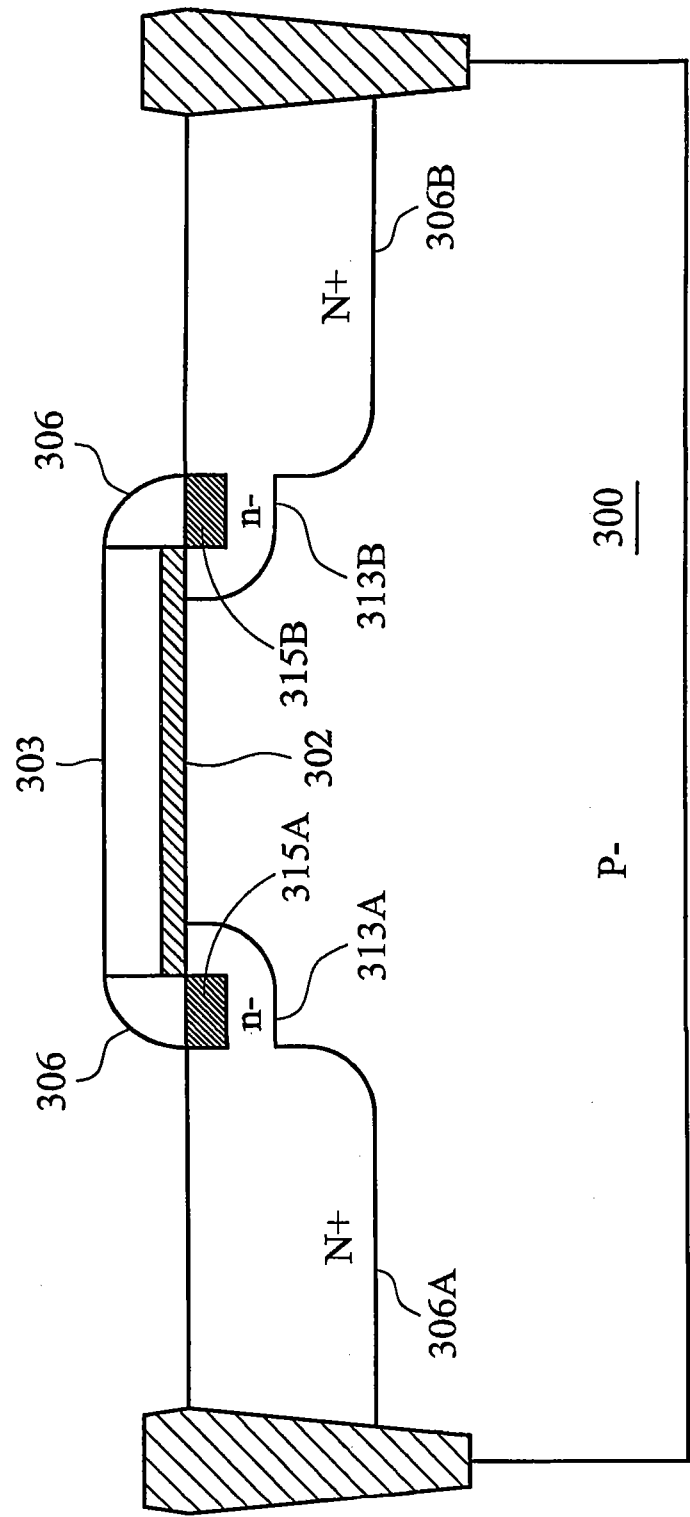


图8E

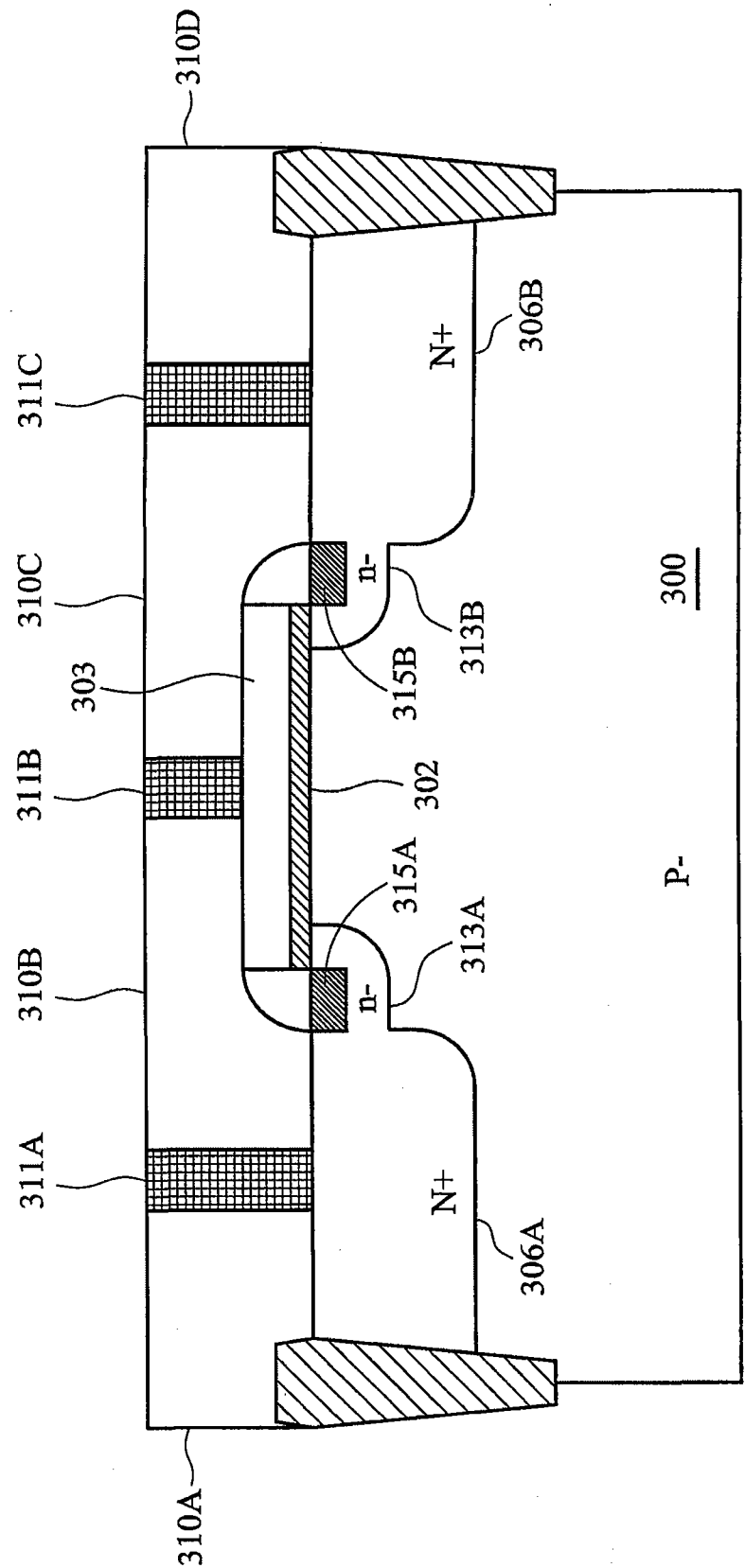


图8F

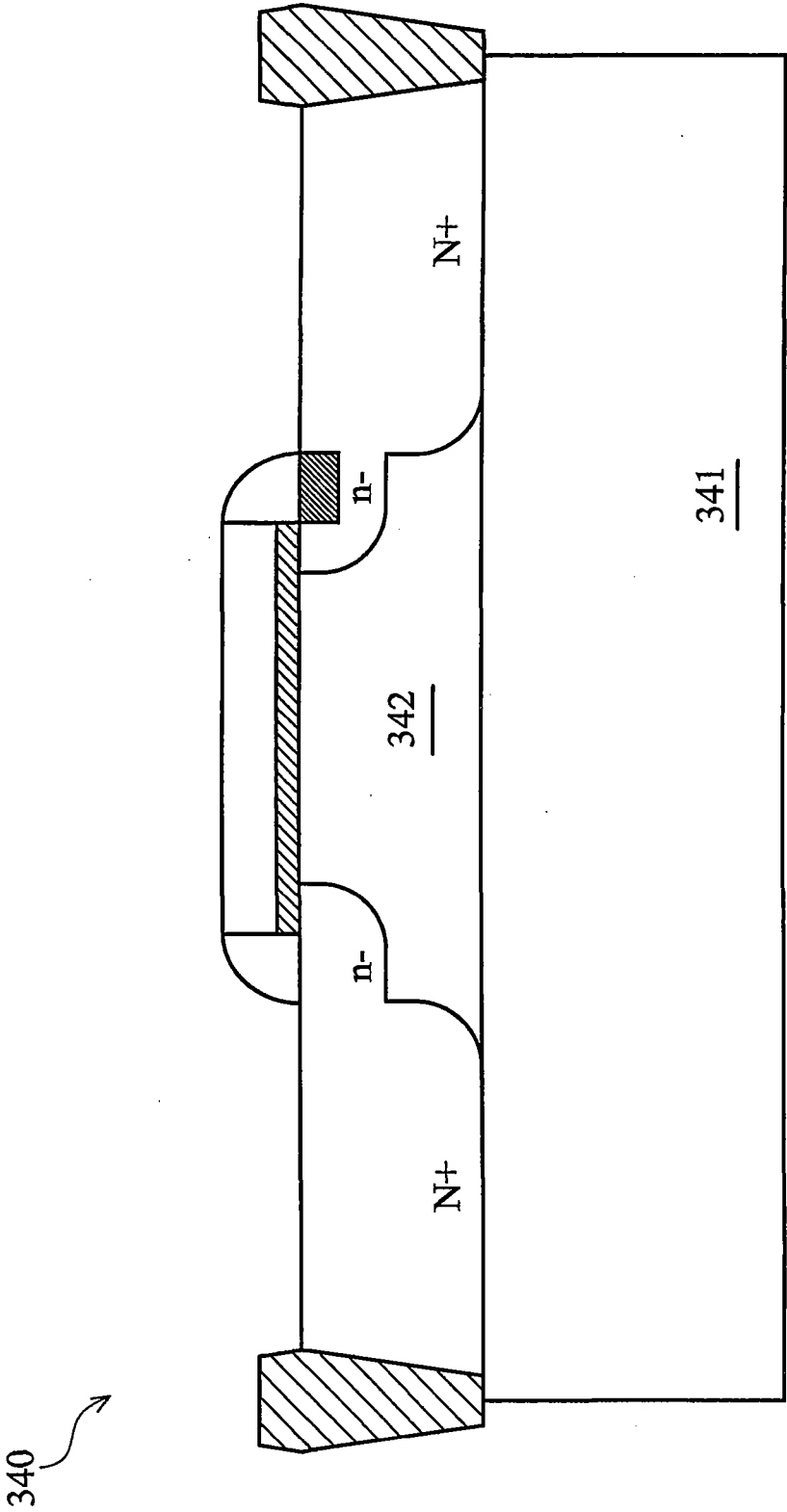


图9

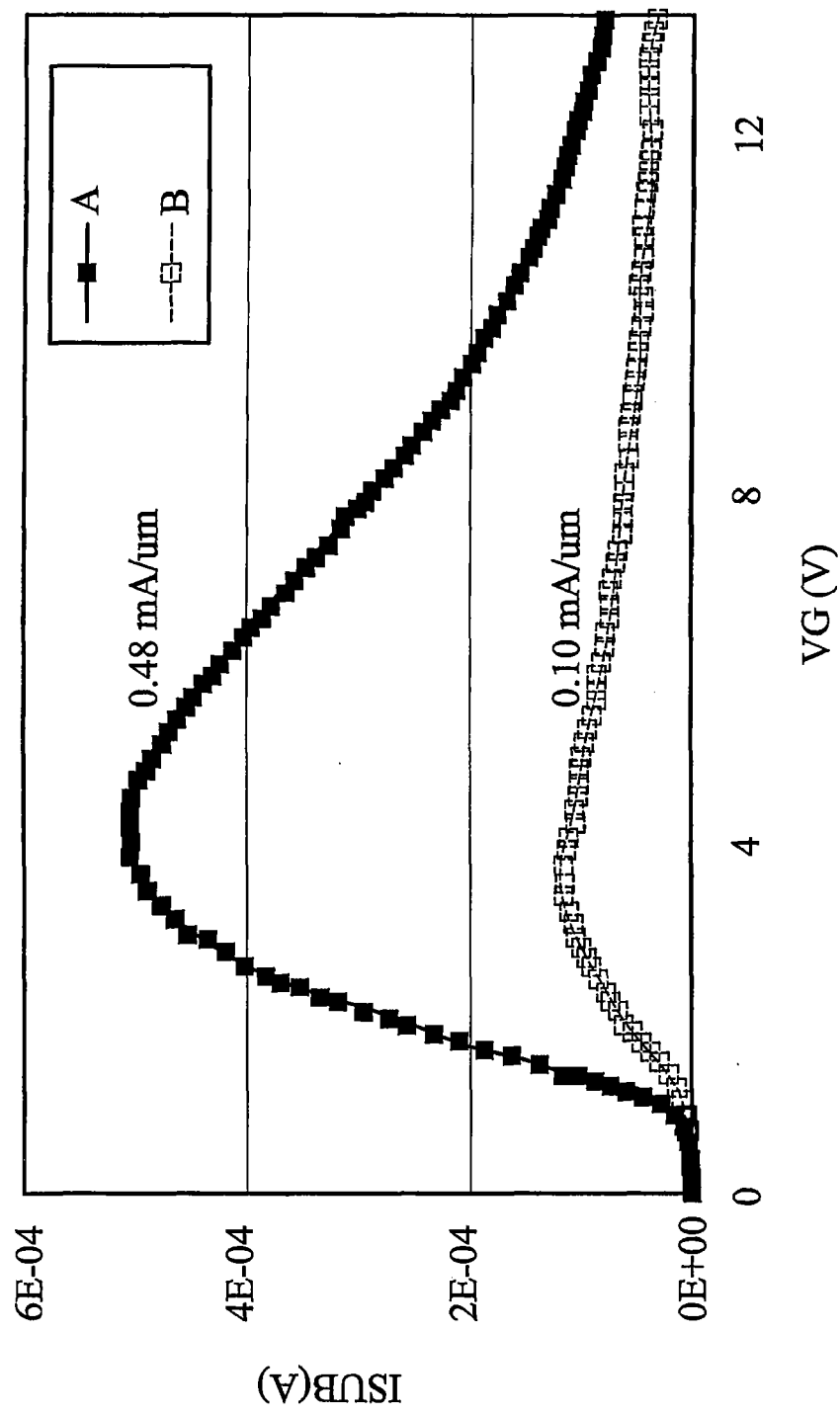


图10