

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3765262号
(P3765262)

(45) 発行日 平成18年4月12日(2006. 4. 12)

(24) 登録日 平成18年2月3日(2006. 2. 3)

(51) Int. Cl.

F I

GO 1 R 31/26 (2006. 01)

GO 1 R 31/26

B

GO 1 R 31/28 (2006. 01)

GO 1 R 31/26

G

GO 1 R 31/3183 (2006. 01)

GO 1 R 31/28

H

GO 1 R 31/28

Y

GO 1 R 31/28

Q

請求項の数 6 (全 12 頁)

(21) 出願番号 特願2001-335132 (P2001-335132)
 (22) 出願日 平成13年10月31日(2001. 10. 31)
 (65) 公開番号 特開2003-139815 (P2003-139815A)
 (43) 公開日 平成15年5月14日(2003. 5. 14)
 審査請求日 平成16年7月20日(2004. 7. 20)

(73) 特許権者 000006507
 横河電機株式会社
 東京都武蔵野市中町2丁目9番32号
 (74) 代理人 100090033
 弁理士 荒船 博司
 (74) 代理人 100093045
 弁理士 荒船 良男
 (72) 発明者 鶴見 裕二
 東京都大田区蒲田五丁目29番3号 安藤
 電気株式会社内
 (72) 発明者 小山 幸寿
 東京都大田区蒲田五丁目29番3号 安藤
 電気株式会社内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 制御装置、半導体試験装置及びプログラム

(57) 【特許請求の範囲】

【請求項1】

被測定デバイスにテストパターンを印可して被測定デバイスの電源電流を解析する電源電流解析装置複数と接続され、前記電源電流解析装置それぞれの動作を制御する制御装置において、

前記電源電流解析装置それぞれの解析結果を受信する受信手段と、

前記受信手段により受信される前記電源電流解析装置それぞれの解析結果同士を比較することにより、前記電源電流解析装置それぞれにより測定される被測定デバイスの良否を判定する判定手段と、

を備えることを特徴とする制御装置。

10

【請求項2】

前記複数の電源電流解析装置の内、基準とする電源電流解析装置を設定する設定手段を更に備え、

前記判定手段は、前記設定手段により設定される電源電流解析装置の解析結果を基準として、他の電源電流解析装置の解析結果を比較することを特徴とする請求項1記載の制御装置。

【請求項3】

前記テストパターンを、1以上のパターン区間に分割する区間分割手段と、

前記区間分割手段により分割されるパターン区間に基づいて、前記電源電流解析装置の解析動作を制御する制御手段と、

20

を更に備えることを特徴とする請求項 1 または 2 記載の制御装置。

【請求項 4】

前記区間分割手段は、分割済みのパターン区間を更に 1 以上のパターン区間に再帰的に分割する手段を備えることを特徴とする請求項 3 記載の制御装置。

【請求項 5】

被測定デバイスにテストパターンを印可して被測定デバイスの電源電流を解析する電源電流解析装置複数と、

前記電源電流解析装置それぞれと接続される請求項 1 ～ 4 の何れかに記載の制御装置と、を備えることを特徴とする半導体試験装置。

【請求項 6】

被測定デバイスにテストパターンを印可して被測定デバイスの電源電流を解析する電源電流解析装置複数と接続され、前記電源電流解析装置それぞれの動作を制御するためのコンピュータに、

前記電源電流解析装置それぞれの解析結果を受信する受信手段と、

前記受信手段により受信される前記電源電流解析装置それぞれの解析結果同士を比較することにより、前記電源電流解析装置それぞれにより測定される被測定デバイスの良否を判定する判定手段と、

を機能させるためのプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、被測定デバイスにテストパターンを印可して被測定デバイスの電源電流を解析する電源電流解析装置複数と接続され、前記電源電流解析装置それぞれの動作を制御する制御装置等に関する。

【0002】

【従来の技術】

図 7 は、従来の半導体試験装置 800 の構成を示すブロック図である。半導体試験装置 800 は、電源電流解析装置 811 ～ 81n（以下、包括的に電源電流解析装置 81 と言う。）及びコンピュータ 87 によって構成され、電源電流解析装置 81 にはそれぞれ DUT（被測定デバイス：Device Under Test）861 ～ 86n（以下、包括的に DUT 86 と

【0003】

電源電流解析装置 811 は、DUT 用電源 821（以下、包括的に DUT 用電源 82 と言う。）、電源電流検出ユニット 831（以下、包括的に電源電流検出ユニット 83 と言う。）、周波数解析ユニット 841（以下、包括的に周波数解析ユニット 84 と言う。）、テストパターン発生ユニット 851（以下、包括的にテストパターン発生ユニット 85 と言う。）を備える。電源電流解析装置 812 ～ 81n も同様の構成であり、コンピュータ 87 に並列に接続されている。

【0004】

また、コンピュータ 87 の出力は DUT 用電源 82、周波数解析ユニット 84 及びテストパターン発生ユニット 85 に接続される。DUT 用電源 82 の出力は電源電流検出ユニット 83 に接続され、電源電流検出ユニット 83 の出力は周波数解析ユニット 84 と DUT 86 の電源ピンに接続される。また、テストパターン発生ユニット 85 の出力は DUT 86 の I/O ピンへ接続される。

【0005】

DUT 用電源 82 は、コンピュータ 87 で設定された電圧を出力し、電源電流検出ユニット 83 を経由して、DUT 86 の電源ピンへ電圧を印加する。

【0006】

電源電流検出ユニット 83 は、DUT 86 の電源ピンの電流値を計測し、その結果を周波数解析ユニット 84 に出力し、更にコンピュータ 87 へ出力する。

10

20

30

40

50

【0007】

周波数解析ユニット84は、コンピュータ87から指定される測定条件に従って、電源電流検出ユニット83から入力したDUT86の電源ピンの電流値に関して周波数解析を行い、その結果をコンピュータ87へ出力する。

【0008】

テストパターン発生ユニット85は、コンピュータ87が指示する動作タイミングに従い、DUT86のI/Oピンに対してテストパターン信号を出力する。

【0009】

コンピュータ87は、DUT用電源82に対してDUT86の電源ピンに印加する電圧を設定し、周波数解析ユニット84から計測結果を入力して、データ処理やDUT86の不良判定をする。また、電源電流検出ユニット83からDUT86の電源ピンの電流値を入力し、周波数解析ユニット84の解析条件を設定する。そして、テストパターン発生ユニット85の発生するテストパターンと、電源電流検出ユニット83及び周波数解析ユニット84の動作タイミングを指示する信号を出力する。

10

【0010】

図8は、図7の半導体試験装置800を用いた従来の半導体試験方法を説明するための図である。コンピュータ87には、n個のDUT86に関する電源電流解析装置81の解析結果が入力される。コンピュータ87は、該解析結果と予め設定された基準値との比較により、各DUT86の不良判定をする。

【0011】**【発明が解決しようとする課題】**

ここで、半導体試験装置800において、DUTの不良判定をすることは重要であるが、不良であるDUTが検出された場合、該DUTに入力したテストパターンにおいて、不良動作の発生箇所を検出することも望まれる。

20

【0012】

しかしながら、従来の半導体試験方法においては、良／不良の判定は可能であるが、不良であるDUTに対する不良箇所の検出はできない。そのため、不良箇所を検出するためには、例えば、特開平9-211088号公報などの故障検出方法等も知られているが、別の解析手段や装置等が必要となり、その為の時間や費用を必要としていた。

【0013】

更に、コンピュータ87に設定されている基準値を決定する際は、複数のDUTに対して試験を複数回行って基準値を決定していた為、この基準値の設定に関しても時間と労力を必要としていた。

30

【0014】

本発明の課題は、予め基準値を設定せずにDUTの試験を行い、更に不良箇所を検出することである。

【0015】**【課題を解決するための手段】**

請求項1記載の発明の制御装置（例えば、図1のコンピュータ17）は、被測定デバイスにテストパターンを印可して被測定デバイスの電源電流を解析する電源電流解析装置（例えば、図1の電源電流解析装置111）複数と接続され、前記電源電流解析装置それぞれの動作を制御する制御装置において、前記電源電流解析装置それぞれの解析結果を受信する受信手段（例えば、図2の通信部26）と、前記受信手段により受信される前記電源電流解析装置それぞれの解析結果同士を比較することにより、前記電源電流解析装置それぞれにより測定される被測定デバイスの良否を判定する判定手段（例えば、図2の試験実行プログラム231）と、を備えることを特徴としている。

40

【0016】

更に、請求項6記載の発明のプログラムは、被測定デバイスにテストパターンを印可して被測定デバイスの電源電流を解析する電源電流解析装置複数と接続され、前記電源電流解析装置それぞれの動作を制御するためのコンピュータに、前記電源電流解析装置それぞれ

50

の解析結果を受信する受信手段と、前記受信手段により受信される前記電源電流解析装置それぞれの解析結果同士を比較することにより、前記電源電流解析装置それぞれにより測定される被測定デバイスの良否を判定する判定手段と、を機能させることを特徴としている。

【0017】

この請求項1及び6記載の発明によれば、複数の電源電流解析装置の出力する解析結果同士を比較することによって被測定デバイスの不良判定をすることにより、基準値を予め設定する必要がなく、基準値を決定するための時間と労力を削減できる。

【0018】

また、請求項2記載の発明のように、請求項1記載の制御装置において、前記複数の電源電流解析装置の内、基準とする電源電流解析装置を設定する設定手段を更に備え、前記判定手段は、前記設定手段により設定される電源電流解析装置の解析結果を基準として、他の電源電流解析装置の解析結果を比較することとしてもよい。

10

【0019】

この請求項2記載の発明によれば、例えば、設定手段により設定された電源電流解析装置に既に良品と分かっている被測定デバイスを設置し、該電源電流解析装置の解析結果と他の電源電流解析装置の解析結果とを比較する。このことによって、基準値を予め設定する必要がないため、基準値を決定するための時間と労力を削減できる。

【0020】

更に、請求項3記載の発明のように、請求項1又は2記載の制御装置において、前記テストパターンを、1以上のパターン区間に分割する区間分割手段と、前記区間分割手段により分割されるパターン区間に基づいて、前記電源電流解析装置の解析動作を制御する制御手段（例えば、図2の不良箇所特定処理プログラム232）と、を更に備える制御装置を構成してもよい。

20

【0021】

この請求項3記載の発明によれば、テストパターンを分割して被測定デバイスの不良解析をすることにより、不良である被測定デバイスにおいて、テストパターン内の不良発生箇所を検出できる。その例として、例えば、請求項4記載の発明のように、前記区間分割手段は、分割済みのパターン区間を更に1以上のパターン区間に再帰的に分割する手段を備えることとしてもよい。これにより、不良箇所を検出するための別の測定が不要となり、時間と労力を削減できる。

30

【0022】

この請求項4記載の発明によれば、テストパターンの分割を繰り返すことによって、不良である被測定デバイスにおいて、テストパターン内の不良発生箇所を検出できる。

【0023】

勿論、これらの制御装置を備える半導体試験装置を構成してもよい。請求項5記載の半導体試験装置のように、被測定デバイスにテストパターンを印可して被測定デバイスの電源電流を解析する電源電流解析装置複数と、前記電源電流解析装置それぞれと接続される請求項1～4の何れかに記載の制御装置と、を備える半導体試験装置を構成してもよい。

【0024】

40

【発明の実施の形態】

以下、図1～図6を参照して本発明を適用した実施の形態を詳細に説明する。図1は、本実施の形態である半導体試験装置100のブロック構成を示す図である。本実施の形態である半導体試験装置100のブロック構成は、図7と同一である。また、相違する機能ブロックはコンピュータ17とテストパターン発生ユニット151（以下、包括的にテストパターン発生ユニット15と言う。）である。このため、同一の機能ブロックについては、同一の符号を付し、詳細な説明は省略する。

【0025】

テストパターン発生ユニット15は、試験が実行されるパターン区間に基づいた設定信号がコンピュータ17より入力され、そのパターン区間について、DUT86のI/Oピンに

50

対してテストパターン信号を出力する。

【0026】

コンピュータ17は、DUT用電源82に対してDUT86の電源ピンに印加する電圧を設定し、周波数解析ユニット84から計測結果を入力して、データ処理やDUT86の不良判定をする。また、電源電流検出ユニット83からDUT86の電源ピンの電流値を入力し、周波数解析ユニット84の解析条件を設定し、テストパターン発生ユニット15の発生するテストパターンにおいてパターン区間を設定し、その設定信号を出力する。そして、テストパターン発生ユニット15の発生するテストパターンと、電源電流検出ユニット831及び周波数解析ユニット84の動作タイミングを指示する信号を出力する。

【0027】

図2は、コンピュータ17のハードウェア構成を示す図であり、CPU（中央演算装置：Central Processing Unit）21、RAM（Random Access Memory）22、記憶部23、入力部24、表示部25及び通信部26によって構成されており、各部はバス27によって接続されている。

【0028】

CPU21は、記憶部23に記憶されている各種アプリケーションプログラム中の指定されたアプリケーションプログラムをRAM22に格納し、この入力指示および入力データに応じて、RAM22に格納したアプリケーションプログラムに従って各種処理を実行し、その処理結果をRAM22に格納するとともに、表示部25へ表示する。

【0029】

RAM22は、各種アプリケーションプログラムの実行によって作成されたデータ等を記憶する。解析結果記憶領域221は、試験実行プログラム231の実行によって電源電流解析装置11からコンピュータ17へ送信された解析結果を記憶する領域である。

【0030】

記憶部23は、各種アプリケーションプログラムおよびデータを記憶するものであり、ハードディスク等で構成される。ここでは、試験実行プログラム231及び不良箇所特定処理プログラム232が記憶されている。

【0031】

試験実行プログラム231は、コンピュータ17が電源電流解析装置11に対してDUT86の試験を実行させるためのプログラムであり、不良箇所特定処理プログラム232は、DUT86の試験の際に不良が検出された場合、テストパターン内の不良箇所を検出するためのプログラムである。

【0032】

入力部24は、コンピュータ17のユーザが数値の入力、あるいはアプリケーションプログラムを実行指示等するものであり、キーボード等で構成される。

【0033】

表示部25は、入力部24において入力された文字や符号、アプリケーションプログラムの処理結果など、コンピュータ87を使用するために必要なデータが表示される部分であり、CRT（ブラウン管：Cathode Ray Tube）やLCD（液晶ディスプレイ：Liquid Crystal Display）などで構成される。

【0034】

通信部26は、電源電流解析装置11等の外部装置との信号の送受信するためのインターフェースであり、CPU21からの信号によって動作する。

【0035】

図3は、本実施の形態における半導体試験方法を説明するための図である。コンピュータ17には、n個の電源電流解析装置11の測定結果が入力される。ここで、電源電流解析装置111には良品であるDUTを予め接続し、コンピュータ17は入力した測定結果のうち、電源電流解析装置111の測定結果を基準値として、該測定結果と電源電流解析装置112～11nの測定結果とを比較することにより、不良判定をする。これにより、コンピュータ17に不良判定の為の基準値を予め設定しなくてもよいため、該基準値を決定

10

20

30

40

50

するための作業時間を削減できる。

【0036】

尚、良品であるDUTは、必ずしも電源電流解析装置111に接続されなくてもよく、それ以外でもよい。

【0037】

次に、本実施の形態の半導体試験方法において、不良が検出された場合の不良箇所の検出方法について説明する。まず図4は、DUT86の試験の際に用いるテストパターン40の構造の一例を示す図である。テストパターン40は、コンピュータ17により実行されたプログラムに従って、テストパターン発生ユニット15の回路により生成され、DUT86のIOピンに入力される試験信号の集合によって構成される。L0～L999の番号は、テストパターン40におけるライン番号である。

10

【0038】

図3において、例えば、テストパターン40に従ってDUT86の半導体試験を行って、あるDUT86に不良が発見された場合、テストパターン40を二分して、L0～L500（図4における、領域A・B）とL501～L999（領域C・D）のテストパターンについて試験する。L0～L500のテストパターンにおいて不良が検出されなかった時、次にL501～L999のテストパターンについて試験する。この時に不良が検出された場合、L501～L999のテストパターンを更に二分して、L501～L750（領域C）とL751～L999（領域D）のテストパターンについて試験する。この時、L501～L750のテストパターンについて不良が検出された場合、L501～L750のテストパターンを更に二分し、それぞれのテストパターンについて試験する。

20

【0039】

図5は、CPU21による試験実行プログラム231の実行に係る、コンピュータ17の動作を示すフローチャートである。まずCPU21は、電源電流解析装置11に対して、試験開始を示す各種信号を出力し、試験を実行する（ステップA1）。具体的には、DUT用電源82、周波数解析ユニット84及びテストパターン発生ユニット15において、試験開始を示す信号や、DUT86の電源ピンに印加する電圧を示す設定信号等をDUT用電源82に出力する。また、テストパターン40において、試験に用いるパターン区間の設定信号をテストパターン発生ユニット15に出力する。試験終了後、電源電流検出ユニット83が検出した電源電流を周波数解析ユニット84が周波数解析を行い、その解析結果が通信部26を介して解析結果記憶領域221に記憶される。

30

【0040】

次に、変数mに2を代入し（ステップA2）、CPU21は解析結果記憶領域221を読み出して、良品であるDUTが接続されている電源電流解析装置111の解析結果と電源電流解析装置11mの解析結果とを比較する（ステップA3）。

【0041】

良品であるDUTが接続されている電源電流解析装置111の解析結果と電源電流解析装置11mの解析結果とが一致した場合（ステップA4：No）、CPU21は電源電流解析装置11mに接続されたDUTは良品と判定し、ステップA6へ処理を移行する。

【0042】

一方、上記2つの解析結果が一致しなかった場合（ステップA4：Yes）、CPU21は電源電流解析装置11mに接続されたDUT16mを不良と判定し、不良箇所特定処理プログラム232へ処理を移行する。該プログラムの詳細は後述する。

40

【0043】

続いてCPU21は、ステップA3における比較結果、ステップA5における不良箇所特定処理プログラム232の処理結果等を表示部25へ表示し（ステップA6）、変数mに1を加算する（ステップA7）。

【0044】

次にCPU21は変数n（nはDUT86の個数）と変数mを比較し、変数mが変数n以下の場合（ステップA8：Yes）、CPU21は処理をステップA3に移行する。一方

50

、変数 m が変数 n より大きい場合（ステップA8：No）、電源電流解析装置11の全ての解析結果について比較したとして、CPU21は処理を終了する。

【0045】

図6は、CPU21による不良箇所特定処理プログラム232の実行に係る、コンピュータ17の動作を示すフローチャートである。最初にCPU21は、変数 L_{min} にテストパターン40の最小ライン番号を、変数 L_{max} にテストパターン40の最大ライン番号を代入する（ステップB1）。例えば、テストパターン40の場合、 $L_{min}=0$ となり、 $L_{max}=999$ となる。

【0046】

続いて、CPU21は変数 X に対して、 $L_{max}/2$ の計算結果を代入する（ステップB2）。ここで変数 X は正の整数とし、 $L_{max}/2$ の解の小数点以下は切り上げとする。

10

【0047】

次にCPU21は、良品であるDUTが接続されている電源電流解析装置111と接続されている不良と判定されたDUTが接続されている電源電流解析装置に対して、ライン番号 $L_{min} \sim X$ のパターン区間についての試験を実行し、解析結果を比較する（ステップB3）。

【0048】

解析結果が一致しなかった場合（ステップB4：Yes）、ライン番号 $L_{min} \sim X$ のパターン区間内に不良箇所が存在するとして、該区間について、更に不良検出をする。CPU21は変数 L_{max} に変数 X を代入し（ステップB5）、処理をステップB9へ移行する。

20

【0049】

一方、解析結果が一致した場合（ステップB4：No）、ライン番号 $L_{min} \sim X$ のパターン区間内に不良箇所が存在しないとして、CPU21は良品であるDUTが接続されている電源電流解析装置111と接続されている不良と判定されたDUTが接続されている電源電流解析装置に対して、ライン番号 $X+1 \sim L_{max}$ のパターン区間についての解析結果を比較する（ステップB6）。

【0050】

解析結果が一致した場合（ステップB7：No）、不良箇所は検出されなかったとして、CPU21は処理を終了する。一方、解析結果が一致しなかった場合（ステップB7：Yes）、ライン番号 $X+1 \sim L_{max}$ のパターン区間内に不良箇所が存在するとして、該区間について、更に不良検出をする。CPU21は変数 L_{min} に変数 $X+1$ を代入し（ステップB5）、 L_{max} と L_{min} を比較する。 L_{max} と L_{min} が同値でない場合（ステップB9：No）、CPU21は不良が検出されたパターン区間において、更に分割可能と判断し、ステップB2へ処理を移行する。

30

【0051】

一方、 L_{max} と L_{min} が同値である場合（ステップB9：Yes）、不良箇所が検出されたとして、CPU21はライン番号 L_{min} （あるいは、ライン番号 L_{max} ）を不良ライン番号としてRAM22に記憶し（ステップB10）、処理を終了する。

【0052】

40

このように、半導体試験においてDUT86に不良が発見された場合、テストパターン40のパターン区間を再帰的に分割していくことによって、パターン区間を徐々に小さくしていき、テストパターン40における不良箇所を検出する。

【0053】

ここで、テストパターン40のライン番号を二分していくこととしたが、テストパターン40に複数のテストが含まれ、各テスト共に一連であるが故に、任意のライン番号で区切れない場合が生じ得る。その場合には、分割可能な箇所でテストパターン40を分割することにより実現できる。より具体的には、テストパターン40の内、分割可能な箇所を予め指定しておき、不良箇所特定処理プログラム232において、この指定した箇所に基づいて再帰的な分割をすることで実現できる。

50

【0054】

また、不良箇所特定処理プログラム232は、不良箇所が1つの場合について説明したが、不良箇所が複数ある場合は、その不良箇所の個数回ほど不良箇所特定処理プログラム232を繰り返す。その際、既に不良箇所として検出されたライン番号は、RAM221に記憶する等して、検出対象から外す必要がある。

【0055】

以上より、n個の電源電流解析装置81のうち、1つの電源電流解析装置に良品であるDUTを接続して試験を実行することにより、良品であるDUTの接続されている電源電流解析装置の解析結果を基準値として、他の電源電流解析装置81の解析結果と比較する。これにより、試験実行前に基準値を決定しコンピュータ87に記憶する設定がなく、試験時間と労力を削減できる。

10

【0056】

また、不良であるDUTを発見した場合、不良箇所特定処理プログラム232を実行することによって、テストパターン40内の不良箇所が検出されるまでパターン区分を繰り返し分割して解析結果を比較することにより、不良箇所を検出できる。これにより、不良箇所の検出のために別の測定をする必要がなくなり、試験時間や労力、試験の為の費用を削減できる。

【0057】

【発明の効果】

請求項1及び6記載の発明によれば、複数の電源電流解析装置の出力する解析結果同士を比較することによって被測定デバイスの不良判定をすることにより、解析結果を比較する基準値を予め設定する必要がなく、基準値を決定するための時間と労力を削減できる。

20

【0058】

請求項2記載の発明によれば、例えば、設定手段により設定された電源電流解析装置に既に良品と分かっている被測定デバイスを設置し、該電源電流解析装置の解析結果と他の電源電流解析装置の解析結果とを比較することによって、解析結果を比較する基準値を予め設定する必要がないため、基準値を決定するための時間と労力を削減できる。

【0059】

請求項3記載の発明によれば、テストパターンを分割して被測定デバイスの不良解析をすることにより、不良である被測定デバイスにおいて、テストパターン内の不良発生箇所を検出できる。これにより、不良箇所を検出するための別の測定が不要となり、時間と労力を削減できる。

30

【0060】

請求項4記載の発明によれば、テストパターンの分割を繰り返すことによって、不良である被測定デバイスにおいて、テストパターン内の不良発生箇所を検出できる。従って、不良箇所を検出するための別の測定が不要となり、時間と労力を削減できる。

【0061】

請求項5記載の発明によれば、複数の電源電流解析装置の内、1つの電源電流解析装置に既に良品と分かっている被測定デバイスを接続し、該電源電流解析装置の解析結果と他の電源電流解析装置の解析結果とを比較することによって、解析結果を比較する基準値を予め設定する必要がないため、基準値を決定するための時間と労力を削減できる。更に、テストパターンの分割を繰り返すことによって、例えば、被測定デバイスにおいて不良品を発見した場合、テストパターンにおける不良発生箇所を検出できる。これにより、不良箇所を検出するための別の測定が不要となり、時間と労力を削減できる。更に、半導体試験に関する費用も削減できる。

40

【図面の簡単な説明】

【図1】本実施の形態における、半導体試験装置の構成を示すブロック図。

【図2】本実施の形態における、コンピュータ87のハードウェア構成を示す図。

【図3】本実施の形態における、半導体試験方法を示した図。

【図4】DUTの試験の際に用いるテストパターンの一例を示す図。

50

【図 5】 試験実行プログラムの動作フローチャート。

【図 6】 不良箇所特定処理プログラムの動作フローチャート。

【図 7】 従来の半導体試験装置の構成を示すブロック図。

【図 8】 従来の半導体試験方法を示す図。

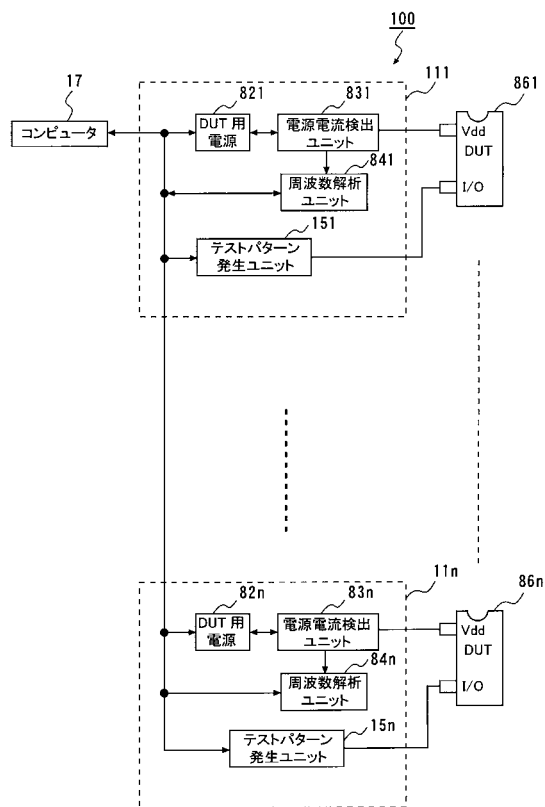
【符号の説明】

- 2 1 CPU
- 2 2 RAM
- 2 2 1 解析結果記憶領域
- 2 3 記憶部
- 2 3 1 試験実行プログラム
- 2 3 2 不良箇所特定処理プログラム
- 2 4 入力部
- 2 5 表示部
- 2 6 通信部
- 1 1 1 電源電流解析装置
- 8 2 1 DUT用電源
- 8 3 1 電源電流検出ユニット
- 8 4 1 周波数解析ユニット
- 1 5 1 テストパターン発生ユニット
- 8 6 1 DUT
- 1 7 コンピュータ

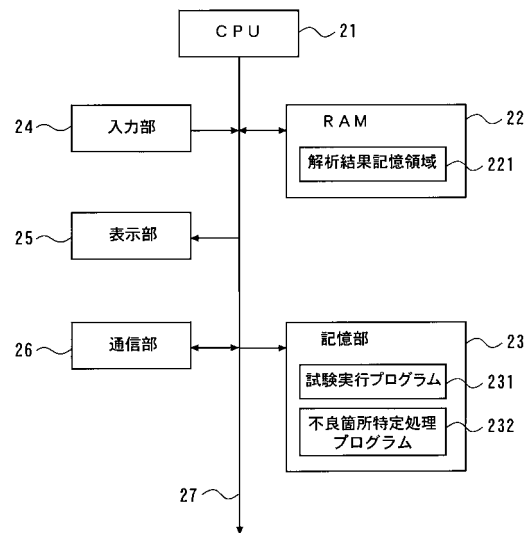
10

20

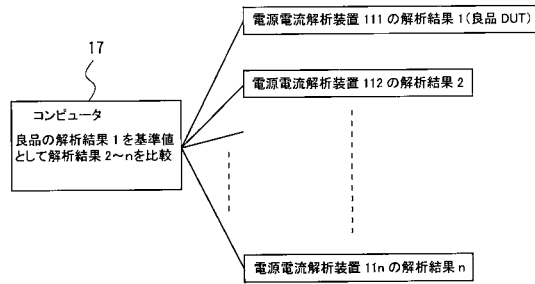
【図 1】



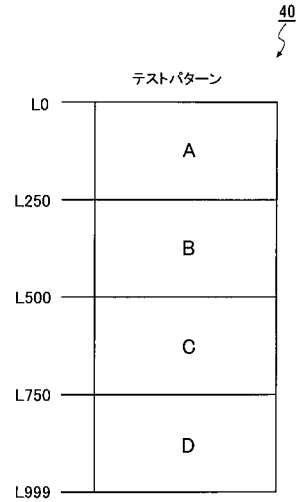
【図 2】



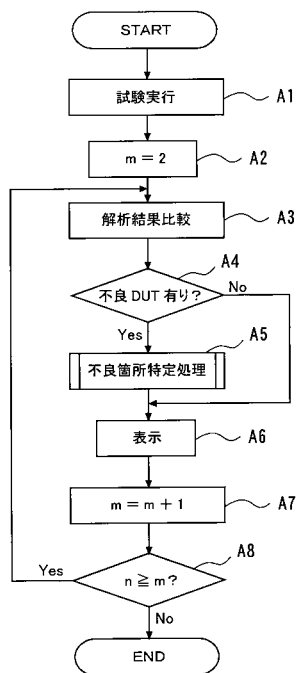
【図 3】



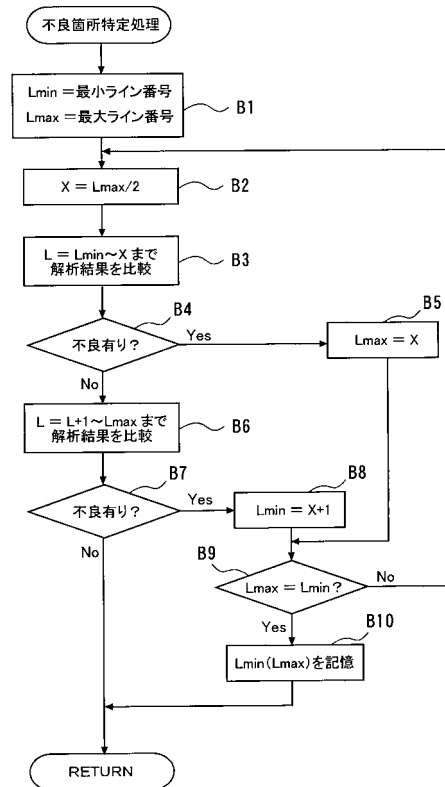
【図 4】



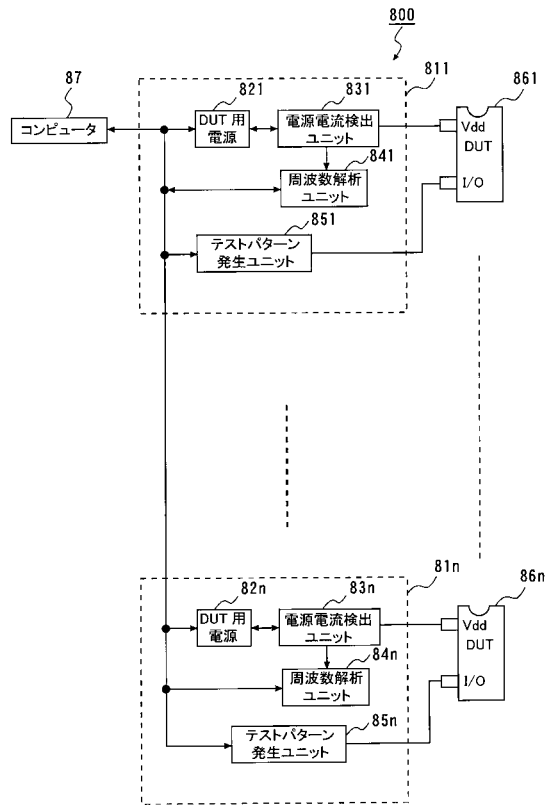
【図 5】



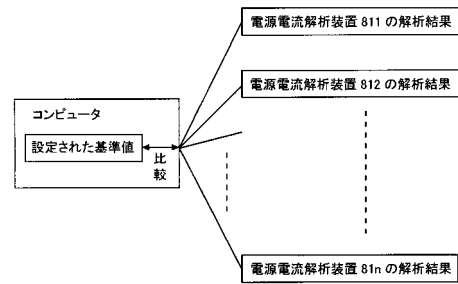
【図 6】



【図 7】



【図 8】



フロントページの続き

(56)参考文献 特開2001-056357 (JP, A)
特開2001-296332 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G01R 31/26
G01R 31/28-31/3193