

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-521213

(P2008-521213A)

(43) 公表日 平成20年6月19日(2008.6.19)

(51) Int.Cl.  
H01L 23/14 (2006.01)F I  
H01L 23/14

テーマコード (参考)

S

審査請求 未請求 予備審査請求 未請求 (全 15 頁)

(21) 出願番号 特願2007-540633 (P2007-540633)  
 (86) (22) 出願日 平成17年11月3日 (2005.11.3)  
 (85) 翻訳文提出日 平成19年7月4日 (2007.7.4)  
 (86) 国際出願番号 PCT/EP2005/055734  
 (87) 国際公開番号 W02006/053832  
 (87) 国際公開日 平成18年5月26日 (2006.5.26)  
 (31) 優先権主張番号 10/990,252  
 (32) 優先日 平成16年11月16日 (2004.11.16)  
 (33) 優先権主張国 米国 (US)

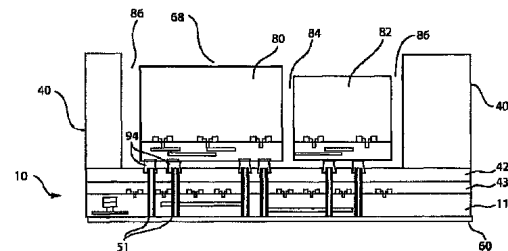
(71) 出願人 390009531  
 インターナショナル・ビジネス・マシーンズ・コーポレーション  
 INTERNATIONAL BUSINESS MACHINES CORPORATION  
 アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード  
 (74) 代理人 100108501  
 弁理士 上野 剛史  
 (74) 代理人 100112690  
 弁理士 太佐 種一  
 (74) 代理人 100091568  
 弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 スルー・バイア接続を有する両面SOIウエハ・スケール・パッケージを作製するためのデバイスおよび方法

## (57) 【要約】

スルー・バイア接続を有する両面SOIウエハ・スケール・パッケージを作製するためのデバイスおよび方法を提供する。半導体パッケージは、集積回路システムを含む第一の面と、第一の面とは反対側にあり、少なくとも一つの空洞を形成する第二の面とを有するSOIウエハを含む。空洞の中に少なくとも一つのチップまたは構成部品が配置される。導電性スルー・バイアがチップ(単数または複数)を集積回路システムに接続する。



**【特許請求の範囲】****【請求項 1】**

少なくとも一つの電子構成部品を含む第一の面と、前記第一の面の反対側にあり、空洞を形成する第二の面と、を有するウエハと、

前記空洞の中に配置された少なくとも一つのチップと、

前記少なくとも一つのチップを、前記ウエハの一部を通して前記少なくとも一つの電子構成部品に接続するスルー・バイアと、を含む半導体パッケージ。

**【請求項 2】**

前記ウエハは、シリコン・オン・インシュレータ・ウエハを含む、請求項 1 に記載のパッケージ。 10

**【請求項 3】**

前記第一の面は上部シリコン層を含み、前記第二の面はシリコン基板を含み、前記上部シリコン層は、前記シリコン基板から埋め込み誘電体層によって分離される、請求項 2 に記載のパッケージ。

**【請求項 4】**

前記スルー・バイアは、前記埋め込み誘電体層を通して形成され、前記電子構成部品と前記少なくとも一つのチップとの間の接続を形成する、請求項 3 に記載のパッケージ。

**【請求項 5】**

前記第一の面は、プロセッサとメモリ・デバイスとのうちの一方を含み、前記少なくとも一つのチップは、メモリ・デバイスとプロセッサとのうちの一方を含む、請求項 1 に記載のパッケージ。 20

**【請求項 6】**

前記少なくとも一つのチップは接点を含み、前記接点は前記スルー・バイアに接続可能な、請求項 1 に記載のパッケージ。

**【請求項 7】**

前記少なくとも一つのチップを少なくとも部分的に囲む伝熱充填材料をさらに含む、請求項 1 に記載のパッケージ。

**【請求項 8】**

前記少なくとも一つのチップの少なくとも一部の上に形成された伝熱層をさらに含む、請求項 1 に記載のパッケージ。 30

**【請求項 9】**

前記伝熱層の上に形成された吸熱源をさらに含む、請求項 8 に記載のパッケージ。

**【請求項 10】**

前記空洞は、開口表面の下に深さを含み、前記少なくとも一つのチップはその内部に配置され、前記少なくとも一つのチップは、前記開口表面の下の前記深さの中に適合する、請求項 1 に記載のパッケージ。

**【請求項 11】**

片面の上に空洞を有する少なくとも一つの親チップと、

前記空洞の中に取り付けられ、前記少なくとも一つの親チップの少なくとも一部を通して延在するスルー・バイアによって前記少なくとも一つの親チップに接続された少なくとも一つの子チップと、を含み、これによって、前記少なくとも一つの親チップと前記少なくとも一つの子チップとが電氣的に協同して機能を実行する半導体パッケージ。 40

**【請求項 12】**

前記少なくとも一つの親チップは、シリコン・オン・インシュレータ(SOI)ウエハの中に形成され、前記SOIウエハは、上部シリコン層とシリコン基板とを含み、前記上部シリコン層は、前記シリコン基板から埋め込み誘電体層によって分離される、請求項 1 に記載のパッケージ。

**【請求項 13】**

前記スルー・バイアは、前記埋め込み誘電体層を通して形成され、前記少なくとも一つの親チップの上の電子構成部品と、前記少なくとも一つの子チップの上の電子構成部品との間の接続を形成する、請求項 12 に記載のパッケージ

【請求項 14】

前記少なくとも一つの親チップと、前記少なくとも一つの子チップとは、メモリ・デバイスとプロセッサとのうちの一方を含む、請求項 11 に記載のパッケージ。

【請求項 15】

前記少なくとも一つの親チップの前記スルー・バイアは、前記少なくとも一つの子チップの接点にハンダ付けされる、請求項 11 に記載のパッケージ。

【請求項 16】

前記少なくとも一つの子チップの周囲を少なくとも部分的に囲む伝熱材料をさらに含む、請求項 11 に記載のパッケージ。

【請求項 17】

前記少なくとも一つの子チップの少なくとも一部の上に形成された伝熱層をさらに含む、請求項 11 に記載のパッケージ。

【請求項 18】

前記伝熱層の上に形成された吸熱源をさらに含む、請求項 17 に記載のパッケージ。

【請求項 19】

前記空洞は、開口表面の下にある深さを含み、前記開口の中に前記少なくとも一つの子チップが配置され、前記少なくとも一つの子チップは前記開口表面の下の前記深さの中に適合する、請求項 11 に記載のパッケージ。

【請求項 20】

半導体パッケージを形成するための方法であって、  
ウエハの第一の面を通るスルー・バイアを形成する工程と、  
前記ウエハの第二の面の上に空洞を形成し、前記スルー・バイアの一部を露出させる工程と、  
前記空洞の中に少なくとも一つの子チップを配置し、前記子チップを前記スルー・バイアに接続する工程と、  
を含む方法。

【請求項 21】

前記ウエハは、シリコン・オン・インシュレータ・ウエハを含み、ウエハの第一の面を通るスルー・バイアを形成する前記工程は、上部シリコン層と埋め込み誘電体層とを通してバイア・ホールをエッチングすることと、前記バイア・ホールを導電体で充填することを含む、請求項 20 に記載の方法。

【請求項 22】

前記ウエハの第二の面の上に空洞を形成し、前記スルー・バイアの一部を露出させる前記工程は、前記ウエハのシリコン基板をエッチングして、前記スルー・バイアの前記一部を露出させることを含む、請求項 21 に記載の方法。

【請求項 23】

前記スルー・バイアの一部を露出させることは、前記空洞の中の前記スルー・バイアの周りにポケットを開けることを含む、請求項 20 に記載の方法。

【請求項 24】

前記スルー・バイアの前記露出された部分にハンダを選択的に堆積する工程をさらに含む、請求項 20 に記載の方法。

【請求項 25】

前記空洞の中に少なくとも一つの子チップを配置し、前記子チップを前記スルー・バイアに接続する工程は、前記子チップの接点を前記スルー・バイアにハンダ付けする工程を含む、請求項 20 に記載の方法。

【請求項 26】

前記子チップの下に伝熱材料を充填する工程をさらに含む、請求項 20 に記載の方

10

20

30

40

50

法。

【請求項 27】

前記サブ・チップの上に伝熱層を堆積する工程をさらに含む、請求項 20 に記載の方法。

【請求項 28】

前記サブ・チップからの熱の放散のための吸熱源を設ける工程をさらに含む、請求項 20 に記載の方法。

【請求項 29】

前記サブ・チップを前記スルー・パイアに接続することは、前記サブ・チップの接点を、ハンダ付けされたスルー・パイアに位置合わせして接触させ、熱を加えて前記接点を前記スルー・パイアにボンディングすることを含む、請求項 20 に記載の方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体プロセス方法およびデバイスに関する。より詳しくは、本発明は、シリコン・オン・インシュレータ(SOI)技術を使用して両面チップ構造を提供するデバイスおよび方法に関する。

【背景技術】

【0002】

休まない相補型金属酸化物半導体(CMOS)技術の微細化がその物理的限界に近づくにしたがって、大規模集積回路(VLSI)システム・オン・ア・パッケージ(SoP)の集積化はますます重要になる。多くの異なるチップのパッケージ上の集積化は、さまざまなチップ技術の間の非互換性に起因して、多くの場合コスト効率がよくない。例えば、フローティング・ゲート・デバイスを有する不揮発性ランダム・アクセス・メモリ(NVRAM)と深型トレンチを有するダイナミック・ランダム・アクセス・メモリ(DRAM)は、製造するために余分なマスクとプロセス工程とを必要とする。高速ヒ化ガリウム(GaAs)チップは、シリコンチップとは別の基板の上に製造される。

20

【0003】

二次元(2D)または三次元(3D)パッケージの上に、別種のチップを集積化する効果的な方法があれば、回路性能を高めるだけでなく、製造コストを減らすこともできる。チップが垂直に積み重ねられるなら、相互接続遅延をさらに減らし、回路性能をできるだけ大きくするために、スルー・パイアも用いられるはずである。

30

【0004】

最近、システム性能を改善するために、先端的な三次元ウエハ間垂直積層集積技術が開発された。「三次元ウエハ間垂直積層中のシリコン・パイア・エッチング用エッチング停止層」と題する米国特許第6,645,832号には、シリコン・パイア・エッチング用のエッチング停止層として、ニッケルシリサイド(NiSi)を用いる方法が記載されている。3Dパッケージの中では、二つの垂直に積み重ねられたウエハをボンディングするために誘電体層が用いられ、ウエハの間の電気伝導率を提供するためにシリコン・パイア・エッチが必要となる。

40

【0005】

パイアは、上部ウエハのシリコンを通して、エッチング停止層で止められるまで選択的にエッチングすることによって形成される。シリコン・パイアの側壁は、絶縁材料の層で被覆され、障壁層を形成する。次に、電氣的な接続を提供するために、パイアを導電材料で充填する。

【0006】

「別種の能動集積回路デバイスを支持する複数のウエハを垂直に積層するプロセス」と題する米国特許第6,762,076号では、隣り合うウエハをボンディングし、電氣的な接続を提供するために、金属間ボンディング法が用いられている。

【0007】

50

「三次元チップ積層アセンブリ」と題する米国特許第6,355,501号では、複数のシリコン・オン・インシュレータ(SOI)チップと一緒に積層され、予め作製された接点をチップの上部および底部表面に配置することによって、チップ間の相互配線が実現される。各チップは、埋め込み酸化物層の下にある材料をすべて取り除くために、背面化学機械研磨(CMP)によって極めて薄くされる。3Dアセンブリの中で、各SOIチップは、第一のメタル化パターンに機械的に接触するハンドラと、半導体デバイスに電氣的に接触する第一のメタル化パターンと、半導体デバイスの反対側の表面の上の第二のメタル化パターンに電氣的に接触する半導体デバイスと、を含む。

【0008】

「デバイス類の間を微細ピッチ接続するためのプロセス、およびこのプロセスによって作られる構造物」と題する米国特許第6,737,297号では、スタッドをチップ表面の上、パイアを一時的な配置基板の上に配置することによって、二つ以上のチップを、予め作製された大域配線を有する一時的な基板の上に一緒に結合する方法が開示されている。次に、この二次元チップ・アセンブリを、吸熱源デバイスを有する恒久的支持キャリアに移動し、一時的な配置構造の透明プレートをアブレーションしてアセンブリから取り除く。

10

【0009】

「ウエハ・レベル積層チップ・パッケージ、およびウエハ・レベル積層チップ・パッケージを製造するための方法」と題する米国特許第6,607,938号では、半導体チップは再分配基板の上に積層される。複数の薄いチップまたは対応するウエハと一緒に積み重ねられた後、スタック・チップ構造物はスタック・ウエハ・アセンブリから切り取られ、その後、キャリア材料は剥離される。

20

【0010】

「チップ・サイズ・パッケージのウエハ・スケール・アセンブリ」と題する米国特許第6,730,541号では、接触パッドのそれぞれのためにハンダ球を載せた重合体膜をウエハと位置合わせする。ウエハの背面に赤外線エネルギーを加えて、ウエハを一様に加熱する。次に、このプロセスを繰り返して、中間層とハンダ球を載せた第二の重合体膜とを順番に組み立てる。

【発明の開示】

【発明が解決しようとする課題】

30

【0011】

スルー・パイア接続を有する両面SOIウエハ・スケール・パッケージを作製するためのデバイスおよび方法を提供することが求められている。

【課題を解決するための手段】

【0012】

半導体デバイスまたはパッケージは、電子構成部品を含む第一の面と、第一の面の反対側にあり、空洞を形成する第二の側と、を有するウエハを含む。空洞の中には、チップまたは構成部品が配置される。ウエハの一部を通してスルー・パイアがチップを電子構成部品に接続する。

40

【0013】

これらの、およびその他の本発明の目的、特徴および利点は、本発明の実施態様の例を示す以下の詳細な説明から明らかになる。以下の詳細な説明は、添付の図面とともに読むものとする。

【0014】

次に、添付の図面を参照して、本発明の好ましい実施態様を、例としてだけ、説明する。

【発明を実施するための最良の形態】

【0015】

本発明は、好ましくはシリコン・オン・インシュレータ(SOI)ウエハの上にある、低コストで高歩留りの両面ウエハ・スケール・パッケージを提供する。高い性能を実現す

50

るために、ＳＯＩウエハの前面に、全体または部分が欠乏したボディを有する親チップが形成される。次に、親チップとは反対側にある、ＳＯＩウエハの背面の空洞の内部に、複数の薄形の子チップが取り付けられる。親チップと子チップとの間の相互配線を実現するために、シリコンおよび埋め込み酸化物を通して金属スタッドが作製される。

#### 【００１６】

利点として、本発明の方法は、一時的キャリアから恒久的キャリアにチップを移動させる必要がなく、それゆえコストが低減される。従って、スルー・バイア接続と空洞形成とを使用することによって、サブ・チップ（子チップ）をウエハから直接切り取り、親チップの背面に取り付けることができる。さらに、本発明の方法は、３Ｄパッケージの垂直積層の使用を回避して放熱を容易にする。その上、別々の技術を用いて製造したチップを、同じパッケージの上に集積化することができる。

10

#### 【００１７】

両面パッケージ方式は、ウエハの両面で二次元チップ・パッケージ化方式を採る。ＳＯＩウエハの前面の薄いシリコン層の中に、中央演算処理装置（ＣＰＵ）およびシリアル化回路／シリアル復元回路（Ｓｅｒ／Ｄｅｓ）チップなどの親チップが作製される。これらのチップの性能は、フローティング・ボディ効果ならびに低接合静電容量によって高められる。

#### 【００１８】

フローティング・ボディ効果は、ＳＯＩ ＭＯＳＦＥＴに固有の特性である。ボディの電位は固定されていないので、ボディの中に注入される正孔は、ボディの中の電位を上昇させ、その結果、しきい値電圧を低下させ、ドレイン電流を増加させ、ゲート動作を速くする。埋め込み酸化物層も、ソース／ドレイン拡散部と基板との間の面積接合静電容量を除き、それゆえ充放電する静電容量をより少なくしてトランジスタの動作をより速くする。二次的な構成部品をウエハの背面に配置すると、親チップは、同等なシステム・オン・ア・チップ（ＳｏＣ）設計より、寸法が小さく、歩留りが高くなる。

20

#### 【００１９】

ＳＯＩウエハの前面の上に残る区域は、デカップル・キャパシタとその他の離散的デバイスとを形成するために用いることができる。ＳＯＩウエハの背面は、より厚い材料を有するので、エッチングして子チップのための空洞を形成する前に薄くすることができる。空洞の中に埋め込むことができる子チップは、高速ラジオ周波数（ＲＦ）入出力（Ｉ／Ｏ）チップ類、不揮発性ランダム・アクセス・メモリ（ＮＶＲＡＭ）、マグネチックＲＡＭ（ＭＲＡＭ）、強誘電性ＲＡＭ（ＦＲＡＭ）および埋め込みダイナミックＲＡＭ（ｅＤＲＡＭ）など、深型トレンチ・キャパシタ・プロセスが従来のＣＭＯＳプロセスとは折り合いがよいメモリチップ類、デカップリング・キャパシタ類、高Ｑ半導体インダクタ類、およびマイクロエレクトロメカニカル・システム類（ＭＥＭＳ）を含む。

30

#### 【００２０】

本発明は、ＳＯＩウエハの前面の上にある親チップのパッドから、埋め込み酸化物層を通して、ＳＯＩウエハの背面にある子チップのパッドまで、深型バイアを形成することができる。これらのスルー・バイアは、電源、信号および制御を供給するだけでなく、親チップと子チップとの通信、試験、および監視を可能にする。スルー・バイアを作製するために、親チップの目的のパッドの下にデバイスまたは相互配線を形成しない方がよい。上部シリコン層と埋め込み酸化物層とを合わせた厚さは数１００ミクロンの範囲内なので、これらのスルー・バイアのサイズは、伝統的なマルチ・チップ・パッケージよりはるかに小さくすることができる。

40

#### 【００２１】

本発明は、ＳＯＩウエハを有する所定の構築物の例を用いて説明されるが、その他の構築物、構築物、基板材料およびプロセス構成要素および工程は、本発明の範囲内で変化させることができると理解すべきである。

#### 【００２２】

次に、図面を詳細に参照する。これらの図で、同じ参照番号は同じまたは同等な要素を

50

表す。最初に図 1 を参照すると、上部シリコン層 4 3、埋め込み誘電体（例えば酸化物）層 4 2、および底部基板 4 0（例えばシリコン）を有するシリコン・オン・インシュレータ（SOI）ウエハ 1 0 の例を示す。集積回路システム 1 1 は、シリコンウエハ 1 0 の上に形成された能動デバイス 4 4、金属相互配線 4 5、および個別デバイス 4 8 を含む。SOI ウエハ 1 0 の上の埋め込み酸化物層 4 2 は、例えば、5 マイクロメートル以下の厚さを含んでもよい。

#### 【0023】

図 2 を参照すると、トレンチ 5 0 を形成することができる。一実施態様では、スルー・パイア 5 1 を形成するために、高密度プラズマ反応性イオン・エッチング（RIE）を用いて、層 3 2、4 2 および 4 3 を通して下方のシリコン基板 4 0 までトレンチ 5 0 を作り出す。こうすると、本明細書でこれから説明されるように、ウエハ 1 0 の背面の上に他のチップを取り付けることができる。

10

#### 【0024】

リソグラフィー・パターン形成、エッチング、側壁誘電体コーティング 5 2、および金属または導電体充填 5 3 の後に、上部シリコン層 4 3 を通してスルー・パイア 5 1 を形成する。一実施態様では、パイア・サイズ（例えばトレンチ幅）に対するパイア深さの比は、約 1 から約 5 の間の範囲にあるとよい。バック・エンド・オブ・ライン（BEOL）絶縁材料 3 2、シリコン層 4 3、および埋め込み酸化物層 4 2 をそれぞれエッチングするために、適切な終点検出方法とともに  $CF_4$ 、 $Cl_2$  および / または  $CF_4$  系プラズマエッチングを順に使用すると成功するとよい。そのような検出方法は、当分野で既知である。

20

#### 【0025】

パイアを埋め込み酸化物層 4 2 の下に確実に届かせるために、埋め込み酸化物層 4 2 を過剰エッチングすることが必要なことがある。パイア 5 1 が隣接導電層、ウェル領域または基板層のどれかに届かないことを防ぐために、好ましくは、酸化物 / ナイトライド側壁スペーサなどの絶縁材料 5 2 が使用される。次に、銅、タンゲステン、アルミニウム、ドーピングされた多結晶材料、合金および / または任意のその他の導電材料など、導電性金属 5 3 で、パイア 5 1 を充填することができる。充填プロセスの間のパイア 5 1 の内部のボイド生成を防ぐために、共形化学的気相堆積（CVD）深型エッチング技法を用いることができる。

#### 【0026】

30

図 3 を参照すると、背面プロセス加工の間にウエハ 1 0 の上部表面が損傷を受けないように保護するために、酸化物、ナイトライド、オキシナイトライドまたはガラスなどの保護コーティングの層 6 0 がウエハ 1 0 の上部表面の上に形成される。

#### 【0027】

図 4 を参照すると、例えば、化学機械研磨（CMP）または高密度プラズマ・エッチング（例えば RIE）によって、ウエハの背面のシリコン基板 4 0 を適切な厚さ「d」に薄くする。「d」は、背面に取り付けられる最も厚いチップより数ミクロン厚くするのが好ましい。

#### 【0028】

40

図 5 および 6 を参照すると、既知の方法を用いて、フォトレジスト 6 6 を塗布し、レジスト 6 6 をパターン形成することによって、フォトリソグラフィー・パターン 6 4 を生成させる。次に、レジスト 6 6 を、エッチングプロセスのマスクとして使用して、単数または複数の背面空洞 6 8 を形成する。空洞 6 8 のサイズは、位置決め誤差を考慮して、に取り付けられる（開口表面の下に）チップより若干大きくし、余裕を提供する必要がある。同じ空洞 6 8 の内部に、複数のチップを配置してもよい。

#### 【0029】

エッチングの後に空洞 6 8 を形成し、埋め込み酸化物層 4 2 の表面にスルー・パイア 5 1 の導電材料 5 3 を露出する。レジスト 6 6 を基板 4 0 から除去する。

#### 【0030】

図 7 を参照すると、埋め込み酸化物 4 2 の表面の薄いフォトレジスト・パターン形成お

50

よび露光によって、もう一度エッチング工程を使用して、各バイア 5 1 の上部の上でポケット 7 0 を開口させてもよい。ポケット 7 0 の形成は、続くボンディングおよびハンダ・リフロー工程の間に、ハンダが流れ込み、従ってより良い接触を形成するための空間を提供するために好ましい。

#### 【 0 0 3 1 】

図 8 を参照すると、選択的めっきプロセスを使用して、バイア 5 1 の中とポケット 7 0 の内部との露出されたスタッド 5 3 の上にハンダ球 7 4 を形成するとよい。このプロセスによって、スタッド 5 3 の上に金属を選択的に形成する。ハンダ球 7 4 を形成する際には、低融点材料が好ましい。ハンダ球は、スズまたは鉛合金を含んでもよく、制御崩壊チップ接続 (C 4) ボンディング法と類似するプロセスを使用してもよい。

10

#### 【 0 0 3 2 】

図 9 を参照すると、バイア 5 1 のスタッド 5 3 と接触するチップ (副チップ) 8 0 および 8 2 が例として示される。チップ 8 0 および 8 2 は、上下反転され、空洞 6 8 の内部に配置され、親チップ (ウエハ 1 0) にボンディングされた薄くされたチップ (前は子チップと呼ばれた) を含むことができる。空洞 6 8 の深さ (d) は、好ましくは、子チップ (8 0 および 8 2) の全厚さより深い。本発明によれば、チップ 8 0 および 8 2 は、別々のプロセス工程で形成されてもよく、それら自体がさらに小さなサブ・チップを接続した空洞を内部に含んでもよい。

#### 【 0 0 3 3 】

チップ 8 0 および 8 2 は、お互いの間、壁 8 6 とチップ 8 0 および 8 2 との間にギャップ 8 4 を有する空洞 6 8 の中に配置してもよい。あるいは、チップ 8 0 および 8 2 は、スタッド 5 3 を確実に各チップ 8 0 および 8 2 の接点 8 8 および 9 0 と適切に適合させ、自動的に位置合わせさせるために、材料のスペーサまたは層を含んでもよい。これらのチップ 8 0 および 8 2 は、ツール形成またはその他のギャップ作製方法を用いて配置してもよい。一実施態様では、チップ 8 0 および 8 2 は、空洞 6 8 の中に配置する前に、互いに接続されるかまたは取り付けられる。

20

#### 【 0 0 3 4 】

ボンディングプロセスは、子チップ 8 0 および 8 2 の接点 8 8 および 9 0 のためのハンダ球を、親チップ 1 0 のためのスルー・バイア 5 1 のハンダ球 7 4 と結合するために、約 4 0 0 の温度を含んで実行してもよい。

30

#### 【 0 0 3 5 】

図 1 0 を参照すると、ポケット区域 1 0 の内部に、過剰なボンディング材料の集まり 9 4 が示される。次に、チップ 8 0 および 8 2 は、バイア 5 1 にボンディングされる。

#### 【 0 0 3 6 】

図 1 1 を参照すると、下部充填プロセスを使用して、ギャップ 8 4 および 8 6 と、チップ 8 0 および 8 2 とウエハ 1 0 との間の他の場所を、熱ペースト、標準充填重合体またはその他の充填材などの伝熱試剤 9 8 ですべて充填する。試剤 9 8 は、放熱を促進するために伝熱性であるが、絶縁体として働くことが好ましい。空洞 6 8 の上部表面は、例えば、化学的気相堆積法 (CVD) ダイヤモンドなどのまた別の伝熱材料 1 0 2 で充填してもよい。さらに、ウエハ 1 0 の背面に金属膜 1 0 4 を形成して、空洞 6 8 の内部に子チップを封止してもよい。

40

#### 【 0 0 3 7 】

図 1 2 を参照すると、子チップ 8 0 および 8 2 を背面に取り付けた後、親チップ 1 2 0 の上部保護層 6 0 (ウエハ 1 0 上の) をストリップすることができる。これは、大域または局所相互配線およびバイアなどの別のプロセス工程、他の構成成分を取り付けること、または別の層または構成要素等を形成させることに備えるためであってもよい。

#### 【 0 0 3 8 】

図 1 3 を参照すると、親チップ 1 2 0 のウエハ 1 0 の前面の上に、さらに金属層 1 0 6、接触パッド 1 0 8、および C 4 球 1 1 0 を形成してもよい。さらに別のプロセス工程を実行して、別の構造物を形成するか、またはシステム 1 0 0 のためのパッケージ化を提供

50



してもよい。

【0039】

最終的な両面チップ・アセンブリ100は、ウエハ10から切り出す（例えばウエハをダイシングしてチップ・パッケージを形成する）ことができる。各アセンブリは、前面にある親チップ120と、背面に取り付けられた複数の子チップ（例えば90および82）とを有する。SOIウエハ10の埋め込み酸化物層42は、親チップ120と子チップ80および82との間のスルー・パイア相互配線のための保持プレートとして用いられる。

【0040】

図14に例が示されるように、チップの背面に吸熱源111を取り付けることができる。吸熱源111は、例えば、熱接着材料を用いて取り付けてもよく、あるいは、材料を堆積し、材料を予め定められた形状（例えば、フィンおよびトラフ）にエッチングすることによって形成してもよい。

【0041】

図15を参照すると、SOIウエハ・スケール・パッケージ200は、高性能を実現するために上部シリコン層（例えば図1の43）に形成されたプロセッサ（あるいはメモリ・デバイスまたはそれらの組み合わせ）などの一個の親チップ202と、いくつかの子チップ204、206、208、210および212を含む。これらのチップは、例えば、アセンブリ200の背面に取り付けられたSRAMキャッシュ、eDRAM、NVRAM、および高速RFインタフェースチップを含んでもよい。親チップ202と子チップ204～212との間のスルー・パイア接続251の例が一区域に示される。適切な計画に従って、パイアとチップとの配置および位置決めを実行する必要がある。同時動作、適切な位置決め/配置および適切な機能を確実にするために、パッケージ200の親チップと子チップとは同時設計することが好ましい。

【0042】

図16を参照すると、パッケージ300の一例が示される。親チップ302は、三つのマクロM1、M2およびM3（サブ・チップ）を含む。パッケージ300は、システムの親チップと子チップとの同時設計時に考慮すべき様相を示す。この実施態様では、スルー・パイア接続351は、隣り合うマクロ（M1、M2、M3）の間と、親チップの基板340の端のなにもない空間でだけ許される。スルー・パイア351には、図16に例が示されるように、電力Vdd、またはVssまたは信号（シグナル）を運ぶなど、さまざまな役務を割り当てることができる。代替実施態様では、親チップ302は、複数のチップC1、C2、C3およびC4で構成され、マクロ、構造物またはサブ・チップを用いて接続されてもよい。

【0043】

埋め込み酸化物スルー・パイア接続を有する両面SOIウエハ・スケール・パッケージを作製するためのデバイスおよび方法の好ましい実施態様（例を示す意図であり、限定するものではない）を説明してきたが、当業者は上記教示に照らして変更および変化を施すことができることに注意する。従って、添付の請求項によって概略が示される本発明の範囲に属する変化は、開示された本発明の特定の実施態様の範囲内で施すことができると理解すべきである。

【図面の簡単な説明】

【0044】

【図1】シリコン・オン・インシュレータ構造物/ウエハの断面図であり、上に形成された電子構成部品を示す。

【図2】本発明の一実施態様によってエッチングされ、誘電体ライナを形成され、導電材料を充填されたスルー・パイアを示す断面図である。

【図3】本発明によるウエハの第一の面の上に形成された保護コーティングを示す断面図である。

【図4】本発明によるエッチングに備えたウエハのシリコン基板部分の研磨/エッチングを示す断面図である。

10

20

30

40

50

【図 5】本発明によるシリコン基板（背面）フォトリソグラフィー・パターン形成を示す断面図である。

【図 6】本発明による空洞を形成する背面エッチングを示す断面図である。

【図 7】本発明による空洞内のスルー・パイアの周りに開口されたポケットを示す断面図である。

【図 8】本発明によるスルー・パイアの上の選択的なハンダの堆積を示す断面図である。

【図 9】本発明によるサブ・チップの背面空洞の中への配置と、サブ・チップとスルー・パイアとの位置決めを示す断面図である。

【図 10】図 10 は、本発明による、元のサブ・チップと構成部品とが同時動作して機能を実行することを可能にするサブ・チップのスルー・パイアへのハンダ付けとボンディングとを示す断面図である。

10

【図 11】本発明による伝熱性下部充填と伝熱層の堆積とを示す断面図である。

【図 12】本発明によってウエハの前面から除去される保護コーティングを示す断面図である。

【図 13】本発明による前面全域相互配線形成と C 4 形成とを示す断面図である。

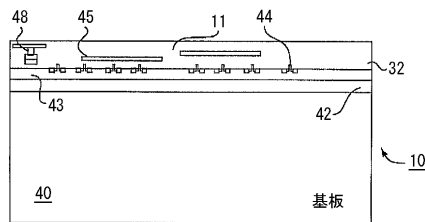
【図 14】本発明による背面吸熱源の形成を示す断面図である。

【図 15】本発明の一実施態様による、配置され、スルー・パイアによって親チップに接続された複数のサブ・チップを示す透視図である。

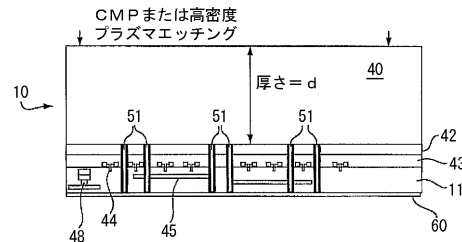
【図 16】本発明の一実施態様による内部に子（サブ・チップ）を配置した親チップの平面概略図であり、スルー・パイア配置と機能とを示す。

20

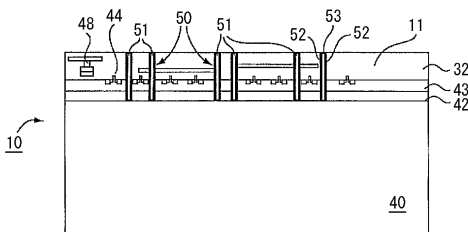
【図 1】



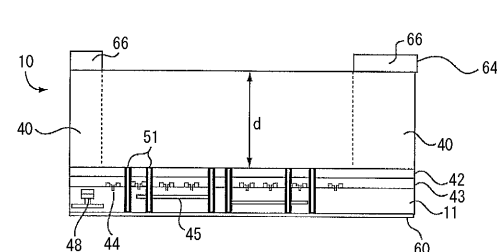
【図 4】



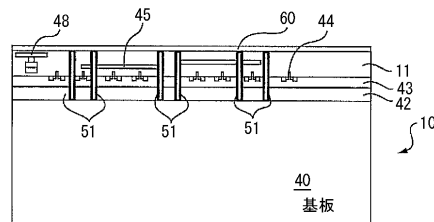
【図 2】



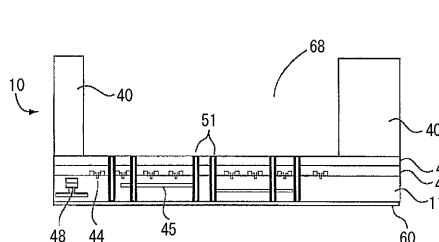
【図 5】



【図 3】



【図 6】





## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/EP2005/055734

A. CLASSIFICATION OF SUBJECT MATTER H01L23/48 H01L25/065 H01L25/18 H01L21/768 H01L29/06		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 175 160 B1 (PANICCIA MARIO ET AL) 16 January 2001 (2001-01-16)	1,5-11, 14-20, 24-29
Y	column 3, lines 46-67; figure 4	2-4,12, 13,21,22
Y	US 6 548 391 B1 (RAMM PETER ET AL) 15 April 2003 (2003-04-15) column 3, lines 40-55	2-4,12, 13,21,22
A	EP 0 926 726 A (STMICROELECTRONICS S.R.L) 30 June 1999 (1999-06-30) the whole document	20
A	US 2002/110952 A1 (GRIS YVON) 15 August 2002 (2002-08-15) the whole document	
-/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual completion of the international search  2 February 2006		Date of mailing of the international search report  13/02/2006
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl Fax: (+31-70) 340-3016		Authorized officer  Cousins, D

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/EP2005/055734

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 448 174 B1 (RAMM PETER) 10 September 2002 (2002-09-10) the whole document	20

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/EP2005/055734

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6175160	B1	16-01-2001	NONE
US 6548391	B1	15-04-2003	AT 250806 T 15-10-2003 WO 0074134 A1 07-12-2000 EP 1171912 A1 16-01-2002 JP 2003501804 T 14-01-2003
EP 0926726	A	30-06-1999	NONE
US 2002110952	A1	15-08-2002	FR 2817399 A1 31-05-2002
US 6448174	B1	10-09-2002	WO 9949509 A1 30-09-1999 DE 19813239 C1 23-12-1999 EP 1064680 A1 03-01-2001 JP 2002508590 T 19-03-2002

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 チェン、ホワード、ハオ

アメリカ合衆国 1 0 5 9 8 ニューヨーク州 ヨークタウン・ハイツ エバーグリーン・ストリート 2 7 1 0

(72)発明者 スー、ルイス、ルーチェン

アメリカ合衆国 1 2 5 2 4 ニューヨーク州 フィッシュキル クロスビー・コート 7