

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年2月1日(01.02.2024)



(10) 国際公開番号

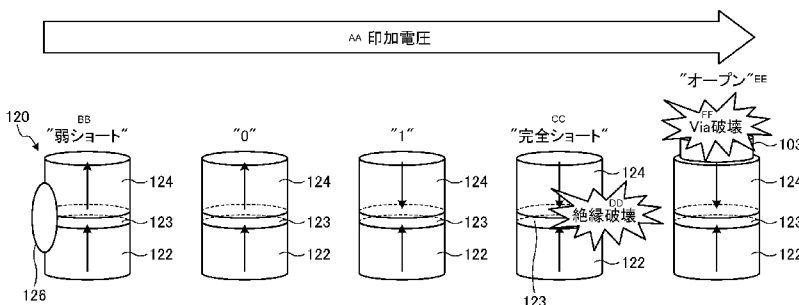
WO 2024/024497 A1

- (51) 国際特許分類:  
G11C 11/56 (2006.01) H10B 61/00 (2023.01)  
H01L 29/82 (2006.01) H10N 50/10 (2023.01)
- (21) 国際出願番号: PCT/JP2023/025590
- (22) 国際出願日: 2023年7月11日(11.07.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2022-120138 2022年7月28日(28.07.2022) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番4号 Kanagawa (JP).
- (72) 発明者: 辰野 太郎(TATSUNO, Taro); 〒2430014 神奈川県厚木市旭町四丁目1番4号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 弁理士法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,

(54) Title: STORAGE DEVICE, ELECTRONIC APPARATUS, AND METHOD FOR CONTROLLING STORAGE DEVICE

(54) 発明の名称: 記憶装置、電子機器及び記憶装置の制御方法

[図6]



AA Applied voltage  
BB Weak short circuit  
CC Complete short circuit  
DD Dielectric breakdown  
EE Open  
FF Via breakdown

(57) Abstract: A storage device according to an aspect of the present disclosure comprises: a magnetoresistive storage element that changes into at least four distinguishable resistance states; and a writing unit that changes the magnetoresistive storage element into the at least four distinguishable resistance states, by changing the magnetization direction of the magnetoresistive storage element or causing a blow current to flow through the magnetoresistive storage element.

(57) 要約: 本開示の一形態に係る記憶装置は、識別可能な少なくとも四つの抵抗状態に変化する磁気抵抗記憶素子と、前記磁気抵抗記憶素子の磁化方向を変化させたり、前記磁気抵抗記憶素子にブロー電流を流したりすることで、前記磁気抵抗記憶素子を前記識別可能な少なくとも四つの抵抗状態に変える書き込み部と、を備える。

TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

## 明 細 書

発明の名称：記憶装置、電子機器及び記憶装置の制御方法

### 技術分野

[0001] 本開示は、記憶装置、電子機器及び記憶装置の制御方法に関する。

### 背景技術

[0002] 磁気抵抗ランダムアクセスメモリ（MRAM：Magnetoresistive Random Access Memory）は、記憶素子に磁気抵抗素子（磁気抵抗記憶素子）を用いており、強磁性体の磁化状態によって状態を保持するため、電源を切っても記録されたデータが保持される不揮発性を有する。磁気抵抗素子の基本構造は磁性体薄膜からなる磁性層2層で絶縁体の非磁性薄膜を挟んだサンドイッチ構造からなる。この構造を磁気トンネル接合（MTJ：Magnetic Tunnel Junction）と呼ぶ。

[0003] MRAMにおいては、2層の磁性層のうち、一方の磁性層（磁化固定層）の磁化を固定し、もう一方の磁性層（記憶層）の磁化を外場により制御する。磁化固定層と記憶層の磁化が互いに平行である状態を状態0、反平行である状態を状態1とする。このように、磁化の平行・反平行状態を書き換えることで状態（“0”または“1”）を不揮発に保存する。

[0004] 一方で、MRAMのメモリ容量に関しては、省スペースで効率よく増加させることが望まれている。このメモリ容量の増加のため、例えば、ブロー電流を用いることで、磁化固定層と記憶層との間に存在するトンネルバリア層（絶縁層）の状態を変化させることで、平行・反平行状態の抵抗状態に新たな抵抗状態を加え、三つの抵抗状態を生成する方法が提案されている（例えば、特許文献1参照）。

### 先行技術文献

### 特許文献

[0005] 特許文献1：特開2020-155727号公報

### 発明の概要

## 発明が解決しようとする課題

[0006] しかしながら、三つの抵抗状態によりメモリ容量が増加しても、使用条件や状況、希望容量の増加などの様々な要因によってメモリ容量は十分とはいえず、さらなるメモリ容量の増加が望まれている。つまり、現状においても、省スペースでのメモリ容量の増加を実現することが望まれている。

[0007] そこで、本開示では、省スペースでのメモリ容量の増加を実現することが可能な記憶装置、電子機器及び記憶装置の制御方法を提供する。

## 課題を解決するための手段

[0008] 本開示の一形態に係る記憶装置は、識別可能な少なくとも四つの抵抗状態に変化する磁気抵抗記憶素子と、前記磁気抵抗記憶素子の磁化方向を変化させたり、前記磁気抵抗記憶素子にブロー電流を流したりすることで、前記磁気抵抗記憶素子を前記識別可能な少なくとも四つの抵抗状態に変える書き込み部と、を備える。

[0009] 本開示の一形態に係る電子機器は、情報を記憶する記憶装置を備え、前記記憶装置は、識別可能な少なくとも四つの抵抗状態に変化する磁気抵抗記憶素子と、前記磁気抵抗記憶素子の磁化方向を変化させたり、前記磁気抵抗記憶素子にブロー電流を流したりすることで、前記磁気抵抗記憶素子を前記識別可能な少なくとも四つの抵抗状態に変える書き込み部と、を有する。

[0010] 本開示の一形態に係る記憶装置の制御方法は、識別可能な少なくとも四つの抵抗状態に変化する磁気抵抗記憶素子の磁化方向を変化させたり、前記磁気抵抗記憶素子にブロー電流を流したりすることで、前記磁気抵抗記憶素子の抵抗状態を前記識別可能な少なくとも四つの抵抗状態に変える。

## 図面の簡単な説明

[0011] [図1]本開示の実施形態に係る記憶装置の構成例を示す図である。

[図2]本開示の実施形態に係るメモリセルの第1構成例を示す図である。

[図3]本開示の実施形態に係るメモリセルの第2構成例を示す図である。

[図4]本開示の実施形態に係る磁気抵抗素子の第1構成例を示す図である。

[図5]本開示の実施形態に係る磁気抵抗素子の第2構成例を示す図である。

[図6]本開示の実施形態に係る磁気抵抗素子の識別可能な抵抗状態を説明するための図である。

[図7]本開示の実施形態に係る磁気抵抗素子の識別可能な抵抗状態に基づく多値化を説明するための図である。

[図8]本開示の実施形態に係る磁気抵抗素子の識別可能な抵抗状態に基づく4値化を説明するための図である。

[図9]本開示の実施形態に係る磁気抵抗素子の識別可能な抵抗状態に基づく5値化を説明するための図である。

[図10]本開示の実施形態に係る読み出し回路及び書き込み回路の構成例を示す図である。

[図11]本開示の実施形態に係る書き込み回路の第1構成例を説明するための図である。

[図12]本開示の実施形態に係る書き込み回路の第2構成例を説明するための図である。

[図13]撮像装置の構成例を示す図である。

[図14]測距装置の構成例を示す図である。

[図15]ゲーム機器の外観例を示す図である。

[図16]ゲーム機器の構成例を示す図である。

### 発明を実施するための形態

[0012] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、この実施形態により本開示に係る装置や機器、方法などは限定されるものではない。また、以下の実施形態において、基本的に同一の部位には同一の符号を付することにより重複する説明を省略する。

[0013] 以下に説明される1又は複数の実施形態（実施例、変形例を含む）は、各々が独立に実施されることが可能である。一方で、以下に説明される複数の実施形態は少なくとも一部が他の実施形態の少なくとも一部と適宜組み合わせられて実施されてもよい。これら複数の実施形態は、互いに異なる新規な特徴を含み得る。したがって、これら複数の実施形態は、互いに異なる目的又は

課題を解決することに寄与し得、互いに異なる効果を奏し得る。なお、各実施形態における効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0014] 以下に示す項目順序に従って本開示を説明する。

1. 実施形態

1-1. 記憶装置の構成例

1-2. メモリセルの構成例

1-3. 磁気抵抗素子の構成例

1-4. 磁気抵抗素子の識別可能な抵抗状態

1-5. 磁気抵抗素子の識別可能な抵抗状態に基づく多値化

1-6. 多値化の具体例

1-7. 読み出し回路及び書き込み回路の構成例及び動作例

1-8. 作用・効果

2. 他の実施形態

3. 電子機器の構成例

3-1. 撮像装置

3-2. 測距装置

3-3. ゲーム機器

4. 付記

[0015] <1. 実施形態>

<1-1. 記憶装置の構成例>

本実施形態に係る記憶装置1の構成例について図1を参照して説明する。

図1は、本実施形態に係る記憶装置1の構成例を示す図である。この記憶装置1は、例えば、LSI（大規模集積回路）などに適用される。

[0016] 図1に示すように、本実施形態に係る記憶装置1は、制御回路5と、電圧生成回路6と、メモリセルアレイ10と、ワードライン制御回路20と、ビットライン制御回路30と、センスアンプ40と、読み出し回路50と、書き込み回路60とを備える。なお、読み出し回路50は読み出し部に相当し

、書き込み回路60は書き込み部に相当し、各制御回路5、20、30は制御部に相当する。

[0017] 制御回路5は、外部回路（例えば、演算回路など）からの書き込み・読み出し命令の処理とデータ入出力の制御とを行う。例えば、制御回路5は、外部回路からのコマンド（書き込みや読み出しなどのコマンド）を受信し、受信したコマンドに基づいてデータの書き込み及び読み出しの制御を行う。

[0018] ここで、演算回路は、例えば、AI（artificial intelligence）機能、認識機能又は機械学習などの論理演算を行う回路であってもよい。この演算回路は、例えば、プログラムに基づいて各種の演算処理を行う。なお、プログラムや各種設定値などは記憶装置1によって長期的に記憶されてもよく、また、演算処理により生成されたデータなどは記憶装置1によって短期的に記憶されてもよい。

[0019] 電圧生成回路6は、メモリセルアレイ10に対するデータの書き込み及び読み出しの際に使用する電圧を生成し、その生成した電圧を書き込み回路60及び読み出し回路50に供給する。

[0020] メモリセルアレイ10は、データを記憶するメモリセル100が二次元行列状に配置されて構成されている。メモリセル100は、選択素子110及び磁気抵抗素子（磁気抵抗記憶素子）120を備える。このメモリセル100には、例えば、VC（Voltage Controlled）-MRAMセルを使用することができる。選択素子110は、磁気抵抗素子120の一端に接続され、磁気抵抗素子120への電圧の印加を制御する素子である。この選択素子110には、例えば、nチャネルMOSトランジスタを使用することができる。また、磁気抵抗素子120には、例えば、MTJ等の磁気抵抗素子を使用することができる。

[0021] ここで、磁気抵抗素子120は、例えば、磁化方向が電圧印加により第1状態及び第2状態に可変である。この磁化方向の制御に用いる外場としては、外部配線への電流通電により生じる電流磁界や、MTJに直接電流通電を行い、スピン角運動量移行（STT：Spin Transfer Torque）効果を利用

する方法、電圧による磁気異方性制御（VCMA：Voltage Controlled Magnetic Anisotropy）を利用した方法などがある。また、磁化方向の状態の読み出しには、トンネル磁気抵抗（TMR：Tunnel Magneto Resistance）効果を用いる。

[0022] 現在主流となっているMRAMは、電流磁界を用いるよりも微細化が可能で、消費電力を低減できるSTT-MRAMである。一方、VCMAを利用した電圧制御型（VC：Voltage Controlled）MRAM、すなわち、VC-MRAMは、書き込みが高速でさらに低消費電力で動作可能であることから注目されている。このVC-MRAMは不揮発性であり、STT-MRAMと同様に面積が小さく、また、書き込みの消費電力はSTT-MRAMより小さく、SRAM（Static Random Access Memory）程度である。VC-MRAMは、不揮発性で面積と消費電力が小さいメモリである。

[0023] メモリセル100には、制御信号を伝達するワード線11（WL）及びビット線12（BL）が接続される。また、メモリセル100には、磁気抵抗素子120からの信号を伝達するソース線13（SL）が更に配置される。メモリセルアレイ10には、複数のワード線11が行方向に延伸するように配線され、複数のビット線12及びソース線13が列方向に延伸するように配線される。

[0024] ワードライン制御回路20は、指定アドレスに応じてワード線電圧を制御する。例えば、ワードライン制御回路20は、指定アドレスに応じてワード線11を選択し、選択したワード線11に制御信号を出力するものである。

[0025] ビットライン制御回路30は、指定アドレスに応じてビット線電圧を制御する。例えば、ビットライン制御回路30は、指定アドレスに応じてビット線12を選択し、選択したビット線12に制御信号を出力するものである。

[0026] センスアンプ40は、読み出し信号を判別する。例えば、センスアンプ40は、読出しの際にメモリセル100に流れる電流を検出することによりデータの読出しを行うものである。例えば、読み出したデータは、読み出し回路50に対して出力され、その読み出し回路50を介して制御回路5に入力

される。

[0027] 読み出し回路50は、データの読み出し処理を制御する。例えば、読み出し回路50は、選択されたワード線11及びビット線12の交点のメモリセル100に対して読み出しを行う回路である。この読み出し回路50は、メモリセル100の選択素子110を介して磁気抵抗素子120の読み出しを行う。読み出しは、メモリセル100の磁気抵抗素子120に所定の読み出し電圧を印加し、メモリセル100に流れる電流を検出することにより行うことができる。なお、読み出し電圧は、書込み電圧とは異なる極性の電圧にすると好適である。

[0028] 書き込み回路60は、メモリセルアレイ10に対するデータの書き込み処理を制御する。例えば、書き込み回路60は、メモリセルアレイ10において、選択されたワード線11及びビット線12の交点のメモリセル100に対して書き込みを行う回路である。この書き込み回路60は、メモリセル100の選択素子110を介して磁気抵抗素子120に書き込みを行う。書き込みは、メモリセル100の磁気抵抗素子120に所定の書き込み電圧を印加することにより行うことができる。

[0029] <1-2. メモリセルの構成例>

本実施形態に係るメモリセル100の構成例について図2及び図3を参照して説明する。図2及び図3は、それぞれ本実施形態に係るメモリセル100の構成例を示す図である。各図は、それぞれメモリセル100の構成例を表す模式図である。

[0030] 図2及び図3の例では、メモリセル100の選択素子110及び磁気抵抗素子120は直列に接続されており、選択素子110はドレイン（ドレイン端子）、ソース（ソース端子）及びゲート（ゲート端子）を有している。なお、コンタクト層103又はコンタクト層104は、ビア（V i a）などの接続層に相当する。

[0031] 図2に示すように、メモリセル100の磁気抵抗素子120は、コンタクト層103を介して配線101に接続され、コンタクト層104を介して選

択素子110に接続される。選択素子110のドレインがコンタクト層104に接続され、そのソースがソース線13(SL)に接続される。また、選択素子110のゲートは、ワード線11(WL)に接続される。なお、コンタクト層103は、ビット線12(BL)を構成する配線101に接続される。ワード線11(WL)にオン電圧を印加することにより、選択素子110が導通し、磁気抵抗素子120に電圧を印加することができる。

[0032] 図3に示すように、メモリセル100の磁気抵抗素子120は、コンタクト層104を介して配線102に接続され、コンタクト層103を介して選択素子110に接続される。選択素子110は、ドレインがビット線12(BL)に接続され、ソースがコンタクト層103に接続される。また、選択素子110のゲートは、ワード線11(WL)に接続される。なお、コンタクト層104は、ソース線13(SL)を構成する配線102に接続される。ワード線11(WL)にオン電圧を印加することにより、選択素子110が導通し、磁気抵抗素子120に電圧を印加することができる。

[0033] ワード線11(WL)は、前述のように、ワードライン制御回路20(図1参照)に接続される。ビット線12(BL)は、ビットライン制御回路30(図1参照)に接続される。ソース線13(SL)は、センスアンプ40(図1参照)に接続される。ビット線12(BL)及びソース線13(SL)の間に電圧を印加するとともにワード線11(WL)に選択素子110を導通させるオン電圧を印加することにより、磁気抵抗素子120に書込みや読出しのための電圧を印加することができる。

[0034] <1-3. 磁気抵抗素子の構成例>

本実施形態に係る磁気抵抗素子120の構成例について図4及び図5を参照して説明する。図4及び図5は、それぞれ本実施形態に係る磁気抵抗素子120の構成例を示す図である。各図は、それぞれ磁気抵抗素子120の構成例を表す断面図である。

[0035] 図4及び図5に示すように、磁気抵抗素子120は、下地層121と、磁化固定層122と、トンネルバリア層(絶縁層)123と、記憶層(フリー

層) 124と、キャップ層125とを備える。図4に示す磁気抵抗素子120は、下地層121、磁化固定層122、トンネルバリア層123、記憶層124、キャップ層125が順に積層されて構成される。一方、図5に示す磁気抵抗素子120は、下地層121、記憶層124、トンネルバリア層123、磁化固定層122、キャップ層125が順に積層されて構成される。

[0036] 下地層121は、例えばCr、Ta、Ru、Au、Ag、Cu、Al、Ti、V、Mo、Zr、Hf、Re、W、Pt、Pd、Ir、Rh等の貴金属や遷移金属元素からなる層およびそれらの積層構造を用いることができる。また、下地層121は、TiN等の導電性窒化物により構成することもできる。例えば、下地層121は、磁化固定層122の結晶配向制御や下部電極に対する付着強度を向上させるための膜により構成されている。

[0037] 磁化固定層122は、磁気異方性を有するとともに磁化方向が不変の層である。この磁化固定層122は、例えば、CoFeB、CoFeC合金、NiFeB合金及びNiFeC合金等により構成することができる。また、磁化固定層122は、非磁性層を介して複数の強磁性層を積層した積層フェリピン構造にすることもできる。この積層フェリピン構造の磁化固定層122を構成する強磁性層の材料としては、Co、CoFe、CoFeB等を用いることができる。また、非磁性層の材料としては、Ru、Re、Ir、Os等を用いることができる。

[0038] また、磁化固定層122は、反強磁性層及び強磁性層の反強磁性結合を利用することにより、その磁化の向きが固定された構成にすることができる。反強磁性層の材料としては、FeMn合金、PtMn合金、PtCrMn合金、NiMn合金、IrMn合金、NiO及びFe<sub>2</sub>O<sub>3</sub>等の磁性体を挙げることができる。また、これらの磁性体に、Ag、Cu、Au、Al、Si、Bi、Ta、B、C、O、N、Pd、Pt、Zr、Hf、Ir、W、Mo、Nb等の非磁性元素を添加することもできる。

[0039] トンネルバリア層123は、後述する記憶層124に隣接して配置され、記憶層124に電界を掛けて電圧制御磁気異方性効果を付与するものである

。このトンネルバリア層123は、Mg、Al、Ti、Si、Zn、Zr、Hf、Ta、Bi、Cr、Ga、La、Gd、Sr、Baの群から選択された少なくとも1種の元素の酸化物、もしくはMg、Al、Ti、Si、Zn、Zr、Hf、Ta、Bi、Cr、Ga、La、Gd、Sr、Baの群から選択された少なくとも1種の元素の窒化物により構成することができる。また、MgF<sub>2</sub>、CaF、SrTiO<sub>2</sub>、AlLaO<sub>3</sub>、AlNO等の絶縁体、誘電体及び半導体を用いて構成することもできる。これらの層を積層した構造とすることもできる。なお、トンネルバリア層123の厚さは、0.6nm以上に構成すると好適である。

[0040] 記憶層124は、磁気異方性を有するとともに磁化方向が可変の層である。また、記憶層124は、VCMA効果を有する層である。記憶層124の磁化方向が磁化固定層122の磁化方向と同じ状態及び異なる状態は、それぞれ平行状態及び反平行状態と称される。磁気抵抗素子120は、平行状態の時に低抵抗状態になり、反平行状態の時に高抵抗状態になる。前述のように磁気抵抗素子120に電圧を印加することにより、記憶層124の磁化方向を変化させることができる。

[0041] また、記憶層124は、コバルト鉄(CoFe)、コバルト鉄ボロン(CoFeB)、Fe、ホウ化鉄(FeB)等により構成することができる。また、遷移金属(Hf、Ta、W、Re、Ir、Pt、Au、Zr、Nb、Mo、Ru、Rh、Pd、Ag、Ti、V、Cr、Mn、Ni、Cu)等を含む構成を採ることもできる。また、窒化物や酸化物を含んでも良い。また、磁性体への近接磁気モーメント誘起を起こす材料として、イリジウム(Ir)やオスミウム(Os)を使用することができる。なお、記憶層124に重金属を添加して電圧制御磁気異方性効果を向上させることもできる。記憶層124の厚さは、3.0nm以下に構成すると好適である。

[0042] また、記憶層124は、非磁性層を介して複数の強磁性層が積層された積層構造を有してもよい。このとき、非磁性層を介して隣接する2つの強磁性層は、交換結合していてもよい。この非磁性層には、Mg、Al、Ti、S

i、Zn、Zr、Hf、Ta、Bi、Cr、Ga、La、Gd、Sr、Ba、W、Re、Ir、Pt、Au、Nb、Mo、Ru、Rh、Pd、Ag、V、Mn、Ni及びCu等により構成することができる。

[0043] キャップ層125は、磁気抵抗素子120に接続される配線部材からの金属の拡散を防ぐ層である。このキャップ層125は、Cr、Ta、Ru、Au、Ag、Cu、Al、Ti、V、Mo、Zr、Hf、Re、W、Pt、Pd、Ir、Rh等の金属により構成することができる。また、キャップ層125は、それらを含む合金、遷移金属元素からなる層により構成することができる。また、キャップ層125は、それらを積層して構成することもできる。また、キャップ層125は、TiN等の導電性窒化物により構成することもできる。

[0044] 以上に説明した種々の層は、例えば、スパッタリング法、イオンビーム堆積法、真空蒸着法に代表される物理的気相成長（PVD）法、原子層堆積（ALD）法に代表される化学的気相成長（CVD）法にて作製できる。また、これらの層のパターニングは反応性イオンエッチング（RIE）法やイオンミリング法にて行うことができる。種々の層は真空装置内で連続的に形成することが好ましく、その後パターニングを行うことが好ましい。

[0045] <1-4. 磁気抵抗素子の識別可能な抵抗状態>

本実施形態に係る磁気抵抗素子120の識別可能な抵抗状態について図6を参照して説明する。図6は、本実施形態に係る磁気抵抗素子120の識別可能な抵抗状態を説明するための図である。

[0046] 図6に示すように、本実施形態に係る磁気抵抗素子120は、識別可能な五つの抵抗状態を有する。なお、図6の例では、磁気抵抗素子120における、主要な磁化固定層122、トンネルバリア層123及び記憶層124以外の層は適宜省略されている。これは、以降の図7から図8でも同様である。

[0047] 五つの抵抗状態は、「弱ショート」、「0」、「1」、「完全ショート」及び「オープン」の抵抗状態である。この五つの抵抗状態を変えるための印

加電圧は、書き込み回路60により磁気抵抗素子120に供給される。印加電圧は、図6中の矢印の左から右に大きくなる。なお、「弱ショート」、「0」、「1」、「完全ショート」及び「オープン」の個々の抵抗値の関係について詳しくは後述する。

[0048] 磁気抵抗素子120は、初期の抵抗状態（例えば、「弱ショート」の抵抗状態）から、第1電圧が印加されると「0」の抵抗状態となり、第2電圧（>第1電圧）が印加されると「1」の抵抗状態となる。さらに、磁気抵抗素子120は、第3電圧（>第2電圧）が印加されると「完全ショート」の抵抗状態となり、第4電圧（>第3電圧）が印加されると「オープン」の抵抗状態となる。

[0049] ここで、初期の抵抗状態とは、例えば、「弱ショート」の抵抗状態であるが、これに限定されるものではない。この「弱ショート」の抵抗状態は、磁化固定層122及び記憶層124が導電層126により導通している状態である。導電層126は、例えば、変質層である。変質層は、例えば、磁化固定層122及び記憶層124の一方又は両方の変質により形成された層である。このような導電層126は、磁気抵抗素子120の外周面にトンネルバリア層123を横断するように設けられている。導電層126は、例えば、メモリセル100のスペースを狭くしたり、導電層126となる付着物（例えば、再付着物など）を取り除くトリミングをスキップしたり、あるいは、意図的に金属を垂らしたりすることで、形成される。

[0050] なお、導電層126は、磁気抵抗素子120の外周面に形成されているが、これに限定されるものではなく、例えば、トンネルバリア層123内に形成されてもよい。ただし、導電層126の形成の容易化のためには、導電層126を磁気抵抗素子120の外周面に形成することが望ましい。

[0051] 前述の第1電圧、第2電圧、第3電圧又は第4電圧が磁気抵抗素子120に印加されると、磁気抵抗素子120にブロー電流が流れ、導電層126が破壊されて非導通状態になり、磁気抵抗素子120に印加した第1電圧、第2電圧、第3電圧又は第4電圧に応じて、磁気抵抗素子120の抵抗状態が

変化する。

- [0052] 例えば、第1電圧が磁気抵抗素子120に印加されると、磁化固定層122の磁化方向と記憶層124の磁化方向が互いに平行（同方向）になる。これにより、磁気抵抗素子120は、初期の抵抗状態から「0」の抵抗状態となる。この「0」の抵抗状態とは、磁化固定層122の磁化方向と記憶層124の磁化方向が平行になっている状態である。
- [0053] また、第2電圧が磁気抵抗素子120に印加されると、磁化固定層122の磁化方向と記憶層124の磁化方向が互いに反平行（逆方向）になる。これにより、磁気抵抗素子120は、初期の抵抗状態から「1」の抵抗状態となる。この「1」の抵抗状態とは、磁化固定層122の磁化方向と記憶層124の磁化方向が互いに反平行になっている状態である。なお、磁気抵抗素子120は、第1電圧の印加により、「1」の抵抗状態から「0」の抵抗状態に戻ることが可能である。
- [0054] また、第3電圧が磁気抵抗素子120に印加されると、トンネルバリア層123にブロー電流が流れ、トンネルバリア層123が破壊されて通電状態（完全ショート）になる。これにより、磁気抵抗素子120は、初期の抵抗状態から「完全ショート」の抵抗状態となる。この「完全ショート」の抵抗状態とは、トンネルバリア層123が破壊されて通電状態になっている状態である。
- [0055] また、第4電圧が磁気抵抗素子120に印加されると、コンタクト層103にブロー電流が流れ、コンタクト層103が破壊されて非通電状態（オープン）になる。これにより、磁気抵抗素子120は、初期の抵抗状態から「オープン」の抵抗状態となる。この「オープン」の抵抗状態とは、コンタクト層103が破壊されて非通電状態になっている状態である。
- [0056] このように電圧印加により磁気抵抗素子120の抵抗状態は、五つの抵抗状態に変化することができる。例えば、磁気抵抗素子120は、「弱ショート」の抵抗状態から「0」、「1」、「完全ショート」及び「オープン」のいずれかの抵抗状態になることが可能であり、「0」の抵抗状態から「1」

、「完全ショート」及び「オープン」のいずれかの抵抗状態になることが可能であり、「1」の抵抗状態から「0」、「完全ショート」及び「オープン」のいずれかの抵抗状態になることが可能であり、「完全ショート」の抵抗状態から「オープン」の抵抗状態になることが可能である。

[0057] また、磁気抵抗素子120は、情報の書き直しが可能な素子である。印加電圧（供給電流）を変えることにより、磁気抵抗素子120の抵抗状態を五つの抵抗状態のいずれかに変えることが可能である。例えば、電圧印加により「1」の抵抗状態になった磁気抵抗素子120に対して再度の電圧印加を行い、磁気抵抗素子120の抵抗状態を「完全ショート」の抵抗状態に変更することが可能である。これはあくまでも一例であり、前述のように磁気抵抗素子120をある抵抗状態から他の抵抗状態に変えて、情報を書き直すことは可能である。

[0058] このような磁気抵抗素子120が五つの抵抗状態のうちどの抵抗状態であるかを判別することで、多値化を実現することができる。つまり、本実施形態によれば、情報を多値記録でき、さらに、情報の書き直しも可能になる。なお、磁気抵抗素子120の抵抗状態が五つの抵抗状態のうちどの抵抗状態であるかを判別するため、閾値を設定して多値化を実現する手段について以下で詳しく説明する。

[0059] <1-5. 磁気抵抗素子の識別可能な抵抗状態に基づく多値化>

本実施形態に係る磁気抵抗素子120の識別可能な抵抗状態に基づく多値化について図7を参照して説明する。図7は、本実施形態に係る磁気抵抗素子120の識別可能な抵抗状態に基づく多値化を説明するための図である。

[0060] 図7に示すように、本実施形態では、磁気抵抗素子120の五つの識別可能な抵抗状態に応じて、0、1、2、3、4という多値化（5値ビット）が実現される。最大で5値ビットが実現されるが、これに限定されるものではなく、例えば、0、1、2、3という4値ビットが実現されてもよい。

[0061] 図7の例では、磁気抵抗素子120の抵抗状態ごとの抵抗値と抵抗値のバラツキ量（ $\sigma$ ）との関係を示すグラフが示されている。図7に示すように、

磁気抵抗素子 120 の抵抗値は、「完全ショート」、「弱ショート」、「0」、「1」及び「オープン」の抵抗状態になる順番で大きくなる。なお、「弱ショート」の抵抗状態は、「完全ショート」の抵抗状態よりも抵抗値が高い状態である。

[0062] 例えば、磁気抵抗素子 120 の五つの抵抗状態に対して情報 0~4 が対応付けられる。詳しくは、「完全ショート」の抵抗状態が 0 に対応付けられ、「弱ショート」の抵抗状態が 1 に対応付けられ、「0」の抵抗状態が 2 に対応付けられ、「1」の抵抗状態が 3 に対応付けられ、「オープン」の抵抗状態が 4 に対応付けられる。そして、五つの抵抗状態に対して四つの閾値 A1、A2、A3、A4 が読み出し回路 50 により設定される。これらの閾値 A1、A2、A3、A4 に応じて情報が読み出し回路 50 によって読み出される。

[0063] 例えば、磁気抵抗素子 120 の抵抗値が閾値 A1 以下である場合には情報が 0 であり、磁気抵抗素子 120 の抵抗値が閾値 A1 より高い閾値 A2 以下である場合には情報が 1 であり、磁気抵抗素子 120 の抵抗値が閾値 A2 より高い閾値 A3 以下である場合には情報が 2 である。磁気抵抗素子 120 の抵抗値が閾値 A3 より高い閾値 A4 以下である場合には情報が 3 であり、磁気抵抗素子 120 の抵抗値が閾値 A4 より高ければ情報が 4 である。

[0064] このように五つの抵抗状態と四つの閾値 A1、A2、A3、A4 を用いることで、多値化を実現することができる。例えば、多値化として 4 値化や 5 値化を実現することができるが、記憶容量の増加という観点から、少なくとも 4 値化以上を実現することが好ましく、以下では多値化を実現する具体例について詳しく説明する。

[0065] <1-6. 多値化の具体例>

本実施形態に係る磁気抵抗素子 120 の識別可能な抵抗状態に基づく多値化の具体例について図 8 及び図 9 を参照して説明する。

[0066] (4 値化)

図 8 は、本実施形態に係る磁気抵抗素子 120 の識別可能な抵抗状態に基

づく4値化を説明するための図である。

- [0067] 図8の例では、磁気抵抗素子120の抵抗値は、「完全ショート」の抵抗状態で約0-100 ( $\Omega$ ) であり、「弱ショート」の抵抗状態で約1000 ( $\Omega$ ) であり、「0」の抵抗状態で約4000 ( $\Omega$ ) であり、「1」の抵抗状態で約12500 ( $\Omega$ ) である。これに応じて、閾値 $T_h$ は、例えば、500 ( $\Omega$ )、2000 ( $\Omega$ )、8000 ( $\Omega$ ) に設定されている。
- [0068] 読み出し回路50は、図8に示すように、閾値 $T_h$ を500 ( $\Omega$ ) として磁気抵抗素子120の抵抗値を読み出し、その抵抗値と閾値 $T_h$ との比較結果を第1レジスタ(1st)に取り込む。例えば、読み出し回路50は、読み出した抵抗値と500 ( $\Omega$ ) とを比較し、読み出した抵抗値が500 ( $\Omega$ ) 以下であると判別した場合、判別結果を0とし、読み出した抵抗値が500 ( $\Omega$ ) より高いと判別した場合、判別結果を1とし、その0又は1の判別結果を第1レジスタ(1st)に取り込む。
- [0069] 次に、読み出し回路50は、閾値 $T_h$ を2000 ( $\Omega$ ) として磁気抵抗素子120の抵抗値を読み出し、その抵抗値と閾値 $T_h$ との比較結果を第2レジスタ(2nd)に取り込む。例えば、読み出し回路50は、読み出した抵抗値と2000 ( $\Omega$ ) とを比較し、読み出した抵抗値が2000 ( $\Omega$ ) 以下であると判別した場合、判別結果を0とし、読み出した抵抗値が2000 ( $\Omega$ ) より高いと判別した場合、判別結果を1とし、その0又は1の判別結果を第2レジスタ(2nd)に取り込む。
- [0070] 次いで、読み出し回路50は、閾値 $T_h$ を8000 ( $\Omega$ ) として磁気抵抗素子120の抵抗値を読み出し、その抵抗値と閾値 $T_h$ との比較結果を第3レジスタ(3rd)に取り込む。例えば、読み出し回路50は、読み出した抵抗値と8000 ( $\Omega$ ) とを比較し、読み出した抵抗値が8000 ( $\Omega$ ) 以下であると判別した場合、判別結果を0とし、読み出した抵抗値が8000 ( $\Omega$ ) より高いと判別した場合、判別結果を1とし、その0又は1の判別結果を第3レジスタ(3rd)に取り込む。
- [0071] その後、読み出し回路50は、第1レジスタから第3レジスタに取り込ん

だ各比較結果、すなわち各判別結果に基づいて4値化（0、1、2、3）を実現する。例えば、第1レジスタ、第2レジスタ及び第3レジスタの個々の判別結果が0である場合、情報は0となり、第1レジスタの判別結果が1であって第2レジスタ及び第3レジスタの個々の判別結果が0である場合、情報は1となる。また、第1レジスタ及び第2レジスタの個々の判別結果が1であって第3レジスタの判別結果が0である場合、情報は2となり、第1レジスタ、第2レジスタ及び第3レジスタの個々の判別結果が1である場合、情報は3となる。

[0072] （5値化）

図9は、本実施形態に係る磁気抵抗素子120の識別可能な抵抗状態に基づく5値化を説明するための図である。

[0073] 図9の例では、磁気抵抗素子120の抵抗値は、図8の例と同様、「完全ショート」の抵抗状態で約0-100（Ω）であり、「弱ショート」の抵抗状態で約1000（Ω）であり、「0」の抵抗状態で約4000（Ω）であり、「1」の抵抗状態で約12500（Ω）であり、図8の例に加えて、「オープン」の抵抗状態で∞（Ω）である。このため、閾値Thは、例えば、500（Ω）、2000（Ω）、8000（Ω）、20000（Ω）に設定されている。

[0074] 読み出し回路50は、図9に示すように、図8の例と同様、閾値Thを500（Ω）として磁気抵抗素子120の抵抗値を読み出し、その抵抗値と閾値Thとの比較結果（判別結果）を第1レジスタ（1st）に取り込み、閾値Thを2000（Ω）として磁気抵抗素子120の抵抗値を読み出し、その抵抗値と閾値Thとの比較結果（判別結果）を第2レジスタ（2nd）に取り込む。次いで、読み出し回路50は、閾値Thを8000（Ω）として磁気抵抗素子120の抵抗値を読み出し、その抵抗値と閾値Thとの比較結果（判別結果）を第3レジスタ（3rd）に取り込み、閾値Thを20000（Ω）として磁気抵抗素子120の抵抗値を読み出し、その抵抗値と閾値Thとの比較結果（判別結果）を第4レジスタ（4th）に取り込む。

[0075] その後、読み出し回路50は、第1レジスタから第4レジスタに取り込んだ各比較結果、すなわち各判別結果に基づいて5値化（0、1、2、3、4）を実現する。例えば、第1レジスタ、第2レジスタ、第3レジスタ及び第4レジスタの個々の判別結果が0である場合、情報は0となり、第1レジスタの判別結果が1であって第2レジスタ、第3レジスタ及び第4レジスタの個々の判別結果が0である場合、情報は1となる。また、第1レジスタ及び第2レジスタの個々の判別結果が1であって第3レジスタ及び第4レジスタの判別結果が0である場合、情報は2となり、第1レジスタ、第2レジスタ及び第3レジスタの個々の判別結果が1であって第4レジスタの判別結果が0である場合、情報は3となる。第1レジスタ、第2レジスタ、第3レジスタ及び第4レジスタの個々の判別結果が1である場合、情報は4となる。

[0076] このようにして、4値化及び5値化を実現することができる。4値化を実現する読み出し回路50の具体的な構成例や動作例について以下で詳しく後述する。ただし、以下で説明する、4値化を実現する読み出し回路50や書き込み回路60などの構成例や動作例はあくまでも例示であり、4値化を実現する読み出し回路50や書き込み回路60に適宜回路を追加することで、5値化を実現する読み出し回路50や書き込み回路60を構成することが可能である。

[0077] <1-7. 読み出し回路及び書き込み回路の構成例及び動作例>

本実施形態に係る読み出し回路50及び書き込み回路60の構成例及び動作例について図10から図12を参照して説明する。図10は、本実施形態に係る読み出し回路50及び書き込み回路60の構成例を示す図である。図11及び図12は、それぞれ本実施形態に係る書き込み回路60の構成例を説明するための図である。

[0078] （読み出し回路の構成例）

図10に示すように、読み出し回路50は、チャージトランジスタT3と、ビット線選択トランジスタT4と、参照電圧生成器51と、比較器52とを備える。例えば、それらの各部は列ごとに配置されている。この読み出し

回路50は、磁気抵抗素子120に多値記録された情報を読み出し対象のメモリセル100から読み出す（判別する）回路である。なお、参照電圧生成器51は生成部に相当し、比較器52は判別部に相当する。

[0079] チャージトランジスタT3は、ゲート端子に印加される制御信号FC（a）に応じてON状態となるトランジスタである。図10の例では、チャージトランジスタT3は、PMOS型FET（Field Effect Transistor）で構成されている。チャージトランジスタT3のソース端子は電源電圧VDDの電位線に接続され、ドレイン端子は比較器52の入力端子に接続され、ゲート端子はワードライン制御回路20（又は制御回路5）の出力端子に接続されている。なお、ビット線選択トランジスタT4は、そのゲート端子にLowレベルの制御信号FA（n）が入力されてオン状態となり、Highレベルの制御信号FA（n）が入力されてオフ状態となる。

[0080] ビット線選択トランジスタT4は、ゲート端子に印加される制御信号CLに応じてON状態となるトランジスタである。このビット線選択トランジスタT4は、磁気抵抗素子120と接続されている。図10の例では、ビット線選択トランジスタT4は、NMOS型FETで構成されている。ビット線選択トランジスタT4のソース端子は磁気抵抗素子120の一端に接続され、ドレイン端子は比較器52の入力端子に接続され、ゲート端子はワードライン制御回路20（又は制御回路5）の出力端子に接続されている。なお、ビット線選択トランジスタT4は、そのゲート端子にHighレベルの制御信号FA（n）が入力されてオン状態となり、Lowレベルの制御信号FA（n）が入力されてオフ状態となる。

[0081] 参照電圧生成器51は、複数の参照トランジスタT5～T9と、複数の参照抵抗素子R1～R3とを有する。この参照電圧生成器51は、磁気抵抗素子120に多値記録された情報を読み出す際にその基準（閾値）となる参照電圧（参照電圧信号）を生成する回路である。

[0082] 第1参照トランジスタT5は、ゲート端子に印加される制御信号RCに応じてON状態となるトランジスタである。図10の例では、第1参照トラン

ジスタT5は、PMOS型FETで構成されている。第1参照トランジスタT5のソース端子は電源電圧VDDの電位線に接続され、ドレイン端子は比較器52の入力端子に接続され、ゲート端子は制御回路5の出力端子に接続されている。なお、第1参照トランジスタT5は、そのゲート端子にLowレベルの制御信号RCが入力されてオン状態となり、Highレベルの制御信号RCが入力されてオフ状態となる。

[0083] 第2参照トランジスタT6は、ゲート端子に印加される制御信号RCLに応じてON状態となるトランジスタである。図10の例では、第2参照トランジスタT6は、NMOS型FETで構成されている。第2参照トランジスタT6のソース端子は各参照抵抗素子R1~R3の個々の一端に接続され、ドレイン端子は比較器52の入力端子に接続され、ゲート端子は制御回路5の出力端子に接続されている。なお、第2参照トランジスタT6は、そのゲート端子にHighレベルの制御信号RCLが入力されてオン状態となり、Lowレベルの制御信号RCLが入力されてオフ状態となる。

[0084] 第3から第5参照トランジスタT7~T9は、それぞれゲート端子に印加される制御信号RA(RA1、RA2、RA3)に応じてON状態となるトランジスタである。図10の例では、第3から第5参照トランジスタT7~T9は、それぞれNMOS型FETで構成されている。第3から第5参照トランジスタT7~T9の個々のソース端子は接地電位(GND)に接続され、個々のドレイン端子は各参照抵抗素子R1~R3の個々の一端にそれぞれ接続され、個々のゲート端子は制御回路5の各出力端子にそれぞれ接続されている。なお、第3から第5参照トランジスタT7~T9は、そのゲート端子にHighレベルの制御信号RA(RA1、RA2、RA3)が入力されてオン状態となり、Lowレベルの制御信号RAが入力されてオフ状態となる。

[0085] 各参照抵抗素子R1~R3は、それぞれ抵抗値を規定する抵抗素子である。参照抵抗素子R1は、500(Ω)を有する抵抗素子である。参照抵抗素子R2は、2000(Ω)を有する抵抗素子である。参照抵抗素子R3は、

8000 ( $\Omega$ ) を有する抵抗素子である。各参照抵抗素子 R1～R3 の個々の一端は、第2参照トランジスタ T6 のソース端子に接続されており、個々の他端は、第3から第5参照トランジスタ T7～T9 の個々のドレイン端子にそれぞれ接続されている。

[0086] このような構成の参照電圧生成器 51 は、各参照抵抗素子 R1～R3 の個々の抵抗値例えば、500 ( $\Omega$ )、2000 ( $\Omega$ )、8000 ( $\Omega$ ) に応じた参照電圧  $V_{ref}$  を発生させる。この参照電圧  $V_{ref}$  は、閾値として機能する。

[0087] 参照電圧生成器 51 は、第1参照電流 I3 の生成のため、第1から第3参照トランジスタ T5～T7 の各ゲートに、Low レベルの制御信号 RC、High レベルの制御信号 RCL 及び High レベルの制御信号 RA1 を各々供給する。これにより、第1から第3参照トランジスタ T5～T7 がオンとなり、参照抵抗素子 R1 がバイアスされ、第1参照電流 I3 が発生する。このとき、第1参照電流 I3 は、電源電圧 VDD から参照抵抗素子 R1 を経由して接地電位の向きに流れる。

[0088] また、参照電圧生成器 51 は、第2参照電流 I4 の生成のため、第1及び第2、第4参照トランジスタ T5、T6、T8 の各ゲートに、Low レベルの制御信号 RC、High レベルの制御信号 RCL 及び High レベルの制御信号 RA2 を各々供給する。これにより、第1及び第2、第4参照トランジスタ T5、T6、T8 がオンとなり、参照抵抗素子 R2 がバイアスされ、第2参照電流 I4 が発生する。このとき、第2参照電流 I4 は、電源電圧 VDD から参照抵抗素子 R2 を経由して接地電位の向きに流れる。

[0089] また、参照電圧生成器 51 は、第3参照電流 I5 の生成のため、第1及び第2、第5参照トランジスタ T5、T6、T9 の各ゲートに、Low レベルの制御信号 RC、High レベルの制御信号 RCL 及び High レベルの制御信号 RA3 を各々供給する。これにより、第1及び第2、第5参照トランジスタ T5、T6、T9 がオンとなり、参照抵抗素子 R3 がバイアスされ、第3参照電流 I5 が発生する。このとき、第3参照電流 I5 は、電源電圧 V

DDから参照抵抗素子R3を経由して接地電位の向きに流れる。

[0090] 比較器52は、例えば、センスアンプから構成されている。この場合、比較器52は、センスアンプ40（図1参照）に相当し、読み出し回路50がセンスアンプ40を備えることになるが、これに限定されるものではなく、読み出し回路50とセンスアンプ40を別体として設けることも可能である。この場合、読み出し回路50及びセンスアンプ40が読み出し部に相当する。

[0091] また、比較器52は、一对の入力端子を有する。比較器52の一方の入力端子は、読み出し回路50内のチャージトランジスタT3のドレイン端子とビット線選択トランジスタT4のドレイン端子との接続点P1（以下、第1接続点P1という）に接続されている。また、比較器52の他方の入力端子は、参照電圧生成器51内の第1参照トランジスタT5のドレイン端子と第2参照トランジスタT6のドレイン端子との接続点P2（以下、第2接続点P2という）に接続されている。この比較器52は、一方の入力端子に入力される第1接続点P1の電圧 $V_m$ （磁気抵抗素子120の抵抗値に関する電圧）と、他方の入力端子に入力される第2接続点P2の参照電圧（閾値電圧） $V_{ref}$ とを比較し、その比較結果を出力する。

[0092] （書き込み回路の構成例）

図10に示すように、書き込み回路60は、フェーズトランジスタT2を有する。図10の例では、メモリセル100は、選択トランジスタT1及び磁気抵抗素子120により構成されている。選択トランジスタT1は、選択素子110の一例であり、書き込み回路60の一部として機能することが可能である。

[0093] 選択トランジスタT1は、ゲート端子に印加される制御信号FA(n)に応じてオン状態となるトランジスタである。この選択トランジスタT1は、磁気抵抗素子120と接続されている。図10の例では、選択トランジスタT1は、NMOS型FETで構成されている。この選択トランジスタT1のソース端子は接地電位（GND）に接続され、ドレイン端子は磁気抵抗素子

120の一端に接続され、ゲート端子はワードライン制御回路20（又は制御回路5）の出力端子に接続されている。なお、選択トランジスタT1は、そのゲート端子にHighレベルの制御信号FA（n）が入力されてオン状態となり、Lowレベルの制御信号FA（n）が入力されてオフ状態となる。

[0094] フューズトランジスタT2は、ゲート端子に印加される制御信号FB（a）に応じてオン状態となるトランジスタである。このフューズトランジスタT2は、磁気抵抗素子120と接続されている。図10の例では、フューズトランジスタT2は、PMOS型FETで構成されている。このフューズトランジスタT2のソース端子は電源電圧VFUSEに接続され、ドレイン端子は磁気抵抗素子120の一端に接続され、ゲート端子はビットライン制御回路30（又は制御回路5）の出力端子に接続されている。なお、フューズトランジスタT2は、そのゲート端子にLowレベルの制御信号FB（a）が入力されてオン状態となり、Highレベルの制御信号FB（a）が入力されてオフ状態となる。

[0095] 電源電圧VFUSEは、例えば、図11に示すように、1～4Vの範囲で変更可能になっている。この電源電圧VFUSEは、書き込む情報（例えば、0、1、2、3）に応じて制御回路5により変えられ、磁気抵抗素子120に大きさが異なる複数の電流I1a、I1b、I1cを供給する。例えば、電源電圧VFUSEとしては、磁気抵抗素子120をある抵抗状態（例えば、「弱ショート」の抵抗状態）から「0」の状態とする第1電圧、磁気抵抗素子120をある抵抗状態から「1」の抵抗状態とする第2電圧（>第1電圧）、磁気抵抗素子120をある抵抗状態から「完全ショート」の状態とする第3電圧（>第2電圧）が生成される。例えば、電源電圧VFUSEは、電圧生成回路6により生成されてもよい。

[0096] なお、電源電圧VFUSEの電圧値を変えて、大きさが異なる複数の電圧（電流）を磁気抵抗素子120に供給する以外の手段でも、大きさが異なる複数の電圧（電流）を磁気抵抗素子120に供給することが可能である。例

例えば、電源電圧  $V_{FUSE}$  を一定とし、その電源電圧  $V_{FUSE}$  を昇降回路により昇降させ、大きさが異なる複数の電圧を磁気抵抗素子 120 に供給するようにしてもよい。

[0097] 例えば、図 12 に示すように、三つの選択トランジスタ  $T1a$ 、 $T1b$ 、 $T1c$  が並列に設けられてもよい（4 値化の場合）。これらの選択トランジスタ  $T1a$ 、 $T1b$ 、 $T1c$  は、書き込み回路 60 の一部として機能する。書き込み回路 60 は、大きさが異なる電圧（電流）を生じさせるため、選択トランジスタ  $T1a$  のみをオン状態にする第 1 動作、二つの選択トランジスタ  $T1a$ 、 $T1b$  のみをオン状態にする第 2 動作、また、三つの選択トランジスタ  $T1a$ 、 $T1b$ 、 $T1c$  をオン状態にする第 3 動作を行う。各選択トランジスタ  $T1a$ 、 $T1b$ 、 $T1c$  のオン状態の個数に応じて、磁気抵抗素子 120 に供給される電圧（電流）が変化する。これにより、磁気抵抗素子 120 に大きさが異なる複数の電流  $I1a$ 、 $I1b$ 、 $I1c$  が供給される。なお、5 値化の場合には、四つの選択トランジスタが並列に設けられる。

[0098] （書き込み動作例）

本実施形態に係るメモリセル 100 への書き込み動作例について図 10 を参照して説明する。

[0099] 初期状態では、図 10 に示す全てのトランジスタ  $T1 \sim T9$  がオフ状態になっている。メモリセル 100 の磁気抵抗素子 120 にデータを書き込む場合、選択トランジスタ  $T1$  とフューズトランジスタ  $T2$  とがオン状態にされる。このとき、High の制御信号  $FA(n)$  が選択トランジスタ  $T1$  に供給され、Low レベルの制御信号  $FB(a)$  がフューズトランジスタ  $T2$  に供給される。

[0100] これにより、 $V_{FUSE}$  の電位線からフューズトランジスタ  $T2$  を経由して磁気抵抗素子 120 に電流  $I1$  が流れる。なお、 $V_{FUSE}$ （1～4 V）は、書き込む情報（例えば、0、1、2、3）に応じて制御回路 5 により変えられる。例えば、前述のように第 1 電圧、第 2 電圧及び第 3 電圧が生成される。これに応じて、例えば、第 1 電流  $I1a$ 、第 2 電流  $I1b$ 、第 3 電流

I<sub>1c</sub> (第1電流 I<sub>1a</sub> < 第2電流 I<sub>1b</sub> < 第3電流 I<sub>1c</sub>) が発生する (図11参照)。第1電流 I<sub>1a</sub> が磁気抵抗素子120に流れると、磁気抵抗素子120はある抵抗状態 (例えば、「弱ショート」) の抵抗状態から「0」の抵抗状態になる。第2電流 I<sub>1b</sub> が磁気抵抗素子120に流れると、磁気抵抗素子120はある抵抗状態から「1」の抵抗状態になる。第3電流 I<sub>1c</sub> が磁気抵抗素子120に流れると、磁気抵抗素子120はある抵抗状態から「完全ショート」の抵抗状態になる。これにより、データ (0、1、2、3) が磁気抵抗素子120に書き込まれる。

[0101] その後、磁気抵抗素子120への書き込みが終了すると、図10に示す全てのトランジスタT1~T9はオフ状態になり、初期状態に戻る。

[0102] (読み出し動作例)

本実施形態に係るメモリセル100への読み出し動作例について図10を参照して説明する。

[0103] メモリセル100の磁気抵抗素子120からデータを読み出すため、選択トランジスタT1、チャージトランジスタT3及びビット線選択トランジスタT4がオン状態にされる。このとき、Highの制御信号FA(n)が選択トランジスタT1に供給され、Lowレベルの制御信号FC(a)がチャージトランジスタT3に供給され、Highの制御信号CLがビット線選択トランジスタT4に供給される。

[0104] これにより、読み出し対象としての磁気抵抗素子120が選択され、チャージトランジスタT3からビット線選択トランジスタT4を経由し、磁気抵抗素子120に読み出し電流I<sub>2</sub>が流れる。この読み出し電流I<sub>2</sub>の流れる経路が、磁気抵抗素子120のバイアス経路である。このとき、比較器52の第1入力端子には、読み出し電流I<sub>2</sub>に応じて第1接続点P1の電圧V<sub>m</sub>が入力される。

[0105] 一方、参照電圧V<sub>ref</sub>を発生させるため、参照電圧生成器51の第3から第5参照トランジスタT5~T7がオン状態にされる。このとき、参照電圧生成器51は、第3から第5参照トランジスタT5~T7の各ゲートに、

Lowレベルの制御信号RC、Highレベルの制御信号RCL及びHighレベルの制御信号RA1を各々供給する。

[0106] これにより、第1参照抵抗素子R1が参照電圧生成器51内の電源電圧VDDによってバイアスされ、第1参照電流I3が発生する。このとき、比較器52の第2入力端子には、第1参照電流I3に応じて第2接続点P2の参照電圧Vrefが入力される。

[0107] 比較器52は、第1参照抵抗素子R1に第1参照電流I3が流れた状態で、読み出し回路50内の第1接続点P1の電圧(Vm)と、参照電圧生成器51内の第2接続点P2の参照電圧(Vref)とを比較し、磁気抵抗素子120の状態を読み出す(第1比較動作)。

[0108] なお、第1比較動作において、磁気抵抗素子120に読み出し電流I2が流れた状態では、第1接続点P1の電位(Vm)は、磁気抵抗素子120の抵抗値に対応する電位となる。また、第1比較動作において、第1参照抵抗素子R1に電流が流れた状態では、第2接続点P2の電位(Vref)は、第1参照抵抗素子R1の抵抗値(例えば、500(Ω))に対応する電位となる。したがって、比較器52における電圧信号SA1(Vm)と参照電圧信号SA2(Vref)との第1比較動作は、実質、磁気抵抗素子120の抵抗値と、第1参照抵抗素子R1の抵抗値(すなわち第1閾値)とを比較する動作と同等になる。

[0109] 比較器52は、第1接続点P1の電圧Vmが第2接続点P2の参照電圧Vref以下であるか否かを判定する( $V_m \leq V_{ref}$ )。比較器52は、電圧Vmが参照電圧Vref以下であると判定した場合、情報「0」に対応する信号(比較結果)を出力する。一方、電圧Vmが参照電圧Vrefより大きいと判定した場合には、情報「1」に対応する信号(比較結果)を出力する。この情報は、読み出し回路50の第1レジスタにより記憶される。その後、読み出し回路50は、第2比較動作を実行する。

[0110] 比較器52は、第2参照抵抗素子R2に第2参照電流I4が流れた状態で、読み出し回路50内の第1接続点P1の電圧(Vm)と、参照電圧生成器

51内の第2接続点P2の参照電圧 ( $V_{ref}$ ) とを比較し、磁気抵抗素子120の状態を読み出す (第2比較動作)。この第2比較動作は、閾値となる参照電圧  $V_{ref}$  が第1比較動作と異なる以外、第1比較動作と同様である。参照電圧  $V_{ref}$  は、第2参照抵抗素子R2の抵抗値 (例えば、2000 ( $\Omega$ )) に対応する電位となる。第2比較動作後、情報「0」又は「1」は、読み出し回路50の第2レジスタにより記憶される。その後、読み出し回路50は、第3比較動作を実行する。

[0111] 比較器52は、第3参照抵抗素子R3に第3参照電流  $I_5$  が流れた状態で、読み出し回路50内の第1接続点P1の電圧 ( $V_m$ ) と、参照電圧生成器51内の第2接続点P2の参照電圧 ( $V_{ref}$ ) とを比較し、磁気抵抗素子120の状態を読み出す (第3比較動作)。この第2比較動作は、閾値となる参照電圧  $V_{ref}$  が第1比較動作と異なる以外、第1比較動作と同様である。参照電圧  $V_{ref}$  は、第3参照抵抗素子R3の抵抗値 (例えば、8000 ( $\Omega$ )) に対応する電位となる。第3比較動作後、情報「0」又は「1」は、読み出し回路50の第3レジスタにより記憶される。その後、読み出し回路50は、比較動作を終了する。

[0112] その後、読み出し回路50は、第1レジスタから第4レジスタに取り込んだ各比較結果、すなわち判別結果に基づいて4値化 (0、1、2、3) を実現する (図8参照)。例えば、第1レジスタ、第2レジスタ及び第3レジスタの個々の判別結果が0である場合、情報は0となり、第1レジスタの判別結果が1であって第2レジスタ及び第3レジスタの個々の判別結果が0である場合、情報は1となる。また、第1レジスタ及び第2レジスタの個々の判別結果が1であって第3レジスタの判別結果が0である場合、情報は2となり、第1レジスタ、第2レジスタ及び第3レジスタの個々の判別結果が1である場合、情報は3となる。

[0113] なお、磁気抵抗素子120からの情報の読み出し方法は、前述の例に限定されるものではない。磁気抵抗素子120からの情報の読み出し方法としては、三つの閾値を用いて磁気抵抗素子120抵抗状態を識別できる方法であ

れば、任意の方法を用いることができる。例えば、前述では、最初に第1比較動作を行い、その後、第2比較動作を行い、最後に、第3比較動作を行っているが、それらの比較動作の順序を逆にしてもよい。

[0114] また、前述では、三回の比較動作を実行しているが、比較結果に応じて次の比較動作を行うか否かを切り替えてもよい。つまり、第1比較動作において電圧 $V_m$ が参照電圧 $V_{ref}$ より大きいと判定した場合だけ、第2比較動作に進み、第2比較動作において電圧 $V_m$ が参照電圧 $V_{ref}$ より大きいと判定した場合だけ、第3比較動作に進むようにしてもよい。この場合、比較器52は、第1比較動作において電圧 $V_m$ が参照電圧 $V_{ref}$ 以下であると判定した場合、情報「0」に対応する信号（比較結果）を出力し、第2比較動作において電圧 $V_m$ が参照電圧 $V_{ref}$ 以下であると判定した場合、情報「1」に対応する信号（比較結果）を出力する。また、比較器52は、第3比較動作において電圧 $V_m$ が参照電圧 $V_{ref}$ 以下であると判定した場合、情報「2」に対応する信号（比較結果）を出力し、第3比較動作において電圧 $V_m$ が参照電圧 $V_{ref}$ より大きいと判定した場合、情報「3」に対応する信号（比較結果）を出力する。

[0115] また、前述では、4値化を実現するために三回の比較動作を実行しているが、5値化を実現する場合には、第4参照抵抗素子などを含む必要な回路を追加し、前述と同様な比較動作を四回実行すればよい。

[0116] <1-8. 作用・効果>

以上説明したように、本実施形態によれば、記憶装置1は、識別可能な少なくとも四つの抵抗状態に変化する磁気抵抗素子（磁気抵抗記憶素子）120と、磁気抵抗素子120の磁化方向を変化させたり、磁気抵抗素子120にブロー電流を流したりすることで、磁気抵抗素子120を識別可能な少なくとも四つの抵抗状態に変える書き込み部（例えば、書き込み回路60）と、を備える。これにより、磁気抵抗素子120を少なくとも四つの抵抗状態に変えることが可能になるので、少なくとも4値化が実現され、メモリセル100の個数などを増加させずにメモリ容量を増やすことができる。したが

って、省スペースでのメモリ容量の増加を実現することができる。

[0117] また、磁気抵抗素子120は、磁化固定層122と、記憶層124と、磁化固定層122及び記憶層124の間に設けられた絶縁層（例えば、トンネルバリア層123）と、磁化固定層122及び記憶層124をつなぐ導電層126と、を有してもよい。これにより、磁気抵抗素子120を識別可能な少なくとも四つの抵抗状態に確実に変えることができる。

[0118] また、書き込み部は、磁気抵抗素子120にブロー電流を流し、導電層126を破壊して非導通状態にしてもよい。これにより、磁気抵抗素子120の抵抗状態を変えることができる。

[0119] また、書き込み部は、磁気抵抗素子120にブロー電流を流し、絶縁層を破壊して導通状態にしてもよい。これにより、磁気抵抗素子120の抵抗状態を変えることができる。

[0120] また、磁気抵抗素子120は、磁化固定層122又は記憶層124に積層された接続層（例えば、コンタクト層103又はコンタクト層104）をさらに有し、書き込み部は、磁気抵抗素子120にブロー電流を流し、接続層を破壊して非導通状態にしてもよい。これにより、磁気抵抗素子120の抵抗状態を変えることができる。

[0121] また、四つの抵抗状態は、導電層126が破壊されて非導通状態である抵抗状態を含んでもよい。これにより、識別可能な少なくとも四つの抵抗状態を実現することができる。

[0122] また、四つの抵抗状態は、絶縁層が破壊されて導通状態である抵抗状態を含んでもよい。これにより、識別可能な少なくとも四つの抵抗状態を実現することができる。

[0123] また、磁気抵抗素子120は、磁化固定層122又は記憶層124に積層された接続層（例えば、コンタクト層103又はコンタクト層104）をさらに有し、四つの抵抗状態は、接続層が破壊されて非導通状態である抵抗状態を含んでもよい。これにより、識別可能な少なくとも四つの抵抗状態を実現することができる。

- [0124] また、四つの抵抗状態は、磁化固定層 1 2 2 の磁化方向及び記憶層 1 2 4 の磁化方向が平行である抵抗状態と、磁化固定層 1 2 2 の磁化方向及び記憶層 1 2 4 の磁化方向が反平行である抵抗状態とを含んでもよい。これにより、識別可能な少なくとも四つの抵抗状態を実現することができる。
- [0125] また、導電層 1 2 6 は、絶縁層を横断するように磁気抵抗素子 1 2 0 の外周面に形成されていてもよい。これにより、磁気抵抗素子 1 2 0 に導電層 1 2 6 を容易に作成することができる。
- [0126] また、導電層 1 2 6 は、磁化固定層 1 2 2 及び記憶層 1 2 4 の一方又は両方の変質層であってもよい。これにより、変質層を利用して、磁気抵抗素子 1 2 0 に導電層 1 2 6 を容易に作成することができる。
- [0127] また、書き込み部は、4 値化を実現する場合、ブロー電流の大きさを変えて、磁気抵抗素子 1 2 0 を識別可能な少なくとも二つの抵抗状態に変えてもよい。これにより、磁気抵抗素子 1 2 0 の抵抗状態を確実に変えることができる。
- [0128] また、磁気抵抗素子 1 2 0 は、識別可能な五つの抵抗状態に変化する素子であり、書き込み部は、磁気抵抗素子 1 2 0 の磁化方向を変化させたり、磁気抵抗素子 1 2 0 にブロー電流を流したりすることで、磁気抵抗素子 1 2 0 を識別可能な五つの抵抗状態に変えてもよい。これにより、5 値化が実現されるので、メモリセル 1 0 0 の個数などを増加させずにメモリ容量を増やすことができる。
- [0129] また、書き込み部は、5 値化を実現する場合、ブロー電流の大きさを変えて、磁気抵抗素子 1 2 0 を識別可能な三つの抵抗状態に変えてもよい。これにより、磁気抵抗素子 1 2 0 の抵抗状態を確実に変えることができる。
- [0130] また、書き込み部は、出力電圧が異なる複数の電源電圧（例えば、電源電圧 V F U S E ( 1 ~ 4 V ) ) を用いて、ブロー電流の大きさを変えてもよい。これにより、大きさが異なるブロー電流を容易に生成することができる。
- [0131] また、書き込み部は、並列に接続された複数のトランジスタ（例えば、各選択トランジスタ T 1 a、T 1 b、T 1 c）を有し、複数のトランジスタの

個々の導通及び非導通を変え、ブロー電流の大きさを変えてもよい。これにより、大きさが異なるブロー電流を容易に生成することができる。

[0132] また、記憶装置 1 は、磁気抵抗素子 120 の抵抗値に関する電圧を読み出す読み出し部（例えば、読み出し回路 50）をさらに備え、読み出し部は、少なくとも四つの識別可能な抵抗状態を判別するための複数の参照電圧を生成する生成部（例えば、参照電圧生成器 51）と、電圧及び複数の参照電圧を比較して、少なくとも四つの識別可能な抵抗状態を判別する判別部（例えば、比較器 52）と、を有してもよい。これにより、磁気抵抗素子 120 の識別可能な少なくとも四つの抵抗状態を確実に判別することができる。

[0133] また、磁気抵抗素子 120 は、識別可能な五つの抵抗状態に変化する素子であり、生成部は、五つの識別可能な抵抗状態を判別するための複数の参照電圧を生成し、判別部は、電圧及び複数の参照電圧を比較して、五つの識別可能な抵抗状態を判別してもよい。これにより、磁気抵抗素子 120 の識別可能な五つの抵抗状態を確実に判別することができる。

[0134] <2. 他の実施形態>

上述した実施形態（又は変形例）に係る処理は、上記実施形態以外にも種々の異なる形態（変形例）にて実施されてよい。例えば、上記実施形態において説明した各処理のうち、自動的に行われるものとして説明した処理の全部または一部を手動的に行うこともでき、あるいは、手動的に行われるものとして説明した処理の全部または一部を公知の方法で自動的に行うこともできる。この他、上記文書中や図面中で示した処理手順、具体的名称、各種のデータやパラメータを含む情報については、特記する場合を除いて任意に変更することができる。例えば、各図に示した各種情報は、図示した情報に限られない。

[0135] また、図示した各装置の各構成要素は機能概念的なものであり、必ずしも物理的に図示の如く構成されていることを要しない。すなわち、各装置の分散・統合の具体的形態は図示のものに限られず、その全部または一部を、各種の負荷や使用状況などに応じて、任意の単位で機能的または物理的に分散

・統合して構成することができる。

[0136] また、上述した実施形態（又は変形例）は、処理内容を矛盾させない範囲で適宜組み合わせることが可能である。また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0137] <3. 電子機器の構成例>

前述の実施形態（変形例も含む）に係る記憶装置1を適用した電子機器として、撮像装置300、測距装置400及びゲーム機器900について図13から図16を参照して説明する。例えば、撮像装置300、測距装置400及びゲーム機器900は、前述の各実施形態に係る記憶装置1をメモリとして用いる。

[0138] <3-1. 撮像装置>

前述の実施形態に係る記憶装置1を適用した撮像装置300について図13を参照して説明する。図13は、撮像装置300の概略構成の一例を示す図である。この撮像装置300は、本実施形態に係る記憶装置1を適用した電子機器の一例である。撮像装置300としては、例えば、デジタルスチルカメラやビデオカメラ、撮像機能を有するスマートフォンや携帯電話機等の電子機器が挙げられる。

[0139] 図13に示すように、撮像装置300は、光学系301、シャッタ装置302、撮像素子303、制御回路（駆動回路）304、信号処理回路305、モニタ306及びメモリ307を備える。この撮像装置300は、静止画像および動画像を撮像可能である。

[0140] 光学系301は、1枚または複数枚のレンズを有する。この光学系301は、被写体からの光（入射光）を撮像素子303に導き、撮像素子303の受光面に結像させる。

[0141] シャッタ装置302は、光学系301および撮像素子303の間に配置される。このシャッタ装置302は、制御回路304の制御に従って、撮像素子303への光照射期間および遮光期間を制御する。

[0142] 撮像素子303は、光学系301およびシャッタ装置302を介して受光

面に結像される光に応じて、一定期間、信号電荷を蓄積する。撮像素子303に蓄積された信号電荷は、制御回路304から供給される駆動信号（タイミング信号）に従って転送される。

[0143] 制御回路304は、撮像素子303の転送動作およびシャッタ装置302のシャッタ動作を制御する駆動信号を出力して、撮像素子303およびシャッタ装置302を駆動する。

[0144] 信号処理回路305は、撮像素子303から出力された信号電荷に対して各種の信号処理を施す。信号処理回路305が信号処理を施すことにより得られた画像（画像データ）は、モニタ306に供給され、また、メモリ307に供給される。

[0145] モニタ306は、信号処理回路305から供給された画像データに基づき、撮像素子303により撮像された動画又は静止画を表示する。モニタ306としては、例えば、液晶パネルや有機EL（Electro Luminescence）パネル等のパネル型表示装置が用いられる。

[0146] メモリ307は、信号処理回路305から供給された画像データ、すなわち、撮像素子303により撮像された動画又は静止画の画像データを記憶する。メモリ307は、前述の実施形態に係る記憶装置1に相当する。

[0147] このように構成されている撮像装置300においても、メモリ307として、上述した記憶装置1を用いることにより、低消費電力な書き込みを実現することができる。

[0148] <3-2. 測距装置>

前述の実施形態に係る記憶装置1を適用した測距装置400について図14を参照して説明する。図14は、測距装置400の概略構成の一例を示す図である。この測距装置400は、本実施形態に係る記憶装置1を適用した電子機器の一例である。

[0149] 図14に示すように、測距装置（距離画像センサ）400は、光源部401と、光学系402と、固体撮像装置（撮像素子）403、制御回路（駆動回路）404、信号処理回路405、モニタ406及びメモリ407を備え

る。この測距装置400は、光源部401から被写体に向かって投光し、被写体の表面で反射された光（変調光やパルス光）を受光することにより、被写体までの距離に応じた距離画像を取得することができる。

[0150] 光源部401は、被写体に向かって投光する。光源部401としては、例えば、面光源としてレーザ光を射出する垂直共振器面発光レーザ（VCSEL: Vertical Cavity Surface Emitting LASER）アレイや、レーザダイオードをライン上に配列したレーザダイオードアレイが用いられる。なお、レーザダイオードアレイは、所定の駆動部（不図示）によって支持され、レーザダイオードの配列方向に垂直の方向にスキャンされる。

[0151] 光学系402は、1枚または複数枚のレンズを有する。この光学系402は、被写体からの光（入射光）を固体撮像装置403に導き、固体撮像装置403の受光面（センサ部）に結像させる。

[0152] 固体撮像装置403は、光学系402を介して受光面に結像される光に応じて、信号電荷を蓄積する。この固体撮像装置403から出力される受光信号（APD OUT）から求められる距離を示す距離信号が信号処理回路405に供給される。固体撮像装置403としては、例えば、イメージセンサ等の固体撮像素子が用いられる。

[0153] 制御回路404は、光源部401や固体撮像装置403等の動作を制御する駆動信号（制御信号）を出力し、光源部401や固体撮像装置403等を駆動する。

[0154] 信号処理回路405は、固体撮像装置403から供給された距離信号に対して各種の信号処理を施す。例えば、信号処理回路405は、距離信号に基づいて距離画像を構築する画像処理（例えば、ヒストグラム処理やピーク検出処理等）を行う。信号処理回路405が信号処理を施すことにより得られた画像（画像データ）は、モニタ406に供給され、また、メモリ407に供給される。

[0155] モニタ406は、信号処理回路405から供給された画像データに基づき、撮像素子303により撮像された距離画像を表示する。モニタ406とし

ては、例えば、液晶パネルや有機ELパネル等のパネル型表示装置が用いられる。

[0156] メモリ407は、信号処理回路405から供給された画像データ、すなわち、撮像素子303により撮像された距離画像の画像データを記憶する。メモリ407は、前述の実施形態に係る記憶装置1に相当する。

[0157] このように構成されている測距装置400においても、メモリ407として、上述した記憶装置1を用いることにより、低消費電力な書き込みを実現することができる。

[0158] <3-3. ゲーム機器>

前述の実施形態に係る記憶装置1を適用したゲーム機器900について図15及び図16を参照して説明する。図15は、ゲーム機器900の概略構成の一例を示す斜視図（外観斜視図）である。図16は、ゲーム機器900の概略構成の一例を示すブロック図である。このゲーム機器900は、本実施形態に係る記憶装置1を適用した電子機器の一例である。

[0159] 図15に示すように、ゲーム機器900は、例えば、横長の扁平な形状に形成された外筐901の内外に各構成が配置された外観を有する。

[0160] 外筐901の前面には、長手方向の中央部に表示パネル902が設けられる。また、表示パネル902の左右には、それぞれ周方向に離隔して配置された操作キー903及び操作キー904が設けられる。また、外筐901の前面の下端部には、操作キー905が設けられる。操作キー903、904、905は、方向キー又は決定キー等として機能し、表示パネル902に表示されるメニュー項目の選択やゲームの進行等に用いられる。

[0161] 外筐901の上面には、外部機器を接続するための接続端子906や電力供給用の供給端子907、外部機器との赤外線通信を行う受光窓908等が設けられる。

[0162] 図16に示すように、ゲーム機器900は、CPU (Central Processing Unit) を含む演算処理部910と、各種情報を記憶する記憶部920と、ゲーム機器900の各構成を制御する制御部930とを備える。演算処理部

910及び制御部930には、例えば、図示しないバッテリー等から電力が供給される。

[0163] 演算処理部910は、各種情報の設定またはアプリケーションの選択をユーザに行わせるためのメニュー画面を生成する。また、演算処理部910は、ユーザによって選択されたアプリケーションを実行する。

[0164] 記憶部920は、ユーザにより設定された各種情報を保持する。記憶部920は、前述の実施形態に係る記憶装置1に相当する。

[0165] 制御部930は、入力受付部931、通信処理部933及び電力制御部935を有する。入力受付部931は、例えば、操作キー903、904及び905の状態検出を行う。また、通信処理部933は、外部機器との間の通信処理を行う。電力制御部935は、ゲーム機器900の各部に供給される電力の制御を行う。

[0166] このように構成されているゲーム機器900においても、記憶部920として、上述した記憶装置1を用いることにより、低消費電力な書き込みを実現することができる。

[0167] なお、前述の実施形態に係る記憶装置1は、演算装置等を成す半導体回路とともに同一の半導体チップに搭載されて半導体装置（System-on-a-Chip：SoC）を構成してもよい。

[0168] また、前述の実施形態に係る記憶装置1は、上述のようにメモリ（記憶部）が搭載され得る各種の電子機器に実装されることが可能である。例えば、記憶装置1は、撮像装置300やゲーム機器900の他にも、HDD（ハードディスクドライブ）、ノートPC（Personal Computer）、モバイル機器（例えば、スマートフォンやタブレットPC等）、PDA（Personal Digital Assistant）、ウェアラブルデバイス、音楽機器等、各種の電子機器に搭載されてもよい。例えば、記憶装置1は、ストレージ等の各種メモリとして用いられる。

[0169] <4. 付記>

なお、本技術は以下のような構成も取ることができる。

(1)

識別可能な少なくとも四つの抵抗状態に変化する磁気抵抗記憶素子と、  
前記磁気抵抗記憶素子の磁化方向を変化させたり、前記磁気抵抗記憶素子  
にブロー電流を流したりすることで、前記磁気抵抗記憶素子を前記識別可能  
な少なくとも四つの抵抗状態に変える書き込み部と、  
を備える記憶装置。

(2)

前記磁気抵抗記憶素子は、磁化固定層と、記憶層と、前記磁化固定層及び  
前記記憶層の間に設けられた絶縁層と、前記磁化固定層及び前記記憶層をつ  
なぐ導電層と、を有する、  
前記(1)に記載の記憶装置。

(3)

前記書き込み部は、前記磁気抵抗記憶素子に前記ブロー電流を流し、前記  
導電層を破壊して非導通状態にする、  
前記(2)に記載の記憶装置。

(4)

前記書き込み部は、前記磁気抵抗記憶素子に前記ブロー電流を流し、前記  
絶縁層を破壊して導通状態にする、  
前記(2)又は(3)に記載の記憶装置。

(5)

前記磁気抵抗記憶素子は、前記磁化固定層又は前記記憶層に積層された接  
続層をさらに有し、  
前記書き込み部は、前記磁気抵抗記憶素子に前記ブロー電流を流し、前記  
接続層を破壊して非導通状態にする、  
前記(2)から(4)のいずれか一つに記載の記憶装置。

(6)

前記四つの抵抗状態は、前記導電層が破壊されて非導通状態である抵抗状  
態を含む、

前記（２）から（５）のいずれか一つに記載の記憶装置。

（７）

前記四つの抵抗状態は、前記絶縁層が破壊されて導通状態である抵抗状態を含む、

前記（２）から（６）のいずれか一つに記載の記憶装置。

（８）

前記磁気抵抗記憶素子は、前記磁化固定層又は前記記憶層に積層された接続層をさらに有し、

前記四つの抵抗状態は、前記接続層が破壊されて非導通状態である抵抗状態を含む、

前記（２）から（７）のいずれか一つに記載の記憶装置。

（９）

前記四つの抵抗状態は、前記磁化固定層の磁化方向及び前記記憶層の磁化方向が平行である抵抗状態と、前記磁化固定層の磁化方向及び前記記憶層の磁化方向が反平行である抵抗状態とを含む、

前記（６）から（８）のいずれか一つに記載の記憶装置。

（１０）

前記導電層は、前記絶縁層を横断するように前記磁気抵抗記憶素子の外周面に形成されている、

前記（２）から（９）のいずれか一つに記載の記憶装置。

（１１）

前記導電層は、前記磁化固定層及び前記記憶層の一方又は両方の変質層である、

前記（２）から（１０）のいずれか一つに記載の記憶装置。

（１２）

前記書き込み部は、前記ブロー電流の大きさを変えて、前記磁気抵抗記憶素子を識別可能な少なくとも二つの前記抵抗状態に変える、

前記（１）から（１１）のいずれか一つに記載の記憶装置。

(13)

前記磁気抵抗記憶素子は、識別可能な五つの抵抗状態に変化する素子であり、

前記書き込み部は、前記磁気抵抗記憶素子の磁化方向を変化させたり、前記磁気抵抗記憶素子にブロー電流を流したりすることで、前記磁気抵抗記憶素子を前記識別可能な五つの抵抗状態に変える、

前記(1)から(12)のいずれか一つに記載の記憶装置。

(14)

前記書き込み部は、前記ブロー電流の大きさを変えて、前記磁気抵抗記憶素子を識別可能な三つの前記抵抗状態に変える、

前記(13)に記載の記憶装置。

(15)

前記書き込み部は、出力電圧が異なる複数の電源電圧を用いて、前記ブロー電流の大きさを変える、

前記(1)から(14)のいずれか一つに記載の記憶装置。

(16)

前記書き込み部は、並列に接続された複数のトランジスタを有し、前記複数のトランジスタの個々の導通及び非導通を変え、前記ブロー電流の大きさを変える、

前記(1)から(14)のいずれか一つに記載の記憶装置。

(17)

前記磁気抵抗記憶素子の抵抗値に関する電圧を読み出す読み出し部をさらに備え、

前記読み出し部は、

前記少なくとも四つの識別可能な抵抗状態を判別するための複数の参照電圧を生成する生成部と、

前記電圧及び前記複数の参照電圧を比較して、前記少なくとも四つの識別可能な抵抗状態を判別する判別部と、

を有する、

前記（１）から（１６）のいずれか一つに記載の記憶装置。

（１８）

前記磁気抵抗記憶素子は、識別可能な五つの抵抗状態に変化する素子であり、

前記生成部は、前記五つの識別可能な抵抗状態を判別するための複数の参照電圧を生成し、

前記判別部は、前記電圧及び前記複数の参照電圧を比較して、前記五つの識別可能な抵抗状態を判別する、

前記（１７）に記載の記憶装置。

（１９）

情報を記憶する記憶装置を備え、

前記記憶装置は、

識別可能な少なくとも四つの抵抗状態に変化する磁気抵抗記憶素子と、

前記磁気抵抗記憶素子の磁化方向を変化させたり、前記磁気抵抗記憶素子にブロー電流を流したりすることで、前記磁気抵抗記憶素子を前記識別可能な少なくとも四つの抵抗状態に変える書き込み部と、

を有する、電子機器。

（２０）

識別可能な少なくとも四つの抵抗状態に変化する磁気抵抗記憶素子の磁化方向を変化させたり、前記磁気抵抗記憶素子にブロー電流を流したりすることで、前記磁気抵抗記憶素子の抵抗状態を前記識別可能な少なくとも四つの抵抗状態に変える、

記憶装置の制御方法。

（２１）

前記（１）から（１８）のいずれか一つに記載の記憶装置を備える、電子機器。

（２２）

前記（１）から（１８）のいずれか一つに記載の記憶装置を制御する、記憶装置の制御方法。

### 符号の説明

[0170]	1	記憶装置
	5	制御回路
	6	電圧生成回路
	10	メモリセルアレイ
	11	ワード線
	12	ビット線
	13	ソース線
	20	ワードライン制御回路
	30	ビットライン制御回路
	40	センスアンプ
	50	読み出し回路
	51	参照電圧生成器
	52	比較器
	60	書き込み回路
	100	メモリセル
	101	配線
	102	配線
	103	コンタクト層
	104	コンタクト層
	110	選択素子
	120	磁気抵抗素子（磁気抵抗記憶素子）
	121	下地層
	122	磁化固定層
	123	トンネルバリア層
	124	記憶層

- 1 2 5 キャップ層
- 1 2 6 導電層
- 3 0 0 撮像装置
- 3 0 5 信号処理回路
- 3 0 7 メモリ
- 4 0 0 測距装置
- 4 0 5 信号処理回路
- 4 0 7 メモリ
- 9 0 0 ゲーム機器
- 9 1 0 演算処理部
- 9 2 0 記憶部
- R 1 参照抵抗素子
- R 2 参照抵抗素子
- R 3 参照抵抗素子
- T 1 選択トランジスタ
- T 2 フューズトランジスタ
- T 3 チャージトランジスタ
- T 4 ビット線選択トランジスタ
- T 5 参照トランジスタ
- T 6 参照トランジスタ
- T 7 参照トランジスタ
- T 8 参照トランジスタ
- T 9 参照トランジスタ

## 請求の範囲

- [請求項1] 識別可能な少なくとも四つの抵抗状態に変化する磁気抵抗記憶素子と、
- 前記磁気抵抗記憶素子の磁化方向を変化させたり、前記磁気抵抗記憶素子にブロー電流を流したりすることで、前記磁気抵抗記憶素子を前記識別可能な少なくとも四つの抵抗状態に変える書き込み部と、
- を備える記憶装置。
- [請求項2] 前記磁気抵抗記憶素子は、磁化固定層と、記憶層と、前記磁化固定層及び前記記憶層の間に設けられた絶縁層と、前記磁化固定層及び前記記憶層をつなぐ導電層と、を有する、
- 請求項1に記載の記憶装置。
- [請求項3] 前記書き込み部は、前記磁気抵抗記憶素子に前記ブロー電流を流し、前記導電層を破壊して非導通状態にする、
- 請求項2に記載の記憶装置。
- [請求項4] 前記書き込み部は、前記磁気抵抗記憶素子に前記ブロー電流を流し、前記絶縁層を破壊して導通状態にする、
- 請求項2に記載の記憶装置。
- [請求項5] 前記磁気抵抗記憶素子は、前記磁化固定層又は前記記憶層に積層された接続層をさらに有し、
- 前記書き込み部は、前記磁気抵抗記憶素子に前記ブロー電流を流し、前記接続層を破壊して非導通状態にする、
- 請求項2に記載の記憶装置。
- [請求項6] 前記四つの抵抗状態は、前記導電層が破壊されて非導通状態である抵抗状態を含む、
- 請求項2に記載の記憶装置。
- [請求項7] 前記四つの抵抗状態は、前記絶縁層が破壊されて導通状態である抵抗状態を含む、
- 請求項2に記載の記憶装置。

- [請求項8] 前記磁気抵抗記憶素子は、前記磁化固定層又は前記記憶層に積層された接続層をさらに有し、  
前記四つの抵抗状態は、前記接続層が破壊されて非導通状態である抵抗状態を含む、  
請求項2に記載の記憶装置。
- [請求項9] 前記四つの抵抗状態は、前記磁化固定層の磁化方向及び前記記憶層の磁化方向が平行である抵抗状態と、前記磁化固定層の磁化方向及び前記記憶層の磁化方向が反平行である抵抗状態とを含む、  
請求項6に記載の記憶装置。
- [請求項10] 前記導電層は、前記絶縁層を横断するように前記磁気抵抗記憶素子の外周面に形成されている、  
請求項2に記載の記憶装置。
- [請求項11] 前記導電層は、前記磁化固定層及び前記記憶層の一方又は両方の変質層である、  
請求項2に記載の記憶装置。
- [請求項12] 前記書き込み部は、前記ブロー電流の大きさを変えて、前記磁気抵抗記憶素子を識別可能な少なくとも二つの前記抵抗状態に変える、  
請求項1に記載の記憶装置。
- [請求項13] 前記磁気抵抗記憶素子は、識別可能な五つの抵抗状態に変化する素子であり、  
前記書き込み部は、前記磁気抵抗記憶素子の磁化方向を変化させたり、前記磁気抵抗記憶素子にブロー電流を流したりすることで、前記磁気抵抗記憶素子を前記識別可能な五つの抵抗状態に変える、  
請求項1に記載の記憶装置。
- [請求項14] 前記書き込み部は、前記ブロー電流の大きさを変えて、前記磁気抵抗記憶素子を識別可能な三つの前記抵抗状態に変える、  
請求項13に記載の記憶装置。
- [請求項15] 前記書き込み部は、出力電圧が異なる複数の電源電圧を用いて、前

記ブロー電流の大きさを変える、

請求項 1 に記載の記憶装置。

[請求項16]

前記書き込み部は、並列に接続された複数のトランジスタを有し、前記複数のトランジスタの個々の導通及び非導通を変え、前記ブロー電流の大きさを変える、

請求項 1 に記載の記憶装置。

[請求項17]

前記磁気抵抗記憶素子の抵抗値に関する電圧を読み出す読み出し部をさらに備え、

前記読み出し部は、

前記少なくとも四つの識別可能な抵抗状態を判別するための複数の参照電圧を生成する生成部と、

前記電圧及び前記複数の参照電圧を比較して、前記少なくとも四つの識別可能な抵抗状態を判別する判別部と、

を有する、

請求項 1 に記載の記憶装置。

[請求項18]

前記磁気抵抗記憶素子は、識別可能な五つの抵抗状態に変化する素子であり、

前記生成部は、前記五つの識別可能な抵抗状態を判別するための複数の参照電圧を生成し、

前記判別部は、前記電圧及び前記複数の参照電圧を比較して、前記五つの識別可能な抵抗状態を判別する、

請求項 17 に記載の記憶装置。

[請求項19]

情報を記憶する記憶装置を備え、

前記記憶装置は、

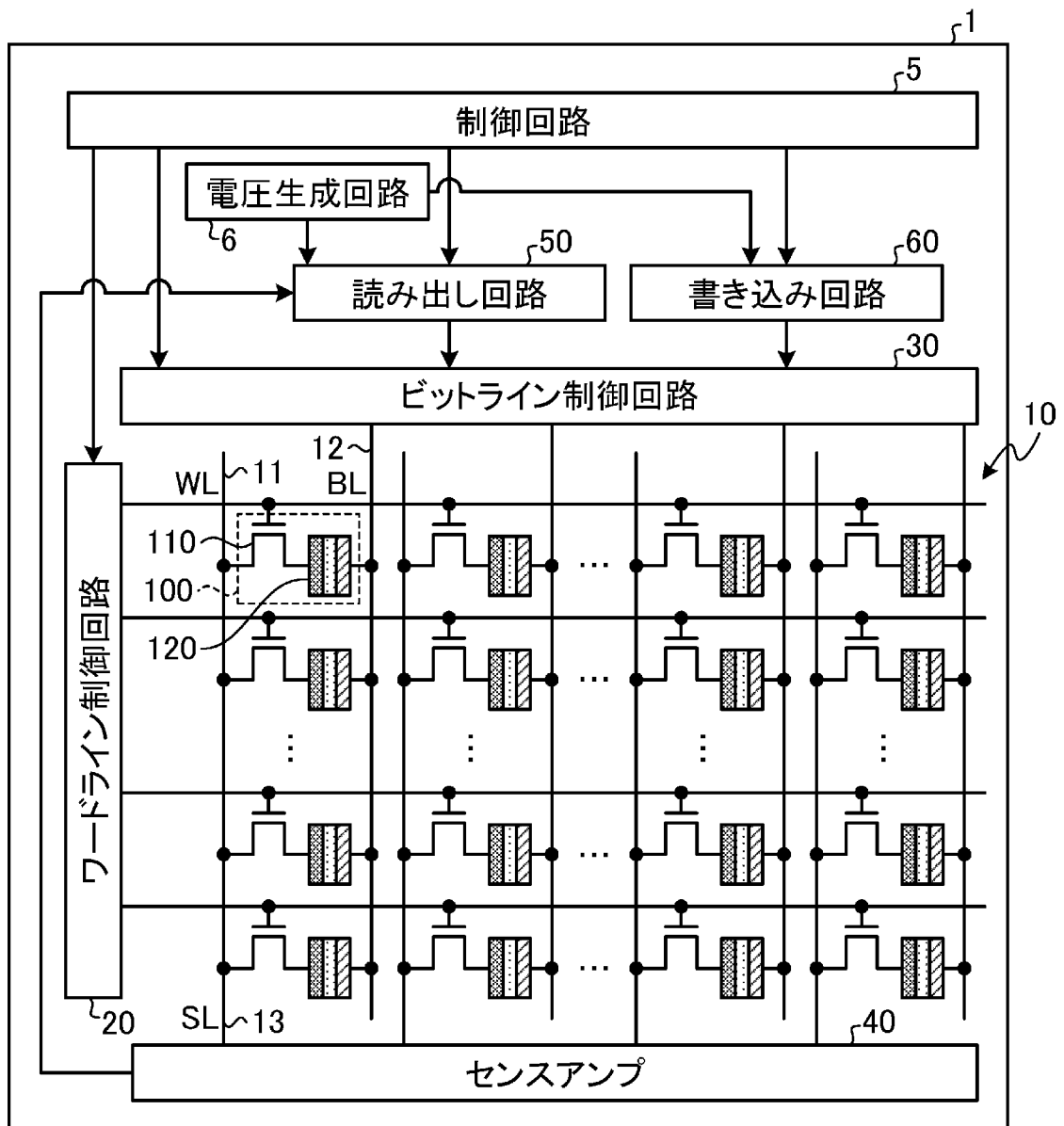
識別可能な少なくとも四つの抵抗状態に変化する磁気抵抗記憶素子と、

前記磁気抵抗記憶素子の磁化方向を変化させたり、前記磁気抵抗記憶素子にブロー電流を流したりすることで、前記磁気抵抗記憶素子を

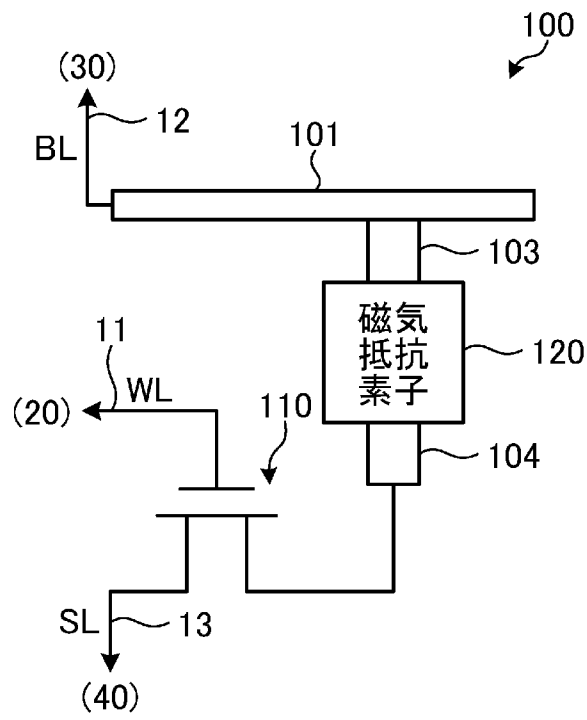
前記識別可能な少なくとも四つの抵抗状態に変える書き込み部と、  
を有する、電子機器。

[請求項20] 識別可能な少なくとも四つの抵抗状態に変化する磁気抵抗記憶素子の磁化方向を変化させたり、前記磁気抵抗記憶素子にブロー電流を流したりすることで、前記磁気抵抗記憶素子の抵抗状態を前記識別可能な少なくとも四つの抵抗状態に変える、  
記憶装置の制御方法。

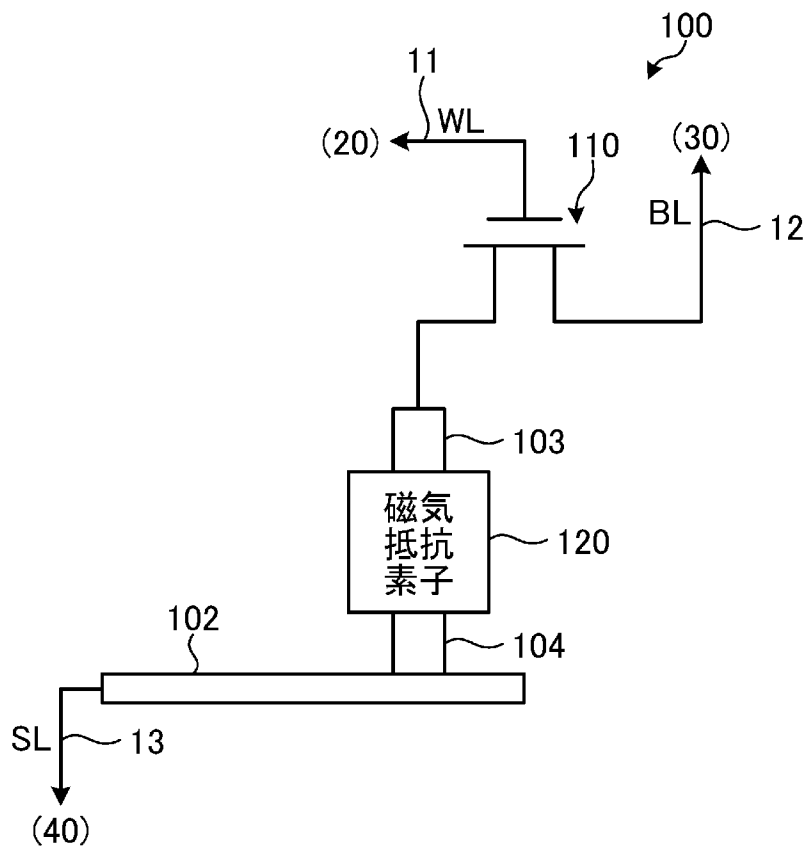
[図1]



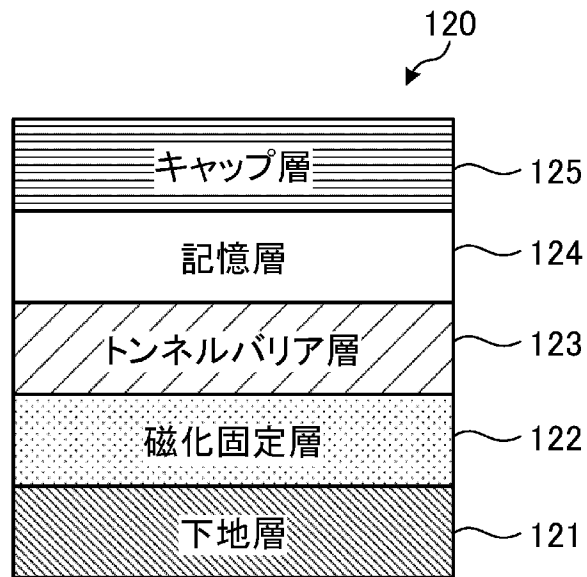
[図2]



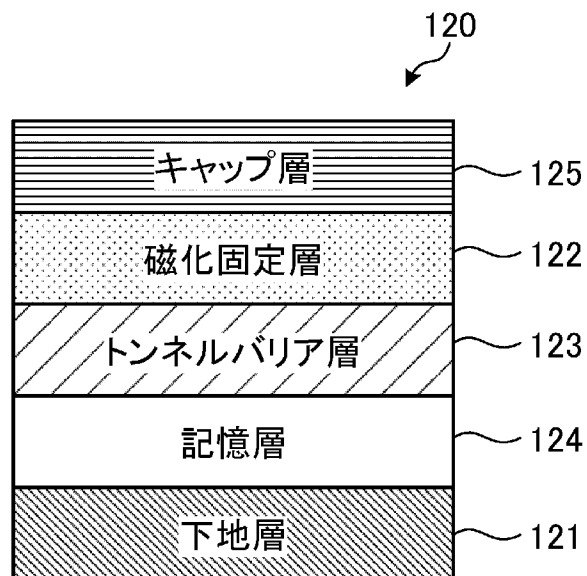
[図3]



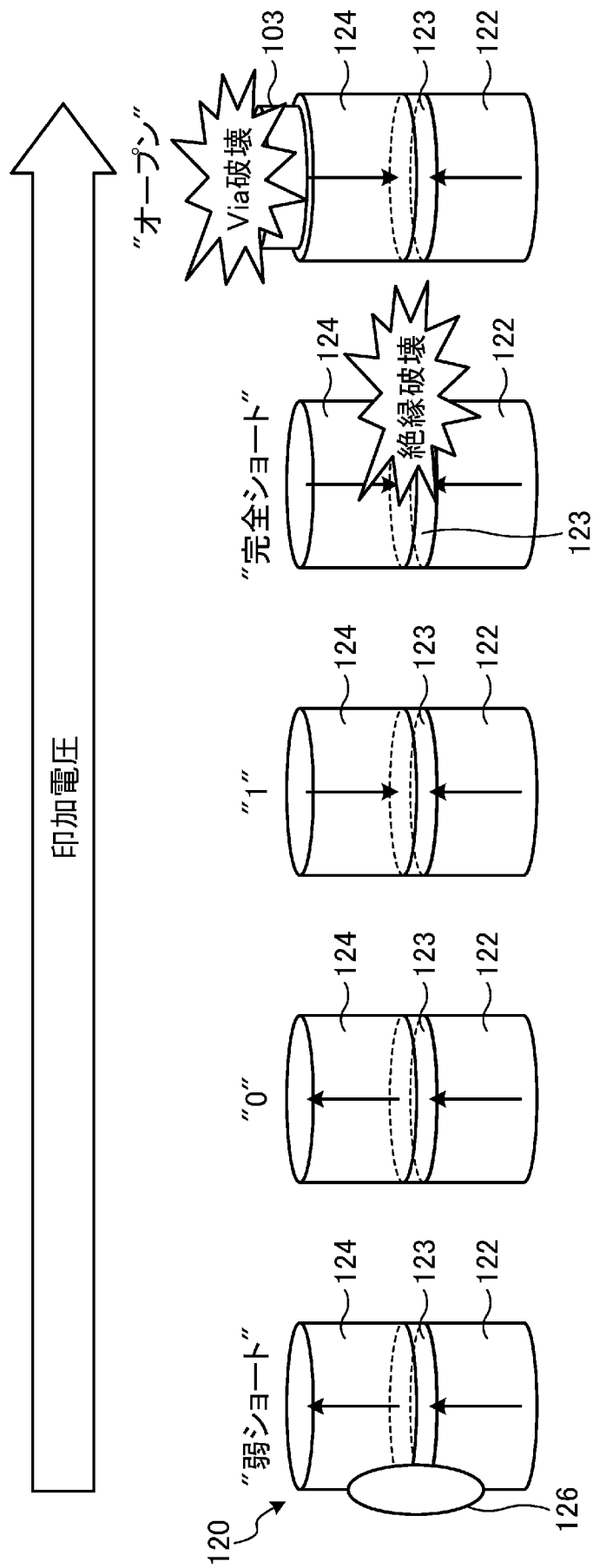
[図4]



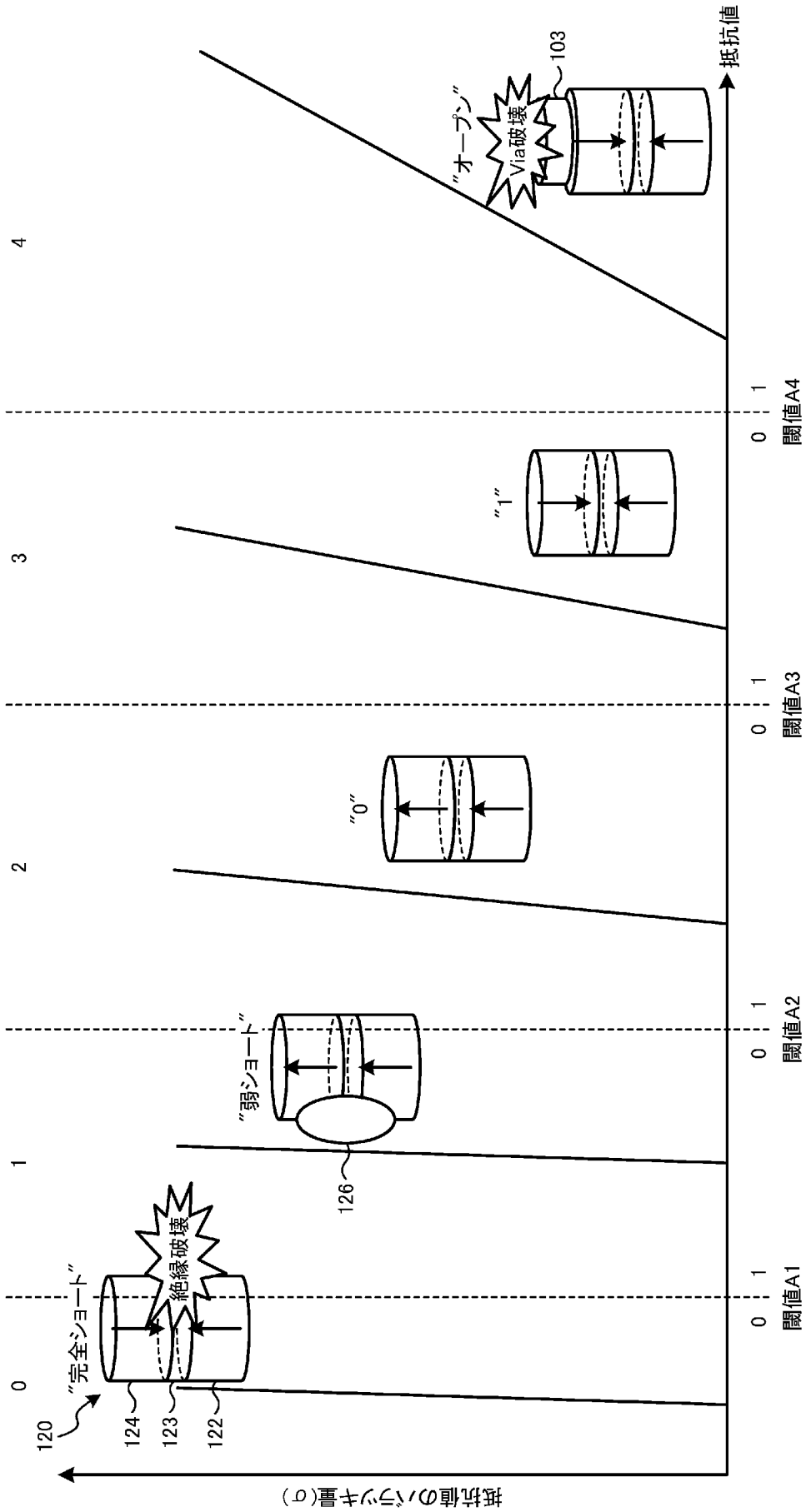
[図5]



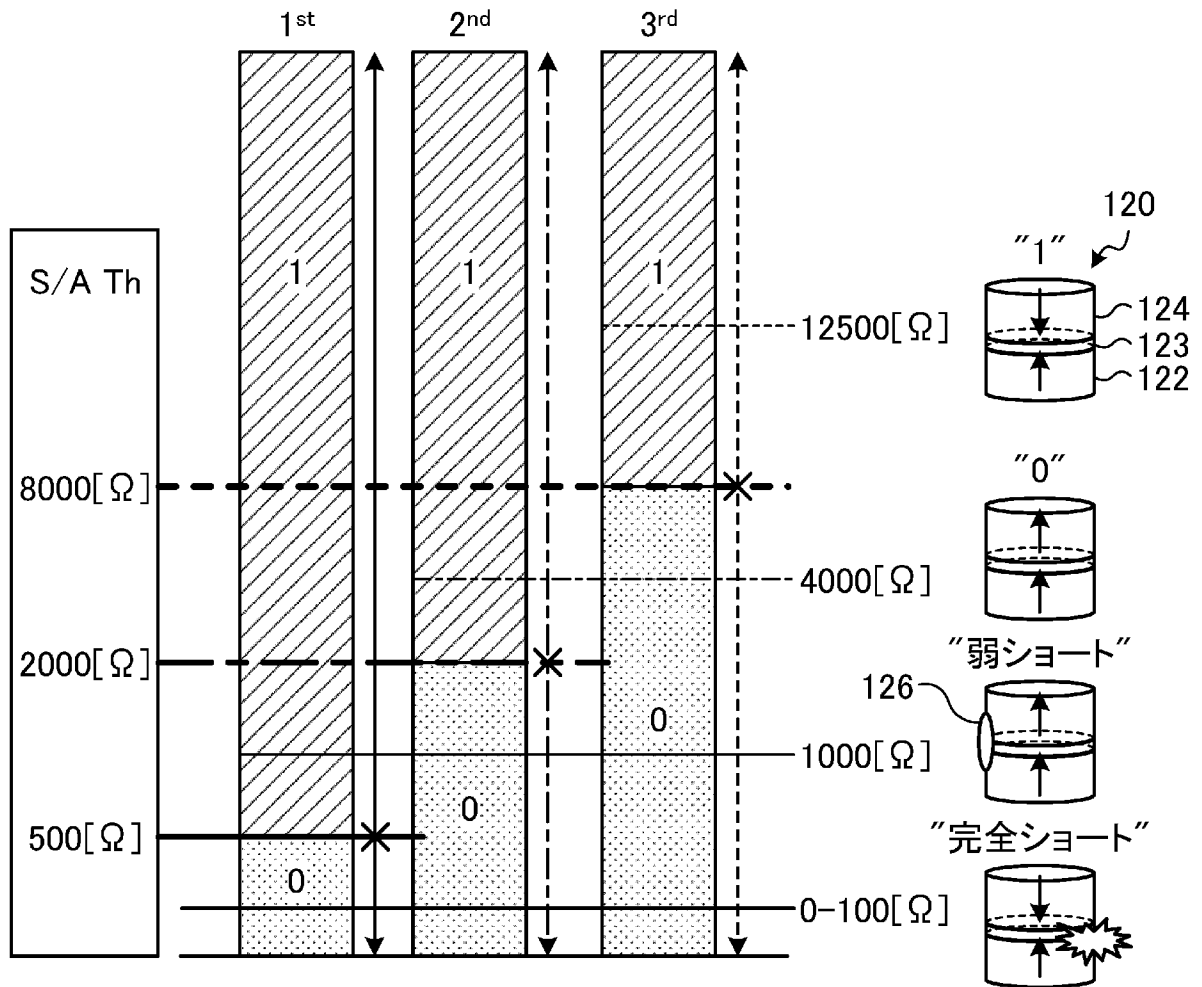
[図6]



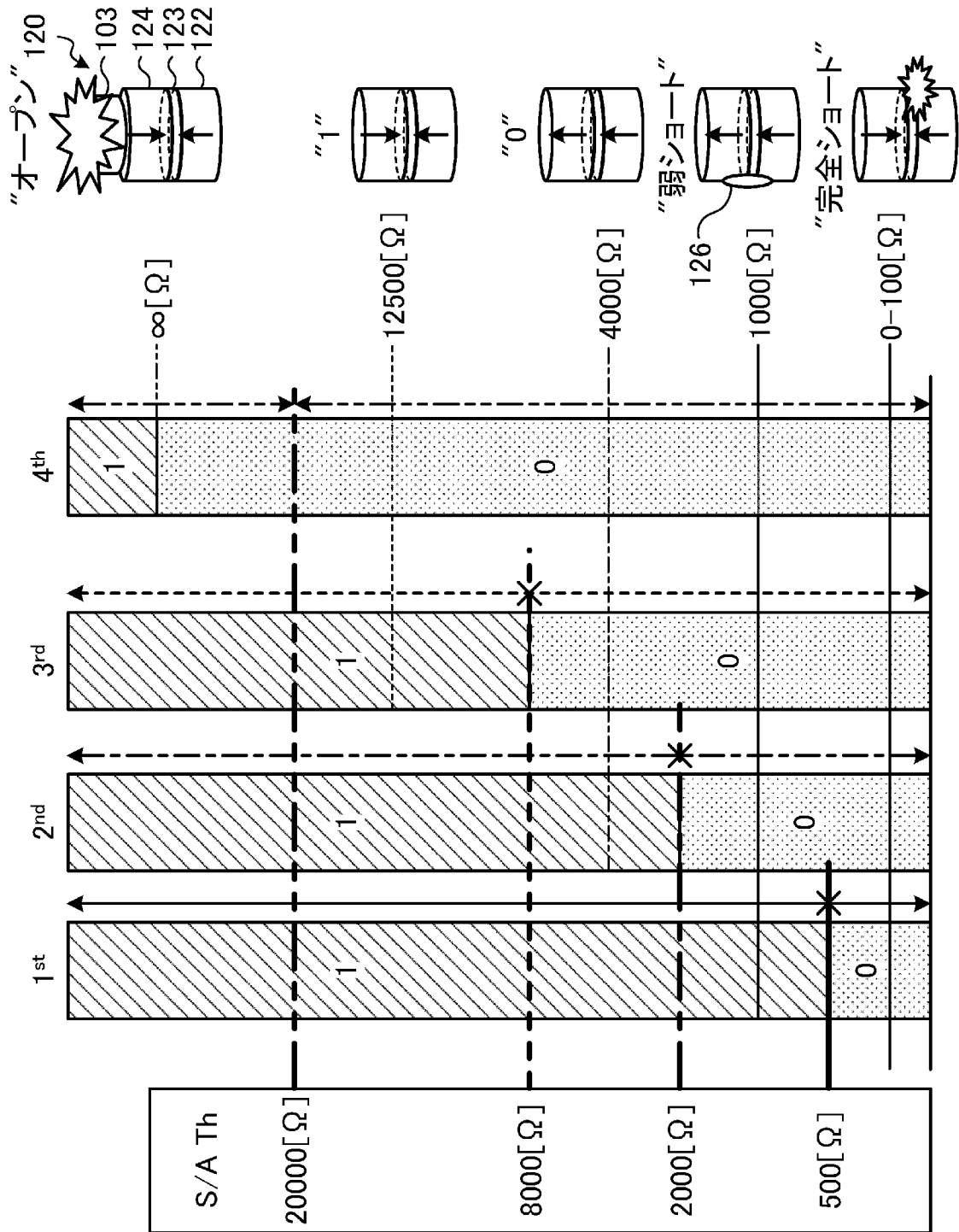
[図7]



[図8]

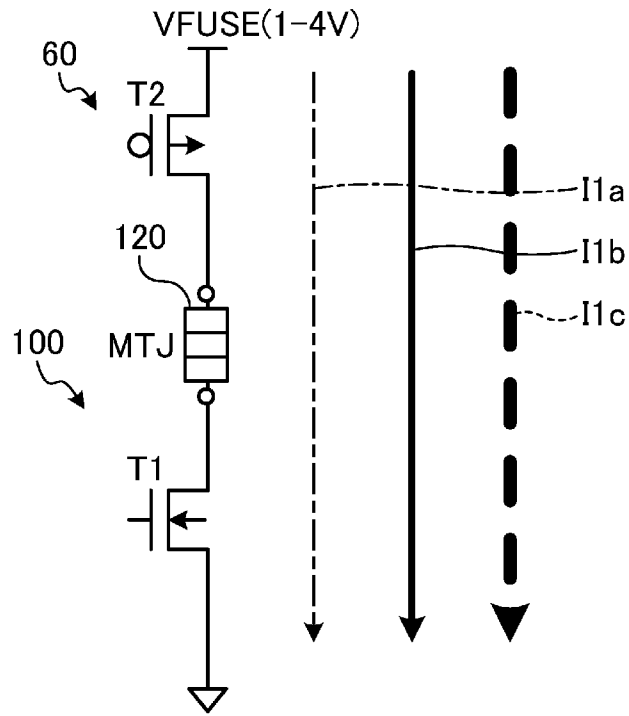


[図9]

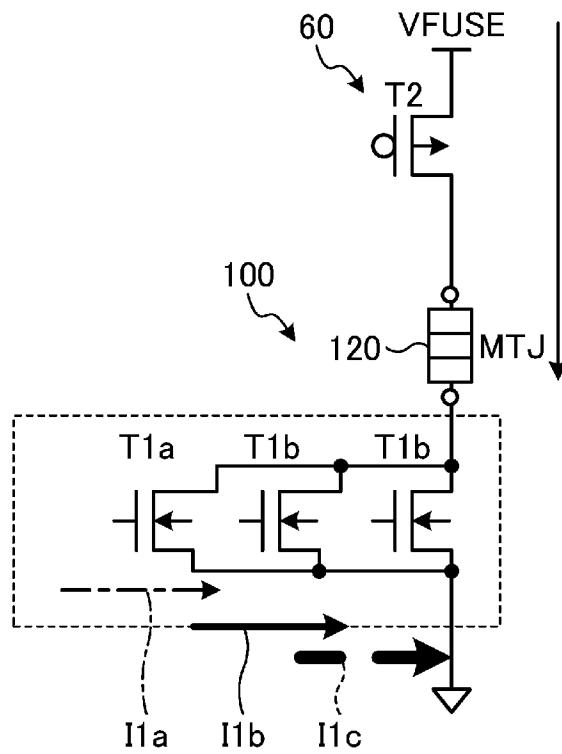




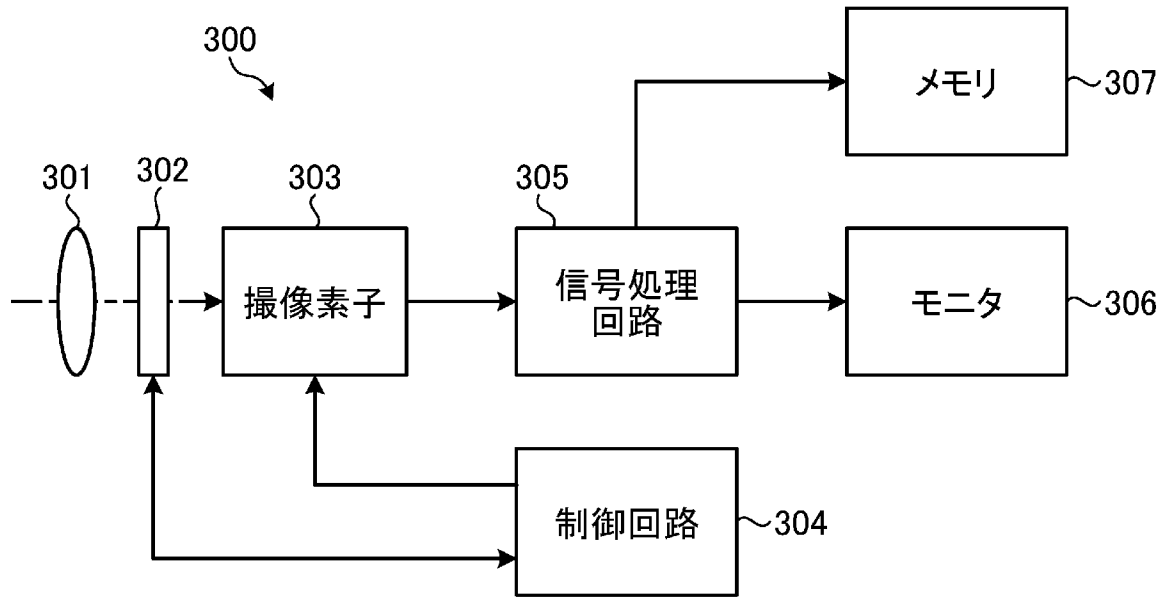
[圖11]



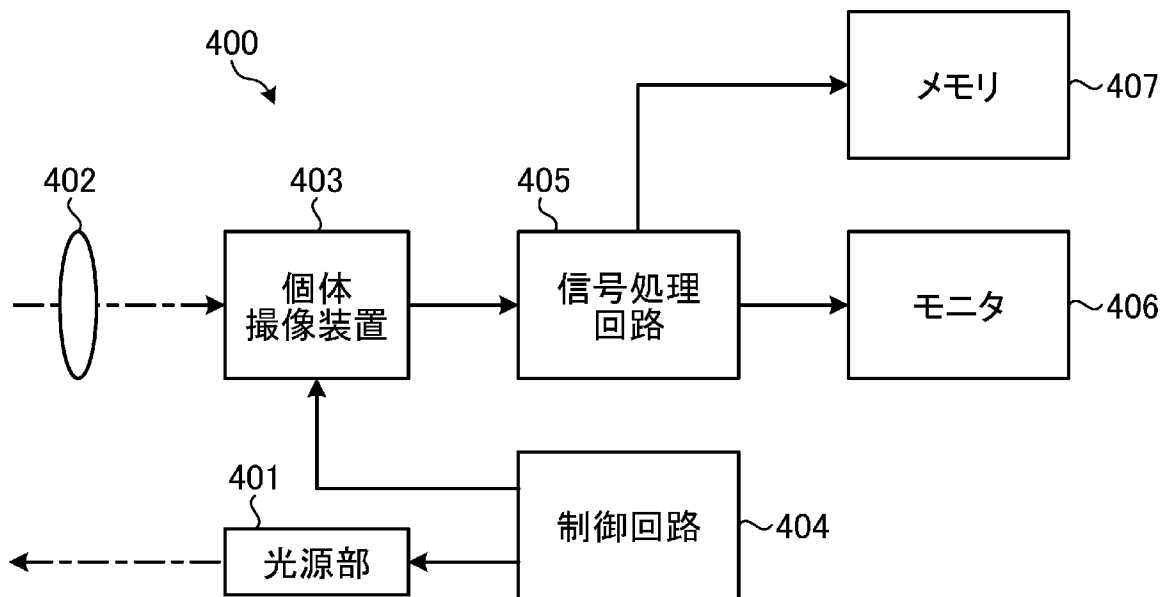
[圖12]



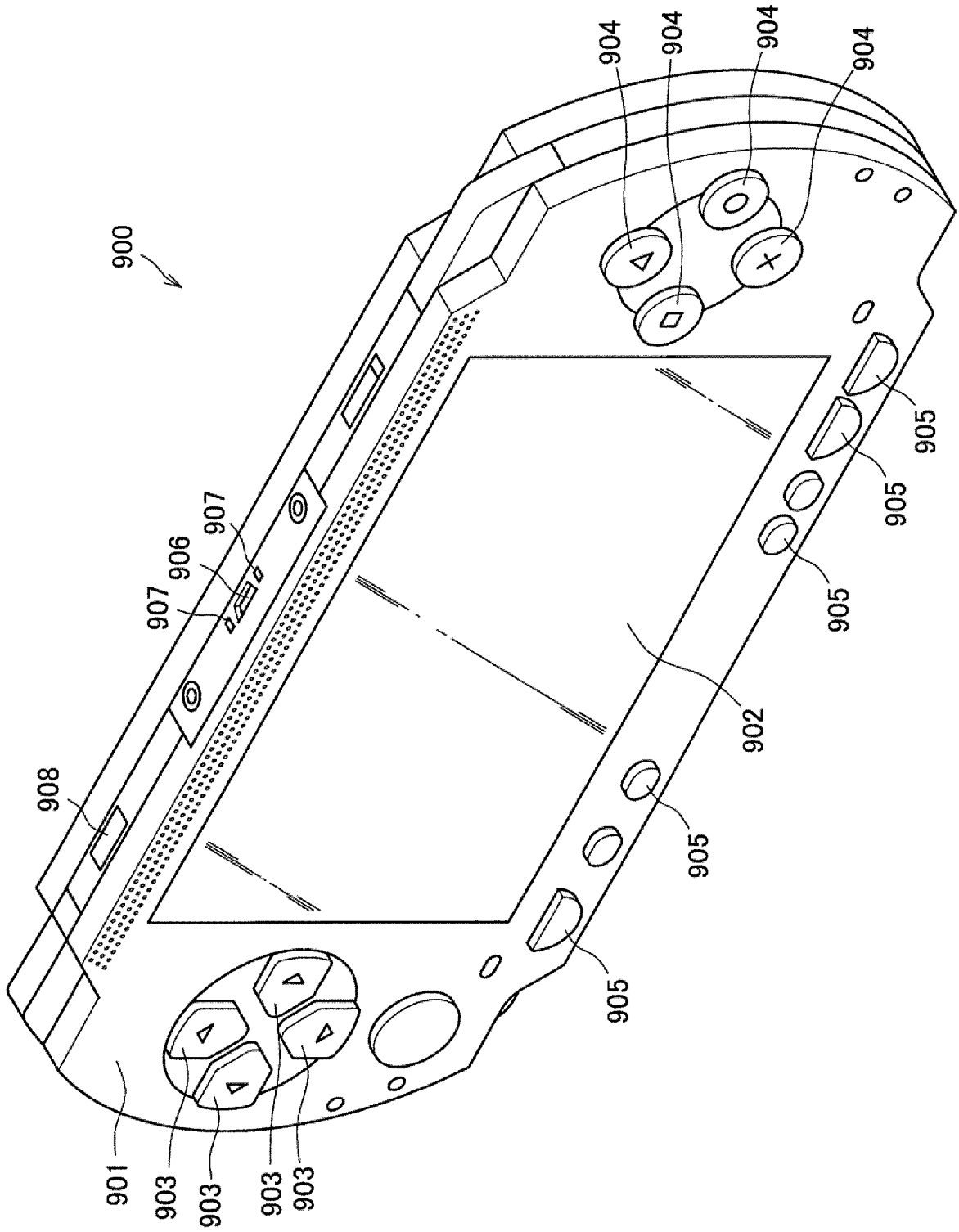
[図13]



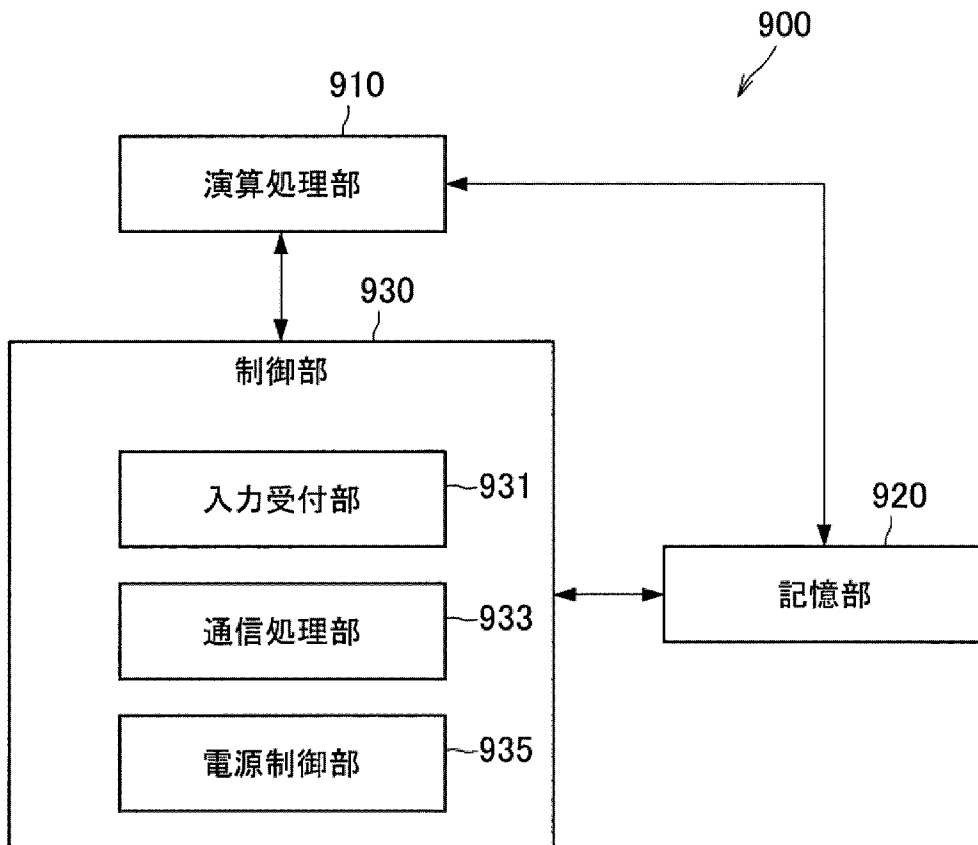
[図14]



[図15]



[図16]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/025590

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>G11C 11/56</i> (2006.01)i; <i>H01L 29/82</i> (2006.01)i; <i>H10B 61/00</i> (2023.01)i; <i>H10N 50/10</i> (2023.01)i FI: G11C11/56 100; H10B61/00; H01L29/82 Z; H10N50/10 Z; G11C11/56 600		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) G11C11/56; H01L29/82; H10B61/00; H10N50/10		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-246567 A (TOSHIBA CORP) 30 August 2002 (2002-08-30) paragraphs [0081]-[0095], fig. 3-5, 38	1-20
A	JP 2020-155727 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 24 September 2020 (2020-09-24) paragraphs [0019]-[0023], [0039]-[0058], [0191], fig. 2, 4-6	1-20
A	JP 2008-187183 A (SAMSUNG ELECTRONICS CO LTD) 14 August 2008 (2008-08-14) paragraphs [0034]-[0038], fig. 1, 2	1-20
A	JP 2009-59807 A (FUJITSU LTD) 19 March 2009 (2009-03-19) paragraphs [0028]-[0033], [0037]-[0042], fig. 2, 4	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>01 September 2023</b>		Date of mailing of the international search report <b>12 September 2023</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No. <b>PCT/JP2023/025590</b>
-----------------------------------------------------------

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2002-246567 A	30 August 2002	US 2002/0149962 A1 paragraphs [0088]-[0102], fig. 5, 8-10	
JP 2020-155727 A	24 September 2020	US 2022/0157395 A1 paragraphs [0036]-[0040], [0056]-[0075], [0210], fig. 2, 4-6 CN 113574693 A	
JP 2008-187183 A	14 August 2008	US 2011/0194338 A1 paragraphs [0040]-[0044], fig. 1, 2	
JP 2009-59807 A	19 March 2009	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G11C 11/56(2006.01)i; H01L 29/82(2006.01)i; H10B 61/00(2023.01)i; H10N 50/10(2023.01)i FI: G11C11/56 100; H10B61/00; H01L29/82 Z; H10N50/10 Z; G11C11/56 600		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G11C11/56; H01L29/82; H10B61/00; H10N50/10 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-246567 A (株式会社東芝) 30.08.2002 (2002 - 08 - 30) 段落[0081]-[0095]、図3-5, 38	1-20
A	JP 2020-155727 A (ソニーセミコンダクタソリューションズ株式会社) 24.09.2020 (2020 - 09 - 24) 段落[0019]-[0023], [0039]-[0058], [0191]、図2, 4-6	1-20
A	JP 2008-187183 A (三星電子株式会社) 14.08.2008 (2008 - 08 - 14) 段落[0034]-[0038]、図1, 2	1-20
A	JP 2009-59807 A (富士通株式会社) 19.03.2009 (2009 - 03 - 19) 段落[0028]-[0033], [0037]-[0042]、図2, 4	1-20
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	01.09.2023	国際調査報告の発送日 12.09.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  後藤 彰 5S 4226  電話番号 03-3581-1101 内線 3546	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号  
 PCT/JP2023/025590

引用文献	公表日	パテントファミリー文献	公表日
JP 2002-246567 A	30.08.2002	US 2002/0149962 A1 段落[0088]-[0102]、 図5, 8-10	
JP 2020-155727 A	24.09.2020	US 2022/0157395 A1 段落[0036]-[0040], [0056]- [0075], [0210]、 図2, 4-6 CN 113574693 A	
JP 2008-187183 A	14.08.2008	US 2011/0194338 A1 段落[0040]-[0044]、 図1, 2	
JP 2009-59807 A	19.03.2009	(ファミリーなし)	