



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.

H01L 27/12 (2006.01)

H01L 27/092 (2006.01)

H01L 47/00 (2006.01)

G02B 6/02 (2006.01)

(45) 공고일자

2007년08월01일

(11) 등록번호

10-0745275

(24) 등록일자

2007년07월26일

(21) 출원번호 10-2005-7020085

(65) 공개번호

10-2006-0003046

(22) 출원일자 2005년10월21일

(43) 공개일자

2006년01월09일

심사청구일자 2005년11월04일

번역문 제출일자 2005년10월21일

(86) 국제출원번호 PCT/US2004/012236

(87) 국제공개번호

WO 2004/095112

국제출원일자 2004년04월21일

국제공개일자

2004년11월04일

(30) 우선권주장 10/828,898

2004년04월21일

미국(US)

60/464,491

2003년04월21일

미국(US)

(73) 특허권자

시오텍 인코포레이티드

미국 18195 펜실베이니아 알렌타운 로워 레벨 원저 드라이브 7540

(72) 발명자

파텔 비폴쿠마

미국, 뉴저지 08852, 몬마우쓰 정션, 팔콘게이트 드라이브 607

기론 마가렛

미국, 펜실베이니아 18103, 알렌타운, 셔우드 로드 1875

고토스카 프라카시

미국, 펜실베이니아 18104, 알렌타운, 윈더미어 코트 6749

몽고메리 로버트 키스

미국, 펜실베이니아 18040, 이스턴, 하위 스트리트 810

샤스트리 칼헨두

미국, 펜실베이니아 18069, 오레필드, 윌로우 웨이 5529

파탁 소함

미국, 펜실베이니아 18106, 알렌타운, 팔로미노 드라이브 6099

야누세프스키 캐서린 에이.

미국, 펜실베이니아 18092, 지온스빌, 스타인 로드 7487

(74) 대리인

허용록

(56) 선행기술조사문헌

WO2002093203 A2

US 6284629 B1

심사관 : 안철홍

전체 청구항 수 : 총 9 항

(54) 전자 디바이스들을 갖는 실리콘-기반 광학 디바이스들의 CMOS-호환형 집적

(57) 요약

종래의 CMOS 제조 기술은 통상적인 SOI 구조상에서 표준 CMOS 전기 디바이스들과 수동 광학 디바이스들 및 능동 전기-광학 디바이스들을 집적하는데 사용된다. 전기 디바이스들 및 광학 디바이스들은 동일한 표면 SOI 층(상대적으로 얇은 단결정 실리콘층)을 공유하는데, 그 후, 각종 필요로 되는 반도체 층들이 SOI 층 위에 형성된다. 어떤 경우들에서, 프로세스 단계들의 세트는 전기 및 광학 디바이스들 둘 다의 영역들을 동시에 형성하도록 사용될 수 있다. 동일한 금속화 프로세스가 전기 디바이스들 및 능동 전기-광학 디바이스들에 전기 접속들을 제공하도록 사용되는데 유용하다.

대표도

도 3

특허청구의 범위

청구항 1.

SOI-기반 전기-광학 배열로서,

실리콘 기판;

매립된 유전체 층;

광학 결합 밀도를 최소화하기 위하여 에피택셜 성장 프로세스를 사용하여 형성된 단결정 실리콘(SOI: single crystal silicon) 층으로서, 상기 단결정 실리콘 층은 상기 매립된 유전체 층 상에 배치되는, 상기 단결정 실리콘 층; 및

적어도 부분적으로 상기 SOI 층 내에 형성된 적어도 하나의 광학 컴포넌트 에어리어를 포함하며, 상기 적어도 하나의 광학 컴포넌트 에어리어는 상기 SOI 층의 부분 상에 배치된 1000Å 이하의 유전체 층 및 상기 SOI 층을 적어도 부분적으로 중첩하도록 상기 유전체 층 상에 배치된 실리콘 층을 포함하고,

상기 배열은, 적어도 하나의 전기 컴포넌트 에어리어로서,

상기 SOI 층의 분리된 부분 위에 배치되는 1000Å 이하의 유전체 층; 및

상기 유전체 층 위에 배치되며 금속성 전도성을 가지도록 도핑된 게이트 실리콘층(gate silicon layer doped to exhibit metal-like conductivity)으로서, 하나 이상의 광학 디바이스들은 각각의 상기 광학 컴포넌트 에어리어들에서 형성되고 하나 이상의 전기 디바이스들은 각각의 상기 전기 컴포넌트 에어리어들에서 형성되는, 상기 게이트 금속형 실리콘층을 포함하는, 상기 전기 컴포넌트 에어리어; 및

하나 이상의 금속화 층들을 포함하는 공통 전기 상호연결 배열(common electrical interconnect arrangement)을 포함하는 것을 특징으로 하는 SOI-기반 전기-광학 배열.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

제1 항에 있어서, 상기 공통 전기 상호연결 배열은, 상기 광학 컴포넌트 에어리어들 및 상기 전기 컴포넌트 에어리어들 중 선택된 에어리어들 둘 모두 상에 배치되는 실리사이드 콘택트 에어리어들로서, 상기 실리사이드 콘택트 에어리어들은 동일 재료를 포함하고 본질적으로 동일한 두께를 나타내도록 동시에 형성되는, 상기 실리사이드 콘택트 에어리어들을 포함하는, SOI-기반 전기-광학 배열.

청구항 5.

제1 항에 있어서, 상기 공통 전기 상호연결 배열은, 상기 광학 컴포넌트 에어리어들 및 상기 전기 컴포넌트 에어리어들 둘 모두 상에 배치되는 제1 금속층에 실리사이드를 연결하는 콘택트 에어리어들로서, 상기 콘택트 에어리어들은 동일한 재료를 포함하고, 동시에 형성되는, 상기 콘택트 에어리어들을 포함하는, SOI-기반 전기-광학 배열.

청구항 6.

제1 항에 있어서, 상기 공통 전기 상호연결 배열은 동일한 재료를 포함하고 적어도 하나의 광학 디바이스와 적어도 하나의 전기 디바이스 사이에 전기적 연결을 제공하기 위하여 동시에 형성되는, 상기 광학 컴포넌트 에어리어들 및 상기 전기 컴포넌트 에어리어들 둘 모두 상에 배치되는 적어도 하나의 금속층을 포함하는, SOI-기반 전기-광학 배열.

청구항 7.

제1 항에 있어서, 상기 공통 전기 상호연결 배열은 동일한 금속을 포함하며, 동시에 형성되고, 금속층 간 연결 비아들(inter-metal layer connectivity vias)을 사용하여, 상호연결된 상기 광학 컴포넌트 에어리어들과 상기 전기 컴포넌트 에어리어들 둘 모두 상에 배치되는 적어도 2개의 금속층들을 포함하는, SOI-기반 전기-광학 배열.

청구항 8.

제1 항에 있어서, 상기 단결정 실리콘층은 제곱센티미터 당 약 10개 이하의 결함들(defects/cm²)보다 작은 광학 결함 카운트를 갖는, SOI-기반 전기-광학 배열.

청구항 9.

제1 항에 있어서, 상기 적어도 하나의 광학 컴포넌트 에어리어 내의 상기 실리콘층은 상기 적어도 하나의 전기 컴포넌트 에어리어 내의 상기 게이트 실리콘층의 두께보다 실질적으로 같거나 작은 두께를 갖는, SOI-기반 전기-광학 배열.

청구항 10.

삭제

청구항 11.

제1 항에 있어서, 상기 적어도 하나의 광학 컴포넌트 에어리어 내의 상기 실리콘 층의 적어도 부분은 능동 "반도체형(semiconductor-like)" 광학 디바이스 에어리어를 형성하기 위하여 도핑되는, SOI-기반 전기-광학 배열.

청구항 12.

제1 항에 있어서, 상기 적어도 하나의 광학 컴포넌트 에어리어 내의 상기 실리콘 층의 적어도 부분은 수동 광학 디바이스 에어리어를 형성하기 위하여 도핑되지 않는, SOI-기반 전기-광학 배열.

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

삭제

청구항 30.

삭제

청구항 31.

삭제

청구항 32.

삭제

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

삭제

청구항 36.

삭제

청구항 37.

삭제

청구항 38.

삭제

청구항 39.

삭제

청구항 40.

삭제

청구항 41.

삭제

청구항 42.

삭제

청구항 43.

삭제

청구항 44.

삭제

청구항 45.

삭제

청구항 46.

삭제

명세서

기술분야

본 출원은 2003년 4월 21일자 출원된 가출원 일련 번호 제60/464,491호의 이점을 주장한 것이다.

본 발명은 실리콘-기반 광학 디바이스들을 위한 종래의 CMOS-호환형 제조 기술들에 관한 것이며, 특히 실리콘-온-인슐레이터(SOI:silicon-on-insulator) 구조에서 실리콘 기반 수동 광학 디바이스들 및 능동 전기-광학 디바이스들과 종래의 CMOS 전자 디바이스들을 집적시키도록 하는 CMOS-호환형 제조 기술들의 사용에 관한 것이다.

배경기술

집적 회로들은 (벌크 실리콘 기판들과 비교하여) 실리콘-온-인슐레이터(SOI) 기판들 상에서 제조되어 더욱 높은 디바이스 속도들 및/또는 더욱 낮은 전력 손실을 달성할 수 있다. SOI 구조는 실리콘 기판들, 매립된 유전체 층(예를 들어, 실리콘 이산화물) 및 상대적으로 얇은(예를 들어, 서브-미크론) 단결정 실리콘 표면층을 구비하는데, 이 표면층을 통상적으로 "SOI" 층이라 칭한다.

광학 영역에서, SOI 층은 실리콘을 거의 투과하는 적외선 파장(1.1 μ m-5.0 μ m)용 도파층(waveguiding layer)으로서 사용될 수 있다. 도파층들에서 반사, 가둠(confining) 또는 투과 경계들을 형성함으로써, 수동 광학 디바이스들(예를 들어, 미러들, 리브 도파관들(rib waveguides), 렌즈, 그레이팅들(gratings), 등)이 실현될 수 있다. 게다가, 집적 회로들에서 전자 기능성을 위하여 사용되는 동일한 자유 캐리어들(전자들 및 정공들)은 실리콘에서 광을 능동적으로 조절하도록 사용될 수 있다. 실리콘에서 자유 캐리어들의 주입 또는 제거는 도파관의 실수 및 허수 인덱스 둘 다에 영향을 미치고 이 도파관을 통해서 이동하는 광의 위상 시프트/흡수를 초래한다. 적절하게 설계되어 실리콘 도파관에서 광의 컨파인먼트(confinement)와 결합될 때, 전자 디바이스는 도파관의 광 특성들을 수정시켜, 광학 모드에 영향을 미친다. 따라서, SOI 기술은 전기,수동 광학 및 능동 전기-광학 디바이스들을 단일 기판상에 모놀리식 집적(monolithic integration)을 위한 강력한 플랫폼을 제공한다.

SOI 플랫폼, 수동 광학 및 능동 전기-광학 디바이스들에서 전자 디바이스들의 제조를 위하여 개발된 기반구조 및 전문적 기술을 더욱 증진시키기 위하여, 수동 광학 및 능동 전기-광학 디바이스들은 전자 디바이스들을 제조하기 위하여 사용되는 동일한 얇은 SOI 층을 사용하여 제조되어야 한다. 그러므로, 광을 상대적으로 얇은 SOI 층에 효율적으로 결합시키며, 저 손실로 광을 안내하고 고속으로 광의 능동 조절(즉, 변조 및 검출)을 달성하는 능력은 종래 전자 회로들의 수행성능에 큰 영향을 미침이 없이 달성될 필요가 있다. 개발된 실리콘 집적 회로 산업에서 투자, 기반구조 및 훈련의 더욱 증진시키기 위하여, 광학 및 전기-광학 디바이스들을 위한 디바이스 구조 및 제조 방법들은 집적 회로 산업의 진보와 융화되어야만 한다.

고 수행성능의 SOI-기반 전자 디바이스들을 실현하기 위하여, 여러 디바이스 아키텍처들(예를 들어, 부분적으로-공핍된 CMOS, 완전-공핍된 CMOS, BiCMOS, 등)은 종래 기술에 널리 알려져 있고 현재 진일보한 집적 회로들의 대량 제조에 사용된다.

도1은 예시적인 종래 기술의 SOI-기반 CMOS 디바이스(10)를 도시한 것이다. 널리 알려진 바와 같이, COMS 디바이스는 PMOS(P-채널) 트랜지스터(12) 및 NMOS(N-채널) 트랜지스터(14)를 포함한다. SOI 구조는 실리콘 기판(16), 매립된 유전체 층(18) 및 상대적으로 얇은 SOI 층(20)을 구비한다. PMOS 트랜지스터(12) 및 NMOS 트랜지스터(14) 간의 전기적 절연은 비트랜지스터 에어리어들에서 SOI 층(20)의 부분들을 제거하고 도1에 유전성 절연 영역(22)으로 도시 바와 같이 이들 에어리어들을 유전 절연 물질로 충전함으로써 달성된다.

종래 기술의 CMOS 프로세스에서, 트랜지스터들은 전형적으로 다음 예시적인 프로세싱 단계들을 사용하여 형성된다.

- PMOS 트랜지스터(12)를 위한 n-형 바디 영역(24) 및 p-채널 영역(26) 및 NMOS 트랜지스터(14)를 위한 p-형 바디 영역(28) 및 n-채널 영역(30)으로서 도시된, 각 디바이스를 위한 바디 영역 및 채널 영역을 형성하기 위하여 적절한 도핑 유형 및 프로파일로 SOI 층(20)의 능동 영역들을 도핑하는 단계.
- 채널 영역들(26 및 30)을 커버하기 위하여 얇은 게이트 유전층을 형성하는 단계로서, 산화물이 사용되면, 열 처리가 PMOS 트랜지스터 게이트 유전체(34) 및 NMOS 트랜지스터 게이트 유전체(36)를 형성하는 상기 유전체 층을 성장시키기 위하여 사용되는, 형성 단계.
- PMOS 트랜지스터 게이트 영역(38) 및 NMOS 트랜지스터 게이트 영역(40)을 형성하기 위하여 (전형적으로 폴리실리콘 형태의) 실리콘을 증착, 도핑 및 패터닝하는 단계.
- PMOS 트랜지스터 게이트 영역(38)의 양측 상에 측벽 스페이서들(42 및 44) 및 NMOS 트랜지스터 게이트 영역(40)의 양측 상에 측벽 스페이서들(46 및 48)을 형성하는 단계.
- 포토리소그래피/이온 주입을 사용하여(측벽 스페이서들에 의해) 자체-정렬된 소스 및 드레인 영역들을 형성하여, PMOS 트랜지스터(12)를 위한 p+ 드레인 및 소스 영역들(50 및 52) 및 NMOS 트랜지스터(14)를 위한 n+ 드레인 및 소스 영역들(54 및 56)을 형성하는 단계.
- PMOS 트랜지스터(12)를 위한 실리사이드 콘택트들(58, 60 및 62) 및 NMOS 트랜지스터(14)를 위한 실리사이드 콘택트들(64, 66 및 68)로서 도시된, 전기 콘택트 에어리어들 상에 실리사이드를 형성하는 단계.
- (도4에 도시되고 후술된) 최종 콘택트 및 다중-레벨 금속화 구조들을 형성하는 단계.

통상적으로 사용되는 NMOS 및 PMOS 트랜지스터 디바이스 구조(CMOS 기술에 사용되는 기본 소자들) 및 CMOS 디바이스를 제조하기 위한 일반화된 프로세싱 시퀀스를 나타내는 상기 프로세스 설명은 단지 예시적인 것이라는 점에 유의하라. 이 기술(CMOS, BiCMOS, 등) 및 사용되는 제조 설비를 따르면, 많은 다양한 트랜지스터 구조들이 여러 상이한 프로세싱 시퀀스들을 사용하여 제조될 수 있다.

MOS 트랜지스터들에서, 채널 영역(도1의 채널 영역들(26 및 30)과 같은)은 트랜지스터의 소스, 드레인 및 게이트 영역들의 실리사이드 콘택트들에 적절한 전압들을 인가함으로써 형성된다. 채널 영역의 컨덕턴스 및 이로 인한 소스 및 드레인 간에 흐르는 전류는 게이트 전압을 변조함으로써 변조된다. 게이트 영역과 관계된 저항을 최소화하기 위하여, 폴리실리콘 재료는 적절한 불순물들로 높게(heavily) 도핑되어 "금속형(metal-like)" 전기 특성들을 달성한다.

종래 기술은 상대적으로 두꺼운 SOI 층(예를 들어, 수 마이크론 두께)을 사용하여 전기-광학 디바이스들을 제조하는 것을 설명한다. 두꺼운 SOI 층의 사용은 광학 도파관 및 전기-광학 디바이스들을 다중-모드로 제한하여 광의 조절을 위한 자유 캐리어-기반 전기-광학 효과를 최적으로 사용하는 것을 어렵게 한다. 게다가, 두꺼운 SOI 층에 형성된 벌크-형 실리콘 영역으로 인해, 종래의 SOI CMOS 전자 디바이스들의 고속 및 저전력 양상들이 달성될 수 없다. 게다가, 깊은(deep) 반응성 이온 에칭(RIE)과 같은 일반적이 아닌 저 레졸루션의 프로세스들은 광학 디바이스들의 해상력(definition)에 필요로 되고 결과 토폴로지(topology)는 종래의 평활화 및 다중-레벨 금속화 프로세스들의 사용을 제한하여, 동일한 기판상의 전기-광학 디바이스들과 결합시 고 수행능의 전자디바이스들의 실현을 더욱 제한한다.

발명의 상세한 설명

종래 기술에 남아 있는 요구사항들은 일반적인 SOI 웨이퍼에서 종래의 CMOS 전자 디바이스들을 실리콘-기반 수동 광학 디바이스들 및 능동 전기-광학 디바이스들을 집적하도록 하는 CMOS-호환형 제조 기술들의 사용에 관한 본 발명에 의해 해결된다.

본 발명을 따르면, 우선 임의의 디바이스 제조를 시작하기 전 SOI 웨이퍼의 품질을 결정하도록 웨이퍼-스케일 테스트가 수행되어, 광학 수행능 및 디바이스 수율에 영향을 미치는 광학 결함들의 가능성을 크게 감소시킨다. 웨이퍼가 (광학 및

전기적 결합의 두 가지 관점으로부터) "검증을 거친(qualified)" 것이면, 전기적인 수동 광학 및 능동 전기-광학 컴포넌트들과 관련된 다양한 층들이 종래의 CMOS 프로세싱 단계들을 사용하여 형성된다. 본 발명의 일 실시예에서, 전기 디바이스들의 각종 영역들은 광학 컴포넌트들과 동시에 형성된다.

본 발명의 또 다른 실시예에서, 공통 유전체 및 공통 실리콘층은 전기적 수동 광학 및 능동 전기-광학 디바이스들을 형성하는데 사용된다. 공통 실리콘층의 서로 다른 영역들은 상이하게 도핑되어 능동 전기-광학 디바이스들을 위한 전기적인 "반도체형(semiconductor-like)" 실리콘 영역 및 수동 광학 디바이스들을 위한 "유전체형(dielectric-like)" 실리콘 영역을 위한 "금속형(metal-like)" 게이트 영역을 달성한다.

본 발명의 또한 다른 실시예에서, 수동 광학 컴포넌트들 및 능동 전기-광학 컴포넌트들과 관련된 얇은 유전체 및 광학 실리콘층들이 우선 SOI 기판 위에 형성된다. 그 후, 전기 컴포넌트들과 관련된 유전체 및 실리콘층들은 동일한 SOI 기판의 다른 영역에 형성된다.

본 발명의 한 가지 중요한 양상은 광학 및 전기 컴포넌트들의 각종 영역들을 접속시키기 위하여 형성되는 금속층들, 콘택트 및 비아 개구들과 유전성 절연층들 공통 세트를 사용한다는 것이다. 광학 입력 신호들을 SOI 층으로 이동시키는 개구들은 이 프로세스의 마지막 단계에서 형성된다.

본 발명의 각종 다른 배열들 및 속성들이 첨부 도면들을 참조하여 이하의 설명중에 명백하게 될 것이다.

전체 도면에 걸쳐서 동일한 부분들에 동일한 참조 번호가 병기되어 있다.

실시예

상술된 바와 같이, 본 발명은 고속/저전력 CMOS 트랜지스터들/회로들의 수행성능을 크게 변경시키지 않고 또한 고 수율로 종래의 CMOS 전자 디바이스들과 함께 평활 광학(planar optical) 및 전기-광학 디바이스들을 제조하는 CMOS-호환형 프로세싱 방식을 설명한다.

광학 및 전기-광학 디바이스들은 서브미크론 두께의 SOI 층에서 현상되기 시작할 때, 이하에서 "스트리킹(streaking)"이라 칭하는 현상이 어떤 샘플들에서 본 발명자들에 의해 관찰되었다. 일반적으로, "스트리킹"은 서브-미크론 SOI 층을 따라서 전파되는 광범이 어떤 부류의 광학 결합과 부딪칠 때 발생된다. 이 결합은 도파관의 국부적인 유효 굴절율을 교란시키고 때때로 형성된 광학 컴포넌트들의 수행성능을 저하시키는 간섭 패턴이 된다.

SOI 웨이퍼(예를 들어, 광 산란을 초래하는 물리적인 결함들)의 광학 수행성능에 영향을 미치는 다수의 결함들은 영향받은 전기적 수행성능과 관련된 결함들보다 크기면에서 작게 된다는 것이 밝혀졌다. 게다가, 이들 광학 결함들은 "SOI" 층의 두께보다 훨씬 작은 치수를 가질 수 있고 SOI층(예를 들어, 서브-표면 결함들)의 두께에 걸쳐서 어느곳에서든 위치될 수 있고 종래의 IC 결함 검사 도구들을 사용하여 검출될 수 없다. 따라서, 고 수율로 전자 컴포넌트들을 형성하도록 하는 웨이퍼는 많은 수의 작은 광학 결함들을 포함하여, 고 수율로 광학 디바이스들을 형성하는데 웨이퍼가 수용될 수 없도록 한다. 지금까지, SOI 웨이퍼 제조자들(및/또는 집적 회로 제조자들)은 이와 같은 광학 결함들을 위한 스크린에 대한 어떤 필요성을 경험하지 못하였다. 현재, 전자 및 광학 컴포넌트들을 동일한 SOI 웨이퍼 상에 집적함으로써 인해, 이와 같은 광학 결함들의 임계 수보다 많은 SOI 웨이퍼들이 임의의 광학 디바이스 제조가 시작되기 전 거부되도록 하여 광학 신호 송신을 지원할 수 없는 SOI 웨이퍼 내에서 광학 서브시스템을 형성하는 데 드는 시간 및 비용을 절감하도록 하는 새로운 스크리닝 기술이 필요로 되었다.

이들 광학 스트리킹 결함들을 검출하는 예시적인 배열(80)이 도2에 도시되어 있다. 테스트 프리즘(82)은 테스트되는 SOI 구조의 SOI 층(20)의 최상부 표면(84)상에 배치된다. 콜리메이트된 입력 빔(I)은 프리즘(82)을 통해서 SOI 층(20)에 미세하게 결합된다. 그 후, 이 빔은 SOI 층을 따라서 전파된 후 출구 프리즘(86)을 통해서 SOI 층(20) 밖에서 미세하게 결합된다. 스캐닝 슬릿 검출기(88)는 출구 프리즘(86)의 출력에 배치되고 출력 신호에서 "산란(scattering)" 패턴의 존재에 대해서 감지하도록 사용된다. 출력 빔의 형상이 원래 형상(예를 들어, 가우시안)으로부터 왜곡되면, 이 빔은 신호 경로를 따라서 결함(D)에 부딪쳐 스트리킹을 발생시킨다고 추정된다. 스트리킹이 발생되기 위해선, 도파관에서 유효 굴절률의 국부적인 변화가 필요로 된다. SOI 층(20)의 바디(벌크) 내의 결함들이 스트리킹을 발생시킬 수 있다. 게다가, SOI 층(20) 및 매립된 유전체 층(18) 간의 인터페이스에 위치되는 결함들은 또한 스트리킹을 발생시킬 수 있다. 결정-지향성-입자들(0.1-0.2 μ m 공극들-산화물에 의해 커버되는 내벽을 갖는 {111} 면들에 의해 둘러싸여진 정8면체들)과 같은 SOI에서 공통적으로 발견되는 물리적인 결함들, 변위, 마이크로크랙들, 산소 침투와 관련된 결함들, 적층 오류, 스크래치들, 유기 재

료들로부터의 볼륨/표면 오염 등이 굴절율을 국부적으로 변화시켜, 스트리킹을 발생시킨다. 출력빔의 형상으로부터, 광학 결함들의 수, 크기 및 위치는 추정될 수 있고, 그 후, 물리적 결함들과 상관될 수 있다. 물리적 결함 및 광학 결함 간의 관계가 설정되면, 양호하게 개발된 물리적 결함 식별 방법들은 광학 결함 밀도를 결정하도록 사용될 수 있다.

실제로, 제조 공정의 제1 단계는 SOI 층을 스크린하여 낮은 수의 광학 결함들을 지닌 웨이퍼들을 식별하는데, 이들 웨이퍼들은 동작가능한 광학 및 전기-광학 디바이스들의 수율을 개선시킬 것이다. SOI 웨이퍼들을 제조하는 현재 제조 방법들은 단지 전기 결함들을 감소시키기 위하여 최적화된다. 전기 결함들을 위한 유사한 사양들을 지닌 SOI 웨이퍼들은 크게 상이한 수들의 광학-관계된 결함들을 가질 수 있다는 것이 밝혀졌는데, 여기서 광학-관계된 결함들의 수는 SOI 웨이퍼를 제조하는데 사용되는 제조 방법에 더욱 좌우된다는 것이 밝혀졌다. 예를 들어, (벌크 결정 형성 방법들과 비교하면) 에피택셜 성장 프로세스를 사용하여 제조된 SOI 층은 단위 면적당 저밀도의 광 결함들을 갖는 것으로 나타난다. 또한, SOI 층의 표면을 폴리싱하기 위하여 수소 어닐링(예를 들어, 대략 1시간 동안 80Torr에서 1150℃에서 수소로 표면 어닐링/스무딩)의 사용이 SOI 층 표면을 폴리싱하는 화학적 기계적 폴리싱(CMP: Chemical Mechanical Polishing) 방법의 사용과 비교하여 광학 결함들을 덜 발생시키는 것으로 나타난다.

IC 산업의 웨이퍼 검사 기반구조를 더욱 증진시키기 위하여, 고 볼륨/고 처리량 표면 광 산란 검사 도구들이 SOI 층에서 서브-표면 광학 결함의 비파괴적 검사를 허용하도록 수정되는 것이 계획된다. 물론, 이들 서브-표면 광학 결함들에 대한 SOI 웨이퍼들을 식별 및 검사하기 위하여 각종 다른 기술들이 사용되고 장차 개발될 수 있다는 것을 이해하여야 한다. 유사한 치수들을 지닌 광학 결함들은 SOI 층의 두께 및 광학 디바이스에 사용되는 파장에 따라서 상이한 스트리킹을 발생시킬 수 있다는 점에 유의하여야 한다. $\lambda_{\text{effective}}$ (여기서 $\lambda_{\text{effective}} = \lambda_C / n_{\text{effective}}$)의 미리 결정된 분수(예를 들어, 1/10, 1/20) 정도의 치수를 갖는 임의의 결함이 이 결함에 부딪치는 디바이스들의 광학 수행성능에 영향을 미친다는 것이 예측된다. 그 후, 결함 수는 단위 면과 관련하여 규정될 수 있다. 예를 들어, 결함의 수용가능한 레벨들은 1 defect/cm², 10 defects/cm², 100 defects/cm² 등일 수 있다. 물론, 다른 분수(fractional) 량들, 도파관 두께 및 단위 면적당 결함 수들은 웨이퍼들의 사전-스크리닝을 위한 기준을 설정하도록 사용될 수 있는데, 상기 값들은 단지 예시적인 것으로서 간주된다.

상술되고 종래 기술의 도1에 도시된 바와 같이, 종래의 MOS 트랜지스터는 게이트 유전체(34) 및 실리콘층(38)(전형적으로 높게-도핑된 폴리실리콘 형태)와 결합하여 SOI 층(20)상에 형성되어 이 구조의 "게이트(gate)"를 형성한다. MOS(금속-산화물-반도체)가 제공되기 때문에, 게이트 실리콘층은 "금속형" 전기 특성들을 가질 필요가 있다. 이는 폴리실리콘층을 축퇴적으로 도핑하고 나서 게이트 실리콘층의 최상부 표면에 실리사이드 층을 형성함으로써 달성된다. 대조적으로, 동일한 SOI 기판상에 형성된 이 광학들을 위한 실리콘층(이하부터 "광학 실리콘층"이라 칭함)은 임의의 구조적인 형태(예를 들어, 단결정 실리콘, 폴리실리콘 또는 비결정 실리콘)를 가질 수 있다. 이 광은 단지 SOI 층을 포함하는 도파관 및 동일 기판상에서 광학 실리콘층, 게이트 유전체 및 SOI 층의 조합을 사용하여 제조된 도파관 간에 결합될 수 있다.

본 발명의 방법의 장점은 "MOS"와 등가의 전기-광학 구조가 얻어진다는 것인데, 여기서 광학 실리콘층은 게이트 유전체 층에 의해 SOI 층으로부터 분리된다. 광학 실리콘층 및 SOI 층 둘 다는 리소그래픽 프로세스들을 사용하여 서로에 대해서 배치되어 이 결과의 도파관에서 광 신호를 최적으로 가둔다. 광학 모드의 형상은 층들의 기하형태, 층들의 두께, 광학 실리콘층 및 SOI 층 간의 중첩 및 각 층의 굴절율과 같은 이 구조의 각종 특성들에 의해 결정된다. 게이트 유전체 및 광학 실리콘층(들)과 결합하는 SOI 층은 광을 안내하여 고 수행성능의 수동 광학 디바이스들 및 능동 전기-광학 디바이스들 둘 다를 실현하도록 사용될 수 있다. 광학 실리콘층은 전기적 MOS 디바이스의 게이트 실리콘층과 비교하여 크게 다른 광학 및 전기적 특성들을 가질 필요가 있다는 점에 유의하여야 한다. 예를 들어, MOS 디바이스의 게이트 실리콘층은 축퇴적으로 도핑되어 종종 최저 가능한 전기적 저항을 갖도록 실리사이드 된다. 게이트 실리콘층은 또한 게이트 유전체 근처에서 최소 공핍 에어리어를 갖도록 최적화된다. 그러나, 이들 요건들은 매우 높은 광학 손실을 발생시켜, 이 층이 광학 디바이스들을 형성하는데 무용하게 되게 한다.

수동 광학 디바이스들은 SOI 층만으로 또는 SOI 층, 유전체 층 및 광학 실리콘층의 조합 중 어느 하나를 사용하여 실현될 수 있다. 수동 광학 디바이스들에 사용되는 광학 실리콘층은 상대적으로 낮은 광학 손실을 나타내는데, 이는 (자유 캐리어 흡수를 감소시키기 위하여) 본질적으로 도핑되지 않은 극히 낮은 도핑 레벨들, (그레인 경계 산란(grain boundary scattering)을 감소시키기 위하여) 큰 그레인 입자들, (표면 산란을 감소시키기 위하여) 스무드 표면들 및 측벽들 및 (높은 광학 밀도 포인트들로 인한 광학 손실을 최소화하기 위하여) 둥근 코너들을 지닌 "유전체형"인 광학 실리콘층으로 트랜스레이트 된다. 능동 전기-광학 디바이스들에 대해서, 광학 실리콘층은 큰 입자 크기들, 스무드한 표면들 및 측벽들 및 둥근 코너들 이외에 조절된 도핑 레벨들 및 고 캐리어 이동도를 갖는 "반도체형" 특성들을 가질 필요가 있다.

상술된 바와 같이, 광학 디바이스들을 SOI-기반 전자 집적 회로들과의 집적이 표준 전자 디바이스들의 수행성능을 크게 변경시키지 않음으로 종래의 집적 회로들의 설계, 제조 및 비용 구조들의 성숙도를 더욱 증진시킨다. 이는 수동 광학 디바

이스들 및 능동 전기-광학 디바이스들을 형성하는데 필요로 될 수 있는 임의의 추가적인 프로세스 단계들을 위한 프로세스 시간, 온도, 환경 및 재료 선택의 주의 깊은 선택 및 최적화를 필요로 한다. 광학 디바이스들의 형성은 사이클 시간을 감소시키고 프로세스 개발 비용들을 감소시키기 위하여 가능한 전자 디바이스들의 형성과 공통되는 많은 공통 단계들로서 사용되어야 한다.

본 발명에 따라서 형성된 전자 디바이스, 능동 전기-광학 디바이스 및 수동 광학 디바이스의 예시적인 집적이 도3에 도시되어 있다. 이 집적은 실리콘 기판(102), 매립된 유전체 층(104) 및 표면 단결정 실리콘층(106)(후자를 이하부터 "SOI"층(106)이라 칭한다)을 포함하는 공통 SOI 웨이퍼(100) 상에 형성된다. 이 집적은 PMOS 유전체 층(108), 능동 전기-광학 디바이스(110) 및 수동 광학 디바이스(112)를 포함한다. 상술된 바와 같이, SOI 층(106)은 모두 3가지 유형들의 디바이스들을 위한 공통 기본 층이고 단일 리소그래피 단계로 마스크되고 패터닝되어 각 디바이스 유형에 필요로 되는 각종 영역들을 규정한다. 광학 디바이스 영역 내의 SOI 층의 임의의 라운딩이 (2004년 3월 23일에 출원된 공동 계류중인 출원 일련번호 제10/806,738호에 서술된 바와 같이) 필요로 되면, 각 리소그래피 및 에칭 단계들이 또한 사용될 수 있다. 도3을 참조하면, PMOS 전기 디바이스(108)는 "106-E"로 표시된 SOI 층(106)의 일부를 포함하는데, 여기서 영역(106-E)의 내부는 PMOS 디바이스(108)의 채널 및 바디를 형성하고, 106-E의 외부는 드레인 및 소스 영역들을 형성하기 위하여 p+ 불순물로 도핑될 것이다. (106-A)로 지정된 SOI 층(106)의 영역은 또한 패터닝 및 에칭 후 유지되고 능동 전기-광학 디바이스(110)의 부분으로서 사용된다(여기서 이 영역은 특히 소망 디바이스에 필요로 되는 바와 같은 n 또는 p 도전율을 나타낸다). 특히, 영역(106-A) 내의 특정 규정된 에어리어들은 특정 도핑 프로파일들을 나타내도록 도핑될 수 있고 이 층과의 콘택트 영역들은 또한 더 높은 도펀트 농도를 사용함으로써 형성될 수 있다. 이것이 가능하면 언제든지, 공통 세트의 마스크/이온 주입 단계들을 사용하여 광학 및 전기적 디바이스들(가령 콘택트를 위한 도핑 영역들 형성)을 위한 도핑 단계들 중 일부 단계를 수행하여(그러나, 반드시 그런 것은 아니다) 완전한 전기-광학 집적 회로의 실현을 위하여 필요로 되는 마스크 단계들의 총 수를 감소시킨다. 게다가, SOI 층(106)의 영역(106-P)은 도파관과 같은 수동 광학 디바이스(112)의 형성부로서 도시되는데, 여기서 영역(106-P)은 광학 손실을 최소화하도록 매우 낮은 도핑 농도를 나타내는 것이 바람직하다. 도3을 참조하면, 그 후 실리콘 이산화물과 같은 유전체 재료(114)는 모든 노출된 에어리어들에 인접 디바이스들 간에 전기적 절연을 제공하기 위하여 형성된다. 어떤 경우들에서, 이 구조는 절연 영역들을 형성한 후 다시-평활화될 수 있다.

다음 단계들의 시퀀스(또는 아마도, 단일 단계)는 디바이스 유전체 층들을 형성하도록 사용되는데, 여기서 단일층이 형성되어 모든 3개의 유형들의 디바이스들에 대해 사용되거나 하나의 유전체 층이 전기 디바이스들에 대해 사용되고 제2 유전체 층이 광학 디바이스들에 사용된다(이 차이는 두께, 재료 선택 또는 이들 둘 다이다). 제1 및 제2 유전체 층들이 형성되는 경우에, 광학 디바이스들을 위한 실리콘층이 전기 디바이스들을 위한 제1 유전체 층에 앞서 제2 유전체 위에 형성되는 것이 바람직하다. 도3을 참조하면, PMOS 트랜지스터(108)는 극히 얇은 게이트 유전체 층(116)을 포함한다. 실리콘 이산화물은 MOS 디바이스들을 위한 가장 보편적으로 사용되는 게이트 유전체 층이고 또한 광학 디바이스들에 바람직하게 된다. 그러나, 실리콘 옥시나이트리드, 실리콘 질화물, 하프늄 산화물 및 비스무쓰 산화물을 포함하지만 이에 국한되지 않는 여러 다른 게이트 유전체 재료들이 사용될 수 있다. 상대적으로 얇은 유전체 층들(118 및 120)이 능동 전기-광학 디바이스(110) 및 수동 광학 디바이스(112) 각각을 위하여 동시에 형성되는 것이 바람직하다.

공통 유전체 층이 모든 디바이스들을 위하여 사용되는 경우에, 실리콘의 공통 층(들)이 형성되어 각 디바이스 유형을 위한 시료로서 사용되는데, 상이한 도핑 레벨들 및 프로파일들이 "금속형" 게이트 실리콘층(122), "반도체형" 능동 전기-광학 디바이스 실리콘층(124) 및 "유전체형" 수동 광학 디바이스 실리콘층(126)을 형성하기 위하여 사용된다. 대안적으로, 각 실리콘층(들)은 광학 디바이스들을 위하여 사용될 수 있고 각 실리콘층은 유전체 디바이스들을 위하여 사용될 수 있는데, 각 실리콘층은 각 단계들의 세트를 사용하여 형성될 수 있으며, 공정 조건들은 각 디바이스 유형을 위하여 가장 바람직한 조건들(예를 들어, 사용된 실리콘 형태, 층 두께, 도핑 프로파일, 광학 손실 특성들, 등)을 형성하도록 제어된다. 전기 컴포넌트 게이트 영역과 관련된 실리콘층은 "금속형" 게이트를 형성하도록 중 도핑된다. 광학 디바이스들과 관련된 실리콘층은 필요에 따라서 선택적으로 도핑되어 필요에 따라서 상이한 도전율의 영역들을 형성하여 수동 디바이스들을 위한 저-도핑된 영역들 및 상대적으로 높게 도핑된 콘택트 영역들 및 능동 디바이스들을 위한 능동 캐리어 변조 영역들 등과 같은 각종 광학 디바이스들의 영역들을 생성한다. 게다가, 각종 형태들의 실리콘은 단결정 실리콘, 실질적으로 단결정 실리콘, 비결정 실리콘 및 폴리실리콘을 포함한 이 광학 실리콘층을 위하여 사용될 수 있다. 광학 디바이스들에 사용될 때, 이 실리콘층은 그레인 크기를 최적화하도록 부가 처리되어 광학 손실을 감소시키고 전자-정공 이동도(예를 들어, 그레인 경계 패시베이트된, 그레인 정렬된, 그레인-크기 향상된 폴리실리콘)를 개선시킨다. 씨드 결정화와 같은 기술들, 비결정 증착, 실리콘 주입 및 저온 어닐, 실리콘사이드 씨드 층-기판 결정화 등은 그레인 크기 및 전자-정공 이동도를 개선시키는데 사용될 수 있다. 광학 실리콘층은 부가 처리되어 광학 손실을 감소시켜, 전기 디바이스들의 형성시에 어떤 문제가 제공되지 않게 한다. 특히, 다수의 각 얇은 실리콘층들은 최종 광학 실리콘 "층(layer)"을 형성하도록 사용되어 이 층의 형상을 원하는 대로 제공하는데, 이 형상은 디바이스에 필요로 되는 광학 모드 컨파인먼트와 관련된다. 다수의 증착 및 리소그래피/에칭 단계들은 광학 실리콘 층의 원하는 기하학적 배열을 생성하기 위하여 사용될 수 있다. 능동 광학 디바이스들의 형성과 특히 관련하여, 실리콘층은 SOI 층을 부분적으로 중첩하도록 형성되어, 광학 모드 피크 강도(optical mode peak intensity)가 실질

적으로 실리콘층(124), 유전체 층(118) 및 SOI 층(106-A)의 조합에 의해 규정된 캐리어 변조 영역과 일치하도록 한다. 능동 및 수동 디바이스들 둘 다를 형성하는 광학 실리콘층의 측면들은 2004년 3월 23일자로 출원된 우리의 공동-계류중인 출원 일련 번호 제 10/806,738호에 서술된 바와 같이 스무드하게 되고 코너들은 둥글게 되어 광학 손실을 감소시킨다. 수동 광학 디바이스들의 적어도 일부가 임의의 광학 실리콘의 사용을 필요로 하지 않고 단지 SOI 층만을 사용하여 광을 가두고 조정한다는 점에 유의하여야 한다. 광학 실리콘 프로세싱 단계들 중 일부 단계가 상대적으로 고온을 필요로 할 수 있기 때문에, 전자 디바이스들에서 원치않는 도펀트 이동을 방지하기 위하여 전자 디바이스들을 형성하기 전 광학 디바이스들을 형성하는 것이 신중하게 고려된다.

MOS 트랜지스터들을 형성하기 위한 전형적인 "샐리사이드(salicide)"(자체-정렬된 실리사이드) 프로세스에서, 한쌍의 측벽 스페이서들(128, 130)은 금속형 게이트 실리콘층(122)의 양측에 인접하여 형성되는데, 여기서 이들 스페이서들은 실리콘 질화물, 실리콘 이산화물 또는 다른 적절한 재료들을 포함할 수 있다. (광학 디바이스 실리콘층이 전기 디바이스 측벽 스페이서들의 형성 전 규정되는 경우)이 프로세스 단계는 광학 디바이스 실리콘층의 에칭된 측벽들 상에 원치않는 스페이서들을 형성시킬 수 있다는 점에 유의하여야 한다. 이들 원치않는 스페이서들은 포토리소그래피 및 종래의 등방성 에칭 기술들의 조합을 사용함으로써 선택적으로 제거될 수 있다. 그 후, PMOS 트랜지스터(108)의 능동 드레인(132) 및 소스(134) 영역들은 스페이서들(128 및 130)을 사용하여 주입에 의해 형성되어 주입 에어리어를 자체 정렬시킨다. 각종 종래 기술들 및 구조들이 널리-알려져 있고 얇게-도핑된 드레인(LDD: lightly doped drain) 구조를 포함한 이들 디바이스 에어리어들을 형성시에 사용되는데, 이들 기술들은 본 발명의 요지와 밀접한 관계가 있는 것으로 간주되지 않는다.

그 후, 실리사이드 프로세스는 PMOS 트랜지스터(108) 및 능동 전기-광학 디바이스(110)를 위하여 각 전기 콘택트 위치에 대해서 실리사이드 콘택트 에어리어들을 계속 형성한다. 도3을 참조하면, 제1 실리사이드 콘택트(136)은 드레인 영역(132) 위에 형성되며, 제2 실리사이드 콘택트(138)은 게이트 영역(122) 위에 형성되고, 제3 실리사이드 콘택트(140)은 소스 영역(134) 위에 형성된다. 능동 전기-광학 디바이스(110)에 대해서, 제1 실리사이드 콘택트(142)은 실리콘층(124)의 규정된 콘택트 영역 위에 형성되고 제2 실리사이드 콘택트(144)은 SOI 층(106-A)의 규정된 콘택트 영역 위에 형성된다. 단일 실리사이드 형성 프로세스가 전기 및 광학 디바이스들 둘 다에 사용되거나, 각 프로세스들이 각 디바이스 유형에 사용될 수 있다. 어느 한 경우에, 티타늄 실리사이드(titanium silicide), 탄탈 실리사이드(tantalum silicide), 텅스텐 실리사이드(tungsten silicide), 코발트 실리사이드(cobalt silicide), 니켈 실리사이드(nikel silicide) 또는 몰리브덴 실리사이드(molybdenum silicide)와 같은 각종 유형들의 실리사이드가 사용될 수 있다. 광학 디바이스들의 경우에, 도3에 도시된 바와 같이 광학 신호 컨파인먼트 영역(O)으로부터 분리되는 실리사이드 콘택트 에어리어들을 유지하여 광학 신호 손실(예를 들어, 0.2 미크론보다 큰 분리가 수용될 수 있다)을 최소화하는 것이 중요하고 트레이드-오프가 광학 손실 및 동작 속도간에서 필요로 될 수 있다.

본 발명의 중요한 양상은 고 수행성능 SOI-기반 집적 회로들의 제조를 위한 종래의 다중-레벨 금속화 방식이 전기 및 광학 디바이스들 둘 다에 각종 전기 접속들을 동시에 형성하는데 사용된다는 것이다. 도4는 다중-레벨 금속화 공정의 다른 단계들을 도시하는데, "금속화(metallization)" 단계들은 웨이퍼 표면 위에 상대적으로 두꺼운 유전체 층을 증착시키는 단계, 각종 콘택트 영역들에 대한 콘택트들(이는 그 후 도전성이 되도록 처리된다)을 개방하는 단계, 콘택트 영역들에 대한 콘택트들을 지닌 제1 금속 층을 형성할 뿐만 아니라 금속 라인 도체들을 형성하는 단계를 포함하는데, 이 금속 라인 도체들은 필요에 따라서 유전체 층 위에서 상호접속된다. 제2 유전체 층(들)은 비아 개구들을 형성하는 것보다 앞서 형성되며, 제2 금속 층은 비아 개구들에 의해 규정된 바와 같은 제1 금속층의 각종 영역들에 전기 접속될 뿐만 아니라 제2 레벨 금속 라인 도체들을 형성한다. 유사한 공정이 반복되는데, 이 최종 구조는 (필요한 경우) 도4에 도시된 바와 같이 "다중-레벨(multi-level)" 금속화 배열을 나타낸다. 도4의 배열에서, 제1의 두꺼운 유전체 층(150)은 웨이퍼를 완전히 커버하도록 형성되는데, 다수의 콘택트들은 개방되고 금속화되어 각 분리된 실리사이드 콘택트에 도달한다. 즉, 다수의 도전성 콘택트들(152, 154, 156, 158 및 160)은 도시된 바와 같이 형성되어 PMOS 트랜지스터(108)의 실리사이드 영역들(136, 138, 140) 및 능동 전기-광학 디바이스(110)의 실리사이드 영역들(142 및 144) 각각을 콘택트시킨다. 제1 레벨 금속 라인 도체들(162, 164, 166, 168 및 170)의 세트는 또한 ("M-1"로 제1-레벨 금속으로 표시됨) 형성된다. 그 후, 제2 레벨의 유전체 층(들)(172)은 이 구조 위에 형성되는데, 금속화된 비아 개구들(174, 176 178 및 180)의 세트가 도4에 도시된 바와 같이 형성된다. 그 후, 제2 레벨의 금속 콘택트들(182, 184 및 186)이 형성되는데, 절연/비아들/콘택트들의 프로세스는 필요에 따라서 많은 횟수 반복된다. 유용하게 그리고 본 발명에 따라서, 유전체 층들, 비아 개구들, 콘택트 개구들 뿐만 아니라 동일한 금속 층들의 형성을 위한 동일한 프로세싱 단계들이 전기 디바이스들 및 능동 전기-광학 디바이스들 둘 다를 위한 전기 접속들을 형성하도록 사용된다. 전기-광학 디바이스들을 위하여, 금속층들 및 광학 컨파인먼트 영역 간을 미리 결정된 분리를 유지하여 광학 손실을 최소화하는 것이 바람직하다. 충분한 분리가 유지되도록 하기 위한 설계 규칙들을 개발할 것을 계획하고 있다. 예를 들어, 광학 컨파인먼트 영역 상의 제1 금속층의 크로스-오버는 설계 규칙들에 의해 금지될 수 있다.

금속화 공정의 완료시, 도5에 도시된 바와 같이, 패시베이션 층(190)이 형성되고(예를 들어, 실리콘 질화물) 본드패드 위치들(192)을 위한 개구들을 형성하도록 패터닝된다. 본 발명의 중요한 양상은 IC 제조를 위하여 양호하게 개발된 본딩 및 패키징 방식들이 전기 및 능동 광학 디바이스들 둘 다에 접속들을 제공하도록 사용된다는 것이다. 본드패드 위치들(192)의 형성 후, "윈도우(window)"(200)는 SOI 층(106)에 이르기까지 전체 구조를 통해서 개방되어 광학 결합 에어리어, 즉 자유 공간 광학 신호가 SOI 층(106) 내에 형성된 광학 도파관 내로 또는 밖으로 결합될 수 있는 에어리어를 형성한다. 이 결합이 성공적이 되도록 하기 위하여, 이 구조를 개방하도록 사용되는 에칭 프로세스는 SOI 층(106) 상에서 "원자적으로 스무드(atomically smooth)"(3-4 Å rms 내에서 스무드)한 표면이 되도록 하여 SOI 층(106)에 대한 미세한 결합 디바이스(예를 들어, 도시되지 않은 프리즘, 그레이팅 등)의 적절한 물리적 콘택트를 허용한다. 이 유형의 미세한 결합을 제공할 수 있는 이와 같은 한 예시적인 배열은 2003년 9월 23일에 출원된 우리의 공동-계류중인 출원 일련 번호 10/668,947호에 기재되어 있다. 윈도우(200)의 개방은 단일 포토리소그래피/에치 단계를 사용하여 달성될 수 있거나 여러 포토리소그래피/에치 단계들이 결합(예를 들어, 본드패드 개구, 비아 개구, 및/또는 콘택트 개구와 관련된 단계들과 포토리소그래피/에치 단계의 결합)되어 달성될 수 있다. 윈도우 개방 프로세스의 일부는 습식 화학적 에칭의 사용을 토대로 할 수 있다.

본 발명의 상술된 실시예들은 예시적인 것만이 고려되었지만, 첨부된 청구항들에 의해 규정된 바와 같이 본 발명의 범위를 한정하거나 제한하는 것으로 간주되지 않는다는 것을 이해하여야 한다.

도면의 간단한 설명

도1은 PMOS 및 NMOS 트랜지스터를 포함하는 예시적인 종래 기술의 CMOS 디바이스를 도시한 도면.

도2는 광학 신호의 전파 동안 상대적으로 얇은 SOI 층 내에서 스트리킹(streaking)을 초래하는 광학 결합들의 존재를 검출하기 위하여 사용되는 배열을 도시한 도면.

도3은 공통 표면 SOI 층을 사용하여, 공통 SOI 기판상에 전기 PMOS 트랜지스터, 능동 전기-광학 디바이스 및 수동 광학 디바이스의 형성을 도시한 본 발명의 예시적인 실시예를 도시한 도면.

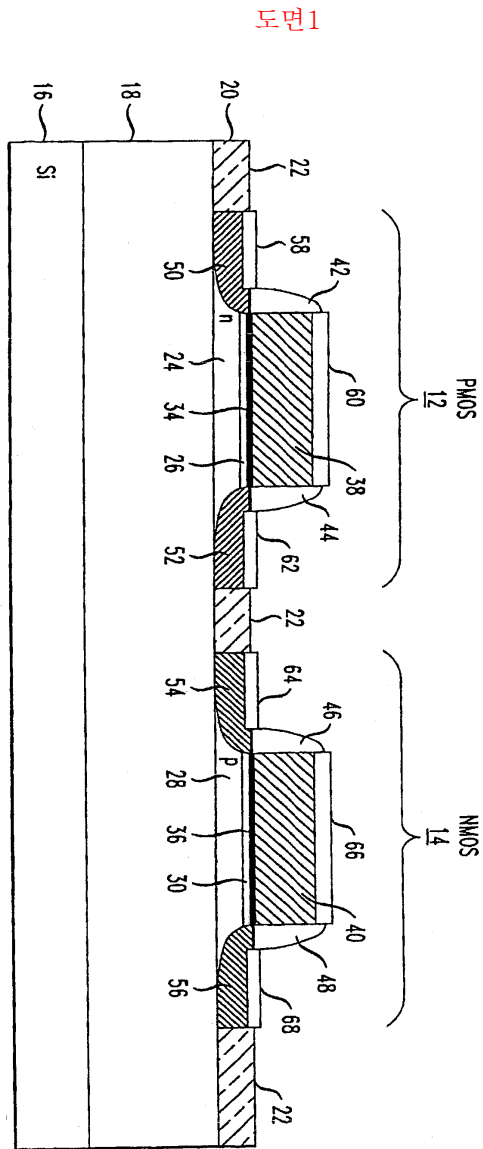
도4는 전기 디바이스들 및 능동 전기-광학 디바이스들을 전기 접속시키기 위하여 금속층들의 공통 세트의 사용을 포함한 도3과 동일한 배열을 도시한 도면.

도5는 외부 광학 신호를 SOI 층 내의 도파관 영역에 결합시키기 위한 SIO 층의 영역을 노출시키기 위하여 금속 및 유전체 층들을 통과하는 개구들을 포함하는 최종적인 예시적인 구조를 도시한 도면.

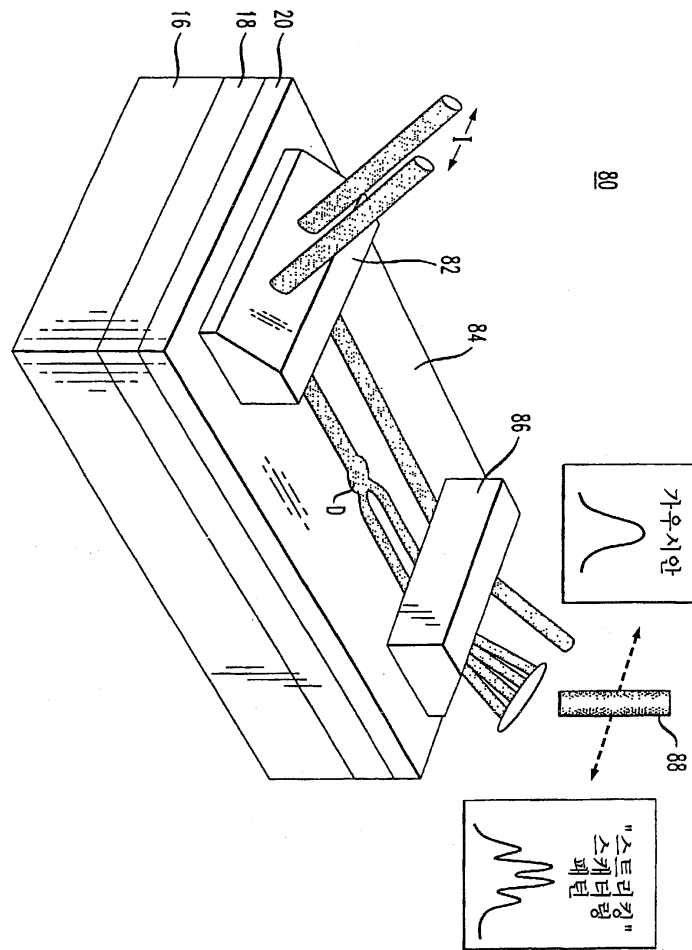
도면

종래기술

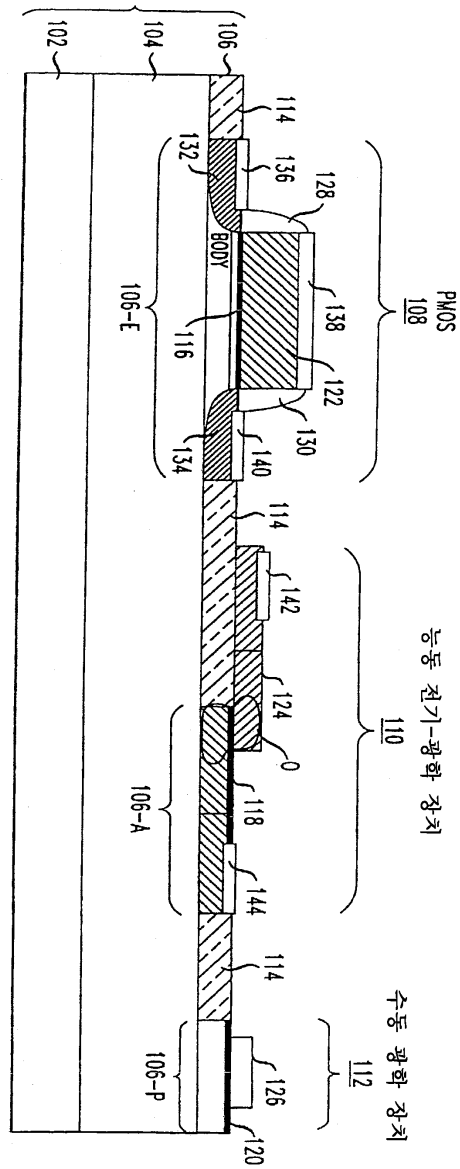
10



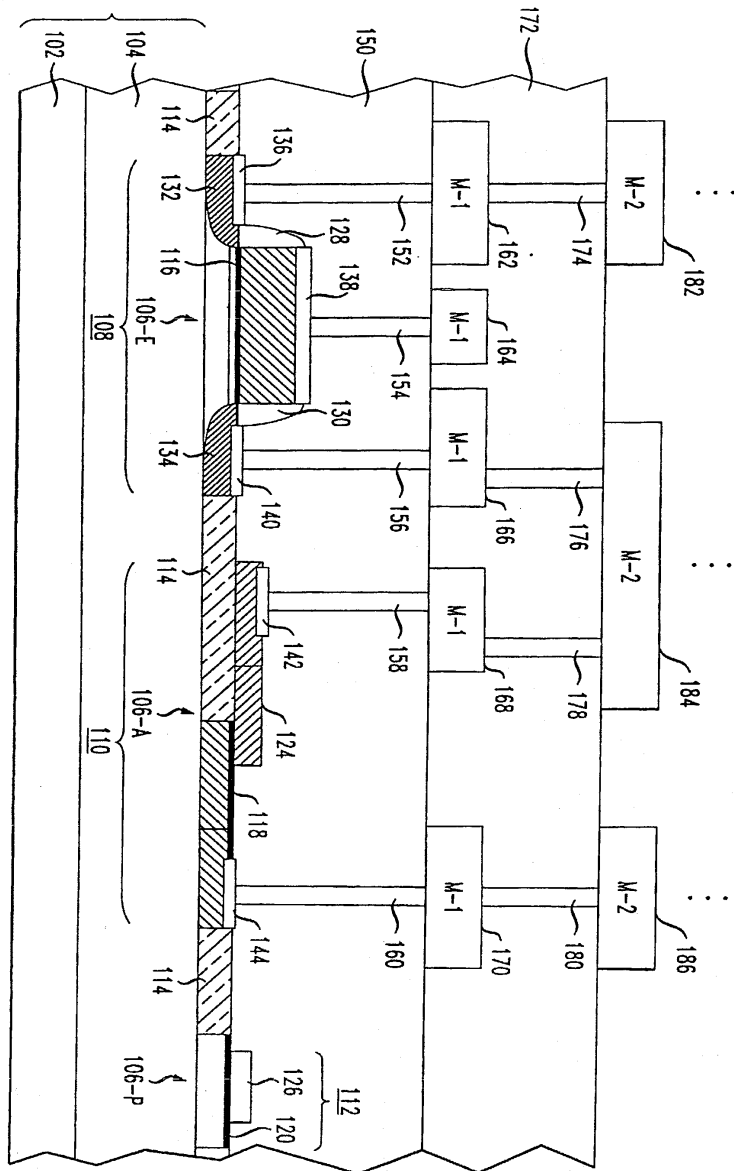
도면2



도면3



도면4



도면5

