

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 3 区分
【発行日】平成 26 年 3 月 13 日 (2014.3.13)

【公開番号】特開 2011-172215 (P2011-172215A)
【公開日】平成 23 年 9 月 1 日 (2011.9.1)
【年通号数】公開・登録公報 2011-035
【出願番号】特願 2011-8397 (P2011-8397)
【国際特許分類】

H 0 3 M 3/02 (2006.01)

【F I】

H 0 3 M 3/02

【手続補正書】

【提出日】平成 26 年 1 月 23 日 (2014.1.23)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

アナログ入力信号をデジタル信号に変換して出力する変換装置であって、
前記変換して出力されるデジタル信号にミスマッチシェーピングを行なった後にデジタル - アナログ変換を行なってフィードバック信号を生成するフィードバック信号生成器と、
前記アナログ入力信号より前記フィードバック信号を減算して出力する減算器と、
前記減算器の出力する信号を複数のパラレル信号に変換して出力するシリアル - パラレル変換器と、
前記シリアル - パラレル変換器の出力する複数のパラレル信号に対する信号処理を行ない複数の信号を出力するベクトルフィルタと、
前記ベクトルフィルタの出力する複数の信号を量子化してデジタル信号を出力する量子化器と、
前記量子化器が出力するデジタル信号をシリアル信号に変換し出力するパラレル - シリアル変換器と
を有する変換装置。

【請求項 2】

前記シリアル - パラレル変換器は、前記減算器の出力する信号を、複数の遅延回路が直列に接続された回路に入力し、前記アナログ入力信号および前記複数の遅延回路それぞれの出力信号をダウンサンプリングして前記パラレル信号を生成することを特徴とする請求項 1 に記載の変換装置。

【請求項 3】

前記パラレル - シリアル変換器は、複数の遅延回路のそれぞれの出力に加算器の入力が接続された回路を複数個直列接続して構成され、前記量子化器が出力する複数のデジタル信号のそれぞれを前記加算器のそれぞれに入力してシリアル信号に変換することを特徴とする請求項 1 に記載の変換装置。

【請求項 4】

前記ベクトルフィルタは、連続時間回路を用いて構成されていることを特徴とする請求項 1 に記載の変換装置。

【請求項 5】

前記ベクトルフィルタは、入力段と出力段とを含み多段接続されて構成され、前記入力段と前記出力段とは線形変換器を用いて構成されていることを特徴とする請求項 1 に記載の変換装置。

【請求項 6】

前記量子化器は、複数の内部量子化器を含み、前記複数の内部量子化器のそれぞれのビット数は異なることを特徴とする請求項 1 に記載の変換装置。

【請求項 7】

前記ベクトルフィルタは、前記シリアル - パラレル変換器の出力する複数のパラレル信号をクロスカップル回路に入力し、前記クロスカップル回路の出力を積分器に入力し、前記積分器の出力を出力することを特徴とする請求項 1 に記載の変換装置。

【請求項 8】

前記ベクトルフィルタは、前記シリアル - パラレル変換器の出力する複数のパラレル信号の和と差とを出力することを特徴とする請求項 1 に記載の変換装置。

【請求項 9】

前記シリアル - パラレル変換器は、前記アナログ入力信号に、周波数が等しく位相が異なる複数の信号それぞれを乗算してダウンサンプリングを行なうことを特徴とする請求項 1 に記載の変換装置。

【請求項 10】

前記シリアル - パラレル変換器は、前記アナログ入力信号に、周波数が等しく位相差が 2π の整数分の 1 の倍数となって異なる複数の信号それぞれを乗算して前記複数のパラレル信号として出力し、

前記ベクトルフィルタは、連続時間回路を用いて構成され、

前記量子化器でダウンサンプリングを行なうことを特徴とする請求項 1 に記載の変換装置。

【請求項 11】

アナログ入力信号をデジタル信号に変換して出力する変換装置であって、

前記変換して出力されるデジタル信号にミスマッチシェーピングを行なった後にデジタル - アナログ変換を行なってフィードバック信号を生成するフィードバック信号生成器と、

前記アナログ入力信号より前記フィードバック信号を減算して出力する減算器と、

前記減算器の出力する信号を複数のパラレル信号に変換して出力するシリアル - パラレル変換器と、

前記シリアル - パラレル変換器の出力する複数のパラレル信号に対する信号処理を行い複数の信号を出力するベクトルフィルタと、

前記ベクトルフィルタの出力する複数の信号にベクトル変換を行い出力するベクトル変換器と、

前記ベクトル変換器の出力する複数の信号を量子化してデジタル信号を出力する量子化器と、

前記量子化器の出力するデジタル信号に、前記ベクトル変換器が行なうベクトル変換の逆変換を行ない出力する逆ベクトル変換器と、

前記逆ベクトル変換器が出力するデジタル信号をシリアル信号に変換し出力するパラレル - シリアル変換器と

を有する変換装置。

【請求項 12】

前記量子化器は、前記ベクトル変換器の出力する複数の信号の一部を量子化して出力することを特徴とする請求項 11 に記載の変換装置。

【請求項 13】

アナログ入力信号をデジタル信号に変換して出力する変換装置であって、

前記変換して出力されるデジタル信号にミスマッチシェーピングを行なった後にデジタル - アナログ変換を行なってフィードバック信号を生成するフィードバック信号生成器と

、

前記アナログ入力信号より前記フィードバック信号を減算して出力する減算器と、
前記減算器の出力する信号を、複数の遅延回路が直列に接続された回路に入力し、前記アナログ入力信号および前記複数の遅延回路それぞれの出力信号をダウンサンプリングして複数のパラレル信号に変換して出力するシリアル - パラレル変換器と、

前記シリアル - パラレル変換器の出力する複数のパラレル信号に対する信号処理を行い複数の信号を出力するベクトルフィルタと、

前記シリアル - パラレル変換器の出力する複数のパラレル信号をクロスカップル回路に入力し、前記クロスカップル回路の出力を積分器に入力し、前記積分器の出力の和を出力するベクトル変換器と、

前記ベクトル変換器の出力する信号を量子化してデジタル信号を出力する量子化器と、
を有する変換装置。

【請求項 14】

アナログ入力信号をデジタル信号に変換して出力する変換装置であって、

前記変換して出力されるデジタル信号にミスマッチシェーピングを行なった後にデジタル - アナログ変換を行なってフィードバック信号を生成するフィードバック信号生成器と

、

前記アナログ入力信号より前記フィードバック信号を減算して出力する減算器と、
前記減算器の出力する信号を、複数の遅延回路が直列に接続された回路に入力し、前記アナログ入力信号および前記複数の遅延回路それぞれの出力信号をダウンサンプリングして複数のパラレル信号に変換して出力するシリアル - パラレル変換器と、

前記シリアル - パラレル変換器の出力する複数のパラレル信号に対する信号処理を行い複数の信号を出力するベクトルフィルタと、

前記シリアル - パラレル変換器の出力する複数のパラレル信号をクロスカップル回路に入力し、前記クロスカップル回路の出力の和を積分器に入力し、前記積分器の出力を出力するベクトル変換器と、

前記ベクトル変換器の出力する信号を量子化してデジタル信号を出力する量子化器と、
を有する変換装置。