

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7608552号
(P7608552)

(45)発行日 令和7年1月6日(2025.1.6)

(24)登録日 令和6年12月20日(2024.12.20)

(51)国際特許分類

F I

H 1 0 D 30/66 (2025.01)

H 0 1 L 29/78 6 5 2 Q

H 1 0 D 30/01 (2025.01)

H 0 1 L 29/78 6 5 2 T

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 2 F

H 0 1 L 29/78 6 5 2 K

請求項の数 24 (全17頁) 最終頁に続く

(21)出願番号 特願2023-169654(P2023-169654)

(22)出願日 令和5年9月29日(2023.9.29)

(62)分割の表示 特願2022-49020(P2022-49020)の
分割

原出願日 平成24年4月27日(2012.4.27)

(65)公開番号 特開2023-165988(P2023-165988
A)

(43)公開日 令和5年11月17日(2023.11.17)

審査請求日 令和5年9月29日(2023.9.29)

(73)特許権者 000116024

ローム株式会社

京都府京都市右京区西院溝崎町2 1 番地

(74)代理人 110002310

弁理士法人あい特許事務所

(72)発明者 中野 佑紀

京都府京都市右京区西院溝崎町2 1 番地

ローム株式会社内

(72)発明者 中村 亮太

京都府京都市右京区西院溝崎町2 1 番地

ローム株式会社内

(72)発明者 坂入 寛之

京都府京都市右京区西院溝崎町2 1 番地

ローム株式会社内

審査官 戸川 匠

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

トランジスタが形成されるアクティブ領域と、前記アクティブ領域を取り囲む非アクティブ領域とを有するS i C半導体層と、

前記S i C半導体層の表面から掘り下げられかつ側面部および底面部を有する複数のゲートトレンチと、

少なくとも前記ゲートトレンチの前記側面部および前記底面部を覆うように形成されたゲート絶縁膜と、

前記ゲートトレンチに埋め込まれたゲート電極と、

前記アクティブ領域において、前記ゲートトレンチの側面に接するように前記S i C半導体層の表面から順に形成されたソース層およびチャンネル層と、

前記ソース層の表面の一部と前記ゲート電極を覆うように形成された層間絶縁膜と、

前記ゲート電極に電氣的に接続されたゲートパッドと、

前記非アクティブ領域に形成され、前記ゲート電極に電氣的に接続されたゲートフィンガーと、

前記アクティブ領域において、前記複数のゲートトレンチ間に前記チャンネル層と繋がり、且つ、前記ゲートトレンチよりも深く形成されたピラー層とを備え、

前記S i C半導体層は、平面視において、四角形状であり、

前記ゲートパッドは、前記S i C半導体層の第1辺の中央部付近に配置されており、

前記ゲートフィンガーは、前記ゲートパッドに接続されかつ前記S i C半導体層の前記

10

20

第 1 辺に沿って延びた第 1 部分と、前記第 1 部分における前記第 1 辺と直交する第 2 辺側の端から前記第 2 辺に沿って延びた第 2 部分と、前記第 1 部分における前記第 1 辺と直交する第 3 辺側の端から前記第 3 辺に沿って延びた第 3 部分とを含み、

前記ゲート電極は、前記非アクティブ領域において、前記ゲートトレンチの開口端から前記 S i C 半導体層の表面を覆うように形成されたオーバーラップ部を有しており、

前記ゲート絶縁膜は、前記非アクティブ領域において、前記 S i C 半導体層の表面上に形成された平面絶縁膜を含み、

前記平面絶縁膜は、少なくとも前記オーバーラップ部と前記 S i C 半導体層の表面との間に介在されている、半導体装置。

【請求項 2】

前記ゲートトレンチの一部は、前記アクティブ領域から前記ゲートフィンガーの下方に延びている、請求項 1 に記載の半導体装置。

【請求項 3】

前記ゲートトレンチの開口部側の幅は、当該開口部に向かって広がっている、請求項 1 に記載の半導体装置。

【請求項 4】

前記平面絶縁膜の厚さは、前記ゲートトレンチの前記側面部上の前記ゲート絶縁膜の厚さより大きい、請求項 1 に記載の半導体装置。

【請求項 5】

前記ゲートトレンチの前記底面部の前記ゲート絶縁膜の厚さは、前記平面絶縁膜の厚さ以上である、請求項 4 に記載の半導体装置。

【請求項 6】

前記ゲート電極は、ポリシリコンからなる、請求項 1 ~ 5 のいずれか一項に記載の半導体装置。

【請求項 7】

前記ゲートフィンガーは、アルミニウムからなる、請求項 1 ~ 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記ゲートフィンガーは、

前記第 2 部分の前記第 1 辺と離れた位置から、前記第 3 辺に向かって突出した第 4 部分と、

前記第 3 部分の前記第 1 辺と離れた位置から、前記第 2 辺に向かって突出した第 5 部分とをさらに含む、請求項 1 ~ 7 のいずれか一項に記載の半導体装置。

【請求項 9】

平面視において、前記第 2 部分および前記第 4 部分からなる部分と、前記第 3 部分および前記第 5 部分からなる部分は、前記 S i C 半導体層の前記第 1 辺の中央点と前記第 1 辺に対向する第 4 辺の中央点とを結ぶ仮想線に対して線対称である、請求項 8 に記載の半導体装置。

【請求項 10】

平面視において、前記第 2 部分および前記第 4 部分は、それぞれ前記 S i C 半導体層の前記第 2 辺および前記第 4 辺の外周に沿って配置され、

前記第 3 部分および前記第 5 部分は、それぞれ前記 S i C 半導体層の前記第 3 辺および前記第 4 辺の外周に沿って配置されている、請求項 9 に記載の半導体装置。

【請求項 11】

平面視において、前記 S i C 半導体層の外周部には、前記ゲートフィンガーが形成されていない部分が存在する、請求項 10 に記載の半導体装置。

【請求項 12】

前記ソース層と電氣的に接続され、前記ゲートフィンガーに重ならない領域に形成されたソースパッドをさらに含む、請求項 1 ~ 11 のいずれか一項に記載の半導体装置。

【請求項 13】

10

20

30

40

50

前記チャンネル層と接するとともに前記SiC半導体層の裏面まで到達するように形成されたドレイン層と、

前記SiC半導体層の裏面側で前記ドレイン層と電氣的に接続するドレイン電極とをさらに含む、請求項1に記載の半導体装置。

【請求項14】

前記ソース層および前記ドレイン層はn型であり、前記チャンネル層および前記ピラー層はp型である、請求項13に記載の半導体装置。

【請求項15】

前記ソース層および前記ドレイン層はp型であり、前記チャンネル層および前記ピラー層はn型である、請求項13に記載の半導体装置。

10

【請求項16】

前記ゲートトレンチは、前記非アクティブ領域において前記SiC半導体層の表面から掘り下げられかつ前記SiC半導体層の表面と前記側面部とが円形面を介して連なっているコンタクトトレンチを含む、請求項1～15のいずれか一項に記載の半導体装置。

【請求項17】

平面視において、複数の前記ゲートトレンチは、前記アクティブ領域においては、格子状に形成され、前記コンタクトトレンチは、ストライプ状に形成されている、請求項16に記載の半導体装置。

【請求項18】

前記コンタクトトレンチを含む前記ゲートトレンチは、断面視において、前記側面部は、円形面を介して、前記底面部に連なる様に形成されている、請求項16または17に記載の半導体装置。

20

【請求項19】

前記コンタクトトレンチを含む前記ゲートトレンチの前記底面部上の前記ゲート絶縁膜の厚さは、前記コンタクトトレンチを含む前記ゲートトレンチの前記側面部上の前記ゲート絶縁膜の厚さより大きい、請求項16～18に記載の半導体装置。

【請求項20】

前記平面絶縁膜の厚さは、前記コンタクトトレンチの前記側面部上の前記ゲート絶縁膜の厚さより大きい、請求項19に記載の半導体装置。

【請求項21】

前記ゲート絶縁膜は、前記コンタクトトレンチの側面上の側面絶縁膜および前記コンタクトトレンチの底面上の底面絶縁膜を一体的に含み、

前記側面絶縁膜は、前記コンタクトトレンチの開口端に形成された上部エッジにおいて、前記コンタクトトレンチの内方のみ突出するように、当該側面絶縁膜の他の部分に比べて選択的に厚くなったオーバーハング部を含む、請求項18～20のいずれか一項に記載の半導体装置。

30

【請求項22】

MOSFETが形成されるアクティブ領域と、前記アクティブ領域を取り囲む非アクティブ領域とを有するSiC半導体層と、

前記SiC半導体層の表面から掘り下げられかつ側面部および底面部を有する複数のゲートトレンチと、

40

少なくとも前記ゲートトレンチの前記側面部および前記底面部を覆うように形成されたゲート絶縁膜と、

前記ゲートトレンチに埋め込まれたゲート電極と、

前記アクティブ領域において、前記ゲートトレンチの側面に接するように前記SiC半導体層の表面から順に形成されたソース層およびチャンネル層と、

前記ソース層の表面の一部と前記ゲート電極を覆うように形成された層間絶縁膜と、

前記ゲート電極に電氣的に接続されたゲートパッドと、

前記非アクティブ領域に形成され、前記ゲート電極に電氣的に接続されたゲートフィンガーと、

50

前記アクティブ領域において、前記複数のゲートトレンチ間に前記チャンネル層と繋がり、且つ、前記ゲートトレンチよりも深く形成されたピラー層と、

前記非アクティブ領域において、前記SiC半導体層の表面から掘り下げられたコンタクトトレンチと、

前記コンタクトトレンチの側面および底面を前記コンタクトトレンチの外方から覆うように形成されたp型層とを備え、

前記SiC半導体層は、平面視において、四角形状であり、

前記ゲートパッドは、前記SiC半導体層の第1辺の中央部付近に配置されており、

前記ゲートフィンガーは、前記ゲートパッドに接続されかつ前記SiC半導体層の前記第1辺に沿って延びた第1部分と、前記第1部分における前記第1辺と直交する第2辺側の端から前記第2辺に沿って延びた第2部分と、前記第1部分における前記第1辺と直交する第3辺側の端から前記第3辺に沿って延びた第3部分とを含み、

10

前記ゲート電極は、前記非アクティブ領域において、前記ゲートトレンチの開口端から前記SiC半導体層の表面を覆うように形成されたオーバーラップ部を有しており、

前記ゲート絶縁膜は、前記非アクティブ領域において、前記SiC半導体層の表面上に形成された平面絶縁膜を含み、

前記平面絶縁膜は、少なくとも前記オーバーラップ部と前記SiC半導体層の表面との間に介在されている、半導体装置。

【請求項23】

前記ゲートトレンチの開口部側の幅は、当該開口部に向かって広がっている、請求項22に記載の半導体装置。

20

【請求項24】

前記コンタクトトレンチは、前記SiC半導体層の表面と前記側面部とが円形面を介して連なっている、請求項22に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トレンチゲート構造を有する半導体装置に関する。

【背景技術】

【0002】

たとえば、特許文献1は、アクティブセルアレイおよびゲートバスエリアが形成されたエピタキシャル層と、アクティブセルアレイに形成されたゲートトレンチと、ゲートトレンチに形成されたゲート酸化膜と、ゲートトレンチに埋め込まれたポリシリコンからなるゲート電極と、ゲートバスエリアに形成され、ゲートトレンチと繋がるトレンチと、ゲートバスエリアにおいてエピタキシャル層の表面を覆うようにトレンチに埋め込まれたポリシリコンからなるゲートバスとを含む、トレンチゲート縦型MOSFETを開示している。

30

【先行技術文献】

【特許文献】

【0003】

【文献】特表2006-520091号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の目的は、新規の構成の半導体装置を提供することにある。

【課題を解決するための手段】

【0005】

本発明の一実施形態は、トランジスタが形成されるアクティブ領域と、前記アクティブ領域を取り囲む非アクティブ領域とを有するSiC半導体層と、前記SiC半導体層の表面から掘り下げられかつ側面部および底面部を有する複数のゲートトレンチと、少なくとも前記ゲートトレンチの前記側面部および前記底面部を覆うように形成されたゲート絶縁

50

膜と、前記ゲートトレンチに埋め込まれたゲート電極と、前記アクティブ領域において、前記ゲートトレンチの側面に接するように前記SiC半導体層の表面から順に形成されたソース層およびチャンネル層と、前記ソース層の表面の一部と前記ゲート電極を覆うように形成された層間絶縁膜と、前記ゲート電極に電氣的に接続されたゲートパッドと、前記非アクティブ領域に形成され、前記ゲート電極に電氣的に接続されたゲートフィンガーと、前記アクティブ領域において、前記複数のゲートトレンチ間に前記チャンネル層と繋がり、且つ、前記ゲートトレンチよりも深く形成されたピラー層とを備え、前記SiC半導体層は、平面視において、四角形状であり、前記ゲートパッドは、前記SiC半導体層の第1辺の中央部付近に配置されており、前記ゲートフィンガーは、前記ゲートパッドに接続されかつ前記SiC半導体層の前記第1辺に沿って延びた第1部分と、前記第1部分における前記第1辺と直交する第2辺側の端から前記第2辺に沿って延びた第2部分と、前記第1部分における前記第1辺と直交する第3辺側の端から前記第3辺に沿って延びた第3部分とを含む、半導体装置を提供する。

10

【0006】

本発明の一実施形態では、前記ゲートトレンチの一部は、前記アクティブ領域から前記ゲートフィンガーの下方に延びている。

【0007】

本発明の一実施形態では、前記ゲートトレンチの開口部側の幅は、当該開口部に向かって広がっている。

【0008】

本発明の一実施形態では、前記ゲート絶縁膜は、前記SiC半導体層の表面上にも形成されており、前記SiC半導体層の表面上の前記ゲート絶縁膜の厚さは、前記ゲートトレンチの前記側面部上の前記ゲート絶縁膜の厚さより大きい。

20

【0009】

本発明の一実施形態では、前記ゲートトレンチの前記底面部の前記ゲート絶縁膜の厚さは、前記SiC半導体層の表面上の前記ゲート絶縁膜の厚さ以上である。

【0010】

本発明の一実施形態では、前記ゲート電極は、ポリシリコンからなる。

【0011】

本発明の一実施形態では、前記ゲートフィンガーは、アルミニウムからなる。

30

【0012】

本発明の一実施形態では、前記ゲートフィンガーは、前記第2部分の前記第1辺と離れた位置から、前記第3辺に向かって突出した第4部分と、前記第3部分の前記第1辺と離れた位置から、前記第2辺に向かって突出した第5部分とをさらに含む。

【0013】

本発明の一実施形態では、平面視において、前記第2部分および前記第4部分からなる部分と、前記第3部分および前記第5部分からなる部分は、前記SiC半導体層の前記第1辺の中央点と前記第1辺に対向する第4辺の中央点とを結ぶ仮想線に対して線対称である。

【0014】

本発明の一実施形態では、平面視において、前記第2部分および前記第4部分は、それぞれ前記SiC半導体層の前記第2辺および前記第4辺の外周に沿って配置され、前記第3部分および前記第5部分は、それぞれ前記SiC半導体層の前記第3辺および前記第4辺の外周に沿って配置されている。

40

【0015】

本発明の一実施形態では、平面視において、前記SiC半導体層の外周部には、前記ゲートフィンガーが形成されていない部分が存在する。

【0016】

本発明の一実施形態では、前記ソース層と電氣的に接続され、前記ゲートフィンガーに重ならない領域に形成されたソースパッドをさらに含む。

50

【 0 0 1 7 】

本発明の一実施形態では、前記チャンネル層と接するとともに前記S i C半導体層の裏面まで到達するように形成されたドレイン層と、前記S i C半導体層の裏面側で前記ドレイン層と電氣的に接続するドレイン電極とをさらに含む。

【 0 0 1 8 】

本発明の一実施形態では、前記ソース層および前記ドレイン層はn型であり、前記チャンネル層および前記ピラー層はp型である。

【 0 0 1 9 】

本発明の一実施形態では、前記ソース層および前記ドレイン層はp型であり、前記チャンネル層および前記ピラー層はn型である。

10

【 0 0 2 0 】

本発明の一実施形態では、前記ゲートトレンチは、前記非アクティブ領域において前記S i C半導体層の表面から掘り下げられかつ前記S i C半導体層の表面と前記側面部とが円形面を介して連なっているコンタクトトレンチを含む。

【 0 0 2 1 】

本発明の一実施形態では、平面視において、複数の前記ゲートトレンチは、前記アクティブ領域においては、格子状に形成され、前記コンタクトトレンチは、ストライプ状に形成されている。

【 0 0 2 2 】

本発明の一実施形態では、前記コンタクトトレンチを含む前記ゲートトレンチは、断面視において、前記側面部は、円形面を介して、前記底面部に連なる様に形成されている。

20

【 0 0 2 3 】

本発明の一実施形態では、前記コンタクトトレンチを含む前記ゲートトレンチの前記底面部上の前記ゲート絶縁膜の厚さは、前記コンタクトトレンチを含む前記ゲートトレンチの前記側面部上の前記ゲート絶縁膜の厚さより大きい。

【 0 0 2 4 】

本発明の一実施形態では、前記ゲート絶縁膜は、前記非アクティブ領域においては、前記S i C半導体層の表面上にも形成されており、前記S i C半導体層の表面上の前記ゲート絶縁膜の厚さは、前記コンタクトトレンチの前記側面部上の前記ゲート絶縁膜の厚さより大きい。

30

【 0 0 2 5 】

本発明の一実施形態では、前記ゲート絶縁膜は、前記コンタクトトレンチの側面上の側面絶縁膜および前記コンタクトトレンチの底面上の底面絶縁膜を一体的に含み、前記側面絶縁膜は、前記コンタクトトレンチの開口端に形成された上部エッジにおいて、前記コンタクトトレンチの内方のみ突出するように、当該側面絶縁膜の他の部分に比べて選択的に厚くなったオーバーハング部を含む。

【 0 0 2 6 】

本発明の一実施形態は、M O S F E Tが形成されるアクティブ領域と、前記アクティブ領域を取り囲む非アクティブ領域とを有するS i C半導体層と、前記S i C半導体層の表面から掘り下げられかつ側面部および底面部を有する複数のゲートトレンチと、少なくとも前記ゲートトレンチの前記側面部および前記底面部を覆うように形成されたゲート絶縁膜と、前記ゲートトレンチに埋め込まれたゲート電極と、前記アクティブ領域において、前記ゲートトレンチの側面に接するように前記S i C半導体層の表面から順に形成されたソース層およびチャンネル層と、前記ソース層の表面の一部と前記ゲート電極を覆うように形成された層間絶縁膜と、前記ゲート電極に電氣的に接続されたゲートパッドと、前記非アクティブ領域に形成され、前記ゲート電極に電氣的に接続されたゲートフィンガーと、前記アクティブ領域において、前記複数のゲートトレンチ間に前記チャンネル層と繋がり、且つ、前記ゲートトレンチよりも深く形成されたピラー層と、前記非アクティブ領域において、前記S i C半導体層の表面から掘り下げられたコンタクトトレンチと、前記コンタクトトレンチの側面および底面を前記コンタクトトレンチの外方から覆うように形成され

40

50

たp型層とを備え、前記SiC半導体層は、平面視において、四角形状であり、前記ゲートパッドは、前記SiC半導体層の第1辺の中央部付近に配置されており、前記ゲートフィンガーは、前記ゲートパッドに接続されかつ前記SiC半導体層の前記第1辺に沿って延びた第1部分と、前記第1部分における前記第1辺と直交する第2辺側の端から前記第2辺に沿って延びた第2部分と、前記第1部分における前記第1辺と直交する第3辺側の端から前記第3辺に沿って延びた第3部分とを含む、半導体装置を提供する。

【0027】

本発明の一実施形態では、前記ゲートトレンチの開口部側の幅は、当該開口部に向かって広がっている。

【0028】

本発明の一実施形態では、前記コンタクトトレンチは、前記SiC半導体層の表面と前記側面部とが円形面を介して連なっている。

【図面の簡単な説明】

【0029】

【図1】図1(a)(b)は、本発明の一実施形態に係る半導体装置の模式的な平面図であって、図1(a)は全体図、図1(b)は内部拡大図をそれぞれ示す。

【図2】図2(a)(b)(c)は、前記半導体装置の断面図であって、図2(a)は図1(b)の切断線IIa-IIaでの切断面、図2(b)は図1(b)の切断線IIb-IIbでの切断面、図2(c)は図1(b)の切断線IIc-IIcでの切断面をそれぞれ示す。

【図3】図3は、前記半導体装置のゲートフィンガー部の第1の実施形態を示す断面図である。

【図4】図4は、前記半導体装置のゲートフィンガー部の第2の実施形態を示す断面図である。

【図5】図5は、前記半導体装置のゲートフィンガー部の第3の実施形態を示す断面図である。

【図6】図6は、前記半導体装置のゲートフィンガー部の第4の実施形態を示す断面図である。

【図7】図7は、前記半導体装置のゲートフィンガー部の第5の実施形態を示す断面図である。

【図8】図8は、前記半導体装置のゲートフィンガー部の第6の実施形態を示す断面図である。

【図9】図9は、前記半導体装置のゲートフィンガー部の第7の実施形態を示す断面図である。

【図10】図10は、前記半導体装置の製造方法を説明するためのフロー図である。

【図11】図11は、上部エッジに傾斜面を形成する工程を説明するための図である。

【図12】図12は、上部エッジに円形面を形成する工程を説明するための図である。

【発明を実施するための形態】

【0030】

以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

【0031】

図1(a)(b)は、本発明の一実施形態に係る半導体装置の模式的な平面図であって、図1(a)は全体図、図1(b)は内部拡大図をそれぞれ示す。

【0032】

半導体装置1は、SiC(炭化シリコン)を用いたパワーMOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)素子(個別素子)を含み、たとえば、図1の紙面における上下方向の長さは1mm程度である。

【0033】

図1(a)に示すように、半導体装置1は、半導体層の一例としてのSiC基板2上の中央部に配置され、電界効果トランジスタとして機能するアクティブ領域3と、アクティブ領域3を取り囲む非アクティブ領域としての外周領域4とを備えている。たとえばアル

10

20

30

40

50

ミニウムからなるソースパッド5は、アクティブ領域3のほぼ全域を覆うように形成されている。ソースパッド5は、この実施形態では、平面視正形状である。ソースパッド5の周縁部には、外周領域4に沿ってソースパッド5の中央領域を取り囲む除去領域6が形成されている。除去領域6は、一部が選択的にソースパッド5の中央領域へ向かって窪んでいる。この窪みに、ゲートパッド7が設置されている。たとえばアルミニウムからなるゲートフィンガー8は、ゲートパッド7から外周領域4に沿って除去領域6全体に渡って延びている。この実施形態では、一対のゲートフィンガー8がゲートパッド7に対して対称な形状で形成されている。

【0034】

図1(b)に示すように、ソースパッド5等の直下においてSiC基板2には、ゲートトレンチ9が形成されている。ゲートトレンチ9は、アクティブ領域3および外周領域4に跨って形成されている。ゲートトレンチ9は、アクティブ領域3において格子状に形成され、MOSFETのゲートとして利用されるアクティブトレンチ91と、アクティブトレンチ91の各端部から外周領域4に引き出されたストライプ状に形成され、アクティブトレンチ91内のゲート電極15(後述)へのコンタクトとなるコンタクトトレンチ92を含む。コンタクトトレンチ92は、アクティブトレンチ91の延長部で構成されている。なお、アクティブトレンチ91およびコンタクトトレンチ92のパターンは、これらの形状に限らない。たとえば、アクティブトレンチ91はストライプ状やハニカム状等であってもよい。また、コンタクトトレンチ92は格子状やハニカム状等であってもよい。

【0035】

アクティブ領域3は、アクティブトレンチ91によって、さらに多数の単位セル10に区画されている。アクティブ領域3には、多数の単位セル10がマトリクス状(行列状)に規則的に配列されることとなる。各単位セル10の上面には、その中央領域にp⁺型チャネルコンタクト層11が形成され、p⁺型チャネルコンタクト層11を取り囲むようにn⁺型ソース層12が形成されている。n⁺型ソース層12は、各単位セル10の側面(アクティブトレンチ91の側面)を形成している。

【0036】

外周領域4においてゲートフィンガー8は、ストライプ状のコンタクトトレンチ92を横切る方向に沿って敷設されている。この実施形態では、ゲートフィンガー8は、コンタクトトレンチ92の長手方向終端部(アクティブトレンチ91に対して反対側の端部)よりも内側領域に敷設されていて、コンタクトトレンチ92の終端部はゲートフィンガー8よりも外側にはみ出している。この終端部よりもさらに外側の領域においてSiC基板2には、外周領域4全周に渡って掘り下げられた低段部13が形成されている。

【0037】

次に、半導体装置1のアクティブ領域3および外周領域4の基本的な断面構造を説明する。

【0038】

図2(a)(b)(c)は、前記半導体装置の断面図であって、図2(a)は図1(b)の切断線IIa-IIaでの切断面、図2(b)は図1(b)の切断線IIb-IIbでの切断面、図2(c)は図1(b)の切断線IIc-IIcでの切断面をそれぞれ示す。

【0039】

前述のように、半導体装置1は、SiC基板2を備えている。SiC基板2は、この実施形態では、第1導電型としてのn型であり、電界効果トランジスタのドレイン領域(ドリフト層)として機能する。

【0040】

SiC基板2の表面21側には、p型チャネル層14が形成されている。p型チャネル層14内には、n⁺型ソース層12と、このn⁺型ソース層12に取り囲まれた、第2導電型不純物領域の一例としてのp⁺型チャネルコンタクト層11とが形成されている。n⁺型ソース層12およびp⁺型チャネルコンタクト層11は共にSiC基板2の表面21に露出している。

10

20

30

40

50

【0041】

また、SiC基板2の表面21側には、n⁺型ソース層12およびp型チャネル層14を貫通してドレイン領域としてのSiC基板2に達するゲートトレンチ9が形成されている。ゲートトレンチ9によって、p型チャネル層14は、たとえば格子配列する多数の単位セル10に区画されている。

【0042】

そして、ゲートトレンチ9に、たとえばポリシリコンからなるゲート電極15が埋め込まれており、このゲート電極15とSiC基板2との間にゲート絶縁膜16が介在されている。

【0043】

ゲート電極15は、たとえば図1(b)に斜線ハッチングで示されるように、アクティブ領域3においては、SiC基板2の表面21までゲートトレンチ9(アクティブトレンチ91)に埋め込まれている。これにより、ゲート電極15も格子状に形成されており、各単位セル10の上面はゲート電極15で覆われずに露出している。一方、外周領域4においては、ゲートトレンチ9(コンタクトトレンチ92)の開口端からSiC基板2の表面21を覆うように形成されたオーバーラップ部17を有している。オーバーラップ部17は、この実施形態では、ゲートフィンガー8に沿ってストライプ状のコンタクトトレンチ92を横切るように形成されている。ゲート絶縁膜16は、ゲートトレンチ9の側面上の側面絶縁膜18、底面上の底面絶縁膜19およびSiC基板2の表面21上の平面絶縁膜20を一体的に含む。この実施形態では、平面絶縁膜20は、少なくともオーバーラップ部17とSiC基板2の表面21との間に介在されている。

【0044】

アクティブ領域3において、ゲート電極15は、n⁺型ソース層12とドレイン領域としてのSiC基板2との間に跨っていて、p型チャネル層14の表面(アクティブトレンチ91の側面)における反転層(チャネル)の形成を制御する。すなわち、この半導体装置1は、いわゆるトレンチゲート型構造のMOSFETを有している。

【0045】

また、アクティブ領域3では、ドレイン領域としてのSiC基板2内にp型ピラー層22が形成されている。p型ピラー層22は、各単位セル10のp型チャネル層14の内方の領域に形成されている。より具体的には、この実施形態では、p型ピラー層22は、p型チャネル層14のほぼ中央の領域において、たとえばp型チャネル層14と相似形(図1(b)のレイアウトでは平面視四角形)に形成されている。p型ピラー層22は、p型チャネル層14に連なるように形成されており、ドレイン領域としてのSiC基板2において、p型チャネル層14よりも深い位置までSiC基板2の裏面に向かって延びている。すなわち、p型ピラー層22は、ほぼ柱状(図1(b)のレイアウトではほぼ四角柱状)に形成されている。これにより、SiC基板2には、適当なピッチで配列されたp型ピラー層22と、互いに隣り合うp型ピラー層22の間に挟まれたn型ドレイン領域としてのSiC基板2とが表面21に沿う方向に交互に配列されている。

【0046】

SiC基板2の表面21には、たとえば酸化シリコンからなる層間膜23が形成されている。層間膜23には、アクティブ領域3において、p型チャネル層14の中央領域にコンタクトホール24が選択的に形成されている。このコンタクトホール24は、p⁺型チャネルコンタクト層11およびその周囲のn⁺型ソース層12の一部を選択的に露出させることができる領域に形成されている。また、図1(b)に示すように、層間膜23には、外周領域4において、ゲートフィンガー8の直下にコンタクトホール25が選択的に形成されている。この実施形態では、コンタクトホール25は、ゲートフィンガー8の幅方向中央において、外周領域4に沿ってアクティブ領域3を取り囲む直線状に形成されている。

【0047】

層間膜23上には、ソースパッド5およびゲートフィンガー8(ゲートパッド7)が形

10

20

30

40

50

成されている。ソースパッド5は、全てのコンタクトホール24に一括して入り込んでいて、各单位セル10においてn⁺型ソース層12およびp⁺型チャンネルコンタクト層11に接続されている。したがって、n⁺型ソース層12は、ソースパッド5と同電位となる。また、p型チャンネル層14は、p⁺型チャンネルコンタクト層11を介してソースパッド5に接続されるので、このソースパッド5と同電位となる。ゲートフィンガー8は、コンタクトホール25に入り込んでいて、ゲート電極15のオーバーラップ部17に接続されている。したがって、アクティブトレンチ91に埋め込まれたゲート電極15は、オーバーラップ部17を介してゲートフィンガー8に接続されるので、ゲートフィンガー8（ゲートパッド7）と同電位となる。

【0048】

そして、このような構成の半導体装置1では、ゲートフィンガー8にオン電圧を印加すると、これによってゲート電極15のオーバーラップ部17にもオン電圧がかかる。そのため、オーバーラップ部17から発生する電界がコンタクトトレンチ92の上部エッジに集中しやすい。その結果、コンタクトトレンチ92の上部エッジにおいてゲート絶縁膜16が絶縁破壊するおそれがある。そこで、本願発明者らは、このようなゲート絶縁膜16の絶縁破壊を防止可能な構造として、図3～図9に示す構造を見出した。

【0049】

図3～図9は、前記半導体装置のゲートフィンガー部の第1～7の実施形態を示す断面図である。図4～図9において、各図よりも前述した図に示された各部と対応する部分には同一の参照符号を付して示す。

【0050】

図3に示すように、第1の実施形態では、側面絶縁膜18は、コンタクトトレンチ92の上部エッジ26においてコンタクトトレンチ92の内方へ突出するように、当該側面絶縁膜18の他の部分に比べて選択的に厚くなったオーバーハング部27を含んでいる。ここで、上部エッジ26は、コンタクトトレンチ92の側面とSiC基板2の表面21とが交わってできる交線を含む角部のことである。

【0051】

このオーバーハング部27によって、上部エッジ26におけるゲート絶縁膜16の耐圧を向上させることができる。そのため、ゲートのオン時に上部エッジ26に電界が集中しても、上部エッジ26でのゲート絶縁膜16の絶縁破壊を防止することができる。その結果、ゲートオン電圧に対する信頼性を向上させることができる。

【0052】

また、ゲート絶縁膜16の各部の厚さの関係について、底面絶縁膜19の厚さ t_2 が平面絶縁膜20の厚さ t_1 以上であり($t_2 \geq t_1$)、厚さ t_1 、 t_2 が共に側面絶縁膜18（オーバーハング部27を除く）の厚さ t_3 に比べて大きいことが好ましい。つまり、 $t_2 \geq t_1 > t_3$ の関係を満たしている。

【0053】

この構成によって、底面絶縁膜19を介して互いに向かい合うゲート電極15とn型ドレイン領域としてのSiC基板2とによって構成されるキャパシタの容量を低減することができる。その結果、ゲート全体としての容量（ゲート容量）を低減することができる。また、底面絶縁膜19の耐圧を向上させることができるので、ゲートのオフ時における底面絶縁膜19の絶縁破壊を防止することもできる。また、平面絶縁膜20も厚いので、平面絶縁膜20を介して互いに向かい合うゲート電極15（オーバーラップ部17）とn型ドレイン領域としてのSiC基板2とによって構成されるキャパシタの容量を低減することができる。その結果、ゲート全体としての容量（ゲート容量）を低減することができる。

【0054】

また、コンタクトトレンチ92の底部における下部エッジが、コンタクトトレンチ92の側面と底面とを連ならせる円形面28である。つまり、コンタクトトレンチ92の下部エッジが鋭くなっておらず、円形面28によって丸みを帯びている。

【0055】

10

20

30

40

50

この構成によって、ゲートのオフ時に下部エッジにかかる電界を円形面 28 内に分散させることができるので、下部エッジでの電界集中を緩和することができる。

【0056】

図 4 に示す第 2 の実施形態では、図 3 の構成に加えてさらに、コンタクトトレンチ 92 の上部エッジ 26 が、SiC 基板 2 の表面 21 とコンタクトトレンチ 92 の側面とを連ならせる傾斜面 29 となっている。つまり、コンタクトトレンチ 92 の上部エッジ 26 が面取りされた形状となっている。

【0057】

この構成によって、ゲートのオン時に上部エッジ 26 にかかる電界を傾斜面 29 内に分散させることができるので、上部エッジ 26 での電界集中を緩和することができる。

10

【0058】

図 5 に示す第 3 の実施形態では、図 3 の構成に加えてさらに、コンタクトトレンチ 92 の上部エッジ 26 が、SiC 基板 2 の表面 21 とコンタクトトレンチ 92 の側面とを連ならせる円形面 30 となっている。つまり、コンタクトトレンチ 92 の上部エッジ 26 が鋭くならず、円形面 30 によって丸みを帯びている。

【0059】

この構成によって、ゲートのオン時に上部エッジ 26 にかかる電界を円形面 30 内に分散させることができるので、上部エッジ 26 での電界集中を緩和することができる。

【0060】

図 6 に示す第 4 の実施形態では、図 4 の構成に加えてさらに、SiC 基板 2 の表面 21 側に、アクティブ領域 3 の p 型チャネル層 14 (図 2 (a) 参照) と同じ深さ位置に形成された第 2 導電型層としての p 型層 31 が形成されている。

20

【0061】

この構成によって、外周領域 4 の p 型層 31 を、アクティブ領域 3 の p 型チャネル層 14 と同一の工程で形成することができるので、半導体装置 1 の製造工程を簡略化することができる。また、ゲート絶縁膜 16 と n 型ドレイン領域としての SiC 基板 2 との接触面積を減らすことができるので、リーク電流を低減することができ、ゲート容量を低減することもできる。

【0062】

図 7 に示す第 5 の実施形態では、図 6 の構成に加えてさらに、p 型層 31 内に、アクティブ領域 3 の n⁺型ソース層 12 (図 2 (a) 参照) と同じ深さ位置に形成された第 1 導電型層としての n⁺型層 32 が形成されている。

30

【0063】

この構成によって、外周領域 4 の n⁺型層 32 を、アクティブ領域 3 の n⁺型ソース層 12 と同一の工程で形成することができるので、半導体装置 1 の製造工程を簡略化することができる。

【0064】

図 8 に示す第 6 の実施形態では、図 6 の構成に加えてさらに、p 型層 31 に連なるように、アクティブ領域 3 の p 型ピラー層 22 と同じ深さ位置に形成された底部第 2 導電型層としての底部 p 型層 33 が形成されている。底部 p 型層 33 は、p 型層 31 の下方でコンタクトトレンチ 92 に露出するドレイン領域としての SiC 基板 2 が隠れるように、コンタクトトレンチ 92 の底面および側面に形成されている。底部 p 型層 33 は、コンタクトトレンチ 92 の側面において p 型層 31 に連続している。

40

【0065】

この構成によって、底部 p 型層 33 と n 型ドレイン領域としての SiC 基板 2 との接合 (pn 接合) によって生じる空乏層を、コンタクトトレンチ 92 付近に発生させることができる。そして、この空乏層の存在によって、等電位面をゲート絶縁膜 16 から遠ざけることができる。その結果、コンタクトトレンチ 92 の底部においてゲート絶縁膜 16 にかかる電界を緩和することができる。さらに、外周領域 4 の底部 p 型層 33 を、アクティブ領域 3 の p 型ピラー層 22 と同一の工程で形成することができるので、半導体装置 1 の製

50

造工程を簡略化することもできる。この底部 p 型層 33 は、図 9 に示す第 7 実施形態のように、図 7 の構成と組み合わせられてもよい。

【0066】

なお、ここでは図示しなかったが、図 3 ~ 図 9 に示したオーバーハング部 27、円形面 28、傾斜面 29、円形面 30 は、アクティブトレンチ 91 にも同様に形成されていてもよい。

【0067】

図 10 は、前記半導体装置の製造方法を説明するためのフロー図である。

【0068】

半導体装置 1 を製造するには、たとえば、SiC 基板 2 の表面 21 に選択的に不純物を注入し、アニール処理する（ステップ S1）。これにより、p 型チャネル層 14、n⁺型ソース層 12、p⁺型チャネルコンタクト層 11 等の不純物領域が形成される。次に、所定パターンで SiC 基板 2 を表面 21 からエッチングすることによって、SiC 基板 2 にゲートトレンチ 9（アクティブトレンチ 91 およびコンタクトトレンチ 92）が形成される（ステップ S2）。

10

【0069】

次の工程は、ゲート絶縁膜 16 の形成である（ステップ S3）。ゲート絶縁膜 16 の形成は、コンタクトトレンチ 92 の上部エッジ 26 において他の部分に比べて選択的に厚くなるオーバーハング部 27 が形成されるように、所定の条件（ガス流量、ガス種、ガス比率、ガス供給時間等）下での CVD 法を用いてゲートトレンチ 9 内に絶縁材料を堆積させる。これによって、オーバーハング部 27 を有するゲート絶縁膜 16 が形成される。

20

【0070】

ここで、図 4 および図 6 ~ 図 9 に示したように上部エッジ 26 に傾斜面 29 を形成する場合には、ゲートトレンチ 9 の形成後ゲート絶縁膜 16 の形成前に、SiC 基板 2 を熱酸化する。具体的には、図 11 に示すように、SiC 基板 2 を熱酸化することによって、犠牲酸化膜 34 が形成される。犠牲酸化膜 34 の形成に際して、コンタクトトレンチ 92 近傍では、SiC 基板 2 の表面 21 およびコンタクトトレンチ 92 の側面の両方から一様に酸化が始まる。そのため、上部エッジ 26 では SiC 基板 2 の表面 21 から進行した酸化膜と、コンタクトトレンチ 92 の側面から進行した酸化膜が、他の領域に比べて先に一体化する。これによって一体化した酸化膜の下方に傾斜面 29 が形成されることとなる。その後、犠牲酸化膜 34 を除去し、ゲート絶縁膜 16 を CVD 法で形成すればよい。

30

【0071】

この図 11 の手法を採用する場合、図 6 ~ 図 9 のように SiC 基板 2 の表面 21 側に p 型層 31 や n⁺型層 32 が形成されていれば、当該部分においてはドレイン領域としての SiC 基板 2 よりも熱酸化レートが速くなるので、より簡単に傾斜面 29 を形成することができる。

【0072】

一方、図 5 に示したように上部エッジ 26 に円形面 30 を形成する場合には、ゲートトレンチ 9 の形成後ゲート絶縁膜 16 の形成前に、SiC 基板 2 を H₂ アニール処理する。具体的には、図 12 に示すように、SiC 基板 2 に対して 1400 以上で H₂ アニール（H₂ エッチング）を施すことによって、上部エッジ 26 に円形面 30 が形成される。

40

【0073】

再び図 10 に戻って、ゲート絶縁膜 16 の形成後、ゲートトレンチ 9 を埋め戻し、ゲートトレンチ 9 全体が隠れるまでポリシリコンを堆積する（ステップ S4）。そして、堆積したポリシリコンをパターニングすることによって、アクティブ領域 3 においてはアクティブトレンチ 91 外のポリシリコンを除去し、同時に、外周領域 4 においてはポリシリコンをオーバーラップ部 17 として残存させる。

【0074】

次に、CVD 法によって、SiC 基板 2 上に、層間膜 23 を形成する（ステップ S5）。次に、層間膜 23 をパターニングすることによって、コンタクトホール 24 およびコン

50

タクトホール 25 を同時に形成する (ステップ S6)。

【0075】

次に、スパッタ法、蒸着法によって、層間膜 23 上にアルミニウム等の金属材料を堆積させる (ステップ S7)。これにより、ソースパッド 5、ゲートパッド 7 およびゲートフィンガー 8 が形成される。以上の工程等を経て、図 1 に示す半導体装置 1 が得られる。

【0076】

以上、本発明の実施形態について説明したが、本発明は、さらに他の形態で実施することも可能である。

【0077】

たとえば、前述の半導体装置 1 の各半導体部分の導電型を反転した構成が採用されてもよい。たとえば、半導体装置 1 において、p 型の部分が n 型であり、n 型の部分が p 型であってもよい。

10

【0078】

また、半導体装置 1 に採用される半導体は、SiC に限らず、たとえば、Si、GaN、ダイヤモンド等であってもよい。

【0079】

また、オーバーラップ部 17 は、外周領域 4 に限らず、アクティブ領域 3 に形成されていてもよい。たとえば、各単位セル 10 の上面が隠れない程度にアクティブトレンチ 91 の開口端の周囲のみを覆うことによって、アクティブ領域 3 にもオーバーラップ部 17 を形成してもよい。この場合、アクティブトレンチ 91 にもオーバーハング部 27 を形成しておけば、前述と同様の耐圧向上効果を得ることができる。すなわち、ゲートフィンガー 8 の直下の構造は、本発明のオーバーハング部 27 による耐圧向上の効果を示す一例に過ぎず、同様の効果を得ることができる構造であれば、ゲートフィンガー部だけに限らない。

20

【0080】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【符号の説明】

【0081】

- 1 半導体装置
- 2 SiC 基板
- 21 表面
- 3 アクティブ領域
- 4 外周領域
- 8 ゲートフィンガー
- 9 ゲートトレンチ
- 91 アクティブトレンチ
- 92 コンタクトトレンチ
- 12 n⁺型ソース層
- 14 p型チャネル層
- 15 ゲート電極
- 16 ゲート絶縁膜
- 17 オーバーラップ部
- 18 側面絶縁膜
- 19 底面絶縁膜
- 20 平面絶縁膜
- 22 p型ピラー層
- 23 層間膜
- 26 上部エッジ
- 27 オーバーハング部
- 28 円形面

30

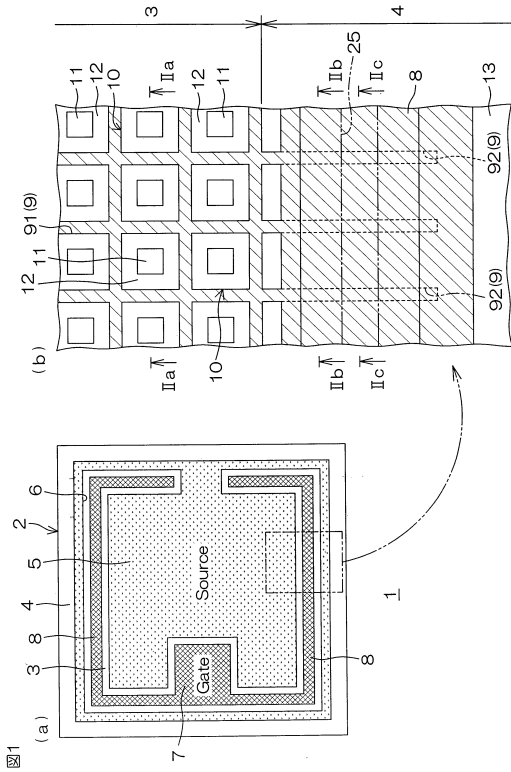
40

50

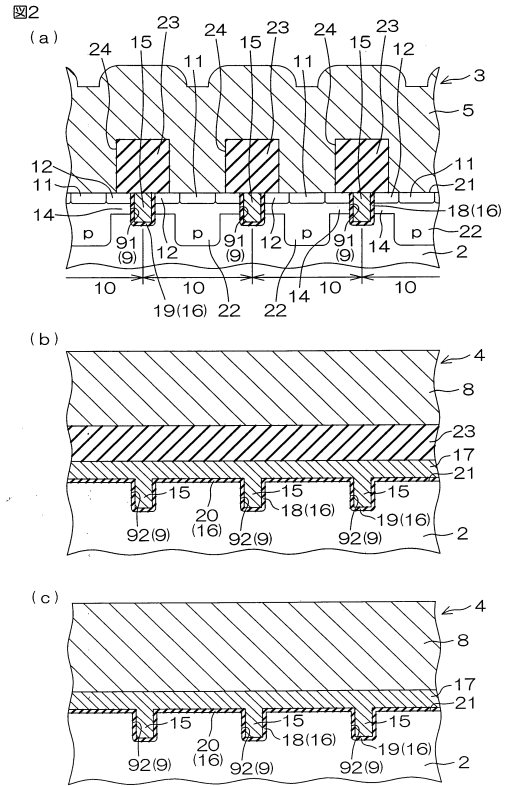
- 2 9 傾斜面
- 3 0 円形面
- 3 1 p 型層
- 3 2 n⁺ 型層
- 3 3 底部 p 型層
- 3 4 犠牲酸化膜

【図面】

【図 1】



【図 2】

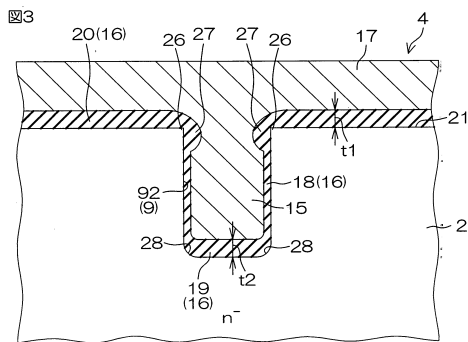


10

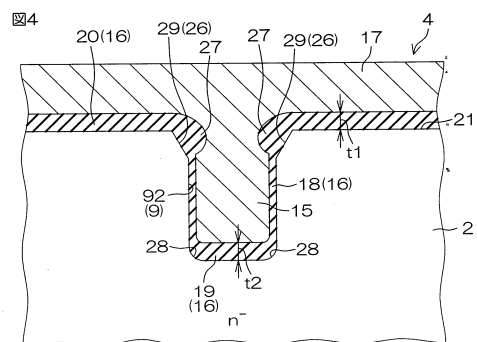
20

30

【図 3】



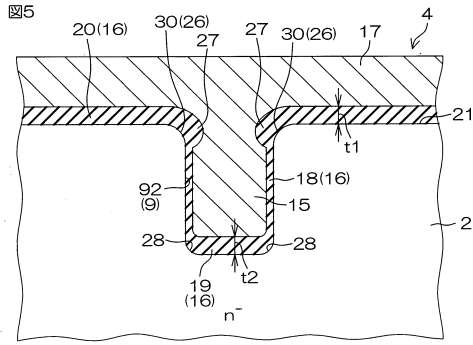
【図 4】



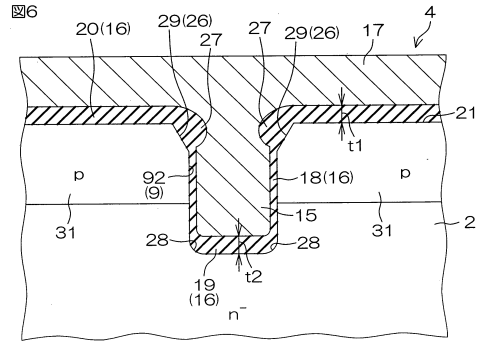
40

50

【図5】

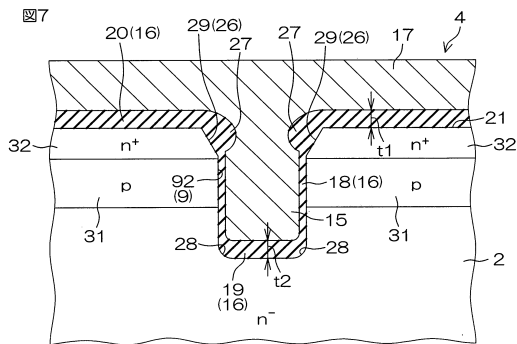


【図6】

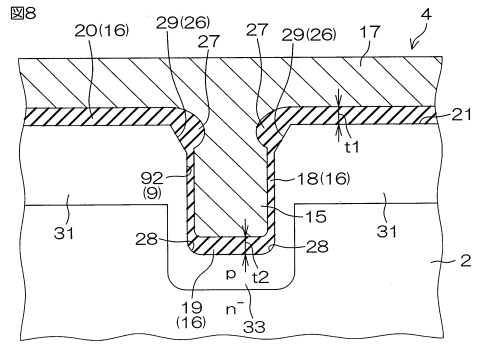


10

【図7】

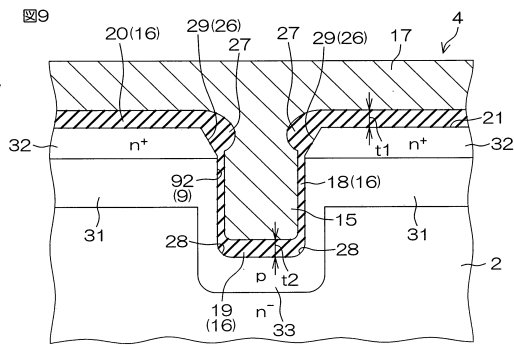


【図8】

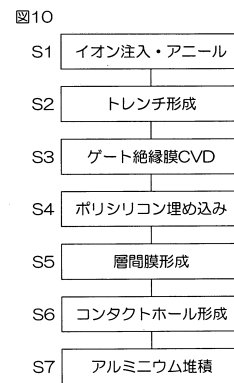


20

【図9】



【図10】

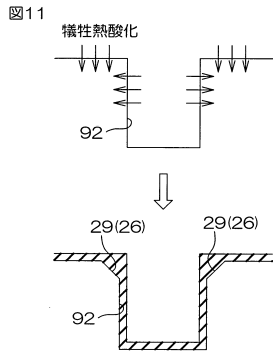


30

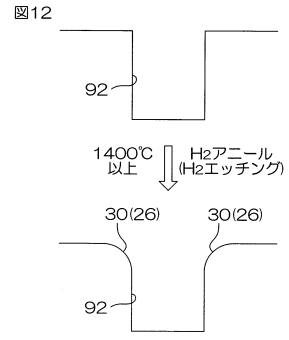
40

50

【 図 1 1 】



【 図 1 2 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
	H 0 1 L	29/78	6 5 2 H
	H 0 1 L	29/78	6 5 8 F
	H 0 1 L	29/78	6 5 8 G
(56)参考文献	国際公開第 2 0 1 0 / 1 1 9 7 8 9 (W O , A 1)		
	特開 2 0 1 1 - 2 5 3 8 3 7 (J P , A)		
	特開 2 0 0 5 - 0 1 9 7 3 4 (J P , A)		
	特開 2 0 0 3 - 3 0 9 2 6 3 (J P , A)		
	特開 2 0 1 0 - 0 2 1 1 7 5 (J P , A)		
	特開平 1 1 - 2 5 1 5 8 9 (J P , A)		
	特開平 0 7 - 3 2 6 7 5 5 (J P , A)		
	特開平 0 7 - 2 4 9 7 6 5 (J P , A)		
	特開 2 0 0 7 - 0 4 8 7 6 9 (J P , A)		
(58)調査した分野	(Int.Cl., D B 名)		
	H 0 1 L	2 1 / 3 3 6	
	H 0 1 L	2 9 / 1 2	
	H 0 1 L	2 9 / 7 8	