(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2004-521536
(P2004-521536A)
(43)公表日　平成16年7月15日(2004.7.15)

(51)Int.Cl.[7]	F I	テーマコード（参考）
H03H 7/075	H03H 7/075 A	

審査請求 未請求　予備審査請求 有　（全 52 頁）

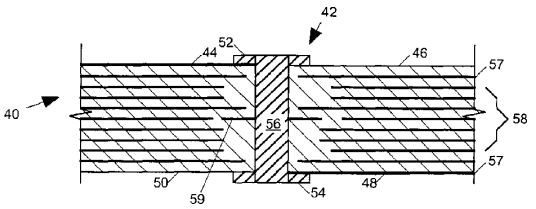
(21)出願番号	特願2002-558608(P2002-558608)
(86)(22)出願日	平成14年1月15日(2002.1.15)
(85)翻訳文提出日	平成15年7月10日(2003.7.10)
(86)国際出願番号	PCT/US2002/001212
(87)国際公開番号	WO2002/058234
(87)国際公開日	平成14年7月25日(2002.7.25)
(31)優先権主張番号	09/761,352
(32)優先日	平成13年1月16日(2001.1.16)
(33)優先権主張国	米国(US)

(71)出願人　598114804
フォームファクター，インコーポレイテッド
アメリカ合衆国カリフォルニア州９４５５０，リヴモアー，リサーチ・ドライヴ・２１４０
(74)代理人　100079108
弁理士　稲葉　良幸
(74)代理人　100080953
弁理士　田中　克郎
(74)代理人　100093861
弁理士　大賀　眞司

最終頁に続く

(54)【発明の名称】高周波プリント回路基板ビア

(57)【要約】
ＰＣＢの個別の層に形成されたマイクロストリップ導体またはストリップライン導体間に垂直に延在する導体を提供するプリント回路基板（ＰＣＢ）ビアは、導体を取り囲み且つＰＣＢ内に埋め込まれた導電パッドをそれらのＰＣＢ層間に含む。パッドの並列容量およびビアの他の部分の静電容量の大きさを導体の固有インダクタンスに応じた大きさにして、ビアの周波数応答特性を最適化する。



【特許請求の範囲】
【請求項１】
プリント回路基板（ＰＣＢ）上の個別の第１および第２の高さにある第１の導体ストリップと第２の導体ストリップとの間に信号を伝えるための装置であって、
前記ＰＣＢ内で垂直に延在するとともに前記第１の導体ストリップと前記第２の導体ストリップとの間に前記信号を伝えるための導電路を提供し、インダクタンスを含むインピーダンスを有する導体と、
前記導体に接するとともに前記導電路に並列容量を付加する容量性手段とを備え、前記信号の伝送時に前記導電路の周波数応答特性を実質的に最適化するために前記並列容量を前記導体のインピーダンスに応じた大きさにした装置。
【請求項２】
前記導電路がチェビシュフフィルタを形成するように前記並列容量を前記導体のインピーダンスに応じた大きさにした、請求項１に記載の装置。
【請求項３】
前記導電路がバターワースフィルタを形成するように前記並列容量を前記導体のインピーダンスに応じた大きさにした、請求項１に記載の装置。
【請求項４】
前記信号の伝送時に前記導電路の周波数応答の帯域幅特性を実質的に最大化するために前記第１の並列容量を前記導体のインピーダンスに応じた大きさにした、請求項１に記載の装置。
【請求項５】
前記ＰＣＢが上部水平面と下部水平面とを有し、
前記第１の導体ストリップが前記上部水平面上にあり、
前記第２の導体ストリップが前記下部水平面上にあり、
前記導体が前記ＰＣＢを完全に貫通して垂直に延在し、
前記容量性手段が、
前記上面に形成され、第１の水平平坦面を有し、前記導体を前記第１の導体ストリップに導電的に接続する上部導体と、
前記下面に形成され、水平平坦面を有し、前記導体を前記第２の導体ストリップに導電的に接続する下部導体と
を備える、請求項１に記載の装置。
【請求項６】
前記上部導体が前記導電路に第１の並列容量を付加し、
前記下部導体が前記導電路に第２の並列容量を付加し、
前記信号の伝送時に前記導電路の周波数応答特性を実質的に最適化するために前記第１および第２の並列容量を前記導体のインピーダンスに応じた大きさにした、請求項５に記載の装置。
【請求項７】
前記容量性手段が、前記ＰＣＢ内に埋め込まれた、前記第１の高さと第２の高さとの間の第３の高さにおいて前記導体に取り付けられるとともに前記信号経路に第１の並列容量を付加する第１のコンデンサを備える、請求項１に記載の装置。
【請求項８】
前記第３の高さが前記第１の高さと第２の高さとの間の実質的に垂直方向の中間にある、請求項７に記載の装置。
【請求項９】
前記ＰＣＢが複数の基板層を有し、
前記第１のコンデンサが、前記導体に接して前記複数の基板層のうちの一の層上の前記第３の高さに形成されるとともに第１の水平平坦面を有する第１の導体材料を備える、請求項７に記載の装置。
【請求項１０】

前記第１のコンデンサが前記第１の導体材料の前記第１の平坦面に近接して存在する第２の水平平坦面を有する第２の導体材料をさらに備える、請求項９に記載の装置。
【請求項１１】
前記第１の導体材料が前記導体を取り囲んでいる、請求項８に記載の装置。
【請求項１２】
前記ＰＣＢが上部水平面と下部水平面とを有し、
前記第１の導体ストリップが前記上部水平面上にあり、
前記第２の導体ストリップが前記下部水平面上にあり、
前記導体が前記ＰＣＢを完全に貫通して垂直に延在し、
前記少なくとも１つのコンデンサが、
前記上面に形成され、水平平坦面を有し、前記導体を前記第１の導体ストリップに導電的に接続する上部導体と、
前記下面に形成され、水平平坦面を有し、前記導体を前記第２の導体ストリップに導電的に接続する下部導体と
を備える、請求項７に記載の装置。
【請求項１３】
水平平坦面を有する上部導体が前記導電路に第２の並列容量を提供し、
水平平坦面を有する下部導体が前記導電路に第３の並列容量を提供し、
前記信号の伝送時に前記導電路の周波数応答特性を実質的に最適化するために前記第１、第２および第３の並列容量を前記導体のインピーダンスに応じた大きさにした、請求項１２に記載の装置。
【請求項１４】
前記信号の伝送時に前記導電路がチェビシュフフィルタを形成するように前記第１、第２および第３の並列容量を前記導体のインピーダンスに応じた大きさにした、請求項１３に記載の装置。
【請求項１５】
前記信号の伝送時に前記導電路がバターワースフィルタを形成するように前記第１、第２および第３の並列容量を前記導体のインピーダンスに応じた大きさにした、請求項１３に記載の装置。
【請求項１６】
前記信号の伝送時に前記導電路が実質的に最大の帯域幅を有するように前記第１、第２および第３の並列容量を前記導体のインピーダンスに応じた大きさにした、請求項１３に記載の装置。
【請求項１７】
前記ＰＣＢが上部水平面と下部水平面とを有し、
前記第１の高さが前記上部水平面の下方にあり、
前記第２の高さが前記下部水平面の上方にあり、
前記導体が前記ＰＣＢを完全に貫通して垂直に延在し、
前記容量性手段が、
前記上面に形成され、水平平坦面を有し、前記導体を前記第１の導体ストリップに導電的に接続する上部導体と、
前記下面に形成され、水平平坦面を有し、前記導体を前記第２の導体ストリップに導電的に接続する下部導体と
を備える、請求項７に記載の装置。
【請求項１８】
前記上部導体が前記導電路に第２の並列容量を付加し、
前記下部導体が前記導電路に第３の並列容量を付加し、
前記信号の伝送時に前記導電路の周波数応答特性を実質的に最適化するために前記第１、第２および第３の並列容量を前記導体のインピーダンスに応じた大きさにした、請求項１７に記載の装置。

【請求項１９】
前記信号の伝送時に前記導電路が実質的に最大の帯域幅を有するように前記第１、第２および第３の並列容量を前記導体のインピーダンスに応じた大きさにした、請求項１８に記載の装置。
【請求項２０】
前記容量性手段が、前記ＰＣＢ内に埋め込まれるとともに前記第１の高さと第２の高さとの間の高さにおいて前記導体に取り付けられた複数のコンデンサを備える、請求項１に記載の装置。
【請求項２１】
プリント回路基板（ＰＣＢ）の個別の第１および第２の高さに形成された第１の導体ストリップと第２の導体ストリップとの間に信号を伝えるための導電路を提供する導体を含むＰＣＢビアに対する改良であって、
前記導体に接して前記ＰＣＢ内に埋め込まれるとともに前記第１の高さと第２の高さとの間における前記導体に沿った位置で実質的な第１の並列容量を提供する第１のコンデンサを備える改良。
【請求項２２】
前記導体がインピーダンスを有し、前記導電路の周波数応答特性を実質的に最適化するために前記第１の並列容量を前記導体のインピーダンスに応じた大きさにしたＰＣＢビアに対する、請求項２１に記載の改良。
【請求項２３】
前記導体がインピーダンスを有し、前記導電路の周波数応答の帯域幅を実質的に最大化するために前記第１の並列容量を前記導体のインピーダンスに応じた大きさにしたＰＣＢビアに対する、請求項２１に記載の改良。
【請求項２４】
プリント回路基板（ＰＣＢ）の上面にある第１の導体ストリップとプリント回路基板の下面にある第２の導体ストリップとの間に信号を伝えるための装置であって、
前記ＰＣＢ内で垂直に延在するとともに前記信号を伝えるための信号経路を提供し、第１の直列インダクタンスを含むインピーダンスを有する導体と、
前記導体に接して前記ＰＣＢの前記上面に形成されるとともに前記信号経路に第１の並列容量を付加する第１の容量性手段と、
前記導体に接して前記ＰＣＢの前記下面に形成されるとともに前記信号経路に第２の並列容量を付加する第２の容量性手段と、
前記ＰＣＢの前記上面に形成され、前記第１の導体ストリップを水平平坦面を有する前記上部導体に接続するとともに前記信号経路に第２の直列インダクタンスを付加する第１のインダクタと、
前記ＰＣＢの前記下面に形成され、前記第２の導体ストリップを水平平坦面を有する前記下部導体に接続するとともに前記信号経路に第３の直列インダクタンスを付加する第２のインダクタとを備える装置。
【請求項２５】
前記信号経路の周波数応答特性を最適化するために前記第２および第３の直列インダクタンスならびに前記第１および第２の並列容量を前記導体のインピーダンスに応じた大きさした、請求項２４に記載の装置。
【請求項２６】
前記導電路がバターワースフィルタを形成するように前記第２および第３の直列インダクタンスならびに前記第１および第２の並列容量を前記導体のインピーダンスに応じた大きさした、請求項２４に記載の装置。
【請求項２７】
前記導電路がチェビシュフフィルタを形成するように前記第２および第３の直列インダクタンスならびに前記第１および第２の並列容量を前記導体のインピーダンスに応じた大きさにした、請求項２４に記載の装置。

【請求項２８】
前記導電路の帯域幅を実質的に最大化するために前記第２および第３の直列インダクタンスならびに前記第１および第２の並列容量を前記導体のインピーダンスに応じた大きさにした、請求項２４に記載の装置。
【請求項２９】
前記ＰＣＢ内に埋め込まれ、前記第１の高さと第２の高さとの間の第３の高さにおいて前記導体に取り付けられるとともに前記信号経路に第３の並列容量を付加する第３の容量性手段をさらに備える、請求項２４に記載の装置。
【請求項３０】
前記第１、第２および第３の並列容量ならびに前記第２および第３の直列インダクタンスを前記導電路の帯域幅を実質的に最大化する大きさにした、請求項２９に記載の装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、一般にはプリント回路基板の個別の層に形成された導体間に信号経路を提供するビアに関し、特に調整フィルタとして作用してその周波数応答特性を最適化するビアに関する。
【背景技術】
【０００２】
図１および２は、導電ビア１２を用いてＰＣＢの上面１６上に形成されたマイクロストリップ導体１４をＰＣＢの下面２０上に形成されたマイクロストリップ導体１８に接続した先行技術のプリント回路基板（ＰＣＢ）の一部分の平面図および断面立面図である。ビア１２は導体１４に接する上部キャップ（環状リング２２）と、導体１８に接する下部キャップ（環状リング２４）と、上部および下部環状リング２２および２４の間に延在する垂直導体２６とを含む。またＰＣＢ１０は上面１６の下方および下面２０の上方のＰＣＢ基板層上に形成された埋め込み電源およびグラウンドプレーン２８を含み、さらに追加埋め込み電源、グラウンドあるいは信号プレーン３０を含む場合もある。ビア導体２６は、導体２６が電源信号プレーン２８および３０に接触しないように充分に大きいプレーン２８および３０内の穴を貫通している。
【０００３】
図３は信号が導体１４、ビア１２および導体１８を通る経路のインピーダンスモデルである。マイクロストリップ導体１４および１８は、それぞれ特性インピーダンスＺ１およびＺ２によってモデル化されているが、５０オームほどの標準特性インピーダンスを有するように近接する電源またはグラウンドプレーン２８に対して大きさと間隔が決められることが多い。上部および下部ビア環状リング２２および２４は並列容量Ｃ１およびＣ２を垂直導体２６によって提供される信号経路に付加する。インダクタＬ１は垂直導体２６をモデル化している。また図３のモデルはあるシャント抵抗を含む場合もありビア１２を取り囲む絶縁基板を介する漏れの原因となるが、高周波では静電容量Ｃ１およびＣ２ならびにインダクタンスＬ１がビアの周波数応答に大きく影響する。
【０００４】
ビア１２は、３極フィルタまたは受動回路網のように動作するが、導体１４および１８の間を伝わる高周波信号を大幅に減衰且つひずませる可能性がある。垂直導体２６により提供される直列インダクタンスＬ１は主にその垂直寸法に左右される。垂直導体２６はＰＣＢ１０を貫通して延在しなければならないため、その長さはＰＣＢ１０の厚さによって決定され、一般にはＬ１の値を調節する際に若干の余地しかない。そのため高周波を印加する際にビア１２により生じる信号ひずみおよび減衰を低減する従来の方法はビアの並列容量を最小限に抑えることであった。環状リング２２および２４の水平寸法を減少させるとともに環状リング２２および２４と近接の電源およびグラウンドプレーン２８との間の距離を最大にすることにより並列容量Ｃ１およびＣ２を低減することができる。しかし実際には静電容量Ｃ１およびＣ２の低減可能量に限界がある。そのためかなりのビア静電容量

およびインダクタンスが常に存在して、特に高周波信号においてある程度の信号ひずみおよび減衰を常に生じることになる。

【０００５】

図４は最小並列容量および直列インダクタンスを提供するように設計された典型的なビアの周波数応答のプロットＡを含む。フィルタの帯域幅は通常その減衰が－３ｄｂに達する最低周波数として定義される。図４のプロットＡはビア１２の帯域幅がおよそ３．２ＧＨｚであることを示す。このため基板設計者は通常、約３ＧＨｚより高い周波数の信号を伝えるためにこのような回路基板ビアを用いることを避けたがる。

【０００６】

そのため、高周波を印加する際のビアを使用するための従来の方法はビアを完全に回避することが非常に多い。しかしビアを使用することに対する制約により回路基板上に多数の高周波信号を通すことが困難になる。高周波印加の際に、ＰＣＢを完全に貫通して延在してはいない短い「ブラインド」ビアを用いて垂直方向に互いに接近したＰＣＢ層上に掲載された埋め込みストリップライン導体を接続する場合もある。ブラインドビアは短いため、直列インダクタンスが比較的小さく、そのため通常ＰＣＢを完全に貫通して延在する貫通ビアより広い帯域幅を有する。しかしブラインドビアは貫通ビアよりも高価であり、依然として帯域幅が非常に高い周波数の信号を扱うのに十分ではない。

【発明の開示】

【発明が解決しようとする課題】

【０００７】

そのため必要なのは、過度に信号を減衰あるいはひずませることなく非常に高い周波数の信号を伝えることができるようにＰＣＢビアの帯域幅を大幅に広げる方法である。

【課題を解決するための手段】

【０００８】

プリント回路基板（ＰＣＢ）ビアはＰＣＢの個別の水平層上に形成されたマイクロストリップまたはストリップライン導体間に垂直信号経路を提供する。ビアは信号経路に、ビアおよびビアとＰＣＢに実施された近接の電源およびグラウンドプレーンとの間の空間の、形状およびサイズの関数である並列容量と直列インダクタンスとを付加する。

【０００９】

本発明の一態様によれば、ビアの静電容量は互いに且つビアインダクタンスに対して調節してそれらの最小実現可能値を超えた、帯域幅などのビアの周波数応答特性が最適化される値にする。

【００１０】

本発明の他の態様によれば、その特定の実施形態においてビアが多極チェビシェフフィルタあるいはバターワースフィルタとして動作するようにビア静電容量を調節する。

【００１１】

本発明のさらに他の態様によれば、ビアはＰＣＢ内に埋め込まれた、ビアが提供する信号経路に接する容量性素子を含む。素子の並列容量およびビアの他の部分の静電容量の大きさをビアの固有の直列インダクタンスとストリップラインまたはマイクロストリップ導体のインピーダンスとに応じて調節することによりビアを調整して周波数応答特性を最適化する。

【００１２】

従って本発明の目的は過度に減衰することなく高周波信号を伝えるＰＣＢビアを提供することである。

【００１３】

本明細書の特許請求の範囲の部分は特に本発明の主題を示すとともに請求するものである。ただし同様の参照符号が同様の要素を表す添付の図面を参照しつつ本明細書の他の部分を読むことにより当業者には本発明の構成と動作方法の両方、および本発明のさらなる利点と目的について最善の理解を得られるであろう。

【発明を実施するための最良の形態】

【００１４】
図５および６は本発明による導電ビア４２を用いて多層プリント回路基板ＰＣＢ４０の上面４６上に形成されたマイクロストリップ導体４４をＰＣＢの下面５０上に形成されたマイクロストリップ導体４８に接続したＰＣＢ４０の一部分の平面図および断面立面図である。ビア４２は導体４４に接する上部キャップ（環状リング５２）と、導体４８に接する下部キャップ（環状リング５４）と、上部および下部環状リング５２および５４の間に延在する垂直導体５６とを含む。またＰＣＢ４０は上面４６の下方および下面５０の上方の基板層上に形成された電源およびグラウンドプレーン５７を含み、さらに他層上に形成された追加埋め込み電源およびグラウンドプレーンあるいは信号プレーン５８を含む場合もある。垂直導体５６は、導体５６がプレーン５７および５８に接触しないように充分に大きいプレーン５７および５８内の穴を貫通している。

【００１５】
本発明によれば、コンデンサを上部および下部リング５２および５４間の中間に適切に埋め込んでビア４２に付加する。導電パッド５９をＰＣＢの多層基板層の一層の上に金属材料でリソグラフィにより形成することによりコンデンサを設けることができるが、その同じ金属材料でその層上にある電源、グラウンドあるいは信号プレーン５８の導体をリソグラフィにより形成した後にＰＣＢ４０の個別基板層を接着している。ＰＣＢ４０とパッド５９とを貫通して穴を開け、導体材料を充填して導体５６を形成すると、パッド５９は導体５６を取り囲んで接触する環状リングを形成する。パッド５９の水平面および近接の電源またはグラウンドプレーン５８は垂直導体５６によって提供された信号経路に並列容量を付加するコンデンサとして作用する。

【００１６】
図７は信号が導体４４、ビア４２および導体４８を通る経路のインピーダンスモデルである。マイクロストリップ導体４４および４８は、それぞれ特性インピーダンスＺ１およびＺ２によってモデル化されている。マイクロストリップ導体は５０オームほどの標準特性インピーダンスを有するように最も近接する電源またはグラウンドプレーン５７に対して大きさと間隔が決められることが多い。上部および下部リング５２および５４は信号経路と最も近接した電源またはグラウンドプレーン５８との間にそれぞれ並列容量Ｃ１およびＣ２を付加する。静電容量Ｃ３はパッド５９とその近接電源またはグラウンドプレーン５８との間の静電容量をモデル化している。インダクタＬ１およびＬ２はそれぞれ、垂直導体５６のパッド５９の上方および下方の部分のインダクタンスをモデル化している。図７のインピーダンスモデルはあるシャント抵抗を含む場合もあり取り囲むＰＣＢ基板絶縁材料を介する漏れをモデル化しているが、高周波では容量性および誘電性素子がビア４２の周波数応答を支配する。

【００１７】
図７から分かるようにビア４２は５極フィルタとして作用する。高周波の印加においてビアの直列インダクタンスＬ１およびＬ２ならびに並列容量Ｃ１～Ｃ３は導体４４および４８の間を伝わる信号を減衰且つひずませる。信号の周波数が高いほど減衰およびひずみが大きくなる。ビアにインピーダンスがない場合には、信号を減衰またはひずませることはまったくない。そこで信号のひずみおよび減衰を低減する従来の方法はビアの並列容量を減少させることであった。例えば、リング５２および５４の水平寸法を減少させるとともにリング５２および５４とこれらに最も近接する電源またはグラウンドプレーン５７との間の距離を増加することにより並列容量Ｃ１およびＣ２を低減することができる。しかし実際には静電容量Ｃ１およびＣ２の低減可能量に限界がある。垂直導体５６の直列インダクタンスＬ１およびＬ２も主にその垂直寸法とともに減少する。しかし垂直導体５６はＰＣＢ４０を貫通して延在しなければならないため、その長さはＰＣＢ４０の厚さによって決定され、一般にはＬ１およびＬ２の値を調節する際に若干の余地しかない。

【００１８】
そのためかなりのビア静電容量およびインダクタンスが常に存在して常に信号ひずみおよ減衰を生じることになる。本発明は以下に説明するように、帯域幅を広げるとともに単に

ビアの並列容量を最小限に抑えて達成できる以上にビアの他の周波数応答特性を改善させる。

ビア静電容量の調整

図２はビア１２がビア４２のパッド５９を含まないこと以外は本発明の図５のビア４２と実質的に同様の先行技術のビア１２（図２）の断面立面図である。図３はその上部および下部リング２２および２４と関連する静電容量Ｃ１およびＣ２とその垂直導体２６と関連するインダクタンスＬ１とを含むビア１２のインピーダンスモデルである。なお、静電容量Ｃ１およびＣ２ならびにインダクタＬ１は、図７の５極フィルタに対して２ポート、３極フィルタを形成する。

【００１９】

図４プロットＡは図３の３極フィルタの各種構成要素が以下に表Ｉに示した値を有する場合の先行技術のビア１２の周波数応答を示す。

【００２０】

【表１】

表I	
Z1	50オーム
Z2	50オーム
C1	0.17pF
C2	0.17pF
L1	4.32nH

C1 および C2 の値 0.17pF は一般的な最小達成可能ビア静電容量値である

【００２１】

フィルタの「帯域幅」はそのフィルタの減衰が－３ｄｂに達する最低信号周波数として定義されることが多い。図４のプロットＡは先行技術のビア１２の帯域幅がおよそ３．２ＧＨｚであることを示す。従来の実践に従うとリング２２および２４の静電容量Ｃ１およびＣ２が増加するとビア１２の帯域幅が減少するであろうと予想できる。しかしこれがＣ１およびＣ２を増加させようとする静電容量値すべてに対して当てはまるわけではない。図４プロットＢは構成要素の値が以下に表ＩＩに一覧表にした値である場合の図３のフィルタの周波数応答を示す。

【００２２】

【表２】

表II	
Z1	50オーム
Z2	50オーム
C1	0.88pF
C2	0.88pF
L2	4.21nH

ただしビアインダクタンスL1ならびにマイクロストリップインピーダンスZ1およびZ2は不変であるが静電容量C1およびC2は5倍を超えて増加させる。図4のプロットBはビア静電容量を増加させることによりビアの帯域幅を約3.2GHzから3.5GHzに広げることを示す。必ずしもビアの静電容量を可能な限り低くすることによりビアの帯域幅を最大にさせる必要はなく、その代わりビアの静電容量を調整してビアのインダクタンスに対して適切な値にすることによって帯域幅を最大にする。ビアを、調整により最適な周波数応答を得られるフィルタのように扱う。

【００２３】

このため静電容量を最小限に抑えるのではなく静電容量を適切に調整することによりビアの周波数応答を最適化する。しかしビアの「最適な」周波数応答はアプリケーション依存型である。通常最高周波数印加の際にビア帯域幅を最大にすることが望まれる。しかし最高周波数印加の際に、例えばより平坦な通過帯域、低周波数におけるより少ない減衰、あるいは阻止帯でのより急峻なロールオフのためにはより狭い帯域幅を受け入れようという場合もある。図２のビア１２および図６のビア４２はビア静電容量を適切に調整することによって３極および５極のフィルタを形成するため、これらのビアに最平坦周波数応答を提供する周知の３極または５極「バターワース」フィルタ、あるいは帯域幅とロールオフ特性との組み合わせを最適化できる周知の多極チェビシェフフィルタのように動作させることができる。フィルタの周波数応答の様々な特性を最適化するために構成要素の値を適切に選択することを始めとする多極バターワースおよびチェビシェフフィルタの設計は当業者には周知である。例えばＷ．Ｈ．ヘイワード（Ｗ．Ｈ．Ｈａｙｗａｒｄ）著、書籍「高周波設計入門（Ｉｎｔｒｏｄｕｃｔｉｏｎ ｔｏ Ｒａｄｉｏ Ｆｒｅｑｕｅｎｃｙ Ｄｅｓｉｇｎ）」プレンティスホール社（Ｐｒｅｎｔｉｃｅ－Ｈａｌｌ，Ｉｎｃ．）出版、１９８２年、ｐ.５９－６８を参照されたい。またこれを本明細書に引用して援用する。

ビア静電容量の分布

パッド５９をビア４２に付加することは、パッド５９が並列静電容量Ｃ３をビアの信号経路に付加するため、ビアの高周波応答を改善するためにビアの静電容量を最小限に抑えることを目指した従来の実践とは一致しない。しかし以下に実証するように、その静電容量Ｃ３をビア４２の他の部分の静電容量Ｃ１およびＣ２ならびにインダクタンスＬ１およびＬ２に応じて適切に調節する場合は、ビアの周波数応答特性は大幅に改善される。

【００２４】

図４プロットＣは以下に表ＩＩＩに一覧表にしたような構成要素値を有する図６の改善ビア４２をモデル化した図７の５極フィルタの周波数応答を示す。

【００２５】

【表３】

表III	
Z1	50オーム
Z2	50オーム
C1	0.4pF
C2	0.4pF
C3	1.0pF
L1	2.16nH
L2	2.16nH

プロットCからビア42の帯域幅が約5.6GHzで、図4のプロットAおよびBに示した周波数応答を有する図2のビア12の「最小静電容量」および「調整静電容量」型の3.2および3.5GHz帯域幅よりも大幅に広いことが分かる。またそのビア42は1.8pFという合計並列容量を有し、これはビア12の最小静電型により付加された0.34pF合計静電容量より大幅に大きく且つビア12の調整静電型により付加された1.76pF静電容量と実質的に同じであることにも注目されたい。

【００２６】

プロットＡとＢとを比較することにより、その静電容量を最小限に抑えようとするのではなく適正に調整することによってビアの周波数応答を改善できることが分かった。またプロットＣをプロットＡおよびＢと比較することにより、ビアの垂直長さに関してその静電容量をより均等に分布させる場合にもビアの周波数応答をかなり大幅に増加できることが分かる。例えば、数個の静電容量パッド５９を、それらの静電容量と上部および下部リング５２および５４の静電容量とをビアのインダクタンスに関して適切に調整した状態で垂

直導体５６の長さに沿って均等に分布させた場合には、さらに帯域幅が広がることになるであろう。一般にインピーダンス素子がすべて適正に調整可能であるとすれば、ビアにより形成されるフィルタに付加できる極が多いほど得られる帯域幅が大きくなる。極数を増加させることはフィルタの通過帯域の平坦化とその阻止帯の高周波ロールオフの急峻化とを促進することもできるため、数多くの用途で周波数応答特性に対する望ましい改善にもなる。

ビアインダクタンスの付加

図８および９は図５のマイクロストリップ導体４４および４８ならびにビア４２の代替型の平面図である。マイクロストリップ導体のインピーダンスは主にその幅および導体と近接の電源またはグラウンドプレーンとの間の距離の関数である。通常マイクロストリップ導体はその長さに亘って例えば５０オームというような均一な特性インピーダンスを有するように設計されている。そのため通常マイクロストリップ導体は図８に示すように均一な幅を有する。図７のインピーダンスモデルはマイクロストリップ導体４４および４８が均一の幅であると仮定している。しかし図９に示すようにビア４２に近接する部分６０および６２のマイクロストリップ導体４４および４８の幅を減少させることにより、それらの部分の大部分を誘電性にする。

【００２７】

図１０は導体４４および４８を図９に示した誘電性部分６０および６２を含むように変形した場合の導体４４、ビア４２および導体４８により形成された信号経路のインピーダンスモデルを示す。ビア４２の静電容量Ｃ１～Ｃ３ならびにインダクタンスＬ１およびＬ２に加えて、導体４４および４８に関連するＺ１およびＺ２特性インピーダンス間の構造は導体部分６０および６２のインダクタンスＬ３およびＬ４を含んでいる。そのため導体４４および４８間の構造は７極フィルタとして作用する。

【００２８】

図４プロットＤはインピーダンス構成要素が以下に表ＩＶに一覧表にした値を有する場合の図１０の７極フィルタの周波数応答を示す。

【００２９】

【表４】

表IV	
Z1	50オーム
Z2	50オーム
L1	2.16nH
L2	2.16nH
L3	0.77nH
L4	0.85pH
C1	0.72pF
C2	0.74pF
C3	0.74pF

【００３０】

プロットＤは図１０の７極フィルタ構造が図７の５極フィルタの帯域幅（プロットＣ参照。）より大幅に高い６．８ＧＨｚの帯域幅を有することを示す。これにより図１０の７極フィルタが図７の５極フィルタおよび図３の３極フィルタの最小静電容量型または調整静電容量型より大幅に大きい静電容量とインダクタンスとを有するにもかかわらず、かなり広い帯域幅を有することが分かる。このように静電容量を調整するとともにより均等に分布させることによりビアの周波数応答を改善することに加え、適切な大きさのインダクタ

ンスをビアの上端および下端に加えることによりさらにその周波数応答を改善することができる。これによりその２つのマイクロストリップ線を接続するフィルタ構造の極数が増加する。

相互接続埋め込みストリップライン導体用調整ビア

ビアはＰＣＢ基板の個別の埋め込み層上に形成されたストリップライン導体を相互接続するためにも利用される。ＰＣＢ設計者は、ＰＣＢの端から端まで延在する貫通ビアの代わりにＰＣＢの端から端までは延在しないブラインドまたは埋め込みビアを用いて埋め込み導体を相互接続することが多いが、それはブラインドまたは埋め込みビアが短いほど信号経路に付加する静電容量またはインダクタンスが少ないからである。しかしさまざまなＰＣＢ層に個別に穴を開けなければならないためブラインドおよび埋め込みビアの製造は貫通ビアより高価である。本発明は高周波の印加の際に埋め込みストリップライン導体を相互接続するために用いることができるように貫通ビアの帯域幅を改善する。

【００３１】

図１１および１２は本発明による先行技術の導電ビア７２を用いて多層プリント回路基板（ＰＣＢ）７０の埋め込み層上に形成されたストリップライン導体７４をＰＣＢの他の埋め込み層上に形成されたストリップライン導体７８に接続したＰＣＢ７０の一部分の平面図および断面立面図である。ビア７２は上部環状リング８２と、下部環状リング８４と、上部および下部環状リング８２および８４の間に延在する垂直導体８６とを含む。またＰＣＢ７０はストリップライン導体７４および７８の上方および下方の層上に形成された電源およびグラウンドプレーン８７を含み、さらに他の層上に形成された追加埋め込み電源、グラウンドあるいは信号プレーン８８も含んでいる。垂直導体８６は、導体８６がプレーン８７および８８に接触しないように充分に大きい信号プレーン８７および８８内の穴を貫通している。しかしストリップライン導体７４および７８が垂直導体８６に接触しているため、ビア７２は導体７４および７８の間に信号経路を提供することができる。

【００３２】

図１３は信号が導体７４、ビア７２および導体７８を通る経路のインピーダンスモデルである。ストリップライン導体７４および７８は、それぞれその特性インピーダンスＺ１およびＺ２によってモデル化されている。上部および下部リング８２および８４は信号経路とグラウンドとの間にそれぞれ並列容量Ｃ１およびＣ２を付加する。インダクタＬ１は上部リング８２と導体７４との間の垂直導体８６のインダクタンスをモデル化している。インダクタＬ３は導体７４および７８の間の垂直導体８６のインダクタンスを表している。インダクタＬ２は導体７８と下部リング８４との間の垂直導体８６のインダクタンスをモデル化している。

【００３３】

図１４プロットＥは本発明によりインダクタンスＬ１～Ｌ３に応じて静電容量Ｃ１およびＣ２を調整して最大帯域幅を提供する場合の図１３の先行技術の５極フィルタ構造の周波数応答を示す。プロットＥを計算する際に以下に表Ｖに一覧表にしたインピーダンス値を用いた。

【００３４】

【表５】

表V	
Z1	50オーム
Z2	50オーム
L1	1.1nH
L2	1.1nH
L3	2.2nH
C1	0.2pF
C2	0.2pF

プロットEから図14の5極フィルタがおよそ6.3GHzの帯域幅を有することが分かる。これは図3の3極フィルタの静電容量調整型の3.5GHzの帯域幅（図4のプロットCを参照。）よりかなり広いが、これは図13のインダクタンスL1およびL2が直列インダクタンスではなく並列インダクタンスであり、上部および下部リング静電容量C1およびC2を信号経路から絶縁分離する役目を果たすからである。

【００３５】
図１５は図１１および１２のＰＣＢ７０の断面立面図であり、本発明によれば導電パッド９０が垂直導体８６に沿った導体７４および７８間の中間の位置で並列容量をビア７２に付加する。

【００３６】
図１６はリング９０が付加された場合のビア７２のインピーダンスモデルである。静電容量Ｃ３はリング９０の静電容量をモデル化している。インダクタンスＬ３ＡおよびＬ３Ｂは導体７４および７８の間の垂直導体８６によって提供された図１３のインダクタンスＬ３の部分を表している。なおビアは７極フィルタとして作用する。図１４のプロットＦは以下に表ＶＩに一覧表にしたインピーダンス構成要素を用いた図１６の７極フィルタの周波数応答を示す。

【００３７】
【表６】

表VI	
Z1	50オーム
Z2	50オーム
L1	1.1nH
L2	1.1nH
L3A	1.1nH
L3B	1.1nH
C1	0.2pF
C2	0.2pF
C3	0.8pF

プロットEとFとを比較すると、適正に調整された静電容量を備えるパッド90をビア72に付加することでビアの帯域幅を約6.3GHzから約9.3GHzに広げられることが分かる。

【００３８】
図９に示した本発明のマイクロストリップ型と共に上述したように、例えばビアに近いストリップライン７４および７８の端部の幅を減少させて誘電性にすることによりさらにビアの帯域幅を広げることができる。Ｚ１とＬ３Ａとの間およびＺ２とＬ３Ｂとの間の追加直列インダクタンスにより図１６の７極フィルタを、調整により増加帯域幅が得られる９

極フィルタにする。
多数の埋め込みコンデンサを用いたビア
導体７４および７８の間に適切に調整されたパッド９０を２つ以上設けてビア静電容量をより均等に分布させることにより帯域幅をさらに改善することが可能になる。例えば図１７は本発明の代替的実施形態による図６のビア４２の改良型を示す。図６においてビア４２はＰＣＢ４０に埋め込まれた単一の導電パッド５９を含み、ビア４２が提供する信号経路に沿った一点で追加の並列容量を提供するだけである。導電パッド５９はビア４２を調整して図７に示した５極フィルタにした。上部および下部リング５２および５４ならびにパッド５９はそれぞれ静電容量Ｃ１、Ｃ２およびＣ３として作用する一方で、導体５６は２つの直列インダクタＬ１およびＬ２として作用する。

【００３９】
図１７に示したビア４２の型では、２つの導電パッド５９Ａおよび５９ＢがＰＣＢ４０内（上ではなく）に埋め込まれ、導体４４および４８の間のビア４２が提供する信号経路に沿った二点で追加の並列容量を提供する。図１８に示すとおり、上部および下部リング５２および５４ならびにパッド５９Ａおよび５９Ｂがそれぞれ静電容量Ｃ１、Ｃ２、Ｃ３ＡおよびＣ３Ｂとして作用する一方で、導体５６はここで３つの直列インダクタＬ１～Ｌ３として作用する。このように図１７のビア４２は７極フィルタとして作用し、同様量の合計直列インダクタンスが与えられた図７の５極フィルタより広い帯域幅を得るように調整可能である。ＰＣＢが多数の層を有する場合、ビアに追加の埋め込みコンデンサを追加してそれにより形成されるフィルタ内の極数をさらに増加させることができる。

【００４０】
上記の説明では本発明の好適な実施形態を述べたが、当業者はより広範囲な様態において本発明から逸脱することなく好適な実施形態に対して数多くの変更をすることができる。例えば、表Ｉ～ＶＩに一覧表にしたインピーダンス値は例示に過ぎない。当業者には本発明により設計されたビアが他の組み合わせのインピーダンス値を有することが可能であることは理解されたい。なお、本発明によればその容量性素子を適正に調整するとともにビアに適正な大きさの容量性および／または誘電性素子を付加することによって、ブラインドおよび埋め込みビアの周波数応答が改善できることも理解できよう。そのため添付の特許請求の範囲は本発明の真の範囲と精神とに含まれる変更をすべて包含しようとするものである。

【図面の簡単な説明】
【００４１】
【図１】導電ビアを用いてプリント回路基板ＰＣＢの上面および下面上に形成されたマイクロストリップ導体を接続した先行技術のＰＣＢの一部分の平面図である。
【図２】図１のＰＣＢの断面立面図である。
【図３】信号が図２のマイクロストリップ導体およびビアを通る経路のインピーダンスモデルを示す概略図である。
【図４】図２および６のビアの周波数応答を図示するグラフである。
【図５】本発明による導電ビアを用いてＰＣＢの上面および下面上に形成されたマイクロストリップ導体を接続したプリント回路基板の一部分の平面図である。
【図６】図５のＰＣＢの断面立面図である。
【図７】図８に示したマイクロストリップ導体構成を用いた時の図６のマイクロストリップ導体およびビアを通る信号経路のインピーダンスモデルを示す概略図である。
【図８】図５および６のマイクロストリップ導体およびビアの平面図である。
【図９】図５および６のマイクロストリップ導体およびビアの代替的実施形態の平面図である。
【図１０】図９に示したマイクロストリップ構成を用いた時の図６のマイクロストリップ導体およびビアを通る信号経路のインピーダンスモデルを示す概略図である。
【図１１】本発明による導電ビアを用いてＰＣＢの個別の層上に形成された埋め込みストリップライン導体を接続した先行技術のＰＣＢの一部分の平面図である。

【図１２】図１１のＰＣＢの断面立面図である。
【図１３】信号が図１２のマイクロストリップ導体およびビアを通る経路のインピーダンスモデルを示す概略図である。
【図１４】図１２および１５のビアの周波数応答を図示するグラフである。
【図１５】本発明の第１の代替的実施形態による導電ビアを用いたプリント回路基板の断面立面図である。
【図１６】図１５のストリップライン導体およびビアを通る信号経路のインピーダンスモデルを示す概略図である。
【図１７】本発明の第２の代替的実施形態による導電ビアを用いたプリント回路基板の断面立面図である。
【図１８】図１７のストリップライン導体およびビアを通る信号経路のインピーダンスモデルを示す概略図である。

【図１】

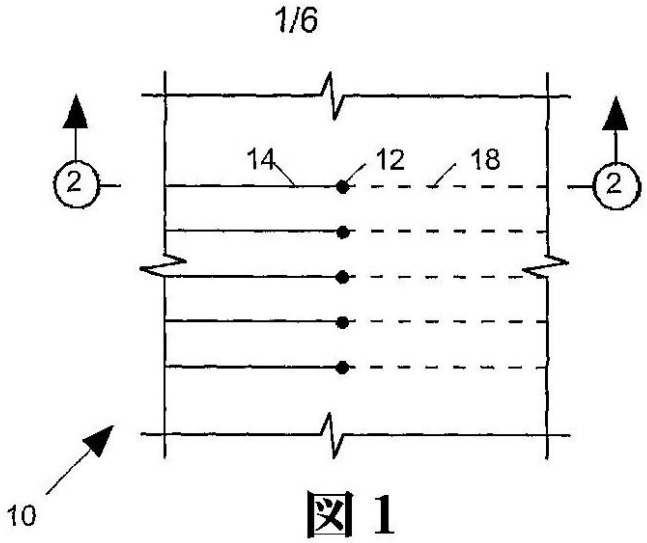


図１
（先行技術）

【図２】

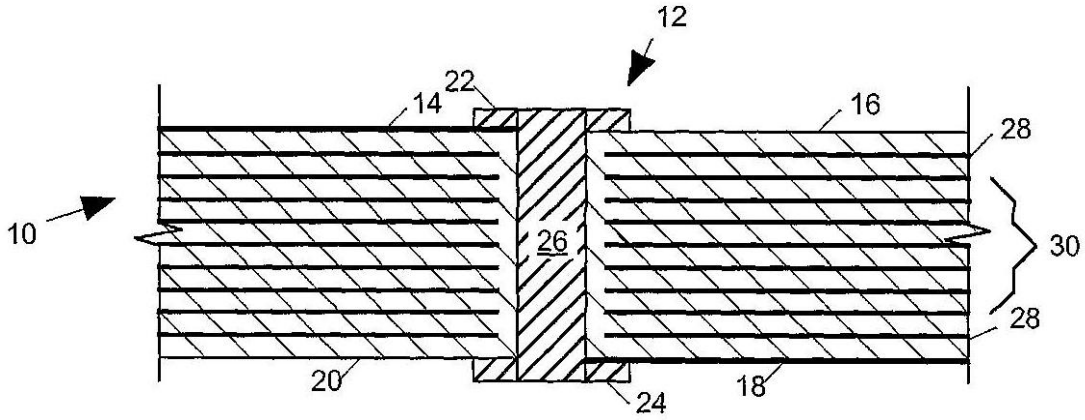


図２

（先行技術）

【図４】

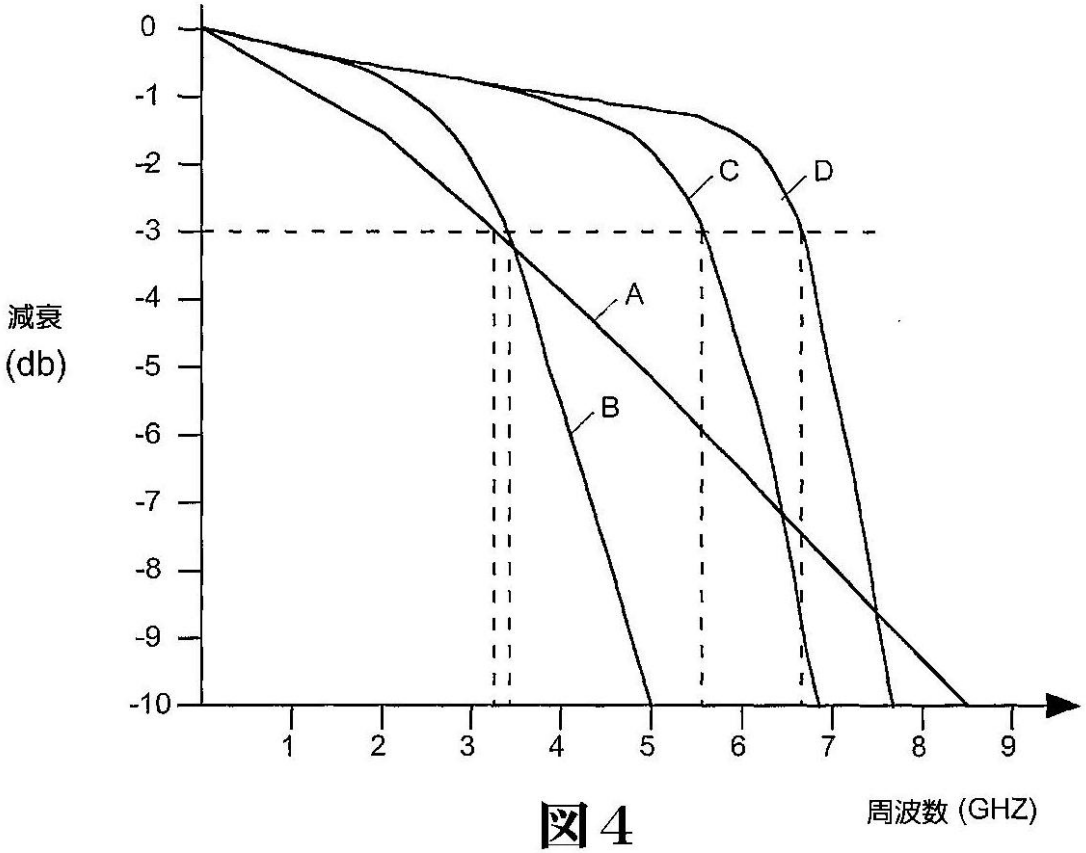


図４

【図１１】

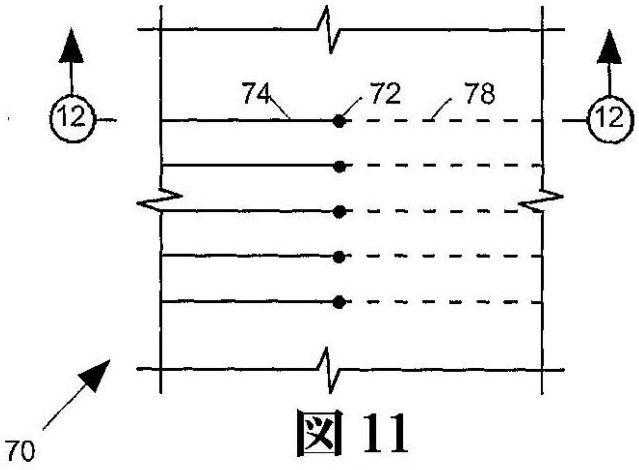


図 11

（先行技術）

【図１２】

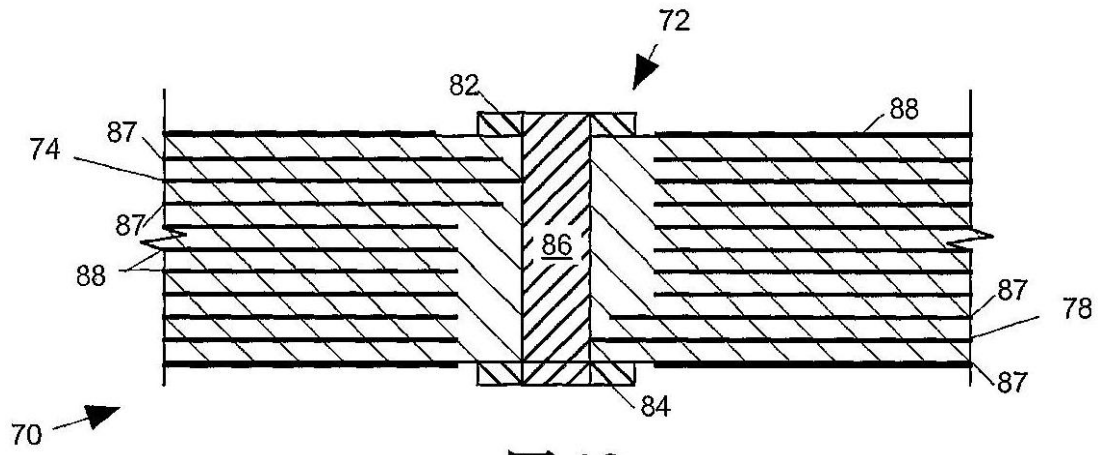


図 12

（先行技術）

【図１４】

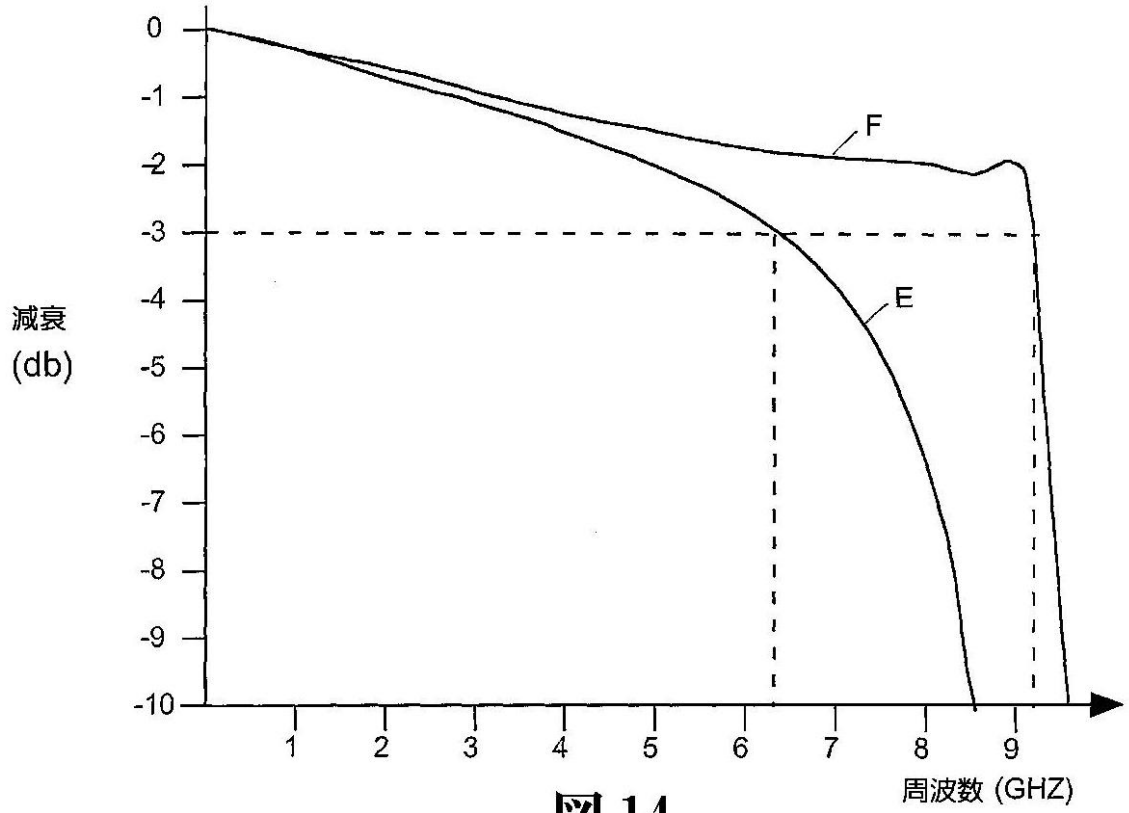


図 14

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau

(43) International Publication Date
25 July 2002 (25.07.2002)

PCT

(10) International Publication Number
WO 02/058234 A2

(51) International Patent Classification⁷: H03H 7/01

(21) International Application Number: PCT/US02/01212

(22) International Filing Date: 15 January 2002 (15.01.2002)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
09/761,352 16 January 2001 (16.01.2001) US

(71) Applicant *(for all designated States except US)*: **FORMFACTOR, INC.** [US/US]; 2140 Research Drive, Livermore, CA 94550 (US).

(72) Inventors; and
(75) Inventors/Applicants *(for US only)*: **HREISH, Emad, B.** [US/US]; 1085 Murrieta Boulevard, No. 214, Livermore, CA 94550 (US). **MILLER, Charles, A.** [US/US]; 48881 Semillon Drive, Fremont, CA 94539 (US).

(74) Agents: **MERKADEAU, Stuart, L.** et al.; Formfactor, INC., 2140 Research Drive, Livermore, CA 94550 (US).

(81) Designated States *(national)*: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

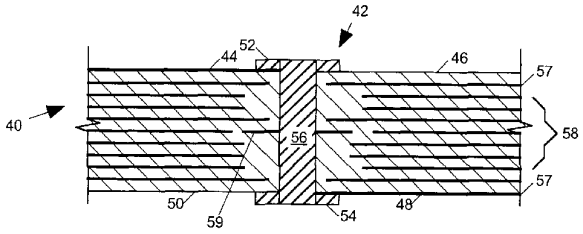
(84) Designated States *(regional)*: ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Declaration under Rule 4.17:
— *of inventorship (Rule 4.17(iv)) for US only*

Published:
— *without international search report and to be republished upon receipt of that report*

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: HIGH FREQUENCY PRINTED CIRCUIT BOARD VIA



(57) Abstract: A printed circuit board (PCB) via, providing a conductor extending vertically between microstrip or stripline conductors formed on separate layers of a PCB, includes a conductive pad surrounding the conductor and embedded within the PCB between those PCB layers. The pad's shunt capacitance and the magnitudes of capacitances of other portions of the via are sized relative to the conductor's inherent inductance to optimize frequency response characteristics of the via.

WO 02/058234 A2

HIGH FREQUENCY PRINTED CIRCUIT BOARD VIA

BACKGROUND OF THE INVENTION

Field of the Invention

The present invention relates in general to a via for providing a signal path between conductors formed on separate layers of a printed circuit board, and in particular to a via that acts as a tuned filter to optimize characteristics of its frequency response.

Description of Related Art

FIGS. 1 and 2 are plan and sectional elevation views of a portion of a prior art printed circuit board (PCB) employing a conductive via 12 to link a microstrip conductor 14 formed on an upper surface 16 of the PCB to a microstrip conductor 18 formed on a lower surface 20 of the PCB. Via 12 includes an upper cap (annular ring 22) contacting conductor 14, a lower cap (annular ring 24) contacting conductor 18 and a vertical conductor 26 extending between upper and lower annular rings 22 and 24. PCB 10 also includes embedded power and ground planes 28 formed on PCB substrate layers below upper surface 16 and above lower surface 20, and may also include additional embedded power, ground or signal planes 30. Via conductor 26 passes though holes in power signal planes 28 and 30 sufficiently large to prevent conductor 26 from contacting planes 28 and 30.

FIG. 3 is an impedance model of the path a signal follows through conductor 14, via 12 and conductor 18. Microstrip conductors 14 and 18, modeled by their characteristic impedances Z1 and Z2 respectively, are often sized and spaced with respect nearby power or ground planes 28 so that they have a standard characteristic impedance such as 50 Ohms. Upper and lower via annular rings 22 and 24 add shunt capacitances C1 and C2 to the signal path provided by vertical conductor 26. An inductor L1 models the vertical conductor 26. The model of FIG. 3 could also include some shunt resistance to account for leakage though the insulating substrate surrounding via 12, but at higher frequencies capacitances C1 and C2 and inductance L1 are the predominant influences on the via's frequency response.

Via 12, which behaves like a three-pole filter or passive network, can severely attenuate and distort a high frequency signal traveling between conductors 14 and 18. The series inductance L1 provided by vertical conductor 26 depends primarily on its vertical dimension. Since vertical conductor 26 must extend through PCB 10, its length is fixed by the thickness of PCB 10, and there is generally little leeway in adjusting the value of L1. Thus the conventional approach to reducing signal distortion and attenuation caused by via 12 in high frequency applications has been to minimize the via's shunt capacitance. The shunt capacitance C1 and C2 can be reduced by reducing the horizontal dimension of annular rings 22 and 24 and by maximizing the distance between annular rings 22 and 24 and nearby power and ground planes 28. However there are practical limits to the amount by which capacitances C1 and C2 can be reduced. Therefore appreciable via capacitance and inductance will always be present and will always cause some level of signal distortion and attenuation, particularly in high frequency signals.

FIG. 4 includes a plot A of the frequency response of a typical via that has been designed to provide minimal shunt capacitance and series inductance. The bandwidth of a filter is normally defined as the lowest frequency at which it attenuation reaches -3db. Plot A of FIG. 4 shows that the bandwidth of via 22 is approximately 3.2 GHz. Thus a circuit board designer would normally want to avoid using such a circuit board via to conduct a signal of frequency higher than about 3 GHz.

The conventional approach to the use of vias in high frequency applications is therefore quite often to avoid them entirely. However a restriction against using vias can make it difficult to route large numbers of high frequency signals on a circuit board. In some high frequency applications short "blind" vias which do not extend completely through a PCB are used to link embedded stripline conductors formed on PCB layers that are vertically close to one another. Since blind vias are short, they have relatively little series inductions, and therefore usually have larger bandwidths than through vias extending completely through a PCB. However

blind vias are more expensive than through vias, and still do not have sufficient bandwidth to handle very high frequency signals.

Therefore what is needed is a way to substantially increase the bandwidth of PCB vias so that they can conduct very high frequency signals without unduly attenuating or distorting them.

SUMMARY OF THE INVENTION

A printed circuit board (PCB) via provides a vertical signal path between microstrip or stripline conductors formed on separate horizontal layers of a PCB. The via adds shunt capacitance and series inductance to the signal path that are functions of shape and size of the via and of spacing between the via and nearby power and ground planes implemented in the PCB.

In accordance with one aspect of the invention, the capacitances of thevia are adjusted with respect to one another and to the via inductance to values above their minimum practically attainable values for which frequency response characteristics of the via such as bandwidth are optimized.

In accordance with another aspect of the invention, in particular embodiments thereof, the via capacitances are adjusted so that the via behaves as a multi-pole Chebyshev or Butterworth filter.

In accordance with a further aspect of the invention, the via includes a capacitive element embedded within the PCB in contact with the signal path provided by the via. The element's shunt capacitance and the magnitudes of capacitances of other portions of the via are adjusted relative to via's inherent series inductance and to the impedance of the stripline or microstrip conductors to tune the via for optimal frequency response characteristics.

It is accordingly an object of the invention to provide a PCB via conducting high frequency signals without unduly attenuating them.

The claims portion of this specification particularly points out and distinctly claims the subject matter of the

present invention. However those skilled in the art will best understand both the organization and method of operation of the invention, together with further advantages and objects thereof, by reading the remaining portions of the specification in view of the accompanying drawing(s) wherein like reference characters refer to like elements.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a plan view of a portion of a prior art printed circuit board (PCB) employing a conductive via to link microstrip conductors formed on upper and lower surfaces of the PCB;

FIG. 2 is a sectional elevation view of the PCB of FIG. 1;

FIG. 3 is a schematic diagram depicting an impedance model of a path a signal follows through the microstrip conductors and the via of FIG. 2;

FIG. 4 is a graph illustrating frequency responses the vias of FIGs 2 and 6;

FIG. 5 is a plan view of a portion of a printed circuit board employing a conductive via in accordance with the invention to link microstrip conductors formed on upper and lower surfaces of the PCB;

FIG. 6 is a sectional elevation view of the PCB of FIG. 5;

FIG. 7 is a schematic diagram depicting an impedance model of a signal path through the microstrip conductors and the via of FIG. 6 when employing a microstrip conductor configuration depicted in FIG. 8;

FIG. 8 is a plan view of the microstrip conductors and via of FIGs. 5 and 6;

FIG. 9 is a plan view of an alternative embodiment of the microstrip conductors and via of FIGs. 5 and 6;

FIG. 10 is a schematic diagram depicting an impedance model of a signal path through the microstrip conductors and the via of FIG. 6 when employing the microstrip configuration depicted in FIG. 9;

FIG. 11 is a plan view of a portion of a prior art PCB employing a conductive via in accordance with the invention

to link embedded stripline conductors formed on separate layers of the PCB;

FIG. 12 is a sectional elevation view of the PCB of FIG. 11;

FIG. 13 is a schematic diagram depicting an impedance model of a path a signal follows through the microstrip conductors and the via of FIG. 12;

FIG. 14 is a graph illustrating the frequency responses the vias of FIGs. 12 and 15;

FIG. 15 is a sectional elevation view of a printed circuit board employing a conductive via in accordance with a first alternative embodiment of the invention;

FIG. 16 is a schematic diagram depicting an impedance model of a signal path through the stripline conductors and the via of FIG. 15.

FIG. 17 is a sectional elevation view of a printed circuit board employing a conductive via in accordance with a second alternative embodiment of the invention; and

FIG. 18 is a schematic diagram depicting an impedance model of a signal path through the stripline conductors and the via of FIG. 17.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

FIGs. 5 and 6 are plan and sectional elevation views of a portion of a multi-layer printed circuit board (PCB) 40 employing a conductive via 42 in accordance with the invention to link a microstrip conductor 44 formed on an upper surface 46 of PCB 40 to a microstrip conductor 48 formed on a lower surface 50 of the PCB. Via 42 includes an upper cap (annular ring 52) contacting conductor 34, a lower cap (annular ring 54) for contacting conductor 18 and a vertical conductor 56 extending between upper and lower annular rings 52 and 54. PCB 40 also includes power and ground planes 57 formed on substrate layers below upper surface 46 and above lower surface 50, and may also include additional embedded power and ground planes or signal planes 58 formed on other layers. Vertical conductor 56 passes though holes in power signal planes 57 and 58 that are

sufficiently large to prevent conductor 56 from contacting planes 57 and 58.

In accordance with the invention a capacitor is added to via 42 suitably embedded midway between upper and lower rings 52 and 54. The capacitor may be provided by lithographically forming a conductive pad 59 on one of the PCB's multiple substrate layers from the same metallic material from which the conductors of the power, ground or signal plane 58 residing on that layer are lithographically formed before the individual substrate layers of PCB 40 are joined. When a hole is drilled though PCB 40 and pad 59, and filled with conductive material to from conductor 56, pad 59 forms an annular ring that surrounds and contacts conductor 56. The horizontal surfaces of pad 59 and an adjacent power or ground plane 58 act as a capacitor adding shunt capacitance to the signal path provided by vertical conductor 56.

FIG. 7 is an impedance model of the path a signal follows through conductor 44, via 42 and conductor 48. Microstrip conductors 44 and 48 are modeled by their characteristic impedances Z1 and Z2, respectively. Microstrip conductors are often sized and spaced with respect to their nearest power or ground planes 57 so that they have a standard characteristic impedance such as 50 Ohms. Upper and lower rings 52 and 54 add capacitances C1 and C2, respectively, between the signal path and nearest power or ground planes 58. A capacitor C3 models the capacitance between pad 59 and its nearby power or ground planes 58. Inductors L1 and L2 respectively model the inductance of the portion of vertical conductor 56 above and below pad 59. The impedance model of FIG. 7 could also include some shunt resistance to model leakage through the surrounding PCB substrate insulating material, but at high signal frequencies the capacitive and inductive elements dominate the frequency response of via 42.

As seen in FIG. 7, via 42 acts as a five-pole filter. In high frequency applications the via's series inductances L1 and L2 and shunt capacitances C1-C3 attenuate and distort a signal traveling between conductors 44 and 48. The higher the frequency of the signal, the greater the attenuation and

distortion. If via had no impedance, it would not attenuate or distort the signal at all. Hence the conventional approach to reducing signal distortion and attenuation has been to reduce the via's shunt capacitance. For example shunt capacitances C1 and C2 can be reduced by reducing the horizontal dimension of rings 52 and 54 and by increasing the distance between rings 52 and 54 their nearest power or ground planes 57. However there are practical limits to the amount by which capacitances C1 and C2 can be reduced. The series inductances L1 and L2 of vertical conductor 56 also decrease primarily with its vertical dimension. However since vertical conductor 56 must extend through PCB 40, its length is fixed by the thickness of PCB 40, and there is little leeway in adjusting values of L1 and L2.

Therefore appreciable via capacitance and inductance will always be present and will always cause signal distortion and attenuation. As discussed below, the present invention, increases the bandwidth and improves other frequency response characteristics of a via beyond what can be obtained by simply minimizing the via's shunt capacitance.

Tuning Via Capacitance

FIG. 2 is a sectional elevation view of a prior art via 12 (FIG. 2) that is generally similar to via 42 of FIG. 5 of the present invention except that via 12 does not include pad 59 of via 42. FIG. 3 is an impedance model of via 12 including capacitances C1 and C2 associated with its upper and lower rings 22 and 24 and an inductance L1 associated with its vertical conductor 26. Note that capacitances C1 and C2 and inductor L1 form a two-port, three-pole filter as opposed to the five-pole filter of FIG. 7.

FIG. 4, plot A, depicts the frequency response of prior art via 12 when the various components of the three-pole filter of FIG. 3 have the values shown below in the Table I.

TABLE I	
Z1	50 ohms
Z2	50 ohms
C1	0.17 pF
C2	0.17 pF
L1	4.32 nH

The 0.17 pF values of C1 and C2 are typical minimum attainable via capacitance values.

The "bandwidth" of a filter is often defined as the lowest signal frequency at which the filter's attenuation reaches -3db. Plot A of FIG. 5 shows the bandwidth of prior art via 22 to be approximately 3.2 GHz. Following conventional practice, we might expect that an increase in the capacitance C1 and C2 of rings 22 and 24 would result in a decrease in the bandwidth of via 22. However that is not the case for all values of capacitance to which we might increase C1 and C2. FIG. 4, plot B, illustrates the frequency response of the filter of FIG. 3 when component values are as listed below in Table II.

TABLE II	
Z1	50 ohms
Z2	50 ohms
C1	0.88 pF
C2	0.88 pF
L2	4.21 nH

Note the capacitances C1 and C2 are increased by more than a factor of five while values of via inductance L1 and microstrip impedance Z1 and Z2 remain unchanged. Plot B of FIG. 4 shows that by increasing via capacitance we increase the via's bandwidth from about 3.2 GHz to about 3.5 GHz. We do not necessarily maximize a via's bandwidth by making its capacitances as low as possible; instead we maximize bandwidth by tuning the via's capacitances to appropriate values in relation to the via's inductance. We treat the via

like a filter that we can tune for optimal frequency response.

Thus we optimize a via's frequency response not by minimizing its capacitance but by appropriately tuning its capacitance. However the "optimal" frequency response of a via is application-dependent. In most high frequency applications we normally want to maximize via bandwidth. But in some high frequency applications we may be willing, for example, to accept a narrower bandwidth in exchange for a flatter passband, less attenuation at lower frequencies, or steeper roll off in the stopband. Since via 12 of FIG. 2 and via 42 of FIG. 6 form three-pole and five-pole filters, by appropriately adjusting via capacitance, these vias can be made to behave like well-known three-pole or five-pole "Butterworth" filters which provide a maximally flat frequency response or like well-known multi-pole Chebyshev filters which can optimize a combination of bandwidth and roll off characteristics. The design of multi-pole Butterworth and Chebyshev filters, including appropriate choices for component values so as to optimize various characteristics of a filter's frequency response, is well-known to those skilled in the art. See for example, pages 59-68 of the book Introduction to Radio Frequency Design by W. H. Hayward, published 1982 by Prentice-Hall, Inc., and incorporated herein by reference.

Distributing Via Capacitance

Adding pad 59 to via 42 is inconsistent with the conventional practice of attempting to minimize a via's capacitance in order to improve the via's high frequency response because pad 59 adds shunt capacitance C3 to the via's signal path. However, as demonstrated below, when that capacitance C3 and appropriately adjusted relative to capacitances C1 and C2 and inductances L1 and L2 of other portions of via 42, the via's frequency response characteristics is greatly improved.

FIG. 4, plot C, illustrates the frequency response of the five-pole filter of FIG. 7 modeling the improved via 42 of FIG. 6 with component values as listed in Table III below.

TABLE III	
Z1	50 ohms
Z2	50 ohms
C1	0.4 pF
C2	0.4 pF
C3	1.0 pF
L1	2.16 nH
L2	2.16 nH

We see from plot C that the bandwidth of via 42 is about 5.6 GHz, substantially larger than the 3.2 and 3.5 GHz bandwidths of the "minimum capacitance" and "tuned capacitance" versions of via 12 of FIG. 2 having frequency responses illustrated in plots A and B of FIG. 4. Note also that via 42 has a total shunt capacitance of 1.8 pF, substantially more than the 0.34 pF total capacitance added by the minimum capacitance version of via 12 and about the same as the 1.76 pF capacitance added by the tuned capacitance version of via 12.

By comparing plots A and B, we saw that we can improve the frequency response of a via by properly tuning its capacitance, rather than by trying to minimize it. Also we can see by comparing plot C to plots A and B, that we can obtain a far greater increase in the frequency response of a via when we also more evenly distribute the via's capacitance over its vertical length. For example further bandwidth increases would result if several capacitive pads 59 were evenly distributed along the length of vertical conductor 56 with their capacitances and the capacitances of upper and lower rings 52 and 54 appropriately tuned in relation to the via's inductance. Generally the more poles we can add to the filter formed by the via, the greater the bandwidth that can be obtained provided all of the impedance elements can be properly tuned. Increasing the number of poles can also help to flatten the filter's pass band and sharpen the high frequency roll off of its stop band, which are also desirable improvements to frequency response characteristics in many applications.

Adding Via Inductance

FIGs. 8 and 9 are plan views of alternative versions of microstrip conductors 44 and 48 and via 42 of FIG. 5. The impedance of a microstrip conductor is primarily a function of its width and the distance between the conductor and nearby power or ground planes. Normally a microstrip conductor is designed to have a uniform characteristic impedance throughout its length, such as for example 50 Ohms. Therefore they normally have uniform widths as shown in FIG 8. The impedance model of FIG. 7 assumes that microstrip conductors 44 and 48 are of uniform width. However by decreasing the widths of microstrip conductors 44 and 48 in sections 60 and 62 near via 42 as illustrated in FIG. 9, we make those sections primarily inductive.

FIG. 10 depicts an impedance model of a signal path formed by conductor 44, via 42 and conductor 48, when conductors 44 and 48 have been modified to include inductive sections 60 and 62 as illustrated in FIG. 9. In addition to the capacitances C1-C3 and inductances L1 and L2 of via 42, the structure between the Z1 and Z2 characteristic impedances associated with conductors 44 and 48 includes the inductances L3 and L4 of conductor sections 60 and 62. Thus the structure between conductors 44 and 48 acts as a seven-pole filter.

FIG. 4, plot D, illustrates the frequency response of the seven-pole filter of FIG. 10 when impedance components having values listed below in Table IV.

TABLE IV	
Z1	50 ohms
Z2	50 ohms
L1	2.16 nH
L2	2.16 nH
L3	0.77 nH
L4	0.85 nH
C1	0.72 pF
C2	0.74 pF
C3	0.74 pF

Plot D shows that the seven-pole filter structure of FIG. 10 has a bandwidth of about 6.8 GHz, substantially higher than the bandwidth of the five-pole filter of FIG. 7. See plot C.) Thus we can see that even though the seven-pole filter of FIG. 10 has substantially more capacitance and inductance than the five- pole filter of FIG. 7 and than either of the minimum capacitance or tuned capacitance versions the three-pole filter of FIG. 3, it has a much larger bandwidth. Thus in addition improving a via's frequency response by tuning and more evenly distributing its capacitance, we can further improve its frequency response by adding appropriately sized inductance at the via's upper and lower ends. This increases the number of poles of the filter structure linking the two microstrip traces.

Tuned Vias for Interconnecting Buried Stripline Conductors

Vias are also used to interconnect stripline conductors formed on separate buried layers of a PCB substrate. PCB designers often employ blind or buried vias which do not extend all the way through the PCB in lieu of through vias which do extend all the way through a PCB to interconnect buried conductors because the shorter blind and buried vias do not add as much capacitance or inductance to the signal paths. However blind and buried vias are more expensive to manufacture than through vias since various PCB layers must be separately drilled. The present invention improves the bandwidth of through vias so that they can be used for interconnecting buried stripline conductors in high frequency applications.

FIGs. 11 and 12 are a plan and sectional elevation views of a portion of a multi-layer printed circuit board (PCB) 70 employing a prior art conductive via 72 in accordance with the invention to link a stripline conductor 74 formed on a buried layer of PCB 70 to a stripline conductor 78 formed on another buried layer of the PCB. Via 72 includes an upper annular ring 82, a lower annular ring 84, a vertical conductor 86 extending between upper and lower annular rings 82 and 84. PCB 40 also includes power and ground planes 87 formed on layers above and below stripline conductors 74 and 78, and also includes additional embedded power, ground or

signal planes 88 formed on other layers. Vertical conductor 86 passes though holes in power signal planes 87 and 88 that are sufficiently large to prevent conductor 86 from contacting planes 87 and 88. However stripline conductors 74 and 78 do contact vertical conductor 88 so that via 72 can provide a signal path between conductors 74 and 78.

FIG. 13 is an impedance model of the path a signal follows through conductor 74, via 72 and conductor 78. Stripline conductors 74 and 78 are modeled by their characteristic impedances Z1 and Z2, respectively. Upper and lower rings 52 and 54 add shunt capacitances C1 and C2, respectively, between the signal path and ground. Inductor L1 models the inductance of vertical conductor 86 between upper ring 82 and conductor 74. Inductor L3 represents the inductance of conductor 86 between conductors 74 and 78. Inductor L2 models the inductance of conductor 86 between conductor 78 and lower ring 84.

FIG. 14, plot E, illustrates the frequency response of the prior art five-pole filter structure of FIG. 13 when its capacitances C1 and C2 are tuned relative to inductances L1 - L3 in accordance with the invention to provide maximum bandwidth. The impedance values listed below in Table V were used when computing plot E.

TABLE V	
Z1	50 ohms
Z2	50 ohms
L1	1.1 nH
L2	1.1 nH
L3	2.2 nH
C1	0.2 pF
C2	0.2 pF

Note from plot E that the five-pole filter of FIG. 14 has a bandwidth of approximately 6.3 GHz. This is much larger than the 3.5 GHz bandwidth of the capacitance-tuned version of the three-pole filter of FIG. 3 (See plot C of FIG. 4) because inductances L1 and L2 of FIG. 13 are shunt inductances rather

than series inductances and serve to isolate upper and lower ring capacitances C1 and C2 from the signal path.

FIG. 15 is a sectional elevation view of PCB 70 of FIGs. 11 and 12 wherein, in accordance with the invention, a conductive pad 90 adds shunt capacitance to via 72 at a point along vertical conductor 56 midway between conductors 70 and 78.

FIG. 16 is an impedance model of via 72 when ring 90 is added. Capacitance C3 model the capacitance of ring 90. Inductors L3A and L3B represent portions of the inductance L3 of FIG. 13 provided by vertical conductor 56 between conductors 74 and 78. Note that the via acts as a seven-pole filter. Plot F of FIG. 14 illustrates the frequency response of the seven-pole filter of FIG. 16 using impedance components listed below in table VI.

TABLE VI

Z1	50 ohms
Z2	50 ohms
L1	1.1 nH
L2	1.1 nH
L3A	1.1 nH
L3B	1.1 nH
C1	0.2 pF
C2	0.2 pF
C3	0.8 pF

Comparing plots E and F we see that the addition of pad 90 with properly tuned capacitance to via 72 can increase the via's bandwidth from about 6.3 GHz to about 9.3 GHz.

We can further increase the bandwidth of the via by making the ends of stripline 74 and 78 inductive for example by decreasing their widths near the via, as discussed above in connection with the microstrip version of the invention illustrated in FIG. 9. Since the additional series inductance between Z1 and L3A and between Z2 and L3B turns the seven-pole filter of FIG. 16 to a nine-pole filter can be tuned for increased bandwidth.

Via Employing Multiple Embedded Capacitors

Additional improvements in bandwidth may be had by providing more than one appropriately tuned pad 90 between conductors 74 and 78 to more evenly distribute via capacitance. For example FIG. 17 illustrates an improved version of the via 42 of FIG. 6 in accordance with an alternative embodiment of the invention. In FIG. 6 via 42 includes only a single conductive pad 59 embedded in PCB 40 to provide additional shunt capacitance at a single point along the the signal path provided by via 42. Conductive pad 59 turned via 42 into the five-pole filter illustrated in FIG. 7. Conductor 56 acts as two series inductors L1 and L2 while upper and lower rings 52 and 54 and pad 59 act as capacitors C1, C2 and C3, respectively.

In the version of via 42 illustrated in FIG 17, two conductive pads 59A and 59B are embedded in PCB 40 (rather than on) to provide additional shunt capacitance at two points along the signal path provided by via 42 between conductors 44 and 48. As illustrated in FIG. 17, conductor 56 now acts as three series inductors L1-L3 while upper and lower rings 52 and 54 and pads 59A and 59B act as capacitors C1, C2, C3A and C3B, respectively. Thus via 42 of FIG. 17 acts as a seven-pole filter, which can be tuned for wider bandwidth than the five-pole filter of FIG. 7 given similar amounts of total series inductance. When a PCB has a large number of layers, we can add additional embedded capacitors to the via to further increase the number of poles in the filter it forms.

While the forgoing specification has described preferred embodiment(s) of the present invention, one skilled in the art may make many modifications to the preferred embodiment without departing from the invention in its broader aspects. For example, the impedance values listed in Tables I-VI are exemplary only. Those of skill in the art will understand that vias designed in accordance with the invention may have other combinations impedance values. It should also be understood that the frequency response of blind and buried vias can also be improved in accordance with the invention by properly tuning their capacitive elements and by adding

properly sized capacitive and/or inductive elements to the vias. The appended claims therefore are intended to cover all such modifications as fall within the true scope and spirit of the invention.

CLAIMS

1. An apparatus for conducting a signal between a first conductive strip and a second conductive strip residing at separate first and second elevations on a printed circuit board (PCB), the apparatus comprising:

a conductor extending vertically within the PCB and providing a conductive path for conducting the signal between the first conductive strip and the second conductive strip, the conductor having impedance including inductance; and

capacitive means in contact with the conductor and adding shunt capacitance to the conductive path, wherein the shunt capacitance is sized relative to the conductor's impedance to substantially optimize a frequency response characteristic of the conductive path when conducting the signal.

2. The apparatus in accordance with claim 1 wherein the shunt capacitance is sized relative to the conductor's impedance such that the conductive path forms a Chebyshev filter.

3. The apparatus in accordance with claim 1 wherein the shunt capacitance is sized relative to the conductor's impedance such that the conductive path forms a Butterworth filter.

4. The apparatus in accordance with claim 1 wherein the first shunt capacitance is sized relative to the conductor's impedance to substantially maximize a bandwidth characteristic of a frequency response of the conductive path when conducting the signal.

5. The apparatus in accordance with claim 1

wherein the PCB has an upper horizontal surface and a lower horizontal surface;

wherein the first conductive strip resides on the upper horizontal surface;

wherein the second conductive strip resides on the lower horizontal surface;

wherein the conductor extends vertically completely through the PCB; and

wherein said capacitive means comprises:

an upper conductor having a first horizontally planar surface formed on the upper surface conductively linking the conductor to the first conductive strip, and

a lower conductor having a horizontally planar surface formed on the lower surface conductively linking the conductor to the second conductive strip.

6. The apparatus in accordance with claim 5 wherein the upper conductor adds first shunt capacitance to the conductive path,

wherein the lower conductor adds second shunt capacitance to the conductive path, and

wherein the first and second shunt capacitances are sized relative to the conductor's impedance to substantially optimize a frequency response characteristic of the conductive path when conducting the signal.

7. The apparatus in accordance with claim 1 wherein the capacitive means comprises a first capacitor embedded within said PCB attached to the conductor at a third elevation between the first and second elevations and adding first shunt capacitance to the signal path.

8. The apparatus in accordance with claim 7 wherein the third elevation resides substantially vertically midway between the first and second elevations.

9. The apparatus in accordance with claim 7 wherein the PCB has a plurality of substrate layers and,

wherein the first capacitor comprises first conductive material formed at the third elevation on one of the substrate layers in contact with the conductor and having a first horizontally planar surface.

10. The apparatus in accordance with claim 9 wherein the first capacitor further comprises second conductive material having a second horizontally planar surface residing proximate to the first planar surface of the first conductive material.

11. The apparatus in accordance with claim 8 wherein the first conductive material surrounds the conductor.

12. The apparatus in accordance with claim 7

wherein the PCB has an upper horizontal surface and a lower horizontal surface;

wherein the first conductive strip resides on the upper horizontal surface;

wherein the second conductive strip resides on the lower horizontal surface;

wherein the conductor extends vertically completely through the PCB; and

wherein said at least one capacitor comprises:

an upper conductor having a horizontally planar surface formed on the upper surface conductively linking the conductor to the first conductive strip, and

a lower conductor having a horizontally planar surface formed on the lower surface conductively linking the conductor to the second conductive strip.

13. The apparatus in accordance with claim 12

wherein the upper conductor having a horizontally planar surface provides second shunt capacitance to the conductive path;

wherein the lower conductor having a horizontally planar surface provides third shunt capacitance to the conductive path; and

wherein the first, second and third shunt capacitances are sized relative to the conductor's impedance to substantially optimize a frequency response characteristic of the conductive path when conducting the signal.

14. The apparatus in accordance with claim 13 wherein the first, second and third shunt capacitances are sized relative to the conductor's impedance such that the conductive path forms a Chebyshev filter when conducting the signal.

15. The apparatus in accordance with claim 13 wherein the first, second and third shunt capacitances are sized relative to the conductor's impedance such that the conductive path forms a Butterworth filter when conducting the signal.

16. The apparatus in accordance with claim 13 wherein the first, second and third shunt capacitances are sized relative to the conductor's impedance such that the conductive path has substantially maximal bandwidth when conducting the signal.

17. The apparatus in accordance with claim 7

wherein the PCB has an upper horizontal surface and a lower horizontal surface;

wherein the first elevation resides below the upper horizontal surface;

wherein the second elevation resides above the lower horizontal surface;

wherein the conductor extends vertically completely through the PCB; and

wherein said capacitive means comprises:

an upper conductor having a horizontally planar surface formed on the upper surface conductively linking the conductor to the first conductive strip, and

a lower conductor having a horizontally planar surface formed on the lower surface conductively linking the conductor to the second conductive strip.

18. The apparatus in accordance with claim 17 wherein the upper conductor adds second shunt capacitance to the conductive path;

wherein the lower conductor adds third shunt capacitance to the conductive path; and

wherein the first, second and third shunt capacitances are sized relative to the conductor's impedance to substantially optimize a frequency response characteristic of the conductive path when conducting the signal.

19. The apparatus in accordance with claim 18 wherein the first, second and third shunt capacitances are sized relative to the conductor's impedance such that the conductive path has substantially maximal bandwidth when conducting the signal.

20. The apparatus in accordance with claim 1 wherein the capacitive means comprises a plurality of capacitors embedded within said PCB and attached to the conductor at elevations between the first and second elevations.

21. An improvement to a printed circuit board (PCB) via including a conductor providing a conductive path for conducting a signal between a first conductive strip and a second conductive strip formed at separate first and second elevations of the PCB, the improvement comprising:

a capacitor embedded within the PCB in contact with the conductor and providing substantial first shunt capacitance at a position along the conductor between the first and second elevations.

22. The improvement to a PCB via in accordance with claim 21 wherein the conductor has impedance, and wherein the first shunt capacitance is sized relative to the conductor's impedance to substantially optimize a frequency response characteristic of the conductive path.

23. The improvement to a PCB via in accordance with claim 21 wherein the conductor has impedance, and wherein the first shunt capacitance is sized relative to the conductor's impedance to substantially maximize a bandwidth of a frequency response of the conductive path.

24. An apparatus for conducting a signal between a first conductive strip residing on an upper surface of a printed circuit board (PCB) and a second conductive strip residing on a lower surface of a printed circuit board, the apparatus comprising:

a conductor extending vertically within the PCB and providing a signal path for conducting the signal, said conductor having impedance including first series inductance;

first capacitive means formed on the upper surface of the PCB in contact with the conductor and adding first shunt capacitance to the signal path;

second capacitive means formed on the lower surface of the PCB in contact with the conductor and adding second shunt capacitance to the signal path;

a first inductor formed on the upper surface of the PCB linking the first conductive strip to the upper conductor having a horizontally planar surface and adding second series inductance to the signal path;

a second inductor formed on the lower surface of the PCB linking the second conductive strip to the lower conductor having a horizontally planar surface and adding third series inductance to the signal path.

25. The apparatus in accordance with claim 24 wherein the second and third series inductances and the first and second shunt capacitances are sized relative to the conductor's impedance to optimize a frequency response characteristic of the signal path.

26. The apparatus in accordance with claim 24 wherein the second and third series inductances and the first and second shunt capacitances are sized relative to the

conductor's impedance such that the conductive path forms a Butterworth filter.

27. The apparatus in accordance with claim 24 wherein the second and third series inductances and the first and second shunt capacitances are sized relative to the conductor's impedance such that the conductive path forms a Chebyshev filter.

28. The apparatus in accordance with claim 24 wherein the second and third series inductances and the first and second shunt capacitances are sized relative to the conductor's impedance to substantially maximize a bandwidth of the conductive path.

29. The apparatus in accordance with claim 24 further comprising a third capacitive means embedded within said PCB, attached to the conductor at a third elevation between the first and second elevations, and adding third shunt capacitance to the signal path.

30. The apparatus in accordance with clam 29 wherein the first, second and third shunt capacitances and the second and third series inductances are sized to substantially maximize a bandwidth of the conductive path.

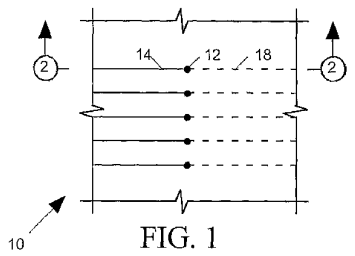


FIG. 1
(PRIOR ART)

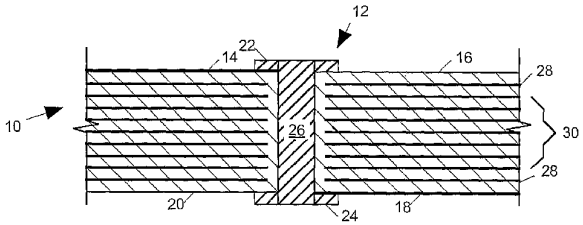


FIG. 2
(PRIOR ART)

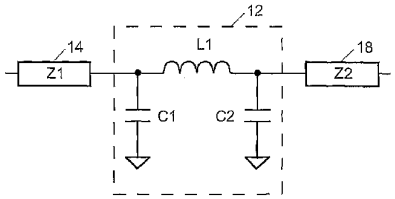


FIG. 3

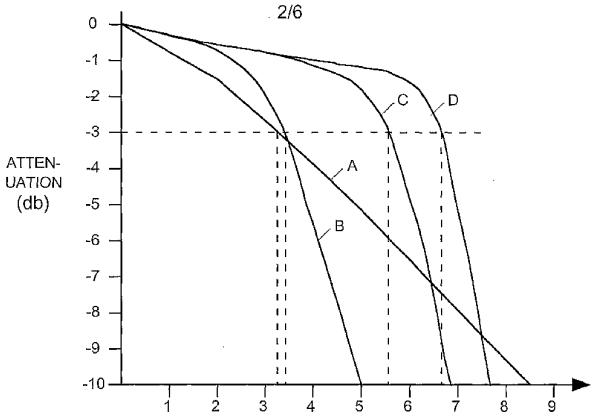


FIG. 4

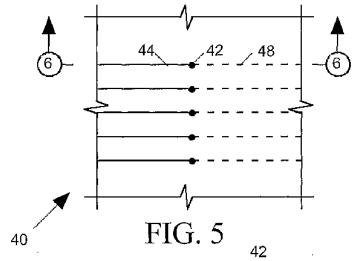


FIG. 5

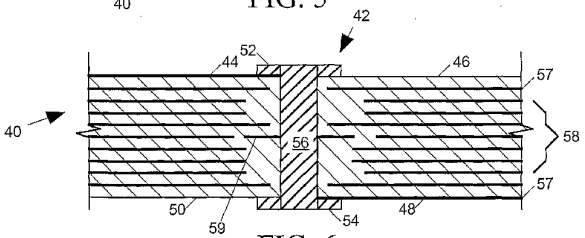


FIG. 6

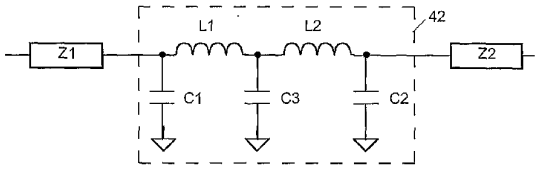


FIG. 7

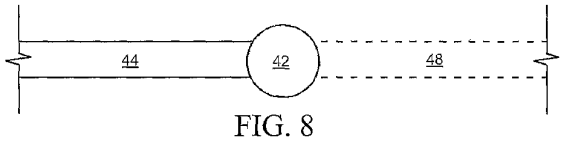


FIG. 8

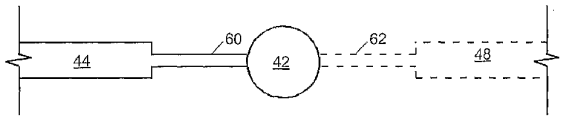


FIG. 9

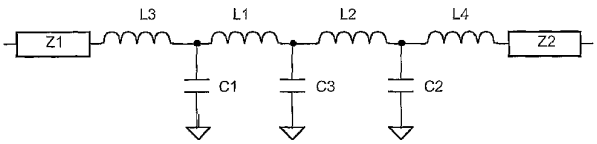


FIG. 10

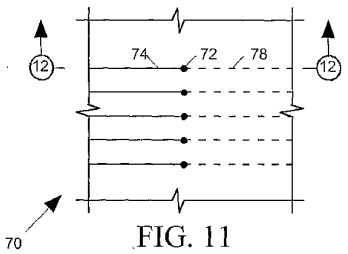


FIG. 11
(PRIOR ART)

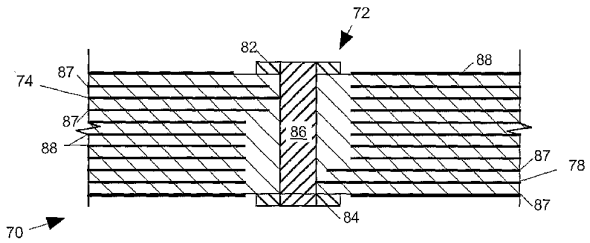


FIG. 12
(PRIOR ART)

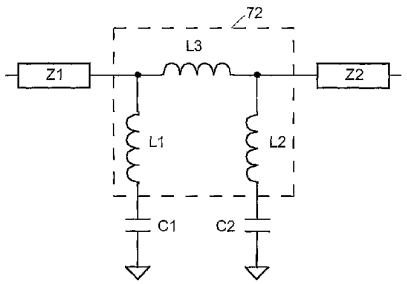


FIG. 13

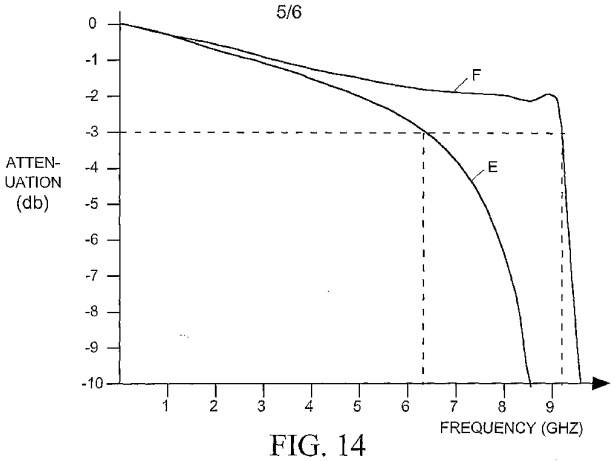


FIG. 14

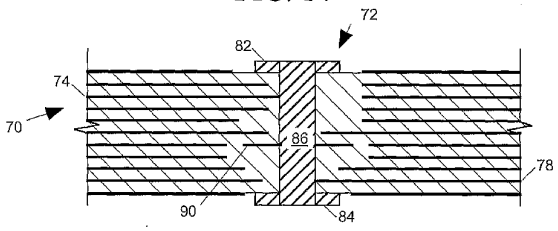


FIG. 15

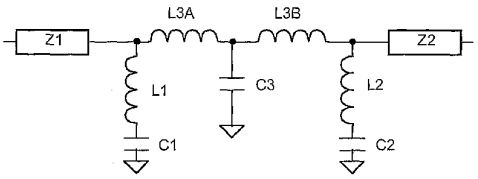


FIG. 16

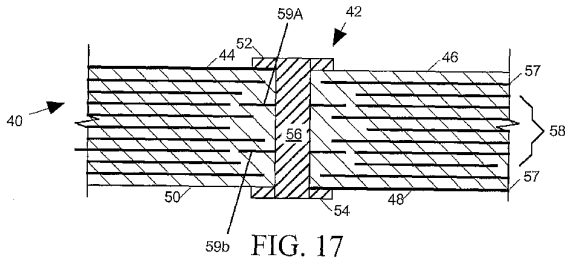

59A
42
52
44
46
57
40
56
58
57
50
54
48
59b

FIG. 17

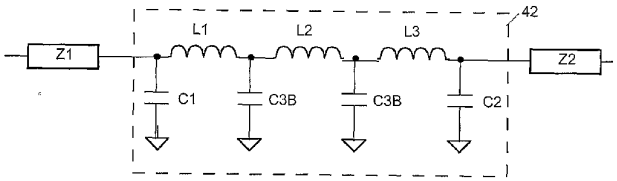

42
L1
L2
L3
Z1
Z2
C1
C3B
C3B
C2

FIG. 18

【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau

(43) International Publication Date
25 July 2002 (25.07.2002)

PCT

(10) International Publication Number
WO 02/058234 A3

(51) International Patent Classification⁷: H05K 1/02, 1/11, H03H 7/01, H01P 1/04

(21) International Application Number: PCT/US02/01212

(22) International Filing Date: 15 January 2002 (15.01.2002)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
09/761,352 16 January 2001 (16.01.2001) US

(71) Applicant *(for all designated States except US)*: FORMFACTOR, INC. [US/US]; 2140 Research Drive, Livermore, CA 94550 (US).

(72) Inventors; and
(75) Inventors/Applicants *(for US only)*: HREISH, Emad, B. [US/US]; 1085 Murrieta Boulevard, No. 214, Livermore, CA 94550 (US). MILLER, Charles, A. [US/US]; 48881 Semillon Drive, Fremont, CA 94539 (US).

(74) Agents: MERKADEAU, Stuart, L. et al.; Formfactor, INC., 2140 Research Drive, Livermore, CA 94550 (US).

(81) Designated States *(national)*: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

(84) Designated States *(regional)*: ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

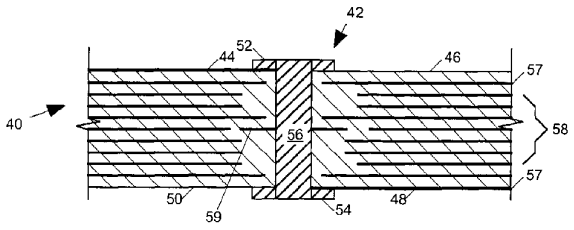
Declaration under Rule 4.17:
— *of inventorship (Rule 4.17(iv)) for US only*

Published:
— *with international search report*
before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

(88) Date of publication of the international search report:
24 October 2002

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: IIIGII FREQUENCY PRINTED CIRCUIT BOARD VIA



(57) Abstract: A printed circuit board (PCB) via (42), providing a conductor (56) extending vertically between microstrip or stripline conductors (44, 48) formed on separate layers of a PCB, includes a conductive pad (59) surrounding the conductor (56) and embedded within the PCB (40) between those PCB layers. The pad's shunt capacitance and the magnitudes of capacitances of other portions of the via (42) are sized relative to the conductor's inherent inductance to optimize frequency response characteristics of the via (42).

WO 02/058234 A3

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US 02/01212

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H05K1/02 H05K1/11 H03H7/01 H01P1/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H05K H01P

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, PAJ, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 04, 31 March 1998 (1998-03-31) -& JP 09 321433 A (OKI ELECTRIC IND CO LTD), 12 December 1997 (1997-12-12) abstract; figures	1,5-8, 11-13, 21,22
Y		2-4, 14-16, 18,19, 23-30
A	WO 00 51232 A (FORMFACTOR INC) 31 August 2000 (2000-08-31) claims; figures	1
Y		2-4, 14-16, 18,19, 24-30

-/--

[X] Further documents are listed in the continuation of box C. [X] Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
4 September 2002	11/09/2002

Name and mailing address of the ISA	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Mes, L

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US 02/01212

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication,where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 10, 17 November 2000 (2000-11-17) -& JP 2000 188478 A (MATSUSHITA ELECTRIC IND CO LTD), 4 July 2000 (2000-07-04) abstract; figures	1,7-11, 17,20-22
Y		18,19,23
X	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 11, 30 September 1999 (1999-09-30) -& JP 11 150371 A (MATSUSHITA ELECTRIC IND CO LTD), 2 June 1999 (1999-06-02) abstract; figures	1,7,8, 11,21
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 292 (E-0944), 25 June 1990 (1990-06-25) -& JP 02 094693 A (NEC CORP), 5 April 1990 (1990-04-05) abstract; figures	1,7,8, 11,21
X	US 4 675 788 A (BREITLING ET AL.) 23 June 1987 (1987-06-23) the whole document	1,7,8, 11,21
X	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 10, 17 November 2000 (2000-11-17) -& JP 2000 208887 A (NEC CORP), 28 July 2000 (2000-07-28) abstract; figures	1,7-11, 20,21
A	DE 39 37 183 A (ROBERT BOSCH GMBH) 24 January 1991 (1991-01-24) the whole document	1,5-7, 12,13, 20,21, 24,29
A	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 05, 31 May 1999 (1999-05-31) & JP 11 054869 A (HITACHI LTD), 26 February 1999 (1999-02-26) abstract	1,5

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/US 02/01212

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
JP 09321433	A	12-12-1997	NONE		
WO 0051232	A	31-08-2000	US	6208225 B1	27-03-2001
			AU	3007700 A	14-09-2000
			EP	1157459 A1	28-11-2001
			WO	0051232 A1	31-08-2000
			US	2001054938 A1	27-12-2001
JP 2000188478	A	04-07-2000	US	6392164 B1	21-05-2002
			US	2002034839 A1	21-03-2002
JP 11150371 8	A		NONE		
JP 02094693 8	A		NONE		
US 4675788	A	23-06-1987	DE	3426278 A1	30-01-1986
			CA	1232081 A1	26-01-1988
			FR	2568085 A1	24-01-1986
			GB	2161988 A ,B	22-01-1986
			JP	1836531 C	11-04-1994
			JP	5044837 B	07-07-1993
			JP	61075594 A	17-04-1986
JP 2000208887	A	28-07-2000	JP	3132495 B2	05-02-2001
DE 3937183	A	24-01-1991	DE	3937183 A1	24-01-1991
			WO	9101618 A1	07-02-1991
JP 11054869 7	A		NONE		

Form PCT/ISA/210 (patent family annex) (July 1992)

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VN,YU,ZA,ZM,ZW

(72)発明者 ヘレイシュ，イマッド，ビー.
アメリカ合衆国，カルフォルニア州 ９４５５０，リブモア，ナンバー２１４，マーリシア ボウルバード １０８５
(72)発明者 ミラー，チャールズ，エー.
アメリカ合衆国，カルフォルニア州 ９４５３９，フレモント，セミロン ドライブ，４８８８１