

(12) 发明专利申请

(10) 申请公布号 CN 102832175 A

(43) 申请公布日 2012. 12. 19

(21) 申请号 201210333709. 4

(22) 申请日 2012. 09. 11

(71) 申请人 上海华力微电子有限公司

地址 201210 上海市浦东新区张江高科技园
区高斯路 568 号

(72) 发明人 田志 顾经纶

(74) 专利代理机构 上海申新律师事务所 31272

代理人 竺路玲

(51) Int. Cl.

H01L 21/8247(2006. 01)

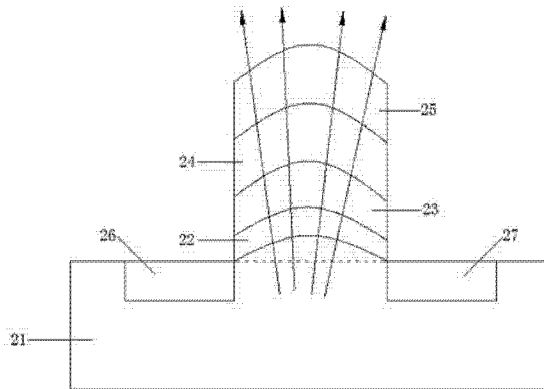
权利要求书 1 页 说明书 3 页 附图 2 页

(54) 发明名称

一种改善 SONOS 结构器件性能的方法

(57) 摘要

本发明公开了一种改善 SONOS 结构器件性能的方法, 该 SONOS 结构包括衬底, 隧穿介质层, 电荷存储层, 阻挡介质层和导电层, 衬底内包括源极和漏极, 隧穿介质层、电荷存储层、阻挡介质层和导电层按顺序自下而上设置在衬底上, 其中, 采用凸面 SONOS 结构设计, 并使用缓变的氮化硅层组成电荷存储层; 本发明的有益效果是: 形成凸面 SONOS 结构, 促使电场强度在不同层的分布不同, 可以提高编程和擦除的速度, 同时抑制擦除饱和和对擦除速度的影响; 缓变氮化硅层与隧穿氧化硅层之间较接近的杨氏模量减少隧穿氧化硅层与氮化硅之间由于杨氏模量的差别较大引起的应力对器件的影响; 缓变氮化硅层可以实现捕获电子的再分配, 使存储的电荷在存储电荷层中更加均匀分布。



1. 一种改善 SONOS 结构器件性能的方法,所述 SONOS 结构包括衬底,隧穿介质层,电荷存储层,阻挡介质层和导电层,所述衬底内包括一源极和一漏极,所述隧穿介质层、电荷存储层、阻挡介质层和导电层按顺序自下而上设置在所述衬底上,其特征在于,

采用缓变的氮化硅层组成所述电荷存储层,所述缓变的氮化硅层自下而上由富氮氮化硅的深能级向富硅氮化硅的浅能级渐变。

2. 如权利要求 1 所述的改善 SONOS 结构器件性能的方法,其特征在于,采用硅材料制成所述衬底。

3. 如权利要求 1 所述的改善 SONOS 结构器件性能的方法,其特征在于,采用氧化硅材料制成所述隧穿介质层和所述阻挡介质层。

4. 如权利要求 1 所述的改善 SONOS 结构器件性能的方法,其特征在于,采用多晶硅栅极组成所述导电层。

5. 如权利要求 4 所述的改善 SONOS 结构器件性能的方法,其特征在于,将所述隧穿介质层、所述电荷存储层、所述阻挡介质层和所述多晶硅栅极的上表面设置为凸面。

6. 如权利要求 5 所述的改善 SONOS 结构器件性能的方法,其特征在于,将所述隧穿介质层、所述电荷存储层、所述阻挡介质层和所述多晶硅栅极的下表面设置为凸面。

一种改善 SONOS 结构器件性能的方法

技术领域

[0001] 本发明涉及 SONOS 结构技术领域,具体涉及一种改善 SONOS 结构器件性能的方法。

背景技术

[0002] 闪存是非易失存储器件的一种,传统的闪存利用浮栅极来存储数据,由于多晶硅是导体,浮栅极存储的电荷是连续分布的。当有一个泄漏通道的时候,整个浮栅极上存储的电荷都会通过这个泄漏通道丢失。因此限制闪存按比例缩小能力的最大障碍是其隧穿氧化层厚度不能持续减小。因为在薄的隧穿氧化层情况下,直接隧穿和应力引起的泄漏电流等效应都会对存储器的漏电控制提出巨大的挑战。随着闪存的普遍应用,新近发展的 SONOS 结构(Sillicon-Oxide-Nitride-Oxide-Sillicon,硅-氧-氮-氧-硅),用具有电荷陷阱能力的氮化硅层取代原有的多晶硅存储电荷层,由于其用陷阱能级存储电荷,所以存储的电荷是离散分布的。这样就可以抑制由于电荷通过导电通道泄露,使可靠性大大提高。

[0003] 如图 1 所示,典型的 SONOS 结构由硅衬底 1 (S)-隧穿氧化层 2 (O)-电荷存储层氮化硅 3 (N)-阻挡氧化层 4 (O)-多晶硅栅极 5 (S) 组成,在衬底内包括源极 6 和漏极 7。SONOS 结构的工作原理是:当编译时,在门极加较大的电压,源漏极和衬底接地,由于隧穿效应使电子隧穿过隧穿氧化硅层,存储在氮化硅层中的陷阱能级中。当擦除时,门极加负电压,源漏极和衬底接地,氮化硅层中的电子反向隧穿回衬底。为使编译和擦除的速度提高,需要较薄的隧穿氧化层(3nm 左右),然后如此薄的厚度会使电荷的保持能力和编译/擦除过程中的耐久性降低。但擦除的速度与电场强度成正比,电场越大,擦除速度越快。在 SONOS 结构进行擦除过程中有两个隧穿过程:一是电子从氮化硅层中隧穿到衬底;二是电子从栅极经过顶部阻挡氧化硅层进入存储电荷氮化硅层中。如图 1 所示,在传统的 SONOS 结构中,由于各层之间是平行排列的,编译和擦除时的电力线是通过各层平行分布的,在擦除开始时捕获电荷层中电子的数量多,隧穿介质层的电场远大于顶部介质层的电场;但是随着擦除的进行,捕获的电荷层中的电子逐渐减少,因此隧穿介质层中的电场不断减少而顶部介质层中电场不断增加,直到完全擦除时两处电场强度相等。因此,氮化硅中电子隧穿到衬底的隧穿速度会随介质层电场的减弱而减弱,而经栅极隧穿到电荷存储氮化硅层中的隧穿会逐渐增强。当两个隧穿的速度相等时,电荷存储氮化硅层中的电子失去和注入达到动态的平衡,进入擦除饱和的状态,使擦除不能继续进行,擦除速度降低。

发明内容

[0004] 针对目前 SONOS 结构技术存在的上述问题,本发明提供一种改善 SONOS 结构器件性能的技术方案。

[0005] 一种改善 SONOS 结构器件性能的方法,所述 SONOS 结构包括衬底,隧穿介质层,电荷存储层,阻挡介质层和导电层,所述衬底内包括一源极和一漏极,所述隧穿介质层、电荷存储层、阻挡介质层和导电层按顺序自下而上设置在所述衬底上,其中,

采用缓变的氮化硅层组成所述电荷存储层,所述缓变的氮化硅层自下而上由富氮氮化

硅的深能级向富硅氮化硅的浅能级渐变。

[0006] 优选地,改善 SONOS 结构器件性能的方法,其中,采用硅材料制成所述衬底。

[0007] 优选地,改善 SONOS 结构器件性能的方法,其中,采用氧化硅材料制成所述隧穿介质层和所述阻挡介质层。

[0008] 优选地,改善 SONOS 结构器件性能的方法,其中,采用多晶硅栅极组成所述导电层。

[0009] 优选地,改善 SONOS 结构器件性能的方法,其中,将所述隧穿介质层、所述电荷存储层、所述阻挡介质层和所述多晶硅栅极的上表面设置为凸面。

[0010] 优选地,改善 SONOS 结构器件性能的方法,其中,将所述隧穿介质层、所述电荷存储层、所述阻挡介质层和所述多晶硅栅极的下表面设置为凸面。

[0011] 本发明的有益效果:

1. 形成具有凸面的 SONOS 结构,促使电场强度在不同层的分布不同,靠近隧穿层有较强的电场。可以提高编译和擦除的速度,同时可以抑制甚至消除擦除饱和对擦除速度的影响;

2. 缓变氮化硅层与隧穿氧化硅层之间较接近的杨氏模量可以减少由于隧穿氧化硅层与氮化硅之间由于杨氏模量的差别较大引起的应力对器件的影响;

3. 缓变的氮化硅层中注入的电子通过从富硅的氮化硅的浅陷阱能级中水平跳跃到富氮的氮化硅的深陷阱能级中可以实现捕获电子的再分布,使存储的电荷在存储电荷层中更加均匀的分布;

4. 制程工艺和 CMOS 兼容,节约成本。

附图说明

[0012] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图:

图 1 是典型 SONOS 结构的电力线及结构示意图;

图 2 是本发明中具有凸面和缓变氮化硅层的 SONOS 结构的电力线及结构示意图;

具体实施方式

[0013] 下面结合附图和具体实施例对本发明作进一步说明,但不作为本发明的限定。

[0014] 如图 2 所示为依本发明一种改善 SONOS 结构器件性能的方法制成的 SONOS 结构器件,该 SONOS 结构包括衬底 21,隧穿介质层 22,电荷存储层 23,阻挡介质层 24 和导电层 25,衬底内包括一源极 26 和一漏极 27,隧穿介质层、电荷存储层、阻挡介质层和导电层按顺序自下而上设置在衬底上;其中衬底由硅材料构成,隧穿介质层和阻挡介质层由氧化硅材料构成,电荷存储层采用氮化硅材料制成,导电层是多晶硅栅极。

[0015] 为了防止擦除过程中由于栅极电子隧穿过顶部阻挡氧化层进入电荷存储层造成的擦除饱和,在本发明中采用凸面 SONOS 结构设计,即隧穿介质层、电荷存储层、阻挡介质层和导电层的上下表面都是凸面,与隧穿介质层接触的衬底的上表面也为凸面。在该具有

凸面的 SONOS 结构中,由于电力线是垂直于介质层表面分布的,所以凸面的结构中,衬底和栅极之间的电力线不再是如典型 SONOS 结构中那样平行分布,而是从栅极垂直于 ONO 层(阻挡介质氧化硅层(O),存储电荷氮化硅层(N)和隧穿介质氧化硅层(O))并集中到衬底。如图 2 所示,电力线的密度代表电场强度的大小,这样的电力线分布使栅极到衬底的电场强度不断增加。在擦除时,可以使电荷存储层到衬底的隧穿大于从门极注入电荷存储层的隧穿,从而可以抑制甚至消除擦除饱和的出现,提高擦除速度。

[0016] 但是只将典型的 SONOS 结构改进为凸面结构显然是不够的,由于门极通过阻挡氧化硅层的电子注入所引起的擦除饱和,从而提高擦除器件的擦除速度。但是由于一定的弯曲度,氧化硅层和氮化硅层较大的杨氏模量差别会导致两层之间产生一定的应力。而且由于电场在下部的场强较强,编译时由于凸面导致顶部的电场强度较大,大量的电子通过凸面的顶部注入电荷存储层,而边缘区域由于电场较弱,通过电子较少。顶部区域会有较多的电子聚集在凸面的顶部,那么在擦除时也会有较多的电子或是空穴穿过顶部。在编译和擦除的循环中,持续的大量电荷从顶部通过会造成隧穿氧化硅层的退化。应力和隧穿氧化硅层的退化都会影响器件的耐久性和电荷保持能力,从而造成器件可靠性的下降。

[0017] 如图 2 所示,在上述改进的基础上,我们使用缓变的氮化硅层 23 代替普通的氮化硅层组成电荷存储层,缓变的氮化硅层是指硅含量渐变的氮化硅层,这样可以减少富硅的氮化硅和弯曲度大的隧穿氧化硅层之间由于氮化硅和隧穿氧化硅之间大的杨氏模量引起的应力。由于电荷存储层与隧穿介质层的界面对器件的影响明显,而存储氮化硅层与顶部的阻挡氧化硅层之间界面对器件的影响较弱,减少电荷存储层和隧穿介质层之间的应力可以有效的改善器件的性能。同时缓变的氮化硅层由于富氮的氮化硅较深的能级可以存储更多的电荷,使记忆窗口变化较大,利用富硅的氮化硅的浅陷阱能级可以较容易捕获电子。当电子从富硅氮化硅的浅能级水平跳跃至硅含量逐渐减少的氮化硅中时,可以使存储的电子再次分布,使其较均匀的分布在存储氮化硅层中,改善由于凸面的 ONO 层引起的电场在隧穿氧化硅层的顶部的增强所导致的注入电子过度集中在顶部的不足。

[0018] 以上所述仅为本发明较佳的实施例,并非因此限制本发明的申请专利范围,所以凡运用本发明说明书及图示内容所做出的等效结构变化,均包含在本发明的保护范围内。

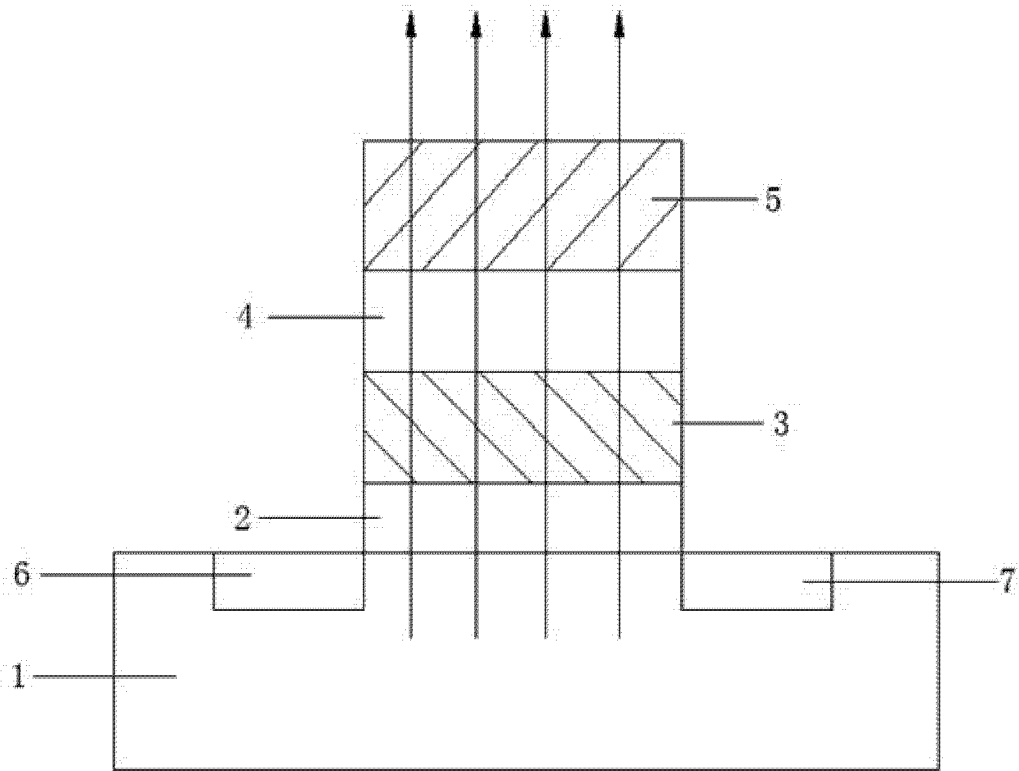


图 1

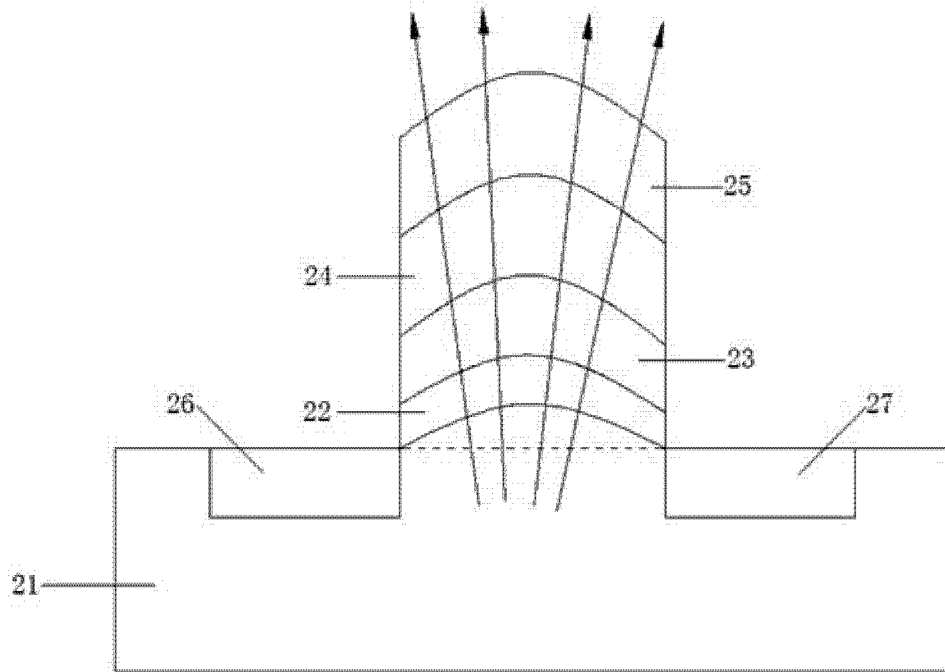


图 2