

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4152603号
(P4152603)

(45) 発行日 平成20年9月17日 (2008. 9. 17)

(24) 登録日 平成20年7月11日 (2008. 7. 11)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 F 9 / 3 0 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 5 B 3 3 / 0 8 (2006. 01)

H 0 5 B 3 3 / 1 2 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 F 9 / 3 0 3 3 8

G 0 9 F 9 / 3 0 3 6 5

G 0 9 G 3 / 2 0 6 1 1 H

G 0 9 G 3 / 2 0 6 2 4 B

請求項の数 4 (全 50 頁) 最終頁に続く

(21) 出願番号 特願2001-119070 (P2001-119070)

(22) 出願日 平成13年4月18日 (2001. 4. 18)

(65) 公開番号 特開2002-23697 (P2002-23697A)

(43) 公開日 平成14年1月23日 (2002. 1. 23)

審査請求日 平成17年3月7日 (2005. 3. 7)

(31) 優先権主張番号 特願2000-127384 (P2000-127384)

(32) 優先日 平成12年4月27日 (2000. 4. 27)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷 3 9 8 番地

(72) 発明者 犬飼 和隆

神奈川県厚木市長谷 3 9 8 番地 株式会社

半導体エネルギー研究所内

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 発光装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 及び第 2 の駆動用 T F T と、スイッチング用 T F T と、消去用 T F T と、E L 素子とを有し、前記第 1 の駆動用 T F T のソース又はドレインの一方は、前記第 2 の駆動用 T F T のソース又はドレインの一方と電氣的に接続され、前記第 2 の駆動用 T F T のソース又はドレインの一方は、電源供給線と電氣的に接続され、前記第 1 の駆動用 T F T のソース又はドレインの他方は、前記第 2 の駆動用 T F T のソース又はドレインの他方と電氣的に接続され、前記第 2 の駆動用 T F T のソース又はドレインの他方は、E L 素子と電氣的に接続され、前記第 1 の駆動用 T F T のゲートは、前記第 2 の駆動用 T F T のゲートと電氣的に接続され、前記第 1 の駆動用 T F T のゲートは、前記スイッチング用 T F T のソース又はドレインの一方と電氣的に接続され、前記スイッチング用 T F T のソース又はドレインの他方は、ソース信号線と電氣的に接続され、前記スイッチング用 T F T のゲートは、第 1 のゲート信号線と電氣的に接続され、前記消去用 T F T のソース又はドレインの一方は、前記第 1 の駆動用 T F T のゲートと

10

20

電氣的に接続され、

前記消去用 T F T のソース又はドレインの他方は、前記電源供給線と電氣的に接続され

、

前記消去用 T F T のゲートは、第 2 のゲート信号線と電氣的に接続され、

前記スイッチング用 T F T を介して、前記第 1 の駆動用 T F T のゲート及び前記第 2 の駆動用 T F T のゲートに、デジタルビデオ信号が入力され、

前記 E L 素子に電流が流れているときには、前記第 1 及び第 2 の駆動用 T F T は線形領域で動作する

ことを特徴とする発光装置。

【請求項 2】

第 1 及び第 2 の駆動用 T F T と、スイッチング用 T F T と、消去用 T F T と、E L 素子とを有し、

前記第 1 の駆動用 T F T のソース又はドレインの一方は、前記第 2 の駆動用 T F T のソース又はドレインの一方と電氣的に接続され、

前記第 2 の駆動用 T F T のソース又はドレインの一方は、電源供給線と電氣的に接続され、

前記第 1 の駆動用 T F T のソース又はドレインの他方は、前記第 2 の駆動用 T F T のソース又はドレインの他方と電氣的に接続され、

前記第 2 の駆動用 T F T のソース又はドレインの他方は、E L 素子と電氣的に接続され

、

前記第 1 の駆動用 T F T のゲートは、前記第 2 の駆動用 T F T のゲートと電氣的に接続され、

前記第 1 の駆動用 T F T のゲートは、前記スイッチング用 T F T のソース又はドレインの一方と電氣的に接続され、

前記スイッチング用 T F T のソース又はドレインの他方は、ソース信号線と電氣的に接続され、

前記スイッチング用 T F T のゲートは、第 1 のゲート信号線と電氣的に接続され、

前記消去用 T F T のソース又はドレインの一方は、前記第 1 の駆動用 T F T のゲートと電氣的に接続され、

前記消去用 T F T のソース又はドレインの他方は、前記電源供給線と電氣的に接続され

、

前記消去用 T F T のゲートは、第 2 のゲート信号線と電氣的に接続され、

前記スイッチング用 T F T を介して、前記第 1 の駆動用 T F T のゲート及び前記第 2 の駆動用 T F T のゲートに、デジタルビデオ信号が入力され、

前記 E L 素子に電流が流れているときには、前記第 1 及び第 2 の駆動用 T F T は、前記第 1 及び第 2 の駆動用 T F T のゲートソース間電圧の絶対値及びソースドレイン間電圧の絶対値で電流量が変化する領域で動作する

ことを特徴とする発光装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記 E L 素子は画素電極を有し、

前記画素電極は陽極であり、前記第 1 の駆動用 T F T 及び前記第 2 の駆動用 T F T は p チャンネル型 T F T であることを特徴とする発光装置。

【請求項 4】

請求項 1 又は請求項 2 において、

前記 E L 素子は画素電極を有し、

前記画素電極は陰極であり、前記第 1 の駆動用 T F T 及び前記第 2 の駆動用 T F T は n チャンネル型 T F T であることを特徴とする発光装置。

【発明の詳細な説明】

【0001】

10

20

30

40

50

【発明の属する技術分野】

本発明はＥＬ（エレクトロルミネッセンス）素子を基板上に作り込んで形成された電子ディスプレイに関する。特に半導体素子（半導体薄膜を用いた素子）を用いたＥＬディスプレイに関する。またＥＬディスプレイを表示部に用いた発光装置に関する。

【０００２】**【従来の技術】**

近年、基板上にＴＦＴを形成する技術が大幅に進歩し、アクティブマトリクス型の電子ディスプレイへの応用開発が進められている。特に、ポリシリコン膜を用いたＴＦＴは、従来のアモルファスシリコン膜を用いたＴＦＴよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来基板の外に設けられた駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

10

【０００３】

このようなアクティブマトリクス型の電子ディスプレイは、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、電子ディスプレイの小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【０００４】

そしてさらに、自発光型素子としてＥＬ素子を有したアクティブマトリクス型のＥＬディスプレイの研究が活発化している。ＥＬディスプレイは有機ＥＬディスプレイ（ＯＥＬＤ：Organic EL Display）又は有機ライトエミッティングダイオード（ＯＬＥＤ：Organic Light Emitting Diode）とも呼ばれている。

20

【０００５】

ＥＬディスプレイは、液晶ディスプレイと異なり自発光型である。ＥＬ素子是一对の電極（陽極と陰極）間に電場を加えることでルミネッセンスが発生する有機化合物を含む層（以下、ＥＬ層と記す）が挟まれた構造となっているが、ＥＬ層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているＥＬディスプレイは殆どこの構造を採用している。

【０００６】

また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

30

【０００７】

本明細書において陰極と陽極の間に設けられる全ての層を総称してＥＬ層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てＥＬ層に含まれる。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の発光装置は、上述した発光のうちのいずれか一方の発光を用いても良いし、または両方の発光を用いても良い。

【０００８】

そして、上記構造でなるＥＬ層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書においてＥＬ素子が発光することを、ＥＬ素子が駆動すると呼ぶ。また、本明細書中では、陽極、ＥＬ層及び陰極で形成される発光素子をＥＬ素子と呼ぶ。

40

【０００９】

ＥＬディスプレイの駆動方法として、アナログ方式の駆動方法（アナログ駆動）が挙げられる。ＥＬディスプレイのアナログ駆動について、図２５及び図２６を用いて説明する。

【００１０】

図２５にアナログ駆動のＥＬディスプレイの画素部１８００の構造を示す。ゲート信号線駆動回路からのゲート信号を入力するゲート信号線（Ｇ１～Ｇｙ）は、各画素が有するス

50

イッチング用 T F T 1 8 0 1 のゲート電極に接続されている。また各画素の有するスイッチング用 T F T 1 8 0 1 のソース領域とドレイン領域は、一方がアナログのビデオ信号を入力するソース信号線（データ信号線ともいう）S 1 ~ S x に、もう一方が各画素が有する E L 駆動用 T F T 1 8 0 4 のゲート電極及び各画素が有するコンデンサ 1 8 0 8 にそれぞれ接続されている。

【 0 0 1 1 】

各画素が有する E L 駆動用 T F T 1 8 0 4 のソース領域は電源供給線 V 1 ~ V x に接続されており、ドレイン領域は E L 素子 1 8 0 6 に接続されている。電源供給線 V 1 ~ V x の電位を電源電位と呼ぶ。また電源供給線 V 1 ~ V x は、各画素が有するコンデンサ 1 8 0 8 に接続されている。

10

【 0 0 1 2 】

E L 素子 1 8 0 6 は陽極と、陰極と、陽極と陰極の間に設けられた E L 層とを有する。E L 素子 1 8 0 6 の陽極が E L 駆動用 T F T 1 8 0 4 のドレイン領域と接続している場合、E L 素子 1 8 0 6 の陽極が画素電極、陰極が対向電極となる。逆に E L 素子 1 8 0 6 の陰極が E L 駆動用 T F T 1 8 0 4 のドレイン領域と接続している場合、E L 素子 1 8 0 6 の陽極が対向電極、陰極が画素電極となる。

【 0 0 1 3 】

なお本明細書において、対向電極の電位を対向電位と呼ぶ。なお対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差が E L 駆動電圧であり、この E L 駆動電圧が E L 層にかかる。

20

【 0 0 1 4 】

図 2 5 で示した E L ディスプレイを、アナログ方式で駆動させた場合のタイミングチャートを図 2 6 に示す。1つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を 1 ライン期間（L）と呼ぶ。また 1つの画像が表示されてから次の画像が表示されるまでの期間が 1 フレーム期間（F）に相当する。図 2 5 の E L ディスプレイの場合、ゲート信号線は y 本あるので、1 フレーム期間中に y 個のライン期間（L 1 ~ L y）が設けられている。

【 0 0 1 5 】

解像度が高くなるにつれて 1 フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならなくなる。

30

【 0 0 1 6 】

まず電源供給線 V 1 ~ V x は一定の電源電位に保たれている。そして対向電極の電位である対向電位も一定の電位に保たれている。対向電位は、E L 素子が発光する程度に電源電位との間に電位差を有している。

【 0 0 1 7 】

第 1 のライン期間（L 1）において、ゲート信号線駆動回路からゲート信号線 G 1 に入力されるゲート信号によって、ゲート信号線 G 1 が選択される。

【 0 0 1 8 】

なお本明細書においてゲート信号線が選択されるとは、該ゲート信号線にゲート電極が接続された薄膜トランジスタが全てオンの状態になることを意味する。

40

【 0 0 1 9 】

そして、ソース信号線 S 1 ~ S x に順にアナログのビデオ信号が入力される。ゲート信号線 G 1 に接続された全てのスイッチング用 T F T 1 8 0 1 はオンの状態になっているので、ソース信号線 S 1 ~ S x に入力されたアナログのビデオ信号は、スイッチング用 T F T 1 8 0 1 を介して E L 駆動用 T F T 1 8 0 4 のゲート電極に入力される。

【 0 0 2 0 】

E L 駆動用 T F T 1 8 0 4 のチャネル形成領域を流れる電流の量は、E L 駆動用 T F T 1 8 0 4 のゲート電極に入力される信号の電位の高さ（電圧）によって制御される。よって、E L 素子 1 8 0 6 の画素電極にかかる電位は、E L 駆動用 T F T 1 8 0 4 のゲート電極に入力されたアナログのビデオ信号の電位の高さによって決まる。そして E L 素子 1 8 0

50

6 はアナログのビデオ信号の電位に制御されて発光を行う。

【 0 0 2 1 】

上述した動作を繰り返し、にソース信号線 $S_1 \sim S_x$ へのアナログのビデオ信号の入力が終了すると、第 1 のライン期間 (L_1) が終了する。なお、ソース信号線 $S_1 \sim S_x$ へのアナログのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて 1 つのライン期間としても良い。

【 0 0 2 2 】

そして次に第 2 のライン期間 (L_2) となり、ゲート信号によってゲート信号線 G_2 が選択される。そして第 1 のライン期間 (L_1) と同様にソース信号線 $S_1 \sim S_x$ に順にアナログのビデオ信号が入力される。

10

【 0 0 2 3 】

そして全てのゲート信号線 ($G_1 \sim G_y$) にゲート信号が入力されると、全てのライン期間 ($L_1 \sim L_y$) が終了する。全てのライン期間 ($L_1 \sim L_y$) が終了すると、1 フレーム期間が終了する。1 フレーム期間中において全ての画素が表示を行い、1 つの画像が形成される。なお全てのライン期間 ($L_1 \sim L_y$) と垂直帰線期間とを合わせて 1 フレーム期間としても良い。

【 0 0 2 4 】

以上のように、アナログのビデオ信号によって EL 素子の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式はいわゆるアナログ駆動方法と呼ばれる駆動方式であり、ソース信号線に入力されるアナログのビデオ信号の電位の変化で階調表示が行われる。

20

【 0 0 2 5 】

【 発明が解決しようとする課題 】

上述したアナログ駆動方法において、 EL 素子に供給される電流量が EL 駆動用 $TF T$ のゲート電圧によって制御される様子を図 27 を用いて詳しく説明する。

【 0 0 2 6 】

図 27 (A) は EL 駆動用 $TF T$ のトランジスタ特性を示すグラフであり、2801 は $I_{DS} - V_{GS}$ 特性 (又は $I_{DS} - V_{GS}$ 曲線) と呼ばれている。ここで I_{DS} はドレイン電流であり、 V_{GS} はゲート電極とソース領域間の電圧 (ゲート電圧) である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

30

【 0 0 2 7 】

アナログ駆動方法において階調表示を行う場合、 EL 素子は上記 $I_{DS} - V_{GS}$ 特性の点線 2802 で示した領域を用いて駆動する。2802 で囲んだ領域の拡大図を図 27 (B) に示す。

【 0 0 2 8 】

図 27 (B) において、斜線で示す領域は飽和領域と呼ばれている。具体的には、しきい値電圧を V_{TH} とすると、 $|V_{GS} - V_{TH}| < |V_{DS}|$ を満たすようなゲート電圧である領域を指し、この領域ではゲート電圧の変化に対して指数関数的にドレイン電流が変化する。この領域を使ってゲート電圧による電流制御を行う。

【 0 0 2 9 】

40

スイッチング用 $TF T$ がオンとなって画素内に入力されたアナログのビデオ信号は EL 駆動用 $TF T$ のゲート電圧となる。このとき、図 27 (A) に示した $I_{DS} - V_{GS}$ 特性に従ってゲート電圧に対してドレイン電流が 1 対 1 で決まる。即ち、 EL 駆動用 $TF T$ のゲート電極に入力されるアナログのビデオ信号の電圧に対応して、ドレイン領域の電位が定まり、所定のドレイン電流が EL 素子に流れ、その電流量に対応した発光量で前記 EL 素子が発光する。

【 0 0 3 0 】

以上のように、ビデオ信号によって EL 素子の発光量が制御され、その発光量の制御によって階調表示がなされる。

【 0 0 3 1 】

50

しかしながら、上記アナログ駆動はTFTの特性のバラツキに非常に弱いという欠点がある。仮に各画素のEL駆動用TFTに等しいゲート電圧がかかったとしても、EL駆動用TFTの $I_{DS} - V_{GS}$ 特性にバラツキがあれば、同じドレイン電流を出力することはできない。さらに、図27(A)からも明らかなようにゲート電圧の変化に対して指数関数的にドレイン電流が変化する飽和領域を使っているため、 $I_{DS} - V_{GS}$ 特性が僅かでもずれば、等しいゲート電圧がかかっても出力される電流量は大きく異なるといった事態が生じる。こうなってしまうと、僅かな $I_{DS} - V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまう。

【0032】

このように、アナログ駆動はEL駆動用TFTの特性バラツキに対して極めて敏感であり、その点が従来のアクティブマトリクス型のELディスプレイの階調表示における障害となっていた。

10

【0033】

本発明は上記問題点を鑑みてなされたものであり、鮮明な多階調カラー表示の可能なアクティブマトリクス型のELディスプレイを提供することを課題とする。そして、そのようなアクティブマトリクス型ELディスプレイを表示用ディスプレイとして具備する高性能な発光装置（電子機器）を提供することを課題とする。

【0034】

【課題を解決するための手段】

本発明者は、アナログ駆動の問題は、ゲート電圧の変化に対してドレイン電流が指数関数的に変化するために $I_{DS} - V_{GS}$ 特性のばらつきの影響を受けやすい飽和領域を用いて階調表示を行っていることに起因すると考えた。

20

【0035】

即ち、 $I_{DS} - V_{GS}$ 特性のばらつきがあった場合に、飽和領域はゲート電圧の変化に対してドレイン電流が指数関数的に変化するため、等しいゲート電圧がかかっても異なる電流（ドレイン電流）が出力されてしまい、その結果、所望の階調が得られないという不具合が生じるのである。

【0036】

そこで本発明人は、EL素子の発する光の量の制御を、飽和領域を用いた電流の制御により行うのではなく、主にEL素子が発光する時間の制御によって行うことを考えた。つまり本発明ではEL素子の発する光の量を時間で制御し、階調表示を行う。EL素子の発光時間を制御することで階調表示を行う時分割方式の駆動方法（以下、デジタル駆動という）と呼ぶ。なお時分割方式の駆動方法によって行われる階調表示を時分割階調表示と呼ぶ。

30

【0037】

上記構成によって本発明では、EL駆動用TFTの $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、同じ電圧の信号を入力したときにEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0038】

【発明の実施の形態】

40

以下に、本発明のELディスプレイの構造及びその駆動方法について説明する。ここではnビットのデジタルビデオ信号により 2^n 階調の表示を行う場合について説明する。

【0039】

図1に本発明のELディスプレイのブロック図の一例を示す。図1のELディスプレイは、基板上に形成されたTFTによって画素部101、画素部101の周辺に配置されたソース信号線駆動回路102、書き込み用ゲート信号線駆動回路（第1のゲート信号線駆動回路）103、消去用ゲート信号線駆動回路（第2のゲート信号線駆動回路）104を有している。なお、本実施の形態において示すELディスプレイはソース信号線駆動回路を1つ有しているが、本発明はこれに限定されず、ソース信号線駆動回路を2つ以上有していてもよい。

50

【0040】

また本発明において、ソース信号線駆動回路102、書き込み用ゲート信号線駆動回路103または消去用ゲート信号線駆動回路104は、画素部101が設けられている基板上に設けても良いし、ICチップ上に設けてFPCまたはTABを介して画素部101と接続されるようにしても良い。

【0041】

画素部101の拡大図を図2に示す。ソース信号線S1~Sx、電源供給線V1~Vx、書き込み用ゲート信号線(第1のゲート信号線)Ga1~Gay、消去用ゲート信号線(第2のゲート信号線)Ge1~Ge yが画素部101に設けられている。

【0042】

ソース信号線S1~Sxと、電源供給線V1~Vxと、書き込み用ゲート信号線Ga1~Gayと、消去用ゲート信号線Ge1~Ge yとを1つずつ有する領域が画素105である。画素部101にはマトリクス状に複数の画素105が配列されることになる。

【0043】

画素105の拡大図を図3に示す。107はスイッチング用TF T、108はEL駆動用TF T、109は消去用TF T、110はEL素子、111は対向電源、112はコンデンサである。EL駆動用TF T108は2つのEL駆動用TF T(第1のEL駆動用TF Tと第2のEL駆動用TF T)が並列に接続されたものである。本明細書において、第1のEL駆動用TF Tと第2のEL駆動用TF Tとを合わせて、EL駆動用TF Tと呼ぶ

【0044】

スイッチング用TF T107のゲート電極は、書き込み用ゲート信号線Ga(Ga1~Gayのいずれか1つ)に接続されている。スイッチング用TF T107のソース領域とドレイン領域は、一方がソース信号線S(S1~Sxのいずれか1つ)に接続されており、もう一方がEL駆動用TF T108のゲート電極、各画素が有するコンデンサ112及び消去用TF T109のソース領域又はドレイン領域に接続されている。

【0045】

コンデンサ112はスイッチング用TF T107が非選択状態(オフの状態)にある時、EL駆動用TF T108のゲート電圧を保持するために設けられている。なお本実施の形態ではコンデンサ112を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ112を設けない構成にしても良い。

【0046】

また、EL駆動用TF T108のソース領域は、一方が電源供給線V(V1~Vxのいずれか1つ)に接続され、ドレイン領域はEL素子110に接続される。電源供給線Vはコンデンサ112に接続されている。

【0047】

また消去用TF T109のソース領域とドレイン領域のうち、EL駆動用TF T108のゲート電極に接続されていない方は、電源供給線Vに接続されている。そして消去用TF T109のゲート電極は、消去用ゲート信号線Ge(Ge1~Ge yのいずれか1つ)に接続されている。

【0048】

EL素子110は陽極と陰極と、陽極と陰極との間に設けられたEL層とからなる。陽極がEL駆動用TF T108のドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極がEL駆動用TF T108のドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

【0049】

EL素子110の対向電極は、画素部101を有する基板の外部に設けられた対向電源111に接続されており、常に対向電位が与えられている。また電源供給線Vは画素部101を有する基板の外部に設けられた電源(図示せず)に接続されており、常に電源電位が与えられている。そして対向電位と電源電位は、電源電位が画素電極に与えられたときにEL素子が発光する程度の電位差に常に保たれている。

10

20

30

40

50

【 0 0 5 0 】

現在の典型的な E L ディスプレイは、画素部の面積あたりの発光量が 200 cd/m^2 の場合、画素部の面積あたりの電流が mA/cm^2 程度必要となる。そのため画素部のサイズが大きくなると、I C 等に設けられた電源から電源供給線に与えられる電位をスイッチで制御することが難しくなる。本発明においては、電源電位と対向電位は常に一定に保たれており、I C に設けられた電源から与えられる電位の高さをスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

【 0 0 5 1 】

スイッチング用 T F T 1 0 7、E L 駆動用 T F T 1 0 8、消去用 T F T 1 0 9 は、n チャネル型 T F T でも p チャネル型 T F T でもどちらでも用いることができる。ただし、第 1 の E L 駆動用 T F T と第 2 の E L 駆動用 T F T は同じ極性を有していることが必要である。そして、E L 素子 1 1 0 の陽極が画素電極で陰極が対向電極の場合、E L 駆動用 T F T 1 0 8 は p チャネル型 T F T であることが好ましい。また逆に E L 素子 1 1 0 の陽極が対向電極で陰極が画素電極の場合、E L 駆動用 T F T 1 0 8 は n チャネル型 T F T であることが好ましい。

10

【 0 0 5 2 】

またスイッチング用 T F T 1 0 7、E L 駆動用 T F T 1 0 8、消去用 T F T 1 0 9 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【 0 0 5 3 】

次に図 1 ~ 図 3 で示した本発明の E L ディスプレイの駆動方法について、図 4 を用いて説明する。

20

【 0 0 5 4 】

はじめに、書き込み用ゲート信号線駆動回路 1 0 3 から書き込み用ゲート信号線 G a 1 に入力される書き込み用ゲート信号（第 1 のゲート信号）によって書き込み用ゲート信号線 G a 1 が選択される。そして書き込み用ゲート信号線 G a 1 に接続されている全ての画素（1 ライン目の画素）のスイッチング用 T F T 1 0 7 がオンの状態になる。

【 0 0 5 5 】

そして同時に、ソース信号線駆動回路 1 0 2 からソース信号線 S 1 ~ S x に入力される 1 ビット目のデジタルビデオ信号が、スイッチング用 T F T 1 0 7 を介して E L 駆動用 T F T 1 0 8 のゲート電極に入力される。なお本明細書において、デジタルビデオ信号がスイッチング用 T F T 1 0 7 を介して E L 駆動用 T F T 1 0 8 のゲート電極に入力されることを、画素にデジタルビデオ信号が入力されるとする。

30

【 0 0 5 6 】

デジタルビデオ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルビデオ信号は、一方が H i、一方が L o の電圧を有する信号である。

【 0 0 5 7 】

本実施の形態では、デジタルビデオ信号が「0」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって E L 素子 1 1 0 の画素電極に電源電位が与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 1 0 は発光しない。

40

【 0 0 5 8 】

逆に、デジタルビデオ信号が「1」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオンの状態となる。よって E L 素子 1 1 0 の画素電極に電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 1 0 は発光する。

【 0 0 5 9 】

なお本実施の形態ではデジタルビデオ信号が「0」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオフの状態となり、「1」の情報を有していた場合 E L 駆動用 T F T 1 0 8 はオンの状態となるが、本発明はこの構成に限定されない。デジタルビデオ信号が「0

50

」の情報を有していた場合、E L 駆動用 T F T 1 0 8 がオンの状態となり、「1」の情報を有していた場合 E L 駆動用 T F T 1 0 8 オフの状態となっても良い。

【0060】

このように、1ライン目の画素にデジタルビデオ信号が入力されると同時に、E L 素子 1 1 0 が発光、または非発光を行い、1ライン目の画素は表示を行う。画素が表示を行っている期間を表示期間 T r と呼ぶ。特に1ビット目のデジタルビデオ信号が画素に入力されたことで開始する表示期間を T r 1 と呼ぶ。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0061】

次に書き込み用ゲート信号線 G a 1 の選択が終了すると、書き込み用ゲート信号線 G a 2 が書き込み用ゲート信号によって選択される。そして書き込み用ゲート信号線 G a 2 に接続されている全ての画素のスイッチング用 T F T 1 0 7 がオンの状態になり、2ライン目の画素にソース信号線 S 1 ~ S x から1ビット目のデジタルビデオ信号が入力される。

【0062】

そして順に、全ての書き込み用ゲート信号線 G a 1 ~ G a y が選択され、全ての画素に1ビット目のデジタルビデオ信号が入力される。全ての画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が、書き込み期間 T a 1 である。

【0063】

一方、全ての画素に1ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T a 1 が終了する前に、画素への1ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線駆動回路 1 0 4 から消去用ゲート信号線 G e 1 に入力される消去用ゲート信号（第2のゲート信号）によって、消去用ゲート信号線 G e 1 が選択される。そして、消去用ゲート信号線 G e 1 に接続されている全ての画素（1ライン目の画素）の消去用 T F T 1 0 9 がオンの状態になる。そして電源供給線 V 1 ~ V x の電源電位が消去用 T F T 1 0 9 を介して E L 駆動用 T F T 1 0 8 のゲート電極に与えられる。

【0064】

電源電位が E L 駆動用 T F T 1 0 8 のゲート電極に与えられると、E L 駆動用 T F T 1 0 8 のゲート電極とソース領域の電位が同じになり、ゲート電圧が 0 V になる。よって E L 駆動用 T F T 1 0 8 はオフの状態となる。つまり、書き込み用ゲート信号線 G a 1 が書き込み用ゲート信号によって選択されたときから E L 駆動用 T F T のゲート電極が保持していたデジタルビデオ信号は、E L 駆動用 T F T のゲート電極に電源電位が与えられることで消去される。よって電源電位は E L 素子 1 1 0 の画素電極に与えられなくなり、1ライン目の画素が有する E L 素子 1 1 0 は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。

【0065】

画素が表示を行わない期間を非表示期間 T d と呼ぶ。1ライン目の画素において、消去用ゲート信号線 G e 1 が選択されると同時に表示期間 T r 1 が終了し、非表示期間 T d 1 となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0066】

そして消去用ゲート信号線 G e 1 の選択が終了すると、消去用ゲート信号線 G e 2 が選択され、消去用ゲート信号線 G e 2 に接続されている全ての画素（2ライン目の画素）の消去用 T F T 1 0 9 がオンの状態になる。そして電源供給線 V 1 ~ V x の電源電位が消去用 T F T 1 0 9 を介して E L 駆動用 T F T 1 0 8 のゲート電極に与えられる。電源電位が E L 駆動用 T F T 1 0 8 のゲート電極に与えられると、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって電源電位は E L 素子 1 1 0 の画素電極に与えられなくなる。その結果2ライン目の画素が有する E L 素子は全て非発光の状態になり、2ライン目の画素が表示を行わない非表示の状態となる。

【0067】

そして順に、全ての消去用ゲート信号線に消去用ゲート信号が入力されていく。全ての消

10

20

30

40

50

去用ゲート信号線 $G_{e1} \sim G_{ey}$ が選択され、全ての画素が保持している 1 ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間 T_{e1} である。

【0068】

一方、全ての画素が保持している 1 ビット目のデジタルビデオ信号が消去される前、言い換えると消去期間 T_{e1} が終了する前に、画素が保持している 1 ビット目のデジタルビデオ信号の消去と並行して、再び書き込み用ゲート信号による書き込み用ゲート信号線 G_{a1} の選択が行われる。そして 1 ライン目の画素に、2 ビット目のデジタルビデオ信号が入力される。その結果、1 ライン目の画素は再び表示を行うので、非表示期間 T_{d1} が終了して表示期間 T_{r2} となる。

【0069】

そして同様に、順に全ての書き込み用ゲート信号線が選択され、2 ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に 2 ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T_{a2} と呼ぶ。

【0070】

そして一方、全ての画素に 2 ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T_{a2} が終了する前に、画素への 2 ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号による消去用ゲート信号線 G_{e1} の選択が行われる。よって 1 ライン目の画素が有する EL 素子は全て非発光の状態になり、1 ライン目の画素が表示を行わなくなる。よって 1 ライン目の画素において表示期間 T_{r2} は終了し、非表示期間 T_{d2} となる。

【0071】

そして順に、全ての消去用ゲート信号線 $G_{e1} \sim G_{ey}$ が選択され、全ての画素が保持している 2 ビット目のデジタルビデオ信号が消去される。全ての画素が保持している 2 ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間 T_{e2} である。

【0072】

上述した動作は m ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、表示期間 T_r と非表示期間 T_d とが繰り返し出現する。表示期間 T_{r1} は、書き込み期間 T_{a1} が開始されてから消去期間 T_{e1} が開始されるまでの期間である。また非表示期間 T_{d1} は、消去期間 T_{e1} が開始されてから次に出現する書き込み期間（この場合書き込み期間 T_{a2} ）が開始されるまでの期間である。そして表示期間 T_{r2} 、 T_{r3} 、...、 $T_{r(m-1)}$ と非表示期間 T_{d2} 、 T_{d3} 、...、 $T_{d(m-1)}$ も、表示期間 T_{r1} と非表示期間 T_{d1} と同様に、それぞれ書き込み期間 T_{a1} 、 T_{a2} 、...、 T_{am} と消去期間 T_{e1} 、 T_{e2} 、...、 $T_{e(m-1)}$ とによって、その期間が定められる。

【0073】

説明をわかりやすくするために、図 4 では $m = n - 2$ の場合を例にとって示すが、本発明はこれに限定されないのは言うまでもない。本発明において m は、1 から n までの値を任意に選択することが可能である。

【0074】

$m[n - 2]$ （以下、括弧内は $m = n - 2$ の場合を示す）ビット目のデジタルビデオ信号が 1 ライン目の画素に入力されると、1 ライン目の画素は表示期間 $T_{rm[n - 2]}$ となり表示を行う。そして次のビットのデジタルビデオ信号が入力されるまで、 $m[n - 2]$ ビット目のデジタルビデオ信号は画素に保持される。

【0075】

そして次に $(m + 1)[n - 1]$ ビット目のデジタルビデオ信号が 1 ライン目の画素に入力されると、画素に保持されていた $m[n - 2]$ ビット目のデジタルビデオ信号は、 $(m + 1)[n - 1]$ ビット目のデジタルビデオ信号に書き換えられる。そして 1 ライン目の画素は表示期間 $T_{r(m + 1)[n - 1]}$ となり、表示を行う。 $(m + 1)[n - 1]$ ビット目のデジタルビデオ信号は、次のビットのデジタルビデオ信号が入力されるまで画素に保持される。

【0076】

10

20

30

40

50

上述した動作を n ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われる。表示期間 $T_{rm}[n-2]$ 、...、 T_{rn} は、書き込み期間 $T_{am}[n-2]$ 、...、 T_{an} が開始されてから、その次に出現する書き込み期間が開始されるまでの期間である。

【0077】

全ての表示期間 $T_{r1} \sim T_{rn}$ が終了すると、1つの画像を表示することができる。本発明において、1つの画像が表示される期間を1フレーム期間 (F) と呼ぶ。

【0078】

そして1フレーム期間終了後は、再び書き込み用ゲート信号線 G_{a1} が書き込み用ゲート信号によって選択される。そして、1ビット目のデジタルビデオ信号が画素に入力され、1ライン目の画素が再び表示期間 T_{r1} となる。そして再び上述した動作を繰り返す。

10

【0079】

ELディスプレイは1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0080】

また本発明では、全ての書き込み期間の長さの和が1フレーム期間よりも短いことが重要である。なおかつ表示期間の長さを $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ とすることが必要である。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0081】

20

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n=8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には1%の輝度が表現でき、 T_{r3} と T_{r5} と T_{r8} を選択した場合には60%の輝度が表現できる。

【0082】

m ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 T_{am} は、表示期間 T_{rm} の長さよりも短いことが肝要である。よってビット数 m の値は、 $1 \sim n$ のうち、書き込み期間 T_{am} が表示期間 T_{rm} の長さよりも短くなるような値であることが必要である。

30

【0083】

また表示期間 $T_{r1} \sim T_{rn}$ は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r5} 、 T_{r2} 、... という順序で表示期間を出現させることも可能である。ただし、表示期間 $T_{r1} \sim T_{rn}$ が互いに重ならない順序の方がより好ましい。また消去期間 $T_{e1} \sim T_{en}$ も、互いに重ならない順序の方がより好ましい。

【0084】

本発明は上記構成によって、TFTによって $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、EL駆動用TFTに等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS} - V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

40

【0085】

また本発明ではEL駆動用TFTとして、第1のEL駆動用TFTと第2のEL駆動用TFTとが並列に設けられている。これによって、EL駆動用TFTの活性層を流れる電流によって発生した熱の放射を効率的に行うことができ、EL駆動用TFTの劣化を抑えることができる。また、EL駆動用TFTのしきい値や移動度などの特性のばらつきによって生じるドレイン電流のばらつきを抑えることができる。

【0086】

なお本実施の形態ではEL駆動用TFTとして、第1のEL駆動用TFTと第2のEL駆

50

動用 T F T の 2 つの T F T を用いたが、本発明はこれに限定されない。各画素において、E L 駆動用 T F T として用いる T F T の数は、2 以上であれば良い。

【 0 0 8 7 】

また、本発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、E L ディスプレイに全白の画像を表示させると、常に E L 素子が発光することになり、E L 層の劣化を早める原因となってしまう。本発明は非発光期間を設けることができるので、E L 層の劣化をある程度抑えることができる。

【 0 0 8 8 】

なお本発明においては、表示期間と書き込み期間とが一部重なっている。言い換えると書き込み期間においても画素を表示させることが可能である。そのため、1 フレーム期間における表示期間の長さの総和の割合（デューティ比）が、書き込み期間の長さによってのみ決定されない。

10

【 0 0 8 9 】

なお本実施の形態では、E L 駆動用 T F T のゲート電極にかかる電圧を保持するためにコンデンサを設ける構造としているが、コンデンサを省略することも可能である。E L 駆動用 T F T が、ゲート絶縁膜を介してゲート電極に重なるように設けられた L D D 領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成される。このゲート容量を E L 駆動用 T F T のゲート電極にかかる電圧を保持するためのコンデンサとして積極的に用いても良い。

20

【 0 0 9 0 】

このゲート容量の容量値は、上記ゲート電極と L D D 領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれる L D D 領域の長さによって決まる。

【 0 0 9 1 】

なお、上述した本発明の構成は E L ディスプレイへの適用だけに限らず、他の電気光学素子を用いた装置に適用することも可能である。また応答時間が数 1 0 μ s e c 程度以下の、高速応答する液晶が開発された場合には、液晶ディスプレイに適用することも可能である。

【 0 0 9 2 】

【実施例】

以下に、本発明の実施例を説明する。

30

【 0 0 9 3 】

（実施例 1）

本実施例では、本発明の E L ディスプレイにおいて、6 ビットのデジタルビデオ信号により 2⁶ 階調の表示を行う場合について図 5 を用いて説明する。なお本実施例の E L ディスプレイは、図 1 ~ 図 3 に示した構造を有する。

【 0 0 9 4 】

はじめに書き込み用ゲート信号線駆動回路 1 0 3 から書き込み用ゲート信号線 G a 1 に入力される書き込み用ゲート信号によって、書き込み用ゲート信号線 G a 1 が選択される。そして書き込み用ゲート信号線 G a 1 に接続されている全ての画素（1 ライン目の画素）のスイッチング用 T F T 1 0 7 がオンの状態になる。

40

【 0 0 9 5 】

そして同時に、ソース信号線 S 1 ~ S x にソース信号線駆動回路 1 0 2 から、1 ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチング用 T F T 1 0 7 を介して E L 駆動用 T F T 1 0 8 のゲート電極に入力される。

【 0 0 9 6 】

本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって E L 素子 1 1 0 の画素電極には電源電位は与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 1 0 は発光しない。

【 0 0 9 7 】

50

逆に、「1」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオンの状態となる。よって E L 素子 1 1 0 の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 1 0 は発光する。

【0098】

このように1ライン目の画素は、デジタルビデオ信号が入力されると同時に、E L 素子 1 1 0 が発光、または非発光を行い、表示期間 T r 1 となる。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0099】

次に書き込み用ゲート信号線 G a 1 の選択が終了すると、書き込み用ゲート信号によって書き込み用ゲート信号線 G a 2 が選択される。そして書き込み用ゲート信号線 G a 2 に接続されている全ての画素のスイッチング用 T F T 1 0 7 がオンの状態になり、2ライン目の画素にソース信号線 S 1 ~ S x から1ビット目のデジタルビデオ信号が入力される。

【0100】

そして全ての書き込み用ゲート信号線 G a 1 ~ G a y が選択され、全ての画素に1ビット目のデジタルビデオ信号が入力される。全ての画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間 T a 1 である。

【0101】

一方、全ての画素に1ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T a 1 が終了する前に、画素への1ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線駆動回路 1 0 4 から消去用ゲート信号線 G e 1 に入力される消去用ゲート信号によって、消去用ゲート信号線 G e 1 が選択される。

【0102】

そして消去用ゲート信号線 G e 1 に接続されている全ての画素(1ライン目の画素)の消去用 T F T 1 0 9 がオンの状態になる。そして電源供給線 V 1 ~ V x の電源電位が消去用 T F T 1 0 9 を介して E L 駆動用 T F T 1 0 8 のゲート電極に与えられる。

【0103】

電源電位が E L 駆動用 T F T 1 0 8 のゲート電極に与えられると、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって電源電位は E L 素子 1 1 0 の画素電極に与えられなくなり、1ライン目の画素が有する E L 素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。つまり、書き込み用ゲート信号線 G a 1 が書き込み用ゲート信号によって選択されたときから E L 駆動用 T F T 1 0 8 のゲート電極が保持していたデジタルビデオ信号は、E L 駆動用 T F T のゲート電極に電源電位が与えられることで消去される。よって1ライン目の画素が表示を行わなくなる。

【0104】

消去用ゲート信号線 G e 1 が選択されると同時に1ライン目の画素の表示期間 T r 1 が終了し、非表示期間 T d 1 となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0105】

そして消去用ゲート信号線 G e 1 の選択が終了すると、消去用ゲート信号によって消去用ゲート信号線 G e 2 が選択され、消去用ゲート信号線 G e 2 に接続されている全ての画素(2ライン目の画素)の消去用 T F T 1 0 9 がオンの状態になる。そして電源供給線 V 1 ~ V x の電源電位が消去用 T F T 1 0 9 を介して E L 駆動用 T F T 1 0 8 のゲート電極に与えられる。電源電位が E L 駆動用 T F T 1 0 8 のゲート電極に与えられると、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって電源電位は E L 素子 1 1 0 の画素電極に与えられなくなる。その結果2ライン目の画素が有する E L 素子は全て非発光の状態になり、2ライン目の画素が表示を行わなくなり、非表示の状態となる。

【0106】

そして全ての消去用ゲート信号線 G e 1 ~ G e y が選択され、全ての画素が保持している1ビット目のデジタルビデオ信号が消去される。全ての画素が保持している1ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間 T e 1 である。

【 0 1 0 7 】

一方、全ての画素が保持している 1 ビット目のデジタルビデオ信号が消去される前、言い換えると消去期間 T_{e1} が終了する前に、画素に保持されている 1 ビット目のデジタルビデオ信号の消去と並行して、再び書き込み用ゲート信号線 G_{a1} の選択が行われる。その結果、1 ライン目の画素は再び表示を行うので、非表示期間 T_{d1} が終了して表示期間 T_{r2} となる。

【 0 1 0 8 】

そして同様に、順に全ての書き込み用ゲート信号線が選択され、2 ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に 2 ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T_{a2} と呼ぶ。

10

【 0 1 0 9 】

そして一方、全ての画素に 2 ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T_{a2} が終了する前に、画素への 2 ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線 G_{e1} の選択が行われる。よって 1 ライン目の画素が有する EL 素子は全て非発光の状態になり、1 ライン目の画素が表示を行わなくなる。よって 1 ライン目の画素において表示期間 T_{r2} は終了し、非表示期間 T_{d2} となる。

【 0 1 1 0 】

そして全ての消去用ゲート信号線 $G_{e1} \sim G_{ey}$ が選択され、全ての画素が保持している 2 ビット目のデジタルビデオ信号が消去される。全ての画素が保持している 2 ビット目のデジタルビデオ信号が消去されるまでの期間が、消去期間 T_{e2} である。

20

【 0 1 1 1 】

上述した動作は 5 ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、表示期間 T_r と非表示期間 T_d とが繰り返し出現する。表示期間 T_{r1} は、書き込み期間 T_{a1} が開始されてから消去期間 T_{e1} が開始されるまでの期間である。また非表示期間 T_{d1} は、消去期間 T_{e1} が開始されてから次に出現する書き込み期間（本実施例では書き込み期間 T_{a2} ）が開始されるまでの期間である。そして表示期間 T_{r2} 、 T_{r3} 、 T_{r4} と非表示期間 T_{d2} 、 T_{d3} 、 T_{d4} も、表示期間 T_{r1} と非表示期間 T_{d1} と同様に、それぞれ書き込み期間 T_{a1} 、 T_{a2} 、...、 T_{a5} と消去期間 T_{e1} 、 T_{e2} 、...、 T_{e4} とによって、その期間が定められる。

【 0 1 1 2 】

5 ビット目のデジタルビデオ信号が 1 ライン目の画素に入力されると、1 ライン目の画素は表示期間 T_{r5} となり表示を行う。そして次のビットのデジタルビデオ信号が入力されるまで、5 ビット目のデジタルビデオ信号は画素に保持される。

30

【 0 1 1 3 】

そして次に 6 ビット目のデジタルビデオ信号が 1 ライン目の画素に入力されると、画素に保持されていた 5 ビット目のデジタルビデオ信号は、6 ビット目のデジタルビデオ信号に書き換えられる。そして 1 ライン目の画素は表示期間 T_{r6} となり、表示を行う。6 ビット目のデジタルビデオ信号は、再び次のフレーム期間の 1 ビット目のデジタルビデオ信号が入力されるまで画素に保持される。

【 0 1 1 4 】

再び次のフレーム期間の 1 ビット目のデジタルビデオ信号が画素に入力されると、表示期間 T_{r6} は終了し、同時にフレーム期間が終了する。全ての表示期間（ $T_{r1} \sim T_{r6}$ ）が終了すると、1 つの画像を表示することができる。そして上述した動作を繰り返す。

40

【 0 1 1 5 】

表示期間 T_{r5} は、書き込み期間 T_{a5} が開始されてから、書き込み期間 T_{a6} が開始されるまでの期間である。そして表示期間 T_{r6} は、書き込み期間 T_{a6} が開始されてから、次のフレーム期間の書き込み期間 T_{a1} が開始されるまでの期間である。

【 0 1 1 6 】

表示期間 T_r の長さは、 $T_{r1} : T_{r2} : \dots : T_{r5} : T_{r6} = 2^0 : 2^1 : \dots : 2^4 : 2^5$ となるように設定する。この表示期間の組み合わせで 2^6 階調のうち所望の階調表示を行

50

うことができる。

【0117】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。全部の表示期間で画素が発光した場合の輝度を100%とすると、Tr1とTr2において画素が発光した場合には5%の輝度が表現でき、Tr3とTr5を選択した場合には32%の輝度が表現できる。

【0118】

本実施例において、5ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間Ta5は、表示期間Tr5の長さよりも短いことが肝要である。

【0119】

また表示期間(Tr1~Tr6)は、どのような順序で出現させても良い。例えば1フレーム期間中において、Tr1の次にTr3、Tr5、Tr2、...という順序で表示期間を出現させることも可能である。ただし、消去期間(Te1~Te6)が互いに重ならない順序の方がより好ましい。また表示期間(Tr1~Tr6)も互いに重ならない順序の方がより好ましい。

【0120】

本発明は上記構成によって、TFTによって $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS} - V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0121】

また、本発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非発光期間を設けることができるので、EL層の劣化をある程度抑えることができる。

【0122】

(実施例2)

本実施例では、6ビットのデジタルビデオ信号に対応した本発明の駆動方法において、表示期間Tr1~Tr6の出現する順序について説明する。

【0123】

図6に本実施例の駆動方法を示すタイミングチャートを示す。画素の詳しい駆動の仕方については実施例1を参照すれば良いので、ここでは省略する。本実施例の駆動方法では、1フレーム期間中で1番長い非表示期間(本実施例ではTd1)を1フレーム期間の最後に設ける。上記構成によって、非表示期間Td1と、次のフレーム期間の最初の表示期間(本実施例ではTr4)との間にフレーム期間の区切れがあるように人間の目に映る。これによって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【0124】

なお本実施例では、6ビットのデジタルビデオ信号の場合について説明したが、本発明はこれに限定されない。本実施例はデジタルビデオ信号のビット数に限定されることなく実施することが可能である。

【0125】

(実施例3)

本実施例では、本発明のELディスプレイにおいて、4ビットのデジタルビデオ信号により2⁴階調の表示を行う場合について図7を用いて説明する。なお本実施例のELディスプレイは、図1~図3に示した構造を有する。

【0126】

はじめに書き込み用ゲート信号線駆動回路103から書き込み用ゲート信号線Ga1に入力される書き込み用ゲート信号によって、書き込み用ゲート信号線Ga1が選択される。

10

20

30

40

50

そして書き込み用ゲート信号線 G a 1 に接続されている全ての画素（１ライン目の画素）のスイッチング用 T F T 1 0 7 がオンの状態になる。

【 0 1 2 7 】

そして同時に、ソース信号線 S 1 ~ S x にソース信号線駆動回路 1 0 2 から、１ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチング用 T F T 1 0 7 を介して E L 駆動用 T F T 1 0 8 のゲート電極に入力される。

【 0 1 2 8 】

本実施例では、デジタルビデオ信号が「 0 」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって E L 素子 1 1 0 の画素電極には電源電位は与えられない。その結果、「 0 」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 1 0 は発光しない。

10

【 0 1 2 9 】

逆に、「 1 」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオンの状態となる。よって E L 素子 1 1 0 の画素電極には電源電位が与えられる。その結果、「 1 」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 1 0 は発光する。

【 0 1 3 0 】

このように１ライン目の画素は、デジタルビデオ信号が入力されると同時に、E L 素子 1 1 0 が発光、または非発光を行い、表示期間 T r 1 となる。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【 0 1 3 1 】

20

次に書き込み用ゲート信号線 G a 1 の選択が終了すると、書き込み用ゲート信号によって書き込み用ゲート信号線 G a 2 が選択される。そして書き込み用ゲート信号線 G a 2 に接続されている全ての画素のスイッチング用 T F T 1 0 7 がオンの状態になり、２ライン目の画素にソース信号線 S 1 ~ S x から１ビット目のデジタルビデオ信号が入力される。

【 0 1 3 2 】

そして全ての書き込み用ゲート信号線 G a 1 ~ G a y が選択され、全ての画素に１ビット目のデジタルビデオ信号が入力される。全ての画素に１ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間 T a 1 である。

【 0 1 3 3 】

一方、全ての画素に１ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T a 1 が終了する前に、画素への１ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線駆動回路 1 0 4 から消去用ゲート信号線 G e 1 に入力される消去用ゲート信号によって、消去用ゲート信号線 G e 1 が選択される。

30

【 0 1 3 4 】

そして消去用ゲート信号線 G e 1 に接続されている全ての画素（１ライン目の画素）の消去用 T F T 1 0 9 がオンの状態になる。そして電源供給線 V 1 ~ V x の電源電位が消去用 T F T 1 0 9 を介して E L 駆動用 T F T 1 0 8 のゲート電極に与えられる。

【 0 1 3 5 】

電源電位が E L 駆動用 T F T 1 0 8 のゲート電極に与えられると、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって電源電位は E L 素子 1 1 0 の画素電極に与えられなくなり、１ライン目の画素が有する E L 素子は全て非発光の状態になり、１ライン目の画素が表示を行わなくなる。つまり、書き込み用ゲート信号線 G a 1 が書き込み用ゲート信号によって選択されたときから E L 駆動用 T F T 1 0 8 のゲート電極が保持していたデジタルビデオ信号は、E L 駆動用 T F T のゲート電極に電源電位が与えられることで消去される。よって１ライン目の画素が表示を行わなくなる。

40

【 0 1 3 6 】

消去用ゲート信号線 G e 1 が選択されると同時に１ライン目の画素の表示期間 T r 1 が終了し、非表示期間 T d 1 となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【 0 1 3 7 】

50

そして消去用ゲート信号線 G_{e1} の選択が終了すると、消去用ゲート信号によって消去用ゲート信号線 G_{e2} が選択され、消去用ゲート信号線 G_{e2} に接続されている全ての画素（2ライン目の画素）の消去用 $TFT109$ がオンの状態になる。そして電源供給線 $V1 \sim Vx$ の電源電位が消去用 $TFT109$ を介して EL 駆動用 $TFT108$ のゲート電極に与えられる。電源電位が EL 駆動用 $TFT108$ のゲート電極に与えられると、 EL 駆動用 $TFT108$ はオフの状態となる。よって電源電位は EL 素子 110 の画素電極に与えられなくなる。その結果2ライン目の画素が有する EL 素子は全て非発光の状態になり、2ライン目の画素が表示を行わなくなり、非表示の状態となる。

【0138】

そして全ての消去用ゲート信号線 $G_{e1} \sim G_{ey}$ が選択され、全ての画素が保持している1ビット目のデジタルビデオ信号が消去される。全ての画素が保持している1ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間 T_{e1} である。

10

【0139】

一方、全ての画素が保持している1ビット目のデジタルビデオ信号が消去される前、言い換えると消去期間 T_{e1} が終了する前に、画素に保持されている1ビット目のデジタルビデオ信号の消去と並行して、再び書き込み用ゲート信号線 G_{a1} の選択が行われる。その結果、1ライン目の画素は再び表示を行うので、非表示期間 T_{d1} が終了して表示期間 T_{r2} となる。

【0140】

そして同様に、順に全ての書き込み用ゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T_{a2} と呼ぶ。

20

【0141】

そして一方、全ての画素に2ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T_{a2} が終了する前に、画素への2ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線 G_{e1} の選択が行われる。よって1ライン目の画素が有する EL 素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間 T_{r2} は終了し、非表示期間 T_{d2} となる。

【0142】

そして全ての消去用ゲート信号線 $G_{e1} \sim G_{ey}$ が選択され、全ての画素が保持している2ビット目のデジタルビデオ信号が消去される。全ての画素が保持している2ビット目のデジタルビデオ信号が消去されるまでの期間が、消去期間 T_{e2} である。

30

【0143】

表示期間 T_{r1} は、書き込み期間 T_{a1} が開始されてから消去期間 T_{e1} が開始されるまでの期間である。また非表示期間 T_{d1} は、消去期間 T_{e1} が開始されてから次に出現する書き込み期間（本実施例では書き込み期間 T_{a2} ）が開始されるまでの期間である。そして表示期間 T_{r2} は、書き込み期間 T_{a2} が開始されてから消去期間 T_{e2} が開始されるまでの期間である。また非表示期間 T_{d2} は、消去期間 T_{e2} が開始されてから次に出現する書き込み期間（本実施例では書き込み期間 T_{a3} ）が開始されるまでの期間である。

40

【0144】

3ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、1ライン目の画素は表示期間 T_{r3} となり表示を行う。そして次のビットのデジタルビデオ信号が入力されるまで、3ビット目のデジタルビデオ信号は画素に保持される。

【0145】

そして次に4ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、画素に保持されていた3ビット目のデジタルビデオ信号は、4ビット目のデジタルビデオ信号に書き換えられる。そして1ライン目の画素は表示期間 T_{r4} となり、表示を行う。4ビット目のデジタルビデオ信号は、再び次のフレーム期間の1ビット目のデジタルビデオ信号が入力されるまで画素に保持される。

50

【 0 1 4 6 】

再び次のフレーム期間の 1 ビット目のデジタルビデオ信号が画素に inputs されると、表示期間 T_{r4} は終了し、同時にフレーム期間が終了する。全ての表示期間 ($T_{r1} \sim T_{r4}$) が終了すると、1 つの画像を表示することができる。そして上述した動作を繰り返す。

【 0 1 4 7 】

表示期間 T_{r3} は、書き込み期間 T_{a3} が開始されてから、書き込み期間 T_{a4} が開始されるまでの期間である。そして表示期間 T_{r4} は、書き込み期間 T_{a4} が開始されてから、次のフレーム期間の書き込み期間 T_{a1} が開始されるまでの期間である。

【 0 1 4 8 】

表示期間 T_r の長さは、 $T_{r1} : T_{r2} : T_{r3} : T_{r4} = 2^0 : 2^1 : 2^2 : 2^3$ となるように設定する。この表示期間の組み合わせで 2^4 階調のうち所望の階調表示を行うことができる。

10

【 0 1 4 9 】

1 フレーム期間中に EL 素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。全部の表示期間で画素が発光した場合の輝度を 100% とすると、 T_{r1} と T_{r2} において画素が発光した場合には 20% の輝度が表現でき、 T_{r3} のみ選択した場合には 27% の輝度が表現できる。

【 0 1 5 0 】

本実施例において、3 ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 T_{a3} は、表示期間 T_{r3} の長さよりも短いことが肝要である。

20

【 0 1 5 1 】

また表示期間 ($T_{r1} \sim T_{r4}$) は、どのような順序で出現させても良い。例えば 1 フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r4} 、 T_{r2} という順序で表示期間を出現させることも可能である。ただし、消去期間 ($T_{e1} \sim T_{e4}$) が互いに重ならない順序の方がより好ましい。また表示期間 ($T_{r1} \sim T_{r4}$) も互いに重ならない順序の方がより好ましい。

【 0 1 5 2 】

本発明は上記構成によって、TFT によって $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS} - V_{GS}$ 特性のパラツキによって、同じ電圧の信号を入力しても EL 素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

30

【 0 1 5 3 】

また、本発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、EL ディスプレイに全白の画像を表示させると、常に EL 素子が発光することになり、EL 層の劣化を早める原因となってしまう。本発明は非発光期間を設けることができるので、EL 層の劣化をある程度抑えることができる。

【 0 1 5 4 】

なお本実施例は、実施例 2 と組み合わせて実施することが可能である。

【 0 1 5 5 】

(実施例 4)

40

本実施例では、図 3 に示した本発明の EL ディスプレイの画素の上面図 (図 8) について説明する。図 3 と図 8 では共通の符号を用いるので互いに参照すれば良い。

【 0 1 5 6 】

図 8 において、ソース信号線 (S) と、電源供給線 (V) と、書き込み用ゲート信号線 (G_a) と、消去用ゲート信号線 (G_e) とをそれぞれ 1 つづつ有する領域 105 が画素である。画素 105 はスイッチング用 TFT 107 と、EL 駆動用 TFT 108 と、消去用 TFT 109 とを有している。EL 駆動用 TFT 108 は第 1 及び第 2 の EL 駆動用 TFT を有しており、第 1 及び第 2 の EL 駆動用 TFT は並列に接続している。

【 0 1 5 7 】

スイッチング用 TFT 107 は、活性層 107a と、書き込み用ゲート信号線 (G_a) の

50

一部であるゲート電極 107b とを有している。EL 駆動用 TFT 108 は、活性層 108a と、ゲート配線 121 の一部であるゲート電極 108b とを有している。消去用 TFT 109 は、活性層 109a と、書き込み用ゲート信号線 (Ge) の一部であるゲート電極 109b とを有している。

【0158】

スイッチング用 TFT 107 の活性層 107a が有するソース領域とドレイン領域は、いずれか一方はソース信号線に、もう一方は接続配線 113 を介してゲート配線 121 に接続されている。なお 113 はソース信号線 (S) に入力される信号の電位によって、ソース配線と呼んだり、ドレイン配線と呼んだりする。

【0159】

消去用 TFT 109 の活性層 109a が有するソース領域とドレイン領域は、いずれか一方は電源供給線に、もう一方は接続配線 115 を介してゲート配線 121 に接続されている。なお 113 は電源供給線 (V) の電源電位によって、ソース配線と呼んだり、ドレイン配線と呼んだりする。

【0160】

EL 駆動用 TFT 108 の活性層 108a が有するソース領域とドレイン領域は、それぞれ電源供給線 (V) とドレイン配線 114 に接続されている。ドレイン配線 114 は画素電極 117 に接続されている。

【0161】

容量配線 116 は半導体膜で形成されている。コンデンサ 112 は、電源供給線 (V) と電氣的に接続された容量配線 116、ゲート絶縁膜と同一層の絶縁膜 (図示せず) 及びゲート配線 121 との間で形成される。また、ゲート配線 121、第 1 層間絶縁膜と同一の層 (図示せず) 及び電源供給線 (V) で形成される容量もコンデンサとして用いることが可能である。

【0162】

なお画素電極 117 上には有機樹脂膜をエッチングすることで開口部 131 を設けたバンクが形成されている。そして図示しないが、画素電極 117 上に EL 層と対向電極が順に積層される。画素電極 105 と EL 層とはバンクの開口部 131 において接しており、EL 層は対向電極と画素電極とに接して挟まれている部分のみ発光する。

【0163】

なお本発明の EL ディスプレイの画素部の上面図は、図 8 に示した構成に限定されない。

【0164】

本実施例は実施例 1 ~ 3 と組み合わせて実施することが可能である。

【0165】

(実施例 5)

本実施例では、図 1 で示した本発明の EL ディスプレイの駆動回路の詳しい構成について、図 9 を用いて説明する。

【0166】

ソース信号線駆動回路 102 は基本的にシフトレジスタ 102a、ラッチ (A) (第 1 のラッチ) 102b、ラッチ (B) (第 2 のラッチ) 102c を有している。

【0167】

ソース信号線駆動回路 102 において、シフトレジスタ 102a にクロック信号 (CLK) およびスタートパルス (SP) が入力される。シフトレジスタ 102a は、これらのクロック信号 (CLK) およびスタートパルス (SP) に基づきタイミング信号を順に生成し、ラッチ (A) 102b に入力する。

【0168】

なお図 9 では図示しなかったが、シフトレジスタ 102a から出力されたタイミング信号をバッファ等 (図示せず) によって緩衝増幅してから、後段の回路であるラッチ (A) 102b に入力しても良い。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量 (寄生容量) が大きい。この負荷容量が大きいために

10

20

30

40

50

生ずるタイミング信号の立ち上がりまたは立ち下りの ” 鈍り ” を防ぐために、このバッファが設けられる。

【 0 1 6 9 】

ラッチ (A) 1 0 2 b は、 n ビットのデジタルビデオ信号 (n bit digital video signals) を処理する複数のステージのラッチを有している。ラッチ (A) 1 0 2 b は、タイミング信号が入力されると、ソース信号線駆動回路 1 0 2 の外部から入力される n ビットのデジタルビデオ信号を順次取り込み、保持する。

【 0 1 7 0 】

なお、ラッチ (A) 1 0 2 b にデジタルビデオ信号を取り込む際に、ラッチ (A) 1 0 2 b が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ (A) 1 0 2 b が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、 4 分割で分割駆動すると言う。

【 0 1 7 1 】

ラッチ (A) 1 0 2 b の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ (A) 1 0 2 b 中で一番左側のステージのラッチにデジタルビデオ信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタルビデオ信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【 0 1 7 2 】

1 ライン期間が終了すると、ラッチ (B) 1 0 2 c にラッチシグナル (Latch Signal) が供給される。この瞬間、ラッチ (A) 1 0 2 b に書き込まれ保持されているデジタルビデオ信号は、ラッチ (B) 1 0 2 c に一斉に送出され、ラッチ (B) 1 0 2 c の全ステージのラッチに書き込まれ、保持される。

【 0 1 7 3 】

デジタルビデオ信号をラッチ (B) 1 0 2 c に送出し終えたラッチ (A) 1 0 2 b には、シフトレジスタ 1 0 2 a からのタイミング信号に基づき、ソース信号線駆動回路 1 0 2 の外部から入力されるデジタルビデオ信号の書き込みが順次行われる。

【 0 1 7 4 】

この 2 順目の 1 ライン期間中には、ラッチ (B) 1 0 2 c に書き込まれ、保持されているデジタルビデオ信号がソース信号線に入力される。

【 0 1 7 5 】

一方、書き込み用ゲート信号線駆動回路 1 0 3 及び消去用ゲート信号線駆動回路 1 0 4 は、それぞれシフトレジスタ、バッファ (いずれも図示せず) を有している。また場合によっては、書き込み用ゲート信号線駆動回路 1 0 3 及び消去用ゲート信号線駆動回路 1 0 4 が、シフトレジスタ、バッファの他にレベルシフトを有していても良い。

【 0 1 7 6 】

書き込み用ゲート信号線駆動回路 1 0 3 及び消去用ゲート信号線駆動回路 1 0 4 において、シフトレジスタ (図示せず) からのタイミング信号がバッファ (図示せず) に供給され、対応するゲート信号線 (走査線とも呼ぶ) に供給される。ゲート信号線には、 1 ライン分の画素 T F T のゲート電極が接続されており、 1 ライン分全ての画素 T F T を同時に O N にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【 0 1 7 7 】

なお本実施例は、実施例 1 ~ 4 と組み合わせて実施することが可能である。

【 0 1 7 8 】

(実施例 6)

10

20

30

40

50

本実施例では、本発明のＥＬディスプレイの画素部とその周辺に設けられる駆動回路部（ソース信号線駆動回路、書き込み用ゲート信号線駆動回路、消去用ゲート信号線駆動回路）のＴＦＴを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位であるＣＭＯＳ回路を図示することとする。また消去用ＴＦＴについては、スイッチング用ＴＦＴまたはＥＬ駆動用ＴＦＴの作製方法を参照して作製することが可能であるので、ここでは省略する。またＥＬ駆動用ＴＦＴは第１のＥＬ駆動用ＴＦＴについてのみ説明するが、第２のＥＬ駆動用ＴＦＴも第１のＥＬ駆動用ＴＦＴと同様に作製することが可能である。

【０１７９】

まず、図１０（Ａ）に示すように、ガラス基板５００上に下地膜５０１を３００ｎｍの厚さに形成する。本実施例では下地膜５０１として窒化酸化珪素膜を積層して用いる。この時、ガラス基板５００に接する方の窒素濃度を１０～２５ｗｔ％としておく和良好的。また、下地膜５０１に放熱効果を持たせることは有効であり、ＤＬＣ（ダイヤモンドライクカーボン）膜を設けても良い。

【０１８０】

次に下地膜５０１の上に５０ｎｍの厚さの非晶質珪素膜（図示せず）を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は２０～１００ｎｍの厚さであれば良い。

【０１８１】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜（多結晶シリコン膜若しくはポリシリコン膜ともいう）５０２を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、ＸｅＣｌガスを用いたエキシマレーザー光を用いて結晶化する。

【０１８２】

なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

【０１８３】

また、本実施例では結晶質珪素膜をＴＦＴの活性層として用いるが、非晶質珪素膜を活性層として用いることも可能である。

【０１８４】

なお、オフ電流を低減する必要があるスイッチング用ＴＦＴの活性層を非晶質珪素膜で形成し、ＥＬ駆動用ＴＦＴの活性層を結晶質珪素膜で形成することは有効である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【０１８５】

次に、図１０（Ｂ）に示すように、結晶質珪素膜５０２上に酸化珪素膜でなる保護膜５０３を１３０ｎｍの厚さに形成する。この厚さは１００～２００ｎｍ（好ましくは１３０～１７０ｎｍ）の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜５０３は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【０１８６】

そして、その上にレジストマスク５０４ａ、５０４ｂを形成し、保護膜５０３を介してｎ型を付与する不純物元素（以下、ｎ型不純物元素という）を添加する。なお、ｎ型不純物元素としては、代表的には周期表の１５族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン（ＰＨ₃）を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを１×１０¹⁸atoms/cm³の濃度で添加する。

10

20

30

40

50

勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0187】

この工程により形成されるn型不純物領域(b)505には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ (代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$)の濃度で含まれるようにドーズ量を調節する。

【0188】

次に、図10(C)に示すように、保護膜503、レジストマスク504a、504bを除去し、添加したn型不純物元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射(レーザーアニール)により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜503をつけたままレーザー光を照射しても良い。

10

【0189】

なお、このレーザー光による不純物元素の活性化に際して、熱処理(ファーンেসアニール)による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450~550程度の熱処理を行えば良い。

【0190】

この工程によりn型不純物領域(b)505の端部、即ち、n型不純物領域(b)505の周囲に存在するn型不純物元素を添加していない領域との境界部(接合部)が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

20

【0191】

次に、図10(D)に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜(以下、活性層という)506~509を形成する。

【0192】

次に、図10(E)に示すように、活性層506~509を覆ってゲート絶縁膜510を形成する。ゲート絶縁膜510としては、10~200nm、好ましくは50~150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

30

【0193】

次に、200~400nm厚の導電膜を形成し、パターニングしてゲート電極511~515を形成する。なお、本実施例ではゲート電極と、ゲート電極に電氣的に接続された引き回しのための配線(以下、ゲート配線という)とを別の材料で形成する。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いる。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。勿論、ゲート電極とゲート配線とを同一材料で形成してしまっても構わない。

【0194】

また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。ただし、上述のように微細加工が可能、具体的には2μm以下の線幅にパターニング可能な材料が好ましい。

40

【0195】

代表的には、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素でなる膜、または前記元素の窒化物膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)を用いることができる。勿論、単層で用いても積層して用いても良い。

50

【0196】

本実施例では、30nm厚の窒化タングステン(WN)膜と、370nm厚のタングステン(W)膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0197】

またこの時、ゲート電極512はn型不純物領域(b)505の一部とゲート絶縁膜510を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。(図10(E))

【0198】

次に、図11(A)に示すように、ゲート電極511~515をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成されるn型不純物領域(c)516~523にはn型不純物領域(b)505の1/2~1/10(代表的には1/3~1/4)の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$)の濃度が好ましい。

【0199】

次に、図11(B)に示すように、ゲート電極511、513~515等を覆う形でレジストマスク524a~524dを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含むn型不純物領域(a)525~529を形成する。ここでもフォスフィン(PH₃)を用いたイオンドープ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$)となるように調節する。

【0200】

この工程によってnチャネル型TFETのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFETでは、図11(A)の工程で形成したn型不純物領域(c)519~521の一部を残す。この残された領域が、スイッチング用TFETのLDD領域となる。

【0201】

次に、図11(C)に示すように、レジストマスク524a~524dを除去し、新たにレジストマスク530を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含むp型不純物領域531~534を形成する。ここではジボラン(B₂H₆)を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$)の濃度となるようにボロンを添加する。

【0202】

なお、p型不純物領域531~534には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。

【0203】

次に、レジストマスク530を除去した後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0204】

このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くと共に後にオーミックコンタクトを取りにくくなるからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は1ppm以下、好ましくは0.1ppm以下とすることが望ましい。

【0205】

次に、活性化工程が終了したら300nm厚のゲート配線(ゲート信号線)535を形成

10

20

30

40

50

する。ゲート配線 5 3 5 の材料としては、アルミニウム (A l) 又は銅 (C u) を主成分 (組成として 5 0 ~ 1 0 0 % を占める。) とする金属膜を用いれば良い。ゲート配線 5 3 5 は、スイッチング用 T F T のゲート電極 5 1 3、5 1 4 を電氣的に接続するように形成する。(図 1 1 (D))

【 0 2 0 6 】

このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きい画像表示領域 (表示部) を形成することができる。即ち、画面の大きさが対角 1 0 インチ以上 (さらに 3 0 インチ以上) の E L ディスプレイを実現する上で、本実施例の画素構造は極めて有効である。

【 0 2 0 7 】

次に、図 1 2 (A) に示すように、第 1 層間絶縁膜 5 3 7 を形成する。第 1 層間絶縁膜 5 3 7 としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は 4 0 0 n m ~ 1 . 5 μ m とすれば良い。本実施例では、2 0 0 n m 厚の窒化酸化珪素膜の上に 8 0 0 n m 厚の酸化珪素膜を積層した構造とする。

【 0 2 0 8 】

さらに、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 で 1 ~ 1 2 時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【 0 2 0 9 】

なお、水素化処理は第 1 層間絶縁膜 5 3 7 を形成する間に入れても良い。即ち、2 0 0 n m 厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り 8 0 0 n m 厚の酸化珪素膜を形成しても構わない。

【 0 2 1 0 】

次に、第 1 層間絶縁膜 5 3 7 に対してコンタクトホールを形成し、ソース配線 5 3 8 ~ 5 4 1 と、ドレイン配線 5 4 2 ~ 5 4 4 を形成する。なお、本実施例ではこの電極を、T i 膜を 1 0 0 n m、T i を含むアルミニウム膜を 3 0 0 n m、T i 膜 1 5 0 n m をスパッタ法で連続形成した 3 層構造の積層膜とする。勿論、他の導電膜でも良い。

【 0 2 1 1 】

次に、図 1 2 (A) に示すように 5 0 ~ 5 0 0 n m (代表的には 2 0 0 ~ 3 0 0 n m) の厚さで第 1 パッシベーション膜 5 4 7 を形成する。本実施例では第 1 パッシベーション膜 5 4 7 として 3 0 0 n m 厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。なお、窒化酸化珪素膜の形成に先立って H₂、N H₃ 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第 1 層間絶縁膜 5 3 7 に供給され、熱処理を行うことで、第 1 パッシベーション膜 5 4 7 の膜質が改善される。それと同時に、第 1 層間絶縁膜 5 3 7 に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【 0 2 1 2 】

次に、有機樹脂からなる第 2 層間絶縁膜 5 4 8 を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、B C B (ベンゾシクロブテン) 等を使用することができる。特に、第 2 層間絶縁膜 5 4 8 は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例では T F T によって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは 1 ~ 5 μ m (さらに好ましくは 2 ~ 4 μ m) とすれば良い。(図 1 2 (B))

【 0 2 1 3 】

次に第 2 層間絶縁膜 5 4 8 及び第 1 パッシベーション膜 5 4 7 に、ドレイン配線 5 4 4 に達するコンタクトホールを形成し、画素電極 5 5 5 を形成する。本実施例では酸化インジウム・スズ (I T O) 膜を 1 1 0 n m の厚さに形成し、パターンニングを行って画素電極 5 5 5 を形成する。また、酸化インジウムに 2 ~ 2 0 % の酸化亜鉛 (Z n O) を混合した透明導電膜を用いても良い。この画素電極 5 5 5 が E L 素子の陽極となる。

10

20

30

40

50

【 0 2 1 4 】

次に有機樹脂膜を画素電極 5 5 5 及び第 2 層間絶縁膜 5 4 8 上に形成し、該有機樹脂膜をパターニングすることで、バンク 5 5 6 を形成する。バンク 5 5 6 は、隣り合う画素の発光層または E L 層を分離するために、画素と画素との間にマトリクス状に形成される。特にバンク部 5 5 6 を、画素電極 5 5 5 と E L 駆動用 T F T 5 8 3 のドレイン配線 5 4 4 とが接続されている部分の上に設けることで、コンタクトホールの部分において生じる画素電極 5 5 5 の段差による E L 層 5 5 7 の発光不良を防ぐことができる。なおバンク 5 5 6 を形成している樹脂材料に顔料等を混ぜ、バンク 5 5 6 を遮蔽膜として用いても良い。

【 0 2 1 5 】

次に、E L 層 5 5 7 及び陰極 (M g A g 電極) 5 5 8 を、真空蒸着法を用いて大気解放しないで連続形成する。なお、E L 層 5 5 7 の膜厚は 8 0 ~ 2 0 0 n m (典型的には 1 0 0 ~ 1 2 0 n m)、陰極 5 5 8 の厚さは 1 8 0 ~ 3 0 0 n m (典型的には 2 0 0 ~ 2 5 0 n m) とすれば良い。なお、本実施例では一画素しか図示されていないが、このとき同時に赤色に発光する E L 層、緑色に発光する E L 層及び青色に発光する E L 層が形成される。

10

【 0 2 1 6 】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次 E L 層 5 5 7 及び陰極 5 5 8 を形成する。但し、E L 層 5 5 7 は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に E L 層 5 5 7 及び陰極 5 5 8 を形成するのが好ましい。

20

【 0 2 1 7 】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の E L 層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の E L 層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の E L 層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素に E L 層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【 0 2 1 8 】

なお、本実施例では E L 層 5 5 7 を発光層のみからなる単層構造とするが、E L 層は発光層の他に正孔輸送層、正孔注入層、電子輸送層、電子注入層等を有していても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。E L 層 5 5 7 としては公知の材料を用いることができる。公知の材料としては、E L 駆動電圧を考慮すると有機材料を用いるのが好ましい。また、本実施例では E L 素子の陰極として M g A g 電極を用いた例を示すが、公知の他の材料を用いることが可能である。

30

【 0 2 1 9 】

こうして図 1 2 (C) に示すような構造のアクティブマトリクス基板が完成する。なお、バンク 5 5 6 を形成した後、陰極 5 5 8 を形成するまでの工程をマルチチャンバー方式 (またはインライン方式) の薄膜形成装置を用いて、大気解放せずに連続的に処理することは有効である。

40

【 0 2 2 0 】

本実施例において、スイッチング用 T F T 5 8 2 の活性層は、ソース領域 5 6 0、ドレイン領域 5 6 1、L D D 領域 5 6 2 ~ 5 6 5、チャネル形成領域 5 6 6、5 6 7 及び分離領域 5 6 8 を含んでいる。L D D 領域 5 6 2 ~ 5 6 5 はゲート絶縁膜 5 1 0 を介してゲート電極 5 1 3、5 1 4 と重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。

【 0 2 2 1 】

また、スイッチング用 T F T 5 8 2 はダブルゲート構造としており、ダブルゲート構造とすることで実質的に二つの T F T が直列された構造となり、オフ電流を低減することがで

50

きるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。

【0222】

なお、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

【0223】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFT581として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフト、サンプリング回路（サンプル及びホールド回路）などが含まれる。デジタル駆動を行う場合には、D/Aコンバータなどの信号変換回路も含まれ得る。

【0224】

本実施例の場合、nチャネル型TFT581の活性層は、ソース領域591、ドレイン領域592、LDD領域593及びチャネル形成領域594を含み、LDD領域593はゲート絶縁膜510を介してゲート電極512と重なっている。

【0225】

ドレイン領域592側のみにLDD領域593を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT581はオフ電流をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD領域593は完全にゲート電極512に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0226】

また、CMOS回路のpチャネル型TFT580は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくてもよい。勿論、nチャネル型TFT581と同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0227】

なお、実際には図12(C)まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとEL素子の信頼性が向上する。

【0228】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このような出荷できるまでの状態を本明細書中ではELディスプレイ（ELモジュール）という。

【0229】

なお本実施例は、実施例1～5と組み合わせて実施することが可能である。

【0230】

（実施例7）

本実施例では、本発明のELディスプレイの断面構造の概略について、図12とは別の例を図13を用いて説明する。図12では、スイッチング用TFT、消去用TFT、第1及び第2のEL駆動用TFTがトップゲート型のTFTである例について示したが、本実施例ではTFTにボトムゲート型の薄膜トランジスタを用いた例について説明する。

【0231】

図13において、811は基板、812は下地となる絶縁膜（以下、下地膜という）である。基板811としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

【0232】

また、下地膜812は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜812としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ SiO_xN_y ：x、yは任意の整数、で示される）など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

【0233】

8201はスイッチング用TFET、8202は第1のEL駆動用TFETであり、それぞれnチャネル型TFET、pチャネル型TFETで形成されている。ELの発光方向が基板の下面（TFET及びEL層が設けられていない面）の場合、上記構成であることが好ましい。しかし本発明はこの構成に限定されない。スイッチング用TFETと第1のEL駆動用TFETは、nチャネル型TFETでもpチャネル型TFETでも、どちらでも構わない。なお本実施例では消去用TFETを示していないが、スイッチング用TFETと同様に形成することが可能であるので、消去用TFETの詳しい構成については、ここでは省略する。また第2のEL駆動用TFETは、第1のEL駆動用TFETと同じ構成を有しているため、ここではその詳しい構成についての説明は省略する。

10

【0234】

スイッチング用TFET8201は、ソース領域813、ドレイン領域814、LDD領域815a～815d、分離領域816及びチャネル形成領域817a、817bを含む活性層と、ゲート絶縁膜818と、ゲート電極819a、819bと、第1層間絶縁膜820と、ソース信号線821と、ドレイン配線822とを有している。なお、ゲート絶縁膜818又は第1層間絶縁膜820は基板上の全TFETに共通であっても良いし、回路又は素子に応じて異ならせても良い。

20

【0235】

また、図13に示すスイッチング用TFET8201はゲート電極817a、817bが電氣的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

【0236】

マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用TFETのオフ電流を十分に低くすれば、それだけ第1のEL駆動用TFET8202のゲート電極に接続されたコンデンサが必要とする最低限の容量を抑えることができる。即ち、コンデンサの面積を小さくすることができるので、マルチゲート構造とすることはEL素子の有効発光面積を広げる上でも有効である。

30

【0237】

さらに、スイッチング用TFET8201においては、LDD領域815a～815dは、ゲート絶縁膜818を介してゲート電極819a、819bと重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD領域815a～815dの長さ（幅）は0.5～3.5μm、代表的には2.0～2.5μmとすれば良い。

40

【0238】

なお、チャネル形成領域とLDD領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層であり、ゲート電圧が加えられない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域816（ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

【0239】

次に、第1のEL駆動用TFET8202は、ソース領域826、ドレイン領域827及びチャネル形成領域829を含む活性層と、ゲート絶縁膜818と、ゲート電極830と、

50

第1層間絶縁膜820と、ソース信号線831並びにドレイン配線832を有して形成される。本実施例において第1のEL駆動用TFT8202はpチャネル型TFTである。

【0240】

また、スイッチング用TFT8201のドレイン領域814は第1のEL駆動用TFT8202のゲート830に接続されている。図示してはいないが、具体的には第1のEL駆動用TFT8202のゲート電極829はスイッチング用TFT8201のドレイン領域814とドレイン配線（接続配線とも言える）822を介して電氣的に接続されている。なお図示してはいないが、ゲート電極830とソース領域826とドレイン領域827とは、第2のEL駆動用TFTのゲート電極とソース領域とドレイン領域と、それぞれ電氣的に接続されている。これにより、EL駆動用TFTの活性層を流れる電流によって発生した熱の放射を効率的に行うことができ、EL駆動用TFTの劣化を抑えることができる。また、EL駆動用TFTのしきい値や移動度などの特性のばらつきによって生じるドレイン電流のばらつきを抑えることができる。また、第1のEL駆動用TFT8202のソース信号線831は電源供給線（図示せず）に接続される。

【0241】

第1のEL駆動用TFT8202及び第2のEL駆動用TFT（図示せず）はEL素子8206に供給される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、第1のEL駆動用TFT8202と第2のEL駆動用TFTのチャネル幅（W）を合わせた長さは、スイッチング用TFT8201のチャネル幅よりも長くなるように設計することが好ましい。また、第1及び第2のEL駆動用TFTに過剰な電流が流れないように、チャネル長（L）はそれぞれ長めに設計することが好ましい。望ましくはそれぞれ0.5～2μA（好ましくは1～1.5μA）となるようにする。

【0242】

またさらに、第1及び第2のEL駆動用TFTの活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは50～100nm、さらに好ましくは60～80nm）ことによって、TFTの劣化を抑えてもよい。逆に、スイッチング用TFT8201の場合はオフ電流を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは20～50nm、さらに好ましくは25～40nm）ことも有効である。

【0243】

以上は画素内に設けられたTFTの構造について説明したが、このとき同時に駆動回路も形成される。図13には駆動回路を形成する基本単位となるCMOS回路が図示されている。

【0244】

図13においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有するTFTをCMOS回路のnチャネル型TFT8204として用いる。なお、ここでの駆動回路としては、ソース信号線駆動回路、ゲート信号線駆動回路を指す。勿論、他の論理回路（レベルシフタ、A/Dコンバータ、信号分割回路等）を形成することも可能である。

【0245】

CMOS回路のnチャネル型TFT8204の活性層は、ソース領域835、ドレイン領域836、LDD領域837及びチャネル形成領域838を含み、LDD領域837はゲート絶縁膜818を介してゲート電極839と重なっている。

【0246】

ドレイン領域836側のみにLDD領域837を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT8204はオフ電流をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、オフセットはなくした方がよい。

【0247】

また、CMOS回路のpチャネル型TFT8205は、ホットキャリア注入による劣化が

殆ど気にならないので、特にＬＤＤ領域を設けなくても良い。従って活性層はソース領域８４０、ドレイン領域８４１及びチャネル形成領域８４２を含み、その上にはゲート絶縁膜８１８とゲート電極８４３が設けられる。勿論、ｎチャネル型ＴＦＴ８２０４と同様にＬＤＤ領域を設け、ホットキャリア対策を講じることも可能である。

【０２４８】

なお８６１～８６５はチャネル形成領域８４２、８３８、８１７ａ、８１７ｂ、８２９を形成するためのマスクである。

【０２４９】

また、ｎチャネル型ＴＦＴ８２０４及びｐチャネル型ＴＦＴ８２０５はそれぞれソース領域上に第１層間絶縁膜８２０を間に介して、ソース信号線８４４、８４５を有している。また、ドレイン配線８４６によってｎチャネル型ＴＦＴ８２０４とｐチャネル型ＴＦＴ８２０５のドレイン領域は互いに電氣的に接続される。

【０２５０】

次に、８４７は第１パッシベーション膜であり、膜厚は１０ｎｍ～１μｍ（好ましくは２００～５００ｎｍ）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。このパッシベーション膜８４７は形成されたＴＦＴをアルカリ金属や水分から保護する役割金属を有する。最終的にＴＦＴ（特にＥＬ駆動用ＴＦＴ）の上方に設けられるＥＬ層にはナトリウム等のアルカリ金属が含まれている。即ち、第１パッシベーション膜８４７はこれらのアルカリ金属（可動イオン）をＴＦＴ側に侵入させない保護層としても働く。

【０２５１】

また、８４８は第２層間絶縁膜であり、ＴＦＴによってできる段差の平坦化を行う平坦化膜としての機能を有する。第２層間絶縁膜８４８としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、ＢＣＢ（ベンゾシクロブテン）等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。ＥＬ層は凹凸に非常に敏感であるため、ＴＦＴによる段差は第２層間絶縁膜８４８で殆ど吸収してしまうことが望ましい。また、ゲート信号線やソース信号線とＥＬ素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は０．５～５μｍ（好ましくは１．５～２．５μｍ）が好ましい。

【０２５２】

また、８４９は透明導電膜でなる画素電極（ＥＬ素子の陽極）であり、第２層間絶縁膜８４８及び第１パッシベーション膜８４７にコンタクトホール（開孔）を開けた後、形成された開孔部において第１のＥＬ駆動用ＴＦＴ８２０２のドレイン配線８３２に接続されるように形成される。なお、図１３のように画素電極８４９とドレイン領域８２７とが直接接続されないようにしておくと、ＥＬ層のアルカリ金属が画素電極を経由して活性層へ侵入することを防ぐことができる。

【０２５３】

画素電極８４９の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第３層間絶縁膜８５０が０．３～１μｍの厚さに設けられる。この第３層間絶縁膜８５０はバンクとして機能する。画素電極８４９の上にエッチングにより開口部が設けられ、その開口部の縁はテーパ形状となるようにエッチングする。テーパの角度は１０～６０°（好ましくは３０～５０°）とすると良い。特に第３層間絶縁膜８５０を、画素電極８４９と第１のＥＬ駆動用ＴＦＴ８２０２及び第２のＥＬ駆動用ＴＦＴのドレイン配線８３２とが接続されている部分の上に設けることで、コンタクトホールの部分において生じる画素電極８４９の段差によるＥＬ層８５１の発光不良を防ぐことができる。

【０２５４】

第３層間絶縁膜８５０の上にはＥＬ層８５１が設けられる。ＥＬ層８５１は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率は良い。一般的には画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層の順に形成されるが、正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層のような

10

20

30

40

50

構造でも良い。本発明では公知のいずれの構造を用いても良いし、E L 層に対して蛍光性色素等をドーピングしても良い。

【0255】

図13の構造はRGBに対応した三種類のEL素子を形成する方式を用いた場合の例である。なお、図13には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。本発明は発光方式に関わらず実施することが可能である。

【0256】

E L 層851の上にはEL素子の陰極852が設けられる。陰極852としては、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag=10:1で混合した材料)でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

10

【0257】

陰極852はEL層851を形成した後、大気解放しないで連続的に形成することが望ましい。陰極852とEL層851との界面状態はEL素子の発光効率に大きく影響するからである。なお、本明細書中では、画素電極(陽極)、EL層及び陰極で形成される発光素子をEL素子8206と呼ぶ。

【0258】

E L 層851と陰極852とでなる積層体は、各画素で個別に形成する必要があるが、E L 層851は水分に極めて弱いため、通常のリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマCVD法等の気相法で選択的に形成することが好ましい。

20

【0259】

なお、EL層を選択的に形成する方法として、インクジェット法、スクリーン印刷法又はスピンコート法等を用いることも可能であるが、これらは現状では陰極の連続形成ができないので、上述の方法の方が好ましいと言える。

【0260】

また、853は保護電極であり、陰極852を外部の水分等から保護すると同時に、各画素の陰極852を接続するための電極である。保護電極853としては、アルミニウム(Al)、銅(Cu)若しくは銀(Ag)を含む低抵抗な材料を用いることが好ましい。この保護電極853にはEL層の発熱を緩和する放熱効果も期待できる。また、上記EL層851、陰極852を形成した後、大気解放しないで連続的に保護電極853まで形成することも有効である。

30

【0261】

また、854は第2パッシベーション膜であり、膜厚は10nm~1μm(好ましくは200~500nm)とすれば良い。第2パッシベーション膜854を設ける目的は、EL層851を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにEL層は熱に弱いので、なるべく低温(好ましくは室温から120までの温度範囲)で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法(スピンコーティング法)が望ましい成膜方法と言える。

40

【0262】

なお、図13に図示されたTFEは全て、本発明で用いるポリシリコン膜を活性層として有していても良いことは言うまでもない。

【0263】

本発明は、図13のELディスプレイの構造に限定されるものではなく、図13の構造は本発明を実施する上での好ましい形態の一つに過ぎない。

【0264】

なお本実施例は、実施例1~5と組み合わせて実施することが可能である。

50

【 0 2 6 5 】

(実施例 8)

本実施例では、E L 素子が形成された基板を、E L 素子が大気に触れないように封止して、本発明のE L ディスプレイを作製する工程について説明する。なお、図 1 4 (A) は本発明のE L ディスプレイの上面図であり、図 1 4 (B) はその断面図である。

【 0 2 6 6 】

図 1 4 (A)、(B)において、4 0 0 1 は基板、4 0 0 2 は画素部、4 0 0 3 はソース信号線駆動回路、4 0 0 4 a は書き込み用ゲート信号線駆動回路、4 0 0 4 b は消去用ゲート信号線駆動回路であり、それぞれの駆動回路は配線 4 0 0 5 を経てF P C (フレキシブルプリントサーキット) 4 0 0 6 に至り、外部機器へと接続される。

10

【 0 2 6 7 】

このとき、画素部 4 0 0 2、ソース信号線駆動回路 4 0 0 3、書き込み用ゲート信号線駆動回路 4 0 0 4 a 及び消去用ゲート信号線駆動回路 4 0 0 4 b を囲むようにして第 1 シール材 4 1 0 1、カバー材 4 1 0 2、充填材 4 1 0 3 及び第 2 シール材 4 1 0 4 が設けられている。

【 0 2 6 8 】

図 1 4 (B) は図 1 4 (A) を A - A ' で切断した断面図に相当し、基板 4 0 0 1 の上にソース信号線駆動回路 4 0 0 3 に含まれる駆動 T F T (但し、ここでは n チャンネル型 T F T と p チャンネル型 T F T を図示している。) 4 2 0 1 及び画素部 4 0 0 2 に含まれる E L 駆動用 T F T (E L 素子を流れる電流を制御する T F T) 4 2 0 2 が形成されている。

20

【 0 2 6 9 】

本実施例では、駆動 T F T 4 2 0 1 には公知の方法で作製された p チャンネル型 T F T または n チャンネル型 T F T が用いられ、E L 駆動用 T F T 4 2 0 2 には公知の方法で作製された p チャンネル型 T F T が用いられる。また、画素部 4 0 0 2 には E L 駆動用 T F T 4 2 0 2 のゲートに接続されたコンデンサ (図示せず) が設けられる。

【 0 2 7 0 】

駆動 T F T 4 2 0 1 及び画素 T F T 4 2 0 2 の上には樹脂材料でなる層間絶縁膜 (平坦化膜) 4 3 0 1 が形成され、その上に画素 T F T 4 2 0 2 のドレインと電氣的に接続する画素電極 (陽極) 4 3 0 2 が形成される。画素電極 4 3 0 2 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

30

【 0 2 7 1 】

そして、画素電極 4 3 0 2 の上には絶縁膜 4 3 0 3 が形成され、絶縁膜 4 3 0 3 は画素電極 4 3 0 2 の上に開口部が形成されている。この開口部において、画素電極 4 3 0 2 の上には E L 層 4 3 0 4 が形成される。E L 層 4 3 0 4 は公知の有機 E L 材料または無機 E L 材料を用いることができる。また、有機 E L 材料には低分子系 (モノマー系) 材料と高分子系 (ポリマー系) 材料があるがどちらを用いても良い。

【 0 2 7 2 】

E L 層 4 3 0 4 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、E L 層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

40

【 0 2 7 3 】

E L 層 4 3 0 4 の上には遮光性を有する導電膜 (代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜) からなる陰極 4 3 0 5 が形成される。また、陰極 4 3 0 5 と E L 層 4 3 0 4 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、E L 層 4 3 0 4 を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極 4 3 0 5 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式 (クラスターツール方式) の成膜装置を用いることで上述のような成膜を可能とする。

50

【0274】

そして陰極4305は4306で示される領域において配線4005に電氣的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC4006に電氣的に接続される。

【0275】

以上のようにして、画素電極（陽極）4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第1シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0276】

カバー材4102としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiber glass - Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0277】

但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0278】

また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4103の内部に吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質を設けておくとEL素子の劣化を抑制できる。

【0279】

また、充填材4103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極4305上に樹脂膜を設けることも有効である。

【0280】

また、配線4005は異方導電性フィルム4307を介してFPC4006に電氣的に接続される。配線4005は画素部4002、ソース信号線駆動回路4003、書き込み用ゲート信号線駆動回路4004a及び消去用ゲート信号線駆動回路4004bに送られる信号をFPC4006に伝え、FPC4006により外部機器と電氣的に接続される。

【0281】

また、本実施例では第1シール材4101の露呈部及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図14（B）の断面構造を有するELディスプレイとなる。

【0282】

なお本実施例は、実施例1～7と組み合わせて実施することが可能である。

【0283】

（実施例9）

本実施例では、図3とは異なる構造を有する画素の回路図について、図15（A）、（B）を用いて説明する。なお、本実施例において、4801はソース信号線、4802はスイッチング用TF T、4803は書き込み用ゲート信号線、4804はEL駆動用TF T、4805はコンデンサ、4806は電源供給線、4807は消去用TF T、4808は消去用ゲート信号線、4809はEL素子である。

【0284】

図 15 (A) は、二つの画素間で電源供給線 4806 を共通とした場合の例である。即ち、二つの画素が電源供給線 4806 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0285】

また、図 15 (B) は、書き込み用ゲート信号線 4803 と平行に電源供給線 4806 を設け、ソース信号線 4801 と平行に消去用ゲート信号線 4808 を設けた場合の例である。

【0286】

電源供給線 4806 と書き込み用ゲート信号線 4803 とが異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 4806 と書き込み用ゲート信号線 4803 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

10

【0287】

またさらに、電源供給線 4806 と消去用ゲート信号線 4808 とが異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 4806 と消去用ゲート信号線 4808 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0288】

前記複数の第 1 のゲート信号線と、前記複数の第 2 のゲート信号線が、絶縁膜を間に挟んで重なっていても良い。

20

【0289】

前記複数の第 1 のゲート信号線と、前記複数の電源供給線が、間に絶縁膜を挟んで重なっていても良い。

【0290】

なお、本実施例の構成は、実施例 1 ~ 8 の構成と組み合わせて実施することが可能である。

【0291】

(実施例 10)

本実施例では、図 9 で示したソース信号線駆動回路 102 の詳しい構成について説明する。

30

【0292】

シフトレジスタ 801、ラッチ (A) (802)、ラッチ (B) (803)、が図 16 に示すように配置されている。なお本実施例では、1 組のラッチ (A) (802) と 1 組のラッチ (B) (803) が、4 本のソース信号線 $S_t \sim S(t+3)$ に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

【0293】

クロック信号 CLK、CLK の極性が反転したクロック信号 CLKB、スタートパルス信号 SP、駆動方向切り替え信号 SL/R はそれぞれ図に示した配線からシフトレジスタ 801 に入力される。また外部から入力されるデジタルビデオ信号 VD は図に示した配線からラッチ (A) (802) に入力される。ラッチ信号 S_LAT 、 S_LAT の極性が反転した信号 S_LATb はそれぞれ図に示した配線からラッチ (B) (803) に入力される。

40

【0294】

ラッチ (A) (802) の詳しい構成について、ソース信号線 S_t に対応するラッチ (A) (802) の一部 804 を例にとって説明する。ラッチ (A) (802) の一部 804 は 2 つのクロックドインバーターと 2 つのインバーターを有している。

【0295】

ラッチ (A) (802) の一部 804 の上面図を図 17 に示す。831a、831b はそ

50

れぞれ、ラッチ(A)(802)の一部804が有するインバーターの1つを形成するTFTの活性層であり、836は該インバーターの1つを形成するTFTの共通のゲート電極である。また832a、832bはそれぞれ、ラッチ(A)(802)の一部804が有するもう1つのインバーターを形成するTFTの活性層であり、837a、837bは活性層832a、832b上にそれぞれ設けられたゲート電極である。なおゲート電極837a、837bは電氣的に接続されている。

【0296】

833a、833bはそれぞれ、ラッチ(A)(802)の一部804が有するクロックドインバーターの1つを形成するTFTの活性層である。活性層833a上にはゲート電極838a、838bが設けられており、ダブルゲート構造となっている。また活性層833b上にはゲート電極838b、839が設けられており、ダブルゲート構造となっている。

10

【0297】

834a、834bはそれぞれ、ラッチ(A)(802)の一部804が有するもう1つのクロックドインバーターを形成するTFTの活性層である。活性層834a上にはゲート電極839、840が設けられており、ダブルゲート構造となっている。また活性層834b上にはゲート電極840、841が設けられており、ダブルゲート構造となっている。

【0298】

(実施例11)

本発明のELディスプレイにおいて、EL素子が有するEL層に用いられる材料は、有機EL材料に限定されず、無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有するTFTを用いなければならない。

20

【0299】

または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用することは可能である。

【0300】

また、本実施例の構成は、実施例1～10と組み合わせて実施することが可能である。

【0301】

(実施例12)

本発明において、EL層として用いる有機物質は低分子系有機物質であってもポリマー系(高分子系)有機物質であっても良い。低分子系有機物質はAlq₃(トリス-8-キノリライト-アルミニウム)、TPD(トリフェニルアミン誘導体)等を中心とした材料が知られている。ポリマー系有機物質として、共役ポリマー系の物質が挙げられる。代表的には、PPV(ポリフェニレンビニレン)、PVK(ポリビニルカルバゾール)、ポリカーボネート等が挙げられる。

30

【0302】

ポリマー系(高分子系)有機物質は、スピンコーティング法(溶液塗布法ともいう)、ディッピング法、ディスペンス法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

40

【0303】

また本発明のELディスプレイが有するEL素子において、そのEL素子が有するEL層が、電子輸送層と正孔輸送層とを有している場合、電子輸送層と正孔輸送層とを無機材料、例えば非晶質のSiまたは非晶質のSi_{1-x}C_x等の非晶質半導体で構成しても良い。

【0304】

非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界面において多量の界面準位を形成する。そのため、EL素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

【0305】

50

また有機EL層にドーパント（不純物）を添加し、有機EL層の発光の色を変化させても良い。ドーパントとして、DCM1、ナイルレッド、ルブレン、クマリン6、TPB、キナクリドン等が挙げられる。

【0306】

なお本実施例は、実施例1～11と組み合わせて実施することが可能である。

【0307】

（実施例13）

本実施例では、本発明のELディスプレイの駆動方法を用いた場合、どのような電圧電流特性を有する領域でEL駆動用TFT（第1のEL駆動用TFT及び第2のEL駆動用TFT）を駆動させるのが好ましいか、図18～20を用いて説明する。

10

【0308】

EL素子は、印加される電圧が少しでも変化すると、それに対してEL素子を流れる電流が指数関数的に大きく変化する。別の見方をすると、EL素子を流れる電流の大きさが変化しても、EL素子に印加される電圧値はあまり変化しない。そして、EL素子の輝度は、EL素子に流れる電流にほぼ正比例して大きくなる。よって、EL素子に印加される電圧の大きさ（電圧値）を制御することによりEL素子の輝度を制御するよりも、EL素子を流れる電流の大きさ（電流量）を制御することによりEL素子の輝度を制御する方が、TFTの特性に左右されずらく、EL素子の輝度の制御が容易である。

【0309】

図18を参照する。図18(A)は、図3に示した本発明のELディスプレイの画素において、EL駆動用TFT108およびEL素子110の構成部分のみを図示したものである。なお、図18では説明を簡略にするため図示していないが、EL駆動用TFT108は第1のEL駆動用TFTと第2のEL駆動用TFTが並列に接続されたものである。

20

【0310】

図18(B)には、図18(A)で示したEL駆動用TFT108およびEL素子110の電圧電流特性を示す。なお図18で示すEL駆動用TFT108の電圧電流特性のグラフは、ソース領域とドレイン領域の間の電圧である V_{DS} に対する、EL駆動用TFT108のドレイン領域に流れる電流の大きさを示しており、図18にはEL駆動用TFT108のソース領域とゲート電極の間の電圧である V_{GS} の値の異なる複数のグラフを示している。

30

【0311】

図18(A)に示したように、EL素子110の画素電極と対向電極111の間にかかる電圧を V_{EL} 、電源供給線に接続される端子3601とEL素子110の対向電極111の間にかかる電圧を V_T とする。なお V_T は電源供給線の電位によってその値が固定される。またEL駆動用TFT108のソース領域・ドレイン領域間の電圧を V_{DS} 、EL駆動用TFT108のゲート電極に接続される配線3602とソース領域との間の電圧、つまりEL駆動用TFT108のゲート電極とソース領域の間の電圧を V_{GS} とする。

【0312】

EL駆動用TFT108はnチャネル型TFTでもpチャネル型TFTでもどちらでも良い。ただし、第1のEL駆動用TFTと第2のEL駆動用TFTは、同じ極性を有している必要がある。

40

【0313】

また、EL駆動用TFT108とEL素子110とは直列に接続されている。よって、両素子（EL駆動用TFT108とEL素子110）を流れる電流量は同じである。従って、図18(A)に示したEL駆動用TFT108とEL素子110とは、両素子の電圧電流特性を示すグラフの交点（動作点）において駆動する。図18(B)において、 V_{EL} は、対向電極111の電位と動作点での電位との間の電圧になる。 V_{DS} は、EL駆動用TFT108の端子3601での電位と動作点での電位との間の電圧になる。つまり、 V_T は、 V_{EL} と V_{DS} の和に等しい。

【0314】

50

ここで、 V_{GS} を変化させた場合について考える。図18(B)から分かるように、EL駆動用TFT108の $|V_{GS} - V_{TH}|$ が大きくなるにつれて、言い換えると $|V_{GS}|$ が大きくなるにつれて、EL駆動用TFT108に流れる電流量が大きくなる。なお、 V_{TH} はEL駆動用TFT108のしきい値電圧である。よって図18(B)から分かるように、 $|V_{GS}|$ が大きくなると、動作点においてEL素子110を流れる電流量も当然大きくなる。EL素子110の輝度は、EL素子110を流れる電流量に比例して高くなる。

【0315】

$|V_{GS}|$ が大きくなることによってEL素子110を流れる電流量が大きくなると、電流量に応じて V_{EL} の値も大きくなる。そして V_T の大きさは電源供給線の電位によって定まっているので、 V_{EL} が大きくなると、その分 V_{DS} が小さくなる。

10

【0316】

また図18(B)に示したように、EL駆動用TFTの電圧電流特性は、 V_{GS} と V_{DS} の値によって2つの領域に分けられる。 $|V_{GS} - V_{TH}| < |V_{DS}|$ である領域が飽和領域、 $|V_{GS} - V_{TH}| > |V_{DS}|$ である領域が線形領域である。

【0317】

飽和領域においては以下の式1が成り立つ。なお I_{DS} はEL駆動用TFT108のチャネル形成領域を流れる電流量である。また $I_{DS} = \mu C_0 W / L$ であり、 μ はEL駆動用TFT108の移動度、 C_0 は単位面積あたりのゲート容量、 W / L はチャネル形成領域のチャネル幅 W とチャネル長 L の比である。

【0318】

20

【式1】

$$I_{DS} = (V_{GS} - V_{TH})^2 / 2$$

【0319】

また線形領域においては以下の式2が成り立つ。

【0320】

【式2】

$$I_{DS} = \{ (V_{GS} - V_{TH}) V_{DS} - V_{DS}^2 / 2 \}$$

【0321】

式1からわかるように、飽和領域において電流量は V_{DS} によってほとんど変化せず、 V_{GS} のみによって電流量が定まる。

30

【0322】

一方、式2からわかるように、線形領域は、 V_{DS} と V_{GS} とにより電流量が定まる。 $|V_{GS}|$ を大きくしていくと、EL駆動用TFT108は線形領域で動作するようになる。そして、 V_{EL} も徐々に大きくなっていく。よって、 V_{EL} が大きくなった分だけ、 V_{DS} が小さくなっていく。線形領域では、 V_{DS} が小さくなると電流量も小さくなる。そのため、 $|V_{GS}|$ を大きくしていても、電流量は増加しにくくなってくる。 $|V_{GS}| =$ になった時、電流量 $= I_{MAX}$ となる。つまり、 $|V_{GS}|$ をいくら大きくしても、 I_{MAX} 以上の電流は流れない。ここで、 I_{MAX} は、 $V_{EL} = V_T$ の時に、EL素子110を流れる電流量である。

【0323】

このように $|V_{GS}|$ の大きさを制御することによって、動作点を飽和領域にしたり、線形領域にしたりすることができる。

40

【0324】

ところで、全てのEL駆動用TFTの特性は理想的には全て同じであることが望ましいが、実際には個々のEL駆動用TFTでしきい値 V_{TH} と移動度 μ とが異なっていることが多い。そして個々のEL駆動用TFTのしきい値 V_{TH} と移動度 μ とが互いに異なると、式1及び式2からわかるように、 V_{GS} の値が同じでもEL駆動用TFT108のチャネル形成領域を流れる電流量が異なってしまう。

【0325】

図19にしきい値 V_{TH} と移動度 μ とがずれたEL駆動用TFTの電流電圧特性を示す。実線3701が理想の電流電圧特性のグラフであり、3702、3703がそれぞれしきい

50

値 V_{TH} と移動度 μ とが理想とする値と異なってしまった場合の EL 駆動用 TFT の電流電圧特性である。電流電圧特性のグラフ 3702、3703 は飽和領域においては同じ電流量 I_1 だけ、理想の特性を有する電流電圧特性のグラフ 3701 からずれていて、電流電圧特性のグラフ 3702 の動作点 3705 は飽和領域にあり、電流電圧特性のグラフ 3703 の動作点 3706 は線形領域にあったとする。その場合、理想の特性を有する電流電圧特性のグラフ 3701 の動作点 3704 における電流量と、動作点 3705 及び動作点 3706 における電流量のずれをそれぞれ I_2 、 I_3 とすると、飽和領域における動作点 3705 よりも線形領域における動作点 3706 の方が小さい。

【0326】

よって本発明で示したデジタル方式の駆動方法を用いる場合、動作点が線形領域に存在するように EL 駆動用 TFT と EL 素子を駆動させることで、EL 駆動用 TFT の特性のずれによる EL 素子の輝度むらを抑えた階調表示を行うことができる。

10

【0327】

また従来のアナログ駆動の場合は、 $|V_{GS}|$ のみによって電流量を制御することが可能な飽和領域に動作点が存在するように EL 駆動用 TFT と EL 素子を駆動させる方が好ましい。

【0328】

以上の動作分析のまとめとして、EL 駆動用 TFT のゲート電圧 $|V_{GS}|$ に対する電流量のグラフを図 20 に示す。 $|V_{GS}|$ を大きくしていき、EL 駆動用 TFT のしきい値電圧の絶対値 $|V_{TH}|$ よりも大きくなると、EL 駆動用 TFT が導通状態となり、電流が流れ始める。本明細書ではこの時の $|V_{GS}|$ を点灯開始電圧と呼ぶことにする。そして、さらに $|V_{GS}|$ を大きくしていくと、 $|V_{GS}|$ が $|V_{GS} - V_{TH}| = |V_{DS}|$ を満たすような値（ここでは仮に A とする）となり、飽和領域 3801 から線形領域 3802 になる。さらに $|V_{GS}|$ を大きくしていくと、電流量が大きくなり、遂には、電流量が飽和してくる。その時 $|V_{GS}| =$ となる。

20

【0329】

図 20 から分かる通り、 $|V_{GS}| < |V_{TH}|$ の領域では、電流がほとんど流れない。 $|V_{TH}| < |V_{GS}| < A$ の領域は飽和領域であり、 $|V_{GS}|$ によって電流量が変化する。そして、 $A < |V_{GS}|$ の領域は線形領域であり、EL 素子に流れる電流量は $|V_{GS}|$ 及び $|V_{DS}|$ によって電流量が変化する。

30

【0330】

本発明のデジタル駆動では、 $|V_{GS}| < |V_{TH}|$ の領域及び $A < |V_{GS}|$ の線形領域を用いることが好ましい。

【0331】

なお本実施例は、実施例 1 ~ 12 と組み合わせて実施することが可能である。

【0332】

（実施例 14）

本実施例では、本発明の EL ディスプレイと電源との接続構成が図 14（A）とは異なる例について説明する。

【0333】

40

図 21 に本発明の EL ディスプレイの上面図を示す。図 21 において、5002 は画素部、5003 はソース信号線駆動回路、5004a は書き込み用ゲート信号線駆動回路、5004b は消去用ゲート信号線駆動回路であり、それぞれの駆動回路は配線 5005 を経て FPC（フレキシブルプリントサーキット）5006 に至り、外部機器へと接続される。

【0334】

このとき、画素部 5002、ソース信号線駆動回路 5003、書き込み用ゲート信号線駆動回路 5004a 及び消去用ゲート信号線駆動回路 5004b を囲むようにして第 1 シール材 5101、カバー材 5102、充填材（図示せず）及び第 2 シール材 5104 が設けられている。

50

【0335】

そして画素部5002が有する電源供給線（図示せず）は、画素電極配線5201に接続されて外部機器へと接続される。また画素部5002が有する全てのEL素子の対向電極（図示せず）は、対向電極配線5202に接続されて外部機器へと接続される。

【0336】

画素電極配線5201と対向電極配線5202は、導電性を有する材料であれば、公知の材料を用いることが可能である。本実施例では銅を用いた。

【0337】

画素電極配線5201と対向電極配線5202の線幅は、FPC5006のピン幅に比べて、ある程度自由に設定することが可能である。よって、画素電極配線5201と対向電極配線5202は、FPC5006に比べて配線抵抗を抑えることが可能であり、上記構成によって、EL素子の対向電極または電源供給線と、外部機器との間の配線抵抗を抑えることができる。

10

【0338】

そしてFPC5006のピン数を削減することができ、ELディスプレイ自体の機械的強度が増す。

【0339】

なお本実施例は、実施例1～13と組み合わせて実施することが可能である。

【0340】

（実施例15）

20

本実施例では、本発明を実施する上で有効な画素部の駆動方法について、図22を用いて説明する。

【0341】

図22（A）に示した本実施例のELディスプレイは、画素部が2つに分割されており、画素部A6501と画素部B6502とを有している。そしてソース信号線駆動回路A6503、書き込み用ゲート信号線駆動回路A6504及び消去用ゲート信号線駆動回路A6505が駆動することによって、画素部A6501に画像の半が表示される。またソース信号線駆動回路B6506、書き込み用ゲート信号線駆動回路B6507及び消去用ゲート信号線駆動回路B6508が駆動することによって、画素部B6502に画像の半が表示される。

30

【0342】

そして画素部A6501に表示された半分の画像と、画素部B6502に表示された半分の画像とを合わせて、1つの画像が形成される。

【0343】

図22（B）に示したELディスプレイは、ソース信号線駆動回路A6513から奇数番目のソース信号線にデジタルビデオ信号が入力される。そしてソース信号線駆動回路B6514とによってから偶数番目のソース信号線にデジタルビデオ信号が入力される。

【0344】

また書き込み用ゲート信号線駆動回路6515は同時に2本の書き込み用ゲート信号線駆動回路を選択することで、奇数番目と偶数番目のソース信号線に同時に入力されたデジタルビデオ信号を画素に入力する。具体的には画素の有するスイッチング用TFTを介してEL駆動用TFTのゲート電極にデジタルビデオ信号を入力する。

40

【0345】

消去用ゲート信号線駆動回路A6516は同時に2本の消去用ゲート信号線駆動回路を選択することで、電源供給線の電源電位を画素に入力する。具体的には画素の有する消去用TFTを介してEL駆動用TFTのゲート電極に電源電位を与える。

【0346】

上記構成によって画素部6511に画像が形成される。

【0347】

なお本実施例は、実施例1～14と組み合わせて実施することが可能である。

50

【 0 3 4 8 】

(実施例 1 6)

本発明において、三重項励起子からの燐光を発光に利用できる E L 材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、E L 素子の低消費電力化、長寿命化、および軽量化が可能になる。

【 0 3 4 9 】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

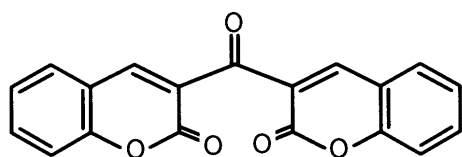
(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【 0 3 5 0 】

上記の論文により報告された E L 材料 (クマリン色素) の分子式を以下に示す。

【 0 3 5 1 】

【 化 1 】



10

20

【 0 3 5 2 】

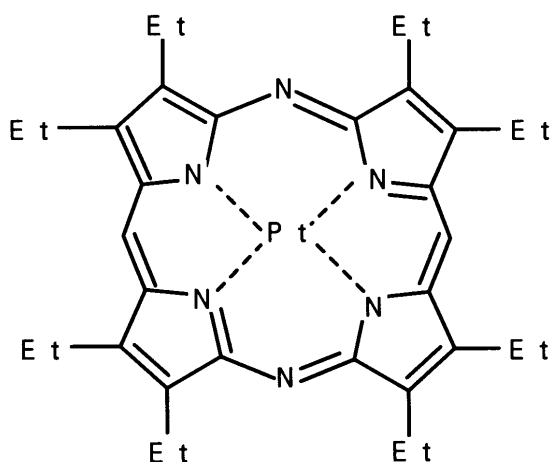
(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【 0 3 5 3 】

上記の論文により報告された E L 材料 (P t 錯体) の分子式を以下に示す。

【 0 3 5 4 】

【 化 2 】



30

40

【 0 3 5 5 】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

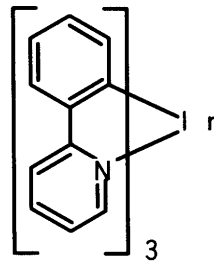
【 0 3 5 6 】

上記の論文により報告された E L 材料 (I r 錯体) の分子式を以下に示す。

【 0 3 5 7 】

【 化 3 】

50



10

【0358】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【0359】

なお本実施例は、実施例1～15と組み合わせて実施することが可能である。

【0360】

(実施例17)

本発明を実施して形成されたELディスプレイは、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器(発光装置)の表示部に用いることができる。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上(典型的には40インチ以上)のディスプレイの表示部として本発明のELディスプレイを用いるとよい。

20

【0361】

なお、ELディスプレイには、パソコン用ディスプレイ、TV放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電子機器の表示部として本発明のELディスプレイを用いることができる。

【0362】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはデジタルビデオディスク(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、ELディスプレイを用いることが望ましい。それら電子機器の具体例を図23、図24に示す。

30

【0363】

図23(A)はディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本発明のELディスプレイは表示部2003に用いることができる。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

40

【0364】

図23(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明のELディスプレイは表示部2102に用いることができる。

【0365】

図23(C)は頭部取り付け型の発光装置の一部(右片側)であり、本体2201、信号ケーブル2202、頭部固定バンド2203、スクリーン部2204、光学系2205、表示部2206等を含む。本発明のELディスプレイは表示部2206に用いることができる。

50

【0366】

図23(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2301、記録媒体(DVD等)2302、操作スイッチ2303、表示部(a)2304、表示部(b)2305等を含む。表示部(a)2304は主として画像情報を表示し、表示部(b)2305は主として文字情報を表示するが、本発明のELディスプレイはこれら表示部(a)、(b)2304、2305に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0367】

図23(E)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2401、表示部2402、アーム部2403を含む。本発明のELディスプレイは表示部2402に用いることができる。

10

【0368】

図23(F)はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504等を含む。本発明のELディスプレイは表示部2503に用いることができる。

【0369】

なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0370】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、ELディスプレイは動画表示に好ましい。

20

【0371】

また、ELディスプレイは発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0372】

ここで図24(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明のELディスプレイは表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

30

【0373】

また、図24(B)は音響再生装置、具体的にはカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明のELディスプレイは表示部2702に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部2702は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

40

【0374】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例は、実施例1~16と組み合わせて実施することが可能である。

【0375】

【発明の効果】

本発明は上記構成によって、TF Tによって $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS} - V_{GS}$ 特性のパラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

50

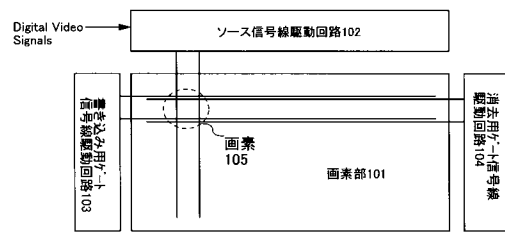
【 0 3 7 6 】

また、本発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、E Lディスプレイに全白の画像を表示させると、常にE L素子が発光することになり、E L層の劣化を早める原因となってしまう。本発明は非発光期間を設けることができるので、E L層の劣化をある程度抑えることができる。

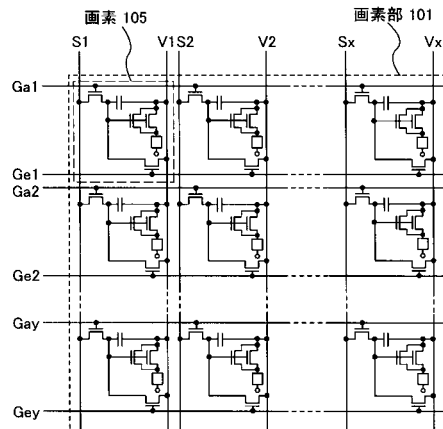
【図面の簡単な説明】

- 【図 1】 本発明のE Lディスプレイの回路構成を示すブロック図。
- 【図 2】 本発明のE Lディスプレイの画素部の回路図。
- 【図 3】 本発明のE Lディスプレイの画素の回路図。
- 【図 4】 本発明のE Lディスプレイの駆動方法を示す図。 10
- 【図 5】 本発明のE Lディスプレイの駆動方法を示す図。
- 【図 6】 本発明のE Lディスプレイの駆動方法を示す図。
- 【図 7】 本発明のE Lディスプレイの駆動方法を示す図。
- 【図 8】 本発明のE Lディスプレイの画素上面図。
- 【図 9】 本発明のE Lディスプレイの駆動回路の構成を示すブロック図。
- 【図 10】 本発明のE Lディスプレイの作製行程を示す図。
- 【図 11】 本発明のE Lディスプレイの作製行程を示す図。
- 【図 12】 本発明のE Lディスプレイの作製行程を示す図。
- 【図 13】 本発明のE Lディスプレイの断面詳細図。
- 【図 14】 本発明のE Lディスプレイの上面図及び断面図。 20
- 【図 15】 本発明のE Lディスプレイの画素回路図。
- 【図 16】 本発明のE Lディスプレイのソース信号線駆動回路の回路図。
- 【図 17】 本発明のE Lディスプレイのソース信号線駆動回路のラッチ上面図。
- 【図 18】 E L素子とE L駆動用T F Tの接続の構成を示す図と、E L素子とE L駆動用T F Tの電圧電流特性を示す図。
- 【図 19】 E L素子とE L駆動用T F Tの電圧電流特性を示す図。
- 【図 20】 E L駆動用T F Tのゲート電圧とドレイン電流の関係を示す図。
- 【図 21】 本発明のE Lディスプレイの上面図。
- 【図 22】 本発明のE Lディスプレイの回路構成を示すブロック図。
- 【図 23】 本発明のE Lディスプレイを用いた電子機器。 30
- 【図 24】 本発明のE Lディスプレイを用いた電子機器。
- 【図 25】 従来のE Lディスプレイの画素部の回路図。
- 【図 26】 従来のE Lディスプレイの駆動方法を示すタイミングチャート。
- 【図 27】 T F Tの $I_{DS} - V_{GS}$ 特性を示す図。

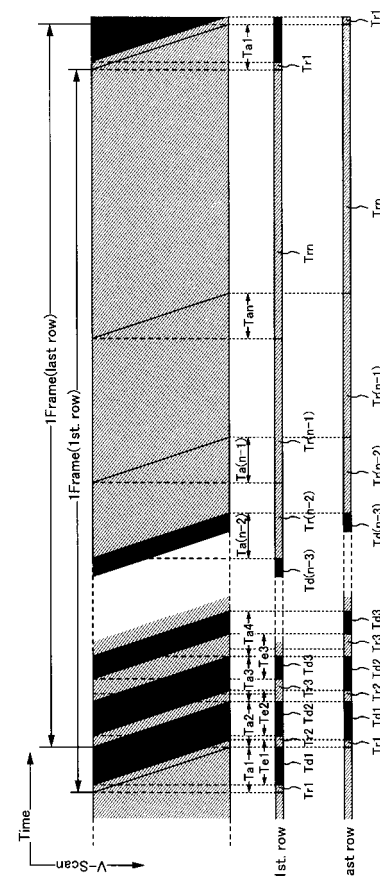
【図 1】



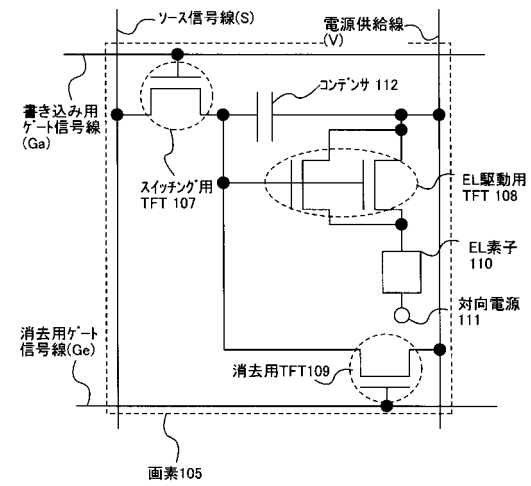
【図 2】



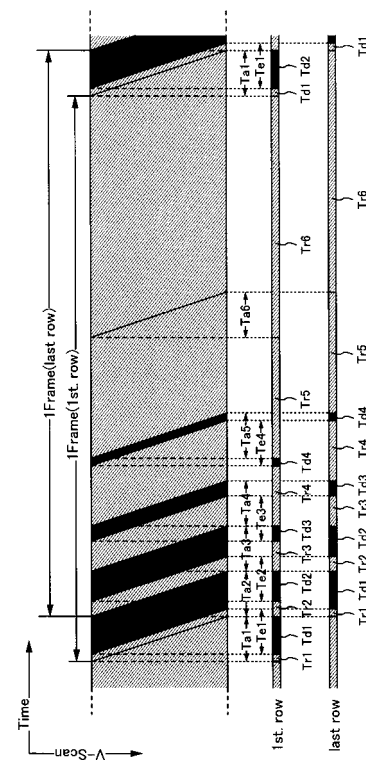
【図 4】



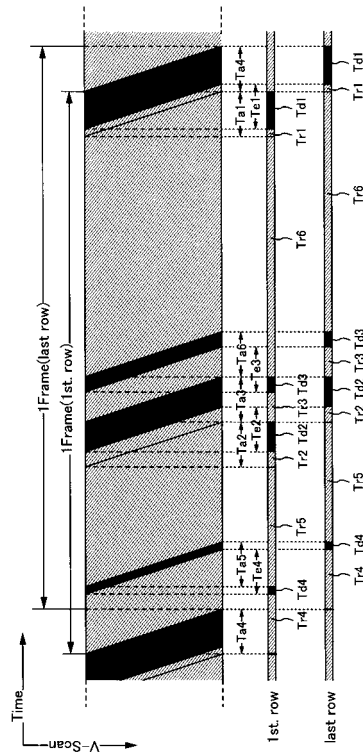
【図 3】



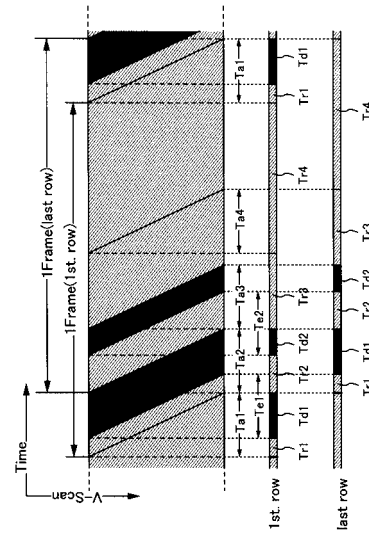
【図 5】



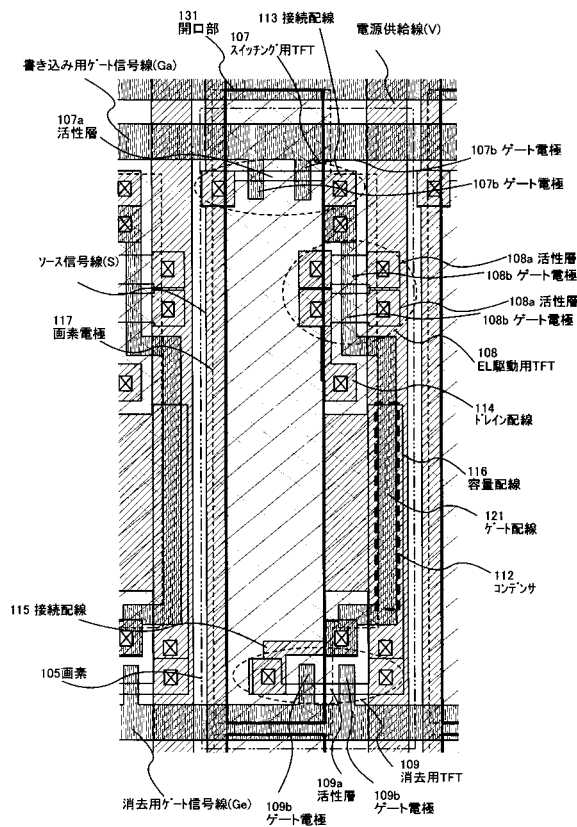
【図 6】



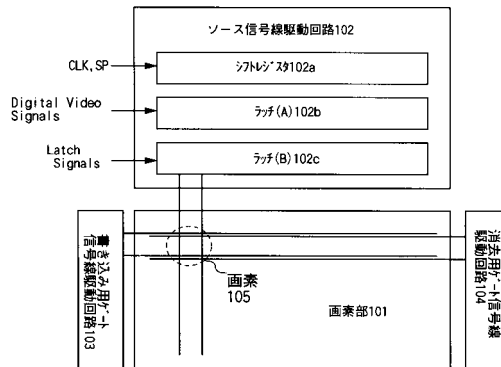
【図 7】



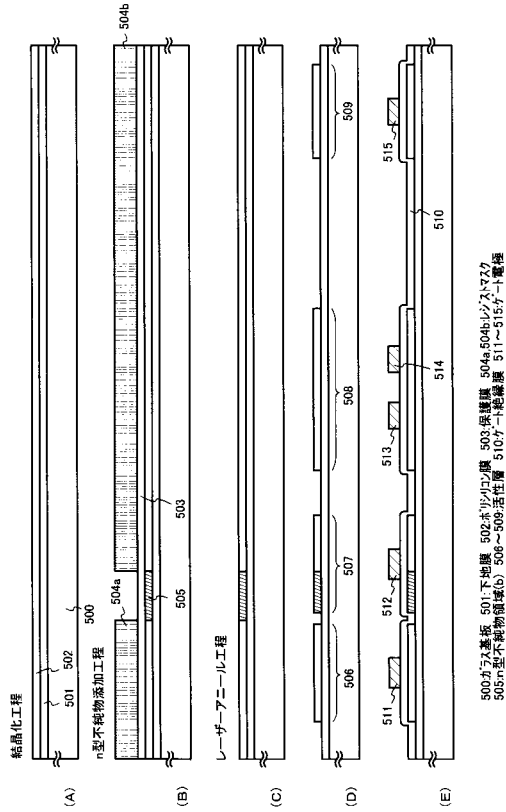
【図 8】



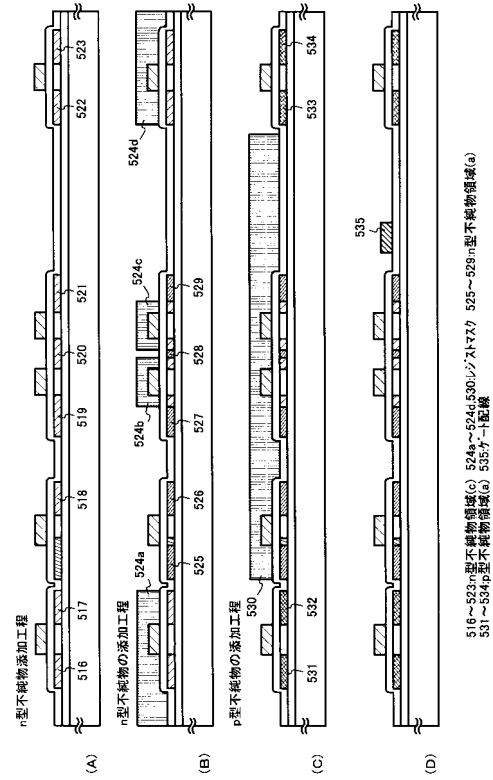
【図 9】



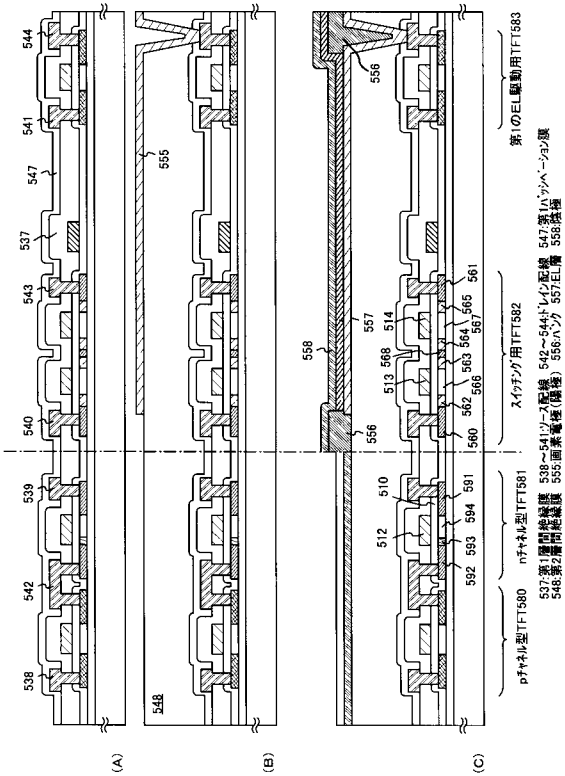
【図10】



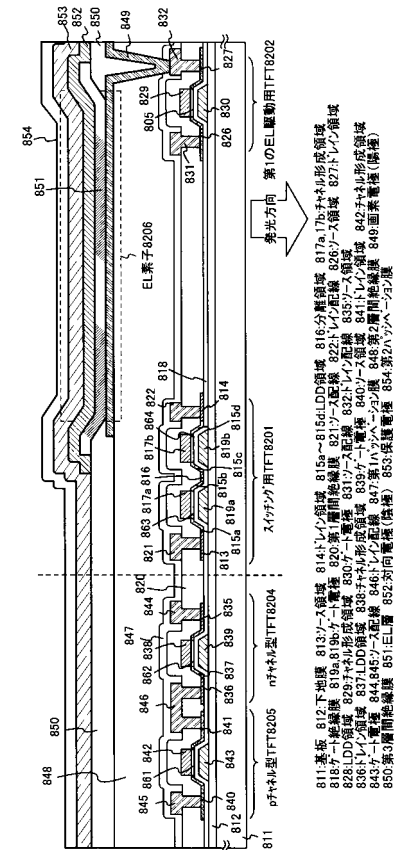
【図11】



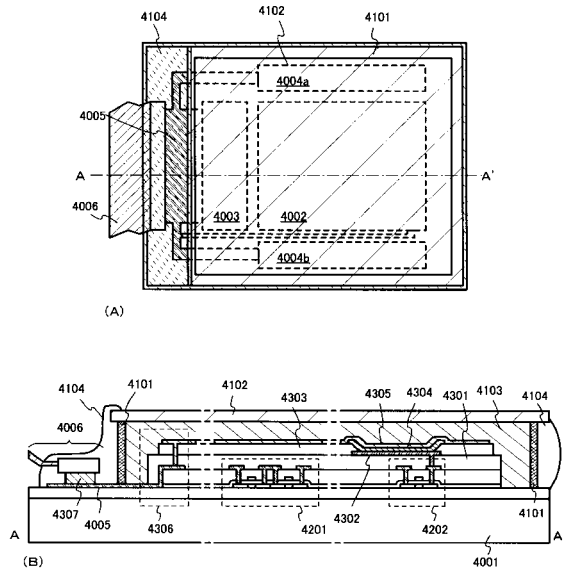
【図12】



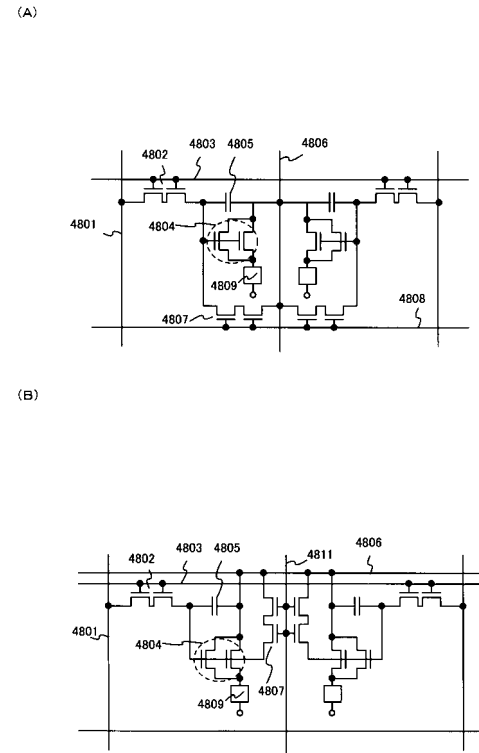
【図13】



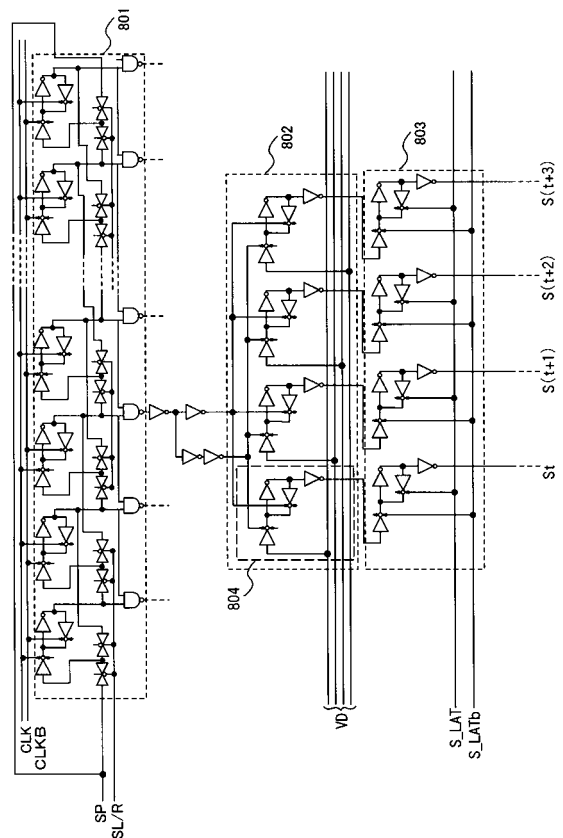
【図 14】



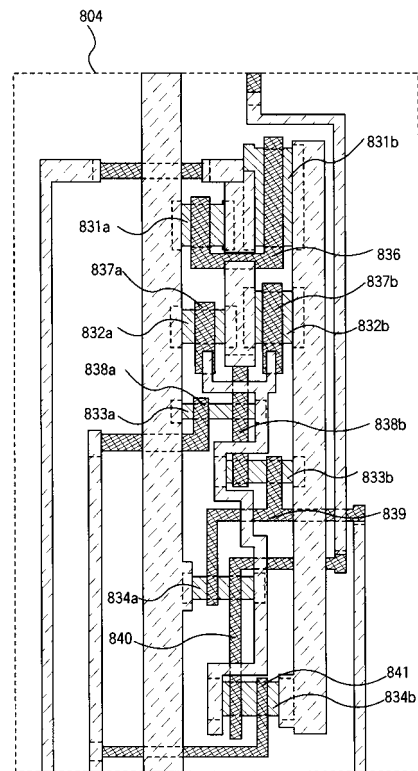
【図 15】



【図 16】

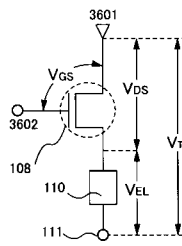


【図 17】

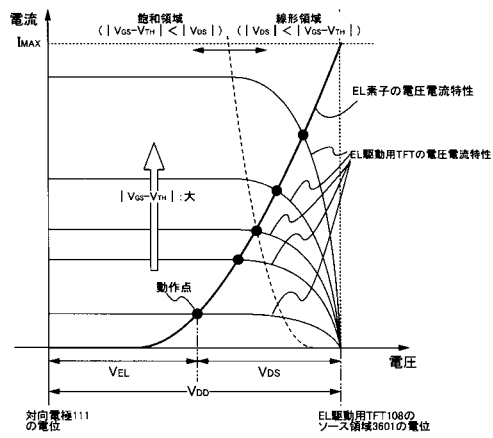


【図 18】

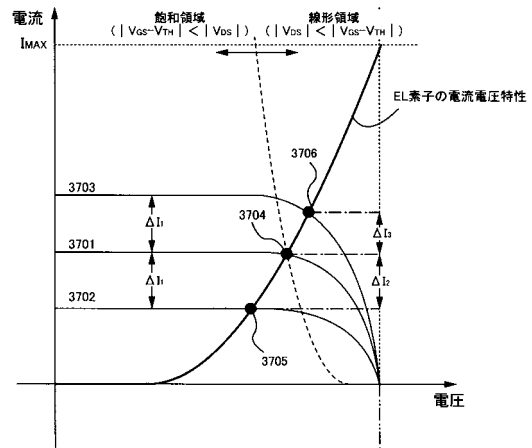
(A)



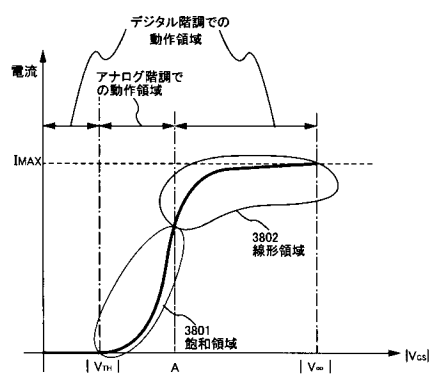
(B)



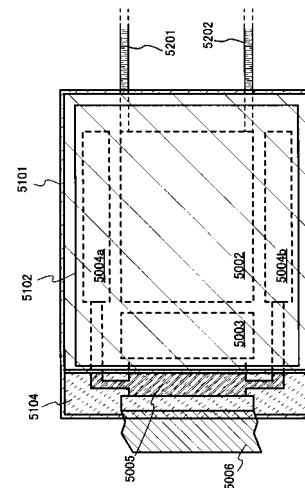
【図 19】



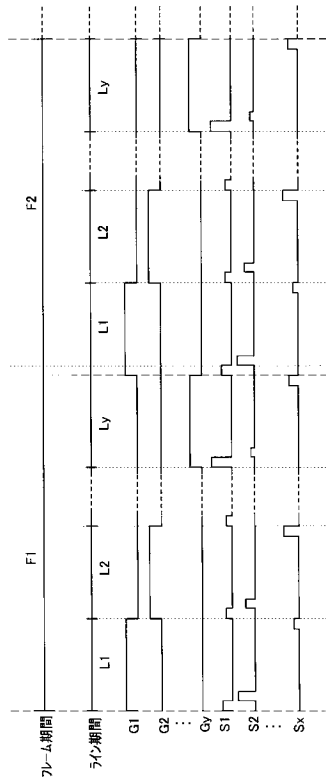
【図 20】



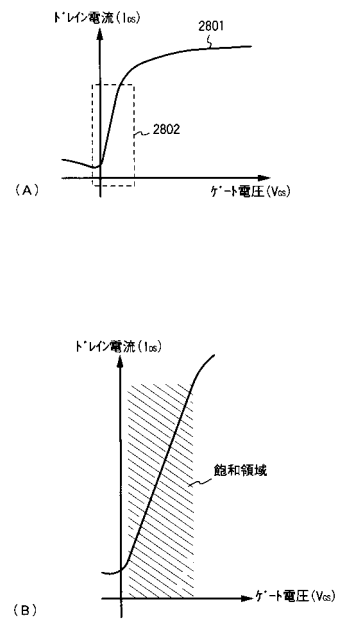
【図 21】



【図 26】



【図 27】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L 51/50 (2006.01)		G 0 9 G 3/20	6 4 1 A	
		G 0 9 G 3/20	6 4 1 F	
		G 0 9 G 3/20	6 4 2 A	
		G 0 9 G 3/20	6 7 0 K	
		G 0 9 G 3/20	6 8 0 P	
		G 0 9 G 3/20	6 8 0 S	
		G 0 9 G 3/20	6 8 0 V	
		H 0 5 B 33/08		
		H 0 5 B 33/12		B
		H 0 5 B 33/14		B

- (56)参考文献 特開平 1 1 - 2 8 2 4 1 9 (J P , A)
 特開平 1 0 - 3 1 9 9 0 8 (J P , A)
 特開平 0 4 - 0 7 0 8 2 0 (J P , A)
 特開平 0 6 - 0 4 5 3 5 4 (J P , A)
 特開平 1 0 - 2 1 4 0 6 0 (J P , A)
 特開平 1 0 - 3 1 2 1 7 3 (J P , A)
 特開平 1 0 - 3 3 3 6 4 1 (J P , A)
 国際公開第 9 8 / 0 4 8 4 0 3 (W O , A 1)
 特開 2 0 0 1 - 0 4 2 8 2 2 (J P , A)
 特開 2 0 0 0 - 2 2 1 9 4 2 (J P , A)
 特開 2 0 0 1 - 0 6 0 0 7 6 (J P , A)
 特開平 0 4 - 3 2 8 7 9 1 (J P , A)
 特開平 0 8 - 0 5 4 8 3 5 (J P , A)
 特開 2 0 0 0 - 2 2 1 9 0 3 (J P , A)
 特開 2 0 0 0 - 3 4 7 6 2 1 (J P , A)
 特開 2 0 0 0 - 3 4 7 6 2 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/30
 G09F 9/30
 G09G 3/20
 H01L 51/50
 H05B 33/08
 H05B 33/12