

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年10月6日(06.10.2016)



(10) 国際公開番号

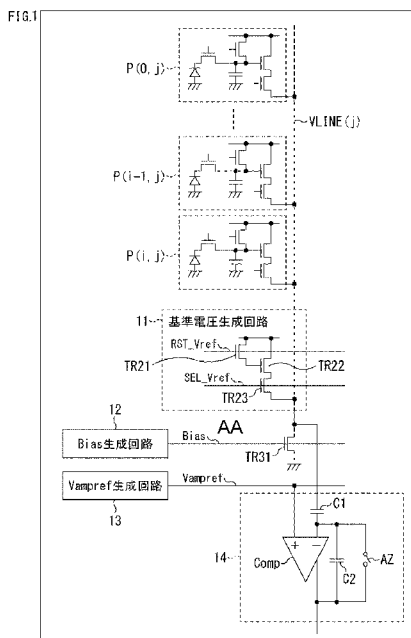
WO 2016/158482 A1

- (51) 国際特許分類:
H04N 5/378 (2011.01)
- (21) 国際出願番号: PCT/JP2016/058647
- (22) 国際出願日: 2016年3月18日(18.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-076731 2015年4月3日(03.04.2015) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).
- (72) 発明者: 半澤 克彦 (HANZAWA Katsuhiko); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 加地 悠一 (KACHI Yuuichi); 〒2430021 神奈川県厚木市岡田四丁目1
- 6番1号 ソニーL S I デザイン株式会社内 Kanagawa (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番2号 西新宿木村屋ビルディング9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー

[続葉有]

(54) Title: SOLID-STATE IMAGING ELEMENT, IMAGING DEVICE, AND ELECTRONIC INSTRUMENT

(54) 発明の名称: 固体撮像素子、撮像装置、並びに電子機器



- 11 Reference voltage generation circuit
12 Bias generation circuit
13 Vampref generation circuit
AA Bias

(57) Abstract: The present technique relates to a solid-state imaging element, an imaging device, and an electronic instrument in which it is possible to make a reference voltage applied to a vertical transfer line substantially the same as a reset voltage of a floating diffusion unit. A reference voltage generation circuit that generates a reference voltage is constituted by the same circuit as a reset transistor, an amplification transistor, and a selection transistor in a pixel circuit, and, immediately before transferring an optical signal and a reset signal, application is made to a vertical transfer line. Thus, the same reference voltage as immediately after applying the reset signal to a floating diffusion is applied to the vertical transfer line. This technique is applicable to CMOS image sensors.

(57) 要約: 本技術は、垂直転送線に印加する基準電圧をフローティングディフュージョン部のリセット電圧と略同一にすることができるようにする固体撮像素子、撮像装置、並びに電子機器に関する。基準電圧を生成する基準電圧生成回路を、画素回路におけるリセットトランジスタ、増幅トランジスタ、および選択トランジスタと同一の回路より構成し、光信号およびリセット信号を転送する直前に、垂直転送線に印加する。これにより、フローティングディフュージョンにリセット信号を印加した直後と同一の基準電圧が垂直転送線に印加される。本技術は、CMOSイメージセンサに適用することができる。



ロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 固体撮像素子、撮像装置、並びに電子機器

技術分野

[0001] 本技術は、固体撮像素子、撮像装置、並びに電子機器に関し、特に、A/D (analog/Digital) 変換におけるレンジを必要以上に大きくすることなく、また、回路規模を大きくすることなく、適切なアナログゲインを実現できるようにした固体撮像素子、撮像装置、並びに電子機器に関する。

背景技術

[0002] 全画素順次転送動作ではリセット信号を読み出した後に光信号を読み出すことができるため、リセット信号を基準に光信号を読み出すアナログCDS (Correlated Double Sampling: 相関二重サンプリング) を行うことができる。ただし、全画素順次転送動作ではローリング歪が生じてしまう。

[0003] そこで、原理的に歪みが発生しない全画素同時転送動作が提案されている。

[0004] 全画素同時転送動作には、大きく分けて2の方式があり、そのうちの1である第1の方式では、MEM (メモリ) を画素回路の内部に配置し、光信号の転送をPD (フォトダイオード) からMEMへ全画素で同時に行い、その後、MEMからの光信号の読出しを上述した全画素順次転送動作により行っている。

[0005] しかしながら、この第1の方式を実現するには、画素回路を増大させる必要がある上、増大する画素回路によりPDに入射する光を受光するための面積が減少してしまう。

[0006] そこで、第2の方式として、MEMに代えて、FD (フローティングディフュージョン) に電荷を同時に蓄積させるようにして、全画素順次転送動作によりFDから光信号を読み出すようにしたFD蓄積型全画素同時転送動作が提案されている。

[0007] さらに、FD蓄積型全画素同時転送動作にも2種類の方式がある。

[0008] 第1の方式は、FDをリセット後、リセット信号は読み出さず、光信号を一

括転送して、光信号を読み出し、読み出した光信号を基準として、再度、同一画素をリセットし、リセット信号との差分を読み出すというものである。

[0009] この第1の方式では、アナログCDSが行えるものの、画素の kTC ノイズ (k : ボルツマン定数、 T : 温度、 C : 容量の平方根に比例した、リセットの度に变化するノイズ) が原理的に取り除けず、光信号、およびリセット信号の両者に、それぞれ異なるノイズ信号が重畳してしまう。

[0010] また、第2の方式は、全画素のリセット信号を読み出し、フレームメモリに保存してから、露光して光電変換による電荷をPDにより蓄積させた後、全画素同時にPDから電荷をFDに転送し、全画素順次転送動作でFDから光信号を読み出すものである。

[0011] この第2の方式では、フレームメモリが必要となるがアナログCDSが行える上、第1の方式と比較すると、リセット信号と光信号とのそれぞれに同一の kTC ノイズが含まれることから、アナログCDSにより、 kTC ノイズをキャンセルすることができる。

[0012] ところが、全画素順次転送動作では、光信号を読み出した後に、基準となるリセット信号を読み出すので、これまでの構成では、カラムアンプにおいて基準となる動作点が定められず、適切な画素信号を出力できない恐れがあった。

[0013] そこで、基準電圧を発生する回路を設けるようにすることで、その回路から出力される基準電圧に基づいて、同一センサで、撮像時には、全画素順次転送動作で撮像し、AE (Auto Exposure) やAF (Auto Focus) 時には、FD蓄積型全画素同時転送動作で撮像するための技術が提案されている (特許文献1 参照)。

[0014] すなわち、FD蓄積型全画素同時転送動作では、光信号を読み出した後、リセットしたときの基準となる信号を読み出すものであるため、特許文献1の記述においては、AZ (Autozero) 動作を行う回路を用いて、固定の基準電圧を出力するようにして、カラムアンプの動作を実現できるようにしている。

先行技術文献

特許文献

[0015] 特許文献1：特開2014-161080号公報

発明の概要

発明が解決しようとする課題

[0016] しかしながら、AZ (Autozero) 動作を用いて、基準となる電圧を作る場合、基準電圧がリセット信号のレベルからずれると、アナログゲインを大きくできないことがあり、AD (Analog/Digital) 変換のレンジを必要以上に大きくしなければいけないことがあった。

[0017] また、固定の基準電圧を作ってしまうと、チップのばらつきや、温度特性によりリセット信号のレベルに対してずれてしまうことがあった。

[0018] さらに、チップ温度やプロセスばらつきを考慮する仕組みを導入すると、回路規模が増大してしまうことがあった。

[0019] 本技術は、このような状況に鑑みてなされたものであり、特に、AD (analog/Digital) 変換におけるレンジを必要以上に大きくしたり、回路規模を大きくすることなく、適切なアナログゲインを実現できるようにするものである。

課題を解決するための手段

[0020] 本技術の一側面の固体撮像素子は、基準電圧を生成するソースフォロワ回路を含み、前記ソースフォロワ回路を構成する増幅トランジスタのゲート電圧は、画素毎に画素回路を構成するフォトダイオードにより生成された電荷を蓄積するフローティングディフュージョンに蓄積された電荷をリセットする際のリセット電圧と同一であり、前記ゲートに電圧を印加する電源と、前記ゲートとの間の配線上にスイッチが配設されており、前記スイッチは、オフした際に、前記ゲートに印加する電圧を、前記リセット後の前記フローティングディフュージョンの電圧と同値とするものである。

[0021] 前記ソースフォロワ回路には、前記スイッチをオンにするとき、前記基準電圧を生成させるようにすることができる。

- [0022] 前記ソースフォロワ回路は、水平方向に分割されたカラム毎に設定され、垂直方向に各画素の信号を転送する垂直転送線毎に設けられるようにすることができ、前記基準電圧を、前記垂直転送線に対して印加させるようにすることができる。
- [0023] 隣接する複数の前記垂直転送線間を、前記スイッチとなるトランジスタのゲートを共通化して接続させるようにすることができる。
- [0024] 隣接する前記垂直転送線間を、スイッチを介して接続し、前記画素の信号が読み出される直前のタイミングでオンにさせるようにすることができる。
- [0025] 前記リセット電圧を供給する電源と、前記スイッチを介して前記基準電圧として供給する電源とは、同一の電源とすることができる。
- [0026] 前記リセット電圧を供給する電源と、前記スイッチを介して前記基準電圧として供給する電源とは、個別の電源とすることができる。
- [0027] 前記垂直転送線を介して出力される前記画素の信号は、オートゼロ回路に出力されるようにすることができる。
- [0028] 前記垂直転送線を介して出力される前記画素の信号は、A D (analog/Digital) 変換器に出力されるようにすることができる。
- [0029] 本体回路構成は1枚のチップにより構成されるようにすることができる。
- [0030] 本体回路構成は複数のチップにより構成されるようにすることができる。
- [0031] 前記本体回路構成が2枚のチップより構成される場合、第1のチップに、前記画素回路を含めるようにし、第2のチップに、前記ソースフォロワ回路およびA D (analog/Digital) 変換器を含めるようにすることができる。
- [0032] 前記本体回路構成が2枚のチップより構成される場合、第1のチップに、前記画素回路、および前記ソースフォロワ回路を含めるようにすることができ、第2のチップに、A D (analog/Digital) 変換器を含めるようにすることができる。
- [0033] 前記本体回路構成が2枚のチップより構成される場合、第1のチップに、前記画素回路、前記ソースフォロワ回路、およびA D (analog/Digital) 変換器のコンパレータを含めるようにことができ、第2のチップに、前記

A/D (analog/Digital) 変換器のカウンタを含めるようにすることができる。

[0034] 前記ソースフォロワ回路は、2次元方向に分割された領域毎の各画素の信号を転送する領域転送線毎に設けられるようにすることができ、前記基準電圧を、前記領域転送線に対して印加させるようにすることができる。

[0035] 本体回路構成は、前記領域毎の前記画素回路を含む第1のチップと、前記領域毎のソースフォロワ回路を含む第2のチップとからなるものとすることができる。

[0036] 本技術の一側面の撮像装置は、基準電圧を生成するソースフォロワ回路を含み、前記ソースフォロワ回路を構成する増幅トランジスタのゲート電圧は、画素毎に画素回路を構成するフォトダイオードにより生成された電荷を蓄積するフローティングディフュージョンに蓄積された電荷をリセットする際のリセット電圧と同一であり、前記ゲートに電圧を印加する電源と、前記ゲートとの間の配線上にスイッチが配設されており、前記スイッチは、オフした際に、前記ゲートに印加する電圧を、前記リセット後の前記フローティングディフュージョンの電圧と同値とするものである。

[0037] 本技術の一側面の電子機器は、基準電圧を生成するソースフォロワ回路を含み、前記ソースフォロワ回路を構成する増幅トランジスタのゲート電圧は、画素毎に画素回路を構成するフォトダイオードにより生成された電荷を蓄積するフローティングディフュージョンに蓄積された電荷をリセットする際のリセット電圧と同一であり、前記ゲートに電圧を印加する電源と、前記ゲートとの間の配線上にスイッチが配設されており、前記スイッチは、オフした際に、前記ゲートに印加する電圧を、前記リセット後の前記フローティングディフュージョンの電圧と同値とするものである。

[0038] 本技術の一側面においては、基準電圧を生成するソースフォロワ回路が含まれ、前記ソースフォロワ回路を構成する増幅トランジスタのゲート電圧は、画素毎に画素回路を構成するフォトダイオードにより生成された電荷を蓄積するフローティングディフュージョンに蓄積された電荷をリセットする際

のリセット電圧と同一とされ、前記ゲートに電圧を印加する電源と、前記ゲートとの間の配線上にスイッチが配設されており、前記スイッチが、オフされた際に、前記ゲートに印加される電圧が、前記リセット後の前記フローティングディフュージョンの電圧と同値とされる。

発明の効果

[0039] 本技術の一側面によれば、A/D (analog/Digital) 変換におけるレンジを必要以上に大きくすることなく、また、回路規模を大きくすることなく、適切なアナログゲインを得られる固体撮像素子を実現することが可能となる。

図面の簡単な説明

[0040] [図1]本技術を適用した固体撮像素子の第1の実施の形態の構成例を説明する図である。

[図2]画素回路の詳細を説明する図である。

[図3]図1の固体撮像素子の動作を説明するタイミングチャートである。

[図4]本技術を適用した固体撮像素子の第2の実施の形態の構成例を説明する図である。

[図5]図4の固体撮像素子の動作を説明するタイミングチャートである。

[図6]本技術を適用した固体撮像素子の第3の実施の形態の構成例を説明する図である。

[図7]本技術を適用した固体撮像素子の第4の実施の形態の構成例を説明する図である。

[図8]本技術を適用した1枚のチップからなる固体撮像素子の第5の実施の形態の構成例を説明する図である。

[図9]本技術を適用した2枚のチップからなる固体撮像素子の第5の実施の形態の構成例を説明する図である。

[図10]本技術を適用した2枚のチップからなる固体撮像素子の第5の実施の形態のその他の構成例を説明する図である。

[図11]本技術を適用した固体撮像素子の第6の実施の形態の構成例を説明する図である。

[図12]本技術を適用した固体撮像素子の第7の実施の形態の構成例を説明する図である。

[図13]一般的なFDのリセット電圧の書き込み方を説明する図である。

[図14]隣接するFDにより生じる寄生カップリング容量を説明する図である。

[図15]寄生カップリング容量による影響を説明する図である。

[図16]本技術を適用したFDのリセット電圧の書き込み方を説明する図である。

[図17]本技術を適用した半導体撮像素子からなる固体撮像素子を利用した撮像装置および電子機器の構成を説明する図である。

[図18]固体撮像素子の使用例を示す図である。

発明を実施するための最良の形態

[0041] 以下、本発明を実施するための最良の形態の例を説明するが、本発明は以下の例に限定されるものではない。

[0042] <第1の実施の形態>

<固体撮像素子の構成例>

図1は、本技術を適用した半導体装置である固体撮像素子を構成する各画素に接続される複数の垂直信号線のうちのいずれかの構成を示すものである。

[0043] 固体撮像素子は、画像を撮像する素子であり、例えば、水平方向×垂直方向について、 m 画素× n 画素の画素数の撮像素子から構成される。フローティングディフュージョン部の画素共有などがない場合、水平方向の画素列と同じ m 列の垂直信号線が設けられ、さらに、各垂直信号線には、垂直方向の画素数分の n 画素分の画素の画素回路が接続される。尚、フローティングディフュージョン部が共有される場合、垂直信号線数と画素数とが一致しない場合もある。

[0044] 図1においては、固体撮像素子における、 j 列目の垂直転送線VLINE(j)と、その周辺の構成例が示されている。垂直転送線VLINE(j)

には、画素回路を構成する画素 $P(0, j)$ 乃至 $P(i, j (i=n))$ 、基準電圧生成回路11、Bias生成回路12、 V_{ampref} 生成回路13、およびオートゼロ回路14が接続されている。

[0045] 図2は、画素回路を構成する画素 $P(i, j)$ の構成例を示している。各画素 $P(i, j)$ は、フォトダイオードPD、リセットトランジスタTR11、転送トランジスタTR12、増幅トランジスタTR13、選択トランジスタTR14およびフローティングディフュージョン部FDを有している。以下、フローティングディフュージョン部FDを単にFD部とも称し、フォトダイオードPDを単にPDとも称するものとする。

[0046] 各画素 $P(i, j)$ において、PDの光電変換作用によって得られた電荷は、転送トランジスタTR12を介してFD部に転送されて保持される。このようにしてFD部に保持された電荷は、選択トランジスタTR14が選択信号SEL(i)に応じてオンとなったときに、増幅トランジスタTR13により増幅されて画素信号として垂直転送線VLINE(j)に出力される。

[0047] 例えば、FD部は、PDから転送された電荷を容量に蓄積することにより電圧に変換し、変換した電圧(FD部の容量の電圧)を、増幅トランジスタTR13のゲートに入力する。そして、選択トランジスタTR14がオン状態となっている期間に、増幅トランジスタTR13、選択トランジスタTR14、および、垂直転送線VLINE(j)に接続された定電流源TR31(図1)により、ソースフォロア回路が構成される。これにより、選択信号SEL(i)により選択された画素 $P(i, j)$ を構成する信号が、垂直転送線VLINE(j)に伝達される。

[0048] また、リセット信号RST(i)、および転送信号TRG(i)がともに高レベルにされるとき、リセットトランジスタTR11および転送トランジスタTR12がオンの状態とされ、これにより、FD部およびPDに蓄積された電荷がリセットされる画素リセットが行われる。尚、図1の各 $P(i, j)$ の構成は、図2で示されるものと同様であるが、図1において、または

、これ以降においては、 $P(i, j)$ を構成する各回路に対しては、特に、符号を付さないものとするが、特に断りがない限り図2を参照して説明した構成と同一のものであるものとする。

[0049] ここで、図1の説明に戻る。

[0050] 基準電圧生成回路11は、電源VDDと垂直転送線VLINE(j)との間に直列に接続されたトランジスタTR22, TR23を備えている。さらに、基準電圧生成回路11は、トランジスタTR22のゲートの開閉を制御するトランジスタTR21を備えている。また、トランジスタTR23は、選択信号SEL(i)と同一の電源より供給される選択信号SEL_Vrefによりオンまたはオフに制御される。また、トランジスタTR21は、リセット信号RST(i)と同一の電源より供給されるリセット信号RST_Vrefによりオンまたはオフに制御される。

[0051] すなわち、基準電圧生成回路11は、トランジスタTR23がオン状態となっている期間に、所定の電源VDDから電源電圧が供給されて、トランジスタTR22の閾値電圧分だけ降下した電圧に垂直転送線VLINE(j)の電圧をクリップする機能を持っている。さらに、トランジスタTR21乃至TR23は、それぞれトランジスタTR11, TR13, TR14と同一の構成（内部抵抗および内部容量等を含めた同一構成）とされている。このため、例えば、リセット信号RST_Vrefおよび選択信号SEL_Vrefが高レベルとされ、トランジスタTR21乃至TR23がいずれもオンにされると、リセット信号RST(i)および選択信号SEL(i)が高レベルとされ、トランジスタTR11, TR13, TR14がいずれもオンにされたときと同様に、各画素P(i, j)のFDのリセット時の電圧に相当する電圧で垂直転送線VLINE(j)の電圧をクリップすることができる。

[0052] Bias生成回路12は、ゲート電圧に応じて、定電流源トランジスタTR31のゲートに電圧を印加して、垂直信号線VLINE(j)の電流量を決定する。

- [0053] $V_{amp\ ref}$ 生成回路 13 は、オートゼロ回路 14 に参照電圧 $V_{amp\ ref}$ を供給する。オートゼロ回路 14 は、コンパレータ $Comp$ 、コンデンサ $C1$ 、 $C2$ およびスイッチ AZ を備えている。コンパレータ $Comp$ の負入力端子は、コンデンサ $C1$ を介して垂直転送線 $VLINE(j)$ に接続され、正入力端子には参照電圧 $V_{amp\ ref}$ が与えられている。このコンパレータ $Comp$ では、スイッチ AZ がオン状態となっている期間の垂直転送線 $VLINE(j)$ の電圧が、コンデンサ $C1$ によってサンプルホールドされ、基準電圧として設定される。
- [0054] すなわち、アンプリセットされるときスイッチ AZ がオン状態とされることで、コンパレータ $Comp$ とコンデンサ $C1$ 、 $C2$ とを有する増幅部の増幅動作についての基準電圧を設定するアンプリセットが行われる。したがって、コンパレータ $Comp$ は、スイッチ AZ がオン状態となっている期間の垂直転送線 $VLINE(j)$ の電圧（基準電圧）に対する変動分を反転増幅する。なお、アンプリセットにより設定された基準電圧は、上述したように、コンデンサ $C1$ に保持される。
- [0055] 例えば、コンパレータ $Comp$ は、垂直転送線 $VLINE(j)$ に出力されたリセット信号（ノイズ信号）を、アンプリセットにより設定された基準電圧に基づいて、反転増幅する。そして、反転増幅されたリセット信号（ノイズ信号）が、出力される。
- [0056] また、コンパレータ $Comp$ は、垂直転送線 $VLINE(j)$ に出力された光信号を、アンプリセットにより設定された基準電圧に基づいて、反転増幅する。そして、反転増幅された光信号が出力される。
- [0057] ここで、リセット信号（ノイズ信号）は、 FD 部をリセットしたときに得られるノイズ成分を含む信号であり、光信号は、 PD で生成された電荷に応じた信号成分と、 FD 部をリセットしたときに得られるノイズ成分とを含む信号である。
- [0058] これらのリセット信号と光信号とが出力されることにより、 CDS がなされて、画素信号が出力される。

[0059] <第1の動作方法>

次に、図3のタイミングチャートを参照して、図1の固体撮像素子の動作について説明する。

[0060] まず、第1の動作において、固体撮像素子の全画素について、PDを一括してリセットする。すなわち、この場合、リセット信号RST(i)、および転送信号TRG(i)が共に所定時間だけ高レベルにされて、リセットトランジスタTR11および転送トランジスタTR12がオンの状態とされ、これにより、FD部およびPDの電荷蓄積をリセットする画素リセットが行われる。尚、この動作については、図3において、特に波形として図示していない。

[0061] 次に、第2の動作において、全画素のPDが露光される。この露光により、各画素のPDにおいては、光電変換により入射光の光量に応じた電荷が蓄積されることになる。

[0062] 第3の動作において、FDリセット信号が読み出される。より詳細には、図3の上段で示されるように、時刻t11において、リセット信号RST(i)、リセット信号RST_Vref、選択信号SEL_Vrefが高レベルにされる。また、オートゼロ回路14のスイッチAZがオンにされるように、スイッチを制御するスイッチ信号AZが高レベルにされる。

[0063] このような動作により、トランジスタTR11がオンにされて、FDが電源VDDの電圧に設定される。また、基準電圧生成回路11のトランジスタTR21、TR23がオンにされ、これに伴って、電源VDDがトランジスタTR22のゲートに供給されることにより、トランジスタTR22がオンにされ、電源VDDに対応する電圧がトランジスタTR22、TR23を介して、基準電圧として垂直転送線VLINE(j)に印加される。

[0064] さらに、このとき、オートゼロ回路14のスイッチAZがオンにされることにより、FDのリセット信号に対応する電圧がコンデンサC1に蓄積される。

[0065] この後、所定の時間が経過した時刻t12において、リセット信号RST

(i)、RST_Vrefが低レベルにされて、トランジスタTR11, TR21, TR22がオフにされる。その後、所定の時間が経過して時刻t13において、スイッチAZが低レベルにされ、さらに、所定の時間が経過した時刻t14において、選択信号SEL_Vrefが低レベルにされ、トランジスタTR23がオフにされる。また、選択信号SEL_Vrefが低レベルにされるとき、同時に、選択信号SEL(i)が高レベルにされる。この動作により、トランジスタTR14がオンにされ、FDのリセット信号が垂直転送線LINE(j)に出力される。そして、垂直転送線VLINE(j)にFDのリセット信号が出力されているとき、時刻t15乃至t16において、FDのリセット信号がAD(Analog/Digital)変換されて、リセット信号がデジタル信号として出力される。リセット信号がデジタル信号として出力された後の時刻t17において、選択信号SEL(i)が低レベルにされて、トランジスタTR14がオフの状態にされる。

[0066] このような処理が、垂直転送線LINE(j)毎に画素P(i, j)の単位で全画素における処理が終了するまで繰り返され、第3の動作により、FDのリセット信号が読み出される。

[0067] 尚、図3の上段、および下段においては、上から順に、転送信号TRG(i)、リセット信号RST(i)、選択信号SEL(i)、基準電圧生成回路11へのリセット信号RST_Vref、基準電圧生成回路11への選択信号SEL_Vref、スイッチAZの制御信号AZ、およびAD変換のそれぞれのタイミングを示している。それぞれ高レベル、および低レベルのいずれかの状態が示されており、AD変換については、その処理タイミングのみが高レベルの状態として示されている。尚、(i)は、j列目の垂直転送線VLINEに接続された上から0番目乃至m番目のうちの上からi番目の画素P(i, j)を特定するものである。

[0068] 第4の動作において、図3の中段で示されるように、全ての画素P(i, j)の転送信号TRG(i) (i=a+1:iは全て)が時刻t21乃至t22の所定の期間だけ高レベルに設定される。これにより、トランジスタT

R 1 2 がオンにされることで、露光期間において、P D で発生された電荷が F D に一括して転送される。

[0069] 第5の動作において、F D 部に蓄積された電荷が光信号として読み出される。より詳細には、図3の下部で示されるように、時刻 t 3 1 において、基準電圧生成回路 1 1 のリセット信号 R S T _ V r e f 、選択信号 S E L _ V r e f 、およびオートゼロ回路 1 4 のスイッチ A Z の制御信号 A Z が高レベルにされ、トランジスタ T R 2 1 乃至 T R 2 3 がオンにされる。また、所定の時間が経過した時刻 t 3 2 において、リセット信号 R S T _ V r e f が低レベルにされ、その後、時刻 t 3 3 において、制御信号 A Z が低レベルにされる。さらに、その後、時刻 t 3 4 において、基準電圧生成回路 1 1 への選択信号 S E L _ V r e f が低レベルにされると共に、トランジスタ T R 1 4 への選択信号 S E L (i) が高レベルにされることにより、コンデンサ C 1 に基準電圧が蓄積されると共に、トランジスタ T R 1 3 , T R 1 4 がオンとされ、トランジスタ T R 1 3 , T R 1 4 を介して、F D 部に蓄積された電荷に応じた光信号が、垂直転送線 V L I N E (j) に出力される。

[0070] そして、垂直転送線 V L I N E (j) に F D の光信号が出力されているとき、時刻 t 3 5 乃至 t 3 6 において、F D の光信号が A D (Analogue to Digital) 変換されて、光信号がデジタル信号として出力される。光信号がデジタル信号として出力された後の時刻 t 3 7 において、選択信号 S E L (i) が低レベルにされて、トランジスタ T R 1 4 がオフの状態にされる。

[0071] 以上の動作により、リセット信号においても、光信号においても、基準電圧生成回路 1 1 によりリセット電圧と略同一の基準電圧を設定することが可能となる。また、この基準電圧生成回路 1 1 におけるトランジスタ T R 2 1 乃至 T R 2 3 の構成は、トランジスタ T R 1 1 , T R 1 3 , T R 1 4 と同一の構成とされているため、基準電圧生成回路 1 1 により生成される基準電圧は、F D 部をリセットさせるときの温度特性やプロセスにおける影響なども同一のものとすることができ、温度やプロセスにおける影響が生じて、リセット電圧と略同一の基準電圧を発生させることが可能となり、適切なアナ

ログゲインを発生させることが可能となる。また、温度特性に対応するための回路や、温度やプロセスにおける影響に応じた個体差に応じた調整を別途必要としないため、不要に装置構成を大型化する必要がなく、処理の手間もより簡易なものとするができる。

[0072] <第2の実施の形態>

以上においては、垂直転送線VLINE(j)単位で動作する例について説明してきたが、例えば、隣接する垂直転送線VLINE(j)間を、スイッチを介して接続し、リセット信号を読み出すとき、および光信号を読み出すときに、その直前でスイッチをオンにして接続するようにしても良い。

[0073] 図4は、垂直転送線VLINE(j)を、スイッチを介して接続した固体撮像素子の構成例を示している。尚、図4の固体撮像素子の構成例においては、図1における構成と同一の構成については、同一の名称、および同一の符号を付しており、その説明は適宜省略するものとする。すなわち、図4の固体撮像素子において、図1の固体撮像素子と異なる点は、隣接する垂直転送線VLINE(j)間が、それぞれスイッチVSL_CONを介して接続されており、基準電圧生成回路11におけるリセット信号RST_Vref、選択信号SEL_Vref、Bias生成回路12からのBias電圧、Vampref生成回路13からのVampref電圧を、各垂直転送線VLINE(j)で共通化している点である。

[0074] スイッチVSL_CONは、リセット信号を読み出す時、および光信号を読み出すとき、その直前でオンとなるように制御される。このように動作することで、各垂直転送線VLINE(j)で発生するkTCノイズを略0にすることができる。すなわち、kTCノイズは、スイッチングのタイミングに応じて変化するものであるが、スイッチVSL_CONがオンにされることで、全ての垂直転送線VLINE(j)が接続されることにより、各垂直転送線VLINE(j)において発生するkTCノイズが加算されることで、キャンセルされる。

[0075] <第2の動作方法>

次に、図5のタイミングチャートを参照して、図4の固体撮像素子の動作について説明する。尚、図5のタイミングチャートにおける時刻 t_{101} 乃至 t_{107} 、時刻 t_{111} 乃至 t_{112} 、および時刻 t_{121} 乃至 t_{127} は、図3における時刻 t_{11} 乃至 t_{17} 、時刻 t_{21} 乃至 t_{22} 、および時刻 t_{31} 乃至 t_{37} に対応するものである。また、図5のタイミングチャートにおいて、図3のタイミングチャートと異なる項目は、図5の上段および下段において、新たに、スイッチVSC_CONの動作を制御する制御信号を示す項目が下から2段目に設けられた点である。

[0076] すなわち、図5の上段で示されるように、リセット信号を読み出すタイミングの、時刻 t_{101} 乃至 t_{104} において、スイッチVSC_CONの動作を制御する制御信号が高レベルに設定され、全ての垂直転送線VLINE(j)のスイッチVSC_CONがオンに制御される。

[0077] 結果として、全ての垂直転送線VLINE(j)が電氣的に接続されることにより、基準電圧の読み出しにおけるスイッチングにより発生するkTCノイズをキャンセルしつつ、リセット信号と略同一の電圧となる基準電圧を発生させることが可能となる。

[0078] 同様に、図5の下段で示されるように、光信号を読み出すタイミングの、時刻 t_{121} 乃至 t_{124} において、スイッチVSC_CONの動作を制御する制御信号が高レベルに設定され、全ての垂直転送線VLINE(j)のスイッチVSC_CONがオンに制御される。

[0079] このため、全ての垂直転送線VLINE(j)が電氣的に接続されることにより、基準電圧の読み出しにおけるスイッチングにより発生するkTCノイズをキャンセルしつつ、リセット信号と略同一の電圧となる基準電圧を生成することが可能となる。

[0080] 結果として、基準電圧生成回路11により生成される基準電圧は、FD部をリセットさせるときの温度特性やプロセスにおける影響なども同一のものとすることができ、温度やプロセスにおける影響が生じて、リセット電圧と略同一の電圧を基準電圧として発生させることが可能となる。また、温度

特性に対応するための回路を別途必要としないため、不要に装置構成を大型化する必要がない。

[0081] <第3の実施の形態>

以上においては、各画素 $P(i, j)$ の構成において、リセット信号 $RST(i)$ により開閉されるトランジスタ $TR11$ がオンにされるとき、設定されるリセットレベルとなる電圧と、増幅トランジスタ $TR13$ のドレインに供給される電圧とが、いずれも共通の電源 VDD より供給される例について説明してきた。しかしながら、トランジスタ $TR11$, $TR13$ に供給される電源は、それぞれ独立したものであっても良いものである。このような場合、基準電圧生成回路11のトランジスタ $TR21$, $TR22$ においても、同様の構造とする。これにより基準電圧生成回路11により設定される基準電圧をリセット電圧と略同一の適切な電圧に設定することが可能となる。

[0082] 図6は、トランジスタ $TR11$, $TR13$ に供給される電源を、それぞれ独立したものとした固体撮像素子の構成例を示している。すなわち、トランジスタ $TR11$, $TR13$ に供給される電源を、それぞれ独立した電源 VR , VDD としている。そこで、基準電圧生成回路11においても、同様に、トランジスタ $TR21$, $TR22$ に供給される電源を、それぞれ独立した電源 VR , VDD としている。

[0083] このような構成により、画素 $P(i, j)$ におけるリセット電圧と略同一の電圧を、基準電圧として生成することが可能となる。

[0084] <第4の実施の形態>

以上においては、画素 $P(i, j)$ のリセット信号および光信号を、垂直転送線 $VLINE(j)$ を介して、コンパレータ $Comp$ に出力する例について説明してきたが、直接、 AD (analog/Digital) 変換器に出力するようにしてもよい。

[0085] 図7は、画素 $P(i, j)$ のリセット信号および光信号を、垂直転送線 $VLINE(j)$ を介して、 AD 変換器に出力するようにした固体撮像素子の構成例を示している。尚、図7において、図6における構成と同一の構成に

については、同一の名称、および同一の符号を付しており、その説明は適宜省略するものとする。

[0086] すなわち、図7の固体撮像素子において、図6の固体撮像素子と異なる点は、 $V_{amp\ ref}$ 生成回路13、およびコンパレータCompに代えて、Ramp生成回路32、および、AD変換器31を設けた点である。AD変換器31は、コンデンサC11、C12、コンデンサC11、C12のそれぞれに対応するスイッチAZ、コンパレータComp11およびカウンタ51を備えている。

[0087] AD変換器31は、いわゆるシングルスロープ型のAD変換器であり、Ramp生成回路32より供給されてくるランプ電圧に基づいて、カウンタ51を利用して、光信号とリセット信号の差分により求められる画素信号をアナログ信号からデジタル信号に変換して出力する。尚、AD変換器31は、シングルスロープ型のもの以外のものであってもよい。

[0088] 図7の固体撮像素子で示されるように、リセット信号、および光信号のいずれも直接AD変換器に出力するような構成においても、基準電圧生成回路11により、温度特性やプロセスによる個体差の影響を受けることなく、画素 $P(i, j)$ におけるリセット電圧と略同一の基準電圧を生成することが可能となる。

[0089] <第5の実施の形態>

固体撮像素子を構成する本体回路構成は、例えば、図8で示されるように、一枚のチップ（基板）101により構成されるものとしても良いが、それ以上の枚数のチップにより構成されるようにしても良い。すなわち、例えば、図9の左部で示されるように、2枚のチップ101-1、101-2より構成し、その間を配線111で電氣的に接続するようにしても良い。

[0090] 2枚のチップ101-1、101-2を用いる場合、例えば、図9の右部で示されるように、チップ101-1上に、画素 $P(i, j)$ および基準電圧生成回路11を設け、チップ101-2上にBias生成回路12、トランジスタTR31、Ramp生成回路32、およびAD変換器31を設ける

ようにしても良い。

[0091] また、図10の左部で示されるように、チップ101-1上に、画素P(i, j)を設け、チップ101-2上に、基準電圧生成回路11、Bias生成回路12、トランジスタTR31、Ramp生成回路32、およびAD変換器31を設けるようにしても良い。

[0092] さらに、図10の中央部で示されるように、チップ101-1上に、画素P(i, j)、基準電圧生成回路11、Bias生成回路12、およびトランジスタTR31を設け、チップ101-2上に、Ramp生成回路32、およびAD変換器31を設けるようにしても良い。

[0093] また、図10の右部で示されるように、チップ101-1上に、画素P(i, j)、基準電圧生成回路11、Bias生成回路12、トランジスタTR31、Ramp生成回路32、並びにAD変換器31のコンパレータComp11、スイッチAZ、およびコンデンサC11, C12を設け、チップ101-2上に、AD変換器31のカウンタ51を設けるようにしても良い。

[0094] さらに、3枚以上の多くのチップ数に分けて、画素P(i, j)、基準電圧生成回路11、Bias生成回路12、およびトランジスタTR31、Ramp生成回路32、およびAD変換器31を分けて設けるようにしても良い。

[0095] <第6の実施の形態>

以上においては、複数の垂直転送線VLINE(j)を独立して、または、基準電圧生成回路11のトランジスタTR21, TR23のゲートを共通化してリセット信号RST_Vrefおよび選択信号SEL_Vrefと接続すると共に、隣接する垂直転送線VLINE(j)間をスイッチVSC_CONで接続する例について説明してきた。しかしながら、複数の垂直転送線VLINE(j)については、基準電圧生成回路11のトランジスタTR21, TR23のゲートを共通化するのみで接続するようにしてもよい。

[0096] 図11は、複数の垂直転送線VLINE(j)については、基準電圧生成

回路 11 のトランジスタ TR_{21} 、 TR_{23} 、 TR_{31} のゲートを共通化するのみで接続するようにした固体撮像素子の構成例を示している。

[0097] このような構成においても、基準電圧生成回路 11 は、垂直転送線 $VL_{INE}(j)$ に対して、それぞれ FD 部のリセット後の電圧と略同一の電圧を基準電圧として印加することが可能となる。

[0098] <第 7 の実施の形態>

以上においては、垂直転送線 $VL_{INE}(j)$ 毎に AD 変換器 31 を設ける、いわゆるカラム ADC 方式について説明してきたが、例えば、固体撮像素子の有効領域を複数の領域に分割し、それぞれの領域に属する複数の画素 $P(i, j)$ からなる画素ユニットを設け、画素ユニット単位で出力される画素信号を AD 変換する AD 変換器を設けた方式にしてもよい。

[0099] 図 12 は、画素ユニット単位で出力される画素信号を AD 変換する AD 変換器を設けた方式の固体撮像素子の構成例を示している。すなわち、画素ユニット単位で出力される画素信号を AD 変換する AD 変換器を設けた方式の固体撮像素子の場合、図 12 の左上部で示されるように、固体撮像素子における有効領域を複数の画素 $P(i, j)$ からなる複数の画素ユニット 121 に分割する。そして、図 12 の左下部で示されるように、1 枚のチップ 131 上に、分割した画素ユニット 121 毎に AD 変換器 31 を設けるように構成される。

[0100] より詳細には、図 12 の左下部においては、有効領域を 3 分割した画素ユニット 121-1 乃至 121-3 が設けられており、それぞれに AD 変換器 31-1 乃至 31-3 が接続されている例が示されている。

[0101] 尚、図 12 の左下部で示されるような構成の場合、画素ユニット 121 は、例えば、有効領域内の複数の画素 $P(i, j)$ 、画素 $P(i, j)$ の画素信号を転送する、垂直転送線 $VL_{INE}(j)$ に対応する転送線、基準電圧生成回路 11、 $Bias$ 生成回路 12、 $Ramp$ 生成回路 32、およびトランジスタ TR_{31} を含む。

[0102] この場合においても基準電圧生成回路 11 におけるトランジスタ TR_{21}

乃至TR23の構成は、それぞれ画素P(i, j)におけるトランジスタTR11, TR13, TR14の構成と同一の構成とされており、リセット電圧と略同一の基準電圧を生成することが可能となる。

[0103] また、図12の右部で示されるように、複数の画素ユニット121を画素基板からなるチップ151-1に設け、AD変換器31を回路基板からなるチップ151-2に設けるようにし、配線により接続するように構成してもよい。

[0104] 尚、基準電圧を生成するにあたっては、例えば、いわゆるオプティカルブラック(OPB)と呼ばれる、受光不能なダミー画素を用いて構成することも可能である。

[0105] しかしながら、OPBに使用されるダミー画素は、通常、固体撮像素子における撮像領域(有効領域)の辺縁部に設けられている。図12の右部で示されるように、例えば、有効領域を4領域×4領域からなる領域に16分割する場合、それぞれの領域毎に画素ユニット121とAD変換器31とが対応付けて設けられる構成となる。しかしながら、このような画素ユニット121の場合、各の辺縁部は、他の領域との境界となるため、オプティカルブラックなどのダミー画素を設けることができない。このため、有効領域を複数の画素ユニットに分割するような画素ユニット単位で出力される画素信号をAD変換するAD変換器を設けた方式のようなOPBを設けられないような場合でも、画素ユニットのそれぞれについて、上述した基準電圧生成回路11を設けることで、FD部のリセット電圧と同一の基準電圧を発生させることが可能となる。

[0106] <FDのリセット電圧の書き込み方法について>

上述した固体撮像素子においては、FD蓄積型のグローバルシャッタ動作を行う際、増幅トランジスタTR13のばらつきを抑えるため、図13の矢印で示されるように、FDに所定の電圧であるリセット電圧を書き込むようにする手法がある。

[0107] ところが、この際、隣接する画素列におけるFD同士のカップリングによ

り、FD電圧がばらついてしまうことがある。

[0108] すなわち、図14で示されるように、画素P(i, j)と画素P(i, j+1)が隣接している場合、画素P(i, j)におけるFD1へのリセット電圧の書き込みが完了した状態で、細線の矢印で示されるように隣接する画素P(i, j+1)におけるFD2にリセット電圧を書き込むと、太線の矢印で示されるように、寄生カップリング容量Cxの影響を受けて、FD1の既書き込みが完了しているリセット電圧が変化してしまう。

[0109] 尚、図14中の寄生カップリング容量Cxは、回路に寄生する容量を模式的に表現したものであって、現実には、回路として存在するものではない。

[0110] より具体的には、3画素が隣接している場合、それぞれのFDをFD0乃至FD2としたとき、図15で示されるように、電圧が変化する。

[0111] すなわち、時刻t0で示される最初の時点では、FD0乃至FD2はいずれも電源電圧VDDである。

[0112] ここで、時刻t1において、FD0にリセット電圧が書き込まれることにより、FD0の電圧は、リセット電圧として電圧(VDD-V1)が書き込まれる。

[0113] 次に、時刻t2において、FD1にリセット電圧である電圧(VDD-V1)が書き込まれる。このとき、既に、リセット電圧として電圧(VDD-V1)が書き込まれたFD0は、寄生カップリング容量の影響により、電圧降下が発生し、リセット電圧である電圧(VDD-V1)よりもさらに電圧V2低下して、電圧(VDD-V1-V2)とされる。尚、電圧V2は、例えば、電圧V1に対して1/100程度である。

[0114] さらに、時刻t3において、FD2にリセット電圧として電圧(VDD-V1)が書き込まれる。このとき、既に、リセット電圧として電圧(VDD-V1)が書き込まれたFD1は、寄生カップリング容量により、さらに電圧降下が発生し、リセット電圧よりもさらに低い電圧(VDD-V1-V2)とされる。さらに、このとき、FD0にも影響が及ぶため、FD0のリセット電圧は、さらに低い電圧(VDD-V1-2×V2)とされる。

- [0115] このように順次、リセット電圧を各FDにセットすると、その度に、周辺のリセット済みのFDのリセット電圧を降下させてしまう。
- [0116] 結果として、全FDに対して、統一したリセット電圧を書き込むことができず、ばらつきが発生してしまう。
- [0117] そこで、上述した処理により、全画素のFDにリセット電圧を書き込む動作を行った後、全FDに対して、2回目のリセット電圧の書き込み動作を行うようにする。
- [0118] より具体的には、図16で示されるように、FD0乃至FD2が1回目のリセット電圧の書き込みにより、時刻 t_{11} においては、それぞれに多少のばらつきがある電圧 V_{11} 、 V_{11}' 、 V_{11}'' が書き込まれているものとする。
- [0119] ここで、時刻 t_{12} で示されるように、FD0に当初のリセット電圧 V_1 に相当する電圧とするために、電圧 $(V_{11} - V_{12})$ ($= V_1$)を書き込むようにする。
- [0120] 次に、時刻 t_{13} で示されるように、FD1に当初のリセット電圧 V_1 とするように、リセット電圧 $V_{11}' - V_{13}$ ($= V_1$)を書き込む。
- [0121] この際、FD0は、リセット電圧が書き込まれた状態であるため、FD1との寄生カップリング容量 C_x の影響を受けて、電圧 V_{14} 程度の低下が生じる。しかしながら、この際、FD1での電圧変化である電圧 V_{13} は、リセット電圧 V_1 に対する微調整程度の電圧変化であるので、この電圧変移に対する寄生カップリング容量 C_x による影響は、極小さいものとなる。結果として、FD0にはリセット電圧 V_1 が書き込まれたままの状態であると見なすことができる。
- [0122] 同様に、時刻 t_{14} で示されるように、FD2に当初のリセット電圧 V_1 とするように、リセット電圧 $V_{11}'' - V_{15}$ ($= V_1$)を書き込む。
- [0123] この際、FD0、FD1は、いずれもリセット電圧が書き込まれた状態であるため、FD2との寄生カップリング容量 C_x の影響を受けて、いずれも電圧 V_{14} 程度の低下が生じる。しかしながら、この際も同様に、FD2で

の電圧変化である電圧 V_{15} は、リセット電圧 V_1 に対する微調整程度の電圧変化であるので、この電圧変移に対する寄生カップリング容量 C_x による影響は、極小さいものとなる。結果として、 FD_0 、 FD_1 にはリセット電圧 V_1 が書き込まれたままの状態であると見なすことができる。

[0124] このように、全 FD に対して、2回リセット電圧を書き込むようにすることで、全 FD に対する書き込み電圧のばらつきを抑制することが可能となる。

[0125] <電子機器への適用例>

上述した固体撮像素子は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像装置、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0126] 図17は、本技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[0127] 図17に示される撮像装置201は、光学系202、シャッタ装置203、固体撮像素子204、駆動回路205、信号処理回路206、モニタ207、およびメモリ208を備えて構成され、静止画像および動画像を撮像可能である。

[0128] 光学系202は、1枚または複数枚のレンズを有して構成され、被写体からの光（入射光）を固体撮像素子204に導き、固体撮像素子204の受光面に結像させる。

[0129] シャッタ装置203は、光学系202および固体撮像素子204の間に配置され、駆動回路1005の制御に従って、固体撮像素子204への光照射期間および遮光期間を制御する。

[0130] 固体撮像素子204は、上述した図1、図4、図6乃至図12の固体撮像素子を含むパッケージにより構成される。固体撮像素子204は、光学系202およびシャッタ装置203を介して受光面に結像される光に応じて、一定期間、信号電荷を蓄積する。固体撮像素子204に蓄積された信号電荷は、駆動回路205から供給される駆動信号（タイミング信号）に従って転送

される。

[0131] 駆動回路 205 は、固体撮像素子 204 の転送動作、および、シャッタ装置 203 のシャッタ動作を制御する駆動信号を出力して、固体撮像素子 204 およびシャッタ装置 203 を駆動する。

[0132] 信号処理回路 206 は、固体撮像素子 204 から出力された信号電荷に対して各種の信号処理を施す。信号処理回路 206 が信号処理を施すことにより得られた画像（画像データ）は、モニタ 207 に供給されて表示されたり、メモリ 208 に供給されて記憶（記録）されたりする。

[0133] このように構成されている撮像装置 201 においても、上述した固体撮像素子 204 に代えて、図 1，図 4，図 6 乃至図 12 の固体撮像素子 1 を適用することにより、全画素で低ノイズによる撮像を実現させることが可能となる。

<固体撮像素子の使用例>

[0134] 図 18 は、上述の図 1，図 4，図 6 乃至図 12 の固体撮像素子を使用する使用例を示す図である。

[0135] 上述した図 1，図 4，図 6 乃至図 12 の固体撮像素子は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0136] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアーコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

- ・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

- ・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

- ・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

- ・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0137] 尚、本技術は、以下のような構成も取ることができる。

(1) 基準電圧を生成するソースフォロワ回路を含み、

前記ソースフォロワ回路を構成する増幅トランジスタのゲート電圧は、画素毎に画素回路を構成するフォトダイオードにより生成された電荷を蓄積するフローティングディフュージョンに蓄積された電荷をリセットする際のリセット電圧と同一であり、

前記ゲートに電圧を印加する電源と、前記ゲートとの間の配線上にスイッチが配設されており、前記スイッチは、オフした際に、前記ゲートに印加する電圧を、前記リセット後の前記フローティングディフュージョンの電圧と同値とするものである

固体撮像素子。

(2) 前記ソースフォロワ回路は、前記スイッチをオンにするとき、前記基準電圧を生成する

(1) に記載の固体撮像素子。

(3) 前記ソースフォロワ回路は、水平方向に分割されたカラム毎に設定され、垂直方向に各画素の信号を転送する垂直転送線毎に設けられ、前記基準電圧を、前記垂直転送線に対して印加する

(1) に記載の固体撮像素子。

(4) 隣接する複数の前記垂直転送線間を、前記スイッチとなるトランジスタのゲートを共通化して接続する

(3) に記載の固体撮像素子。

(5) 隣接する前記垂直転送線間を、スイッチを介して接続し、前記画素の信号が読み出される直前のタイミングでオンにされる

(3) に記載の固体撮像素子。

(6) 前記リセット電圧を供給する電源と、前記スイッチを介して前記基準電圧として供給する電源とは、同一の電源である

(1) 乃至 (5) のいずれかに記載の固体撮像素子。

(7) 前記リセット電圧を供給する電源と、前記スイッチを介して前記基準電圧として供給する電源とは、個別の電源である

(1) 乃至 (5) のいずれかに記載の固体撮像素子。

(8) 前記垂直転送線を介して出力される前記画素の信号は、オートゼロ回路に出力される

(1) 乃至 (7) のいずれかに記載の固体撮像素子。

(9) 前記垂直転送線を介して出力される前記画素の信号は、A/D (analog/Digital) 変換器に出力される

(1) 乃至 (8) に記載の固体撮像素子。

(10) 本体回路構成は1枚のチップにより構成される

(1) 乃至 (9) のいずれかに記載の固体撮像素子。

(11) 本体回路構成は複数のチップにより構成される

(1) 乃至 (10) のいずれかに記載の固体撮像素子。

(12) 前記本体回路構成が2枚のチップより構成される場合、第1のチップに、前記画素回路を含み、第2のチップに、前記ソースフォロフ回路およびA/D (analog/Digital) 変換器を含む

(11) に記載の固体撮像素子。

(13) 前記本体回路構成が2枚のチップより構成される場合、第1のチップに、前記画素回路、および前記ソースフォロフ回路を含み、第2のチップに、A/D (analog/Digital) 変換器を含む

(11) に記載の固体撮像素子。

(14) 前記本体回路構成が2枚のチップより構成される場合、第1のチ

ップに、前記画素回路、前記ソースフォロワ回路、およびA/D (analog/Digital) 変換器のコンパレータを含み、第2のチップに、前記A/D (analog/Digital) 変換器のカウンタを含む

(11) に記載の固体撮像素子。

(15) 前記ソースフォロワ回路は、2次元方向に分割された領域毎の各画素の信号を転送する領域転送線毎に設けられ、前記基準電圧を、前記領域転送線に対して印加する

(1) に記載の固体撮像素子。

(16) 本体回路構成は、前記領域毎の前記画素回路を含む第1のチップと、前記領域毎のソースフォロワ回路を含む第2のチップとからなる

(15) に記載の固体撮像素子。

(17) 基準電圧を生成するソースフォロワ回路を含み、

前記ソースフォロワ回路を構成する増幅トランジスタのゲート電圧は、画素毎に画素回路を構成するフォトダイオードにより生成された電荷を蓄積するフローティングディフュージョンに蓄積された電荷をリセットする際のリセット電圧と同一であり、

前記ゲートに電圧を印加する電源と、前記ゲートとの間の配線上にスイッチが配設されており、前記スイッチは、オフした際に、前記ゲートに印加する電圧を、前記リセット後の前記フローティングディフュージョンの電圧と同値とするものである

撮像装置。

(18) 基準電圧を生成するソースフォロワ回路を含み、

前記ソースフォロワ回路を構成する増幅トランジスタのゲート電圧は、画素毎に画素回路を構成するフォトダイオードにより生成された電荷を蓄積するフローティングディフュージョンに蓄積された電荷をリセットする際のリセット電圧と同一であり、

前記ゲートに電圧を印加する電源と、前記ゲートとの間の配線上にスイッチが配設されており、前記スイッチは、オフした際に、前記ゲートに印加す

る電圧を、前記リセット後の前記フローティングディフュージョンの電圧と同値とするものである

電子機器。

符号の説明

[0138] 11 基準電圧生成回路, 12 Bias生成回路, 13 Vamp
ref生成回路, 14 オートゼロ回路, 31, 31-1乃至31-3
AD変換器, 32 Ramp生成回路, 51 カウンタ, 101,
101-1, 101-2 チップ, 121, 121-1乃至121-3
画素ユニット, 151, 152 チップ

請求の範囲

- [請求項1] 基準電圧を生成するソースフォロワ回路を含み、
前記ソースフォロワ回路を構成する増幅トランジスタのゲート電圧は、画素毎に画素回路を構成するフォトダイオードにより生成された電荷を蓄積するフローティングディフュージョンに蓄積された電荷をリセットする際のリセット電圧と同一であり、
前記ゲートに電圧を印加する電源と、前記ゲートとの間の配線上にスイッチが配設されており、前記スイッチは、オフした際に、前記ゲートに印加する電圧を、前記リセット後の前記フローティングディフュージョンの電圧と同値とするものである
固体撮像素子。
- [請求項2] 前記ソースフォロワ回路は、前記スイッチをオンにするとき、前記基準電圧を生成する
請求項1に記載の固体撮像素子。
- [請求項3] 前記ソースフォロワ回路は、水平方向に分割されたカラム毎に設定され、垂直方向に各画素の信号を転送する垂直転送線毎に設けられ、前記基準電圧を、前記垂直転送線に対して印加する
請求項1に記載の固体撮像素子。
- [請求項4] 隣接する複数の前記垂直転送線間を、前記スイッチとなるトランジスタのゲートを共通化して接続する
請求項3に記載の固体撮像素子。
- [請求項5] 隣接する前記垂直転送線間を、スイッチを介して接続し、前記画素の信号が読み出される直前のタイミングでオンにされる
請求項3に記載の固体撮像素子。
- [請求項6] 前記リセット電圧を供給する電源と、前記スイッチを介して前記基準電圧として供給する電源とは、同一の電源である
請求項1に記載の固体撮像素子。
- [請求項7] 前記リセット電圧を供給する電源と、前記スイッチを介して前記基

準電圧として供給する電源とは、個別の電源である

請求項 1 に記載の固体撮像素子。

[請求項8] 前記垂直転送線を介して出力される前記画素の信号は、オートゼロ回路に出力される

請求項 1 に記載の固体撮像素子。

[請求項9] 前記垂直転送線を介して出力される前記画素の信号は、A/D変換器に出力される

請求項 1 に記載の固体撮像素子。

[請求項10] 本体回路構成は1枚のチップにより構成される

請求項 1 に記載の固体撮像素子。

[請求項11] 本体回路構成は複数のチップにより構成される

請求項 1 に記載の固体撮像素子。

[請求項12] 前記本体回路構成が2枚のチップより構成される場合、第1のチップに、前記画素回路を含み、第2のチップに、前記ソースフォロワ回路およびA/D(analog/Digital)変換器を含む

請求項 1 に記載の固体撮像素子。

[請求項13] 前記本体回路構成が2枚のチップより構成される場合、第1のチップに、前記画素回路、および前記ソースフォロワ回路を含み、第2のチップに、A/D(analog/Digital)変換器を含む

請求項 1 に記載の固体撮像素子。

[請求項14] 前記本体回路構成が2枚のチップより構成される場合、第1のチップに、前記画素回路、前記ソースフォロワ回路、およびA/D(analog/Digital)変換器のコンパレータを含み、第2のチップに、前記A/D変換器のカウンタを含む

請求項 1 に記載の固体撮像素子。

[請求項15] 前記ソースフォロワ回路は、2次元方向に分割された前記領域毎の各画素の信号を転送する領域転送線毎に設けられ、前記基準電圧を、前記領域転送線に対して印加する

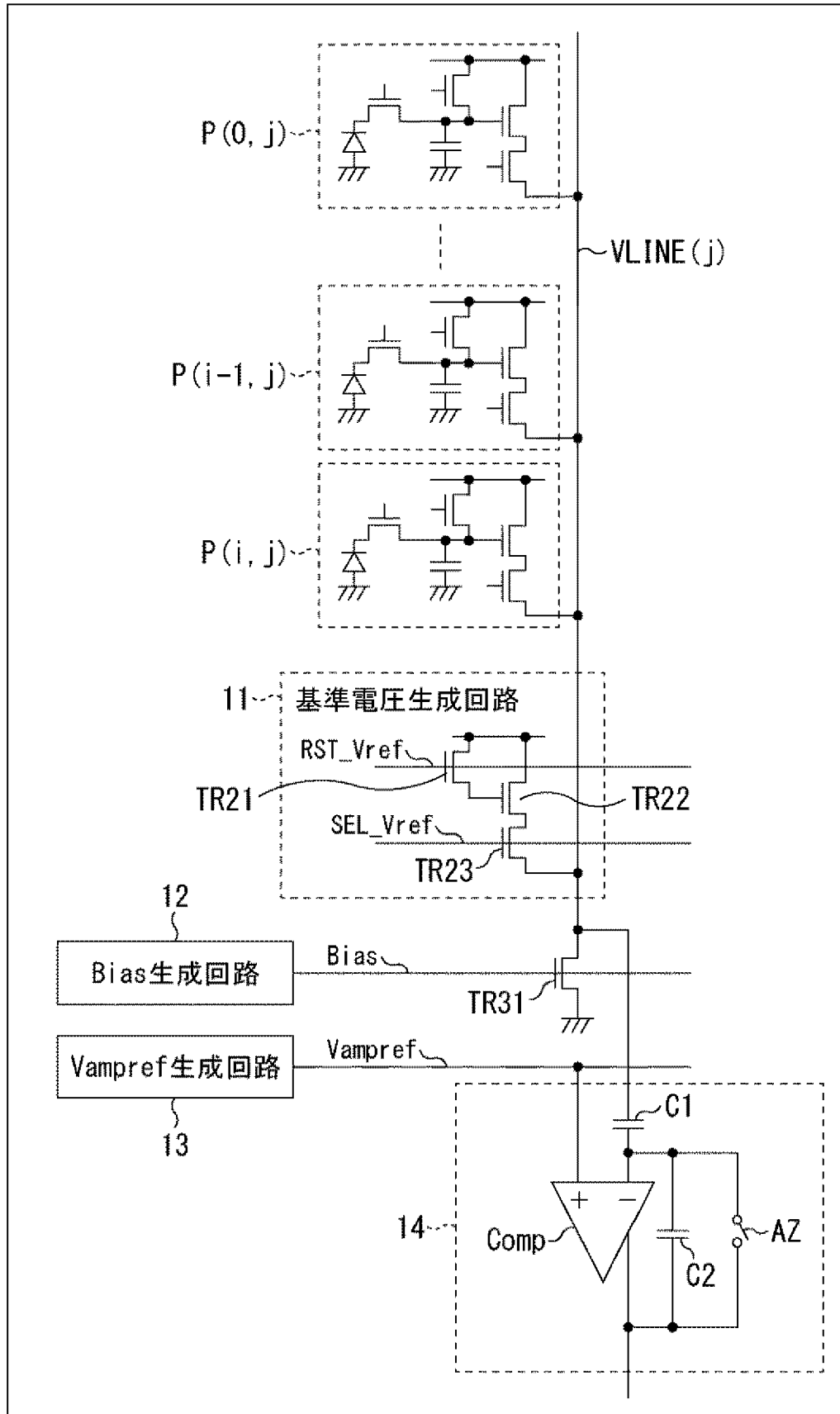
請求項 1 に記載の固体撮像素子。

[請求項16] 本体回路構成は、前記領域毎の前記画素回路を含む第 1 のチップと、前記領域毎のソースフォロワ回路を含む第 2 のチップとからなる請求項 1 5 に記載の固体撮像素子。

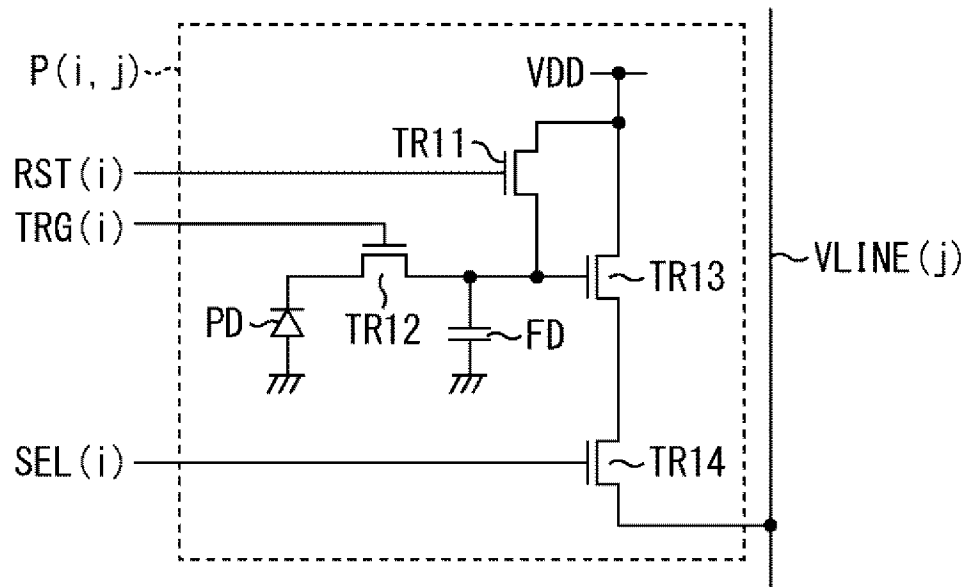
[請求項17] 基準電圧を生成するソースフォロワ回路を含み、
前記ソースフォロワ回路を構成する増幅トランジスタのゲート電圧は、画素毎に画素回路を構成するフォトダイオードにより生成された電荷を蓄積するフローティングディフュージョンに蓄積された電荷をリセットする際のリセット電圧と同一であり、
前記ゲートに電圧を印加する電源と、前記ゲートとの間の配線上にスイッチが配設されており、前記スイッチは、オフした際に、前記ゲートに印加する電圧を、前記リセット後の前記フローティングディフュージョンの電圧と同値とするものである
撮像装置。

[請求項18] 基準電圧を生成するソースフォロワ回路を含み、
前記ソースフォロワ回路を構成する増幅トランジスタのゲート電圧は、画素毎に画素回路を構成するフォトダイオードにより生成された電荷を蓄積するフローティングディフュージョンに蓄積された電荷をリセットする際のリセット電圧と同一であり、
前記ゲートに電圧を印加する電源と、前記ゲートとの間の配線上にスイッチが配設されており、前記スイッチは、オフした際に、前記ゲートに印加する電圧を、前記リセット後の前記フローティングディフュージョンの電圧と同値とするものである
電子機器。

[図1]
FIG.1

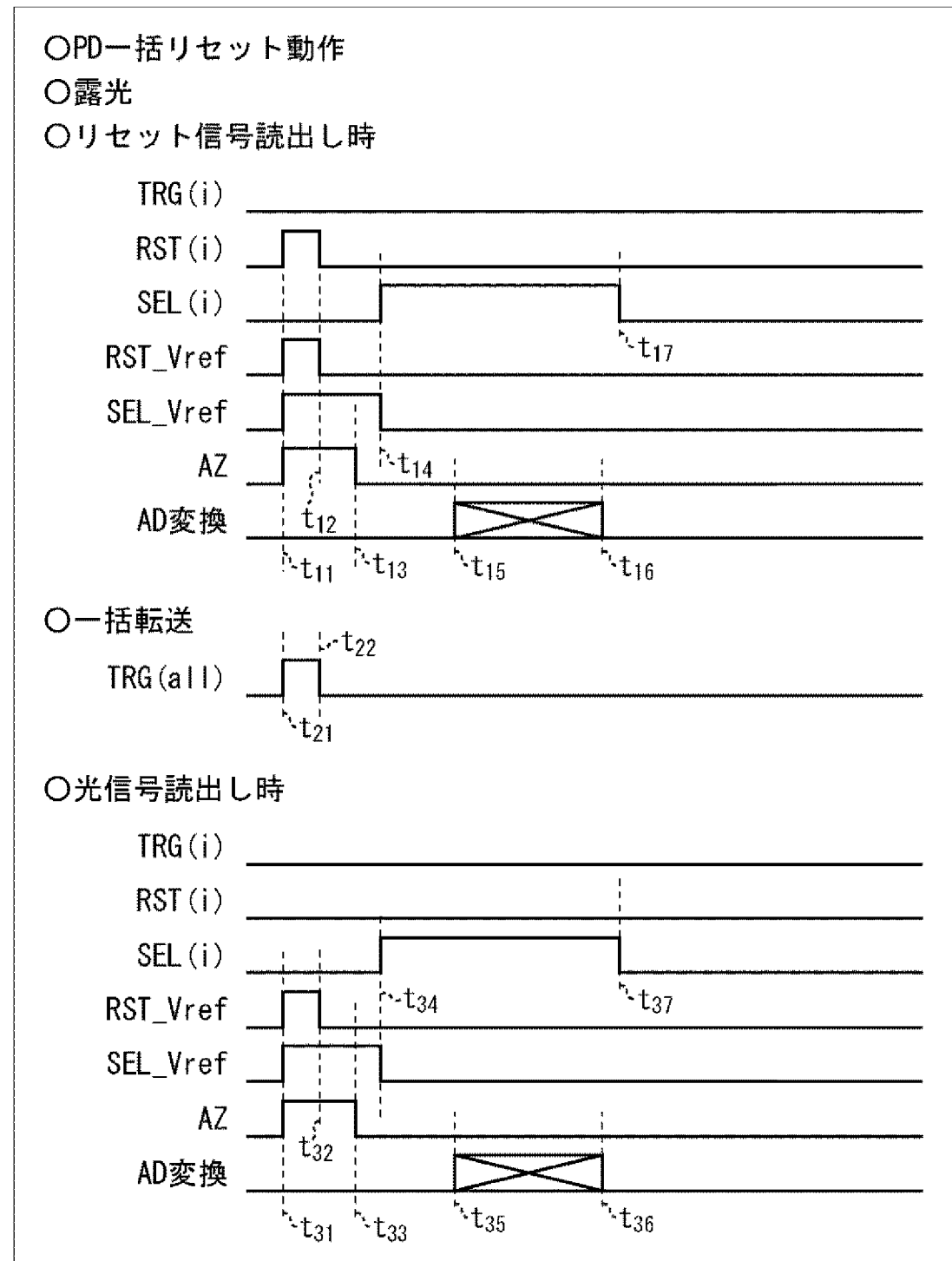


[図2]
FIG. 2

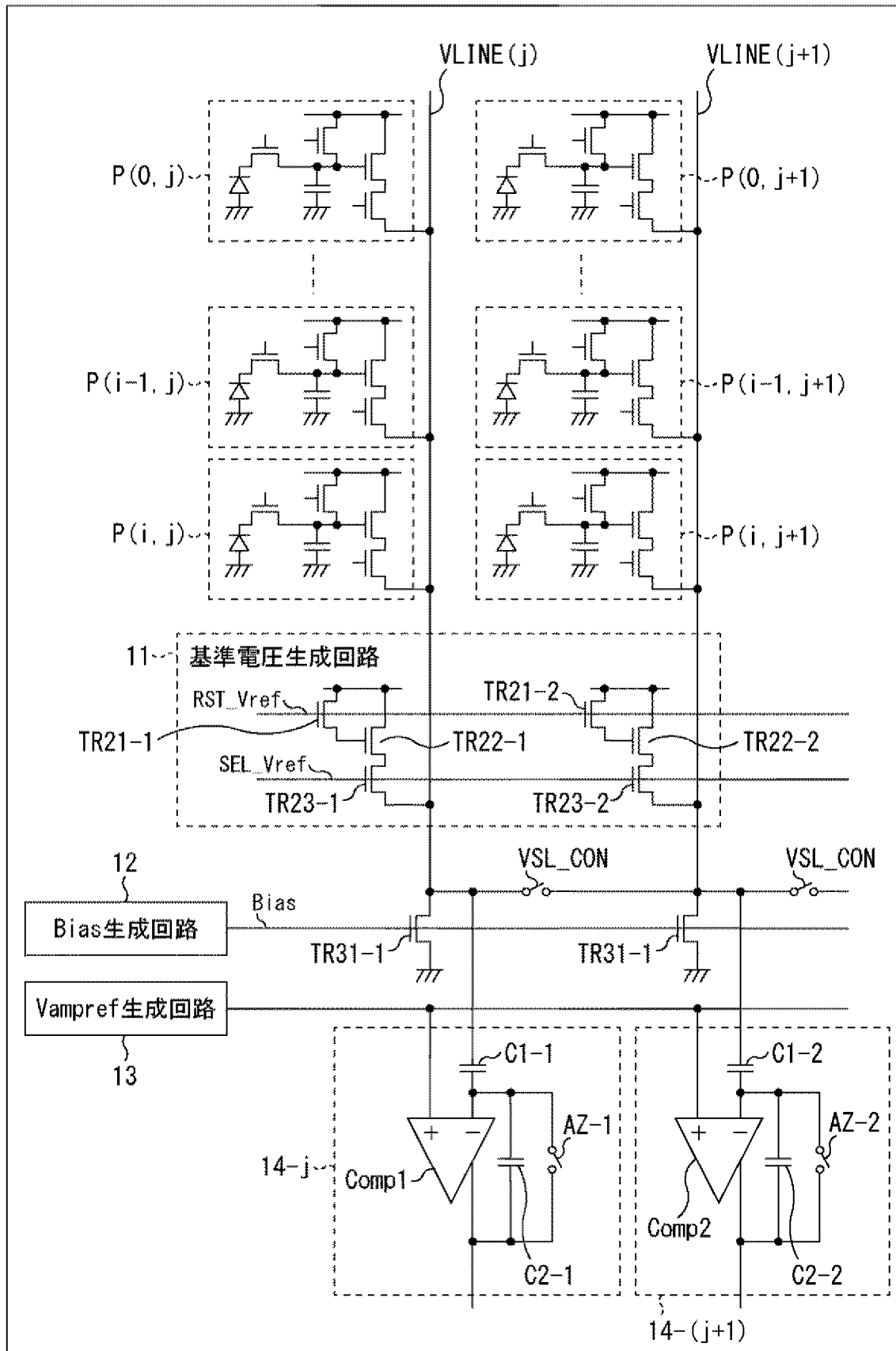


[図3]

FIG.3



[図4]
FIG.4



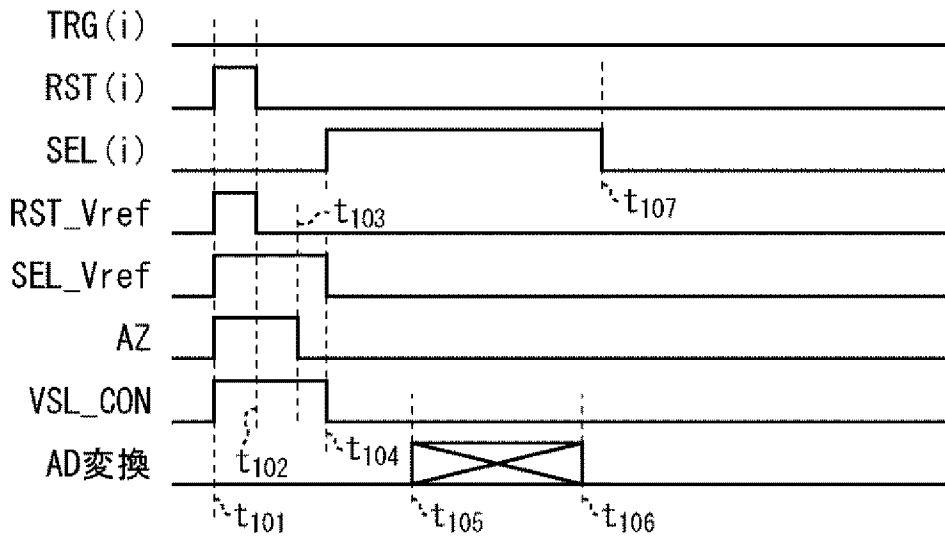
[図5]

FIG. 5

OPD一括リセット動作

○露光

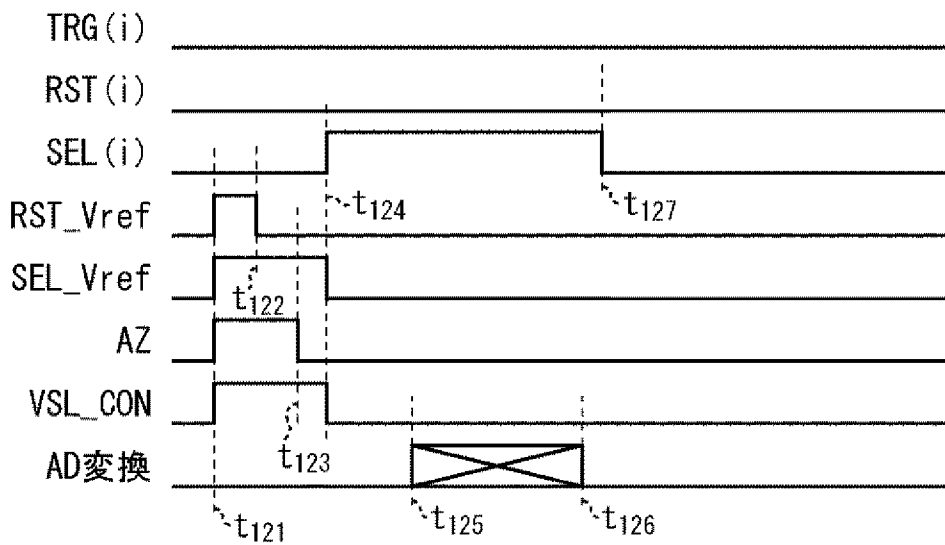
○リセット信号読出し時



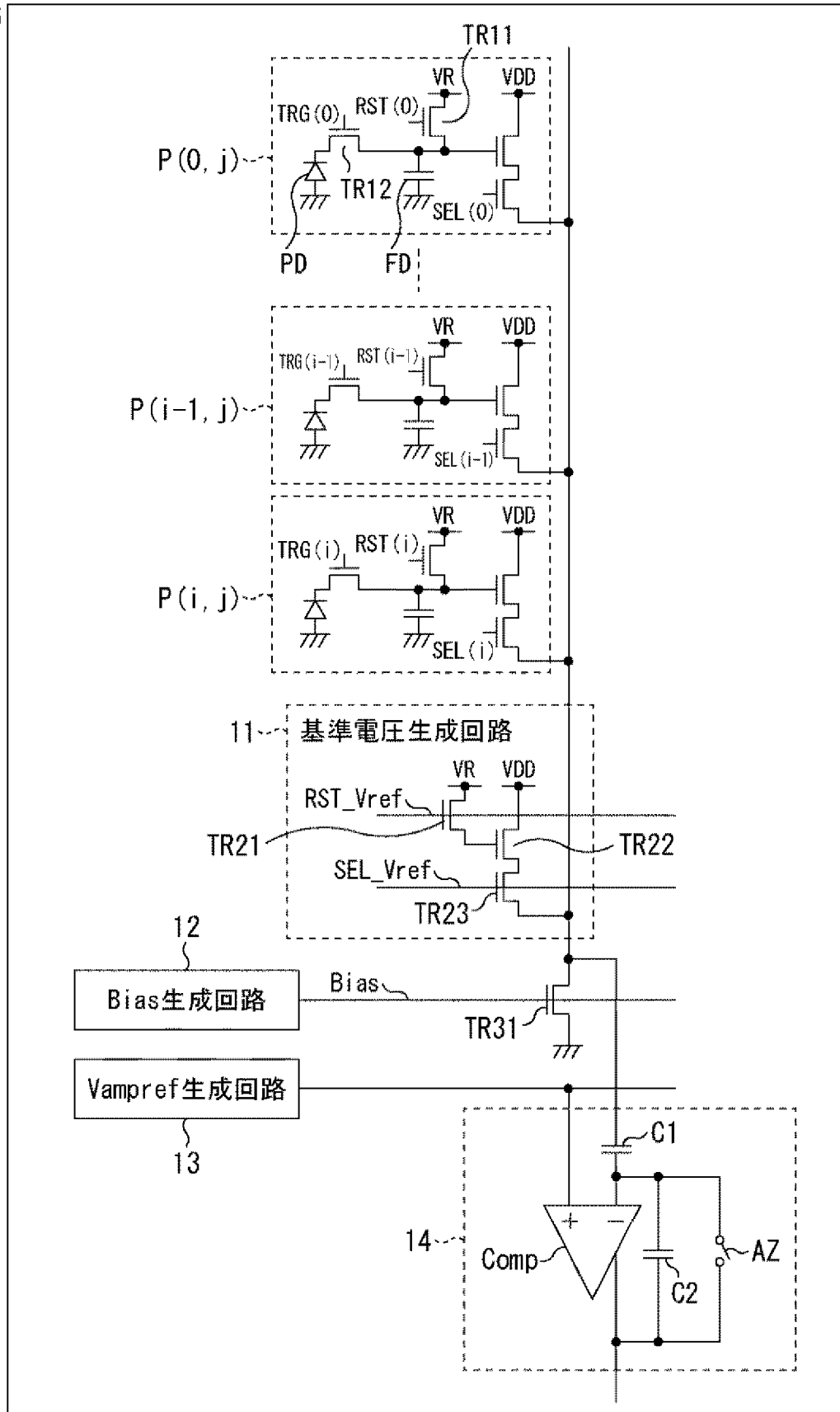
○一括転送



○光信号読出し時

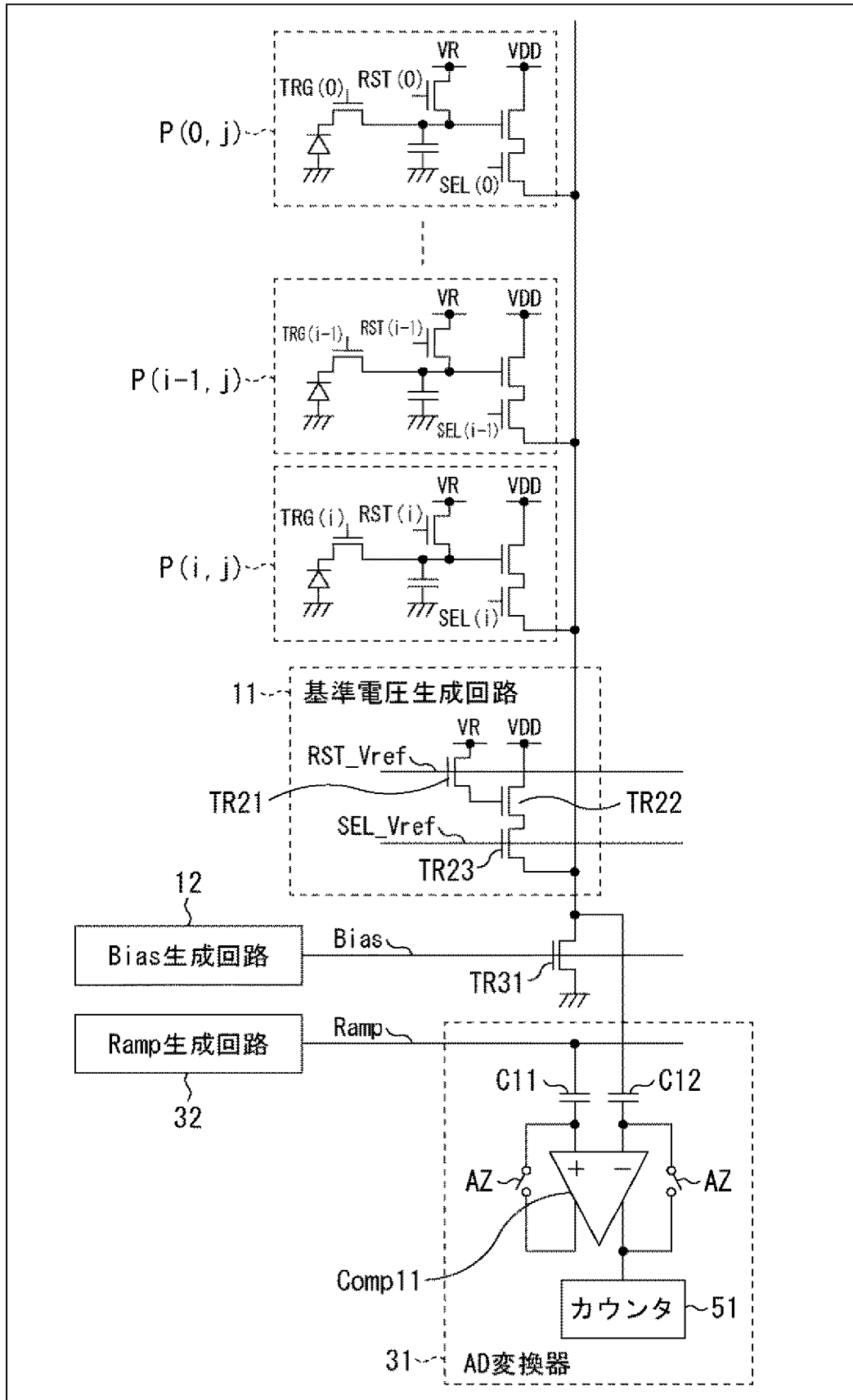


[図6]
FIG. 6

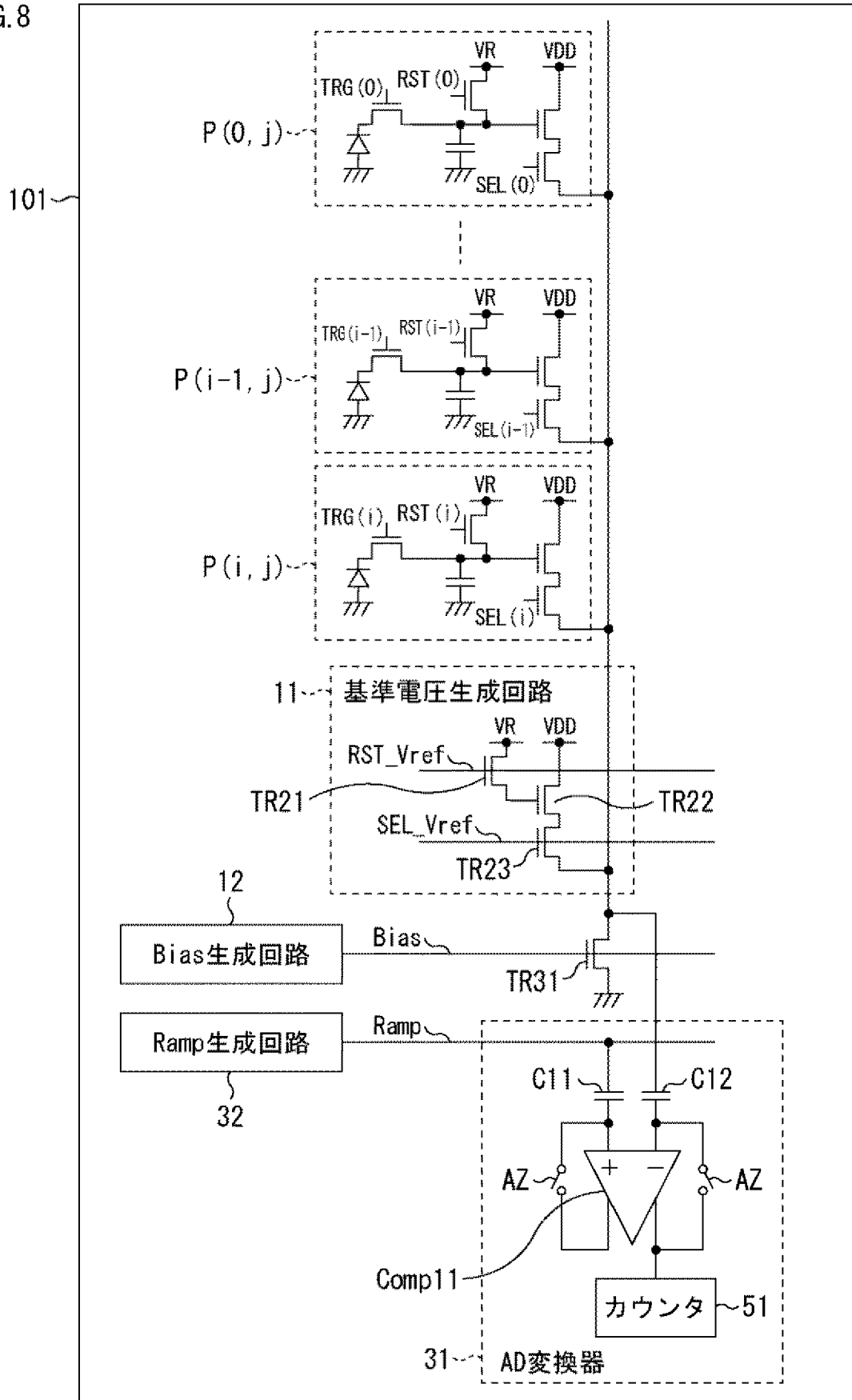


[図7]

FIG.7



[図8]
FIG. 8



[図9]
FIG.9

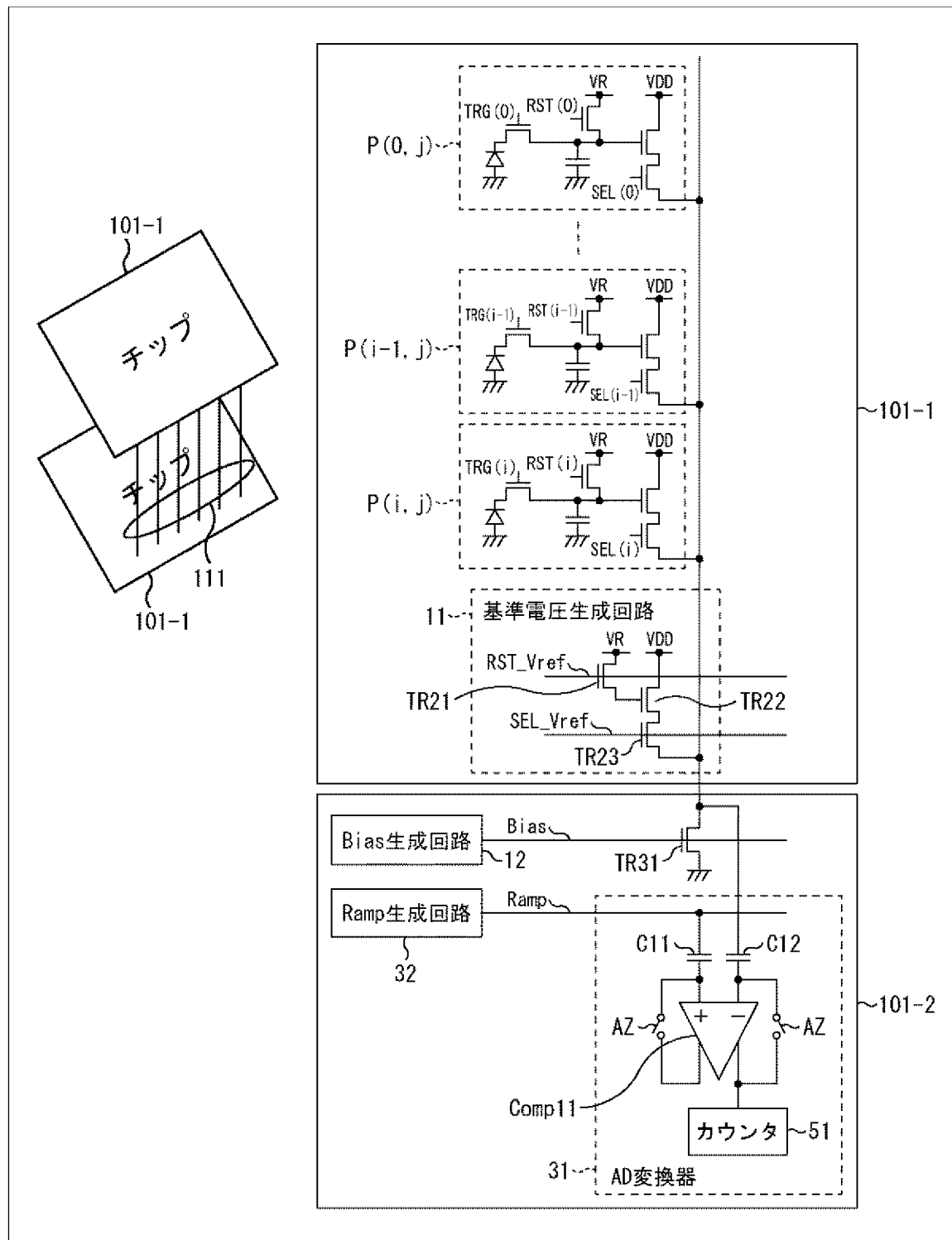


Figure 1 illustrates the circuit and operation of a 1-bit AD converter. The figure is divided into three parts: 101-1, 101-2, and 101-3.

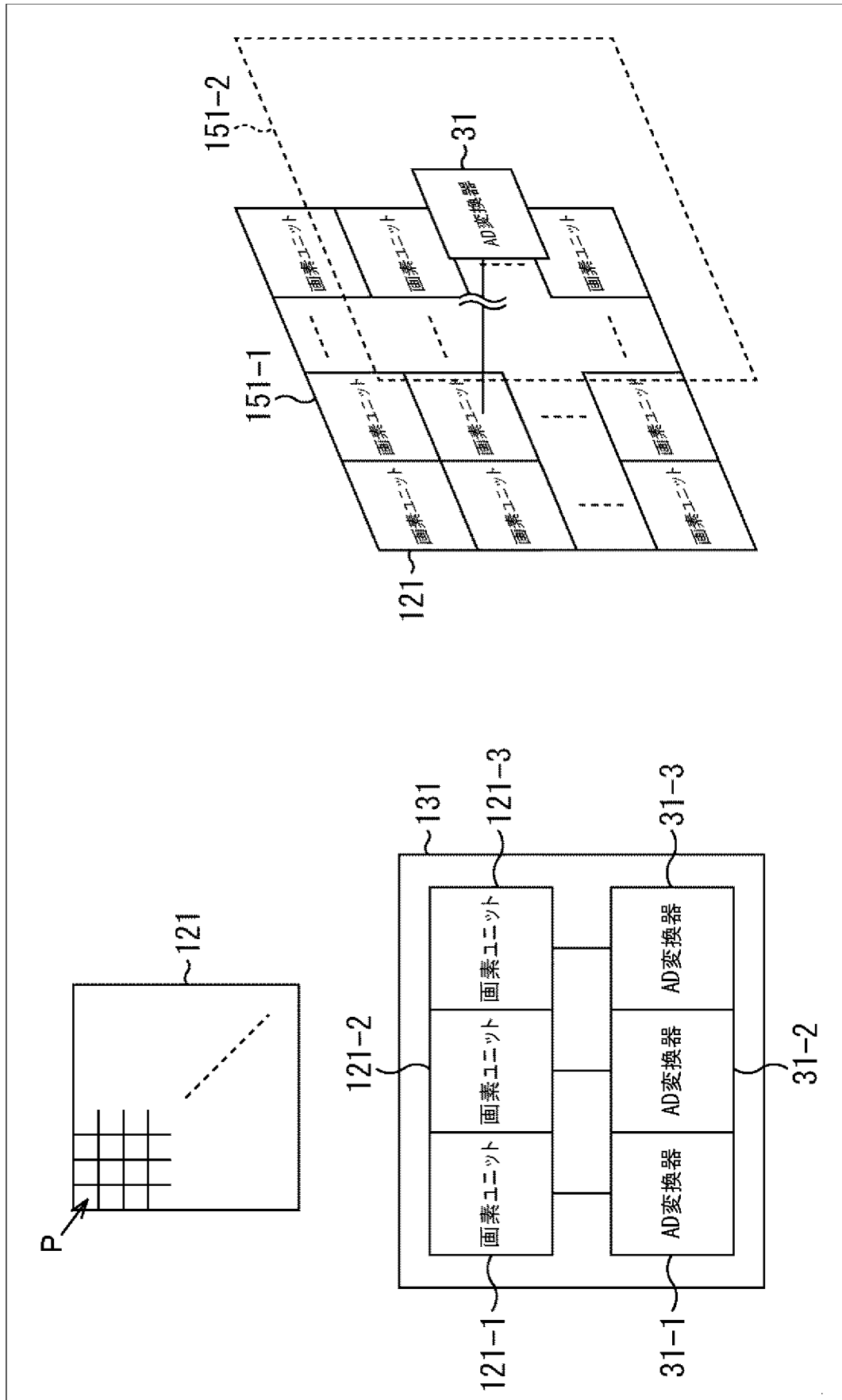
101-1: Shows the initial state of the circuit. The input signals are $P(0, j)$ and $P(i, j)$. The circuit includes a Bias generation circuit (12), a Ramp generation circuit (32), a Comparator (Comp11), and a Counter (51). The output is the AD converter (31).

101-2: Shows the first operation where $P(i, j)$ is set to 1. The circuit components are the same as in 101-1.

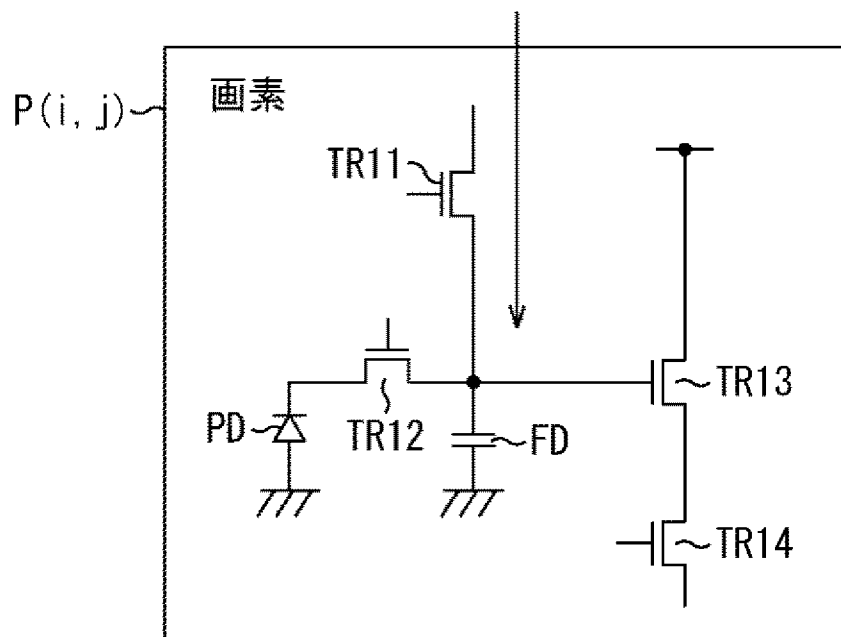
101-3: Shows the second operation where $P(i, j)$ is set to 0. The circuit components are the same as in 101-1.

The schematic diagram illustrates the internal architecture of the AD converter. At the top, there are two main functional blocks: the "Bias生成回路" (Bias Generation Circuit) and the "Ramp生成回路" (Ramp Generation Circuit). Below these, the circuit is divided into multiple parallel processing channels, indexed from 0 to j. Each channel contains a differential pair of transistors (TR21-i, TR22-i, TR23-i) connected to a common source node. This node is also connected to a feedback network involving capacitors C11 and C12, and a feedback transistor TR31. The output of each stage is fed into a comparator (AZ), which is part of a larger block containing a counter (カウンタ) and a DAC (AD変換器). The outputs of these DACs are labeled as 51-0, 51-1, ..., 51-j. The entire circuit is powered by a reference voltage Vref and a supply voltage Vcc.

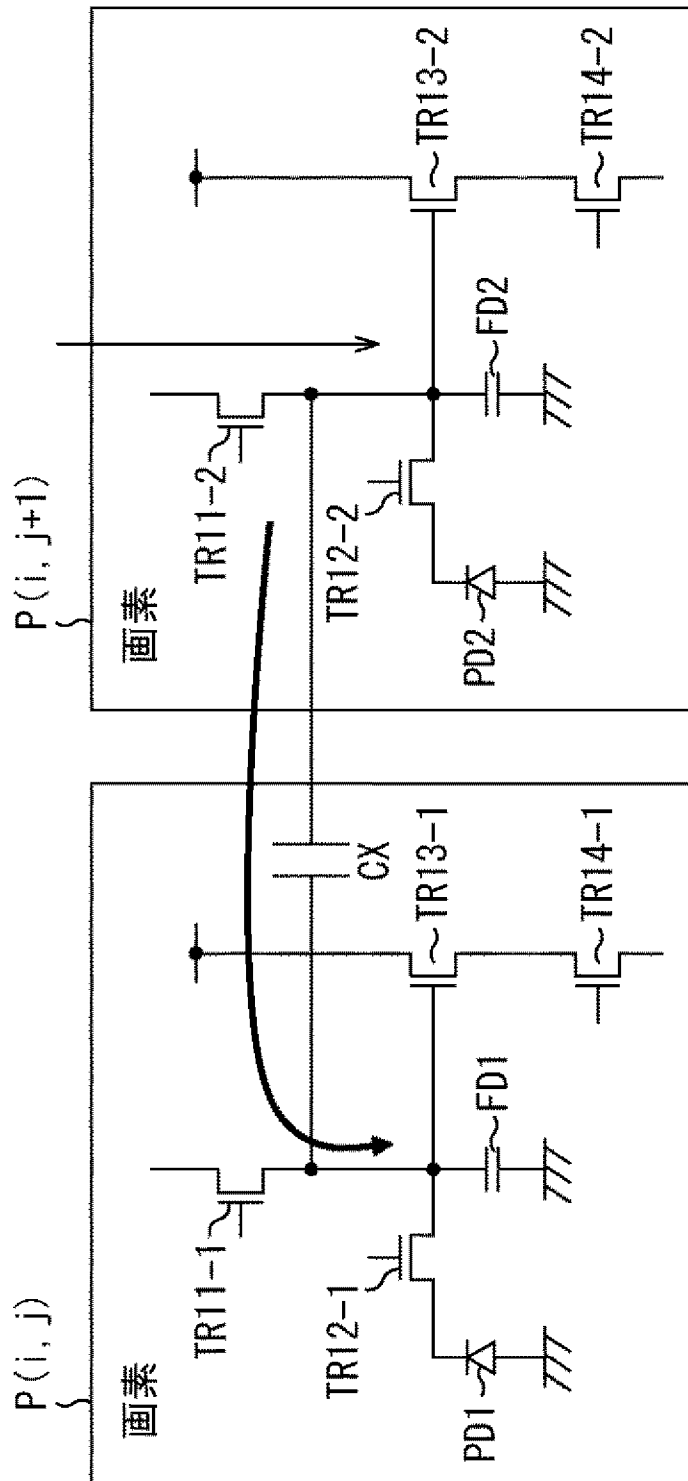
[図12]
FIG.12



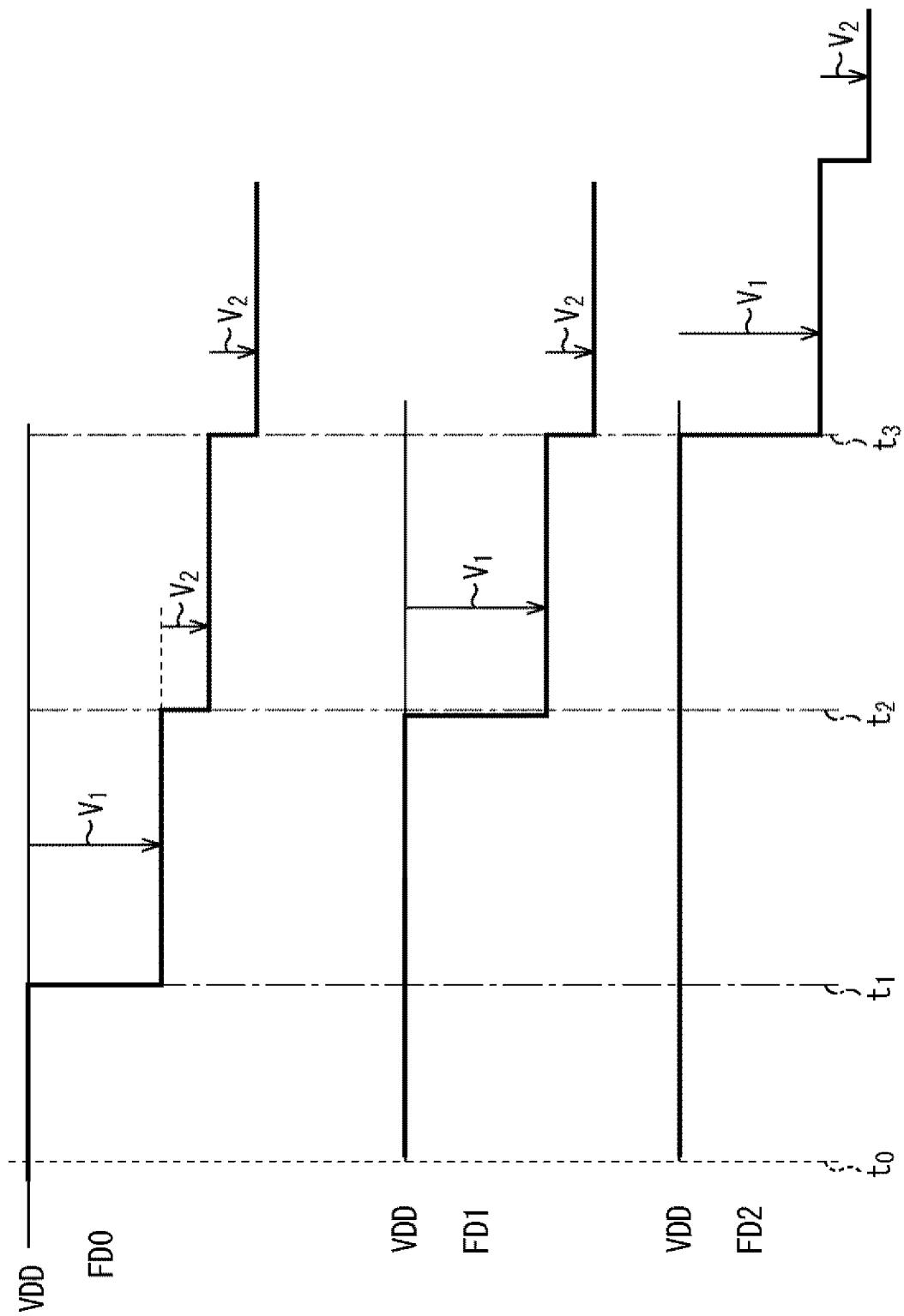
[図13]
FIG.13



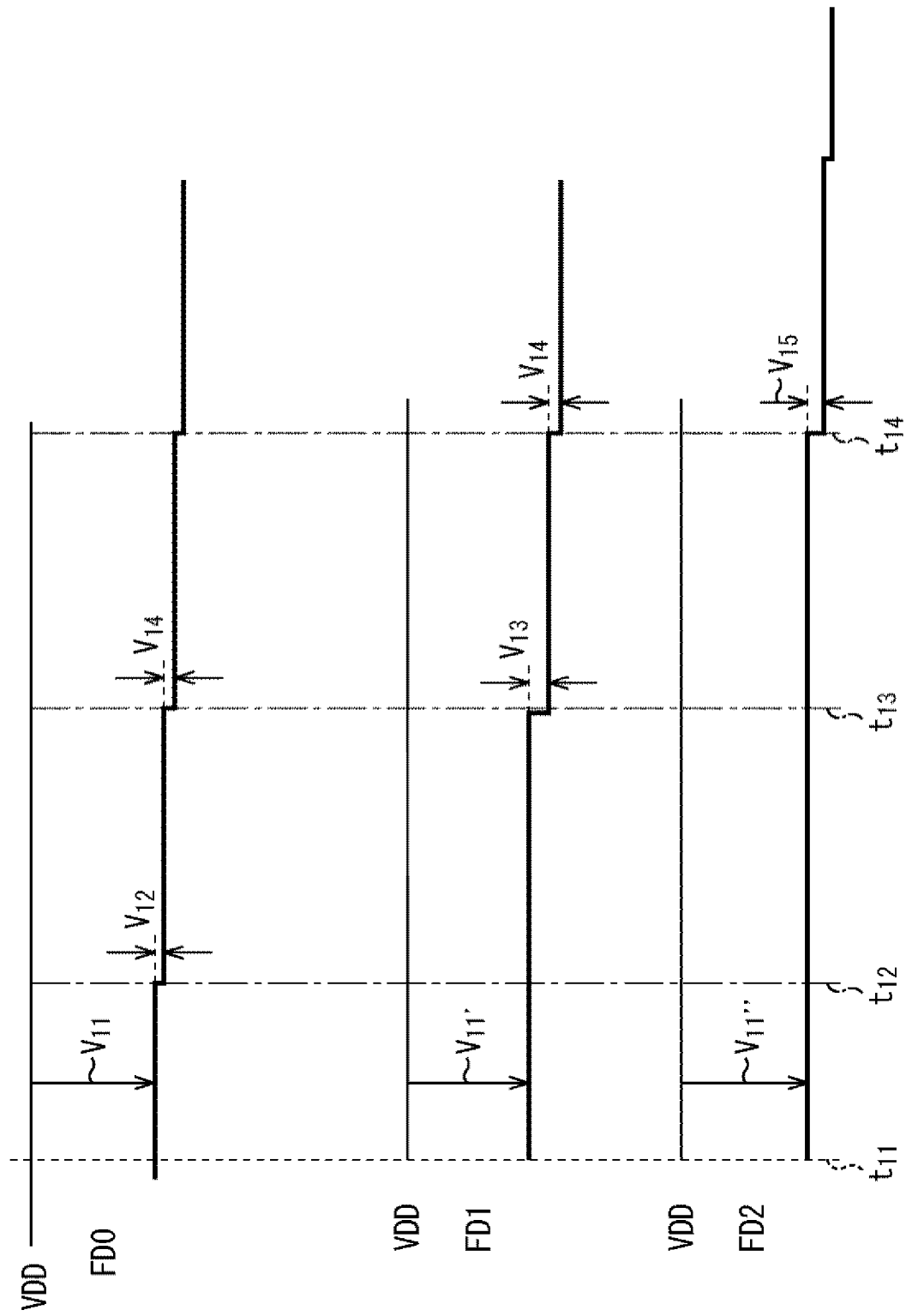
[図14]
FIG. 14



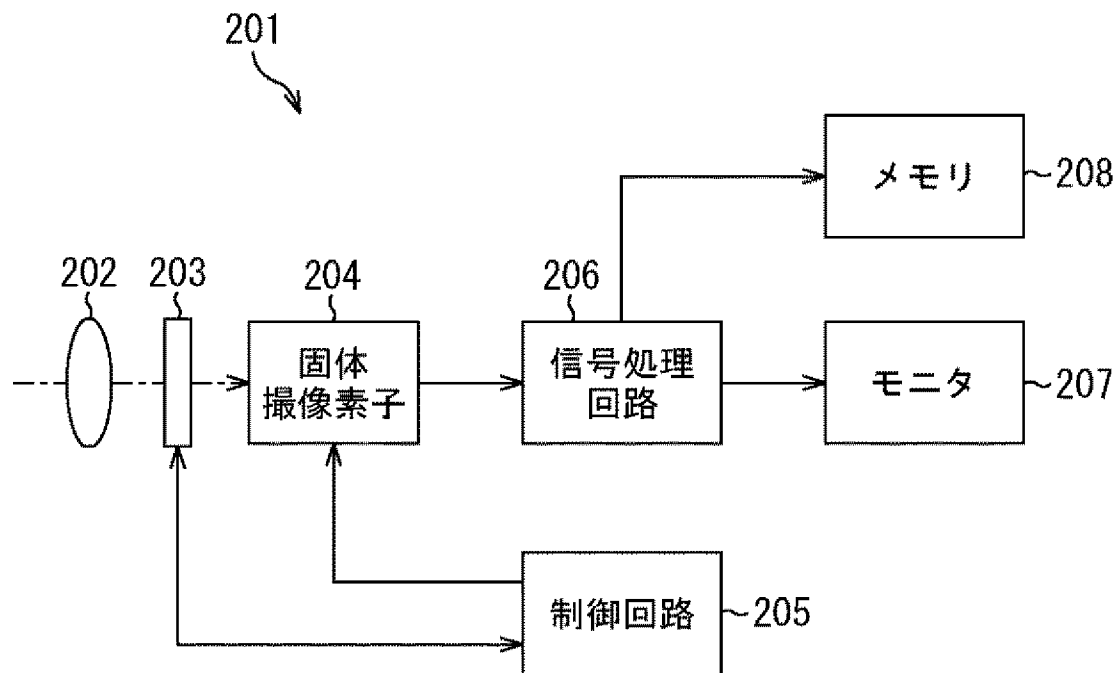
[図15]
FIG.15



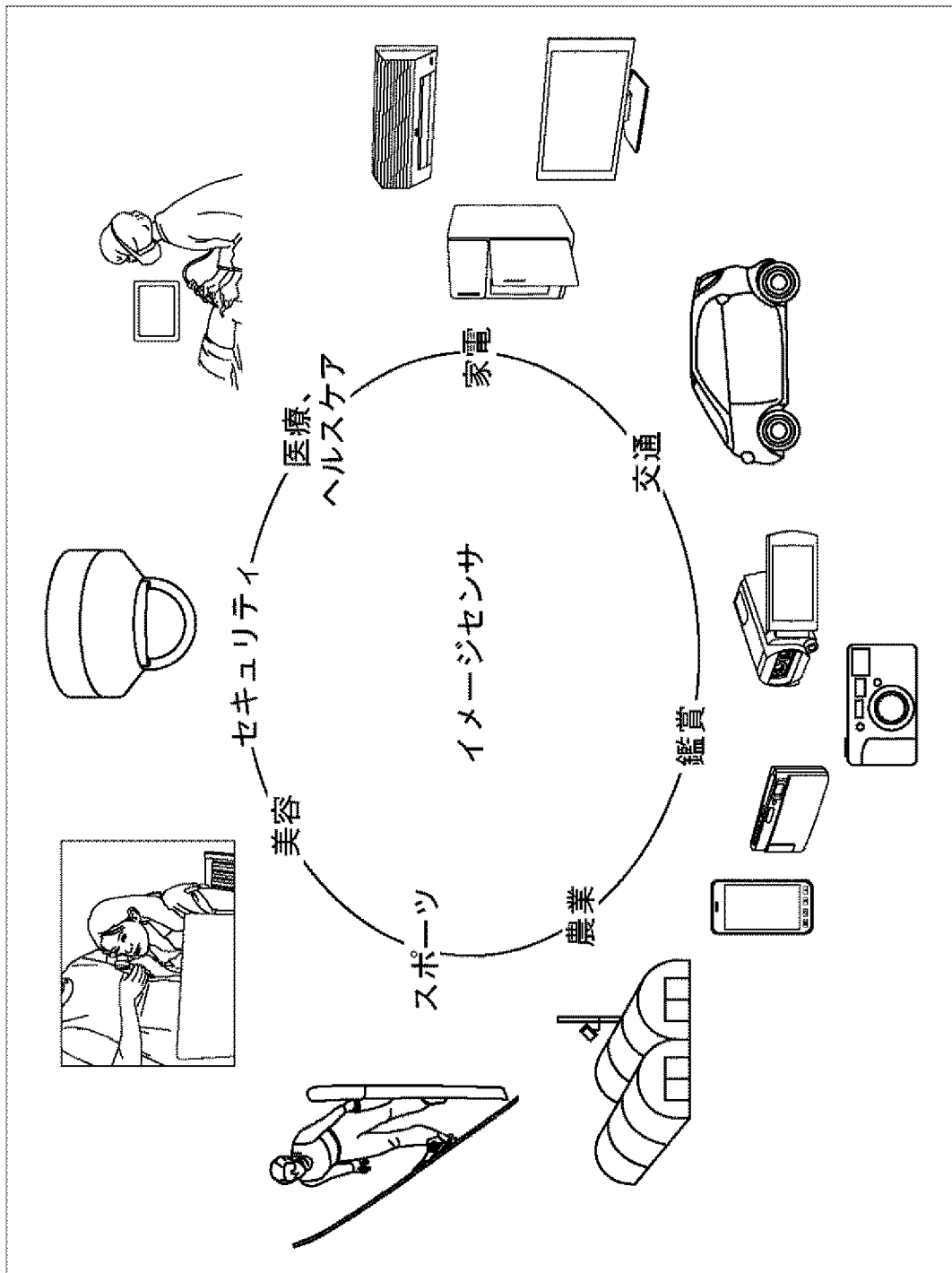
[図16]
FIG.16



[図17]
FIG. 17



[図18]
FIG. 18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/058647

A. CLASSIFICATION OF SUBJECT MATTER H04N5/378(2011.01) i				
According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H04N5/378				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016 Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
A	JP 2013-90234 A (Sony Corp.), 13 May 2013 (13.05.2013), paragraphs [0002] to [0079]; fig. 10 & US 2014/0293103 A1 paragraphs [0002] to [0275]; fig. 10	1-18		
A	JP 2010-288218 A (Sharp Corp.), 24 December 2010 (24.12.2010), paragraphs [0035] to [0164] & US 2010/0315540 A1 paragraphs [0038] to [0209]	1-18		
A	JP 2013-168880 A (Sony Corp.), 29 August 2013 (29.08.2013), paragraphs [0026] to [0155] & US 2013/0215302 A1 paragraphs [0018] to [0553]	1-18		
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.				
<table border="0"> <tr> <td> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of the actual completion of the international search 04 April 2016 (04.04.16)		Date of mailing of the international search report 12 April 2016 (12.04.16)		
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.		

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/058647

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2014/097857 A1 (Sony Corp.), 26 June 2014 (26.06.2014), paragraphs [0024] to [0291] & EP 2938066 A1 paragraphs [0025] to [0297]	1-18

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-90234 A（ソニー株式会社）2013.05.13, 段落 [0002]-[0079]、図 10 & US 2014/0293103 A1, 段落[0002]-[0275]、 図 10	1-18
A	JP 2010-288218 A（シャープ株式会社）2010.12.24, 段落 [0035]-[0164] & US 2010/0315540 A1, 段落[0038]-[0209]	1-18
A	JP 2013-168880 A（ソニー株式会社）2013.08.29, 段落 [0026]-[0155] & US 2013/0215302 A1, 段落[0018]-[0553]	1-18

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

04.04.2016

国際調査報告の発送日

12.04.2016

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松永 隆志

電話番号 03-3581-1101 内線 3571

5V

4228

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2014/097857 A1 (ソニー株式会社) 2014.06.26, 段落 [0024]-[0291] & EP 2938066 A1, 段落[0025]-[0297]	1 - 18