

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年12月7日(07.12.2017)



(10) 国際公開番号

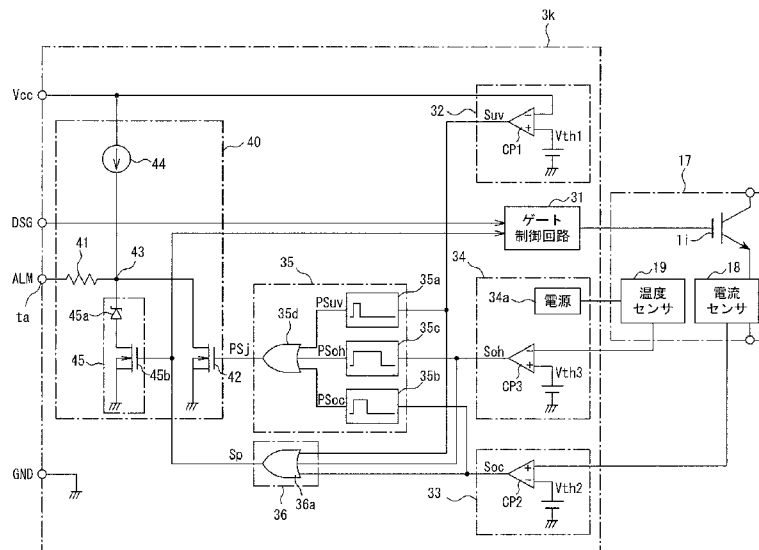
WO 2017/208668 A1

- (51) 国際特許分類:
H02M 1/00 (2007.01) *H02M 7/48* (2007.01)
H02M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2017/015987
- (22) 国際出願日: 2017年4月21日(21.04.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-111983 2016年6月3日(03.06.2016) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO.,LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 山村 太久生 (YAMAMURA Takuo); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 廣瀬 一, 外 (HIROSE Hajime et al.); 〒1056032 東京都港区虎ノ門四丁目 3 番 1 号 城山トラストタワー 3 2 階 特許業務法人日栄国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,

(54) Title: DRIVING DEVICE OF SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子の駆動装置

[図2]



- 18 Current sensor
- 19 Temperature sensor
- 31 Gate control circuit
- 34a Power supply

(57) Abstract: The present invention comprises: a plurality of detection circuits (32, 33, 34) that detect information required for a operation for protecting a semiconductor element constituting a power conversion device; a protection-signal-generating unit (35) that generates protection signals of different pulse widths for each of the plurality of detection circuits when the plurality of detection circuits detect the information required for the protection operation; a protection-state-monitoring unit (36) that generates protection state signals while the information required for a protection op-

[続葉有]



MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

eration is detected by any of the plurality of detection circuits; and a signal output unit (40) that, when a protection signal has been inputted, changes the state from a first level to a second level, and that, when input of the protection signal has been stopped and the protection state signal is inputted, outputs an alarm signal to become an interim level between the first level and the second level.

(57) 要約：電力変換装置を構成する半導体素子の保護動作に必要な情報を検出する複数の検出回路（32，33，34）と、複数の検出回路が保護動作に必要な情報を検出したときに、これら複数の検出回路毎に異なるパルス幅の保護信号を生成する保護信号生成部（35）と、複数の検出回路の何れかで保護動作に必要な情報を検出している間保護状態信号を生成する保護状態監視部（36）と、保護信号が入力されたときに第1レベルから第2レベルに状態変化し、保護信号の入力が停止されかつ保護状態信号が入力されているときに、第1レベル及び第2レベル間の中間レベルとなるアラーム信号を出力する信号出力部（40）とを備えている。

明 細 書

発明の名称：半導体素子の駆動装置

技術分野

[0001] 本発明は、例えば、電力変換装置を構成する半導体素子を駆動するとともに、保護動作識別機能を有する半導体素子の駆動装置に関する。

背景技術

[0002] 近時、インテリジェント・パワーモジュール（ＩＰＭ）が注目されている。このインテリジェント・パワーモジュールは、半導体素子（ＩＧＢＴ等のパワートランジスタ）とその駆動回路とともに、半導体素子の過電流、制御電源の電圧低下、過熱等の異常に対する保護回路を１つの電子部品としてモジュール化したものである。

また、このような異常をそれぞれ検出する複数の保護回路に加えて、各保護回路にて検出した異常の種別に応じて予め定めたパルス幅のアラーム信号を外部出力する判別回路（出力回路）をインテリジェント・パワーモジュールに組み込むことも提唱されている（例えば、特許文献１の図３参照）。

[0003] このようなアラーム信号を出力する判別回路を備えることで、駆動装置を制御する制御装置側、例えば、インバータ制御装置ではアラーム信号のパルス幅を検出することで半導体素子に生じた異常の種別を判別することができる（例えば、特許文献２参照）。

しかしながら、上記のようにアラーム信号を出力するだけでは、半導体素子の異常が解消されても、これを検出することができないという問題を含んでいる。そこで、本出願人は、先に上記不具合を回避し、また一般的にはパルス信号列として出力されるアラーム信号の判別および異常解消の検出を容易化する半導体素子の駆動装置を提唱した（特許文献３を参照）。

[0004] この半導体素子の駆動装置は、最初に異常を検出した検出回路の出力に応じて、異常検出開始時にアラーム信号の１パルス分だけローレベルとなる電圧を出力してから高レベルに復帰するとともに、異常検出信号の出力が停止

したときに一定期間に亘って出力回路の信号出力レベルを保護解除を表す中レベルに変更するものである。

このような出力回路の信号出力レベルを変更することで、複数のアラーム信号の判別の容易化に加え、半導体素子の異常が解消されたときすなわち保護動作の終了時を検出することができる。

先行技術文献

特許文献

[0005] 特許文献1：特開平 1 1－1 7 5 0 8 号公報

特許文献2：特開 2 0 1 6－5 2 1 7 8 号公報

特許文献3：特開 2 0 1 4－1 0 3 8 2 0 号公報

発明の概要

発明が解決しようとする課題

[0006] 特許文献3で提唱した半導体素子の駆動装置によれば、出力信号を監視することにより、保護動作開始時の保護動作種別と保護動作解除とを検出することができる。しかしながら、出力信号が保護動作種別を表す低レベルから高レベルに復帰してから中レベルとなる保護動作解除信号が出力されるまでの間は、出力信号が高レベルを維持する。したがって、この期間では、出力信号を検出するだけでは、保護動作状態であるか否かを判断できない。

本発明は、上記従来例の未解決の課題に着目してなされたものであり、駆動装置から出力されるアラーム信号を監視することにより、保護動作状態であるか否かを容易に判別できる半導体素子の駆動装置を提供することを目的としている。

課題を解決するための手段

[0007] 上記目的を達成するために、本発明の半導体素子の駆動装置の一態様は、電力変換装置を構成する半導体素子の保護動作に必要な情報を検出する複数の検出部と、複数の検出部で保護動作に必要な情報を検出したときに、これら複数の検出部毎に異なるパルス幅の保護信号を生成する保護信号生成部と

、複数の検出部の何れかで保護動作に必要な情報を検出している間保護状態信号を生成する保護状態監視部と、保護信号及び保護状態信号が入力されたときに第1レベルから第2レベルに状態変化し、前記保護信号の入力が停止されたときに、第1レベル及び第2レベル間の中間レベルとなるアラーム信号を出力する信号出力部とを備えている。

発明の効果

[0008] 本発明の一態様によれば、アラーム信号の第1レベルのパルス幅を検出することで半導体素子に生じた保護動作の種別を容易に判別できる。また、アラーム信号の第2レベルを検出することで、保護動作状態を継続していることを判別することができる。

図面の簡単な説明

[0009] [図1]本発明が適用される電力変換装置の全体的な概略構成を示すブロック図である。

[図2]ドライバ回路の概略構成を示すブロック図である。

[図3]保護信号生成部から出力される保護信号を示す信号波形図である。

[図4]本実施形態の動作の説明に供する信号波形図である。

発明を実施するための形態

[0010] 次に、図面を参照して、本発明の一実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

また、以下に示す実施の形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。本発明の技術的思想は、特許請求の範囲に記載された請求項が規定する技術的範囲内において、種々の変更を加えることができる。

以下、本発明の実施の形態について、図面を参照して説明する。

[0011] 図1は、本発明が適用される電力変換装置の全体的な概略構成を示すブロック図であるこの図1において、電力変換装置1は、直流電力を交流電力に変換するインバータ2とこのインバータ2を構成する各相（U相～Z相）の

半導体素子を個別に駆動する半導体素子の駆動装置としての各相ドライバ回路 3 U～3 Z とを備えている。

インバータ 2 は、6 個の半導体素子としての IGBT (Insulated Gate Bipolar Transistor) 11～16 を有する。

これら IGBT 11～16 は、直流電源に接続されて直流電力が供給される正極側ライン L_p 及び負極側ライン L_n 間に、IGBT 11 及び 12 の直列回路、IGBT 13 及び 14 の直列回路並びに IGBT 15 及び 16 の直列回路がそれぞれ並列に接続されている。ここで、各 IGBT 11～16 には、フリーホイールダイオード 21～26 が逆並列に接続されている。

[0012] また、IGBT 11、13 及び 15 がそれぞれ U 相、V 相及び W 相とされて上アーム U_A が構成されている。また、IGBT 12、14 及び 16 がそれぞれ X 相、Y 相及び Z 相とされて下アーム L_A が構成されている。さらに、IGBT 11 及び 12 の接続点、IGBT 13 及び 14 の接続点並びに IGBT 15 及び 16 の接続点から三相交流電力が出力されている。この三相交流電力が、電動モータ等の交流負荷 4 に供給されている。

IGBT 11～16 は、図 2 に示すように、チップ 17 内に配設されている。このチップ 17 内には、IGBT 1_i (i = 1～6) のコレクタ及びエミッタ間を流れる電流を検出する電流センス用 IBGT や電流センス抵抗で構成される電流センサ 18 と、チップ内温度を検出する温度検出用ダイオードで構成される温度センサ 19 とが設けられている。

[0013] 各相ドライバ回路 3_k (k = U～Z) は、図 2 に示すように、インバータ 2 を構成する各 IGBT 1_i のゲートをオン／オフ制御するゲート制御回路 31 と、検出部としての制御電圧検出回路 32、過電流検出回路 33 及びチップ温度検出回路 34 とを備えている。これら制御電圧検出回路 32、過電流検出回路 33 及びチップ温度検出回路 34 は、IGBT 1_i の保護動作に必要な情報である低電圧状態、過電流状態及び過熱状態を検出するものである。

また、各相ドライバ回路 3 U ~ 3 Z は、保護信号生成部 3 5 と、保護状態監視部 3 6 と、信号出力部 4 0 を備えている。

- [0014] ゲート制御回路 3 1 には、ドライバ回路 3 U ~ 3 Z の外部からパルス幅変調 (PWM) 信号が動作信号 DSG として入力されるとともに、保護状態監視部 3 6 から出力される保護状態信号 Sp が入力されている。このゲート制御回路 3 1 は、保護状態信号 Sp がローレベルであるときに、動作信号 DSG を IGBT 1 i のゲートに出力し、保護状態信号 Sp がハイレベルであるときに、動作信号 DSG の IGBT 1 i のゲートへの出力を停止する。

制御電圧検出回路 3 2 は、ドライバ回路 3 U ~ 3 Z の外部から制御電圧 Vcc (例えば 15 [V]) が入力されるとともに、低電圧閾値 Vth1 が入力された比較器 CP1 を有する。この比較器 CP1 は、制御電圧 Vcc が低電圧閾値 Vth1 を下回ると、制御電圧不足を表すハイレベルの低電圧検出信号 SuV を保護信号生成部 3 5 と保護状態監視部 3 6 とに出力する。これにより、制御電圧不足、つまり、IC 電源の電圧低下を検出する。

- [0015] 過電流検出回路 3 3 は、電流センサ 1 8 で検出した電流検出値 (電圧信号) が入力されるとともに、過電流閾値 Vth2 が入力された比較器 CP2 を有する。この比較器 CP2 は、電流検出値が過電流閾値 Vth2 を上回ると過電流状態を表すハイレベルの過電流検出信号 Soc を保護信号生成部 3 5 と保護状態監視部 3 6 とに出力する。これにより、IGBT 1 i の過電流を検出する。

チップ温度検出回路 3 4 は、温度センサ 1 9 で検出した温度検出値 (電圧信号) が入力されるとともに過熱閾値 Vht3 が入力された比較器 CP3 を有する。この比較器 CP3 は、温度検出値が過熱閾値 Vht3 を下回ると過熱状態を表すハイレベルの過熱検出信号 Soh を保護信号生成部 3 5 と保護状態監視部 3 6 とに出力する。これにより、IGBT 1 i の過熱状態を検出する。

- [0016] なお、図 2 に示した、チップ温度検出回路 3 4 内の電源 3 4 a は、温度センサ 1 9 を温度検出用ダイオードで構成した場合に、このダイオードに定電

流を供給するためのものである。

保護信号生成部35は、1ショットワンショット回路で構成される第1ワンショット回路35a、第2ワンショット回路35b、第3ワンショット回路35cと、これらの出力パルスが入力されるオアゲート35dとを備えている。

第1ワンショット回路35aは、制御電圧検出回路32から制御電圧不足、つまり、IC電源の低電圧となったことを検出したハイレベルの低電圧検出信号 S_{uv} が入力されたときに、図3(a)に示すように、ハイレベルの、パルス幅が例えば基本パルス幅 T となるパルス信号 $P_{S_{uv}}$ をオアゲート35dに出力する。基本パルス幅 T としては、例えば、2[m s]を採用できる。

[0017] また、第2ワンショット回路35bは、過電流検出回路33からIGBT1iの過電流状態を検出した過電流検出信号 S_{oc} が入力されたときに、図3(b)に示すように、ハイレベルの、パルス幅が例えば $2T$ となるパルス信号 $P_{S_{oc}}$ をオアゲート35dに出力する。

さらに、第3ワンショット回路35cは、チップ温度検出回路34からIGBT1iの過熱状態を検出した過熱検出信号 S_{oh} が入力されたときに、図3(c)に示すようにハイレベルの、パルス幅が例えば $4T$ となるパルス信号 $P_{S_{oh}}$ をオアゲート35dに出力する。

[0018] オアゲート35dは、第1ワンショット回路35a、第2ワンショット回路35b及び第3ワンショット回路35cから出力されるパルス信号 $P_{S_{uv}}$ 、 $P_{S_{oc}}$ 及び $P_{S_{oh}}$ のうち何れかがハイレベルであるときに、ハイレベルの保護信号を信号出力部40に出力する。

ここで、パルス信号 P_{S_j} のパルス幅は2～8[m s]と十分に短いため、例えば、過電流状態が生じた後それを原因として過熱状態が発生し、2以上のパルス信号 P_{S_j} が発生しても、2以上のパルス信号 P_{S_j} が同時に入力されることは殆どない。これにより、保護信号生成部35は、制御電圧検出回路32、過電流検出回路33及びチップ温度検出回路34のうち制御電

圧不足、過電流または過熱状態を検出した検出回路32～34、つまり、保護動作が必要であることを検出した検出回路32～34に対応するパルス信号 PS_j を保護信号として信号出力部40に出力する。

[0019] 保護状態監視部36は、制御電圧検出回路32から出力される低電圧検出信号 S_{uv} 、過電流検出回路33から出力される過電流検出信号 S_{oc} 及びチップ温度検出回路34から出力される過熱検出信号 S_{oh} が入力されたオアゲート36aを有する。このオアゲート36aは、低電圧検出信号 S_{uv} 、過電流検出信号 S_{oc} 及び過熱検出信号 S_{oh} のうち何れかがハイレベルであるときに、ハイレベルの保護状態信号 S_p をゲート制御回路31と信号出力部40とに出力する。

信号出力部40は、アラーム信号出力端子 t_a 及び接地間に直列に接続された第3の抵抗としての抵抗41（制限抵抗）及び第1スイッチ素子としての n チャネルのMOSFET42の直列回路を有する。ここで、MOSFET42のドレインは、抵抗41を介してアラーム信号出力端子 t_a に接続され、ソースは接地に接続され、ゲート（制御端子）は保護信号生成部35のオアゲート35dの出力端子に接続されている。

[0020] そして、抵抗41及びMOSFET42の接続点43に一端が制御電源入力端子 t_{vi} に接続された定電流源44の他端が接続されている。この定電流源44は、例えば、 $200[\mu A]$ の定電流を接続点43に供給する。

また、信号出力部40は、MOSFET42と並列に中間電圧生成回路（定電圧回路）45が接続されている。この中間電圧生成回路45は、ツェナーダイオード45aと第2スイッチ素子としての n チャネルのMOSFET45bとの直列回路で構成されている。

ツェナーダイオード45aの降伏電圧 V_{md} は、制御電圧 V_{cc} とグラウンド電位 GND との中間の電圧（例えば、 $7[V]$ ）に設定されている。このツェナーダイオード45aのカソードが、抵抗41及びMOSFET42の接続点43に接続され、アノードが、MOSFET45bのドレインに接続されている。MOSFET45bのソースが接地に接続され、ゲート（制御

端子)が前述した保護状態監視部36のオアゲート36aの出力端子に接続されている。

[0021] このため、MOSFET42及び45bがともにオフ状態であるときには、接続点43が制御電圧 V_{cc} となり、アラーム信号出力端子taが第1レベルとなる制御電圧 V_{cc} となる。一方、MOSFET42がオン状態であるときには、定電流源44からの定電流が接地に流れるので、MOSFET45bのオン・オフ状態にかかわらず、接続点43は第2レベルとなるグラウンド電位となり、アラーム信号出力端子taもグラウンド電位となる。

また、MOSFET45bがオン状態であり、MOSFET42がオフ状態であるときには、ツェナーダイオード45aのアノードがMOSFET45bを通じて接地されるので、接続点43が降伏電圧 V_{md} となる第1レベル及び第2レベルの中間レベルとなり、アラーム信号出力端子taも中間レベルとなる。

したがって、アラーム信号出力端子taから第1レベル、第2レベル及びこれらの中間レベルの3つのレベルをとるアラーム信号ALMが出力される。

[0022] 次に、本実施形態の電力変換装置1の動作について説明する。

今、インバータ2を構成するIGBT11～16に流れる電流の検出値が過電流閾値 V_{th2} 未満で正常であり、且つ、IGBT11～16を形成したチップ17内の温度の検出値が過熱閾値 V_{ht3} 以上で正常であり、さらに各ドライバ回路3U～3Zに供給する制御電圧 V_{cc} (IC電源電圧)が低電圧閾値 V_{th1} を超えていて正常であるものとする。

この正常状態では、図4(a)～(c)に示すように、時点 t_0 で、各ドライバ回路3U～3Zの制御電圧検出回路32から出力される低電圧検出信号 S_{uv} 、過電流検出回路33から出力される過電流検出信号 S_{oc} 及びチップ温度検出回路34から出力される過熱検出信号 S_{oh} がともにローレベルとなっている。

そのため、図4(d)～(f)に示すように、保護信号生成部35の第1

ワンショット回路 35 a、第 2 ワンショット回路 35 b 及び第 3 ワンショット回路 35 c の出力はローレベルを維持する。したがって、オアゲート 35 d から出力される保護信号 P S j は図 4 (g) に示すようにローレベルを維持しているとともに保護状態信号 S p も図 4 (h) に示すようにローレベルを維持している。

[0023] このとき、保護信号生成部 35 から出力される保護信号 P S j がローレベルを維持しているため、信号出力部 40 の MOS F E T 42 はオフ状態を維持している。また、保護状態監視部 36 から出力される保護状態信号 S p もローレベルを維持しているため、MOS F E T 45 b もオフ状態を維持している。それゆえ、接続点 43 の電位が制御電圧 V c c の電位である第 1 レベルとなり、アラーム信号出力端子 t a から出力されるアラーム信号 A L M が図 4 (i) に示すように正常状態を表す制御電圧 V c c の電位となる。

このため、各ドライバ回路 3 X ~ 3 Z では、保護状態信号 S p がローレベルであることからゲート制御回路 31 で、外部の制御装置（図示せず）から入力される動作信号 D S G に応じたゲート信号を I G B T 11 ~ 16 のゲートに供給し、インバータ 2 で直流電力が交流電力に変換されて、交流負荷 4 に交流電力が出力される。

[0024] その後、このインバータ 2 の各相の I G B T 11 ~ 16 が正常状態であり、I C 電源電圧が正常である状態から、時点 t 1 で、例えば、X 相の I G B T 11 を駆動するドライバ回路 3 U に供給される I C 電源電圧である制御電圧 V c c が低電圧閾値 V t h 1 以下に低下する低電圧異常が発生したときには、この低電圧異常が制御電圧検出回路 32 で検出される。

すると、制御電圧検出回路 32 からハイレベルの低電圧検出信号 S u v が保護信号生成部 35 と保護状態監視部 36 とに供給される。このため、保護信号生成部 35 の第 1 ワンショット回路 35 a から第 4 図 (d) に示すようにハイレベルの、パルス幅 T のパルス信号 P S u v が出力される。また同時に、保護状態監視部 36 から出力される保護状態信号 S p が、図 4 (h) に示すようにローレベルからハイレベルに反転される。

[0025] このため、ハイレベルの保護状態信号 S_p がゲート制御回路 31 に供給され、ゲート制御回路 31 からのゲート駆動信号の出力が停止され、 $IGBT_{11}$ がターンオフされて保護状態となる。

このとき、保護信号生成部 35 から出力される保護信号 PS_j がハイレベルとなるので、信号出力部 40 の $MOSFET_{42}$ はターンオン状態となる。それゆえ、接続点 43 が $MOSFET_{42}$ を通じて接地に接続され、接続点の電位がグランド電位 GND である第 2 レベルとなる。そのため、アラーム信号 ALM の電位は図 4 (i) に示すように第 1 レベルから異常が発生して保護状態となったことを表す第 2 レベル（グランド電位 GND ）に状態変化する。

[0026] なお、その際、保護状態監視部 36 から出力される保護状態信号 S_p もハイレベルとなるので、信号出力部 40 の $MOSFET_{45b}$ もターンオン状態となる。これによって、ツェナーダイオード 45a のアノードが $MOSFET_{45b}$ を介して接地に接続されることになるが、接続点 43 の電位が第 2 レベル（グランド電位 GND ）となっている。そのため、ツェナーダイオード 45a は、中間電圧生成回路として機能を停止している。

その後、時点 t_1 からパルス幅 T 分の時間が経過した時点 t_2 で、保護信号生成部 35 の第 1 ワンショット回路 35a から出力される保護信号 PS_{uv} が図 4 (d) に示すようにハイレベルからローレベルに復帰する。これに応じて信号出力部 40 の $MOSFET_{42}$ はターンオフ状態となる。このため、接続点 43 の電位が制御電圧 V_{cc} まで上昇しようとするが、この時点 t_2 では制御電圧 V_{cc} の低電圧状態が継続しており、制御電圧検出回路 32 から出力される低電圧検出信号 S_{uv} が図 4 (a) に示すようにハイレベルを維持している。それゆえ、保護状態監視部 36 から出力される保護状態信号 S_p が図 4 (h) に示すようにハイレベルを維持し、 $MOSFET_{45b}$ はオン状態を維持している。そのため、ツェナーダイオード 45a に印加される電圧が降伏電圧 V_{md} 以上となると、ツェナーダイオード 45a が導通し、接続点 43 の電位が降伏電圧 V_{md} となる中間レベルとなる。このた

め、アラーム信号出力端子 t_a から出力されるアラーム信号 ALM は、図 4 (i) に示すように、ツェナーダイオード 45 a の降伏電圧 V_{md} である中間レベルとなり、異常状態の発生が継続して保護状態を継続していることを表すことになる。

[0027] その後、時点 t_3 で、外部から供給される制御電圧 V_{cc} が低電圧閾値 V_{th1} より高い正常な電圧に復帰すると、制御電圧検出回路 32 から出力される低電圧検出信号 S_{uv} が図 4 (a) に示すようにハイレベルからローレベルに復帰する。これに応じて保護状態監視部 36 から出力される保護状態信号 S_p も図 4 (h) に示すようにハイレベルからローレベルに復帰する。このため、ゲート制御回路 31 から動作信号 DSG に応じたゲート駆動信号が IGBT 1 i のゲート に出力されて、IGBT 1 i が正常な動作状態に復帰する。

この結果、保護状態監視部 36 から出力される保護状態信号 S_p もローレベルに復帰するので、信号出力部 40 の MOSFET 45 b もターンオフ状態となる。それゆえ、接続点 43 の電位が制御電圧 V_{cc} に復帰する。そのため、アラーム信号出力端子 t_a から出力されるアラーム信号 ALM が図 4 (i) に示すように正常状態を表す制御電圧 V_{cc} となる第 1 レベルに復帰する。

[0028] 一方、外部の制御装置では、ドライバ回路 3k からアラーム信号 ALM が入力されると、このアラーム信号 ALM がグランド電位 GND である第 2 レベルを維持している間に、図 4 (j) に示すクロック信号 CP をカウントする。そして、このカウント数とクロック信号 CP のパルス間の時間を乗算して積算時間を算出し、この積算時間からアラーム信号 ALM が低電圧検出信号 S_{uv} によるものであることを検出することができる。これにより、IGBT 1 i に生じた異常の種別が、低電圧異常であることを容易に判別することができる。なお、アラーム信号 ALM がグランド電位 GND である第 2 レベルを維持している期間のクロック信号 CP のカウント数で異常検出回路の種別を判別するようにしてもよい。

[0029] また、外部の制御装置では、アラーム信号 ALM の電圧を検出することにより、アラーム信号 ALM が第2レベルにあるときに、 $IGBT1i$ に過電流異常や過熱異常が発生したか又は制御電圧 V_{cc} が低電圧閾値 V_{th1} より低下した低電圧状態が発生したことを認識することができる。また、アラーム信号 ALM が中間レベルであるときには、 $IGBT1i$ の過電流異常や過熱異常が発生した状態又は制御電圧 V_{cc} が低電圧状態である状態を継続しているものと認識することができる。

同様に、時点 t_4 であるドライバ回路 $3k$ の過電流検出回路 33 でインバータ 2 を構成する $IGBT1i$ のコレクタ電流の検出値が過電流閾値 V_{th2} 以上となったことを検出した場合は、過電流検出回路 33 から図4 (b) に示すように、ハイレベルの過電流検出信号 S_{oc} が出力される。この過電流検出信号 S_{oc} が保護信号生成部 35 に供給される。このため、保護信号生成部 35 の第2ワンショット回路 $35b$ から図4 (e) に示すハイレベルの、パルス幅が $2T$ となるパルス信号 PS_{oc} が出力される。したがって、保護信号生成部 35 のオアゲート $35d$ から図4 (g) に示す保護信号 PS_j が出力され、これが信号出力部 40 の $MOSFET42$ のゲートに供給される。このため、 $MOSFET42$ がターンオン状態となり、図4 (i) に示すように、アラーム信号出力端子 ta から保護信号 PS_{oc} のパルス幅 $2T$ に対応する期間第2レベルとなるアラーム信号 ALM が外部の制御装置に出力される。

[0030] このため、外部の制御装置では、アラーム信号 ALM のグラウンド電位 GND となる第2レベルのパルス幅が $2T$ であることから、過電流異常が発生していると認識することができる。また、アラーム信号 ALM は、パルス幅 $2T$ に応じた時間が経過した後に、過電流異常による保護状態が解消されるまでは、降伏電圧 V_{md} となる中間レベルに維持される。このため、外部の制御装置で、保護信号 PS_{oc} がハイレベルからローレベルに復帰した後も、過電流異常による保護動作が継続していると認識できる。

同様に、あるドライバ回路 $3k$ のチップ温度検出回路 34 でインバータ 2

を構成する IGBT 1 i を内蔵するチップ 17 内の温度の検出値が過熱閾値 V_{ht3} 未満となったことを検出した場合は、チップ温度検出回路 34 からハイレベルの過熱検出信号 S_{oh} が出力される。この過熱検出信号 S_{oh} が保護信号生成部 35 に供給される。このため、保護信号生成部 35 の第 3 ワンショット回路 35 c から保護信号 $P S_{oh}$ が出力される。したがって、信号出力部 40 の MOSFET 42 がターンオン状態となり、パルス信号 $P S_{oh}$ のパルス幅 4 T に対応する第 2 レベルのアラーム信号 $A L M$ が外部の制御装置に出力される。

[0031] このため、外部の制御装置では、アラーム信号 $A L M$ の第 2 レベルのパルス幅が 4 T であることから、過熱異常が発生していると認識することができる。また、パルス幅 4 T に対応する時間が経過した後、過熱異常による保護動作が解消されるまでは、アラーム信号 $A L M$ の電圧が降伏電圧 V_{md} となる中間レベルに維持されることから、保護信号 $P S_{oh}$ がハイレベルからローレベルに復帰した後も、過熱異常が継続していると認識できる。

なお、上記実施形態では、パワー半導体素子が IGBT である場合について説明したが、これに限定されるものではなく、SiC-IGBT、MOSFET、SiC-MOS 等の他のパワー半導体素子で構成することもできる。

[0032] また、上記実施形態では、信号出力部 40 の MOSFET として n チャンネルの MOSFET を適用した場合について説明したが、p チャンネルの MOSFET を適用することもでき、この場合には、アラーム信号 $A L M$ の第 1 レベルがグラウンド電位 GND 、第 2 レベルが制御電圧 V_{cc} となり、中間レベルは降伏電圧 V_{md} のままとなる。このとき、保護信号生成部 35 及び保護状態監視部 36 の出力信号をそれぞれ論理反転回路を介して p チャンネルの MOSFET 42 及び 45 b に供給すればよい。

また、上記実施形態では、中間電圧生成回路 45 を構成するツェナーダイオード 45 a を接続点 43 側に接続した場合について説明したが、ツェナーダイオード 45 a を MOSFET 45 b の接地側に接続するようにしてもよ

い。さらに、ツェナーダイオード45aに代えて抵抗（第2の抵抗）を適用することもできる。

[0033] また、定電流源44に代えて抵抗（プルアップ抵抗）を適用することもできる。さらに、抵抗41は省略してもよい。

また、保護信号生成部35の第1ワンショット回路35a、第2ワンショット回路35b及び第3ワンショット回路35cのパルス幅はT、2T及び4Tに設定する場合に限らず、異常状態の種別を識別可能であれば、任意の異なるパルス幅を設定することができる。

また、保護信号生成部35に、1つの異常検出信号が入力されたときに、所定期間他の異常検出信号の入力を阻止する入力選択回路を設けるようにしてもよい。

さらに、MOSFET42及び45bのゲートへの信号を入れ替えてもよい。この場合、中間レベルと第2レベルが表す状態に関する情報も入れ替わることになる。

符号の説明

[0034] 1…電力変換装置、2…インバータ、3U～3Z…ドライバ回路、4…交流負荷、11～16…IGBT、17…チップ、18…電流センサ、19…温度センサ、21～26…フリーホイールダイオード、UA…上アーム、LA…下アーム、31…ゲート制御回路、32…制御電圧検出回路、33…過電流検出回路、34…チップ温度検出回路、35…保護信号生成部、35a…第1ワンショット回路、35b…第2ワンショット回路、35c…第3ワンショット回路、35d…オアゲート、36…保護状態監視部、36a…オアゲート、40…信号出力部、41…抵抗、42…MOSFET、43…接続点、44…定電流源、45…中間電圧生成回路、45a…ツェナーダイオード、45b…MOSFET、PSj…保護信号、Sp…保護状態信号

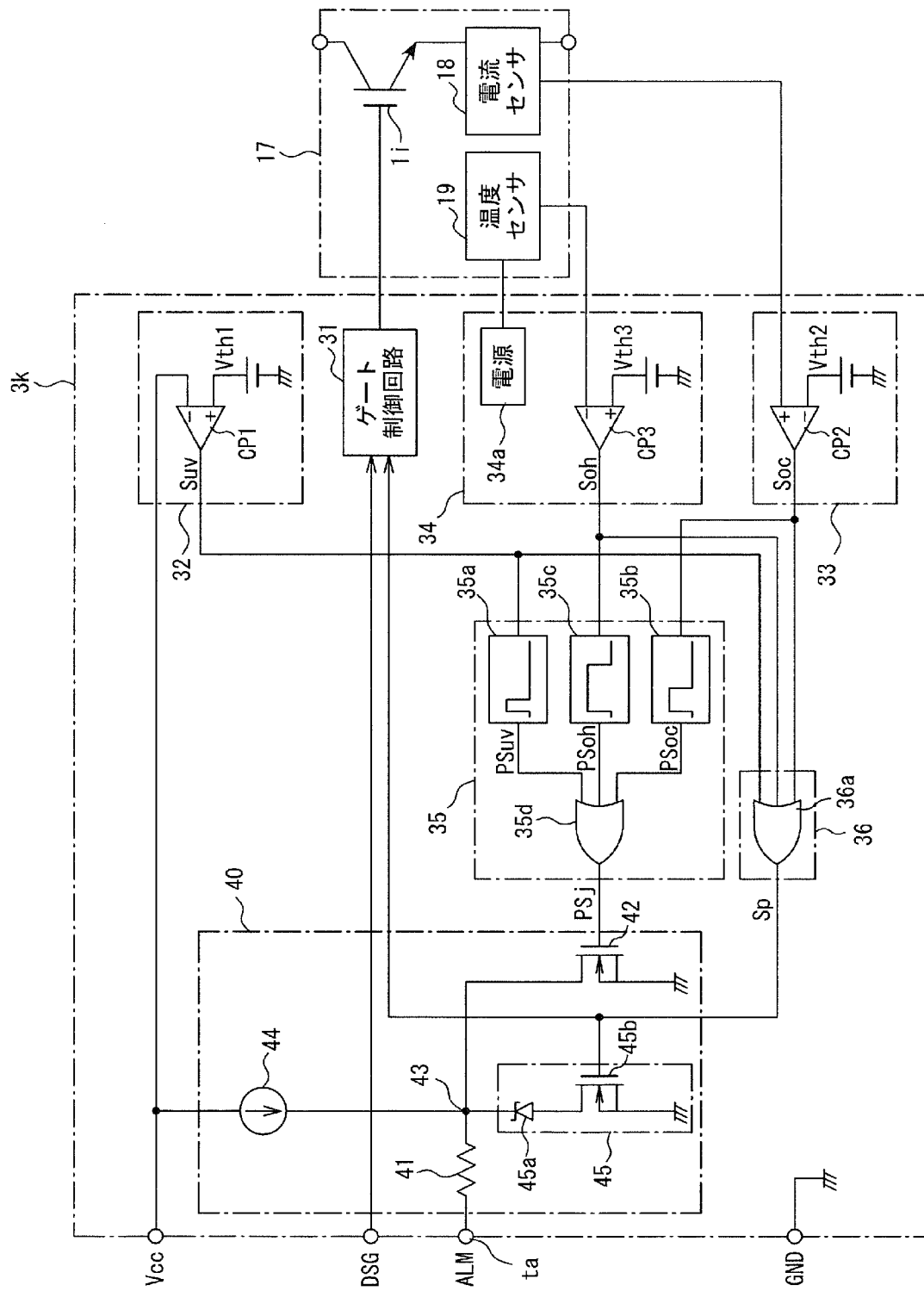
請求の範囲

- [請求項1] 電力変換装置を構成する半導体素子の保護動作に必要な情報を検出する複数の検出部と、
- 前記複数の検出部で保護動作に必要な情報を検出したときに、当該複数の検出部毎に異なるパルス幅の保護信号を生成する保護信号生成部と、
- 前記複数の検出部の何れかで保護動作に必要な情報を検出している間保護状態信号を生成する保護状態監視部と、
- 前記保護信号及び前記保護状態信号が入力されたときに第1レベルから第2レベルに状態変化し、前記保護信号の入力が停止されたときに、第1レベル及び第2レベル間の中間レベルとなるアラーム信号を出力する信号出力部と
- を備えたことを特徴とする半導体素子の駆動装置。
- [請求項2] 前記保護信号生成部は、前記複数の検出部の検出信号が個別に入力され、検出部に応じたパルス幅のパルスを生成する複数のワンショット回路と、前記複数のワンショット回路の出力信号が入力され前記保護信号を出力するオアゲートとで構成されていることを特徴とする請求項1に記載の半導体素子の駆動装置。
- [請求項3] 前記保護状態監視部は、前記複数の検出部の検出信号が入力されて前記保護状態信号を出力するオアゲートで構成されていることを特徴とする請求項1又は2に記載の半導体素子の駆動装置。
- [請求項4] 前記信号出力部は、出力端子と接地間に接続された第1スイッチ素子と、前記第1スイッチ素子と並列に接続された第2スイッチ素子を有する中間電圧生成回路と、前記第1スイッチ素子の前記出力端子側の端子に接続された定電流源またはプルアップ抵抗とを備え、前記第1スイッチ素子の制御端子に前記保護信号が入力され、前記第2スイッチ素子の制御端子に前記保護状態信号が入力されていることを特徴とする請求項1乃至3の何れか1項に記載の半導体素子の駆動装置。

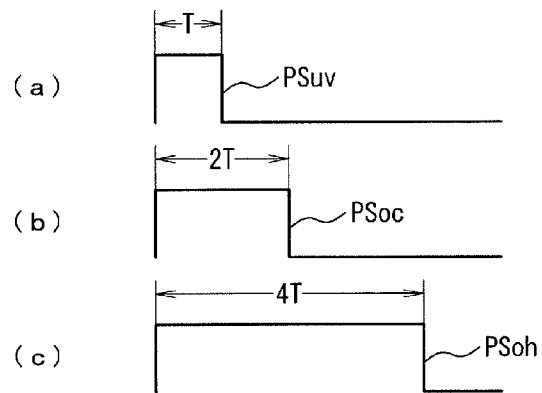
[請求項5] 前記中間電圧生成回路は、前記第2スイッチ素子と直列に接続されたツェナーダイオードまたは第2の抵抗を備えていることを特徴とする請求項4に記載の半導体素子の駆動装置。

[請求項6] 前記出力端子と前記第1スイッチ素子の間に第3の抵抗を設けたことを特徴とする請求項4または5に記載の半導体素子の駆動装置。

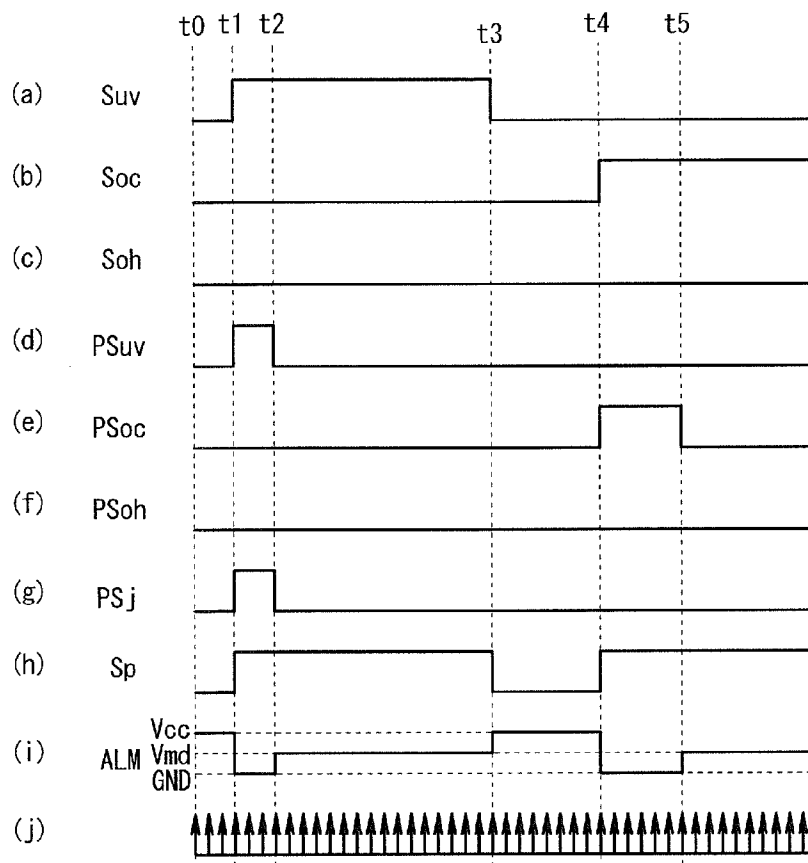
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/015987

A. CLASSIFICATION OF SUBJECT MATTER

H02M1/00(2007.01)i, H02M1/08(2006.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/00, H02M1/08, H02M7/48, H02H7/00, H01L27/04, H03K17/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-103820 A (Fuji Electric Co., Ltd.), 05 June 2014 (05.06.2014), paragraphs [0036] to [0042]; fig. 1, 2 & US 2015/0180227 A1 paragraphs [0043] to [0053]; fig. 1, 2 & WO 2014/080737 A1 & CN 104620481 A	1-6
A	WO 2016/052011 A1 (Fuji Electric Co., Ltd.), 07 April 2016 (07.04.2016), abstract; fig. 1 & US 2017/0019092 A1 abstract; fig. 1 & CN 106134047 A	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 June 2017 (05.06.17)

Date of mailing of the international search report
13 June 2017 (13.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M1/00(2007.01)i, H02M1/08(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M1/00, H02M1/08, H02M7/48, H02H7/00, H01L27/04, H03K17/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-103820 A（富士電機株式会社）2014.06.05, 段落36-42, 図1, 2 & US 2015/0180227 A1, Pars. 43-53, Figs. 1, 2 & WO 2014/080737 A1 & CN 104620481 A	1-6
A	WO 2016/052011 A1（富士電機株式会社）2016.04.07, 要約, 図1 & US 2017/0019092 A1, Abstract, Fig. 1 & CN 106134047 A	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

05.06.2017

国際調査報告の発送日

13.06.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐藤 匡

5G

9650

電話番号 03-3581-1101 内線 3526