(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G02F 1/136

(45) 공고일자 2002년09월17일
(11) 등록번호 10-0323367
(24) 등록일자 2002년01월23일

(21) 출원번호	10-1998-0047384	(65) 공개번호	특1999-0045054
(22) 출원일자	1998년11월05일	(43) 공개일자	1999년06월25일

(30) 우선권주장 97-302579 1997년11월05일 일본(JP)

(73) 특허권자 닛본 덴기 가부시끼가이샤
일본국 도꾜도 미나도꾸 시바 5쪼메 7방 1고
(72) 발명자 나까따 신이찌
일본 도꾜도 미나도꾸 시바 5쪼메 7-1 닛본 덴기 가부시끼가이샤 내
(74) 대리인 구영창, 주성민

심사관 : 조경화

(54) 반도체디바이스및그제조방법

요약

본 발명은 a-Si 박막 트랜지스터(TFT) 소자를 포함하는 액티브 매트릭스형 디바이스에 따른 플랫형 디스플레이 LCD에서 사용하기에 적합한 반도체 디바이스를 제공한다. 순 스태거형(forward stagger type) 트랜지스터인 TFT는, 차광막(2)을 형성한 다음, 소스 전극(5), 드레인 전극(6)과 드레인 신호선(6a), 및 게이트 전극(10)과 게이트 신호선(10a)을 형성한 후에, 이들 전극과 신호선들에 의해 피복된 영역을 제외하고 차광막(2)을 제거함으로써 제조된다. 이러한 유형의 TFT의 제조 공정 수는 상기 제조 방법에 의해 감축되며, 그 결과 제조 비용이 줄어든다. 또한, 이러한 방법으로 제조된 TFT는 개구율이 높으며, 그의 동작 성능이 향상된다.

대표도

도1

명세서

도면의 간단한 설명

<1> 도 1은 본 발명의 실시예인 a-SiTFT 액티브 매트릭스 LCD의 1 화소 영역을 나타낸 평면도.

<2> 도 2는 도 1의 A-A선에 따른 단면도.

<3> 도 3의 (a) 내지 (f)는 본 발명의 제1 실시예에 따른 제조 공정을 나타낸 단면도.

<4> 도 4는 본 발명의 제2 실시예에 따른 반도체 디바이스를 나타낸 단면도.

<5> 도 5는 종래의 TFT의 기본 구조를 나타낸 단면도.

<6> <도면의 주요 부분에 대한 부호의 설명>

<7> 1 : 절연성 기판

<8> 2 : 차광성 절연막

<9> 3 : 금속 차광막

<10> 4 : 투명성 층간 절연막

<11> 5 : 소스 전극

<12> 6 : 드레인 전극

<13> 6a : 드레인 신호선

<14> 7 : n^+ 비정질 실리콘

<15> 8 : 비정질 실리콘(a-Si)

<16> 9 : 게이트 절연막

<17> 10 : 게이트 전극

<18> 10a : 게이트 신호선

<19> 11 : 투명성 평탄화막

<20> 12 : 화소 전극

<21> 13 : 보호 절연막

<22> 14 : 잔류층

<23> 16 : 절연성 무기막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

<24> 본 발명은 액티브 매트릭스 스위칭 소자로서의 박막 트랜지스터에 의해 작동되는 LCD(liquid crystal device)에 관한 것으로, 특히 액정 플랫형 디스플레이용 반도체 디바이스 및 그 제조 방법에 관한 것이다.

<25> 본 출원은 참조로 본 명세서에 인용된, 일본 특허 출원 제97-302579호에 기초한다.

<26> 최근, 박막 트랜지스터(TFT)가 액정 플랫형 디스플레이 디바이스를 구동하기 위한 액티브 스위칭 소자로서 광범위하게 사용되고 있다. 이들 박막 트랜지스터 중에는, 채널층의 상측 상에 게이트 전극이 실장되고, 그 하측에는 소스 및 드레인 전극이 실장되어 있는 순 스태거형(forward stagger type) 구성이 그 구조가 간단하기 때문에 유리하게 이용되며, 제조시의 리소그래피 공정 수가 감축되어, 제조 비용이 낮다.

<27> 대표적인 순 스태거형 TFT의 예를 도 5에 나타낸다. TFT는 유리판과 같은 절연성 기판 상에 금속 차광막(3), 투명성 층간 절연막(4), 화소 전극(12), 소스 전극(5), 드레인 전극(6), n^+ 비정질 실리콘층(7), 비정질 실리콘층(8), 게이트 절연막(9), 게이트 전극(10)이 갖추어져 있고; TFT가 보호 절연막(13)에 의해 피복되어 보호된다. 소스 전극(5) 및 드레인 전극(6)은 화소 전극(12) 및 이 화소 전극과 동일한 물질로 이루어진 잔류층(14) 상에 형성되고, 드레인 전극(6)은 잔류층(14)을 통해 화소 전극(12)에 접속된다.

<28> 액티브 매트릭스 패널의 실용예로서는, 일본 특허 공개 공보 제95-239481호에 개시되어 있고, 도 5에 나타낸 바와 같이, n^+ 비정질 실리콘(7)이 소스 전극(5)측과 드레인 전극(6)측으로 분리되어 있다.

<29> 순 스태거형 TFT에서는, 비정질 실리콘층(8)으로의 광 입사에 기인한 리크 전류를 억제하기 위해, 차광막의 형성 공정을 준비할 필요가 있다.

<30> 이에 반해, 일본 특허 공개 공보 제97-92618호에 개시된 TFT에서는, 컬러 필터측에서 통상 Cr막으로 형성되는 블랙 매트릭스가 차광막의 형성과 동시에 TFT 기판측에 실장된다.

<31> 일본 특허 공개 공보 제93-210119호에는, 블랙 매트릭스와 컬러 필터가 차광층의 형성과 동시에 순 스태거형 TFT 아래에 형성되어 있는 액티브 매트릭스 액정 디스플레이 스크린이 제안되어 있다.

<32> 종래의 순 스태거형 TFT에서는, 차광막을 형성하기 위해 포토리소그래피 공정이 필요하기 때문에, 제조 공정 수의 감축이 어렵고, 비용의 감축이 요구되는 플랫형 디스플레이 디바이스에 이러한 TFT를 채용하는 것은 이롭지 않다.

<33> 상기한 종래 기술에 개시된 바와 같이, 컬러 필터측에 블랙 매트릭스가 형성된 경우, TFT 기판과 블랙 매트릭스를 정밀하게 정렬할 필요가 있다. 즉, 블랙 매트릭스는 TFT 기판과 정확하게 중첩되어야만 한다. 이 때문에, 화소 전극의 면적을 증대시키는 것에 따라 소위 개구율(aperture)을 증가시키는 것은 어렵다.

발명이 이루고자 하는 기술적 과제

<34> 본 발명의 목적은, a-SiTFT를 이용하는 액티브 매트릭스 디스플레이 원리에 의해 동작되는 플랫형 디스플레이 LCD에 특히 적합하며, 개구율을 증가시키고, 제조 공정 수의 감축에 의해 제조 비용을 줄일 수 있는 반도체 디바이스 및 그 제조 방법을 제공함에 있다.

<35> 본 발명의 반도체 디바이스는, 절연성 기판의 표면 상에 형성된 절연막 상에 소스 전극 및 드레인 전극이 제공되며, 소스 및 드레인 전극의 적어도 일부를 피복하도록 비정질 실리콘(a-Si), 게이트 절연층, 및 게이트 전극이 이 순서대로 절연막 상에 형성된다. 다음에, 반도체 디바이스의 드레인 전극이 화소 전극에 접속되어, 순 스태거형 박막 트랜지스터 소자(TFT)를 구성한다. 절연막은 차광 특성을 가지며, 투명성 기판 상의 차광막은 소스 전극, 드레인 전극과 드레인 신호선, 및 게이트 전극과 게이트 신호선으로 피복된 영역을 제외하고 제거된다.

<36> 이러한 구조에서, 차광막은 차광성 유기막을 절연 무기막에 적층한 2층 막을 결합함으로써 형성될 수도 있다.

<37> 본 발명의 반도체 디바이스는 a-SiTFT에 의해 구동되는 컬러 액정 디스플레이 디바이스와 a-SiTFT에 의해 구동되는 액티브 매트리스 디스플레이 시스템에 적합할 수 있다.

<38> 이 컬러 액정 디바이스는 차광막이 제거된 기판 영역을 피복하기 위해 투명성 평탄화막을 형성함으로써 액정 플랫형 디스플레이 디바이스로서 사용될 수 있다.

<39> 또한, 본 발명에서는, 차광 특성을 갖는 절연막이 소스 전극, 드레인 전극과 드레인 신호선, 및 게이트 전극과 게이트 신호선의 배선을 마스크할 수 있고, 이들 전극들 및 신호선들로 피복된 영역을 제외하고 모든 차광성 절연층을 제거할 수 있다.

<40> 이 경우, 차광성 절연막이 제거된 영역은 상기 기판 영역을 평탄화하기 위한 투명성 평탄화막을 형성함으로써 피복된다. 이 장치를 화소 전극마다 각각의 a-SiTFT가 접속된 액티브 매트릭스형 디스플레이 디바이스로서 사용한 경우, 상기 화소 전극은 드레인 신호선 또는 게이트 신호선 중 적어도 어느 하나와 중첩되도록 형성되며, 투명성 평탄화막을 통해 형성된 컨택트 홀을 통해 드레인 전극에 접속된다.

<41> 따라서, 상기와 같이, TFT의 에칭 공정 중에 에칭 가스에 의해 동시에 에칭될 수 있는 재료에서 차광막을 선택하기 때문에, 차광막을 형성하기 위한 종래의 공정이 생략될 수 있다. 이는 배선 재료와 게이트 절연막을 에칭할 수 없지만 비정질 실리콘막과 차광막을 에칭할 수 있는 선택적 에칭 특성을 갖는 가스를 이용하여 실현된다.

발명의 구성 및 작용

<42> 이하, 본 발명의 반도체 디바이스의 실시예로서, a-SiTFT 액티브 매트릭스 디스플레이 시스템에 따른 액정 플랫형 디스플레이 패널의 컬러 LCD 및 그 제조 방법에 대해 첨부된 도면을 참조하여 설명한다.

<43> 도 1은 액티브 매트릭스 디스플레이 시스템용 액티브 스위칭 소자로서의 TFT의 1화소 영역을 나타낸 평면도이고, 도 2는 도 1의 A-A선에 따른 단면도이다. 최상의 실시예에서, 차광성 절연막은 소스 전극(5), 드레인 전극(6)과 드레인 신호 선(6a), 및 게이트 전극(10)과 게이트 신호선(10a)을 마스킹하기 위한 영역을 제외하고 에칭된다.

<44> 도 2에 나타낸 바와 같이, 차광성 절연막(2)은 차광성 유기 재료를 이용하여 절연성 기판(1) 상에 형성된다. 차광성 유기막을 형성하기 위한 유기 재료의 예로서는, 아크릴 수지, 폴리이미드, 흑색 안료(black pigment) 또는 카본 블랙과 광 경화성 수지(light curable resin)와의 혼합물을 들 수 있다. 이 차광성 절연막(2)이 백 채널(back channel)에 대하여 차단 효과(blocking effect)를 향상시키므로, 상기 유기층 위에 무기층을 코팅하여 결합시킴으로써 2층 구조를 형성할 수 있다(제2 실시예, 도 4 참조). 이 경우, 실리콘 산화막 또는 실리콘 질화막이 무기막으로서 사용될 수 있다.

<45> 차광막(2) 상에는, 도전막의 패턴 형성에 의해 소스 전극(5) 및 드레인 전극(6)이 형성되어 있다. 도전막은 ITO(Indium Tin Oxide)의 투명성 도전막, 또는 Mo(Molybdenum)이나 Cr(Chromium) 등의 금속막으로 형성될 수도 있다. Mo막을 이용한 경우, 불소 가스에 의한 에칭을 방지하기 위한 장벽 금속(barrier metal)을 설치할 필요가 있다.

<46> 소스 전극(5)과 드레인 전극(6) 상에 형성된 비정질 실리콘(a-Si : 8)과 게이트 절연막(9)은 게이트 전극(10)을 에칭한 후에 게이트 전극을 마스크로서 이용하여 패터닝함으로써 형성된다. 게이트 절연막은 실리콘 산화막이나 실리콘 질화막과 같은 재료로 형성된다. 게이트 전극은 Al, Mo, Cr 등의 금속으로 형성된다.

<47> 상기한 전극들을 피복하여 보호하고, 본 발명의 하나의 특성인 디바이스를 평탄화하기 위해, 투명성 평탄화막(11)이 포지티브형(positive type) 감광성 아크릴 수지나 비감광성 카르도(non-photosensitive cardo), BCB(Bensocyclobutene)나 실록산계(siloxane-type) 불소 함유 수지와 같은 재료로 형성된다. 감광성 수지를 이용한 경우, 현상과 동시에 컨택트 홀이 형성된다. 비감광성 수지를 이용한 경우, 수지가 완전히 경화된 후에 건식 에칭 장치를 이용하여 컨택트 홀을 형성할 필요가 있다. 컨택트 홀이 형성된 후, ITO와 같은 투명성 도전막을 이용하여 화소 전극(12)이 상층에 형성된다.

<48> 도 1 및 도 2에 나타낸 바와 같이, 각 화소는 서로 인접하는 2개의 게이트 신호선(10a)과 서로 인접하는 2개의 드레인 신호선(6a)의 교차 영역 내 및 교차 영역 상에 배치된다. 게이트 신호선(10a)의 단부 및 드레인 신호선(6a)의 단부 상에 화소 전극이 1 내지 1.5 ㎛만큼 중첩된다. 또한, 화소 전극은 투명성 평탄화막 내에 개구된 컨택트 홀을 통해 드레인 전극(6)에 접속된다.

<49> 도 1 및 도 2에서, 각 화소는 서로 인접하는 2개의 게이트 신호선과 서로 인접하는 2개의 드레인 신호선의 횡단 영역 내 및 횡단 영역 상에 배치된다. 화소 전극은 이들 신호선의 단부에서 게이트 신호선(10a)과 드레인 신호선(6a)을 1 내지 1.5 ㎛만큼 중첩시킨다. 그리고, 각 화소 전극은 평탄화된 투명막 내에 개구된 컨택트 홀을 통해 드레인 전극(6)에 접속된다.

<50> 도 3의 (a)~(f)는 이러한 a-SiTFT의 제조 단계를 나타낸다.

<51> 우선, 차광막(2)이 스핀 코팅 장치에 의해 유리 기판(1) 상에 코팅된다. 슬릿 코팅 장치를 적용한 경우, 차광막(2)을 코팅하는데 사용되는 재료량을 스핀 코팅의 절반 정도로 감소시킬 수 있는 이점이 있다. 차광막은 예를 들면 아크릴 수지에 흑색 안료를 분산시켜 만들어지는 안료 분산형 아크릴 수지로 형성된다. 카본 블랙이나 흑색 안료의 첨가에 따라 광 경화성 수지나 폴리이미드 수지를 차광막 재료로서 사용할 수 있다. 이 차광막(2)의 특성은 유전율이 3.0, 광 투과율이 0.001 %(막 두께 1.1 ㎛, 파장 400 nm에서)이다. 차광막의 두께는 이후 공정의 에칭 특성의 관점에서 볼 때, 가능한 한 얇을수록 바람직하며, 1 ㎛보다 작은 막 두께가 바람직하다. 막 두께는 스핀 코팅의 기판(base plate)의 회전수에 의해 제어될 수 있다. 안료 분산형 아크릴 수지를 이용한 경우, 스핀 코팅 기판의 회전수를 30분 동안 550 rpm으로 설정함으로써 0.7 ㎛의 두께를 갖는 차광막이 얻어진다. 코팅 후, 가열로(heating furnace)에서 60분 동안 250 ℃로 수지를 완전히 경화시킨다.

<52> 다음에, 스퍼터링 처리에 의해 1500 Å의 두께를 갖는 Cr막이 피착되고, 포토리소그래피 기술을 이용하여 소스 전극(5), 드레인 전극(6), 및 드레인 신호선(6a)이 형성된다[도 3의 (b)].

<53> 차광막(2)과 Cr막 간의 접합 강도를 향상시키기 위해, Cr막의 피착 전에 차광막의 표면을 산소

플라즈마로 처리한다. 다음과 같은 조건 하에서 건식 에칭 장치로 표면 처리가 행해진다.

<54> O_2의 유량 : 200 sccm

<55> 전극간 거리 : 100 mm

<56> RF 전력 : 1200 W

<57> 온도 : 20 ℃

<58> 압력 : 100 Pa

<59> 처리 시간 : 30 초

<60> 소스 전극(5) 및 드레인 전극(6)의 형성 후, PCVD 장치에 의해 오믹층(ohmic layer)을 제공하기 위해 PH_3 플라즈마 처리가 실시되고, 연속해서 게이트 절연막(9)을 위한 a-Si막(8)과 실리콘 질화막이 형성된다. a-Si막(8)은 300 Å의 두께로 형성되고, 게이트 절연막의 두께는 3000 Å이다. 게이트 절연막 상에 스퍼터링 및 패터닝에 의해 게이트 전극(10)이 2000 Å의 두께로 형성된다. 패터닝을 위해 습식 에칭 처리에 의한 에칭이 PHC액(인산, 질산, 및 아세트산의 혼합액)으로 행해진다.

<61> 다음에, a-Si막(8), 게이트 절연막(9), 및 차광성 절연막(2)이 SF_6 가스와 O_2 가스를 이용하여 에칭된다. 게이트 전극(10)과 게이트 신호선(10a)으로서 이용되는 금속 재료 Al은 상기 SF_6 가스와 O_2 가스에 의해 에칭되지 않는다. 따라서, 이들 배선 영역을 마스크로서 이용하여, 사선으로 나타낸 영역이 에칭 제거된다. 가스 에칭 조건은 다음과 같다.

<62> SF_6의 유량 : 200 sccm

<63> 전극간 거리 : 100 mm

<64> O_2의 유량 : 40 sccm

<65> RF 전력 : 1200 W

<66> 압력 : 10 Pa

<67> 에칭 시간 : 280 초

<68> 다음에, 그 위에 투명성 평탄화막(11)이 형성된다. 투명성 평탄화막(11)의 두께는 2.5 ㎛로, 유전율을 3.0으로 함으로써 얻어지며, 배선과 화소 전극 간의 용량을 감소시킬 수 있다. 다음에, 예를 들면 착색제를 함유하지 않는 감광성 아크릴 수지를 코팅하고, 반경화(half curing)시키며, 노광시키고, 현상액(0.4 % TMAH, 즉 테트라메틸암모늄하이드록사이드 : tetramethylammoniumhydroxide)으로 현상시키는 연속 공정에 의해 컨택트 홀이 형성된다. 이 컨택트 홀 형성 공정 중, 투명성 평탄화막의 투과율의 감소를 방지하기 위해, 노광 장치는 1선 타입의 광원을 이용한다[도 3의 (e)].

<69> 다음에, ITO를 스퍼터링하고 차후의 패터닝에 의해 화소 전극(12)이 형성된다. 화소 전극(12)은 노광의 정밀도를 고려하여 다른 전극과 적어도 1.5 ㎛로 각각 중첩될 필요가 있다. 패터닝을 위해 건식 에칭 장치를 이용한 에칭이 HCL 가스로 행해진다. ITO막의 두께는 컨택트 홀의 커버리지(coverage)를 고려하여 800 Å으로 설정된다[도 3의 (f)].

<70> 제2 실시예

<71> 제1 실시예에서, 차광막(2)은 차광성 유기막으로 형성되었지만, 차광막은 차광성 유기막의 1층에 한정되지 않는다. 도 4에 나타낸 바와 같이, 예를 들면 차광성 유기막(도전층을 이용할 수 있음) 상에 절연 무기막인 실리콘 산화막(15)을 적층할 수 있다. 본 실시예의 게이트 전극(10)의 형성 전의 제조 단계는 제1 실시예와 동일하므로, 이들 제조 단계에 대한 설명은 생략한다.

<72> 즉, 게이트 전극의 형성 다음에, 실리콘 질화막, 비정질 실리콘막(8), 실리콘 산화막, 및 차광성 절연막(2)이 SF_6 및 O_2 가스를 이용하여 에칭 처리된다. 이 에칭 처리에서는, 게이트 전극(10) 및 게이트 신호선(10a)을 형성하는데 사용되는 Al과, 소스 전극(5), 드레인 전극(6) 및 드레인 신호선(6a)을 형성하는데 사용되는 Cr이 SF_6 및 O_2 가스에 의해 에칭되지 않는다. 따라서, 사선으로 나타낸 도 1의 영역이 이들 금속 와이어에 의해 마스크된 영역을 제외하고 모두 에칭된다. 차후의 공정은 제1 실시예와 동일하므로 그에 대한 설명은 생략한다.

<73> 제3 실시예

<74> 제1 실시예에서는 투명성 평탄화막(11)을 형성하는데 감광성 아크릴 수지를 이용했지만, 이에 반해 제3 실시예에서는 비감광성 카르도, BCB, 또는 실록산계 불소 함유 수지와 같은 각종의 수지를 이용한다. 특히, BCB를 이용한 경우, 투명성 평탄화막을 형성하기까지의 이전 공정은 제1 실시예와 동일하다. BCB의 코팅은 스핀 코팅 장치에 의해 행해진다. 기초막(underlying film)과 BCB막의 부착성을 향상시키기 위해, 결합제(coupling agent)로 코팅한 후 BCB막이 코팅된다. 700 rpm의 기판 회전 조건 하에서 코팅이 행해져 2.0 ㎛ 두께의 막을 형성한다. 코팅 후, 이 코팅막을 150 ℃에서 5분간 프리베이킹(prebaking)을 행하고, 질소 가스 분위기에서 250 ℃에서 60분간 베이킹로(baking furnace) 내에서 완전히 경화시킨다. 이 완전 경화 처리 중, 베이킹로 내의 산소 함유량은 100 ppm보다 적어야만 한다. 완전 경화가 완료된 후, 포지티브형 레지스트를 코팅하고, 노광시키며, 건식 에칭 장치에서 건식 에칭하는 연속적인 단계에 의해 컨택트 홀이 형성된다. BCB는 레지스트와의 밀착성(wetting)이 우수하므로, 표면 처리는 필요없다. 건식 에칭은 다음과 같은 조건 하에서 플라즈마 에칭 처리로 행해진다.

<75> SF_6의 유량 : 10 sccm

<76> O_2의 유량 : 200 sccm

<77> He의 유량 : 300 sccm

<78> RF 전력 : 1200 W

<79> 압력 : 130 Pa

<80> 전극간 거리 : 100 mm

<81> 온도 : 20 ℃

<82> 반응 시간 : 180 초

<83> 차후의 단계는 제1 실시예와 동일하므로 그에 대한 설명은 생략한다.

발명의 효과

<84> 이상 설명한 바와 같이, a-SiTFT 액티브 매트릭스형 컬러 LCD는 액정 플랫형 디스플레이 디바이스에 가장 적합하며, 액티브 스위칭 소자로서 이용되는 TFT의 차광층을 형성하기 위한 제조 단계가 생략될 수 있다. 즉, 차광성 절연막을 이용하고, 게이트 전극과 게이트 신호선, 소스 전극, 및 드레인 전극과 드레인 신호선을 에칭에 대한 마스크로서 이용하여, 동일한 가스로 게이트 전극과 a-Si층을 동시에 건식 에칭 처리함으로써 차광층이 형성될 수 있다. 이는 액정 플랫형 디스플레이 디바이스를 이용하는 컬러 LCD 시스템에 대한 제조 단계 및 제조 비용의 감축을 달성할 수 있다는 것을 의미한다.

<85> 또한, 드레인 신호선 아래에 게이트 신호선의 어떤 정렬 불일치를 야기하지 않고서 차광층이 형성될 수 있고, 그 결과 빛의 누출이 방지되고 개구율을 향상시킬 수 있다. 따라서, 광 투과율이 높은 컬러 LCD가 제공된다.

(57) 청구의 범위

청구항 1

화소 전극마다 배치되는 순 스태거형(forward stagger type) 박막 트랜지스터 소자(TFT)의 반도체 디바이스에 있어서,

절연 기판의 표면 상에 형성된 절연막 상에 형성된 소스 전극 및 드레인 전극; 및

상기 절연막 상에 순서대로 형성되는 비정질 실리콘(a-Si)막, 게이트 절연막, 및 게이트 전극

을 포함하며,

상기 드레인 전극은 화소 전극마다 접속되며,

상기 절연막은 차광 특성을 가지며,

상기 소스 전극, 상기 드레인 전극과 상기 드레인 전극에 접속된 드레인 신호선, 및 상기 게이트 전극과 상기 게이트 전극에 접속된 게이트 신호선에 의해 피복된 영역을 제외하고 상기 절연 기판의 표면으로부터, 상기 전극들 및 신호선들을 마스크로서 이용하여 상기 절연 기판 상의 상기 차광성 절연막을 제거하는

것을 특징으로 하는 반도체 디바이스.

청구항 2

제1항에 있어서, 상기 차광성 절연막은 차광성 유기막 상에 절연성 무기막을 적층하여 형성된 2층 구조를 갖는 것을 특징으로 하는 반도체 디바이스.

청구항 3

제1항에 있어서, 상기 반도체 디바이스는 a-SiTFT 디스플레이 디바이스 내에 통합되는 것을 특징으로 하는 반도체 디바이스.

청구항 4

제1항에 있어서, 상기 반도체 디바이스는 a-SiTFT 액티브 매트릭스 디스플레이 시스템에 의해 동작되는 컬러 액정 디스플레이 디바이스 내에 통합되는 것을 특징으로 하는 반도체 디바이스.

청구항 5

제1항에 따른 반도체 디바이스를 포함하는 컬러 액정 디스플레이 디바이스에 있어서,

상기 반도체 디바이스의 상기 절연막이 제거되어 있는 영역을 포함하는 최종 구조의 전체 표면이 투명성 평탄화막에 의해 평탄화되어 액정 플랫형 디스플레이 디바이스를 만드는 것을 특징으로 하는 컬러 액정 디스플레이 디바이스.

청구항 6

화소 전극마다 배치되는 순 스태거형 박막 트랜지스터 소자(TFT)의 반도체 디바이스의 제조 방법에 있어서,

절연 기판의 표면 상에 형성된 절연막 상에 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극 및 드레인 전극의 적어도 일부를 피복하기 위해 상기 절연막 상에 비정질 실리콘(a-Si), 게이트 절연막, 및 게이트 전극을 형성하는 단계; 및

화소 전극마다 상기 드레인 전극을 접속하는 단계

를 포함하며,

상기 절연막은 차광 특성을 가지며,

상기 방법은, 상기 소스 전극, 상기 드레인 전극과 상기 드레인 전극에 접속된 드레인 신호선, 및 상기 게이트 전극과 상기 게이트 전극에 접속된 게이트 신호선에 의해 피복된 영역을 제외하고 상기 절연 기판의 표면으로부터, 상기 전극들 및 상기 신호선들을 마스크로서 이용하여 상기 차광성 절연막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 7

제6항에 있어서, 액정 플랫형 디스플레이 디바이스를 만들기 위해, 상기 절연막이 제거되어 있는 상기 절연 기판 상의 상기 영역을 투명성 평탄화막에 의해 평탄화하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 8

제7항의 방법에 따라 제조된 반도체 디바이스를 포함하는 액정 플랫형 디스플레이 디바이스에 있어서,

상기 액정 플랫형 디스플레이 디바이스는 화소 전극마다 각각의 a-SiTFT가 접속되어 있는 액티브 매트릭스형 디스플레이 디바이스이며,

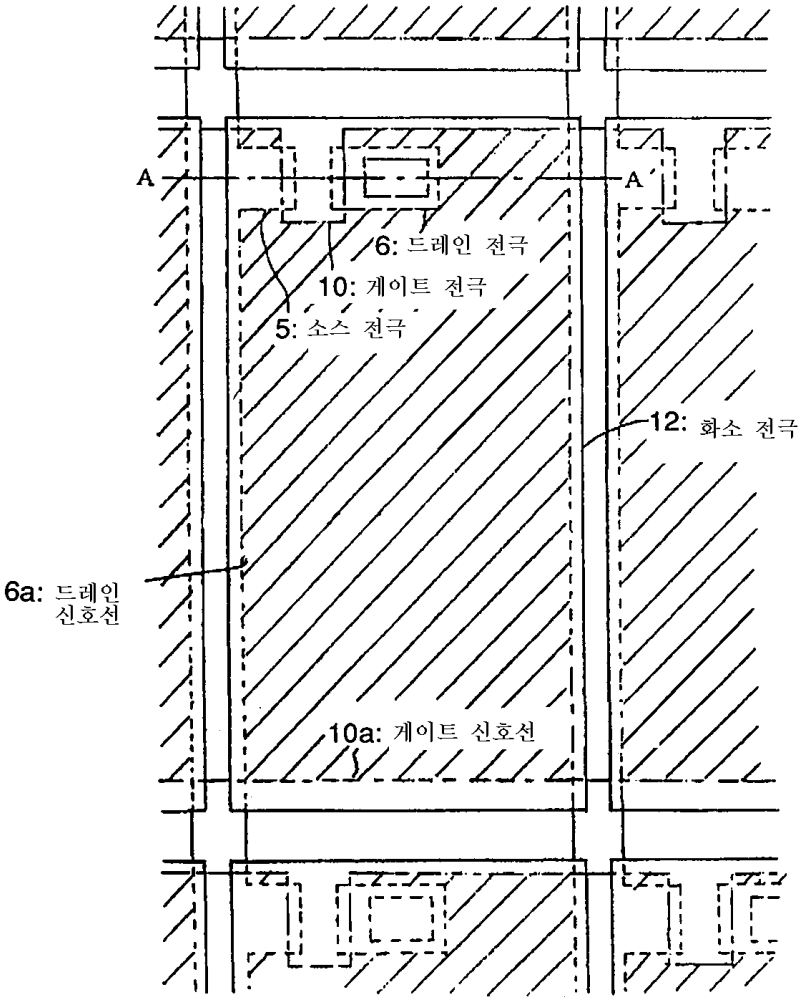
상기 각 화소 전극은 상기 드레인 신호선이나 상기 게이트 신호선 중 어느 하나의 적어도 일부를 중첩하도록 형성되며,

상기 각 화소 전극은 상기 투명성 평탄화막을 통해 형성된 컨택트 홀을 통해 상기 드레인 전극에 접속되는

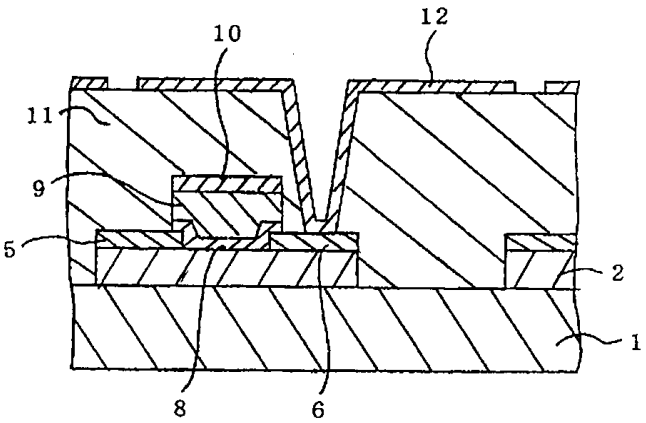
것을 특징으로 하는 액정 플랫형 디스플레이 디바이스.

도면

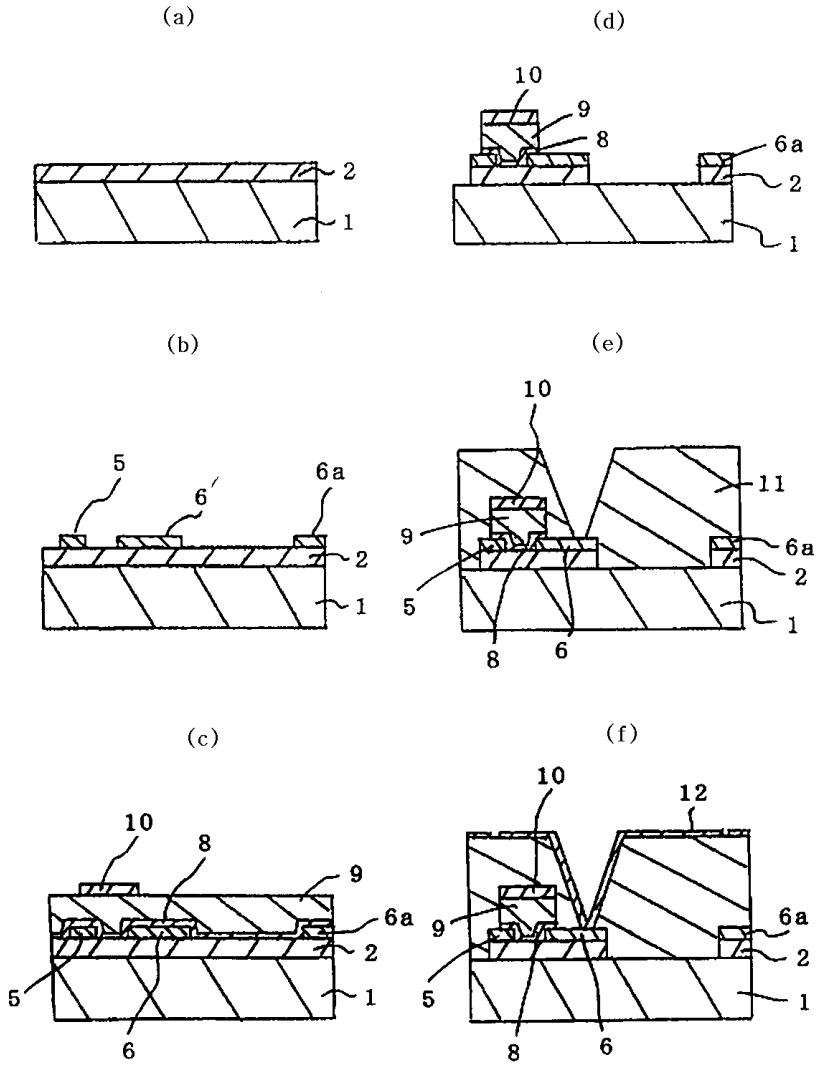
도면1


A
A'
6: 드레인 전극
10: 게이트 전극
5: 소스 전극
12: 화소 전극
6a: 드레인 신호선
10a: 게이트 신호선

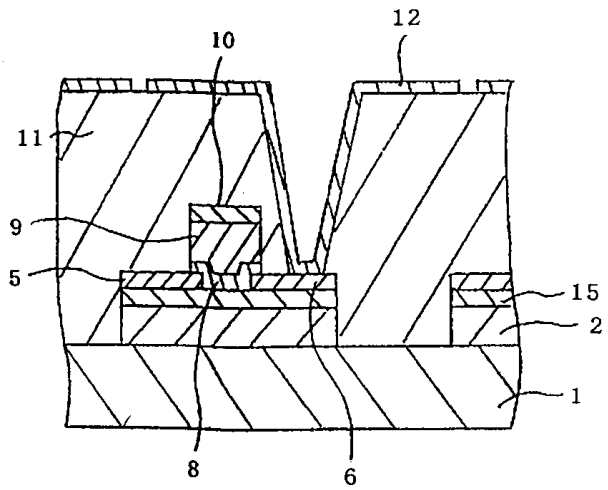
도면2


10
12
11
9
5
2
1
8
6

도면3


(a)
2
1
(d)
10
9
8
6a
2
1
(b)
5
6
6a
2
1
(e)
10
11
9
6a
2
5
1
8
6
(c)
10
8
9
6a
2
5
1
6
(f)
10
12
9
6a
2
5
1
8
6

도면4


12
10
11
9
5
15
2
1
8
6

도면5

