

(19)日本国特許庁(JP)

(12)特許公報(B1)

(11)特許番号
特許第7393593号
(P7393593)

(45)発行日 令和5年12月6日(2023.12.6)

(24)登録日 令和5年11月28日(2023.11.28)

(51)国際特許分類

F I

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/78 6 5 3 C

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 6 5 2 Q

H 0 1 L 29/78 6 5 2 J

H 0 1 L 29/78 6 5 2 F

H 0 1 L 29/78 6 5 8 G

請求項の数 5 (全30頁) 最終頁に続く

(21)出願番号 特願2023-544601(P2023-544601)

(86)(22)出願日 令和5年2月10日(2023.2.10)

(86)国際出願番号 PCT/JP2023/004664

審査請求日 令和5年7月24日(2023.7.24)

(31)優先権主張番号 63/313,320

(32)優先日 令和4年2月24日(2022.2.24)

(33)優先権主張国・地域又は機関

米国(US)

早期審査対象出願

(73)特許権者 520133916

ヌヴォンテクノロジージャパン株式会社

京都府長岡京市神足焼町1番地

(74)代理人 100109210

弁理士 新居 広守

(74)代理人 100137235

弁理士 寺谷 英作

(74)代理人 100131417

弁理士 道坂 伸一

(72)発明者 中村 浩尚

日本国京都府長岡京市神足焼町1番地

ヌヴォンテクノロジージャパン株式会社

社内

(72)発明者 大河 亮介

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、

第1導電型の不純物を含む前記第1導電型の半導体基板と、

前記半導体基板上に接して形成され、前記半導体基板の前記第1導電型の不純物の濃度より低い濃度の前記第1導電型の不純物を含む前記第1導電型の低濃度不純物層と、

前記低濃度不純物層に形成された前記第1導電型と異なる第2導電型のボディ領域と、

前記ボディ領域に形成された前記第1導電型のソース領域と、

前記ボディ領域および前記ソース領域と電気的に接続されたソース電極と、

前記低濃度不純物層上面から、前記ボディ領域を貫通して前記低濃度不純物層の一部までの深さに形成され、前記ソース領域と接触する部分を有し、前記低濃度不純物層の上面と平行な第1の方向に延在する第1のゲートトレンチと、

前記低濃度不純物層上面から、前記ボディ領域を貫通して前記第1のゲートトレンチよりも深く形成され、前記ソース領域と接触する部分を有し、前記第1の方向に延在する第2のゲートトレンチと、

前記第1のゲートトレンチの内部に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート導体と、

前記第2のゲートトレンチの内部に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート導体と、を有する縦型電界効果トランジスタであり、

前記第1のゲート導体と前記第2のゲート導体とは同電位であって、

10

20

前記第1のゲートトレンチの本数を n (n は1以上の整数)とすると、前記第2のゲートトレンチの本数は2以上 $n+1$ 以下であり、

前記低濃度不純物層の上面と平行で前記第1の方向に直交する第2の方向において、前記第1のゲートトレンチと前記第2のゲートトレンチとが設置される領域の最端は前記第2のゲートトレンチが設置され、

前記第2の方向において、前記第1のゲートトレンチと前記第2のゲートトレンチとが設置される領域は、最隣接して対を成す前記第2のゲートトレンチが、その間に1以上の前記第1のゲートトレンチを挟む構造を単位構造として、前記単位構造が周期的に設置されて成り、

前記単位構造の最端に設置される前記第2のゲートトレンチは、隣接する前記単位構造同士で共有されており、

前記第1のゲートトレンチと前記第2のゲートトレンチとは、前記第2の方向において、各々1つずつ交互に設置され、

前記第2の方向における前記第1のゲートトレンチと前記第2のゲートトレンチとの間隔は一定であり、

前記第1のゲートトレンチの深さと前記第2のゲートトレンチの深さとの差は 160 nm 以上である

半導体装置。

【請求項2】

フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、

第1導電型の不純物を含む前記第1導電型の半導体基板と、

前記半導体基板上に接して形成され、前記半導体基板の前記第1導電型の不純物の濃度より低い濃度の前記第1導電型の不純物を含む前記第1導電型の低濃度不純物層と、

前記低濃度不純物層に形成された前記第1導電型と異なる第2導電型のボディ領域と、

前記ボディ領域に形成された前記第1導電型のソース領域と、

前記ボディ領域および前記ソース領域と電気的に接続されたソース電極と、

前記低濃度不純物層上面から、前記ボディ領域を貫通して前記低濃度不純物層の一部までの深さに形成され、前記ソース領域と接触する部分を有し、前記低濃度不純物層の上面と平行な第1の方向に延在する第1のゲートトレンチと、

前記低濃度不純物層上面から、前記ボディ領域を貫通して前記第1のゲートトレンチよりも深く形成され、前記ソース領域と接触する部分を有し、前記第1の方向に延在する第2のゲートトレンチと、

前記第1のゲートトレンチの内部に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート導体と、

前記第2のゲートトレンチの内部に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート導体と、を有する縦型電界効果トランジスタであり、

前記第1のゲート導体と前記第2のゲート導体とは同電位であって、

前記第1のゲートトレンチの本数を n (n は1以上の整数)とすると、前記第2のゲートトレンチの本数は2以上 $n+1$ 以下であり、

前記低濃度不純物層の上面と平行で前記第1の方向に直交する第2の方向において、前記第1のゲートトレンチと前記第2のゲートトレンチとが設置される領域の最端は前記第2のゲートトレンチが設置され、

前記第2の方向において、前記第1のゲートトレンチと前記第2のゲートトレンチとが設置される領域は、最隣接して対を成す前記第2のゲートトレンチが、その間に1以上の前記第1のゲートトレンチを挟む構造を単位構造として、前記単位構造が周期的に設置されて成り、

前記単位構造の最端に設置される前記第2のゲートトレンチは、隣接する前記単位構造同士で共有されており、

前記第2のゲート絶縁膜は、前記第1のゲート絶縁膜よりも、厚い部分を有する

半導体装置。

10

20

30

40

50

【請求項 3】

前記第 2 のゲートトレンチの下部における前記第 2 のゲート絶縁膜の厚さは、当該第 2 のゲートトレンチの上部における前記第 2 のゲート絶縁膜の厚さよりも厚い部分がある請求項 2 に記載の半導体装置。

【請求項 4】

フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、
第 1 導電型の不純物を含む前記第 1 導電型の半導体基板と、
前記半導体基板上に接して形成され、前記半導体基板の前記第 1 導電型の不純物の濃度より低い濃度の前記第 1 導電型の不純物を含む前記第 1 導電型の低濃度不純物層と、

前記低濃度不純物層に形成された前記第 1 導電型と異なる第 2 導電型のボディ領域と、

前記ボディ領域に形成された前記第 1 導電型のソース領域と、

前記ボディ領域および前記ソース領域と電気的に接続されたソース電極と、

前記低濃度不純物層上面から、前記ボディ領域を貫通して前記低濃度不純物層の一部までの深さに形成され、前記ソース領域と接触する部分を有し、前記低濃度不純物層の上面と平行な第 1 の方向に延在する第 1 のゲートトレンチと、

前記低濃度不純物層上面から、前記ボディ領域を貫通して前記第 1 のゲートトレンチよりも深く形成され、前記ソース領域と接触する部分を有し、前記第 1 の方向に延在する第 2 のゲートトレンチと、

前記第 1 のゲートトレンチの内部に形成された第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に形成された第 1 のゲート導体と、

前記第 2 のゲートトレンチの内部に形成された第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上に形成された第 2 のゲート導体と、を有する縦型電界効果トランジスタであり、

前記第 1 のゲート導体と前記第 2 のゲート導体とは同電位であって、

前記第 1 のゲートトレンチの本数を n (n は 1 以上の整数) とすると、前記第 2 のゲートトレンチの本数は 2 以上 $n + 1$ 以下であり、

前記低濃度不純物層の上面と平行で前記第 1 の方向に直交する第 2 の方向において、前記第 1 のゲートトレンチと前記第 2 のゲートトレンチとが設置される領域の最端は前記第 2 のゲートトレンチが設置され、

前記第 2 の方向において、前記第 1 のゲートトレンチと前記第 2 のゲートトレンチとが設置される領域は、最隣接して対を成す前記第 2 のゲートトレンチが、その間に 1 以上の前記第 1 のゲートトレンチを挟む構造を単位構造として、前記単位構造が周期的に設置されて成り、

前記単位構造の最端に設置される前記第 2 のゲートトレンチは、隣接する前記単位構造同士で共有されており、

前記低濃度不純物層は、上面側から、前記第 1 導電型の不純物濃度が相対的に低い第 1 の低濃度不純物層と、前記第 1 導電型の不純物濃度が相対的に高い第 2 の低濃度不純物層とが積層されて成り、

前記第 1 のゲートトレンチの先端は前記第 1 の低濃度不純物層の内部にあり、

前記第 2 のゲートトレンチの先端は前記第 2 の低濃度不純物層の内部にある

半導体装置。

【請求項 5】

前記第 1 のゲートトレンチと前記第 2 のゲートトレンチとは、前記第 2 の方向において、各々 1 つずつ交互に設置され、

前記第 2 の方向における前記第 1 のゲートトレンチと前記第 2 のゲートトレンチとの間隔は一定である

請求項 2 から請求項 4 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体装置に関し、特に、チップサイズパッケージ型の半導体装置に関する

る。

【背景技術】

【0002】

ゲートトレンチを備える縦型電界効果トランジスタでは、耐圧とオン抵抗にトレードオフの関係があることが知られている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2016-219774号公報

【文献】特許第6509674号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

ゲートトレンチを備える縦型電界効果トランジスタにおいて、耐圧を維持しながらオン抵抗を低減すると共に、ドレイン - ソース間に電圧を印加する際にゲートトレンチの先端付近に生じる電界強度を低減して、信頼性の低下に対する耐性を高めることが求められている。

【0005】

特許文献1および特許文献2には、縦型電界効果トランジスタの構造が開示されており、トレードオフの関係にある特性を良化する構造が示されている。

20

【課題を解決するための手段】

【0006】

上記の課題を解決するために、本開示に係る半導体装置は、フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、第1導電型の不純物を含む前記第1導電型の半導体基板と、前記半導体基板上に接して形成され、前記半導体基板の前記第1導電型の不純物の濃度より低い濃度の前記第1導電型の不純物を含む前記第1導電型の低濃度不純物層と、前記低濃度不純物層に形成された前記第1導電型と異なる第2導電型のボディ領域と、前記ボディ領域に形成された前記第1導電型のソース領域と、前記ボディ領域および前記ソース領域と電気的に接続されたソース電極と、前記低濃度不純物層上面から、前記ボディ領域を貫通して前記低濃度不純物層の一部までの深さに形成され、前記ソース領域と接触する部分を有し、前記低濃度不純物層の上面と平行な第1の方向に延在する第1のゲートトレンチと、前記低濃度不純物層上面から、前記ボディ領域を貫通して前記第1のゲートトレンチよりも深く形成され、前記ソース領域と接触する部分を有し、前記第1の方向に延在する第2のゲートトレンチと、前記第1のゲートトレンチの内部に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート導体と、前記第2のゲートトレンチの内部に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート導体と、を有する縦型電界効果トランジスタであり、前記第1のゲート導体と前記第2のゲート導体とは同電位であって、前記第1のゲートトレンチの本数を n (n は1以上の整数)とすると、前記第2のゲートトレンチの本数は2以上 $n+1$ 以下であり、前記低濃度不純物層の上面と平行で前記第1の方向に直交する第2の方向において、前記第1のゲートトレンチと前記第2のゲートトレンチとが設置される領域の最端は前記第2のゲートトレンチが設置される半導体装置であることを特徴とする。

30

40

【0007】

この構成によれば、オン抵抗を低減すると共に、ドレイン - ソース間に電圧を印加する際に、信頼性低下の要因となる電界強度に対する耐性を高めることができる。

【発明の効果】

【0008】

本開示は、耐圧を維持しながらオン抵抗を低減すると共に、信頼性向上を実現できる半導体装置を提供することを目的とする。

50

【図面の簡単な説明】

【0009】

【図1】図1は、実施形態1に係る半導体装置の構造の一例を示す断面模式図である。

【図2A】図2Aは、実施形態1に係る半導体装置の構造の一例を示す平面模式図である。

【図2B】図2Bは、実施形態1に係る半導体装置に流れる主電流を示す断面模式図である。

【図3A】図3Aは、実施形態1に係る第1のトランジスタの略単位構成の平面模式図である。

【図3B】図3Bは、実施形態1に係る第1のトランジスタの略単位構成の斜視模式図である。

【図4】図4は、実施形態1に係る半導体装置の構造の一例を示す平面模式図である。

【図5A】図5Aは、実施形態1における比較例1に係る第1のトランジスタの構造の一例を示す断面模式図である。

【図5B】図5Bは、図5Aに示す半導体装置の構造で、ドレイン-ソース間に定格電圧を印加した時に生じる電位の分布をシミュレーションした断面模式図である。

【図5C】図5Cは、図5Aに示す半導体装置の構造で、ドレイン-ソース間に定格電圧を印加した時に生じる電界強度をシミュレーションした断面模式図である。

【図6A】図6Aは、実施形態1における比較例2に係る第1のトランジスタの構造の一例を示す断面模式図である。

【図6B】図6Bは、図6Aに示す半導体装置の構造で、ドレイン-ソース間に定格電圧を印加した時に生じる電位の分布をシミュレーションした断面模式図である。

【図6C】図6Cは、図6Aに示す半導体装置の構造で、ドレイン-ソース間に定格電圧を印加した時に生じる電界強度をシミュレーションした断面模式図である。

【図7A】図7Aは、実施形態1に係る第1のトランジスタの構造の一例を示す断面模式図である。

【図7B】図7Bは、図7Aに示す半導体装置の構造で、ドレイン-ソース間に定格電圧を印加した時に生じる電位分布をシミュレーションした断面模式図である。

【図7C】図7Cは、図7Aに示す半導体装置の構造で、ドレイン-ソース間に定格電圧を印加した時に生じる電界強度をシミュレーションした断面模式図である。

【図8】図8は、実施形態1に係る第1のトランジスタの構造の一例を示す断面模式図である。

【図9】図9は、実施形態1に係る第1のトランジスタの、ゲートトレンチの深さ差とドレイン耐圧VDSの関係プロットしたグラフである。

【図10A】図10Aは、実施形態1に係る第1のトランジスタの構造の一例を示す断面模式図である。

【図10B】図10Bは、図10Aに示す半導体装置の構造で、ドレイン-ソース間に定格電圧を印加した時に生じる電位の分布をシミュレーションした断面模式図である。

【図10C】図10Cは、図10Aに示す半導体装置の構造で、ドレイン-ソース間に定格電圧を印加した時に生じる電界強度をシミュレーションした断面模式図である。

【図11A】図11Aは、実施形態1に係る第1のトランジスタの構造の一例を示す断面模式図である。

【図11B】図11Bは、図11Aに示す半導体装置の構造で、ドレイン-ソース間に定格電圧を印加した時に生じる電位の分布をシミュレーションした断面模式図である。

【図11C】図11Cは、図11Aに示す半導体装置の構造で、ドレイン-ソース間に定格電圧を印加した時に生じる電界強度をシミュレーションした断面模式図である。

【図12A】図12Aは、実施形態1に係る半導体装置の製造過程を示す断面模式図である。

【図12B】図12Bは、実施形態1に係る半導体装置の製造過程を示す断面模式図である。

【図12C】図12Cは、実施形態1に係る半導体装置の製造過程を示す断面模式図であ

10

20

30

40

50

る。

【図 1 2 D】図 1 2 D は、実施形態 1 に係る半導体装置の製造過程を示す断面模式図である。

【図 1 2 E】図 1 2 E は、実施形態 1 に係る半導体装置の製造過程を示す断面模式図である。

【図 1 2 F】図 1 2 F は、実施形態 1 に係る半導体装置の製造過程を示す断面模式図である。

【図 1 2 G】図 1 2 G は、実施形態 1 に係る半導体装置の製造過程を示す断面模式図である。

【図 1 3】図 1 3 は、実施形態 2 に係る第 1 のトランジスタの構造の一例を示す断面模式図である。

10

【図 1 4】図 1 4 は、実施形態 3 に係る第 1 のトランジスタの構造の一例を示す断面模式図である。

【発明を実施するための形態】

【0010】

以下、本開示の一態様に係る半導体装置の具体例について、図面を参照しながら説明する。ここで示す実施形態は、いずれも本開示の一具体例を示すものである。従って、以下の実施形態で示される数値、形状、構成要素、構成要素の配置および接続形態、ならびに、ステップ（工程）およびステップの順序等は、一例であって本開示を限定する趣旨ではない。また、各図は、模式図であり、必ずしも厳密に図示されたものではない。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する。

20

【0011】

（実施形態 1）

[1 . 半導体装置の構造]

以下では、本開示における縦型電界効果トランジスタの構造についてデュアル構成を例にとって説明する。デュアル構成であることは必須ではなく、シングル構成の縦型電界効果トランジスタであってもよく、トリプル以上の構成の縦型電界効果トランジスタであってもよい。

【0012】

30

図 1 は半導体装置の構造の一例を示す断面図である。図 2 A はその平面図であり、半導体装置の大きさや形状、電極パッドの配置は一例である。図 2 B は、半導体装置に流れる主電流を模式的に示す断面図である。図 1 および図 2 B は、図 2 A の I - I における切断面である。

【0013】

図 1 および図 2 A に示すように、半導体装置 1 は、半導体層 40 と、金属層 30 と、半導体層 40 内の第 1 の領域 A1 に形成された第 1 の縦型電界効果トランジスタ 10（以下、「トランジスタ 10」とも称する。）と、半導体層 40 内の第 2 の領域 A2 に形成された第 2 の縦型電界効果トランジスタ 20（以下、「トランジスタ 20」とも称する。）と、を有する。ここで、図 2 A に示すように、第 1 の領域 A1 と第 2 の領域 A2 とは、半導体層 40 の平面視において互いに隣接する。図 2 A では第 1 の領域 A1 と第 2 の領域 A2 の仮想的な境界線 90 を破線で示している。

40

【0014】

半導体層 40 は、半導体基板 32 と低濃度不純物層 33 とが積層されて構成される。半導体基板 32 は、半導体層 40 の裏面側に配置され、第 1 導電型の不純物を含む第 1 導電型のシリコンからなる。低濃度不純物層 33 は、半導体層 40 の表面側に配置され、半導体基板 32 に接触して形成され、半導体基板 32 の第 1 導電型の不純物の濃度より低い濃度の第 1 導電型の不純物を含んで、第 1 導電型である。

【0015】

低濃度不純物層 33 は、例えば、エピタキシャル成長により半導体基板 32 上に形成さ

50

れてもよい。なお、低濃度不純物層 33 はトランジスタ 10 およびトランジスタ 20 に共通するドリフト層でもあり、本明細書中ではドリフト層とよぶこともある。

【0016】

金属層 30 は、半導体層 40 の裏面側に接触して形成され、銀 (Ag) もしくは銅 (Cu) からなる。なお、金属層 30 には、金属材料の製造工程において不純物として混入する金属以外の元素が微量に含まれていてもよい。また、金属層 30 は半導体層 40 の裏面側の全面に形成されていてもいなくてもどちらでもよい。

【0017】

図 1 および図 2 A に示すように、低濃度不純物層 33 の第 1 の領域 A1 には、第 1 導電型と異なる第 2 導電型の不純物を含む第 2 導電型の第 1 のボディ領域 18 が形成されている。第 1 のボディ領域 18 には、第 1 導電型の不純物を含む第 1 導電型の第 1 のソース領域 14、第 1 のゲート導体 15、および第 1 のゲート絶縁膜 16 が形成されている。第 1 のゲート絶縁膜 16 は、半導体層 40 の上面から第 1 のソース領域 14 および第 1 のボディ領域 18 を貫通して低濃度不純物層 33 の一部までの深さに形成された複数の第 1 のゲートトレンチ 17 の内部に形成され、第 1 のゲート導体 15 は第 1 のゲートトレンチ 17 の内部で、第 1 のゲート絶縁膜 16 上に形成されている。

10

【0018】

第 1 のソース電極 11 は部分 12 と部分 13 とからなり、部分 12 は、部分 13 を介して第 1 のソース領域 14 および第 1 のボディ領域 18 に接続されている。第 1 のゲート導体 15 は半導体層 40 の内部に埋め込まれた、埋め込みゲート電極であり、第 1 のゲート電極パッド 119 に電氣的に接続される。

20

【0019】

第 1 のソース電極 11 の部分 12 は、フェイスダウン実装におけるリフロー時にはんだと接合される層であり、限定されない一例として、ニッケル、チタン、タンゲステン、パラジウムのうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。部分 12 の表面には、金などのめっきが施されてもよい。

【0020】

第 1 のソース電極 11 の部分 13 は、部分 12 と半導体層 40 とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。

30

【0021】

低濃度不純物層 33 の第 2 の領域 A2 には、第 2 導電型の不純物を含む第 2 導電型の第 2 のボディ領域 28 が形成されている。第 2 のボディ領域 28 には、第 1 導電型の不純物を含む第 1 導電型の第 2 のソース領域 24、第 2 のゲート導体 25、および第 2 のゲート絶縁膜 26 が形成されている。第 2 のゲート絶縁膜 26 は、半導体層 40 の上面から第 2 のソース領域 24 および第 2 のボディ領域 28 を貫通して低濃度不純物層 33 の一部までの深さに形成された複数の第 2 のゲートトレンチ 27 の内部に形成され、第 2 のゲート導体 25 は第 2 のゲートトレンチ 27 の内部で、第 2 のゲート絶縁膜 26 上に形成されている。

【0022】

第 2 のソース電極 21 は部分 22 と部分 23 とからなり、部分 22 は、部分 23 を介して第 2 のソース領域 24 および第 2 のボディ領域 28 に接続されている。第 2 のゲート導体 25 は半導体層 40 の内部に埋め込まれた、埋め込みゲート電極であり、第 2 のゲート電極パッド 129 に電氣的に接続される。

40

【0023】

第 2 のソース電極 21 の部分 22 は、フェイスダウン実装におけるリフロー時にはんだと接合される層であり、限定されない一例として、ニッケル、チタン、タンゲステン、パラジウムのうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。部分 22 の表面には、金などのめっきが施されてもよい。

【0024】

50

第2のソース電極21の部分23は、部分22と半導体層40とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか1つ以上を含む金属材料で構成されてもよい。

【0025】

トランジスタ10およびトランジスタ20の上記構成により、半導体基板32は、トランジスタ10の第1のドレイン領域およびトランジスタ20の第2のドレイン領域が共通化された、共通ドレイン領域として機能する。低濃度不純物層33の、半導体基板32に接する側の一部も、共通ドレイン領域として機能する場合がある。また金属層30はトランジスタ10のドレイン電極およびトランジスタ20のドレイン電極が共通化された、共通ドレイン電極として機能する。

10

【0026】

図1に示すように、第1のボディ領域18は、開口を有する層間絶縁層34で覆われ、層間絶縁層34の開口を通して、第1のソース領域14に接続される第1のソース電極11の部分13が設けられている。層間絶縁層34および第1のソース電極11の部分13は、開口を有するパッシベーション層35で覆われ、パッシベーション層35の開口を通して第1のソース電極11の部分13に接続される部分12が設けられている。

【0027】

第2のボディ領域28は、開口を有する層間絶縁層34で覆われ、層間絶縁層34の開口を通して、第2のソース領域24に接続される第2のソース電極21の部分23が設けられている。層間絶縁層34および第2のソース電極21の部分23は、開口を有するパッシベーション層35で覆われ、パッシベーション層35の開口を通して第2のソース電極21の部分23に接続される部分22が設けられている。

20

【0028】

したがって複数の第1のソース電極パッド116および複数の第2のソース電極パッド126は、それぞれ第1のソース電極11および第2のソース電極21が半導体装置1の表面に部分的に露出した領域、いわゆる端子の部分を目指す。同様に、1以上の第1のゲート電極パッド119および1以上の第2のゲート電極パッド129は、それぞれ第1のゲート電極19（図1、図2A、図2Bには図示せず。）および第2のゲート電極29（図1、図2A、図2Bには図示せず。）が半導体装置1の表面に部分的に露出した領域、いわゆる端子の部分を目指す。

30

【0029】

半導体装置1において、例えば、第1導電型をN型、第2導電型をP型として、第1のソース領域14、第2のソース領域24、半導体基板32、および、低濃度不純物層33はN型半導体であり、かつ、第1のボディ領域18および第2のボディ領域28はP型半導体であってもよい。

【0030】

また、半導体装置1において、例えば、第1導電型をP型、第2導電型をN型として、第1のソース領域14、第2のソース領域24、半導体基板32、および、低濃度不純物層33はP型半導体であり、かつ、第1のボディ領域18および第2のボディ領域28はN型半導体であってもよい。

40

【0031】

以下の説明では、トランジスタ10とトランジスタ20とが、第1導電型をN型、第2導電型をP型とした、いわゆるNチャネル型トランジスタの場合として、半導体装置1の導通動作について説明する。

【0032】

なお、ここではトランジスタ10とトランジスタ20については、機能、特性、構造等に何ら差異のない、対称性が備わること前提に説明した。図1、図2A、図2Bも対称性を前提に描画しているが、本開示におけるチップサイズパッケージ型の、デュアル構成の縦型電界効果トランジスタにおいては、対称性は必ずしも必要な条件ではない。

【0033】

50

[2 . 縦型電界効果トランジスタの動作]

図 3 A および図 3 B は、それぞれ、半導体装置 1 の X 方向および Y 方向に繰り返し形成される、トランジスタ 1 0 (またはトランジスタ 2 0) の略単位構成の、平面図および斜視図である。図 3 A および図 3 B では、分かりやすくするために半導体基板 3 2、第 1 のソース電極 1 1 (または第 2 のソース電極 2 1) は図示していない。

【 0 0 3 4 】

なお Y 方向とは、半導体層 4 0 の上面と平行し、第 1 のゲートトレンチ 1 7 および第 2 のゲートトレンチ 2 7 が延在する方向である。また X 方向とは、半導体層 4 0 の上面と平行し、Y 方向に直交する方向のことをいう。Z 方向とは X 方向にも Y 方向にも直交し、半導体装置の高さ方向を示す方向のことをいう。本開示では Y 方向のことを第 1 の方向、X 方向のことを第 2 の方向、Z 方向のことを第 3 の方向と表すこともある。

10

【 0 0 3 5 】

図 3 A および図 3 B に示すように、トランジスタ 1 0 には、第 1 のボディ領域 1 8 と第 1 のソース電極 1 1 とを電氣的に接続する第 1 の接続部 1 8 A が備わる。第 1 の接続部 1 8 A は、第 1 のボディ領域 1 8 のうち、第 1 のソース領域 1 4 が形成されていない領域であり、第 1 のボディ領域 1 8 と同じ第 2 導電型の不純物を含む。第 1 のソース領域 1 4 と第 1 の接続部 1 8 A とは、Y 方向に沿って交互に、かつ周期的に繰り返し配置される。トランジスタ 2 0 についても同様である。

【 0 0 3 6 】

半導体装置 1 において、第 1 のソース電極 1 1 に高電圧および第 2 のソース電極 2 1 に低電圧を印加し、第 2 のソース電極 2 1 を基準として第 2 のゲート電極 2 9 (第 2 のゲート導体 2 5) にしきい値以上の電圧を印加すると、第 2 のボディ領域 2 8 中の第 2 のゲート絶縁膜 2 6 の近傍に導通チャネルが形成される。その結果、第 1 のソース電極 1 1 - 第 1 の接続部 1 8 A - 第 1 のボディ領域 1 8 - 低濃度不純物層 3 3 - 半導体基板 3 2 - 金属層 3 0 - 半導体基板 3 2 - 低濃度不純物層 3 3 - 第 2 のボディ領域 2 8 に形成された導通チャネル - 第 2 のソース領域 2 4 - 第 2 のソース電極 2 1 という経路で主電流が流れて半導体装置 1 が導通状態となる。なお、この導通経路における、第 2 のボディ領域 2 8 と低濃度不純物層 3 3 との接触面には P N ジャンクションがあり、ボディダイオードとして機能している。また、この主電流は金属層 3 0 を流れるため、金属層 3 0 を厚くすることで、主電流経路の断面積が拡大し、半導体装置 1 のオン抵抗は低減できる。

20

30

【 0 0 3 7 】

同様に、半導体装置 1 において、第 2 のソース電極 2 1 に高電圧および第 1 のソース電極 1 1 に低電圧を印加し、第 1 のソース電極 1 1 を基準として第 1 のゲート電極 1 9 (第 1 のゲート導体 1 5) にしきい値以上の電圧を印加すると、第 1 のボディ領域 1 8 中の第 1 のゲート絶縁膜 1 6 の近傍に導通チャネルが形成される。その結果、第 2 のソース電極 2 1 - 第 2 の接続部 2 8 A - 第 2 のボディ領域 2 8 - 低濃度不純物層 3 3 - 半導体基板 3 2 - 金属層 3 0 - 半導体基板 3 2 - 低濃度不純物層 3 3 - 第 1 のボディ領域 1 8 に形成された導通チャネル - 第 1 のソース領域 1 4 - 第 1 のソース電極 1 1 という経路で主電流が流れて半導体装置 1 が導通状態となる。なお、この導通経路における、第 1 のボディ領域 1 8 と低濃度不純物層 3 3 との接触面には P N ジャンクションがあり、ボディダイオードとして機能している。

40

【 0 0 3 8 】

図 4 は、半導体装置 1 の構成要素のうち、第 1 のボディ領域 1 8 と第 2 のボディ領域 2 8 と、第 1 の活性領域 1 1 2 と第 2 の活性領域 1 2 2 との、半導体層 4 0 (低濃度不純物層 3 3) の平面視における形状の一例を示す平面図である。図 4 では図示していないが、第 1 のゲートトレンチ 1 7 も第 2 のゲートトレンチ 2 7 も、Y 方向に延在している。

【 0 0 3 9 】

第 1 の活性領域 1 1 2 とは、トランジスタ 1 0 の第 1 のゲート電極 1 9 (第 1 のゲート導体 1 5) にしきい値以上の電圧を印加したときに導通チャネルが形成される部分すべてを内包する最小範囲を指す。導通チャネルが形成される部分とは、複数の第 1 のゲートト

50

レンチ 17 の各々が、第 1 のソース領域 14 と隣接する部分である。半導体層 40 の平面視で、第 1 の活性領域 112 は第 1 のボディ領域 18 に内包される。

【 0040 】

第 2 の活性領域 122 とはトランジスタ 20 の第 2 のゲート電極 29 (第 2 のゲート導体 25) にしきい値以上の電圧を印加したときに導通チャネルが形成される部分すべてを内包する最小範囲を指す。導通チャネルが形成される部分とは、複数の第 2 のゲートトレンチ 27 の各々が、第 2 のソース領域 24 と隣接する部分である。半導体層 40 の平面視で、第 2 の活性領域 122 は第 2 のボディ領域 28 に内包される。

【 0041 】

第 1 の領域 A1 のうち第 1 の活性領域 112 を取り囲む領域を第 1 の外周領域とよび、第 2 の領域 A2 のうち第 2 の活性領域 122 を取り囲む領域を第 2 の外周領域とよぶ。

10

【 0042 】

シングル構成の縦型電界効果トランジスタについては、概ねデュアル構成の縦型電界効果トランジスタの片側 (トランジスタ 10) のみで形成されるものと認識してよい。ただしチップサイズパッケージ型では、ソース電極パッド 116、ゲート電極パッド 119 を備える半導体層 40 の表面側に、さらにドレイン電極パッドを設けることがある。この場合、半導体層 40 の裏面側に備わる半導体基板 32 と電気的に接続するドレイン引き出し構造を、半導体層 40 の表面側から形成しておく必要がある。

【 0043 】

[3 .ゲートトレンチの深さとトランジスタの特性]

20

(3 - 1 .ドレイン耐圧)

以降の説明では、半導体装置 1 について、特に断らない限りトランジスタ 10 についての構成要素のみを記載することとする。符号も、必要がない限り、トランジスタ 10 の構成要素に付与されたものを代表して使用する。

【 0044 】

半導体装置 1 において、第 1 のソース電極 11 と第 2 のソース電極 21 との電位差を、ソース - ソース間電圧 ($V_{SS} [V]$) とする。半導体装置 1 の製品仕様書では、用途に応じて、ソース - ソース間仕様最大電圧 ($BV_{SSS} [V]$) が設定される。ソース - ソース間仕様最大電圧 ($BV_{SSS} [V]$) のことを本開示では単に耐圧、またはドレイン耐圧ということがある。あるいは定格電圧ともいう。

30

【 0045 】

第 1 のボディ領域 18 と低濃度不純物層 33 の境界には PN ジャンクションが備わっており、PN ジャンクションを挟んで空乏層が形成される。ドレイン耐圧を高めるには、トランジスタ 10 のオフ時における空乏層が十分に拡がることのできる構造が必要であり、低濃度不純物層 33 のキャリア濃度 (抵抗率) や厚さを適切に設計されねばならない。

【 0046 】

空乏層が十分に拡がるためには、低濃度不純物層 33 はキャリア濃度を低く (抵抗率を高く)、厚さを厚くする必要がある。第 1 のゲートトレンチ 17 の先端から見て低濃度不純物層 33 の厚さを相対的に厚くすることができるので、ドレイン耐圧を向上する目的においては第 1 のゲートトレンチ 17 は浅い方が好ましい。

40

【 0047 】

ところで本実施形態における説明は、デュアル構成の縦型電界効果トランジスタに基づいたため V_{SS} 、 BV_{SSS} として述べたが、シングル構成の縦型電界効果トランジスタである場合はそれぞれ、ドレイン - ソース間電圧 ($V_{DS} [V]$)、ドレイン - ソース間仕様最大電圧 ($BV_{DSS} [V]$) を用いればよい。

【 0048 】

以降はデュアル構成の縦型電界効果トランジスタであっても、ソース - ソース間のことを便宜的にドレイン - ソース間とよび、 V_{DS} 、 BV_{DSS} を用いて説明する。

【 0049 】

(3 - 2 .オン抵抗)

50

第1のゲートトレンチ17は、半導体層40の上面から、第1のソース領域14に接触し、第1のボディ領域18を貫通して低濃度不純物層33の一部までの深さに形成される。第1のソース電極11から共通ドレインである半導体基板32へ向かって流れる電流は、第1のボディ領域18を通過した後、第1のゲートトレンチ17の先端までは第1のゲートトレンチ17に沿って、低濃度不純物層33を流れることになる。

【0050】

第1のゲートトレンチ17の先端に沿って流れる電流は、第1のゲート導体15に印加される電圧の影響で、低濃度不純物層33であっても導通抵抗が比較的軽減されて流れることになる。しかし第1のゲートトレンチ17の先端を過ぎると、電流は低濃度不純物層33における抵抗率に応じた抵抗を受けて流れることになる。

10

【0051】

このため第1のゲートトレンチ17が相対的に浅い場合は、電流は、半導体基板32まで低濃度不純物層33の内部を相対的に長い距離で流れることになる。逆に第1のゲートトレンチ17が相対的に深い場合は、電流は、半導体基板32まで低濃度不純物層33の内部を相対的に短い距離で流れることになる。したがって低濃度不純物層33を流れる電流の抵抗を低減する目的では、第1のゲートトレンチ17は深い方が好ましい。

【0052】

(3-3. 電界強度と信頼性)

半導体装置1でVDSを大きくしていくと低濃度不純物層33には電位の分布に変化が生じる。第1のゲートトレンチ17は先端が低濃度不純物層33の一部までの深さに形成された溝であるため、その幅や間隔、深さに応じて、低濃度不純物層33における電位の分布の仕方が変わる。

20

【0053】

図5Aは本実施形態1における比較例1であり、ある深さDa[nm]で全ての第1のゲートトレンチ17が一樣に形成された構造である。図5Aにおいて、第1のゲート導体15への印加電圧がゼロの状態のまま、VDS=BVDSS(ここでは22V)となるまで電圧を印加したときの電位[V]の分布をシミュレーションした結果を図5Bに示す。

【0054】

また図6Aは本実施形態1における比較例2であり、ある深さDb[nm](Da<Db)で全ての第1のゲートトレンチ17が一樣に形成された構造である。図6Aにおいて、第1のゲート導体15への印加電圧がゼロの状態のまま、VDS=BVDSS(ここでは22V)となるまで電圧を印加したときの電位[V]の分布をシミュレーションした結果を図6Bに示す。

30

【0055】

比較例1(図5A、図5B)と、比較例2(図6A、図6B)とでは第1のゲートトレンチ17の深さだけを変化させ、PNジャンクションの位置は変わらないものとしている。

【0056】

比較例1(図5A、図5B)で示すのは比較例2(図6A、図6B)と比べると、第1のゲートトレンチ17が一樣に、相対的に浅い場合の結果である。その逆に、比較例2(図6A、図6B)で示すのは比較例1(図5A、図5B)と比べると、第1のゲートトレンチ17が一樣に、相対的に深い場合の結果である。比較例1(図5A、図5B)に示す第1のゲートトレンチ17と、比較例2(図6A、図6B)に示す第1のゲートトレンチ17とでは、第1のゲートトレンチ17の深さの差異は100nmである。

40

【0057】

図5Bでは、第1のゲートトレンチ17の先端からみると、図6Bと比べて低濃度不純物層33は相対的に厚いため、厚い幅の中にVDS=BVDSSの電位が分布することになり、第1のゲートトレンチ17の先端付近の等電位線の間隔は広くなる。これは低濃度不純物層33内における電界強度が相対的には弱いことを意味している。

【0058】

これに対して図6Bでは、第1のゲートトレンチ17の先端からみると、図5Bと比べ

50

て低濃度不純物層 33 は相対的に薄いため、薄い幅の中に $VDS = BVDS$ の電位が分布することになり、第 1 のゲートトレンチ 17 の先端付近の等電位線の間隔は狭くなる。これは低濃度不純物層 33 内における電界強度が相対的には強いことを意味している。

【0059】

図 5 C、図 6 C はそれぞれ、電位の分布が図 5 B、図 6 B となる時の電界強度 $[V/cm]$ の分布をシミュレーションした結果を濃淡で表したものである。図 5 C、図 6 C によれば構造的に最も電界強度が大きくなるのは第 1 のゲートトレンチ 17 の先端の中央部分になり、この位置における電界強度の差を比較例 1 (図 5 C) と比較例 2 (図 6 C) で比べると $0.02 MV/cm$ である。

【0060】

第 1 のゲートトレンチ 17 の近傍における電界強度が一定以上になると、第 1 のゲート絶縁膜 16 の付近にキャリアが蓄積され、いわゆるホットエレクトロンとなる。ホットエレクトロンが生じると、第 1 のゲート導体 15 へゲート電圧を印加しなくても反転層ができて導通チャンネルが形成されるため、トランジスタ 10 の信頼性が低下する要因となる。

【0061】

図 5 C、図 6 C によれば電界強度は第 1 のゲートトレンチ 17 が深いほど大きくなるため、信頼性低下を防止する観点では第 1 のゲートトレンチ 17 は浅い方が好ましい。

【0062】

[4 . 浅いゲートトレンチと深いゲートトレンチの混在]

トランジスタ 10 の特性と第 1 のゲートトレンチ 17 の深さは、上記のように密接に関連している。特性によってはトレードオフの関係にあり、すべての特性を良化することは難しく、重視する用途に応じて適切に第 1 のゲートトレンチ 17 の深さを設計する必要があった。

【0063】

そこで本発明者らは鋭意検討を重ねた結果、複数の第 1 のゲートトレンチ 17 に深さを変えたものを混在させることで、比較例 1 および比較例 2 のように、すべての第 1 のゲートトレンチ 17 の深さが統一されている場合に比べて、トランジスタ 10 の特性を向上できることを見出した。以下では第 1 のゲートトレンチ 17 において、半導体層 40 の上面からの深さが異なるものが混在することが、トランジスタ 10 の特性に及ぼす影響について説明する。

【0064】

本開示で対象とする、第 1 のゲートトレンチ 17 の深さが異なるというのは、製造上どうしても回避できないばらつきではなく、ねらい値を設けて意図的に現わした設計による差異のことである。

【0065】

まず一例として、図 7 A を用いて、複数の第 1 のゲートトレンチ 17 で、深さ $D_a [nm]$ のものと深さ $D_b [nm]$ のものと、2 つの深さのものが混在する ($D_a < D_b$) 場合を説明する。便宜的に、以降は第 1 のゲートトレンチ 17 であれ第 2 のゲートトレンチ 27 であれ、深さ D_a のものを第 3 のゲートトレンチ 17 1 とよび、深さ D_b のものを第 4 のゲートトレンチ 17 2 と称する。第 3 のゲートトレンチ 17 1 が相対的に浅いゲートトレンチとなり、第 4 のゲートトレンチ 17 2 が相対的に深いゲートトレンチとなる。

【0066】

第 3 のゲートトレンチ 17 1 に備わるゲート導体とゲート絶縁膜を、それぞれ第 3 のゲート導体 15 1、第 3 のゲート絶縁膜 16 1 とする。第 4 のゲートトレンチ 17 2 に備わるゲート導体とゲート絶縁膜を、それぞれ第 4 のゲート導体 15 2、第 4 のゲート絶縁膜 16 2 とする。

【0067】

図 7 A はトランジスタ 10 の一部を XZ 平面で断面視したときの模式図であり、第 1 のソース電極 11 など、層間絶縁層 34 より上部の構成物と、半導体基板 32 を含む下部の構成物については図示を省略している。図 7 A の構造では、第 3 のゲートトレンチ 17 1

10

20

30

40

50

と第4のゲートトレンチ172とが同じ幅で、さらに第3のゲートトレンチ171と第4のゲートトレンチ172とが1本ずつ交互に等間隔で設置されている。

【0068】

図7Aの構造において、第3のゲート導体151および第4のゲート導体152への印加電圧がゼロの状態のまま、 $VDS = BVDS$ （ここでは22V）となるまで電圧を印加したときの電位[V]の分布をシミュレーションした結果を図7Bに、そのときの電界強度[V/cm]のシミュレーション結果を図7Cに示す。

【0069】

図7Bから分かるように、ドリフト層33内の電位は、第4のゲートトレンチ172があるために全体的に下方へ押し下げられており、相対的に第3のゲートトレンチ171付近の等電位線の間隔は広がっている。この結果、第3のゲートトレンチ171の先端中央の電界強度は低減される。

10

【0070】

図7Aにおける第3のゲートトレンチ171の深さ D_a は、図5A（比較例1）の第1のゲートトレンチ17の深さ D_a と同じであるが、すべての第1のゲートトレンチ17が同じ深さに統一されている場合の図5Aと比べると、第3のゲートトレンチ171の先端の中央部分における電界強度が低減していることが分かる。同じ深さ D_a であるにもかかわらず第3のゲートトレンチ171の先端中央の電界強度が低減するのは、第4のゲートトレンチ172が電位を低濃度不純物層33の方へ押し下げるためであり、第3のゲートトレンチ171よりも深い第4のゲートトレンチ172が、第3のゲートトレンチ171の付近に存在するためである。つまり、すべての第1のゲートトレンチ17の深さが統一されている従来の構造では、この効果は得られない。

20

【0071】

一方、第4のゲートトレンチ172の先端中央の電界強度は増大する。図6A（比較例2）における第1のゲートトレンチ17の深さは、図7Aにおける第4のゲートトレンチ172の深さと同じ D_b であるが、図6Aではすべての第1のゲートトレンチ17の深さが統一されている。対応する図6Cと図7Cを用いて電界強度を比較すると、図6Cにおける第1のゲートトレンチ17の先端中央の電界強度よりも、図7Cにおける第4のゲートトレンチ172の先端中央の電界強度の方が強いことが分かる。

【0072】

これはすべての第1のゲートトレンチ17が同じ深さに統一されている場合は、すべての第1のゲートトレンチ17が電位を一様に変化させるのに対して、図7Bのように一部の第4のゲートトレンチ172だけが電位を押し下げる場合は、局所的にその近傍だけ急峻に電位を変化させるためである。

30

【0073】

第1のゲートトレンチ17の先端で電界強度が増大すると、第1のゲート絶縁膜16の近傍にホットエレクトロンが生じて信頼性を低下させる恐れが高まるため好ましくない。しかしながら本開示の一実施形態である図7Cにおいては、先端中央の電界強度が増大する第4のゲートトレンチ172の本数は、図6Cに比べて減少（およそ半減）している。つまり信頼性の低下に対する耐性は構造的に向上しており、従来よりも増大した電界強度が生じて直ちに信頼性の低下に影響を及ぼすことのない構造となっている。

40

【0074】

本開示の効果を享受するための本質は、従来構造と異なり、すべての第1のゲートトレンチ17が同じ深さに統一されないことであり、相対的に深い第4のゲートトレンチ172が、相対的に浅い第3のゲートトレンチ171に対して適切な本数と距離、および周期で設置されることである。このような構造であれば、第3のゲートトレンチ171の先端中央の電界強度が低減されながら、さらに信頼性低下につながる電界強度の上限を向上して耐性を高めることができる。

【0075】

上記では第3のゲートトレンチ171と第4のゲートトレンチ172とが1本ずつ交互

50

に設置される実施例を述べた。第4のゲートトレンチ172は第3のゲートトレンチ171の先端中央の電界強度を低減するように、第3のゲートトレンチ171をX方向において挟みこむように両側に配置されることが好ましく、最も効果的な配置は、X方向において第3のゲートトレンチ171と第4のゲートトレンチ172が1本ずつ交互に配置される構造である。

【0076】

本開示の効果をえられる配置はこれに限らず、最隣接して対を成す第4のゲートトレンチ172が、X方向において、間に挟む第3のゲートトレンチ171の本数は複数でもよい。図8にその一例を示す。トランジスタ10に設置される第3のゲートトレンチ171の本数を n (n は1以上の整数)本とすると、トランジスタ10に設置される第4のゲートトレンチ172の本数は2本以上($n+1$)本以下であることが好ましい。

10

【0077】

トランジスタ10の第1の活性領域112に設置される第1のゲートトレンチ17のうち、X方向において両最端にあるものを第4のゲートトレンチ172とし、残りを第3のゲートトレンチ171とすることが好ましい。このような配置にすることで第1の活性領域112に備わる第3のゲートトレンチ171の先端中央の電界強度を抑制することができる。

【0078】

またトランジスタ10の第1の活性領域112に設置される第1のゲートトレンチ17は、X方向において、最隣接して対を成す第4のゲートトレンチ172が、その間に1以上の第3のゲートトレンチ171を挟む構造を単位構造として、X方向にて当該単位構造が周期的に設置されて成り、当該単位構造の最端に設置される第4のゲートトレンチ172は、隣接する当該単位構造同士で共有されていることが望ましい。

20

【0079】

すなわちトランジスタ10の第1の活性領域112に設置される第1のゲートトレンチ17は、X方向において、第3のゲートトレンチ171の並びの中に、一定の間隔で、周期的に、第4のゲートトレンチ172が設置されることが望ましい。第3のゲートトレンチ171と第4のゲートトレンチ172とを、このように配置することで、第1の活性領域112に備わる第3のゲートトレンチ171の先端中央の電界強度を抑制することができる。

30

【0080】

特に、第1のゲートトレンチ17が、 n 本の第3のゲートトレンチ171と、 $n+1$ 本の第4のゲートトレンチ172とから成る場合は、トランジスタ10(第1の活性領域112)に設置される第1のゲートトレンチ17のうち、X方向において両最端にあるものを第4のゲートトレンチ172としながら、第3のゲートトレンチ171と第4のゲートトレンチ172とを、各々1本ずつ交互に設置することができる。このときすべての第3のゲートトレンチ171の先端中央の電界強度を抑制することができるため好ましい。

【0081】

第3のゲートトレンチ171同士の間隔 L_{aa} [μm]は一定であることが好ましい。また第4のゲートトレンチ172同士の間隔 L_{bb} [μm]は一定であることが好ましい。

40

【0082】

さらに第3のゲートトレンチ171と第4のゲートトレンチ172とを1本ずつ交互に設置するならば、 $L_{aa} = L_{bb}$ であることが望ましいし、第3のゲートトレンチ171と第4のゲートトレンチ172との間隔 L_{ab} [μm]についても、 $L_{ab} = L_{aa} / 2 = L_{bb} / 2$ が成立することが好ましい。この場合、第3のゲートトレンチ171も第4のゲートトレンチ172も導通チャネルとしては同じ密度で配置させることができるため、オン抵抗を低減するのに有効である。

【0083】

尚、あらためて述べておくが、本開示で対象としているゲートトレンチ(第1のゲートトレンチ17もしくは第2のゲートトレンチ27、あるいは第3のゲートトレンチ171

50

もしくは第4のゲートトレンチ172)とは、すべて導通チャネルの形成に寄与するものであり、ゲート導体(第1のゲート導体15もしくは第2のゲート導体25、あるいは第3のゲート導体151もしくは第4のゲート導体152)を内包する。

【0084】

第3のゲート導体151と第4のゲート導体152は、トランジスタ10の駆動においては同電位であり、第1のゲート電極19に印加された電圧は、第3のゲート導体151にも第4のゲート導体152にも同等に印加される。

【0085】

形状としてはトレンチであっても、第1の活性領域112を囲んで半導体装置1の第1の外周領域に備わるものは除外する。また第1の活性領域112に備わっていたとしても導通チャネルの形成に寄与しないものも除外する。したがって本開示でいう第1のゲートトレンチ17(第3のゲートトレンチ171および第4のゲートトレンチ172)は、すべて、上部で第1のソース領域14に接する部分を有し、下部で第1のボディ領域18に接する部分を有する。

10

【0086】

ここからは、トランジスタ10で、第3のゲートトレンチ171の深さ D_a と第4のゲートトレンチ172の深さ D_b との差($= D_b - D_a$)[nm]と、トランジスタ10のドレイン耐圧 V_{DS} およびオン抵抗との関係について述べる。

【0087】

トランジスタ10における、($= D_b - D_a$)[nm]とドレイン耐圧 V_{DS} の関係についてシミュレーションをおこなった結果を表1に示す。シミュレーションでは、内部幅が等しい第3のゲートトレンチ171と第4のゲートトレンチ172が、1本ずつ交互に配置され、 $L_{ab} = L_{aa} / 2 = L_{bb} / 2 = 0.40 \mu m$ であるとした。また第3のゲートトレンチ171の深さ $D_a = 1040 nm$ はすべての水準1~8で統一されている。

20

【0088】

30

40

50

【表 1】

水準	深さ[nm]		条件A 耐圧[V]	条件B 耐圧[V]
	上段:第3のゲートトレンチ 下段:第4のゲートトレンチ	差 Δ		
1 (図5)	1040	0	26.5	-
	1040			
2 (図7)	1040	100	24.5	-
	1140			
3	1040	120	24.1	24.4
	1160			
4	1040	140	23.8	24.2
	1180			
5	1040	160	23.5	24.1
	1200			
6	1040	260	23.3	25.2
	1300			
7	1040	360	22.0	25.6
	1400			
8	1040	460	20.5	-
	1500			

10

20

30

【0089】

表 1 に示した耐圧は 2 種類の条件で算出したものである。低濃度不純物層 3 3 の抵抗率および厚さをそれぞれの水準で変化させることなく統一した条件 A と、水準 2 の形状を基準として、第 4 のゲートトレンチ 1 7 2 の深さ D_b の増大に応じて、低濃度不純物層 3 3 の厚さも増大した条件 B である。尚、水準 1 は図 5 A、図 5 B、図 5 C に対応しており、水準 2 は図 7 A、図 7 B、図 7 C に対応している。また条件 B は水準 3 ~ 7 についてのみシミュレーションを実施している。

【0090】

表 1 の結果を条件 A () と条件 B () で同時にプロットしたものが図 9 である。図 9 によれば、条件 A () では、 の増大に応じて V_{DS} が低減する中で、 $= 160 \text{ nm}$ 付近で V_{DS} の低減の割合がいったん緩やかになる様子が見られる。また条件 B () では、 $= 160 \text{ nm}$ を起点として が増大すると共に V_{DS} が増大する様子が現れる。

40

【0091】

留意すべきは $= 160 \text{ nm}$ を境として耐圧の傾向が変化するところである。特に、条件 B () において 160 nm となる範囲では、 V_{DS} が低減もしくは収束することなく増大するところは注目すべきである。

【0092】

図 10 B、図 10 C に、表 1 の水準 5 で示した、 $D_b = 1200 \text{ nm}$ ($= 160 \text{ nm}$) における電位 [V] の分布および電界強度 [V / cm] の様子をシミュレーションした結果を示す。また図 11 B、図 11 C に、表 1 の水準 7 で示した、 $D_b = 1400 \text{ nm}$ (

50

= 360 nm)における電位 [V] の分布および電界強度 [V/cm] の様子をシミュレーションした結果を示す。図10B、図10Cは、図10Aに示す構造において、第3のゲート導体151および第4のゲート導体152への印加電圧がゼロの状態のまま、 $V_{DS} = BV_{DSS}$ (ここでは22V)となるまで電圧を印加したときのシミュレーション結果である。また図11B、図11Cは、図11Aに示す構造において、第3のゲート導体151および第4のゲート導体152への印加電圧がゼロの状態のまま、 $V_{DS} = BV_{DSS}$ (ここでは22V)となるまで電圧を印加したときのシミュレーション結果である。尚、 $D_b = 1140 \text{ nm}$ ($= 100 \text{ nm}$)のときのシミュレーション結果は図7B、図7Cである。

【0093】

図7B、図10B、図11Bおよび図7C、図10C、図11Cを比較すると、第4のゲートトレンチ172の深さが増大するに伴って、第3のゲートトレンチ171の先端中央における電界強度が低減し、ちょうど $= 160 \text{ nm}$ 付近 (図10C) で収束することが分かる。これは第3のゲートトレンチ171の両側に備わる第4のゲートトレンチ172が、第3のゲートトレンチ171の先端から 160 nm まで電位を押し下げることによって、第3のゲートトレンチ171の先端中央で電界強度を増大させるような電位の分布が消失するためである。

【0094】

したがって相対的に浅い方の、第3のゲートトレンチ171の先端中央の電界強度がこれ以上顕著には低減しなくなる状態に至っていることが、図9に現れる留意すべき現象の要因であるといえる。このような現象は、従来のように第1のゲートトレンチ17がすべて同じ深さで形成されている構造では得られない効果である。

【0095】

したがって第3のゲートトレンチ171と第4のゲートトレンチ172が1本ずつ、等間隔で交互に配置される場合、 160 nm へ調整することが好ましい。すなわち、第3のゲートトレンチ171の深さと第4のゲートトレンチ172の深さとの差は 160 nm 以上であることが望ましい。 160 nm とすれば、低濃度不純物層33の厚さを調整することで、表1もしくは図9に示すように耐圧を向上させることができる。また耐圧のマージンを増大させる必要性が低ければ、耐圧が向上する分を、低濃度不純物層33の抵抗率や厚さを調節して、オン抵抗を低減することに転化させることもできる。 $< 160 \text{ nm}$ であっても一定の効果を得ることはできるが、十分な耐圧のマージンを確保しつつ、低濃度不純物層33の導通抵抗を低減するには、 160 nm となるように調整することが望ましい。

【0096】

[5. ゲートトレンチの深さを個別に制御する製法]

本実施形態1におけるトランジスタ10の製造方法の一例を説明する。第3のゲートトレンチ171と第4のゲートトレンチ172を交互に形成する場合を例にして説明する。

【0097】

図12Aに示すように、半導体層40 (半導体基板32と低濃度不純物層33) の上面に酸化物等から成る、マスク層36を製膜する。

【0098】

次に図12Bに示すように、マスク層36上に塗布したレジストをパターンニングし、X方向において、一定の間隔で開口部を設ける。このときX方向におけるレジストの開口部の幅は、最終的には第4のゲートトレンチ172の内部幅となる。さらに第3のゲートトレンチ171と第4のゲートトレンチ172の内部幅および間隔が等しくなるようにトランジスタ10を形成する場合、図12Bにおいてはレジストで被覆されているX方向の非開口部の幅は、レジストが除去されているX方向の開口部の幅の、およそ3倍と同等となるようにパターンニングをおこなう。

【0099】

次に図12Cに示すように、レジストの開口部にエッチングを施し、マスク層36を除

10

20

30

40

50

去する。マスク層 36 はすべて除去せずに半導体層 40 上に一定の厚さで残留してもよいが、図 12C に示すように、すべて除去されることが望ましい。

【0100】

次に図 12D に示すように、残留しているレジストに再度パターニングをおこない、新たにマスク層 36 が露出する箇所を X 方向において周期的に設ける。X 方向における、レジストに新たに設けた開口部の幅は、最終的には第 3 のゲートトレンチ 171 の内部幅となる。

【0101】

次に図 12E に示すように、図 12D の工程でマスク層 36 が新たに露出した箇所にエッチングを施し、マスク層 36 を、半導体層 40 上に一定の厚さを残して除去する。

10

【0102】

次に図 12F に示すように、レジストを除去する。

【0103】

次に図 12G に示すように、部分的に残ったマスク層 36 をマスクとして、マスク層 36 および半導体層 40 をエッチングする。図 12G を開始する時点でマスク層 36 は、後に第 3 のゲートトレンチ 171 となる箇所にだけ選択的に、薄く設置されている。図 12G に示す工程のエッチングをおこなうと、マスク層 36 がもともと除去されていた箇所では、始めから半導体層 40 のエッチングが進行する。マスク層 36 が薄く残されていた箇所は、まずマスク層 36 が完全に除去され、その後、直下の半導体層 40 がエッチングされ始めるが、その時点で既に、マスク層 36 がもともと除去されていた箇所では半導体層 40 のエッチングが進行しているため、半導体層 40 には交互に深さの異なるトレンチが形成されることになる。

20

【0104】

マスク層 36 の厚さ、エッチングの条件、図 12E に示す工程で半導体層 40 上面に残すマスク層 36 の残し厚さ等を操作することで、第 3 のゲートトレンチ 171 と第 4 のゲートトレンチ 172 の深さの差を制御することができる。

【0105】

また第 3 のゲートトレンチ 171 の内部幅と第 4 のゲートトレンチ 172 の内部幅、あるいは第 3 のゲートトレンチ 171 同士の間隔、第 4 のゲートトレンチ 172 同士の間隔、第 3 のゲートトレンチ 171 と第 4 のゲートトレンチ 172 との間隔等は、レジストを

30

【0106】

(実施形態 2)

以下、実施形態 1 に係る半導体装置 1 におけるトランジスタ 10 から、一部の構成が変更されて構成される実施形態 2 に係る半導体装置 1 のトランジスタ 10A について説明する。

【0107】

トランジスタ 10 は、第 1 のゲートトレンチ 17 が、第 3 のゲートトレンチ 171 と第 4 のゲートトレンチ 172 とから成り、第 3 のゲートトレンチ 171 に備わる第 3 のゲート導体 151 と第 3 のゲート絶縁膜 161 と、および第 4 のゲートトレンチ 172 に備わる第 4 のゲート導体 152 と第 4 のゲート絶縁膜 162 と、を有する構成の例であった。

40

【0108】

これに対して、実施形態 2 に係るトランジスタ 10A は、実施形態 2 に係るトランジスタ 10A において、第 1 のゲートトレンチ 17 が、第 3 のゲートトレンチ 171 と第 4 のゲートトレンチ 172 とから成り、第 3 のゲートトレンチ 171 に備わる第 3 のゲート導体 151A と第 3 のゲート絶縁膜 161A と、および第 4 のゲートトレンチ 172 に備わる第 4 のゲート導体 152A と第 4 のゲート絶縁膜 162A と、を有する構成の例となっている。

【0109】

ここでは、実施形態 2 に係るトランジスタ 10A について、トランジスタ 10 と同様の

50

構成要素については、既に説明済みであるとして同じ符号を振ってその詳細な説明を省略し、トランジスタ 10 との相違点を中心に説明する。

【0110】

図 13 に本実施形態 2 におけるトランジスタ 10 A の形状の模式図を示す。図 13 はトランジスタ 10 A の一部を XZ 平面で断面視したときの模式図であり、第 1 のソース電極 11 など、層間絶縁層 34 より上部の構成物と、半導体基板 32 を含む下部の構成物については図示を省略している。

【0111】

本実施形態 2 における実施形態 1 との違いは、第 3 のゲート絶縁膜 161 A と第 4 のゲート絶縁膜 162 A の形状に差異があるところである。特に第 4 のゲート絶縁膜 162 A は、第 4 のゲートトレンチ 172 の底部側が、当該第 4 のゲートトレンチ 172 の上部側の第 4 のゲート絶縁膜 162 A に比べて厚くなっている。

10

【0112】

実施形態 1 でも説明したように、第 4 のゲートトレンチ 172 は相対的に深いトレンチであるため、先端中央の電界強度が増大する。仮に第 4 のゲート絶縁膜 162 A が極端に薄いと、増大する電界強度に構造が耐え切れず、ドレイン - ゲート間で電流がリークする箇所を生じてしまう恐れがある。このため特に電界強度が増大する箇所である第 4 のゲートトレンチ 172 の先端を広く覆うように、第 4 のゲート絶縁膜 162 A を、第 4 のゲートトレンチ 172 の底部側だけ厚く設置しておく为好ましい。

【0113】

図 13 では、第 4 のゲート絶縁膜 162 A が、第 4 のゲートトレンチ 172 の底部側で一様に厚い構成を例示しているが、本実施形態 2 の効果を得るのは、図 13 の形状に限るものではない。第 4 のゲート絶縁膜 162 A は、第 4 のゲートトレンチ 172 の形状に沿って一部の側面と底部側だけ厚くなるように設置されていてもよく、また厚くなっている部分は異なる材料の絶縁膜の多層構成になっていてもよい。

20

【0114】

また第 3 のゲート絶縁膜 161 A は図 13 に示すとおり、実施形態 1 における第 3 のゲート絶縁膜 161 と同様、厚さが第 3 のゲートトレンチ 171 の側面でも底部でも変わらず一定でもよい。これは第 3 のゲートトレンチ 171 の先端に生じる電界強度は過度に増大しないので、第 3 のゲート絶縁膜 161 A を厚くして備える必要がないためである。したがって、相対的に増大する電界強度への耐性を高める必要のある第 4 のゲート絶縁膜 162 A では、第 3 のゲート絶縁膜 161 A に比べて厚い部分を有することが望ましい。特に、第 4 のゲートトレンチの底部側で、第 4 のゲート絶縁膜 162 A が厚く設置されることが望ましい。

30

【0115】

しかし第 3 のゲートトレンチ 171 と第 4 のゲートトレンチ 172 の深さの差や、間隔、設置数の相対的な関係によっては、第 3 のゲートトレンチ 171 の先端における電界強度がある程度増大する場合もある。そのような場合には、第 4 のゲート絶縁膜 162 A と同様に、第 3 のゲート絶縁膜 161 A においても底部側が厚膜化されていてもよい。このとき、第 3 のゲート絶縁膜 161 A と第 4 のゲート絶縁膜 162 A は同等の厚さが設置されていてもよいし、第 4 のゲート絶縁膜 162 A の方が相対的に厚くなるように設置されていてもよい。

40

【0116】

(実施形態 3)

以下、実施形態 1 に係る半導体装置 1 におけるトランジスタ 10 から、一部の構成が変更されて構成される実施形態 3 に係る半導体装置 1 のトランジスタ 10 B について説明する。

【0117】

トランジスタ 10 は、低濃度不純物層 33 が 1 層で構成される例であった。これに対して、実施形態 3 に係るトランジスタ 10 B は、実施形態 3 に係るトランジスタ 10 B にお

50

いて、2層構成の低濃度不純物層33Bを有する構成の例となっている。

【0118】

ここでは、実施形態3に係るトランジスタ10Bについて、トランジスタ10と同様の構成要素については、既に説明済みであるとして同じ符号を振ってその詳細な説明を省略し、トランジスタ10との相違点を中心に説明する。

【0119】

図14に本実施形態3におけるトランジスタ10Bの形状の模式図を示す。図14はトランジスタ10Bの一部をXZ平面で断面視したときの模式図であり、第1のソース電極11など、層間絶縁層34より上部の構成物と、半導体基板32を含む下部の構成物については図示を省略している。

10

【0120】

図14に示すように、トランジスタ10Bの低濃度不純物層33Bは2層構成である。低濃度不純物層33Bは、不図示の半導体基板32上に、まず第2の低濃度不純物層332が積層され、さらにその上部に第1の低濃度不純物層331が積層されて成る。

【0121】

第1の低濃度不純物層331は、第2の低濃度不純物層332に比べて低い抵抗率を示す層であり、第2の低濃度不純物層332は、第1の低濃度不純物層331に比べて高い抵抗率を示す層である。例えば低濃度不純物層33B内部で不純物濃度を比較した場合、第1の低濃度不純物層331における第1導電型の不純物の濃度の方が、第2の低濃度不純物層332における第1導電型の不純物の濃度に比べて高い。

20

【0122】

また本実施形態3では、第3のゲートトレンチ171の先端が、第1の低濃度不純物層331の内部に到達するように形成されている。さらに第3のゲートトレンチ171の先端は、第1の低濃度不純物層331を貫通して第2の低濃度不純物層332に到達するようには形成されていない。また第4のゲートトレンチ172の先端が、第2の低濃度不純物層332の内部に到達するように形成されている。さらに第4のゲートトレンチ172の先端は、第2の低濃度不純物層332を貫通して半導体基板32に到達するようには形成されていない。

【0123】

上記のように第3のゲートトレンチ171の先端が第1の低濃度不純物層331の内部におさまるように設置すると、第3のゲートトレンチ171によって形成される導通チャネルを経由する主電流は、半導体基板32へ至るのに、第3のゲートトレンチ171の直下にある第1の低濃度不純物層331と第2の低濃度不純物層332を経由する。第1の低濃度不純物層331は相対的に低い抵抗率であるので、低濃度不純物層33を流れる主電流の抵抗を低減することができる。

30

【0124】

一方、第1の低濃度不純物層331が相対的に低い抵抗率であると、第3のゲートトレンチ171の先端付近に生じる電界強度は増大することになる。しかし、本開示の構造によれば第4のゲートトレンチ172が備わることで、第3のゲートトレンチ171の先端付近の電界強度はもともと低減されている。このため電界強度の増大は一定程度相殺することができる。第3のゲートトレンチ171の先端付近の電界強度の増減への影響と、第1の低濃度不純物層331を流れる電流の抵抗への影響とを共に加味して第1の低濃度不純物層331の抵抗率または厚さは適切に選択することができる。

40

【0125】

第4のゲートトレンチ172の先端を第2の低濃度不純物層332の内部におさまるように設置すると、第2の低濃度不純物層332が相対的に高い抵抗率であるため、第4のゲートトレンチ172の先端付近に生じる電界強度を低減することができる。この効果は、本開示の構造が第3のゲートトレンチ171の先端付近の電界強度を低減するのに対して、第4のゲートトレンチ172の先端付近の電界強度がもともと増大する副作用を軽減するのに都合がよい。

50

【 0 1 2 6 】

一方、第4のゲートトレンチ172によって形成される導通チャネルを經由する主電流は、半導体基板32へ至るのに、第4のゲートトレンチ172の直下にある第2の低濃度不純物層332を經由する。第2の低濃度不純物層332は相対的に高い抵抗率であるので、低濃度不純物層33を流れる主電流の抵抗は増大するものの、本開示の構造では第4のゲートトレンチ172は相対的に深く形成されるので、主電流が第2の低濃度不純物層332を流れる距離は過度に大きくせずに済ませられる。

【 0 1 2 7 】

上記のように、本実施形態3では低濃度不純物層33Bを適切に2段構成にすることで、本開示において生じる第3のゲートトレンチ171と第4のゲートトレンチ172に関する、それぞれの副作用を軽減することができる。

10

【 0 1 2 8 】

(補足)

以上、本開示の一態様に係る半導体装置について、実施形態に基づいて説明したが、本開示は、これらの実施形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形をこれらの実施形態に施したものや、異なる変形例における構成要素を組み合わせて構築される形態も、本開示の1つまたは複数の態様の範囲内に含まれてもよい。

【 0 1 2 9 】

また本開示では縦型電界効果トランジスタの構造について、まずデュアル構成を例にとって説明し、第1のトランジスタのゲートトレンチを第1のゲートトレンチとし、第2のトランジスタのゲートトレンチを第2のゲートトレンチとした。混乱を避けるため本開示においては一貫して、相対的に浅いゲートトレンチのことを第3のゲートトレンチとし、相対的に深いゲートトレンチのことを第4のゲートトレンチとして説明したが、本開示の効果をえられる縦型電界効果トランジスタの構造はデュアル構成に限らない。したがって第1のトランジスタと第2のトランジスタを必ずしも区別する必要はなく、第3のゲートトレンチを第1のゲートトレンチと言い換え、第4のゲートトレンチを第2のゲートトレンチと言い換えても差し支えない。

20

【 産業上の利用可能性 】

【 0 1 3 0 】

本願発明に係る縦型電界効果トランジスタを備える半導体装置は、電流経路の導通状態を制御する装置として広く利用できる。

30

【 符号の説明 】

【 0 1 3 1 】

1 半導体装置

10、10A、10B トランジスタ(第1の縦型電界効果トランジスタ)

11 第1のソース電極

12、13、22、23 部分

14 第1のソース領域

15 第1のゲート導体

16 第1のゲート絶縁膜

17 第1のゲートトレンチ

18 第1のボディ領域

18A 第1の接続部

19 第1のゲート電極

20 トランジスタ(第2の縦型電界効果トランジスタ)

21 第2のソース電極

24 第2のソース領域

25 第2のゲート導体

26 第2のゲート絶縁膜

40

50

- 27 第2のゲートトレンチ
- 28 第2のボディ領域
- 28A 第2の接続部
- 29 第2のゲート電極
- 30 金属層
- 32 半導体基板
- 33、33B 低濃度不純物層（ドリフト層）
- 34 層間絶縁層
- 35 パッシベーション層
- 36 マスク層
- 40 半導体層
- 90 境界線
- 112 第1の活性領域
- 116 第1のソース電極パッド
- 119 第1のゲート電極パッド
- 122 第2の活性領域
- 126 第2のソース電極パッド
- 129 第2のゲート電極パッド
- 151、151A 第3のゲート導体
- 152、152A 第4のゲート導体
- 161、161A 第3のゲート絶縁膜
- 162、162A 第4のゲート絶縁膜
- 171 第3のゲートトレンチ
- 172 第4のゲートトレンチ
- 331 第1の低濃度不純物層
- 332 第2の低濃度不純物層

10

20

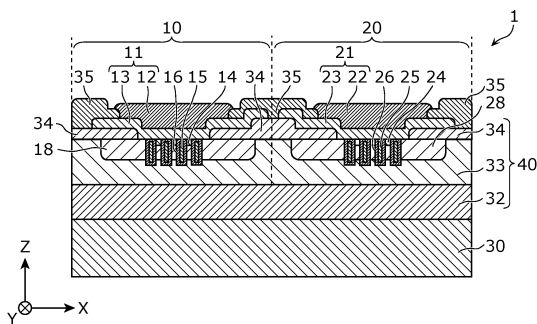
【要約】

半導体装置（1）は、第1の方向に延在する第1のゲートトレンチ（17）および第1のゲートトレンチ（17）よりも深く形成された第2のゲートトレンチ（27）と、第1のゲートトレンチ（17）の内部に形成された第1のゲート絶縁膜（16）および第1のゲート導体（15）と、第2のゲートトレンチ（27）の内部に形成された第2のゲート絶縁膜（26）および第2のゲート導体（25）と、を有する縦型電界効果トランジスタ（10）であって、第1のゲート導体（15）と第2のゲート導体（25）とは同電位であって、第1のゲートトレンチ（17）の本数をnとすると、第2のゲートトレンチ（27）の本数は2以上n+1以下であり、低濃度不純物層（33）の上面と平行で第1の方向に直交する第2の方向において、第1のゲートトレンチ（17）と第2のゲートトレンチ（27）とが設置される領域の最端は前記第2のゲートトレンチ（27）が設置される。

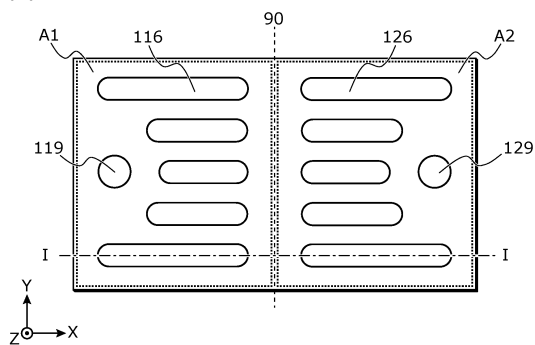
30

【図面】

【図1】



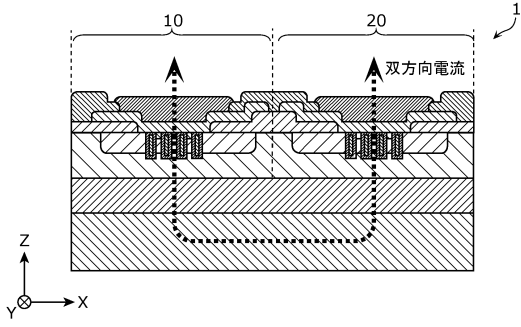
【図2A】



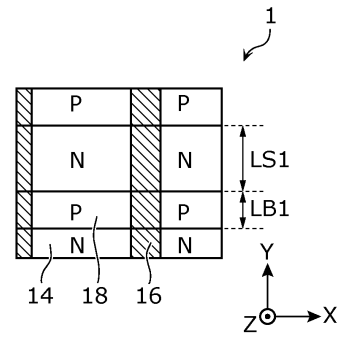
40

50

【図 2 B】

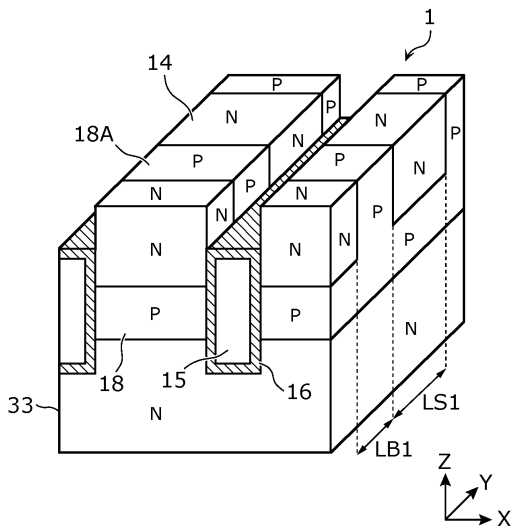


【図 3 A】

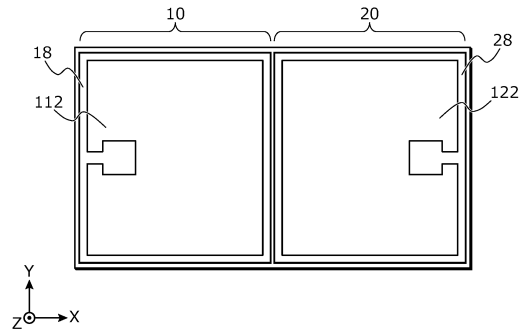


10

【図 3 B】



【図 4】



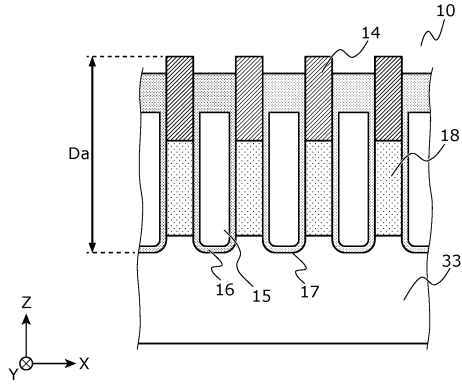
20

30

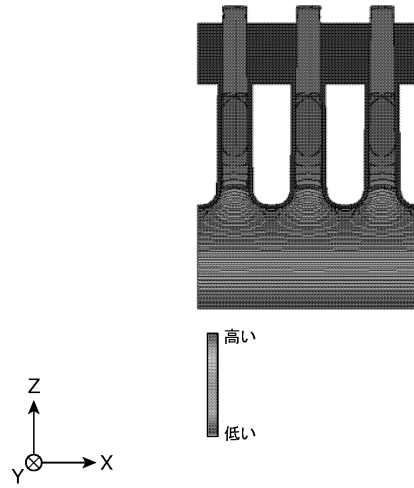
40

50

【図 5 A】

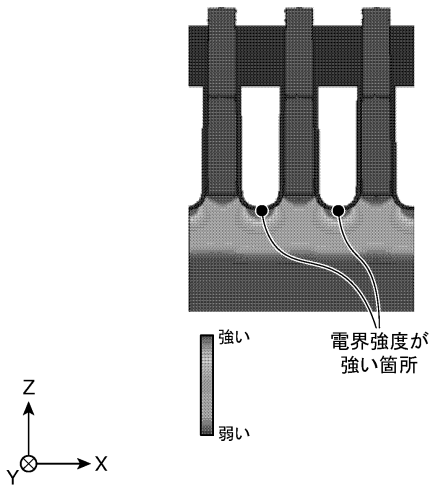


【図 5 B】

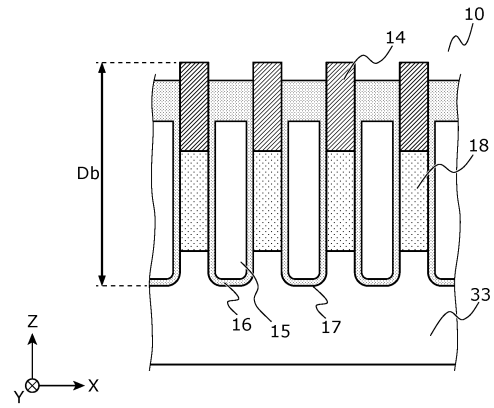


10

【図 5 C】



【図 6 A】



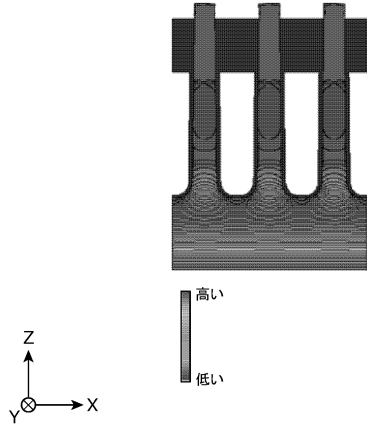
20

30

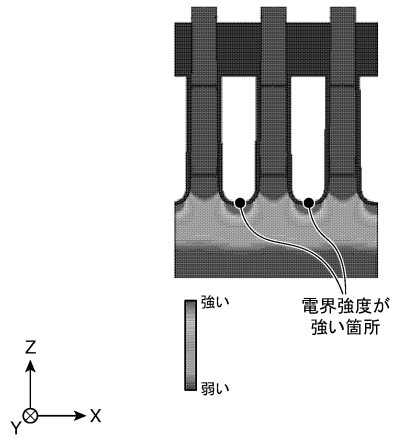
40

50

【図 6 B】

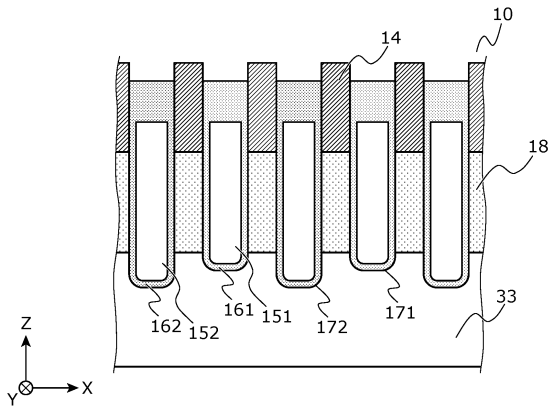


【図 6 C】

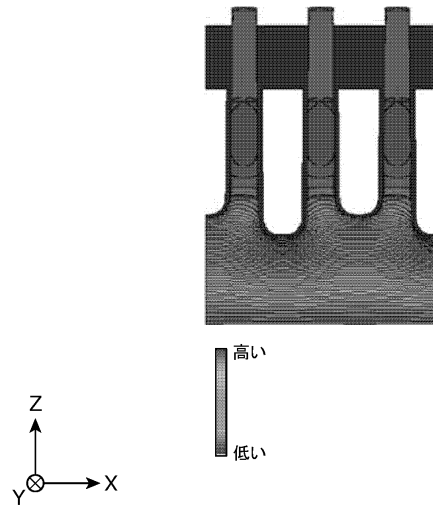


10

【図 7 A】



【図 7 B】



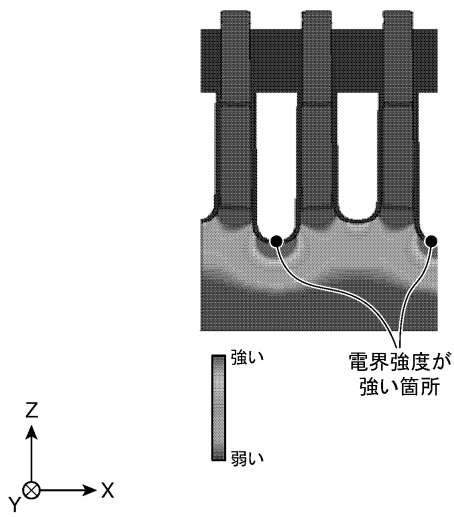
20

30

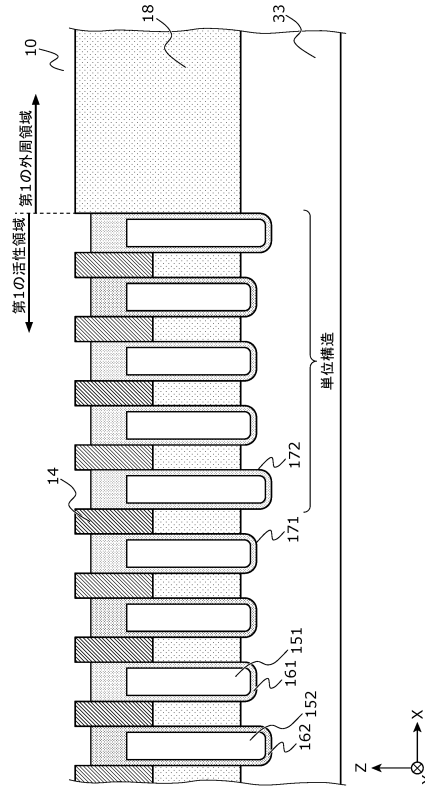
40

50

【図 7 C】



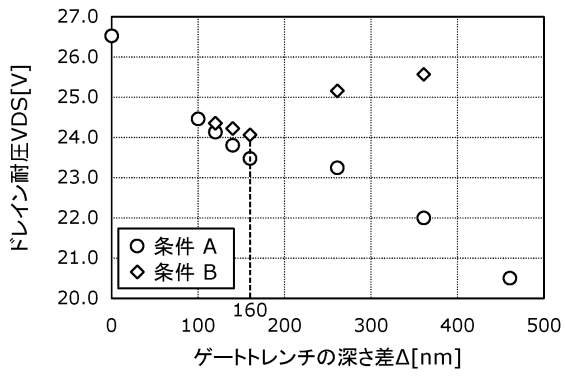
【図 8】



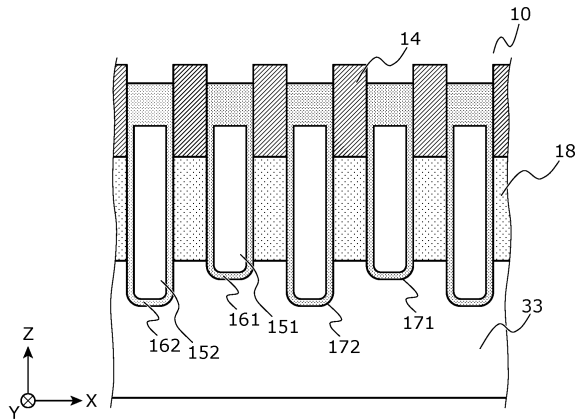
10

20

【図 9】



【図 10 A】

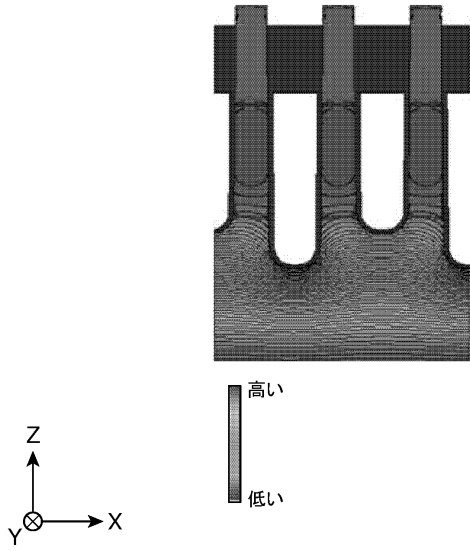


30

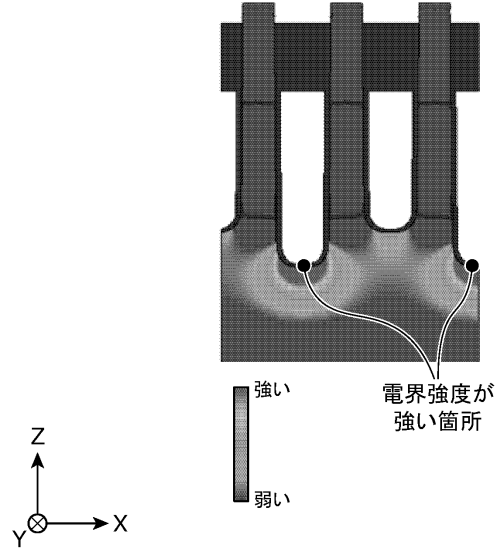
40

50

【図 10 B】

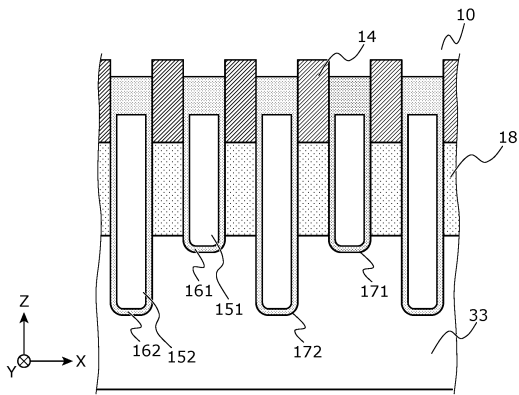


【図 10 C】

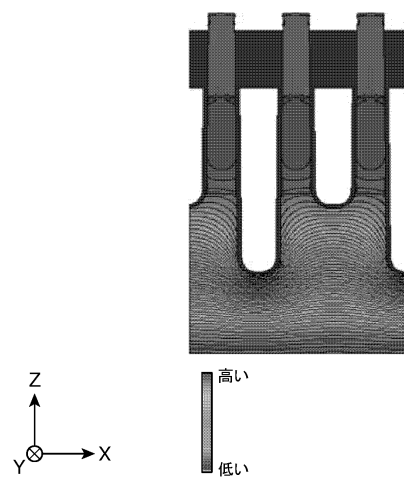


10

【図 11 A】



【図 11 B】



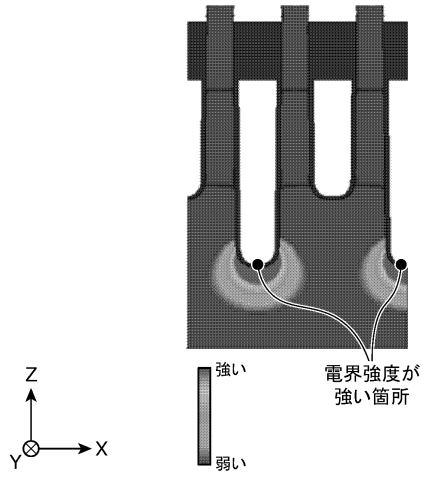
20

30

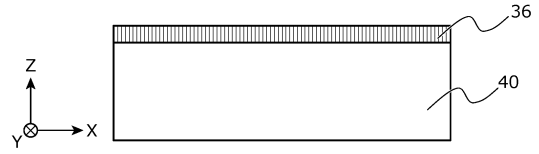
40

50

【図 1 1 C】

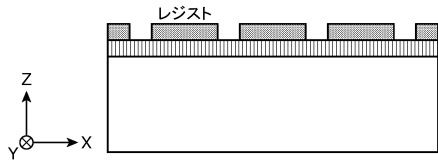


【図 1 2 A】

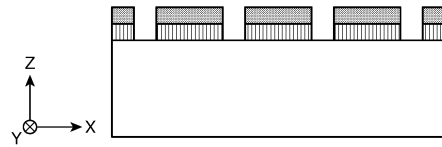


10

【図 1 2 B】

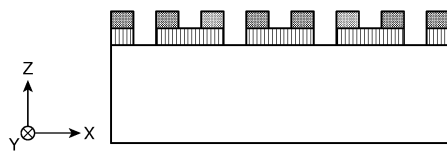


【図 1 2 C】

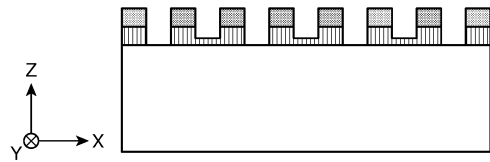


20

【図 1 2 D】



【図 1 2 E】

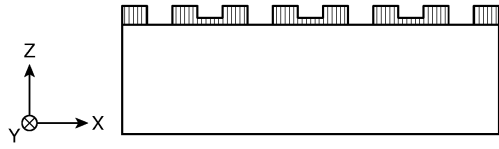


30

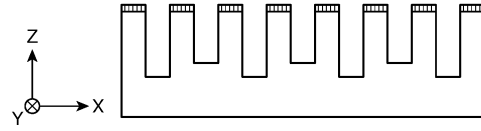
40

50

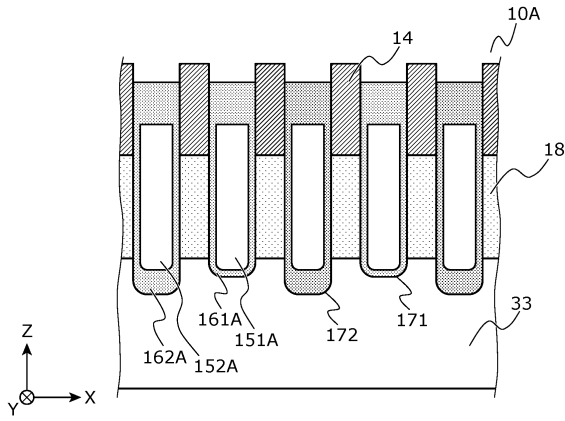
【図 1 2 F】



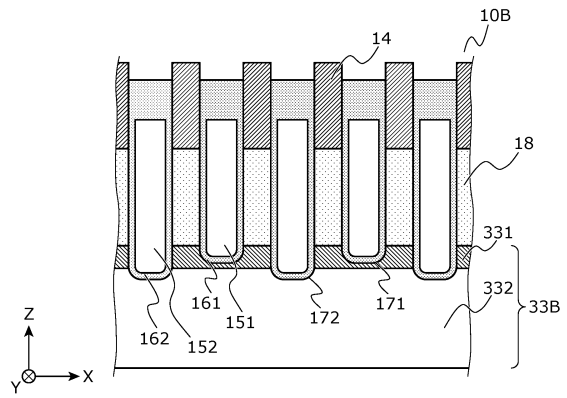
【図 1 2 G】



【図 1 3】



【図 1 4】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 29/78 6 5 6 A

H 0 1 L 29/78 6 5 2 S

日本国京都府長岡京市神足焼町1番地 ヌヴォトンテクノロジージャパン株式会社内

(72)発明者 安田 英司

日本国京都府長岡京市神足焼町1番地 ヌヴォトンテクノロジージャパン株式会社内

審査官 恩田 和彦

(56)参考文献

特開2019-186318(JP,A)

国際公開第2018/123799(WO,A1)

特開2018-182240(JP,A)

特開2013-214696(JP,A)

米国特許出願公開第2014/0264432(US,A1)

特開2012-059943(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 29 / 7 8

H 0 1 L 21 / 3 3 6