

捌、聲明事項

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為：_____

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 日本；2001年09月26日；特願2001-294204

2. _____

3. _____

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 日本；2001年09月26日；特願2001-294204

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

發明之技術領域

本發明係關於IC卡的資訊重寫方法，尤其係關於以快閃記憶體IC卡為對象而進行資訊資料重寫的情形中之快閃記憶體重寫電路、IC卡用LSI(大型積體電路)、IC卡、快閃記憶體重寫方法及快閃記憶體重寫程式。

先前技藝

圖7中顯示一般的IC卡用LSI 41之構造，圖示中LSI 14上的記憶體為快閃記憶體14，但亦可使用如圖8所示的EEPROM(電性可拭除可程式化唯讀記憶體)等來代替快閃記憶體14。首先說明圖8的記憶體採用EEPROM 17的情形之重寫方法：CPU 11介以匯流排10來指定EEPROM 17內的重寫指定位元組之資料及位址，由於資料須重寫的指定位元組是由CPU 11直接指定，因此每個指定位元組均可重寫，然而因其面積相當大，對於IC卡等已然設定最大晶片面積的系統而言，無法因應大容量化的要求，因此多半使用最大不超過16 KB(千位元組)左右的IC卡。而圖7中使用快閃記憶體14的IC卡41，能夠滿足最大128 KB左右的要求，然而快閃記憶體14通常是以區塊為單位進行重寫，因此要重寫指定的位元組時，必須以特殊流程進行。

接著參照圖7並利用圖9的流程圖及圖10的資料流向圖，說明快閃記憶體14的重寫方法。

(A)在圖9的步驟S301中，依據CPU 11的指令，將包含快閃記憶體14中的資料重寫指定位元組 b_k 之頁資料 P_m ，從

(2)

發明說明書

快閃記憶體 14 介以匯流排 10 而儲存於 RAM 12。在此的一頁是指 64 位元組為一單位(區塊)的資料，快閃記憶體一般即如此以區塊(頁)為單位進行重寫。

(B)接著於步驟 S302 中，依據 CPU 11 的指令，對儲存於 RAM 12 的頁資料 P_m ，介以匯流排 10 來覆寫所要重寫的指定位元組之資料 b_k ，此覆寫後的新的頁資料 P_m 會被重設為快閃記憶體 14 中的資料。

(C)接著於步驟 S303 中，依據 CPU 11 的指令，將 RAM 12 中準備好的新的頁資料 P_m ，介以匯流排 10 而設定於快閃記憶體 14 的頁位址。

(D)接著於步驟 S304 中，依據 CPU 11 的指令，重寫快閃記憶體 14 的頁資料 P_m 。

本發明所欲解決之課題

相對於 EEPROM 可直接指定重寫指定位元組的資料及位址，而以單一步驟進行重寫，快閃記憶體的位元組重寫動作則如上所述，必須經過數個步驟，因此，程式開發者在開發應用程式時，即使在儲存數位元組的指定資料之情況下，仍不得不考量包含重寫部分在內的一整頁位元組之資料處理量(重寫一頁資料)。

如上所述，EEPROM 能夠以單一步驟進行位元組單位的重寫動作，但缺點是容量小；快閃記憶體雖能應付大容量，但問題在於需要數個步驟才能完成位元組單位的重寫動作。

有鑑於上述問題，本發明的目的即在於提供一種快閃

記憶體重寫電路、具有此快閃記憶體重寫電路的IC卡用LSI、IC卡、快閃記憶體重寫方法及快閃記憶體重寫程式，俾便以單一步驟重寫快閃記憶體的位元組資料。

課題之解決手段

為達成上述目的，本發明的第一特徵之要點在於一種快閃記憶體重寫電路，其係介以匯流排而分別與CPU、快閃記憶體及RAM相互連接之電路，且至少具有：(A)重寫資料控制電路，其係從CPU接受快閃記憶體重寫指令，而將重寫頁的指定位元組之資料儲存於RAM；(B)等候控制電路，其係對CPU發出/解除等候指令；(C)頁資料控制電路，其係將快閃記憶體內指定位元組以外的頁資料從快閃記憶體傳至RAM，而於RAM中準備新的頁資料；及(D)資料集控制電路，其係將RAM中準備好的新的頁資料寫入快閃記憶體。

藉由第一特徵相關的快閃記憶體重寫電路，則CPU僅需對快閃記憶體重寫電路下達重寫指令，即可以位元組為單位進行重寫，既然可用一個步驟重寫位元組單位的快閃記憶體資料，應用程式開發者便得以縮短開發程序。

此外，第一特徵相關之快閃記憶體重寫電路，亦可進一步具有：(E)驗證電路，其係比較重寫後的快閃記憶體及RAM的頁資料；(F)資料儲存控制電路，其係藉由驗證電路，將驗證錯誤的資料及其位址儲存於RAM；及(G)錯誤旗標產生電路，其係於驗證錯誤發生時，對CPU通知錯誤旗標。

(4)



此處的「驗證錯誤」是指，於RAM中準備的新重寫頁資料，與頁資料重寫後的快閃記憶體內之資料不一致。

藉由此快閃記憶體重寫電路，即可於驗證錯誤發生時，將驗證錯誤資料及其位址儲存於RAM，並通知CPU有錯誤發生。

此外，第一特徵相關的快閃記憶體重寫電路中之(H)資料儲存控制電路，係藉由快閃記憶體內的ECC電路而將2位元錯誤資料及其位址儲存於RAM；(I)錯誤旗標產生電路亦可於2位元錯誤發生時，對CPU通知錯誤旗標。

此處的「ECC電路」係指錯誤檢查/更正機構(Error Check and Correct)電路，ECC電路在於檢測記憶體錯誤，指出錯誤發生之處，並將其更正為正確值。然而ECC電路僅能夠自動更正1位元錯誤，而無法更正2位元錯誤，在本發明中遇到2位元錯誤的情形時，會產生錯誤旗標而停止重寫。

藉由本快閃記憶體重寫電路，即可接受來自具有ECC電路的快閃記憶體之2位元錯誤，並停止重寫。

本發明的第二特徵之要點在於一種IC卡用LSI，其至少具有：(A)CPU；(B)快閃記憶體；(C)RAM；(D)快閃記憶體重寫電路，具備重寫資料控制電路，其係從CPU接受快閃記憶體重寫指令，而將重寫頁的指定位元組之資料儲存於RAM；頁資料控制電路，其係將快閃記憶體內指定位元組以外的頁資料傳至RAM，而於RAM中準備新的頁資料；及資料集控制電路，其係將RAM中準備好的新的頁

資料寫入快閃記憶體；且其係以位元組為單位進行快閃記憶體重寫。

藉由第二特徵相關的IC卡用LSI，即可用一個步驟重寫位元組單位的快閃記憶體資料，應用程式開發者便得以縮短開發程序。

此外，第二特徵相關的IC卡用LSI之快閃記憶體亦可具有ECC電路，而快閃記憶體重寫電路亦可從ECC電路接受2位元錯誤訊號。

藉由此IC卡用LSI，即可接受來自具有ECC電路的快閃記憶體之2位元錯誤，並停止重寫。

本發明的第三特徵之要點在於一種IC卡，其至少具有：(A)卡片基板；(B)搭載於上述卡片基板上LSI，其具備：CPU；快閃記憶體；RAM；快閃記憶體重寫電路，其具有重寫資料控制電路，其係從前述CPU接受快閃記憶體重寫指令，而將重寫頁的指定位元組之資料儲存於前述RAM；頁資料控制電路，其係將前述快閃記憶體內的前述指定位元組以外的前述頁資料傳至前述RAM，而於前述RAM中準備新的頁資料；及資料集控制電路，其係將前述RAM中準備好的新的頁資料寫入前述快閃記憶體；(C)外部端子，其係搭載於該卡片基板上；(D)基板配線，其係設置於連接該外部端子與前述LSI晶片上的墊之前述卡片基板上；及(E)覆蓋膜，其係覆蓋前述LSI晶片、前述卡片基板、前述基板配線及前述外部端子的一部分。

此處的「外部端子」是指，與VDD端子及RST端子等的

(6)



外部裝置(讀、寫裝置)進行資料處理之端子。

藉由第三特徵相關的IC卡，則CPU僅需對快閃記憶體重寫電路下達重寫指令，即可以位元組為單位進行重寫，既然可用一個步驟重寫位元組單位的快閃記憶體資料，應用程式開發者便得以縮短開發程序。

此外，第三特徵相關的IC卡，其中LSI晶片上的快閃記憶體亦可具有ECC電路，而LSI晶片亦可具有從ECC電路接受2位元錯誤訊號之手段。

藉由此IC卡，即可接受來自具有ECC電路的快閃記憶體之2位元錯誤，並停止重寫。

本發明的第四特徵之要點在於一種快閃記憶體重寫方法，其係介以匯流排而分別與CPU、快閃記憶體及RAM相互連接之快閃記憶體重寫電路，且至少包含以下步驟：(A)從CPU接受快閃記憶體的重寫指令者；(B)於RAM中儲存重寫頁的指定位元組資料者；(C)對CPU發出等候指令者；(D)從快閃記憶體向RAM傳送指定位元組以外的頁資料，而於RAM中準備新的頁資料者；(E)將RAM中準備好的新的頁資料重設於快閃記憶體的頁位址者；(F)進行快閃記憶體的資料重寫者；及(G)對CPU解除等候指令者。

藉由第四特徵相關的快閃記憶體重寫方法，則CPU僅需對快閃記憶體重寫電路下達重寫指令，即可以位元組為單位進行重寫，既然可用一個步驟重寫位元組單位的快閃記憶體資料，應用程式開發者便得以縮短開發程序。

此外，第四特徵相關之快閃記憶體重寫方法，亦可進

(7)

一步具有：(H)比較重寫後的快閃記憶體與RAM的頁資料之步驟。

藉由此快閃記憶體重寫方法，即可比較重寫後的快閃記憶體與RAM上新準備的資料，並確認資料的一致性。

此外，當重寫後的快閃記憶體與RAM的頁資料相異的情形時，第四特徵相關的快閃記憶體重寫方法亦可進一步具有：(I)於RAM中儲存相異的資料及其位址之步驟；(J)對CPU產生錯誤旗標之步驟；及(K)解除CPU等候之步驟。

藉由此快閃記憶體重寫方法，即可於驗證錯誤發生時，將驗證錯誤資料及其位址儲存於RAM，並通知CPU有錯誤發生。

再者，讀取快閃記憶體內的資料時，若因快閃記憶體內的ECC電路而得知發生2位元錯誤的情形時，第四特徵相關的快閃記憶體重寫方法亦可進一步包含：(L)於RAM中儲存錯誤的資料及其位址之步驟；(M)對CPU產生錯誤旗標之步驟；及(N)解除CPU等候之步驟。

藉由本快閃記憶體重寫方法，即可接受來自具有ECC電路的快閃記憶體之2位元錯誤，並停止重寫。

本發明的第五特徵之要點在於一種快閃記憶體重寫程式，其係控制介以匯流排而分別與CPU、快閃記憶體及RAM相互連接的快閃記憶體重寫電路之程式，且至少包含以下指令：(A)從CPU接受快閃記憶體的重寫指令者；(B)於RAM中儲存重寫頁的指定位元組資料者；(C)對CPU發出等候指令者；(D)從快閃記憶體向RAM傳送指定位元



(8)

組以外的頁資料，而於RAM中準備新的頁資料者；(E)將RAM中準備好的新的頁資料重設於快閃記憶體的頁位址者；(F)進行快閃記憶體的資料重寫者；及(G)對CPU解除等候指令者。

藉由讀取第五特徵相關的快閃記憶體重寫程式，快閃記憶體重寫電路即可以位元組為單位進行重寫。

此外，第五特徵相關之快閃記憶體重寫程式，亦可進一步具有：(H)比較重寫後的快閃記憶體與RAM的資料之指令。

藉由讀取此快閃記憶體重寫程式，即可比較重寫後的快閃記憶體與RAM上新準備的資料，並確認資料的一致性。

此外，當重寫後的快閃記憶體與RAM的資料相異的情形時，第五特徵相關的快閃記憶體重寫程式亦可進一步具有：(I)於RAM中儲存相異的資料及其位址之指令；(J)對CPU產生錯誤旗標之指令；及(K)解除CPU等候之指令。

藉由讀取此快閃記憶體重寫程式，快閃記憶體重寫電路即可於驗證錯誤發生時，將驗證錯誤資料及其位址儲存於RAM，並通知CPU有錯誤發生。

再者，讀取快閃記憶體內的資料時，若因快閃記憶體內的ECC電路而得知發生2位元錯誤的情形時，第五特徵相關的快閃記憶體重寫程式亦可進一步包含：(L)於RAM中儲存錯誤的資料及其位址之指令；(M)對CPU產生錯誤旗標之指令；及(N)解除CPU等候之指令。

(9)



藉由讀取本快閃記憶體重寫程式，快閃記憶體重寫電路即可接受來自具有ECC電路的快閃記憶體之2位元錯誤，並停止重寫。

發明之實施形態

以下參照圖式，說明本發明的第一及第二實施形態。在以下的圖式記載中，相同或類似部分均附加以相同或類似的元件符號，然須注意圖式皆為模式化的示例，各尺寸比例等與實品有所出入，因此，具體尺寸等應參考以下之說明並加以判斷之。當然，此點亦包括圖式相互間的尺寸關係及比例互異的部分。

(第一實施形態)

圖1(a)係顯示第一實施形態相關的IC卡構造之模式化平面圖，其對應於圖1(b)所示的上部覆蓋膜92及間隔物91除去後的狀態。IC卡100含有卡片基板90、搭載於卡片基板90的IC卡用LSI 40、VDD端子61、RST端子62、CLK端子63、I/O端子64及GND端子65；卡片基板90上進一步形成有基板配線71~75；IC卡用LSI 40於半導體晶片上集成CPU 11、RAM 12、ROM 13、快閃記憶體14、輔助處理器15、RANDOM 16及快閃記憶體重寫電路1，並進一步於半導體晶片的周邊部配置有與端子61、62、…、65進行資料處理的錫墊，即VDD端子墊21、RST端子墊22、CLK端子墊23、I/O端子墊24及GND端子墊25。如圖1(b)所示，卡片基板90的其中一面與間隔物91接著，間隔物91具有IC卡用LSI 40的安裝凹槽部，而IC卡用LSI 40即於此間隔物

91 的凹槽部內部與卡片基板 90 接著。故 IC 卡 100 的構造是，以間隔物 91 夾住搭載有 IC 卡用 LSI 40 的卡片基板 90，而於其上下兩面分別覆蓋以上部覆蓋膜 92 及下部覆蓋膜 93。圖 1(b) 僅為 IC 卡的範例之一，亦可採用其他構造。

CPU 11 負責進行控制處理，例如向快閃記憶體重寫電路 1 下達重寫指令等；RAM 12 是資料處理用的記憶體；ROM 13 燒錄有管理規定的程式；快閃記憶體 14 是指可以電性拭去/重寫區塊單位的資料之唯讀非揮發性記憶體，容量大於 EEPROM；輔助處理器 15 是用來分擔輔助功能的處理器，最具代表性者例如專門處理浮動小數點運算的浮動小數點裝置 (FPU)；RANDOM 16 為 CPU、RAM、ROM 等以外的控制邏輯。

VDD 端子墊 21 為供給電源的錫墊，其介以基板配線 71、錫接線 81 而連接 VDD 端子 61。RST 端子墊 22 係接受將 LSI 上的各電路區塊 1、11、12、...、16 設為初始狀態的重設訊號之錫墊，其介以基板配線 72、錫接線 82 而連接 RST 端子 62。CLK 端子墊 23 係接受用以啟動 LSI 上的各電路區塊 1、11、12、...、16 的同步化週期訊號之錫墊，其介以基板配線 73、錫接線 83 而連接 CLK 端子 63。I/O 端子墊 24 係接受資料輸出入訊號的錫墊，其介以基板配線 74、錫接線 84 而連接 I/O 端子 64。GND 端子墊 25 為訊號用 (保全用) 接地錫墊，其介以基板配線 75、錫接線 85 而連接 GND 端子 65。

快閃記憶體重寫電路 1 之構造如圖 2 所示，包含重寫資

料控制電路31、等候控制電路32、頁資料控制電路33、資料集控制電路34、驗證電路35、資料集終止判別電路36、錯誤旗標產生電路37，及資料儲存控制電路38。

重寫資料控制電路31介以匯流排10，從CPU 11接受快閃記憶體14的重寫指令，將重寫指定位元組的資料儲存於RAM 12，此外並指示等候控制電路32對CPU 11發出等候指令，而通知頁資料控制電路33將位元組資料儲存於RAM 12。等候控制電路32在於對CPU 11產生/解除等候指令。頁資料控制電路33係介以匯流排10，向RAM 12傳送/儲存快閃記憶體14內重寫頁的指定位元組以外的位元組資料。資料集控制電路34係將RAM 12中準備好的新的頁資料，介以匯流排10而寫入快閃記憶體14。資料集終止判別電路36係監視快閃記憶體14，而於一頁新資料設定並重寫完畢時，對驗證電路35進行通知。驗證電路35介以匯流排10來比較快閃記憶體14與RAM 12的值，比值相異的情形時，即對資料儲存控制電路38進行通知；比值相同的情形時，則對等候控制電路32進行通知。資料儲存控制電路38係向錯誤旗標產生電路37通知有錯誤發生，並介以匯流排10將錯誤資料及其位址儲存於RAM 12。錯誤旗標產生電路37係向CPU 11通知錯誤旗標，並通知等候控制電路32解除CPU 11等候。

以下利用圖3、圖4，針對快閃記憶體重寫方法進行說明。

(A)首先，由CPU 11根據快閃記憶體的重寫資料量，判

(12)



斷依頁單位進行重寫或位元組單位進行重寫，何者較有效率。此處的頁單位是指固定以一定數的位元組進行處理之區塊單位，例如以64位元組為一頁。選擇以頁單位進行重寫的情形時，即採用以往的方法，由CPU 11進行控制來重寫快閃記憶體。如選擇以位元組單位進行重寫時，則如步驟S101，從CPU 11向快閃記憶體重寫電路1的重寫資料控制電路31傳送重寫指令。

(B)接著於步驟S102中，當重寫資料控制電路31收到CPU 11傳來的重寫指令後，即將重寫頁 P_m 的重寫指定位元組 b_k 之資料，介以匯流排10而儲存於RAM 12。在圖4中，斜線所示的位元組 b_k 即為重寫指定位元組，其藉由快閃記憶體重寫電路1，介以匯流排10而設定於RAM 12內。

(C)接著，重寫資料控制電路31會要求等候控制電路31向CPU 11發出等候通知。在步驟S103中，等候控制電路31會對CPU 11發出等候指令，CPU 11便藉此停止動作，直到接獲等候解除指令為止。圖4即為顯示從快閃記憶體重寫電路1對CPU 11發出等候指令之步驟(S103)。

(D)接著於步驟S104中，由頁資料控制電路33將某頁 P_m 用來重寫快閃記憶體14內的資料之位元組，介以匯流排10傳送並儲存於RAM 12。此時儲存的頁 P_m 資料中，不含重寫資料的指定位元組 b_k 之資料，亦即，圖4的頁資料中，僅有以網點標示的部分之位元組 \dots 、 b_{k-2} 、 b_{k-1} 、 b_{k+1} 、 b_{k+2} 、 \dots 等資料會設定於RAM 12，最後，位元組 b_k 經過步驟S102中儲存的資料置換後的新的頁資料 P_m ，即於RAM 12

(13)



內進行準備。

(E)接著於步驟S105中，由資料集控制電路34將RAM 12中準備好的新的頁資料 P_m ，設定到快閃記憶體的頁位址，然後於步驟S106中，以新的頁資料 P_m 進行快閃記憶體14的資料重寫。

(F)資料集終止判別電路36係監視快閃記憶體14，並於新的資料設定時，向驗證電路35進行通知。由於在步驟S106中，快閃記憶體14已對新的頁資料 P_m 進行資料重寫，因此資料集終止判別電路36向驗證電路25進行通知。於步驟S107中，由驗證電路25進行快閃記憶體14與RAM 12的資料比較。

(G)於步驟S108中，如快閃記憶體14與RAM 12的值相異，即發生驗證錯誤，遇此情況會進行步驟S110，驗證電路35向資料儲存控制電路38進行通知。在步驟S110中，資料儲存控制電路38會將錯誤資料及其位址，介以匯流排10而儲存於RAM 12，並向錯誤旗標產生電路37進行通知。在步驟S111中，錯誤旗標產生電路37會對CPU 11產生錯誤旗標，此外並通知等候控制電路32解除等候。最後於步驟S112中，等候控制電路32即解除CPU 11等候。

(H)又於步驟S108中，如快閃記憶體14與RAM 12的值相同，表示無驗證錯誤發生，驗證電路35即向等候控制電路32進行通知，而於步驟S109中，由等候控制電路32解除CPU 11等候。

採用第一實施形態相關的快閃記憶體重寫電路，進行

快閃記憶體的重寫動作時，CPU僅需向快閃記憶體重寫電路下達重寫指令，即可進行重寫，如此即如同以往的EEPROM之重寫方式，僅藉由CPU下達重寫指令這樣的單一步驟，便能夠執行快閃記憶體的重寫動作。既然可用一個步驟重寫位元組單位的快閃記憶體資料，應用程式開發者便得以縮短開發程序。此外，藉由第一實施形態相關的快閃記憶體重寫電路，亦可於驗證錯誤發生時，將驗證錯誤資料及其位址儲存於RAM，並通知CPU有錯誤發生。

(第二實施形態)

第二實施形態相關的IC卡，係於第一實施形態相關的IC卡之快閃記憶體中內嵌有ECC電路者。

圖5顯示本發明第二實施形態相關的快閃記憶體重寫電路之區塊圖。圖5所示的快閃記憶體重寫電路1，係包含重寫資料控制電路31、等候控制電路32、頁資料控制電路33、資料集控制電路34、驗證電路35、資料集終止判別電路36、錯誤旗標產生電路37，及資料儲存控制電路38。此等構件均相同於第一實施形態中所述者，故在此省略說明。

第二實施形態相關的IC卡中之快閃記憶體14內嵌有ECC電路50，ECC電路50在於檢測記憶錯誤，如為1位元錯誤的情形時，該電路會指出錯誤發生之處，並能夠將其更正為正確值，然而若是2位元錯誤則無法更正，故會產生顯示2位元錯誤的訊號。第二實施形態中的快閃記憶體重寫電路1，即由錯誤旗標產生電路37負責接受此2位元錯

誤訊號。

以下利用圖6，說明第二實施形態相關之快閃記憶體重寫方法。

(A)步驟S201~S203相同於第一實施形態中圖3的步驟S101~S103，故在此省略說明。

(B)在步驟S204中，頁資料控制電路33將要讀取快閃記憶體14內的資料時，快閃記憶體14內的ECC電路50會確認是否有資料錯誤，如遇1位元錯誤的情形時，ECC電路50會自動更正為正確值，但若發生2位元錯誤的情形時，無法由ECC電路50更正，而需進行步驟S211。在步驟S211中，資料儲存控制電路38接受到來自ECC電路50的2位元錯誤訊號後，將錯誤資料及其位址儲存於RAM 12，並向錯誤旗標產生電路37通知有錯誤發生。在步驟S212中，錯誤旗標產生電路37會對CPU 11產生錯誤旗標，此外並通知等候控制電路32解除等候。然後於步驟S213中，由等候控制電路32解除CPU 11等候。

(C)又於步驟S204中，如未發生2位元錯誤的情形時，則進行步驟S205，由頁資料控制電路33將快閃記憶體14內包含重寫位元組的資料，傳送並儲存於RAM 12。

(D)接下來的步驟S206~S210皆相同於第一實施形態中圖3的步驟S105~S109，故在此省略說明。

第二實施形態相關的IC卡如使用了內嵌有ECC電路的快閃記憶體，於發生2位元錯誤時，會儲存該錯誤資料及其位址，並向CPU 11進行錯誤通知，因此當發生2位元錯

誤的情形時，能夠停止重寫動作。

(其他實施形態)

本發明已藉由上述第一及第二實施形態進行說明，惟此部分揭示的論述及圖式不應視為本發明的概括限制，然由此處之揭示，應足以供同業者明瞭各種替代實施形態、實施例及應用技術。

例如，本發明的第一及第二實施形態相關的快閃記憶體重寫電路雖含有複數電路，但亦可採用將兩個以上電路功能合而為一的電路，或者反之亦可採用將一個電路功能分割為兩個以上的電路。

又於本發明的第一及第二實施形態相關之快閃記憶體重寫方法中，係以64位元組作為一頁進行說明，然而一頁中所含的位元組數不限於64位元組，視快閃記憶體的性質而可採用各種數值。

再者，本發明的第一及第二實施形態相關之快閃記憶體重寫方法，已按照圖3或圖6所示的進行順序加以說明，然而只要不至於妨礙重寫動作的流程，則對CPU發出等候指令的時機及於錯誤發生時儲存錯誤資料的時間等，亦無需遵照此順序。

此外，本發明的第一及第二實施形態相關之快閃記憶體重寫方法中，係針對重寫位元組為1位元組的情形進行說明，然而一次重寫的位元組只要位於同一頁之內，亦可採用例如3位元組或10位元組。此時的重寫位元組數，會藉由重寫資料控制電路進行辨識。



誠如上述，本發明一概包含本說明書未記載的各種實施形態等，因此，本發明的技術性範圍僅由上述說明中依據適當的申請專利範圍相關之發明規定事項而定。

發明之效果

根據本發明，得以提供一種快閃記憶體重寫電路、具有此快閃記憶體重寫電路的IC卡用LSI、IC卡、快閃記憶體重寫方法及快閃記憶體重寫程式，俾便以單一步驟重寫快閃記憶體的位元組資料。

圖式之簡要說明

圖1(a)係顯示本發明的第一實施形態相關之IC卡構造之區塊圖；(b)為(a)說明的IC卡之剖面圖之一例。

圖2係為本發明的第一實施形態相關之快閃記憶體重寫電路之區塊圖。

圖3係顯示本發明的第一實施形態相關之快閃記憶體重寫方法之流程圖。

圖4係顯示本發明的第一實施形態相關之快閃記憶體重寫方法之資料流向圖。

圖5係為本發明的第二實施形態相關之快閃記憶體重寫電路之區塊圖。

圖6係顯示本發明的第二實施形態相關之快閃記憶體重寫方法之流程圖。

圖7係顯示以往的IC卡構造之區塊圖。

圖8係顯示以往的EEPROM重寫方法之資料流向圖。

圖9係顯示以往的快閃記憶體重寫方法之流程圖。



圖 10 係顯示以往的快閃記憶體重寫方法之資料流向圖。

圖式代表符號說明

1	快閃記憶體重寫電路
10	匯流排
11	CPU
12	RAM
13	ROM
14	快閃記憶體
15	輔助處理器
16	RANDOM
17	EEPROM
21	VDD 端子墊
22	RST 端子墊
23	CLK 端子墊
24	I/O 端子墊
25	GND 端子墊
31	重寫資料控制裝置
32	等候控制電路
33	頁資料控制電路
34	資料集控制電路
35	驗證電路
36	資料集終止判別電路
37	錯誤旗標產生電路
38	資料儲存控制電路

40	IC 卡 用 LSI
41	舊 型 IC 卡 用 LSI
50	ECC 電 路
61	VDD 端 子
62	RST 端 子
63	CLK 端 子
64	I/O 端 子
65	GND 端 子
71、72、...、75	基 板 配 線
81、82、...、85	銲 接 線
90	卡 片 基 板
91	間 隔 物
92	上 部 覆 蓋 膜
93	下 部 覆 蓋 膜
100	IC 卡

閃記憶體 14 內指定位元組以外的頁資料，其後再將 RAM 12 中準備好的新的頁資料寫入快閃記憶體 14。

陸、(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

1	快閃記憶體重寫 電路
11	CPU
12	RAM
13	ROM
14	快閃記憶體
15	輔助處理器
16	RANDOM
21	VDD端子墊
22	RST端子墊
23	CLK端子墊
24	I/O端子墊
25	GND端子墊
40	IC卡用LSI
61	VDD端子
62	RST端子
63	CLK端子
64	I/O端子
65	GND端子
71、72、73、74、...、75	基板配線
81、82、83、84、...、85	銲接線
90	卡片基板
91	間隔物
92	上部覆蓋膜
93	下部覆蓋膜
100	IC卡

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾壹、圖式

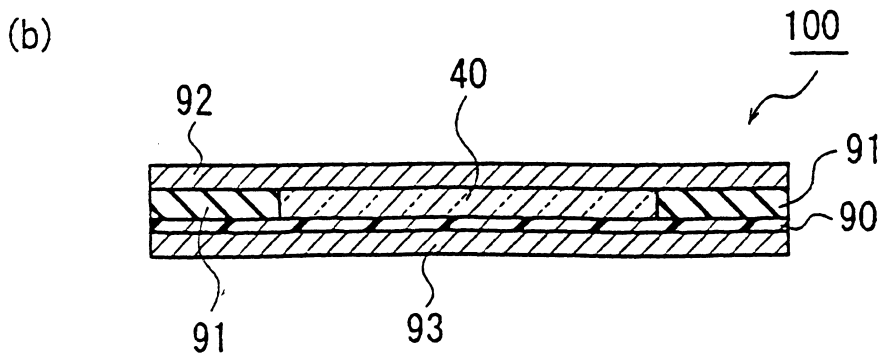
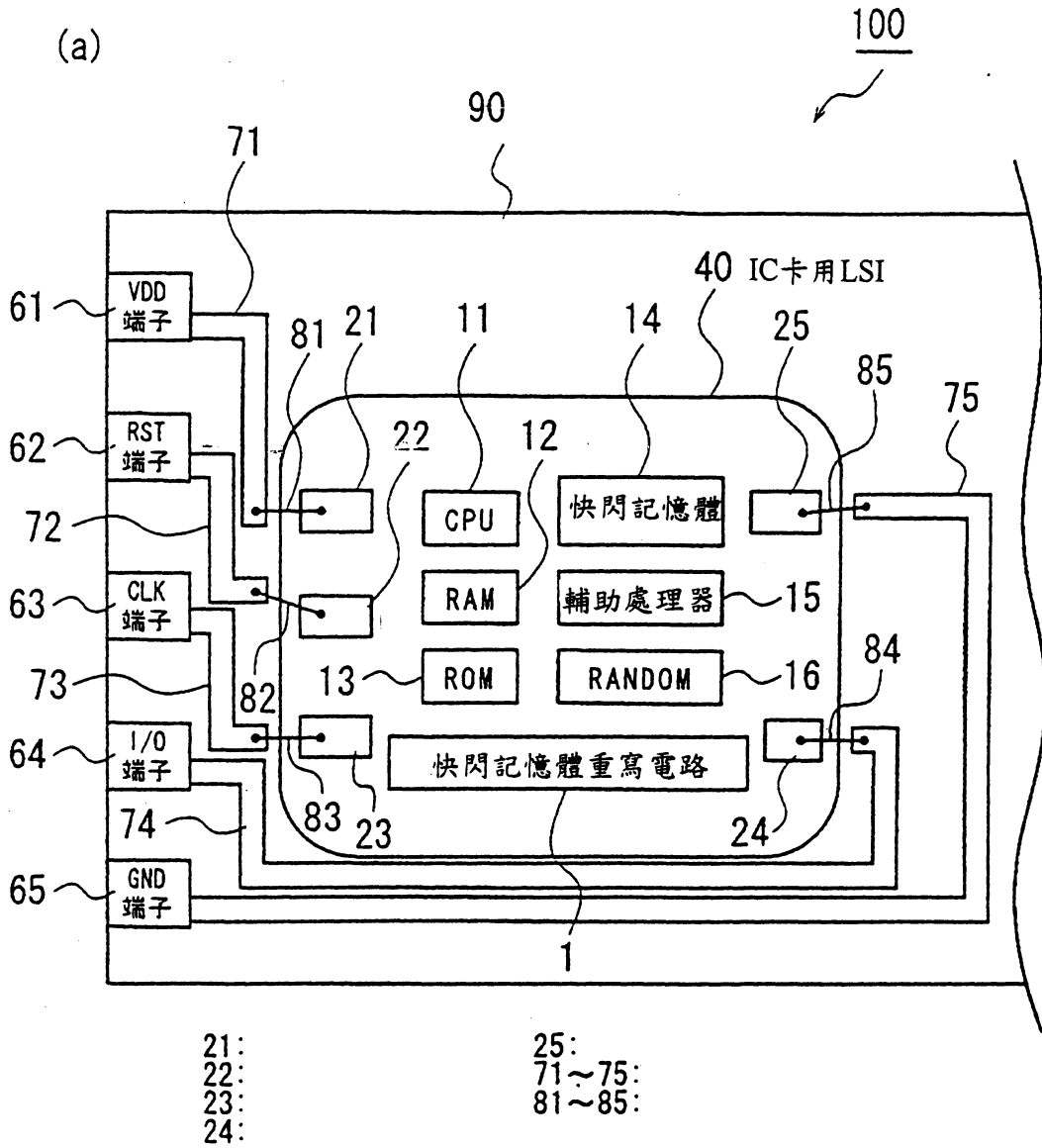


圖 1

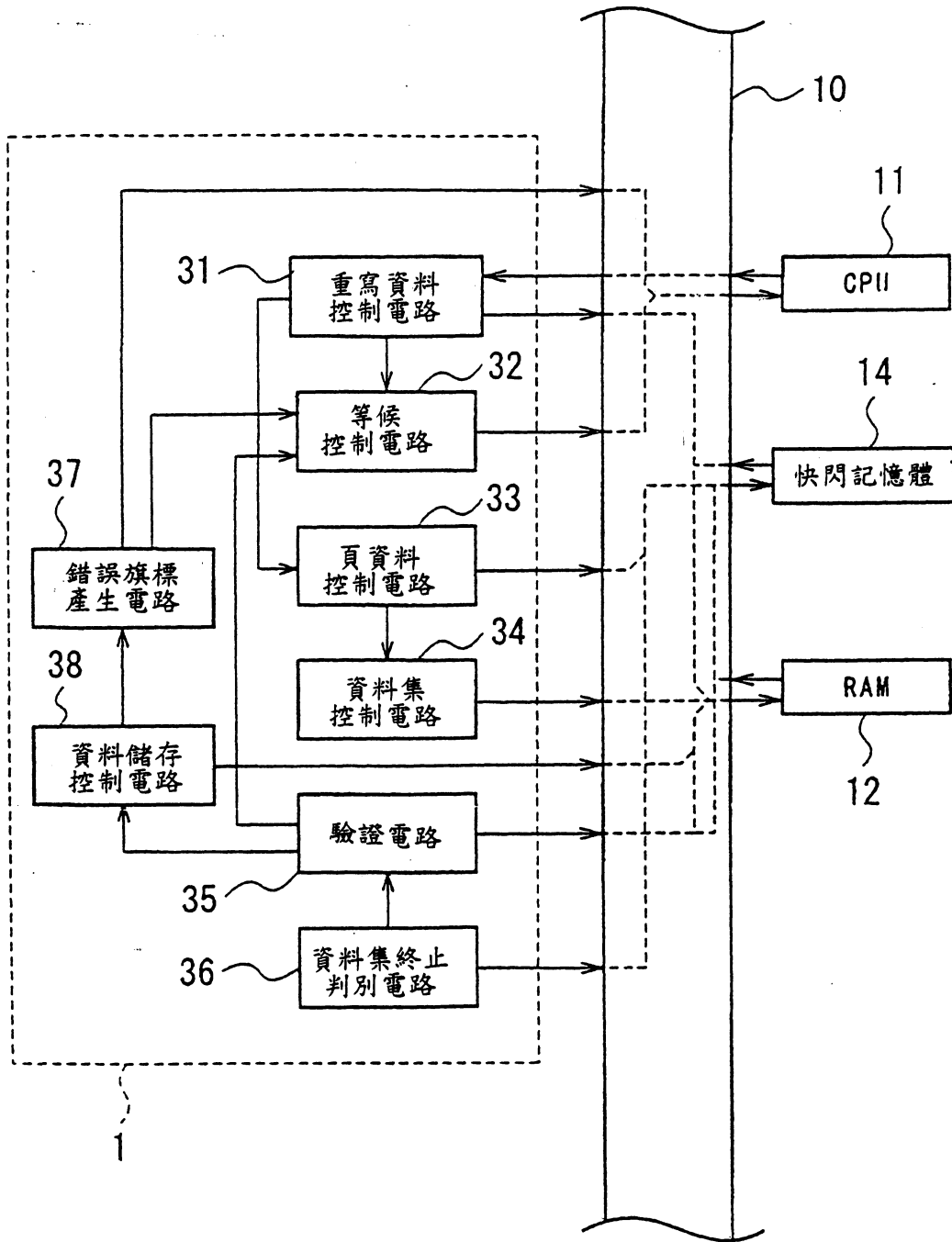


圖 2

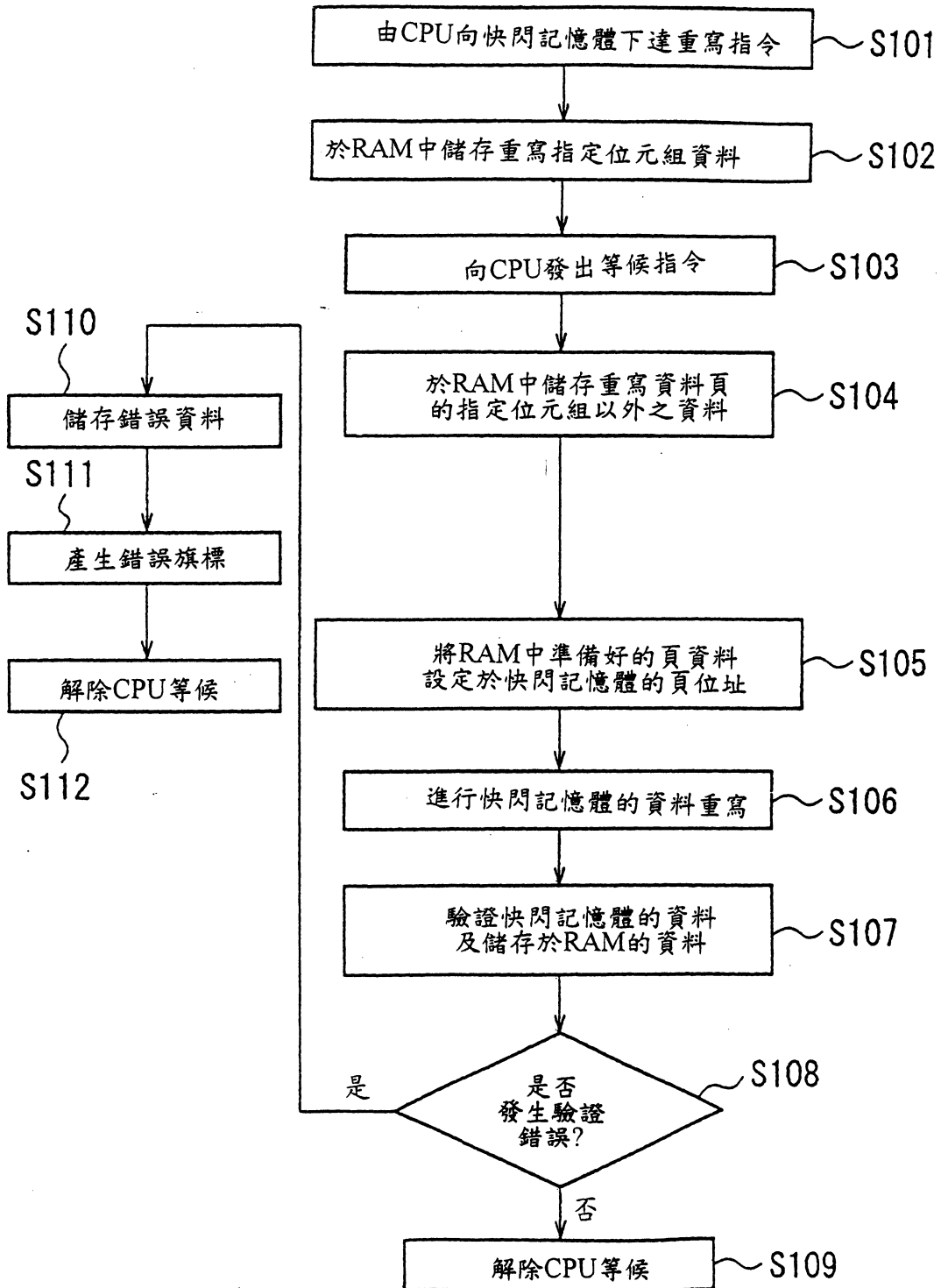


圖 3

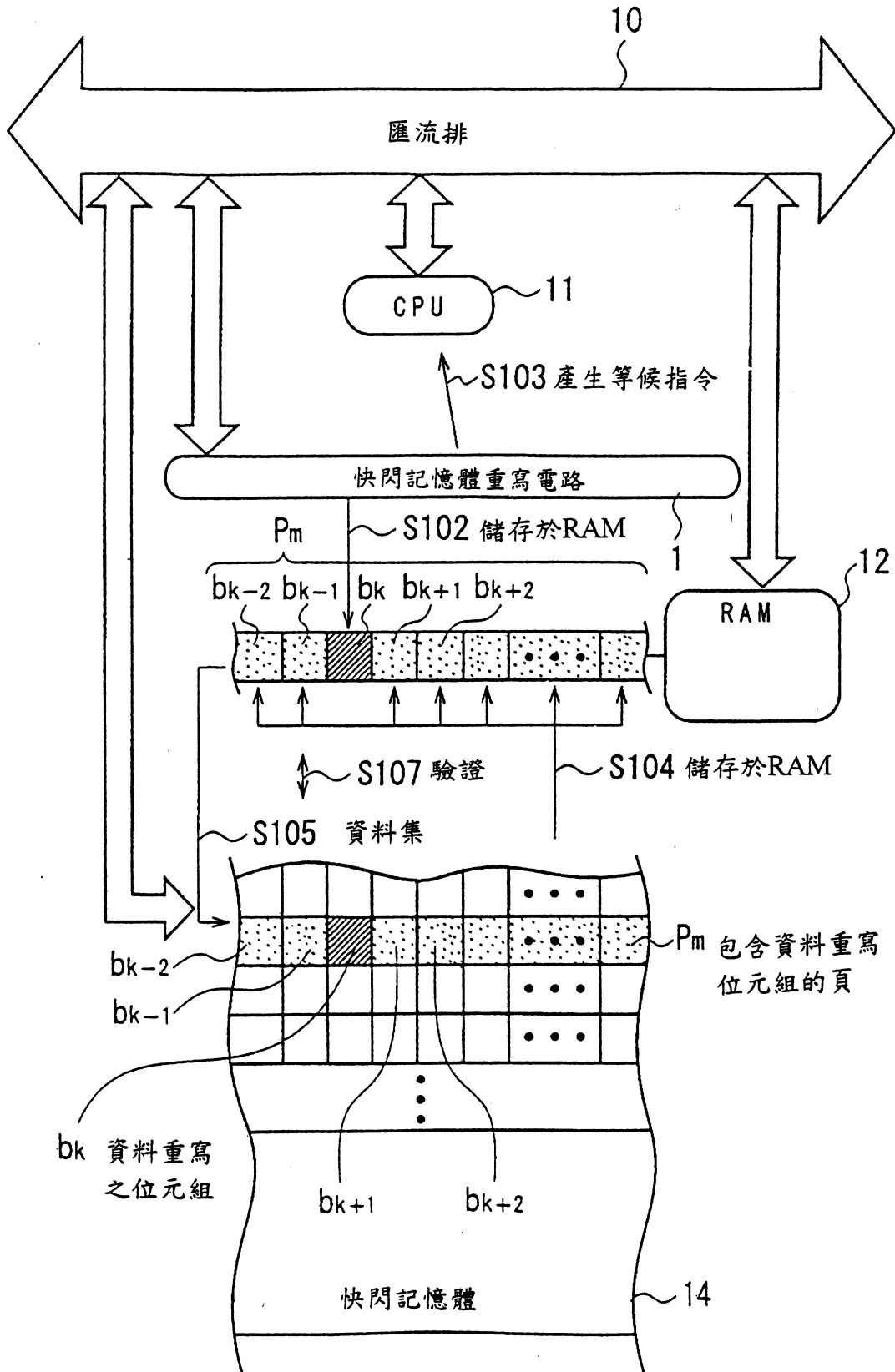


圖 4

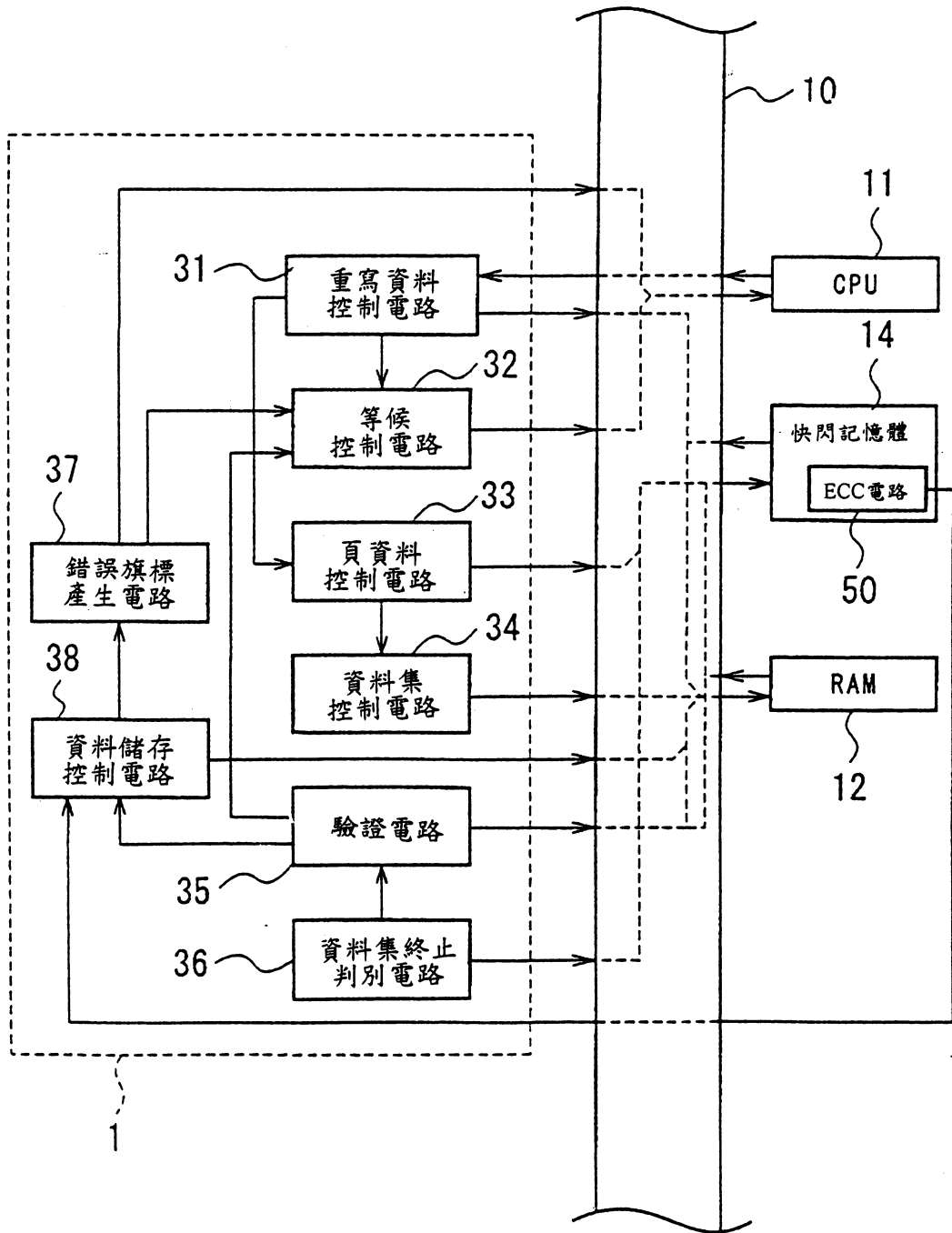
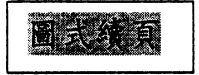


圖 5

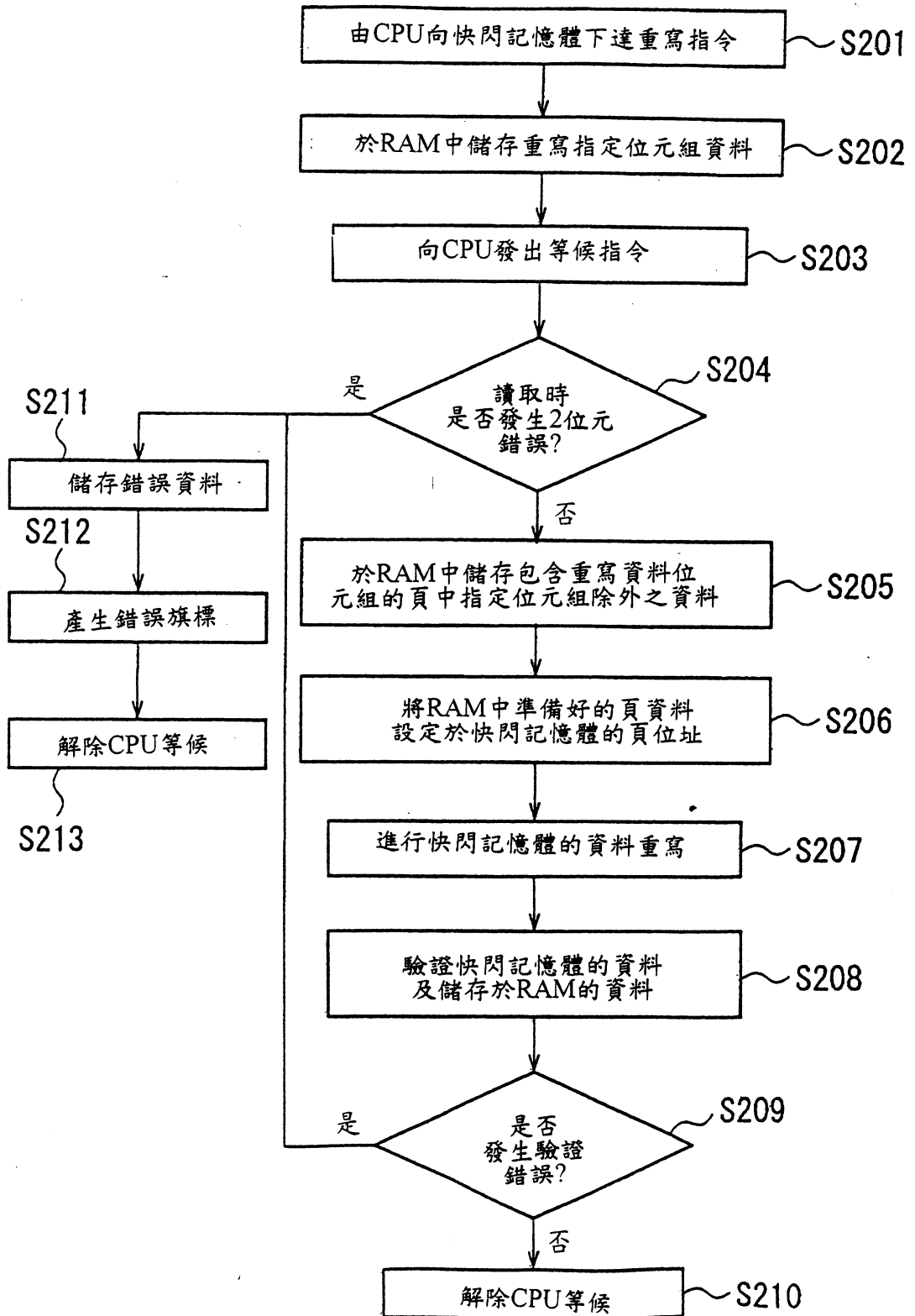


圖 6

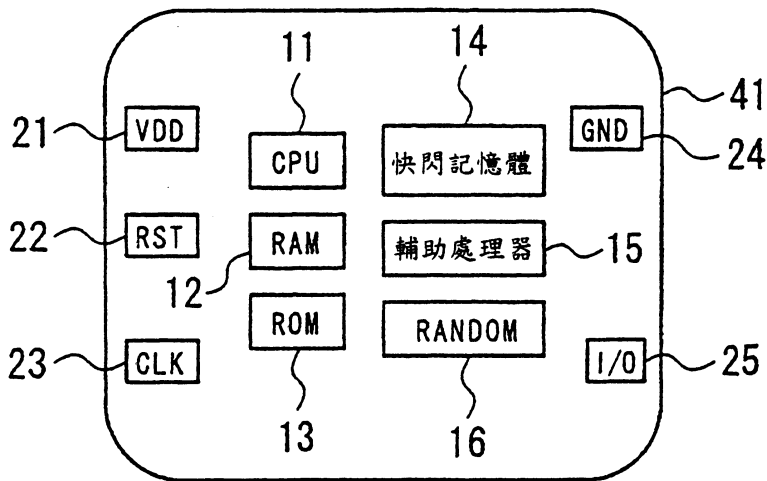


圖 7

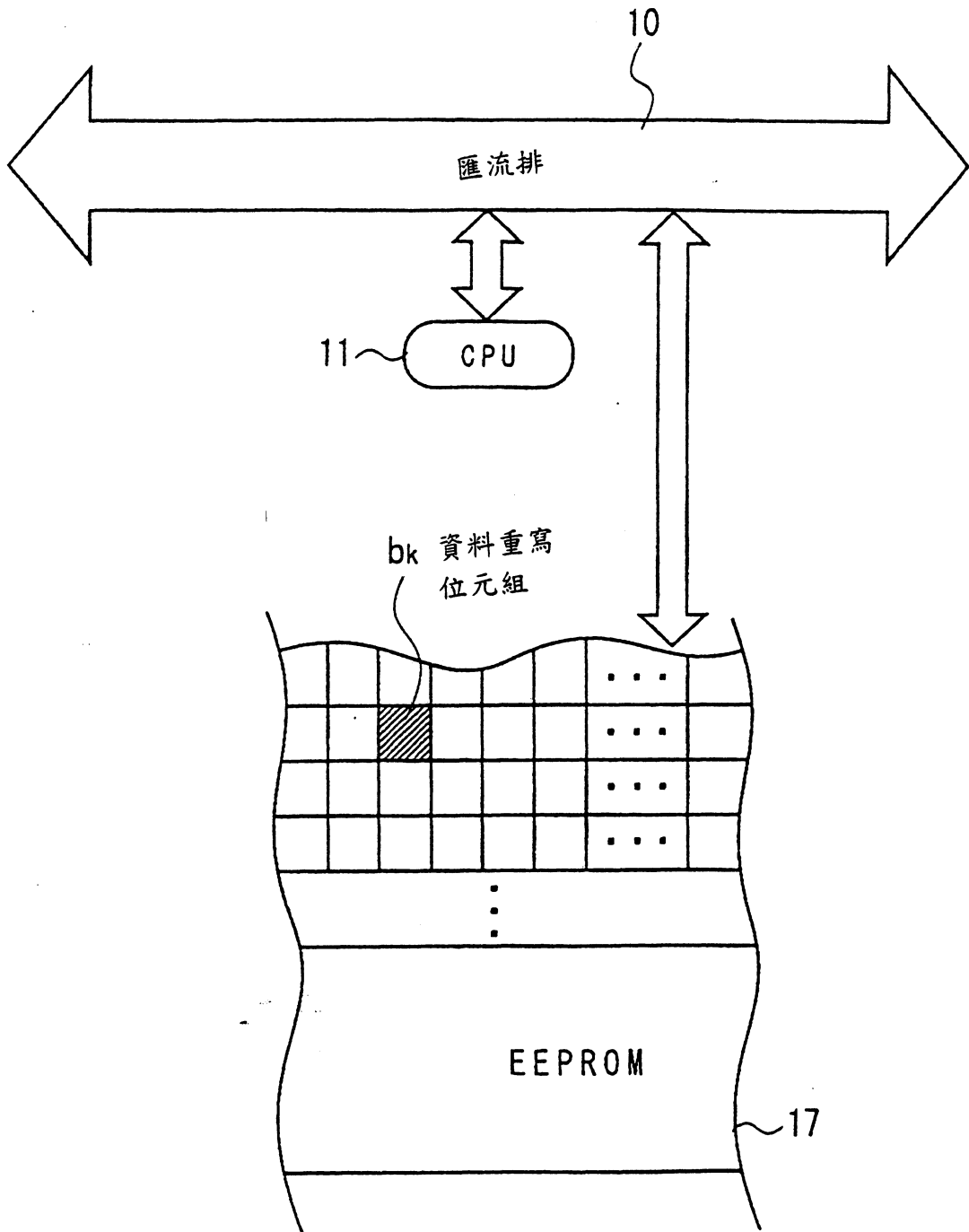


圖 8

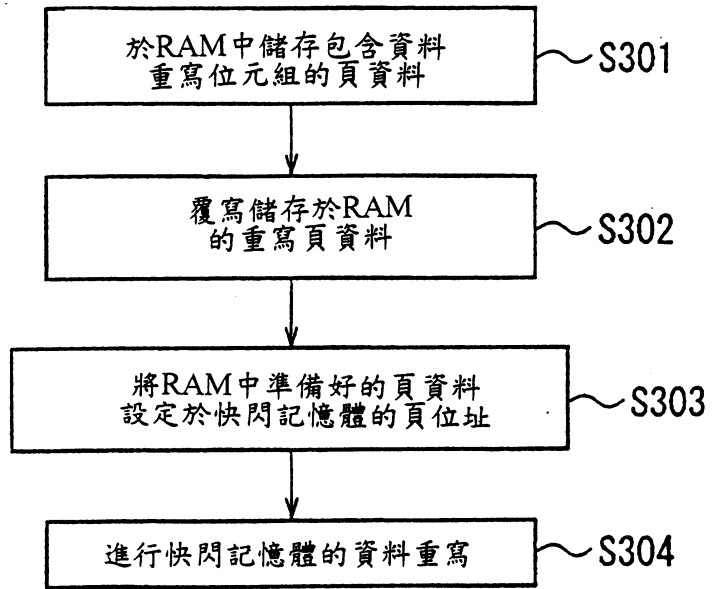


圖 9

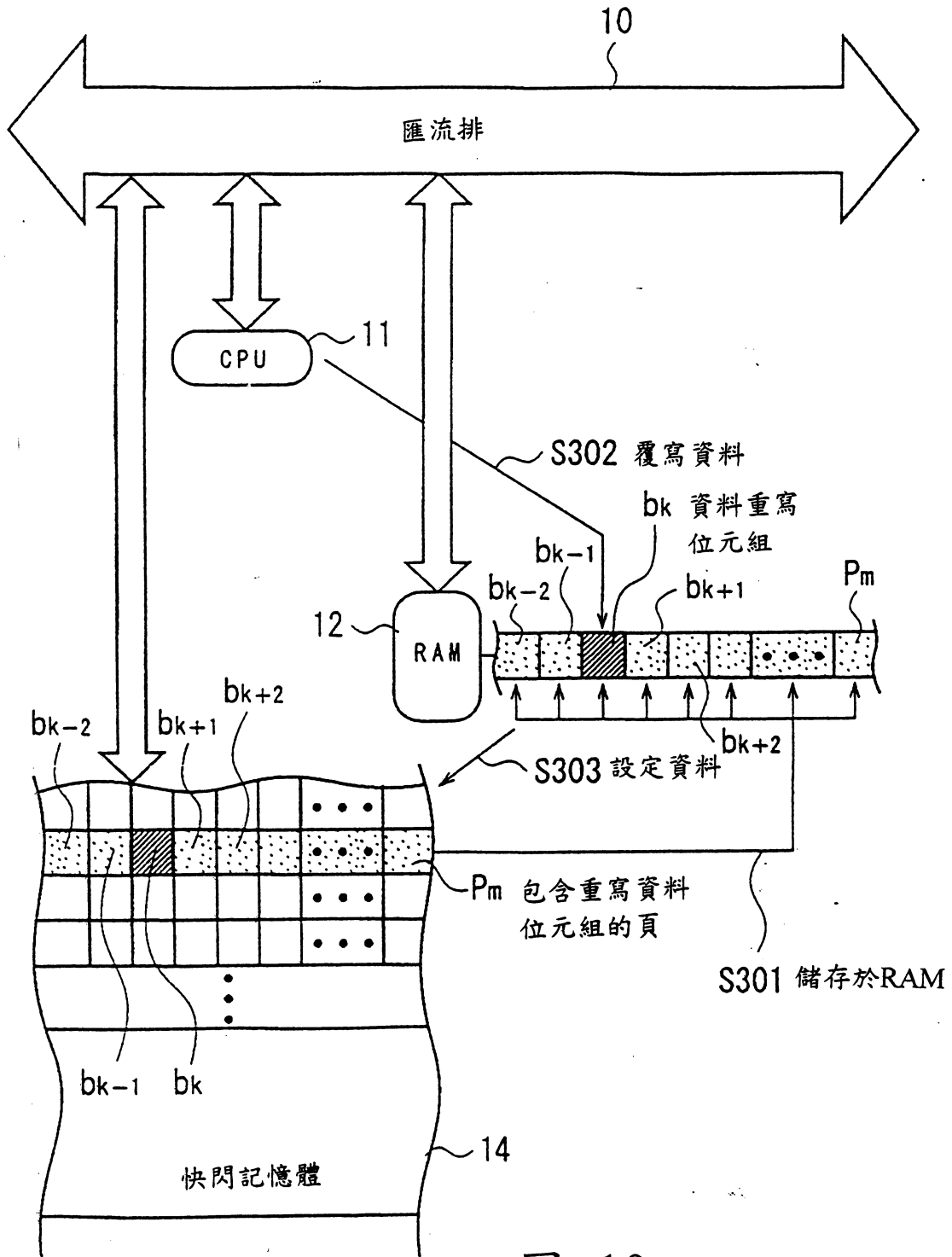


圖 10

公告本

修正替換頁
年 月 日

發明專利說明書

594739

中文說明書替換頁(93年2月)

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：91122025 ※IPC分類：G11C 11/34, G06F 12/04
※申請日期：91-9-25

壹、發明名稱

(中文) 快閃記憶體重寫電路、積體電路卡用大型積體電路、積體電路卡、快閃記憶體重寫方法及記錄有快閃記憶體重寫程式之電腦可讀取記錄媒體
(英文) FLASH MEMORY REWRITE CIRCUIT, LSI FOR IC CARD, IC CARD, METHOD FOR REWRITING FLASH MEMORY AND COMPUTER READABLE RECORDING MEDIUM RECORDING FLASH MEMORY REWRITING PROGRAM

貳、發明人 (共 1 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 森 修三

(英文)

住居所地址：(中文) 日本國神奈川縣橫濱市港北區高田東 4-3-19-301

(英文)

國籍：(中文) 日本

(英文) JAPAN

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商東芝股份有限公司

(英文) KABUSHIKI KAISHA TOSHIBA

住居所或營業所地址：(中文) 日本國東京都港區芝浦 1 丁目 1 番 1 號

(英文)

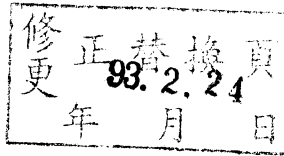
國籍：(中文) 日本

(英文) JAPAN

代表人：(中文) 岡村 正

(英文) TADASHI OKAMURA

第 091122025 號申請案
中文說明書替換頁(93 年 2 月)



肆、中文發明摘要

本發明在於提供一種 IC 卡，該 IC 卡僅需單一步驟即可以位元組為單位，進行快閃記憶體重寫動作。

本發明中，IC 卡用 LSI 40 係於半導體晶片集成 CPU(中央處理器)11、RAM(隨機存取記憶體)12、ROM(唯讀記憶體)13、快閃記憶體 14、輔助處理器 15、RANDOM(隨機處理器)16 及快閃記憶體重寫電路 1，並進一步於半導體晶片周邊部配置與端子 61、62、...、65 進行資料處理的鉸墊，即端子墊 21、22、...、25 而成。快閃記憶體重寫電路 1 藉由 CPU 11 下達的快閃記憶體 14 之重寫指令，將重寫指定位元組的資料儲存於 RAM 12 中，接著向 RAM 12 傳送快

伍、英文發明摘要

A memory IC card including a card substrate, a semiconductor device mounted on the card substrate, which includes an CPU, a flash memory, a memory block and a flash memory rewrite circuit having a rewrite data control circuit that receives a rewrite instruction of the flash memory from the CPU to store data for a designated byte of a page for rewriting to the memory block, a page data control circuit that sends data of the page excepting the designated byte in the flash memory to the memory block to prepare new page data in the memory block and a data set control circuit that writes the new page data prepared in the memory block to the flash memory; outer terminals mounted on the card substrate; wirings provided on the card substrate to connect the outer terminals.

第 091122025 號申請案
中文申請專利範圍替換本(93 年 2 月)

拾、申請專利範圍

1. 一種快閃記憶體重寫電路，其特徵在於一種介以匯流排而分別與 CPU、快閃記憶體及 RAM 相互連接之電路，且至少具有：

重寫資料控制電路，其係從前述 CPU 接受前述快閃記憶體重寫指令，而將重寫頁的指定位元組之資料儲存於前述 RAM；

等候控制電路，其係對前述 CPU 產生/解除等候指令；

頁資料控制電路，其係將前述快閃記憶體內的前述指定位元組以外的前述頁資料，從前述快閃記憶體傳送至前述 RAM，而於前述 RAM 中準備新的頁資料；及

資料集控制電路，其係將前述 RAM 中準備好的新的頁資料寫入前述快閃記憶體。

2. 如申請專利範圍第 1 項之快閃記憶體重寫電路，其中進一步具有：驗證電路，其係比較前述寫入後的快閃記憶體及前述 RAM 的頁資料；

資料儲存控制電路，其係藉由該驗證電路，將驗證結果為錯誤的資料及其位址儲存於前述 RAM；及

錯誤旗標產生電路，其係於前述驗證錯誤發生時，向前述 CPU 通知錯誤旗標。

3. 如申請專利範圍第 1 或 2 項之快閃記憶體重寫電路，其中前述資料儲存控制電路係將源自快閃記憶體內的

ECC 電路之 2 位元錯誤資料及其位址儲存於前述 RAM 中；

前述錯誤旗標產生電路係於 2 位元錯誤發生時，向前述 CPU 通知錯誤旗標。

4. 一種積體電路 (IC) 卡用大型積體電路 (LSI)，其特徵在於至少具有：

CPU；

快閃記憶體；

RAM；

快閃記憶體重寫電路，具備：重寫資料控制電路，其係從前述 CPU 接受前述快閃記憶體重寫指令，而將重寫頁的指定位元組之資料儲存於前述 RAM；頁資料控制電路，其係將前述快閃記憶體內的前述指定位元組以外的前述頁資料傳至前述 RAM，而於前述 RAM 中準備新的頁資料；及資料集控制電路，其係將前述 RAM 中準備好的新的頁資料，寫入前述快閃記憶體；且其係以位元組為單位進行快閃記憶體重寫。

5. 如申請專利範圍第 4 項之積體電路卡用大型積體電路，其中前述快閃記憶體具有 ECC 電路；前述快閃記憶體重寫電路係從該 ECC 電路接受 2 位元錯誤訊號。

6. 一種積體電路 (IC) 卡，其特徵在於至少具有：

卡片基板；及

搭載於上述卡片基板上之大型積體電路，其具備：CPU；快閃記憶體；RAM；快閃記憶體重寫電路，具

有重寫資料控制電路，其係從前述CPU接受前述快閃記憶體重寫指令，而將重寫頁的指定位元組之資料儲存於前述RAM；頁資料控制電路，其係將前述快閃記憶體內的前述指定位元組以外的前述頁資料傳至前述RAM，而於前述RAM中準備新的頁資料；及資料集控制電路，其係將前述RAM中準備好的新的頁資料寫入前述快閃記憶體；

外部端子，其係搭載於該卡片基板上；

基板配線，其係設置於連接該外部端子與前述大型積體電路晶片上的墊之前述卡片基板上；及

覆蓋膜，其係覆蓋前述LSI晶片、前述卡片基板、前述基板配線及前述外部端子的一部分。

7. 如申請專利範圍第6項之積體電路卡，其中前述大型積體電路晶片上的快閃記憶體具有ECC電路；前述大型積體電路晶片具有從該ECC電路接受2位元錯誤訊號之手段。

8. 一種快閃記憶體重寫方法，其係用於介以匯流排而分別與CPU、快閃記憶體及RAM相互連接之快閃記憶體重寫電路中，其特徵在於至少包含以下步驟：

從前述CPU接受前述快閃記憶體的重寫指令者；

於前述RAM中儲存前述重寫頁的指定位元組資料者

；

對前述CPU發出等候指令者；

從前述快閃記憶體向前述RAM傳送前述指定位元組

93. 2. 24

以外的前述頁資料，而於前述RAM中準備新的頁資料者；

將前述RAM中準備好的新的頁資料設定於前述快閃記憶體之頁位址者；

進行前述快閃記憶體的資料重寫者；及

對前述CPU解除等候者。

9. 如申請專利範圍第8項之快閃記憶體重寫方法，其中進一步包含比較前述重寫後的快閃記憶體及前述RAM的頁資料之步驟。

10. 如申請專利範圍第9項之快閃記憶體重寫方法，其中於前述重寫後的快閃記憶體與前述RAM的頁資料相異的情形下，進一步包含以下步驟：

於前述RAM中儲存該相異的資料及其位址者；

對前述CPU產生錯誤旗標者；及

解除前述CPU之等候者。

11. 如申請專利範圍第8至10項中任一項之快閃記憶體重寫方法，其中於讀取快閃記憶體內的資料時，藉由快閃記憶體內的ECC電路而得知發生2位元錯誤的情形時，進一步包含以下步驟：

於前述RAM中儲存錯誤之資料及其位址者；

對前述CPU產生錯誤旗標者；及

解除前述CPU之等候者。

12. 一種記錄有快閃記憶體重寫程式之電腦可讀取記錄媒體，其中該快閃記憶體重寫程式係控制介以匯流

修正 更換頁
年 月 日

申請專利範圍續頁

排而分別與CPU、快閃記憶體及RAM相互連接的快閃記憶體重寫電路之程式，其特徵在於至少包含以下指令：

從前述CPU接受前述快閃記憶體的重寫指令者；

於前述RAM中儲存前述重寫頁的指定位元組資料者；

對前述CPU發出等候指令者；

從前述快閃記憶體向前述RAM傳送前述指定位元組以外的前述頁資料，而於前述RAM中準備新的頁資料者；

將前述RAM中準備好的頁資料設定於前述快閃記憶體的頁位址者；

進行前述快閃記憶體的資料重寫者；及

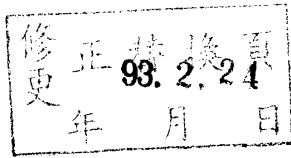
對前述CPU解除等候者。

13. 如申請專利範圍第12項之記錄有快閃記憶體重寫程式之電腦可讀取記錄媒體，其中該快閃記憶體重寫程式進一步包含比較前述重寫後的快閃記憶體及前述RAM的資料之指令。

14. 如申請專利範圍第13項之記錄有快閃記憶體重寫程式之電腦可讀取記錄媒體，其中於前述重寫後的快閃記憶體與前述RAM的資料相異的情形下，該快閃記憶體重寫程式進一步包含以下指令：

於前述RAM中儲存該相異的資料及其位址者；

對前述CPU產生錯誤旗標者；及



解除前述 CPU 之等候者。

15. 如申請專利範圍第 12 至 14 項中任一項之記錄有快閃記憶體重寫方法之電腦可讀取記錄媒體，其中於讀取快閃記憶體內的資料時，藉由快閃記憶體內的 ECC 電路，當發生 2 位元錯誤的情形時，該快閃記憶體重寫程式進一步包含以下指令：

於前述 RAM 中儲存該錯誤資料及其位址者；

對前述 CPU 產生錯誤旗標者；及

解除前述 CPU 之等候者。