

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權日本 1999年06月04日 特願平11-158089 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝

訂

線

五、發明說明 (1)

<背景技術>

本發明係關於半導體積體電路裝置之製造技術，特別是關於使用於具有具備金屬閘電極之 MISFET (Metal Insulator Semiconductor Field Effect Transistor，金屬絕緣半導體場效電晶體)之半導體積體電路裝置之製造上有效的技術。

日本專利特開昭 59-132136 號公報 (小林等) 揭示：在 Si (矽) 基板上，形成含有 W 膜 (或 Mo 膜) 之金屬構造之閘電極後，藉由在水及氫之混合氣體環境中進行氧化，以不將 W (Mo) 膜氧化而僅 Si 予以選擇性的氧化之技術。此係利用氧化還原反應達平衡之水 / 氫分壓比對 W (Mo) 及 Si 係相異之性質者，藉由將此分壓比設定在使 W (Mo) 還原使 Si 氧化之範圍內，以實現 Si 之選擇性氧化。

日本專利特開平 7-94716 號公報 (村岡等) 揭示：在 Si 基板上，經由閘氧化膜，形成含有 TiN 等之氮化金屬層及 W 等之金屬層之複合金屬構造之閘電極後，在將還原性氣體 (氫) 及氧化性氣體 (水) 以氮稀釋之環境中，進行氧化之技術。依此公報，可不將金屬層氧化而僅將 Si 予以選擇性氧化，除此之外，並因藉由將水 + 氫混合氣體以氮稀釋，阻止自氮化金屬層之脫氮反應之故，亦可同時防止氮化金屬層之氧化。

日本專利特開昭 60-160667 號公報 (吾妻) 揭示：在矽基板上，形成含有 W 或 Mo 等高熔點金屬之薄膜後，在非氧化性環境中進行熱處理，使被吸藏於上述薄膜中之氧擴散至

五、發明說明 (2)

基板表面，藉此在兩者之界面上形成膜厚極薄的氧化矽膜之技術。

<發明要點>

(1) 以閘長在 $0.18\mu\text{m}$ 下之微細的 MISFET 構成電路之 CMOS-LSI，為了即使在低電壓動作中亦能減低閘延遲確保高速動作，乃被要求使用含有金屬之低電阻導電材料形成閘電極。

此種低電阻閘電極材料被視為有力者，係為在多晶矽膜上部層積了高熔點金屬膜之複合導電膜(以下稱複合金屬)。複合金屬之膜電阻僅為 $2\Omega/\square$ 程度之低電阻之故，不僅可作為閘電極材料，亦可利用作為配線材料。高熔點金屬係使用即使在 800°C 以下之低電溫製程亦可表現出良好之低電阻性，且電遷移耐性高之 W、Mo、Ti 等。又，若在多晶矽膜上直接層積該等高熔點金屬膜，則兩者之黏接力降低，或於高溫熱處理下兩者之界面上會形成高電阻之矽化物層。此處，實際之複合金屬閘，係在多晶矽膜及高熔點金屬膜之間，夾入包含 TiN 或 WN 等金屬氮化膜之導電性障壁膜之三層構造。

(2) 以閘長在 $0.18\mu\text{m}$ 以下之微細的 MISFET 構成電路之 CMOS-LSI，為了隨著低電壓動作化將臨限值電壓(V_{th})設定為較低，係將構成複合金屬閘之一部分之多晶矽膜之導電型，進展至採用設 n 通道型 MISFET 為 n 型，p 通道型 MISFET 為 p 型之所謂之雙閘(Dual Gate)構造。此情況下，n 通道型 MISFET 之閘電極，係在摻雜了 P(磷)等 n 型雜質之

五、發明說明 (3)

n型多晶矽膜上，層積高熔點金屬膜之構造，p通道型MISFET之閘電極，係在摻雜了p型雜質B(硼)之p型多晶矽膜上，層積高熔點金屬膜之構造。

惟，上述(1)之問題點在於：在MISFET之閘長在 $0.18\mu\text{m}$ 以下之情況下，在多晶矽膜上部層積了高熔點金屬膜之2層構造，甚至在該等之間夾入導電性障壁膜之3層構造之閘電極，其縱橫比變為極大之故，造成閘電極加工困難之點。

又，上述(2)之問題點在於：構成p通道型MISFET之閘極之一部分之p型多晶矽膜中之B(硼)，係通過閘氧化膜向基板側擴散，使p通道型MISFET之平帶(flat band)電壓(V_{fb})變化，而使得臨限值電壓(V_{th})變動之點。

此處，為了避免該等問題，乃進展在閘氧化膜上部不經由多晶矽膜等之中間層，直接形成W或Mo等高熔點金屬膜之所謂金屬閘電極之開發。

另一方面，為了實現MISFET之高速化、高性能化，有必要與MISFET之微細化成正側的將閘氧化膜予以薄膜化，例如在閘長在 $0.25\mu\text{m}\sim 0.2\mu\text{m}$ 程度之MISFET之情況，要求膜厚比5nm更薄之閘氧化膜。

惟，若將閘氧化膜之膜厚做成比5 nm薄，則直接隧道(tunnel)電流之發生或壓力引起之熱載子(hot carrier)等造成之絕緣抗壓之降低便顯著化了。又，若在此種薄閘氧化膜上直接形成W或Mo等高熔點金屬膜，則兩者之界面附近之閘氧化膜上亦發生缺陷，絕緣抗壓降低。

五、發明說明(4)

閘氧化膜之缺陷主要係起因於Si-O結合之缺氧。故，此缺陷可藉由在氧化性環境中將基板予以進行熱處理，在缺氧處供給氧，予以修復。惟，若在氧化性環境中進行基板之熱處理，則可能會把堆積於閘氧化膜上之閘極材料之高熔點金屬膜亦同時予以氧化了，會使閘絕緣膜之電阻亦變大了。

避免閘氧化膜之薄膜化造成之絕緣抗壓降低之對策之一，係將介電率比氧化矽大之氧化鉭等絕緣性金屬使用作為閘絕緣膜材料，以加大其實效膜厚。

該等絕緣性金屬氧化物係結晶性材料之故，為了獲得原來的絕緣特性，在成膜後於氧環境中將基板進行熱處理，在膜中供給氧之製程係不可欠缺者。惟，若在氧化性環境中將基板予以熱處理，則堆積於閘絕緣膜上之閘電極材料之高熔點金屬亦會被氧化之故，會使得閘絕緣膜之電阻亦變大。

本發明之目的在提供：使在極薄閘絕緣膜上已形成金屬閘電極之MISFET之可靠性及製造良品率提升之技術。

本發明之其他目的在提供：使含有介電率比氧化矽高之金屬氧化物之閘絕緣膜上已形成金屬閘電極之MISFET之可靠性及製造良品率提升之技術。

本發明之其他目的在提供：二氧化矽之換算膜厚係不滿5nm之閘絕緣膜之形成方法。

本發明之其他目的在提供：二氧化矽之換算膜厚係不滿5nm之閘絕緣膜之缺陷修復方法。

五、發明說明(5)

本發明之前述及其他目的與新穎特徵，由本說明書之記述及附圖即可明瞭。

本案所揭示之發明中，茲將具代表性者之概要，簡單說明如下。

本發明之半導體積體電路裝置之製造方法，係在矽基板主面上所形成之二氧化矽之換算膜厚不滿5nm之閘氮化膜上，形成了應成為閘電極之高熔點金屬膜後，在水/氫分壓比被設定為將前述高熔點金屬實質上不予以氧化，而將矽予以氧化之比例之水+氫混合氣體環境中，藉由將前述矽基板予以進行熱處理，以修復前述高熔點金屬膜正下方之前述閘絕緣膜之缺陷。

上述發明以外之本案發明之概要，茲簡單分項記載如下。

1. 一種半導體積體電路裝置之製造方法，其特徵在於包含下列步驟：

(a) 將閘絕緣膜，形成於晶圓之第1主面上之矽表面之步驟；該閘絕緣膜係包括二氧化矽換算膜厚不滿5nm之以氧化矽為主要成分之單一絕緣膜，或含有其及其他絕緣膜之複合絕緣膜者；

(b) 於前述閘絕緣膜上，不經由以多晶矽為主要構成要素之中間層，形成以高熔點金屬為主要成分之金屬膜後，將前述金屬膜予以圖案化，形成金屬閘電極之步驟；及

(c) 在含有水及氫之氣體環境中，藉由對已形成前述金屬閘電極之前述第1主面進行熱處理，以修復前述金屬閘電

五、發明說明(6)

極正下方之前述閘絕緣膜中之缺陷之步驟：該氣體環境係將水/氫分壓比設定為將前述高熔點金屬實質上不予以氧化，而將矽予以氧化之比例者。

2. 本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第1項中，前述高熔點金屬係為鉬或鎢者。

3. 本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第1或2項中，前述閘絕緣膜之二氧化矽換算膜厚係不滿4nm者。

4. 本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第1或2項中，前述閘絕緣膜之二氧化矽換算膜厚係不滿3nm者。

5. 一種半導體積體電路裝置之製造方法，其特徵在於包含下列步驟：

(a) 將閘絕緣膜，形成於晶圓之第1主面上之矽表面之步驟；該閘絕緣膜係包括二氧化矽換算膜厚不滿5nm之以氮化矽為主要成分之單一絕緣膜，或含有其及其他絕緣膜之複合絕緣膜者；

(b) 於前述閘絕緣膜上，不經由以多晶矽為主要構成要素之中間層，形成以高熔點金屬為主要成分之金屬膜後，將前述金屬膜予以圖案化，形成金屬閘電極之步驟；及

(c) 在含有水及氫之氣體環境中，藉由對已形成前述金屬閘電極之前述第1主面進行熱處理，以修復前述金屬閘電極正下方之前述閘絕緣膜中之缺陷之步驟：該氣體環境係將水/氫分壓比設定為將前述高熔點金屬實質上不予以氧

五、發明說明(7)

化，而將矽予以氧化之比例者。

6. 本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第5項中，前述高熔點金屬係為鉬或鎢者。

7. 本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第5或6項中，含有水及氫之氣體係更含有氮或氧氣者。

8. 一種半導體積體電路裝置之製造方法，其特徵在於包含下列步驟：

(a) 將閘絕緣膜，形成於晶圓之第1主面上之矽表面之步驟；該閘絕緣膜係包括二氧化矽換算膜厚不滿5nm之以介電率比二氧化矽大之金屬氧化物為主要成分之單一絕緣膜，或含有其及其他絕緣膜之複合絕緣膜者；

(b) 於前述閘絕緣膜上，不經由以多晶矽為主要構成要素之中間層，形成以高熔點金屬為主要成分之金屬膜後，將前述金屬膜以圖案化，形成金屬閘電極之步驟；及

(c) 在含有水及氫之氣體環境中，藉由對已形成前述金屬閘電極之前述第1主面進行熱處理，以修復前述金屬閘電極正下方之前述閘絕緣膜中之缺陷之步驟；該氣體環境係將水/氫分壓比設定為將前述高熔點金屬實質上不予以氧化，而將矽予以氧化之比例者。

9. 本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第8項中，構成前述金屬氧化膜之金屬係為鈦、鋯、或鉛者。

10. 本發明之半導體積體電路裝置之製造方法，係於申請

五、發明說明(8)

專利範圍第8項中，構成前述金屬氧化膜之金屬係為鉬者。

11. 本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第8項中，構成前述金屬氧化膜之金屬係為鋁者。

12. 本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第8項中，前述金屬氧化膜係為含有 ABO_3 型之廣義鈣鈦礦型構造之高介電體，係在動作溫度中為常介電相者。

13. 本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第12項中，前述高介電體係為BST者。

14. 一種半導體積體電路裝置之製造方法，其特徵在於包含下列步驟：

(a) 將以第1高熔點金屬為主要成分之第1膜，形成於晶圓之第1主面上之矽表面之步驟；該第1高熔點金屬在含有水及氫之氣體環境中之氧化還原平衡曲線，係比矽之該者更接近低水分側者；

(b) 在含有水及氫之氣體環境中，藉由對已形成前述第1膜之前述第1主面進行熱處理，將前述第1高熔點金屬轉換為其氧化物，以於前述矽表面形成閘絕緣膜之步驟；該氣體環境係將水/氫分壓比設定為將前述矽表面實質上不予以氧化，將前述第1高熔點金屬予以氧化之比例者；及

(c) 於前述(b)步驟之前或後，形成閘電極之步驟。

15. 本發明之半導體積體電路裝置之製造方法，係於申請

五、發明說明(9)

專利範圍第14項中，前述第1高熔點金屬係為鈦、鋯、或鉛者。

16. 本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第14或15項中，前述(b)步驟之前述含有水及氫之氣體環境，係藉由使用觸媒將水予以合成而形成者。

17. 一種半導體積體電路裝置之製造方法，其特徵在於包含下列步驟：

(a) 將以第1高熔點金屬之氧化物為主要成分之閘絕緣膜，形成於晶圓之第1主面之矽表面之步驟；該第1高熔點金屬在含有水及氫之氣體環境中之氧化還原平衡曲線，係比矽之該者更接近低水分側者；

(b) 在含有水及氫之氣體環境中，藉由對已形成前述第1膜之前述第1主面進行熱處理，將前述第1高熔點金屬轉換為其氧化物，以修復前述閘絕緣膜中之缺陷之步驟；該氣體環境係將水/氫分壓比設定為將前述矽表面實質上不予以氧化，將前述第1高熔點金屬之氧化物之比例者；及

(c) 於前述(b)步驟之前或後，形成閘電極之步驟。

18. 本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第17項中，前述(a)步驟中之前述閘絕緣膜，係在前述矽表面上經由氧化矽膜而形成者。

19. 本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第17或18項中，前述第1高熔點金屬係為鈦、鋯、或鉛者。

20. 本發明之半導體積體電路裝置之製造方法，係於申請

五、發明說明(10)

專利範圍第17、18或19項中之任一項中，前述(b)步驟之前述含有水及氫之氣體環境，係藉由使用觸媒將水予以合成而形成者。

21.一種半導體積體電路裝置之製造方法，其特徵在於包含下列步驟：

(a)藉由將以第1高熔點金屬為主要成分之金屬膜予以圖案化，將閘電極形成於晶圓之第1主面上之矽表面之步驟；該第1高熔點金屬在含有水及氫之氣體環境中之氧化還原平衡曲線，係比矽之該者更接近高水分側者；及

(b)藉由在已形成前述閘電極之狀態下對前述第1主面進行熱處理，於前述閘電極正下方之前述矽表面，形成閘絕緣膜之步驟；該閘絕緣膜之二氧化矽換算膜係不滿5nm，其係以氧化矽為主要成分者。

22.本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第21項中，前述第1高熔點金屬係為鉬或鎢者。

23.一種半導體積體電路裝置之製造方法，其特徵在於包含下列步驟：

(a)將以第1高熔點金屬為主要成分之待成為閘絕緣膜之第1膜，形成於晶圓之第1主面上之矽表面之步驟；該第1高熔點金屬在含有水及氫之氣體環境中之氧化還原平衡曲線，係比矽之該者更接近低水分側者；

(b)在已形成前述第1膜之狀態下，將以第2高熔點金屬為主要成分之待成為閘電極之第2膜，形成於前述第1主面上之步驟；該第2高熔點金屬之前述氧化還原平衡曲線，係

五、發明說明 (11)

比矽之該者更接近高水分側者；

(c)藉由將前述第1膜及前述第2膜予以圖案化，形成前述閘電極之步驟；及

(d)藉由在已形成前述閘電極之狀態下對前述第1主面進行熱處理，將前述閘電極正下方之前述第1膜進行氧化處理，以轉換為閘絕緣膜之步驟。

24.本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第23項中，前述第2高熔點金屬係為鉬或鎢者。

25.本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第23項中，前述第1高熔點金屬係為鈦、鋯、或鉛者。

26.一種半導體積體電路裝置，其特徵在於包含下列構成元件：

(a)半導體積體電路基板，其係於第1主面具有矽表面者；

(b)閘絕緣膜，其係設於前述矽表面，其主要成分係含有氧化鋯、氧化鉛或該等及氧化鈦中之2種以上之氧化物之二元或多元氧化物者；及

(c)閘電極，其係設於前述閘絕緣膜上者。

27.一種半導體積體電路裝置之製造方法，其特徵在於包含下列步驟：

(a)將閘絕緣膜，形成於晶圓之第1主面上之矽表面之步驟；該閘絕緣膜係包括二氧化矽換算膜厚係不滿5nm之以氧化矽為主要成分之單一絕緣膜，或含有其與其他絕緣膜之複合絕緣膜者；

五、發明說明 (12)

- (b)於前述閘絕緣膜上形成導電性障壁膜之步驟；
- (c)於前述導電性障壁膜上，不經由以多晶矽為主要構成要素之中間層，形成以第1高熔點金屬為主要成分之金屬膜之步驟；
- (d)藉由將前述導電性障壁膜及前述金屬膜予以圖案化，形成閘電極之步驟；及
- (e)在含有水及氫之氣體環境中，藉由對已形成前述閘電極之前述第1主面進行熱處理，以修復前述閘電極正下方之前述閘絕緣膜中之缺陷之步驟：該氣體環境係將水/氫分壓比設定為將前述高熔點金屬實質上不予以氧化，而將矽予以氧化之比例者。

28.本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第27項中，前述第1高熔點金屬係為鎢者。

29.本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第27或28項中，前述導電性障壁膜，係含有氮化鈦為主要成分者。

30.本發明之半導體積體電路裝置之製造方法，係於申請專利範圍第27、28或29項中，前述含有水及氫之氣體，係更含有氮或氨氣者。

31.半導體積體電路裝置之製造方法，其包含下列步驟：

- (a)於矽基板之主面上，形成二氧化矽換算膜厚不滿5nm之閘絕緣膜之步驟；
- (b)在前述閘絕緣膜上形成以高熔點金屬為主要成分之金屬膜後，在水/氫分壓比被設定為：將前述高熔點金屬實

五、發明說明 (13)

質上不予以氧化，而將矽予以氧化之比例之含有水及氫之氣體環境中，藉由將已形成前述金屬膜之前述矽基板之主面進行熱處理，以修復前述金屬膜正下方之前述閘絕緣膜中之缺陷之步驟；及

(c)將前述金屬膜予以圖案化，形成金屬閘電極之步驟。

32.本發明之半導體積體電路裝置之製造方法，係於前述第31項中，前述閘絕緣膜係以氧化矽為主要成分者。

33.本發明之半導體積體電路裝置之製造方法，係於前述第32項中，前述閘絕緣膜，係藉由在含有使用觸媒合成之水及氧之氣體環境中，將前述矽基板之主面予以熱氧化而形成者。

34.本發明之半導體積體電路裝置之製造方法，係於前述第31項中，前述閘絕緣膜係以氮氧化矽為主要成分者。

35.本發明之半導體積體電路裝置之製造方法，係於前述第34項中，前述閘絕緣膜係在前述基板表面形成氧化矽膜後，將前述基板在含氮氣體環境中進行熱處理而形成者。

36.本發明之半導體積體電路裝置之製造方法，係於前述第31項中，前述閘絕緣膜係以氮化矽為主要成分者。

37.本發明之半導體積體電路裝置之製造方法，係於前述第36項中，前述閘絕緣膜係在前述基板上以CVD法堆積氮化矽膜而形成者。

38.本發明之半導體積體電路裝置之製造方法，係於前述第31~37項中之任一項中，前述高熔點金屬係為鉬或鎢者。

五、發明說明 (14)

39. 半導體積體電路裝置之製造方法，其包含下列步驟：

(a) 在矽基板之主面上，形成二氧化矽換算膜厚不滿5nm之閘絕緣膜之步驟：

(b) 在前述閘絕緣膜上，經由含有高熔點金屬之氮化物之導電性障壁膜，形成以高熔點金屬為主要成分之金屬膜後，在水/氫分壓比被設定為：將前述高熔點金屬實質上不予以氧化，而將矽予以氧化之比例之含有水及氫之氣體環境中，藉由將已形成前述金屬膜及前述導電性障壁膜之前述矽基板主面予以進行熱處理，以修復前述導電性障壁膜正下方之前述閘絕緣膜中之缺陷之步驟：及

(c) 將前述金屬膜及前述導電性障壁膜予以圖案化，形成金屬閘電極之步驟。

40. 本發明之半導體積體電路裝置之製造方法，係於前述第39項中，構成前述導電性障壁膜之前述高熔點金屬係為鉬或鎢者。

41. 本發明之半導體積體電路裝置之製造方法，係於前述第39項中，構成前述導電性障壁膜之前述高熔點金屬係為鈦者。

42. 本發明之半導體積體電路裝置之製造方法，係於前述第41項中，前述含有水及氫之氣體環境之水分濃度係為1%以下者。

43. 本發明之半導體積體電路裝置之製造方法，係於前述第41項中，前述含有水及氫之氣體環境中，更添加了氮或氧者。

五、發明說明(15)

44. 半導體積體電路裝置之製造方法，其包含下列步驟：

(a) 在矽基板之主面上形成閘絕緣膜之步驟：該閘絕緣膜之二氧化矽之換算膜厚係不滿5nm，且其係包含介電率比二氧化矽大之金屬氧化物者；

(b) 在前述閘絕緣膜上形成以高熔點金屬為主要成分之金屬膜後，在水/氫分壓比被設定為：將前述高熔點金屬實質上不予以氧化，而將矽予以氧化之比例之含有水及氫之氣體環境中，藉由將已形成前述金屬氧化之前述矽基板主面予以進行熱處理，以修復前述金屬膜正下方之前述閘絕緣膜中之缺陷之步驟：及

(c) 在修復前述閘絕緣膜中之缺陷之步驟前或後，將前述金屬膜予以圖案化，形成金屬閘電極之步驟。

45. 本發明之半導體積體電路裝置之製造方法，係於前述第44項中，前述高熔點金屬係為鉬或鎢者。

46. 本發明之半導體積體電路裝置之製造方法，係於前述第44或45項中，前述金屬氧化物係為氧化鈦、氧化鋯、氧化鈣、氧化鋇、氧化鋁或BST者。

47. 半導體積體電路裝置之製造方法，其包含下列步驟：

(a) 在矽基板主面上，形成第1高熔點金屬膜之步驟：

(b) 在前述第1高熔點金屬膜上，形成以第2高熔點金屬為主要成分之金屬膜後，在水/氫分壓比被設定為：將前述第2高熔點金屬實質上不予以氧化，而將前述第1高熔點金屬予以氧化之比例之含有水及氫之氣體環境中，進行熱處理，將前述第1高熔點金屬轉換為其氧化物，藉以在前述

五、發明說明 (16)

矽基板表面，形成二氧化矽之換算膜厚不滿5nm之閘絕緣膜之步驟；及

(c)在前述熱處理步驟之前或後，將前述金屬膜予以圖案化，形成金屬閘電極之步驟。

48.本發明之半導體積體電路裝置之製造方法，係於前述第47項中，前述高熔點金屬係為鉬或鎢者。

49.本發明之半導體積體電路裝置之製造方法，係於前述第47或48項中，前述第1高熔點金屬係為鈦、鋯、鉛或鉍者。

50.半導體積體電路裝置之製造方法，其包含下列步驟：

(a)在矽基板之主面上形成高熔點金屬膜後，在水/氫分壓比被設定為：將前述高熔點金屬膜實質上不予以氧化之比例之含有水及氫之氣體環境中，進行熱處理，在前述基板與前述高熔點金屬膜之界面上，形成二氧化矽換算膜厚不滿5nm之含有氧化矽之閘絕緣膜之步驟；及

(b)在前述熱處理步驟之前或後，將前述高熔點金屬予以圖案化，形成金屬閘電極之步驟。

51.本發明之半導體積體電路裝置之製造方法，係於前述第50項中，前述高熔點金屬係為鉬或鎢者。

52.本發明之半導體積體電路裝置之製造方法，係於前述第31~51項之任一項中，前述閘絕緣膜之二氧化矽換算膜厚係不滿4nm者。

53.本發明之半導體積體電路裝置之製造方法，係於前述第31~52項之任一項中，前述閘絕緣膜之二氧化矽換算膜

五、發明說明 (17)

厚係不滿3nm者。

54.本發明之半導體積體電路裝置之製造方法，係於前述第31~53項之任一項中，前述閘絕緣膜之二氧化矽換算膜厚係在1.5nm~2nm者。

55.本發明之半導體積體電路裝置之製造方法，係於前述第31~54項之任一項中，前述金屬閘電極之閘長係在0.25 μ m以下者。

56.本發明之半導體積體電路裝置之製造方法，係於前述第31~55項之任一項中，前述金屬係閘電極之閘長係在0.18 μ m以下者。

57.本發明之半導體積體電路裝置之製造方法，係於前述第31~56項之任一項中，前述金屬閘電極之閘長係在0.1 μ m以下者。

<圖式之簡單說明>

圖1為表示本發明之實施形態1之CMOS-邏輯LSI之製造方法之半導體基板之要部外形圖。

圖2為表示本發明之實施形態1之CMOS-邏輯LSI之製造方法之半導體基板之要部外形圖。

圖3為表示本發明之實施形態1之CMOS-邏輯LSI之製造方法之半導體基板之要部外形圖。

圖4為表示本發明之實施形態1之CMOS-邏輯LSI之製造方法之半導體基板之要部外形圖。

圖5為表示本發明之實施形態1之CMOS-邏輯LSI之製造方法之半導體基板之要部外形圖。

五、發明說明 (18)

圖6為開絕緣膜形成上所使用之葉片式成膜裝置之概略圖。

圖7中，(a)為氧化膜形成室之具體的構造例之概略平面圖、(b)為(a)之B-B'線外形圖。

圖8為觸媒方式之水+氧混合氣體產生裝置之概略圖。

圖9為表示本發明之實施形態1之CMOS-邏輯LSI之製造方法之半導體基板之要部外形圖。

圖10為氧化膜成長速度所相對之水分濃度之依存性之表示圖。

圖11為表示本發明之實施形態1之CMOS-邏輯LSI之製造方法之半導體基板之要部外形圖。

圖12為使用水+氫混合氣體之氧化還原反應之平衡蒸氣壓比(P_{H_2O}/P_{H_2})之溫度依存性表示圖。

圖13為觸媒方式之水+氫混合氣體產生裝置及氫氣除害裝置之概略圖。

圖14為表示本發明之實施形態1之CMOS-邏輯LSI之製造方法之半導體基板之要部外形圖。

圖15為表示本發明之實施形態1之CMOS-邏輯LSI之製造方法之半導體基板之要部放大外形圖。

圖16為表示本發明之實施形態1之CMOS-邏輯LSI之製造方法之半導體基板之要部放大外形圖。

圖17為表示本發明之實施形態1之CMOS-邏輯LSI之製造方法之半導體基板之要部外形圖。

圖18為表示本發明之實施形態1之CMOS-邏輯LSI之製

五、發明說明 (19)

造方法之半導體基板之要部外形圖。

圖19為表示本發明之實施形態1之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖20為表示本發明之實施形態1之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖21為表示本發明之實施形態2之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖22為表示本發明之實施形態2之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖23為表示本發明之實施形態3之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖24為表示本發明之實施形態3之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖25為表示本發明之實施形態3之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖26為表示本發明之實施形態4之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖27為表示本發明之實施形態4之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖28為表示本發明之實施形態5之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖29為表示本發明之實施形態5之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖30為表示本發明之實施形態5之CMOS－邏輯LSI之製

五、發明說明 (20)

造方法之半導體基板之要部外形圖。

圖31為表示本發明之實施形態5之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖32為表示本發明之實施形態6之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖33為表示本發明之實施形態6之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖34為表示本發明之實施形態6之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖35為表示本發明之實施形態6之CMOS－邏輯LSI之製造方法之半導體基板之要部放大外形圖。

圖36為表示本發明之實施形態7之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖37為表示本發明之實施形態7之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖38為表示本發明之實施形態7之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖39為表示本發明之實施形態7之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖40為表示本發明之實施形態7之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖41為表示本發明之實施形態7之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

圖42為表示本發明之實施形態7之CMOS－邏輯LSI之製

五、發明說明 (21)

造方法之半導體基板之要部外形圖。

圖43為表示本發明之實施形態7之CMOS－邏輯LSI之製造方法之半導體基板之要部外形圖。

<發明之詳細說明>

以下基於圖式詳細說明本發明之實施形態。又，為了說明實施形態，在全圖中，對於具有相同功能之構件附以相同之符號，以省略重複說明。又，以下之實施形態中，除特別必要外，對同一或同樣部分之說明，原則上係不予以重複。

又，以下實施形態，權宜上在有必要時，雖係分割為複數之段或實施形態予以說明，但除了特別明示之情況外，該等並非相互無關連者，一方係為另一方之一部分或全部之變形例、詳細、補充說明等關係。又，在以下實施形態中，提及要素之數等(含數個、數值、數量、範圍等)之情況，並非限定於該特定數者，亦可為特定之數以上或以下。又，在以下實施形態中，其構成要素(含要素步驟等)，除了特別明示之情況及原理上顯然為必須之情況外，亦可謂並不一定為必須者。

同樣的，在以下實施形態中，在提及構成要素等形狀、位置關係等時，除了特別明示之情況及原理上顯然為必須之情況外，包含實質上近似或類似其形狀等者。此點於上述數值及範圍上亦相同。

又，本案提及半導體積體電路裝置(或電子裝置、電子電路裝置等)時，並非僅指在矽晶圓上所製作者，除了明

五、發明說明 (22)

白表示並非如此之情況外，亦包含了在 SOL (Silicon On Insulator) 基板、TFT 液晶等其他基板上所製作者。

<實施形態 1>

本實施形態係使用於由 n 通道型 MISFET 及 p 通道型 MISFET 構成積體電路之 CMOS-邏輯 LSI 之製造上者。

首先，如圖 1 所示，將比電阻為 $10\Omega\text{cm}$ 程度之單晶矽基板 (以下稱基板或晶圓) 1 以 850°C 程度進行熱處理，於其主面形成膜厚 10nm 程度之薄氧化矽膜 2，接著在氧化矽膜 2 上面，以 CVD (Chemical Vapor Deposition) 法，堆積膜厚 120nm 程度之氮化矽膜 3 後，以光阻膜 (未圖示) 作為掩膜，以乾式蝕刻除去元件分離區域之氮化矽膜 3。

形成上述氧化矽膜 2 之目的在於：在後面之步驟將埋入於元件分離溝內部之氧化矽膜予以熱處理時，緩和加諸於基板 1 之壓力，或緩和因離子注入對基板 1 表面造成之損傷。又，氮化矽膜 3 係用作為防止其下部 (活性區域) 之基板 1 表面氧化之保護膜，或用作為將埋入於元件分離溝內之氧化矽膜表面予以研磨時之阻止物。

次之，如圖 2 所示，在以將氮化矽膜 3 作為掩膜之乾式蝕刻，在元件分離區域之基板 1 上形成深度 350nm 程度之元件分離溝 4 後，為了將上述蝕刻在元件分離溝 4 內壁所造成之損傷層予以除去，將基板 1 以約 1000°C 進行熱處理，於元件分離溝 4 之內壁上形成膜厚 10nm 程度之薄氧化矽膜 5。

次之，如圖 3 所示，在上述元件分離溝 4 內部埋入氧化矽

五、發明說明 (23)

膜6後，將其表面予以平坦化。氧化矽膜6之埋入及平坦化之進行，首先係在基板1上以CVD法堆積膜厚600nm程度之氧化矽膜6後，為了改善氧化矽膜6之膜質，將基板1以約1000℃進行熱處理。次之，以將氮化矽膜3作為阻止物之化學機械研磨(Chemical Mechanical Polishing: CMP)法，研磨氧化矽膜6，於元件分離溝4內部僅殘留氧化矽膜6。

次之，將殘留於基板1之活性區域上之氮化矽膜3。以使用熱磷酸之濕式蝕刻予以除去後，如圖4所示，於基板1之一部分將B予以離子注入形成p型井7，於其他一部分將P(磷)予以離子注入形成n型井8。

次之，將為了各於p型井7及n型井8之表面附近調整MISFET之臨限值電壓(V_{th})之雜質(B或P)予以離子注入後，如圖5所示，藉由各將p型井7及n型井8之表面氧化矽膜2，以HF(氟酸)等之洗淨液予以除去，以使活性區域之基板1(p型井7及n型井8)之表面露出。

次之，各於上述p型井7及n型井8表面，以下述方法形成閘絕緣膜。

一般，為了實現MIS裝置之高速化及高性能化，隨著將MISFET予以微細化，閘絕緣膜有薄膜化之必要，例如閘長為 $0.25\mu\text{m}\sim 0.2\mu\text{m}$ 程度之邏輯裝置用MISFET之情況，要求膜厚不滿5nm之閘絕緣膜。又，雖與MIS裝置之種類有關，但，閘長為 $0.18\mu\text{m}\sim 0.14\mu\text{m}$ 程度之情況係要求不滿4nm，又，閘長為 $0.13\mu\text{m}\sim 0.1\mu\text{m}$ 程度之情況係要求不滿3nm之閘絕緣膜。

五、發明說明(24)

如眾所周知，將單晶矽基板表面在高溫予以氧化形成閘絕緣膜(閘氧化膜)之方法，有在氧環境中使氫燃燒產生水，將此水與氧一起供給至基板表面形成氧化膜之濕式氧化(pyrogenic氧化)法。惟，此種利用燃燒方式之氧化膜形成方法，難以再現性良好的形成膜厚不滿5nm且高品質之極薄閘絕緣膜。

即，利用燃燒方式之上述氧化膜形成方法，惟有作為氧化種之水+氧混合氣體之水分濃度在18~40%程度之高濃度範圍內方可控制。因此，若在此種水分濃度之水+氧混合氣體環境中進行熱處理，則水所引起之OH基或氫會被多量取入氧化膜中，在與矽基板之界面上易發生Si-H結合或Si-OH結合等構造缺陷。此種構造缺陷依熱載子注入等之電壓壓力之施加而被切斷形成電荷陷阱(trap)，引起臨限值電壓之變動或絕緣耐壓之降低等電氣特性之劣化。

又，為了要以均一的膜厚再現性良好的形成薄熱氧化膜，與形成較厚的氧化膜時相比，必須要降低膜的成長速度，以更安定之氧化條件進行成膜。惟，上述燃燒方式之情況因水分濃度高之故，膜之成長速度快，會在極短的時間便形成膜之故，無法安定的形成膜厚不滿5nm之極薄氧化膜。

又，在形成清淨之閘絕緣膜上，雖必須預先以濕式洗淨除去形成於矽基板上之表面上之低品質的氧化膜，但自進行此濕式洗淨至氧化基板(晶圓)為止之期間，不可避免的將在此表面上形成薄自然氧化膜(native oxide)。又，氧化

五、發明說明 (25)

步驟係在本來之氧化進行前，依與氧化種中之氧之接觸，於基板表面形成不期望之初期氧化膜。特別是在前述燃燒方式之情況，為了避免氫所爆發之危險，預先將氧充分的流入使氫燃燒之故，基板表面暴露於氧之時間變長，將會形成厚的初期氧化膜。

如此，實際之閘氧化膜雖係為除了由本來的熱氧化所形成之氧化膜外尚包含自然氧化膜及初期氧化膜之構造，但該等自然氧化膜或初期氧化膜，與目的之本來的氧化膜相比品質極低。故，為了得到高品質之閘絕緣膜，雖必須儘量降低氧化膜中之該等低品質之氧化膜之比例，但依燃燒方式形成薄氧化膜之情況中，則反而會增加該等低品質絕緣膜之比例。

例如依燃燒方式形成膜厚9nm之氧化膜時，設此氧化膜中之自然氧化膜及初期氧化膜之膜厚各為0.7nm及0.8nm，則本來之氧化膜之膜厚成為 $9-(0.7+0.8)=7.5\text{nm}$ 之故，此氧化膜中所占之本來之氧化膜之比例約為83.3%。惟，在使用此燃燒方法形成膜厚4nm之氧化膜之情況中，自然氧化膜與初期氧化膜之膜厚各不變仍為0.7nm、0.8nm之故，本來之氧化膜之膜厚成為 $4-(0.7+0.8)=2.5\text{nm}$ ，其比例降低為62.5%。即，若依習知之燃燒方式(pyrogenic氧化方式)形成極薄氧化矽膜，則不僅無法確保膜厚之均一性或再現性，膜的品質亦降低。

此處本實施形態係依以下說明之方法，形成高品質之極薄閘絕緣膜。惟，閘絕緣膜之形成並不拘限於此方法，使

五、發明說明 (26)

用後述水分+氫混合氣體亦可形成。

圖6為開絕緣膜之形成上所使用之葉片式之成膜裝置100之概略圖。如圖所示，此成膜裝置100具備洗淨裝置101，其係在開絕緣膜形成前，先以濕式洗淨方式除去基板(晶圓)1表面之氧化膜者。藉由採用此種洗淨—氧化—貫處理系統，可使在洗淨裝置101內交付洗淨處理之晶圓1不與大氣接觸，且可在短時間內搬送至成膜裝置100之故，在自除去不要的氧化矽膜2至形成開絕緣膜之間，可極力抑制在晶圓1表面上形成不希望之自然氧化膜。

被承載至洗淨裝置101之載具102之晶圓1，首先被搬送至洗淨室103，交付至由例如 $\text{NH}_4\text{OH}+\text{H}_2\text{O}_2+\text{H}_2\text{O}$ 等之洗淨液之洗淨處理後，被搬送至氟酸洗淨室104，被交付至稀氟酸($\text{HF}+\text{H}_2\text{O}$)之洗淨處理，除去表面之氧化矽膜2。此後，晶圓1被搬送至乾燥室105交付至乾燥處理，除去表面的水分。殘留於晶圓1表面之水分，係在開絕緣膜中或開絕緣膜/矽基板界面引起Si-H、Si-OH等構造缺陷，形成電荷陷阱之原因之故，必須充分去除。

乾燥處理結束之晶圓1立即被搬送至成膜裝置100之緩衝區106。此成膜裝置100係為多室(multi-chamber)方式構成，具備例如氧化膜形成室107、氮化膜形成室108、熱處理室109、載入/卸下器具110、及金屬膜形成室111等，裝置中央之搬送系112具備機械人手臂(以下稱機械手)113，其係用以將晶圓1向(自)上述各處理室搬入(搬出)者。搬送系112內部，為了極力抑制因大氣混入於晶

五、發明說明 (27)

圖1表面形成自然氧化膜，係被保持為氮等惰性氣體環境。又，搬送系112內部，為了極力抑制晶圓1表面附著水分，係被保持於ppb位準之超低水分環境。被搬入成膜裝置100之晶圓1，經由機械手113首先以1片或2片為單位搬送至氧化膜形成室107。

圖7(a)為氧化膜形成室107之具體構造例之概略平面圖，圖7(b)係圖7(a)之B-B'線外形圖。

此氧化膜形成室107具備由多重壁石英管所構成之室(chamber)120，其上部及下部設置燈130以加熱晶圓1。室120內部，設置圓盤狀之均熱環122，其係將此燈130所供給之熱均等分散至晶圓1全面者：其上部載置加熱台123，其係水平保持晶圓1者。均熱環122係由石英或SiC等耐熱材料構成，由自室120壁面延伸之支持臂124支持。均熱環122附近設妥熱電對125，其係測定由加熱台123所保持之晶圓1之溫度者。

室120壁面之一部分連接氣體導入管126之一端，其係將水、氧及吹掃氣體導入室120內者。此氣體導入管126之另一端連接於後述觸媒方式之水分生成裝置。氣體導入管126附近設有隔壁128，其具備多數貫通孔127，被導入至室120內之氣體，通過此隔壁128之貫通孔127均等的散布於室120內。室120壁面之其他一部分上連接排氣管129之一端，其係用以將被導入至室120內之上述氣體予以排出者。

圖8為上述氧化膜形成室107之室120所連接之觸媒方式

五、發明說明 (28)

之水分+氧混合氣體生成裝置140之概略圖。此氣體生成裝置140具備反應器141，其係由耐熱耐蝕性合金(例如習知之商品名「Hastelloy」之Ni合金等)所構成，其內部設置包含Pt、Ni或Pd等觸媒金屬之線圈142及將此線圈(或曲面對向板)142加熱之加熱器143。

上述反應器141通過氣體貯留槽144a、144b、144c所成之配管145被導入包含氫及氧之處理氣體、及包含氮或Ar等惰性氣體之吹掃(purge)氣體。配管145途中設置調節氣體之質量流控制器146a、146b、146c、及開閉氣體流路之開閉閥147a、147b、147c等，依該等精密的控制被導入反應器141內之氣體量及成分比。

被導入反應器141內之熱處理氣體(氫及氧)，與被加熱至350~450℃程度之線圈(或曲面對向板)142接觸而被激勵，由氫分子生成氫基(radical)($H_2 \rightarrow 2H^*$)，由氧分子生成氧基($O_2 \rightarrow 2O^*$)。該等2種基係在化學上極具活性之故，很快的反應生成水($2H^* + O^* \rightarrow H_2O$)。此水分在連接部148內與氧混合被稀釋成低濃度，通過前述氣體導入管126，被導入氧化膜形成室107之室120。

如上述之觸媒方式之水分+氧混合氣體生成裝置140，可高精密度的控制水分生成所相關之氫及氧的量之故，可將與氧一起導入氧化膜形成室107之室120內之水分濃度，在自ppt以下之極超低濃度至數10%程度之高濃度為止之範圍內，且高精密度的予以控制。又，係在將熱處理氣體導入反應器141之瞬間生成水分之故，在即時(real

五、發明說明 (29)

time)即可獲得所希望之水分濃度，不須如採用燃燒方式之習知之水分生成系統般，在導入氫前先導入氧。又，反應器141內之觸媒金屬只要係可使氫或氧予以自由基(radical)化者，使用前述金屬外之材料亦可。又，觸媒金屬除了加工成線圈狀予以使用外，例如加工中空的管或細纖維濾管(filter)等，使熱處理氣體通過其內部亦可。

使用上述成膜裝置100形成閘絕緣膜上，首先係將氧化膜形成室107之室120開放，一面於其內部導入吹掃(purge)氣體(氮或Ar)；一面將晶圓1載於加熱台123上。其後，將室120閉鎖，繼續導入吹掃氣體，充分進行室120內之氣體交換。加熱台123為了要將晶圓1快速的加熱，係預先以燈130加熱。晶圓1之加熱溫度係在800~900℃之範圍內，較理想者係為850℃程度。若晶圓1之溫度在800℃以下，則閘絕緣膜之品質降低，若在900℃以上，則晶圓1表面易乾裂。

次之在水分+氧混合氣體生成裝置140之反應器141內導入氧及氫，將所生成之水分與氧一起導入室120將晶圓1表面氧化數分鐘，藉以在晶圓1表面形成由氧化矽所成之閘絕緣膜9A(圖9)。

在將氧及氫導入成膜裝置100之反應器141時，不將氫比氧早導入。若將氫比氧先導入，則未反應之氫會流入高溫之室120之故，很危險。另一方面，若將氧比氫先導入，則此氧會流入室120，在待機中之晶圓1表面形成低品質之氧化膜(初期氧化膜)。故，將氫與氧同時導入，或

五、發明說明 (30)

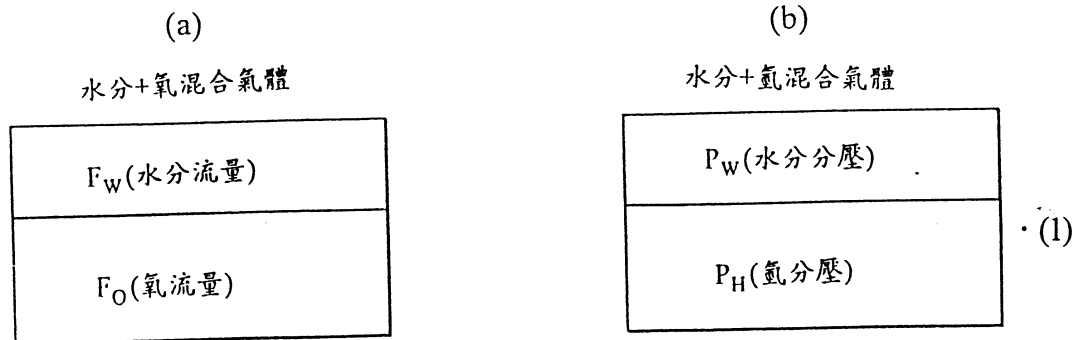
者考慮作業之安全性將氫在以比氧稍遲的時點(5秒以內)導入。如此，可將晶圓1表面所形成之不希望之初期氧化膜之膜厚抑制為最小限度。

圖10表示對應於氧化膜成長速度之水分濃度之依存性，模軸為氧化時間，縱軸表示氧化膜厚。如圖所示，氧化膜成長速度在水分濃度為0(乾式氧化)時最慢，隨著水分濃度變高而變快。故，為了要形成再現性良好且均一的膜厚之膜厚不滿5nm的極薄閘絕緣膜9A，將水分濃度降低使氧化膜成長速度減緩，在安定的條件下進行成膜為有效。

導入氧化膜形成室107之室120之水分的理想濃度，係在以可獲得比乾式氧化(水分濃度=0)形成時更優異之初期耐壓之濃度為下限，以採用習知之燃燒方式之情況之40%程度為止為上限之範圍內。特別是為了將膜厚不滿5nm之極薄閘絕緣膜9A，以均一的膜厚再現性良好且高品質的予以形成，將水分濃度設為0.5%~5%的範圍內為佳。

此處，水分+氧混合氣體之「水分濃度」係為導入室120之水分+氧混合氣體所包含之水分之比例之百分比值。故，如圖下所示，導入室120之氧的流量為 F_0 、水分的流量為 F_w 時，此水分+氧混合氣體之水分濃度C係為： $C=\{F_w/(F_w+F_0)\} \times 100 (\%)$ 。又，導入室120之水分+氧混合氣體除了為常壓之情況外，亦有為減壓或高壓之情況。又，亦有包含氮或Ar等吹掃氣體之情況。

五、發明說明 (31)



(1)

$$\text{水分濃度} = \frac{F_W}{F_O + F_W} \times 100\%$$

$$\text{水分濃度} = \frac{P_W}{P_H} \times 100\%$$

另一方面，後述之水分+氫混合氣體之「水分濃度」係被定義為水分+氫混合氣體所包含之水分之對氫分壓比之百分比值。即，在設包含於水分+氫混合氣體之氫之分壓為 P_H、水分之分壓為 P_W 時，該水分+氫混合氣體之水分濃度係為 (P_W/P_H) × 100 (%)。故，例如設氫之分壓為 99、水分之分壓為 1 時，此水分+氫混合氣體之水分濃度為 [(1/99) × 100] ≐ 1.01%。

本實施形態中，設定晶圓 1 之加熱溫度為 850℃、水分+氧混合氣體之水分濃度為 0.8%，將晶圓 1 之主面予以氧化，藉此在 p 型井 7 及 n 型井 8 表面各形成閘絕緣膜 9A。閘絕緣膜 9A 之膜厚，在下一步驟形成於其上部之閘電極之閘長為 0.25μm~0.2μm 之情況下係不滿 5nm，在 0.18μm~0.14μm 之情況下係不滿 4nm，在 0.13μm~0.1μm 之情況下係不滿 3nm。又，此處所稱之閘絕緣膜 9A 之膜厚係指二氧化矽之換算膜厚，其亦有與實際膜厚不一致之情況。

其後，將氧化矽所成之閘絕緣膜 9A 由以下之方法變換為氧氮化矽 (Oxynitride) 膜亦可。即，將形成有上述閘絕緣膜 9A 之晶圓 1 搬送至前述圖 6 所示之成膜裝置 100 之氧氮化

五、發明說明(32)

膜形成室108，在NO(氧化氮)或N₂O(亞氧化氮)等含氮氣體環境中進行熱處理，藉以於氧化矽膜中偏析出氮。

上述氧氮化處理雖非必須之步驟，但若開絕緣膜9A之膜厚不滿5nm，則與矽基板之熱膨脹係數差所引起之兩者之界面所產生之壓力即顯著化，會誘發熱載子之產生。氧氮化矽膜曾經和此壓力之故，若進行上述氧氮化處理，則可進一步提升極薄開絕緣膜9A之可靠度及絕緣耐壓。由氧氮化矽膜所成之開絕緣膜9A，亦可藉由在添加了氮或氧之水分+氧混合氣體中將晶圓1進行熱處理而予以形成。

次之，將已形成開絕緣膜9A之晶圓1搬送至成膜裝置100之金屬膜形成室111，如圖11所示，在開絕緣膜9A上部堆積應成為開電極之W(鎢)膜11A。W膜11A係由濺鍍法或CVD法堆積，其膜厚係做成50nm程度。又，取代W膜11A，亦可使用Mo膜作為開電極材料。Mo比W具有更低之電阻為其優點。

氧化矽(或氧氮化矽)所成之上述開絕緣膜9A之膜中，在其成膜時主要係發生因Si-O結合之缺損而引起之缺陷。又，在開絕緣膜9A上部不經由多晶矽般之中間層而直接堆積W膜11A之情況中，成膜時在W膜11A之膜中發生之壓力加諸於其正下方之開絕緣膜9A之故，兩者之界面附近之開絕緣膜9A中發生缺陷。又，在依濺鍍法將W膜11A堆積於開絕緣膜9A上部之情況中，開絕緣膜9A表面被濺鍍發生損傷，或W離子侵入基板1減少開絕緣膜9A之膜厚。另一方面，將W膜11A以CVD法堆積之情況下，由

五、發明說明 (33)

反應氣體(WF_6)中之氟蝕刻開絕緣膜9A之表面，使得實際的膜厚比所期望之膜厚薄。故，即使在使用任一種方法形成W膜11A之情況下，皆難以避免在其正下方之開絕緣膜9A發生缺陷。特別是，膜厚不滿5nm之極薄開絕緣膜9A，只要少許如上述之缺陷存在於膜中，便會使絕緣耐壓或TDDB (Time-dependent dielectric breakdown；經時絕緣破壞)耐性劣化，使膜之品質及可靠性降低。

此處，接著在氧化性環境中將晶圓1予以熱處理，修復開絕緣膜9A上所發生之上述缺陷。即，通過W膜11A將氧供給至其正下方之開絕緣膜9A，對存在於構成開絕緣膜9A之氧化矽膜之Si-O結合之缺損處，導入氧以修補缺損處。

惟，若在一般的氧化性環境例如乾式氧環境中進行開絕緣膜9A之缺陷修復，則會將覆蓋開絕緣膜9A之W膜11A亦同時氧化之故，開電極之電阻會變大。故，開絕緣膜9A之缺陷修復，不得不用可將開電極材料之W予以實質上不氧化而僅將Si予以選擇性氧化之方法進行。

圖12表示使用水分+氫混合氣體之氧化還原反應之平衡蒸氣壓比(P_{H_2O}/P_{H_2})之溫度依存性之圖，圖中之曲線(a)~(e)各表示W、Mo、Ta、Si、Ti之平衡蒸氣壓。

如圖所示，藉由將水分/氫分壓比設定於曲線(a)及曲線(d)所夾之區域之範圍內，可不氧化W而僅選擇性的氧化Si。即，在水分/氫分壓比在曲線(a)及曲線(d)所夾之區域之水分+氫混合氣體環境中，將晶圓1進行熱處理，可不氧化W膜11A而氧化開絕緣膜9A，可修復其缺陷。

五、發明說明 (34)

同樣的，藉由將水分/氫分壓比設定於曲線(b)及曲線(d)所夾之區域範圍內，可不氧化Mo而僅選擇性的氧化Si。即，開電極材料為Mo之情況下，在水分/氫分壓比被設定在此區域之範圍內之水分+氫混合氣體環境中，將晶圓1進行熱處理，可不氧化Mo膜而進行開絕緣膜9A之缺陷修復。

開絕緣膜9A之缺陷修復，係將已形成W膜11A之晶圓1自前述成膜裝置100之金屬膜形成室111搬送至熱處理室109而進行。熱處理室109之室係與開絕緣膜9A之形成上所使用的之前述氧化膜形成室107之室101構造相同之故，省略其圖示。

圖13係上述熱處理裝置109上所連接之觸媒方式之水分+氫混合氣體生成裝置240及氫氣體除害裝置250之概略表示圖。

水分+氫混合氣體生成裝置240係與開絕緣膜9A之形成上所使用的之前述水分+氧混合氣體生成裝置140之構造類似。即，水分+氫混合氣體生成裝置240係具備由耐熱耐蝕合金所構成之反應器241a其內部設置由觸媒金屬所成之線圈242及將此線圈242加熱之加熱器243。

上述反應器241a，各通過氣體貯留槽244a、244b、244c所成之配管245，被導入氫及氧所成之處理氣體、及氮或Ar等惰性氣體所生成之吹掃氣體。氣體貯留槽244a、244b、244c與配管245之間，設置調節氣體量之質量流控制器246a、246b、246c、及開閉氣體流路之開閉閥247a、247b、247c，依該等精密的控制被導入反應器241a內之氣

五、發明說明 (35)

體之量及成分比。

被導入反應器241a內之處理氣體(氫及氧)係與被加熱至350~450℃程度之線圈242接觸而被激勵，自氫分子生成氫基($H_2 \rightarrow 2H^*$)、自氧分子生成氧基($O_2 \rightarrow 2O^*$)。此2種基(radical)在化學上係極為活性之故，很快的反應生成水分($2H^* + O^* \rightarrow H_2O$)。此處，藉由將包含比水分所生成之莫耳比(氫：氧=2：1)多餘之氫之氫/氧混合氣體導入反應器241a內，可生成水分+氫混合氣體。此處所生成之水分+氫混合氣體通過氣體導入管208被導入前述熱處理室209之室。

上述般之觸媒方式之氣體生成裝置240，係與前述水分+氧混合氣體生成裝置140相同的，可精密的控制水分之生成相關之氫與氧的量及該等之比率之故，可將被導入熱處理室209之室之水分+氫混合氣體中之水分濃度，在自ppb度(order)之極超低濃度至10%程度之高濃度為止之廣範圍具高精密度的予以控制。又，在將處理氣體導入反應器241a之瞬間即生成水分之故，可在即時(real time)獲得所期望之水分濃度之水分+氫混合氣體。藉此，可將異物之混入亦抑制在最小限度之故，可將潔淨的水分+氫混合氣體導入熱處理室209。

開絕緣膜9A之缺陷修復之進行，首先係一面將吹掃(purge)氣體(氮或Ar)導入熱處理室209之室內，一面將晶圓1搬入後，將室予以閉鎖，接著導入吹掃氣體將室內之氣體充分的進行交換，再將水分/氫混合氣體導入室內。

五、發明說明 (36)

此時晶圓1已加熱溫度以在700℃~800℃之範圍內為宜，更佳者係在750℃程度。又，水分+氫混合氣體之水分濃度以0.5%~30%之範圍內為宜，更佳者係在1%~20%之範圍內。

藉由以上述條件進行熱處理，來自水分+氫混合氣體之氧化種(OH基)，通過W膜11A侵入閘絕緣膜9A，對Si-O結合之氧不足缺陷部，供給氧修復缺陷。又，即使以此條件進行熱處理亦不會使W膜11A氧化之故，閘電極之電阻不會增加。

又，W膜11A在其成膜時在膜中蓄積壓力之故，若將W膜11A予以圖案化形成閘電極；則膜中之殘留壓力集中至閘電極之側壁端部，使此區域之閘絕緣膜9A之熱載子耐性降低。若進行用以修復閘絕緣膜9A之缺陷之上述熱處理，則W膜11A中所蓄積之壓力被緩和之故，可同時抑制閘電極形成後在其側壁端部閘絕緣膜9A之熱載子耐性降低之問題。

上述閘絕緣膜9A之缺陷修復作業結束後，熱處理室209內之水分+氫混合氣體，通過前述圖13所示之排氣管211排出，由冷卻器256冷卻至500℃以下後，被導入氫除害裝置250之反應器241b。此時，通過配管251自氣體貯留槽244a向排氣管211內供給氧氣，與水分+氫混合氣體共同導入反應器241b。氣體貯留槽244a及配管251之間，設置調節氧氣的量之質量流控制器246d及開閉氧氣流路之開閉閥247d，被導入反應器242b之氧氣的量，依該等精密的被控制。又，排氣管211之途中有逆止閥252，防止此氧氣在熱處理室209內逆流。

五、發明說明 (37)

氫氣除害裝置250之反應器241b係與前述氣體生成裝置240之反應器241a相同，由耐熱耐蝕性合金構成，其內部設置由觸媒金屬所成之線圈242及加熱此線圈242之加熱器243。被導入此反應器241b內之水分+氫混合氣體及氧氣，係與被加熱至350~450℃程度之線圈接觸而被激勵，由氫分子所生成氫基與由氧分子所生成之氧基迅速反應生成水分。

此處，在將熱處理室209所排出之水分+氫混合氣體導入反應器241b內時，將此混合氣體中之氫之至少1/2以上(莫耳比)之氧同時導入，將氫氣完全氧化變換成水。此氧氣可比水分+氫混合氣體先導入至反應器241b內，或通過配管251及排氣管211經常持續流入反應器241b內亦可。反應器241b內所生成之水分，與過剩之氧氣共同通過排氣管253向外部排出。在此排氣管253途中，設有氫氣感測器254，其係用以確認氫氣是否已完全轉換成水者；並設有卻器255，其係用以將排出之高溫的水分(水蒸氣)予以液化者。

次之，如圖14所示，在W膜11A上部以CVD法堆積膜厚50nm~100nm程度之氮化矽膜13，藉將光阻膜14作為掩膜之乾式蝕刻，將氮化矽膜13及W膜11A予以圖案化，形成閘電極11。閘電極11之閘長範圍在0.25 μ m~0.1 μ m。W所構成之閘電極11之膜(sheet)電阻在2 $\Omega/\square$ 以下之故，可提升MISFET之動作速度。又，在W膜11A上部堆積氮化矽膜13後，藉用在將W膜11A予以圖案化形成閘電極11

五、發明說明 (38)

之步驟前，先再一次進行前述使用水分+氫混合氣體之熱處理，以減低因氮化矽膜13之堆積所產生之W膜11A中之壓力。

次之，將閘電極11之加工所使用之光阻膜14以灰化處理除去後，以氟酸等蝕刻液除去基板1表面殘留之乾式蝕刻殘渣或灰化殘渣。如圖15所示，若進行此濕式蝕刻，閘電極11之側壁下部之閘絕緣膜9A亦被等方性的蝕刻產生下切(under cut)之故，閘絕緣膜9A之耐壓降低。此處次之，進行用以將上述濕式蝕刻所削去之閘絕緣膜9A予以再生之熱處理(再氧化處理)。又，此再氧化處理相關之技術有本案發明者之日本專利特願平10-138939號、日本專利特開平10-335652號及與其對應之美國申請案09/086568號。

上述再氧化處理與前述閘絕緣膜9A之缺陷修復處理相同，必須不氧化構成閘電極11之W膜(11A)而氧化Si(基板1)之故，將晶圓(基板)1搬入前述熱處理裝置209，在觸媒方式之水分+氫混合氣體生成裝置240所生成之水分+氫混合氣體環境中進行熱處理。此水分+氫混合氣體之水分濃度，與閘絕緣膜9A之缺陷修復所用之水分+氫混合氣體相同即可。又，熱處理溫度係與閘絕緣膜9A之缺陷修復時之溫度相同，或比其稍低。

依進行此熱處理，基板(Si)1表面被氧化，前述濕式蝕刻步驟所削去變薄之閘氧化膜9之膜厚回復成蝕刻前之狀態之故，被下切之閘電極11之側壁端部之外形(profile)被

五、發明說明 (39)

改善(圖16)。

又，若長時間進行上述再氧化處理，則閘電極11之端部附近之氧化膜厚變成必要以上之厚度，在閘電極11之端部會發生偏差(offset)，或MISFET之臨限值電壓(V_{th})會偏離設計值。又，亦會發生實效通道長會變成比閘電極11之加工值短之問題。特別是閘長不滿 $0.25\mu m$ 之微細之MISFET，自閘加工尺寸之設計值之變細允許量係由元件設計方面予以嚴格限制。此乃因變細量即使增加少許亦會因短通道效果使臨限值電壓急遽減少之故。故，依上述再氧化處理所成長之氧化膜之膜厚，希望能以增加閘絕緣膜9A之膜厚之50%為上限。

前述閘絕緣膜9A之缺陷修復，亦可在將W膜11A圖案化形成閘電極11後再進行。即，亦可將閘絕緣膜9A之缺陷修復與閘絕緣膜9A之再氧化處理一起進行。在此情況下，因閘電極11上部覆蓋了氮化矽膜13之故，閘電極11正下方之閘絕緣膜9A被通過閘電極11之側壁供給氧。

次之，如圖17所示，對p型井7離子注入n型雜質例如P(磷)，於閘電極11兩側之p型井7，形成n-型半導體區域16。又，對n型井8將p型雜質例如B(硼)以離子打入，在閘電極11兩側之n型井8，形成p-型半導體區域17。

次之，如圖18所示，在閘電極11側壁形成側壁間隔18。側壁間隔18係例如將在基板1上以CVD法堆積之膜厚50nm程度之氮化矽膜予以異方性的蝕刻，將此氮化矽膜殘留於閘電極11之側壁而形成。

五、發明說明 (40)

次之，對p型井7將n型雜質例如As以離子打入，形成n+型半導體區域20(源、汲)，對n型井8將p型雜質例如B(硼)以離子打入，形成p⁺型半導體區域21(源、汲)。依至此為止之步驟，於p型井7形成n通道型MISFET Q_n，於n型井8形成p通道型MISFET Q_p。

次之，如圖19所示，於基板1上以CVD法堆積氧化矽膜22，使用化學機械研磨法將其表面以平坦化後，將光阻膜(未圖示)作為掩膜將氧化矽膜22予以乾式蝕刻，藉以在n+型半導體區域20(源、汲)上部形成導通孔23，在p+型半導體區域21(源、汲)上部形成導通孔24。

次之，如圖20所示，在氧化矽膜22上部以CVD法或濺鍍法堆積W膜後，將光阻膜(未圖示)作為掩膜將W膜圖案化。藉以在氧化矽膜22上部形成配線25~30。

<實施形態2>

若在由氧化矽所成之閘絕緣膜上部，直接堆積W膜或Mo膜等金屬膜進行熱處理，則兩者之界面上生成高電阻之矽化物(silicide)，會使閘絕緣膜之耐壓劣化。其對策習知者係在閘電極電料之W膜(或Mo膜)及其下部之氧化矽所成之閘絕緣膜之間，形成防止兩者之界面反應之導電性障壁膜之方法。此導電性障壁膜之合宜的材料係為其本身之反應性低，且耐熱性高之導電性材料之氮化鈦(TiN)、氮化鎢(WN)、氮化鉬(MoN)等高熔點金屬氮化物。又，亦可使用鉭(Ta)、鋯(Zr)、鈦(Hf)等氮化物。

在W膜(或Mo膜)及其下部之氧化矽所成之閘絕緣膜之

五、發明說明 (41)

間，形成上述導電性障壁膜之情況，閘絕緣膜9A之缺陷修復係以下述方法進行。

首先，如圖21所示，以與前述實施形態1相同之方法，在p型井7及n型井8之各表面上形成由氧化矽(或氧氮化矽)所成之膜厚不滿5nm之閘絕緣膜9A後，在閘絕緣膜9A上部形成導電性障壁膜12，又在導電性障壁膜12上部以濺鍍法或CVD法形成膜厚50nm程度之W膜11A(或Mo膜)。導電性障壁膜12係由以CVD法或濺鍍法堆積之WN膜、MoN膜或TiN膜所構成，其膜厚約為5nm程度。

次之，於此狀態下進行用以修復閘絕緣膜9A之缺陷之熱處理。此熱處理係可將構成閘電極材料之W(或Mo)及導電性障壁膜之金屬(W、Ti或Mo)不予以氧化，而僅將Si予以選擇性氧化之方法。

例如閘電極材料係為W，障壁膜材料係為WN之情況，藉由在將水分/氬分壓比設定為前述圖12之曲線(a)及曲線(d)所夾之區域之範圍內之水分+氬混合氣體環境中進行熱處理，即可不氧化閘電極材料及障壁膜材料，而可修復閘絕緣膜9A之缺陷。又，在閘電極材料為Mo，障壁膜材料為MoN之情況，藉由在將水分/氬分壓比設定為曲線(b)及曲線(d)所夾之區域之範圍內之水分+氬混合氣體環境中進行熱處理，即可不氧化閘電極材料及障壁膜材料，而可修復閘絕緣膜9A之缺陷。即，在該等情況中，可用與前述實施形態1相同之方法修復閘絕緣膜9A之缺陷。

另一方面，在閘電極材料為W(或Mo)、障壁膜材料為

五、發明說明 (42)

TiN之情況，Ti係在前述圖12所示之水分+氫混合氣體環境中，氧化速度比Si快之故，無法將Ti實質上不氧化而僅選擇性的氧化Si。即，在此情況，若用與前述實施形態1相同之方法進行開絕緣膜9A之缺陷修復，則障壁膜材料亦會被氧化之故，開電極之電阻會變大。

但藉由在此情況亦使用前述觸媒方式之水分+氫混合氣體生成裝置，將水分+氫混合氣體中之水分設定為極低之濃度，便可使Ti及Si之速度變慢之故，可使障壁膜材料之氧化停留於最小限度，可將開電極之電阻增加抑制在實用上不會產生問題之範圍內。具體上，水分濃度在1%以下，較佳者係在數ppm~100 ppm程度之水分+氫混合氣體環境中進行熱處理。

防止開電極材料氧化，且使障壁膜材料之氧化停留最小限度，而修復開絕緣膜9A之缺陷之其他方法，亦有在將水分/氫分壓比設定在圖12之曲線(a)(開電極材料為Mo時係為(b))及曲線(d)所夾之區域之範圍內之水分+氫混合氣體中添加氮或氨之氣體環境中，進行熱處理之方法。

若在添加氮或氨之水分+氫混合氣體環境中進行熱處理，OH基及氮通過W膜11A(或Mo)在導電性障壁膜12中擴散，OH基引起之Ti的氧化反應與氮引起之Ti氮化反應互相競爭。因此，可一面抑制導電性障壁膜12的氧化，一面修復開絕緣膜9A之缺陷。在此情況下亦希望能儘可能的降低水分濃度及導電性障壁膜12的氧化速度。又，在使用此氣體之情況下，氧化矽膜所構成之開絕緣膜9A之一部

五、發明說明 (43)

分被轉換成氮氧化矽膜之故，可更加提升極薄閘絕緣膜9A之可靠性及絕緣耐壓。

次之，如圖22所示，在W膜11A上部以CVD法堆積膜厚50nm~100nm程度之氮化矽膜13後，以將光阻膜14作為掩膜之乾式蝕刻，將氮化矽膜13及W膜11A予以圖案化形成閘電極11。其後，為了要將上述蝕刻所削去之閘絕緣膜9A予以再生，進行與前述實施形態1相同之熱處理(再氧化處理)。又，在本實施形態中，亦可在閘電極11形成後，一併進行閘絕緣膜9A之缺陷修復及再氧化處理。

<實施形態3>

若將氧化矽所成之閘絕緣膜做成以二氧化矽換算膜厚不滿5nm，特別是不滿3nm之薄膜，則直接通道(tunnel)電流之產生或壓力造成之熱載子所導致之絕緣耐壓之降低便顯著化。本實施形態中，其對策係將閘絕緣膜以氮化矽膜或氧化矽膜及氮化矽膜之複合絕緣膜予以形成。

氮化矽膜之介高率比氧化矽膜高之故，其二氧化矽膜換算膜厚變成比實際膜厚薄。故，藉由將閘絕緣膜以單一氮化矽膜或其與氧化矽之複合膜予以構成，與以氧化矽所構成之閘絕緣膜相比，可使其實效膜厚做成較厚之故，可改善上述問題。又，在氧化矽膜所構成之閘絕緣膜上部直接堆積W膜之情況所發生之前述問題亦可改善。

此處，單一絕緣膜或複合絕緣膜之二氧化矽換算膜厚(以下僅稱為換算膜厚) d_r ，在將對象之絕緣膜之比介電率設為 ϵ_i ，其膜厚設為 d_i ，二氧化矽之比介電率設為 ϵ_s 時，

五、發明說明 (44)

係為如下所示之式所定義之膜厚。

$$d_r = \varepsilon_s \sum_i \frac{d_i}{\varepsilon_i}$$

d_r = 二氧化矽換算膜厚
 d_i = 對象絕緣膜之膜厚
 ε_s = 矽之比介電率
 ε_i = 對象絕緣膜之比介電率

氧化矽 (SiO_2) 及氮化矽 (Si_3N_4) 之介電率各係為 4~4.2 及 8。此處，設氮化矽之介電率為氧化矽之介電率之 2 倍計算，則例如膜厚 6 nm 之氮化矽膜之二氧化矽換算膜厚成為 3 nm。即，膜厚 6 nm 之氮化矽膜所成之閘絕緣膜及膜厚 3 nm 之氧化矽膜所成之閘絕緣膜，係具有相等之電容。又，膜厚 2 nm 之氧化矽膜及膜厚 2 nm 之氮化矽膜 (換算膜厚 = 1 nm) 之複合膜所成之閘絕緣膜之電容，係與膜厚 3 nm 之單一氧化矽膜所成之閘絕緣膜電容相同。

將閘絕緣膜以氮化矽膜 (以氮化矽膜為主成分之單一或複合絕緣膜) 予以構成之情況之缺陷修復，係依以下之方法進行。首先，如圖 23 所示，以與前述實施形態 1 相同之方法，在基板 1 上形成 p 型井 7 及 n 型井 8，接著將該等之表面予以洗淨，除去不要之絕緣膜後，於該等上部以 CVD 法堆積氮化矽膜，形成閘絕緣膜 9B。該氮化矽膜與其以電漿 CVD 法堆積，不如以基板 1 造成之損傷較少之低壓 CVD 法形成較佳。又，將基板 1 表面依電漿化處理形成氮

五、發明說明 (45)

化矽膜亦可。

上述閘絕緣膜9B(氮化矽膜)之二氧化矽換算膜厚，依以下步驟於其上部形成之閘電極之閘長為 $0.25\mu\text{m}\sim 0.2\mu\text{m}$ 程度之情況下，係不滿 5nm ，在閘長為 $0.18\mu\text{m}\sim 0.14\mu\text{m}$ 程度之情況下，係不滿 4nm ，又在閘長係在 $0.13\mu\text{m}\sim 0.1\mu\text{m}$ 程度之情況，係不滿 3nm 。此情況下，閘絕緣膜9B(氮化矽膜)之實際膜厚，各係不滿 10nm ，不滿 8nm 及不滿 6nm 。

次之，如圖24所示，於閘絕緣膜9B上部，以濺鍍法或CVD法形成膜厚 50nm 程度之W膜11A(或Mo膜)。

在氮化矽膜所成之閘絕緣膜9B之膜中，在其成膜時發生主要以Si-N結合之缺損所造成之缺陷。又，若在閘絕緣膜9B上部直接堆積W膜11A，則成膜時在W膜11A之膜中所發生之壓力會直接加諸至其正下方之閘絕緣膜9B(氮化矽膜)之故，會使兩者之界面附近之閘絕緣膜9B中亦發生缺陷。二氧化矽換算膜厚不滿 5nm 之極薄閘絕緣膜9B，只要膜中有少許上述缺陷存在，便會使絕緣耐壓或TDDb耐性劣化，造成膜之可靠度降低。

此處，在氧化性環境中將晶圓1予以熱處理，通過W膜11A氧供給至其正下方之閘絕緣膜9B，藉此修復閘絕緣膜9B之缺陷。此情況之缺陷修復，係對構成閘絕緣膜9B之氮化矽膜中所存在之Si-N結合處導入氧，藉由形成Si-O結合而進行。又，此種缺陷修復用之熱處理，必須不氧化閘電極材料之W而僅選擇性的氧化Si之故，與前述實施形態1相同，係在將水分/氫分壓比設定為前述圖12之曲線

五、發明說明 (46)

(a)及曲線(d)所夾之區域之範圍內之水分+氫混合氣體環境中進行。又，閘電極材料為Mo膜之情況，係在將水分/氫分壓比設定為曲線(b)及曲線(d)所夾之區域之範圍內之水分+氫混合氣體環境中進行。又，此水分+氫混合氣體係使用可高精密度的控制其水分濃度之前述觸媒方式之水分+氫混合氣體生成裝置予以生成。

在形成包含氮化矽膜及氧化矽膜之複合膜之閘絕緣膜9B上，係將例如基板1(p型井7、n型井8)表面予以熱氧化，形成氧化矽膜後，在其上部以CVD法堆積氮化矽膜。此情況亦使用上述水分+氫混合氣體進行熱處理，各對存在於氮化矽膜中之Si-N結合之缺陷處及存在於氧化矽膜中之Si-O結合之缺陷處，導入氧藉以修復缺陷。

由氮化矽膜及氧化矽膜之複合膜所構成之閘絕緣膜9B之缺陷修復，亦可在水分+氫混合氣體中添加氮或氧之氣體環境中進行。此情況中，閘絕緣膜9B之一部分之氧化矽膜被轉換為氧氮化膜之故，可更加提升閘絕緣膜9B之可靠度及絕緣耐壓。

次之，如圖25所示，在W膜11A上部以CVD法堆積膜厚50nm~100nm程度之氮化矽膜13後，以將光阻膜14作為掩膜之乾式蝕刻，將氮化矽膜13及W膜11A予以圖案化形成閘電極11。

<實施形態4>

前述實施形態3雖係使用具有氧化矽膜之約2倍的介電率之氮化矽膜或以其主成分之絕緣膜形成閘絕緣膜，但在使

五、發明說明 (47)

用介電率比氮化矽膜更高之絕緣材料之情況，可將二氧化矽換算膜厚不滿5nm之絕緣膜以比氮化矽膜更厚之膜厚形成之故，可使微細的MISFET之形成更加容易。

具有比氮化矽膜高之介電率之閘絕緣材料可列舉出氧化鉭(Ta_2O_5)或氧化鈦(TiO_2)等高熔點金屬。氧化鉭之介電率高達20~25，依CVD法亦可輕易成膜，故以往係作為DRAM (Dynamic Random Access Memory)之電容材料等，其與既有之半導體製程之整合性高。又，介電率更高達80~120之氧化鈦亦係作為矽化物材料使用於半導體製程之故，其與既有之半導體製程之整合性高。此外，與鈦同為4A族金屬之鋯(Zr)或鈪(Hf)之氧化物(ZrO_2 、 HfO_2)亦具有約與氧化鈦同程度之高介電率，且化學性質安定之故，可作為極薄閘絕緣膜材料使用。

例如在形成具有由氧化鈦所構成之閘絕緣膜之MISFET上，首先如圖26示，以與前述實施形態1相同之方法在基板1上形成p型井7及n型井8，接著洗淨該等表面除去不要之絕緣膜後，於該等上部以濺鍍法堆積氧化鈦膜，形成閘絕緣膜9C。此時，藉由將氧化鈦膜之膜厚做成40nm~60nm，即可得二氧化矽換算膜厚為2nm之閘絕緣膜9C。

次之，如圖27所示，在閘絕緣膜9C上部，以濺鍍法或CVD法形成膜厚50nm程度之W膜11A(或Mo膜)。

如構成上述閘絕緣膜9C之氧化鈦般之結晶性金屬氧化物，含有許多在成膜後之膜中成為電流之洩漏通道(leak

五、發明說明 (48)

pass)之缺陷(主要係存在於結晶中或結晶粒界之氧缺損)。

又，若在閘絕緣膜9C上部直接堆積W膜11A，則成膜時發生於W膜11A之膜中之壓力將加諸於其正下方之閘絕緣膜9C之故，在兩者之界面附近之閘絕緣膜9C亦會發生缺陷。故，為了得到具有可作為閘絕緣膜使用之絕緣特性之氧化鈦膜，便必須修復該等缺陷。

為修復由氧化鈦般之高熔點金屬氧化物所構成之閘絕緣膜9C之缺陷，係在氧化性環境中將基板1熱處理，透過W膜11A在閘絕緣膜9C之氧缺損部位導入氧，將膜改質、結晶化。

在高熔點金屬氧化物為氧化鈦時，上述熱處理必須在將堆積於其上部之閘電極材料之W予以實質上不氧化，而將Ti予以氧化之環境中進行。故，此熱處理必須在將水分/氫分壓比設定在前述圖12之曲線(a)及曲線(e)所夾之區域之範圍內之水分+氫混合氣體環境中進行。惟，如圖所示，Ti在水分+氫混合氣體環境中之平衡蒸氣壓曲線係位於比Si稍偏低水分分壓側之故，在水分濃度高之水分+氫混合氣體環境中進行熱處理之情況，基板1會被氧化。於是，閘絕緣膜9C與其正下方之基板1之界面會形成氧化矽膜，閘絕緣膜9C之實效二氧化矽換算膜厚會變大。

此處，在希望能儘量抑制氧化矽膜之成長時，係使用前述觸媒方式之水分+氫混合氣體生成裝置，將水分+氫混合氣體中之水分濃度設定為極低而進行熱處理。藉此，Si之氧化速度變慢之故，可將基板1之氧化停留於最小限

五、發明說明 (49)

度，而可修復閘絕緣膜9C之缺陷。具體上，係將水分+氫混合氣體環境中之水分濃度設定為數ppm~100 ppm程度，在400℃~700℃之溫度範圍進行熱處理。

前述Zr或Hf係與Ti相同，在水分+氫混合氣體環境中之氧化還原平衡曲線係比Si接近低水分側。故，在形成將該等高熔點金屬氧化物(ZrO_2 、 HfO_2)之薄膜堆積於基板1上之閘絕緣膜9C之情況，其缺陷修復係以與由氧化鈦所構成之前述閘絕緣膜9C之缺陷修復相同之方法進行。即，在將水分/氫分壓比設定為將閘電極材料(W)不予以氧化而僅選擇性的氧化該等金屬(Zr、Hf)之比例之水分+氫混合氣體環境中，進行熱處理。

另一方面，在形成具有由氧化鈮所構成之閘絕緣膜之MISFET上，首先在基板1(p型井7、n型井8)上部以CVD法堆積氧化鈮，形成閘絕緣膜9C。此時，藉由將氧化鈮膜之膜厚做成約10nm~12nm，獲得二氧化矽換算膜厚為2nm之閘絕緣膜9C。

在修復氧化鈮所成之閘絕緣膜9C之缺陷上，係在將其上部所堆積之閘電極材料W予以實質上不氧化而將Ta予以氧化之環境中，進行熱處理。即，在閘絕緣膜9C上部堆積W膜11A後，在將水分/氫分壓比設定於前述圖12之曲線(a)及曲線(c)所夾之區域之範圍內之水分+氫混合氣體環境中，將基板1予以熱處理。惟，如圖所示，Ta在水分+氫混合氣體環境中氧化速度比Si小之故，無法將Si實質上不氧化而僅將Ta氧化。即，在修復氧化鈮所成之閘絕緣

五、發明說明 (50)

膜9C下方之基板1之界面上形成氧化矽膜，開絕緣膜9C之實效性二氧化矽換算膜厚變大。

惟，此情況亦使用前述觸媒方式之水分+氫混合氣體生成裝置，將水分+氫混合氣體中之水分設定為極低濃度，進行熱處理。藉此，Ta及Si之氧化速度變慢之故，可將基板1之氧化停留於最小限度，而可修復開絕緣膜9C之缺陷。具體上，將水分+氫混合氣體之水分濃度設定於1%~50%程度，在400°C~700°C之溫度範圍進行熱處理。

上述氧化鈦、氧化鋯、氧化鉛、氧化鉭膜等之高熔點金屬氧化物所成之開絕緣膜9C之缺陷修復，亦可在其上部堆積開絕緣材料(W膜11A)前進行。此情況下，可對構成開絕緣膜9C之金屬氧化物充分的供給氧之故，可更確實的修復膜中之缺陷。惟，為了要修復因W膜11A之堆積在開絕緣膜9C上所發生之缺陷，在堆積W膜11A後，必須再進行一次上述熱處理。

上述高熔點金屬氧化膜所成之開絕緣膜9C之缺陷修復，在將其上部所堆積之W膜或Mo膜等予以圖案化形成電極後進行亦可。又，各在開電極之形成前及形成後進行亦可。

金屬氧化物所成之開絕緣膜亦可使用介電率為8~10之氧化鋁(Al_2O_3)形成。又，包含 ABO_3 型之廣義的鈣鈦礦型構造之高介電體，在動作溫度中係為常介電相之金屬氧化物，(例如BST(鈦酸鋇鎳)等)，亦可使用以形成開絕緣膜。又，以包含金屬氧化物之2種以上之二元或多元氧化

五、發明說明 (51)

物為主要成分，或使用該等金屬氧化物及氧化矽膜或氮化矽膜之複合膜，予以形成亦可。

<實施形態5>

由氧化鈦、氧化鋯、氧化鈮等在水分+氫混合氣體環境中之氧化還原反應之平衡曲線比Si更接近低水分側之高熔點金屬所成之閘絕緣膜9C，可依以下予以形成。

首先，如圖28所示，以與前述實施形態1相同之方法，在基板1上形成p型井7及n型井8，接著將該等表面洗淨除去不要之絕緣膜後，於該等上部以濺鍍法堆積Ti膜31。

次之，如圖29所示，在將水分/氫分壓比被設定為Si實質上不予以氧化而僅選擇性的將Ti氧化之比例(前述圖12之曲線(d)及曲線(e)所夾之區域之範圍內)之水分+氫混合氣體環境中，將基板1進行熱處理。藉此，上述Ti膜31被氧化變換成氧化鈦膜之結果，便可獲得由氧化鈦所成之閘絕緣膜9C。

在以同樣之方法形成由氧化鋯膜(或氧化鈮膜)所成之閘絕緣膜9C之情況，係在基板1上堆積Zr膜(或Hf膜)後，將水分/氫分壓比被設定為將基板1(Si)予以實質上不氧化而將Zr(或Hf)予以選擇性氧化之比例之水分+氫混合氣體環境中，將基板1進行熱處理。藉此，Zr膜(或Hf膜)被氧化轉換成氧化鋯膜(或氧化鈮膜)之結果，便可獲得由氧化鋯膜(或氧化鈮膜)所成之閘絕緣膜9C。

用以將基板1上所堆積之高熔點金屬膜轉換為共氧化物之熱處理，亦可在高熔點金屬膜上部堆積W膜等之閘電極

五、發明說明 (52)

材料再進行。此情況，首先如圖30所示，在基板1(p型井7及n型井8)上部以濺鍍法堆積Ti膜31後，在Ti膜31上部以濺鍍法或CVD法形成膜厚50nm程度之W膜11A(或Mo膜)。

次之，在將水分/氫分壓比設定為將Si予以實質上不氧化而僅選擇性將Ti予以氧化之比例(前述圖12之曲線(d)與曲線(e)所夾之區域之範圍內之水分+氫混合氣體環境中，將基板1予以熱處理。藉此，來自水分+氫混合氣體中之水分之氧化種(OH基)通過W膜11A(或Mo膜)侵入Ti膜31，將Ti膜31轉換為氧化鈦膜之結果，便如圖31所示在閘電極材料W膜11A(或Mo膜)之正下方，形成由氧化鈦膜所成之閘絕緣膜9C。又，即使在將水分/氫分壓比設定為上述比例之水分+氫混合氣體環境中進行熱處理，W膜11A(或Mo膜)亦不會被氧化之故，閘電極之電阻不會變大。

氧化鋇膜或氧化鉛膜所成之閘絕緣膜9C亦可將鋇膜或鉛膜以上述方法予以氧化而形成。

<實施形態6>

具有二氧化矽換算膜厚不滿5nm之膜厚，以氧化矽為主要成分之閘絕緣膜9A，亦可由以下方法形成。

首先如圖32所示，以與前述實施形態1相同之方法，在基板1上形成p型井7及n型井8，接著將該等表面洗淨除去不要之絕緣膜後，在該等上部以濺鍍法或CVD法形成膜厚50nm程度之W膜11A(或Mo膜)。

五、發明說明 (53)

次之，將形成有W膜11A之上述基板1進行熱處理。此熱處理，係在將水分/氫分壓比設定在前述圖12之曲線(a)與曲線(d)所夾之區域之範圍內之水分+氫混合氣體環境，即在將水分濃度設定為不氧化W而僅選擇性的將Si氧化之水分+氫混合氣體環境中進行。此水分+氫混合氣體以使用可高精密度的控制其水分濃度之前述觸媒方式之水分+氫混合氣體生成裝置為佳。

依上述熱處理之進行，來自水分+氫混合氣體中之水分之氧化種(OH基)通過W膜11A侵入基板1，將其表面氧化。於是，如圖33所示，在W膜11A與基板1之界面上形成由極薄的氧化矽膜所構成之閘絕緣膜9A。依此方法，可形成以膜厚1nm以下之極薄的氧化矽膜所構成之閘絕緣膜。

又，將基板1表面予以氧化時之熱處理溫度若超過550°C~600°C，則W膜11A與基板1反應，於該等之界面生成矽化物(silicide)之故，有必要在不會生成矽化反應之低溫區域進行熱處理。同樣的，在閘電極用之金屬膜為Mo之情況，若熱處理溫度超過500°C則會發生矽化反應之故，有必要在其以下之溫度區域進行熱處理。

用以在W膜11A與基板1之界面上形成氧化矽所成之閘絕緣膜9B之熱處理，亦可在形成閘電極後進行。此情況下，首先如圖34所示，在基板1(p型井7及n型井8)上部，以濺鍍法或CVD法形成膜厚50nm程度之W膜11A後，以光阻膜(未圖示)為掩膜，將W膜11A予以進行乾式蝕刻，

五、發明說明 (54)

藉此形成閘電極11。閘電極11亦可由將Mo膜進行乾式蝕刻而形成。

次之，將已形成有閘電極11之上述基板1進行熱處理。此熱處理係在將水分/氫分壓比設定在前述圖12之曲線(a)與曲線(d)所夾之區域之範圍內之水分+氫混合氣體環境，即在將水分濃度設定為W不予以氧化而將Si選擇性的予以氧化之濃度之水分+氫混合氣體環境中，進行。

依上述熱處理之進行，基板1表面被氧化，如圖35所示，形成由氧化矽所成之閘絕緣膜9A'。此時，通過構成閘電極11之W膜(11A)，對閘電極11正下方之基板1亦供給氧化種(OH基)之故，此區域之基板1亦被氧化。且，閘電極11正下方之基板1與其他區域之基板1相比，氧化量較少之故，在W膜11A與基板1之界面上形成由極薄的氧化矽膜所構成之閘絕緣膜9A。依此方法，可形成由膜厚1nm以下之極薄的氧化矽膜所構成之閘絕緣膜。

又，此情況亦有必要在構成閘電極11之W膜(11A)與基板1之界面不會生成矽化物(silicide)之溫度區域進行熱處理。

<實施形態7>

本實施形態係使用於以金屬鑲嵌(Damascene)法形成閘電極之MISFET之製造者。

首先，如圖36所示，在以與前述實施形態1相同之方法，在基板1形成p型井7及n型井8後，各在p型井7及n型井8表面上所殘留之氧化矽膜2上部，以CVD法堆積膜厚

五、發明說明 (55)

50nm程度之多晶矽膜41A。

次之，如圖37所示，在以光阻膜(未圖示)作為掩膜之乾式蝕刻將多晶矽膜41A予以圖案化形成閘電極41後，以與前述實施形態1相同之方法，在閘電極11之側壁上形成側壁間隔18，又各在p型井7形成n+型半導體區域20(源、汲)、及在n型井8形成p+型半導體區域21(源、汲)。又，構成上述閘電極41之材料不為多晶矽亦可，例如可由氮化矽等構成。

次之，如圖38所示，在基板1上以CVD法堆積氧化矽膜42後，以化學機械研磨法將氧化矽膜42予以平坦化，藉以使其表面之高度與閘電極11之高度吻合。

次之，如圖39所示，以將氧化矽膜42作為掩膜之乾式蝕刻將閘電極11予以除去，使閘電極11下部之基板1(p型井7、n型井8)表面露出。

次之，如圖40所示，在因除去閘電極11而露出之基板1(p型井7、n型井8)表面，形成膜厚1nm以下之極薄的氧化矽膜43。此氧化矽膜43係依在將水分/氫分壓比設定為可氧化Si之水分+氫混合氣體環境中，將基板1進行熱處理而形成。此時之水分濃度係為例如1%~30%程度，熱處理溫度係為例如700°C~800°C程度。

次之，如圖41所示，於上述氧化矽膜42、43之上部，以濺鍍法堆積二氧化矽換算膜厚在1nm以下之極薄的氧化鈦膜44。此時堆積之絕緣膜可為氧化鋯、氧化鈣、氧化鈹膜等，只要係前述高介電率的閘絕緣膜用金屬氧化物，則

五、發明說明 (56)

為任一者皆可。

次之，如圖42所示，將氧化矽膜42上部之氧化鈦膜44以化學機械研磨法予以除去。藉此，以下步驟在已形成有閘電極之區域之基板1(p型井7、n型井8)表面，形成由氧化矽膜43及其上部之氧化鈦膜44之複合膜所成之閘絕緣膜9E。此時，閘絕緣膜9E之一部分(氧化鈦膜44)亦形成於側壁間隔48之側壁。

次之，進行用以修復構成上述閘絕緣膜9E之氧化矽膜43及氧化鈦膜44之缺陷之熱處理。此熱處理係藉由在將水分/氫分壓比設定為可將Si及Ti予以氧化之水分+氫混合氣體環境中，將基板1予以熱處理而進行。此時之水分濃度係例如1%~30%程度，熱處理溫度係例如600℃~800℃程度。

次之，如圖43所示，在於氧化矽膜42及閘絕緣膜9E上部，以濺鍍法或CVD法形成W膜後，藉由將氧化矽膜42上部之W膜以化學機械研磨法除去，形成閘電極11。閘電極11亦可由Mo、Cu、Al等構成。依至此為止之步驟於p型井7上形成n通道MISFET Q_n ，在n型井8上形成p通道型MISFET Q_p 。

在依上述金屬鑲嵌法形成閘電極11之情況，閘絕緣膜9E之一部分亦形成於閘電極11上之故，可提升閘電極11之側壁下部之閘絕緣膜9E的耐壓。

以上雖係依其實施形態具體說明了本發明者所創作之發明，但本發明並非拘限於前述實施形態者，不庸置言在不

五、發明說明 (57)

脫其要旨之範圍內，可有各種變更。

茲將本案中所揭示之發明中，依具代表性者所獲得之效果簡單說明如下。

依本發明，可將在極薄閘絕緣膜上，形成金屬閘電極之MISFET的可靠度及製造良品率提升。

依本發明，可將在包含介電率比氧化矽膜之金屬氧化物之閘絕緣膜上，形成金屬閘電極之MISFET的可靠性及製造良品率提升。

依本發明，可良品率更佳的形成具有不滿5nm之二氧化矽換算膜厚之高品質的閘絕緣膜之故，可使CMOS-LSI之高積體化向前邁進。

元件符號說明

1 單晶矽基板	13 氮化矽膜
2 氮化矽膜	14 光阻膜
3 氮化矽膜	17 p-型半導體區域
4 元件分離溝	18 側壁間隔
5 氧化矽膜	20 n-型半導體區域
6 氮化矽膜	21 p+型半導體區域
7 p型井	22 氧化矽膜
8 n型井	23 導通孔
9A,9B,9C,9D,9E 閘絕緣膜	24 導通孔
11 閘電極	25~30 配線
11A W膜	31 Ti膜
12 導電性障壁膜	41 閘電極

五、發明說明 (58)

- | | |
|-------------|----------------------------|
| 42 氧化矽膜 | 128 隔壁 |
| 43 氧化矽膜 | 140 水分+氧混合氣體生成裝置 |
| 44 氧化鈦膜 | 141 反應器 |
| 100 成膜裝置 | 142 線圈 |
| 101 洗淨裝置 | 143 加熱器 |
| 102 載具 | 144a,144b,144c 氣體貯留槽 |
| 103 洗淨室 | 145 配管 |
| 104 氟酸洗淨室 | 146a,146b,146c 質量流控制器 |
| 105 乾燥室 | 147a,147b,147c 開關閥 |
| 106 緩衝區 | 208 氣體導入管 |
| 107 氧化膜形成室 | 209 熱處理室 |
| 108 氧氮化膜形成室 | 211 排氣管 |
| 109 熱處理室 | 240 水分+氧混合氣體生成裝置 |
| 110 載入/卸下器具 | 241 反應器 |
| 111 金屬膜形成室 | 241a,241b 反應器 |
| 112 搬送系 | 242 線圈 |
| 113 機械人手臂 | 243 加熱器 |
| 120 室 | 244a,244b,244c 氣體貯留槽 |
| 122 均熱環 | 245 配管 |
| 123 加熱台 | 246a,246b,246c,246d 質量流控制器 |
| 124 支持臂 | 247a,247b,247c,247d 開關閥 |
| 125 熱電對 | 250 氫除害裝置 |
| 126 氣體導入管 | 251 配管 |
| 127 貫通孔 | 252 逆止閥 |

五、發明說明 (59)

253 排氣管

255 冷卻器

254 氫氣感測器

裝

訂

線

四、中文發明摘要(發明之名稱:半導體積體電路裝置之製造方法及半)
導體積體電路裝置

本發明之課題在:於二氧化矽換算膜厚不滿5 nm之極薄的閘絕緣膜上形成有金屬閘電極之MISFET中,不使金屬閘電極氧化而修復閘絕緣膜之缺陷。

本發明之解決方法係:在於單晶矽基板1主面上所形成之二氧化矽換算膜厚不滿5 nm之閘絕緣膜9A上,形成閘電極材料之W膜11A後,在將水分/氫分壓比設定為將W膜11A實質上不予以氧化而將矽予以氧化之比例之水分+氫混合氣體環境中,將矽基板1予以進行熱處理,藉以修復W膜11A正下方之閘絕緣膜9A之缺陷。

英文發明摘要(發明之名稱:半導體集積回路裝置の製造方法および半導体)
集積回路裝置

【課題】 二酸化シリコン換算膜厚が5 nm未満の極薄ゲート絶縁膜上にメタルゲート電極を形成したMISFETにおいて、メタルゲート電極を酸化させることなくゲート絶縁膜の欠陥を修復する。

【解決手段】 単結晶シリコン基板1の主面上に形成した二酸化シリコン換算膜厚が5 nm未満のゲート絶縁膜9A上にゲート電極材料であるW膜11Aを形成した後、水分/水素分圧比がW膜11Aを実質的に酸化せず、シリコンを酸化するような割合に設定された水分+水素混合ガス雰囲気中でシリコン基板1を熱処理することにより、W膜11A直下のゲート絶縁膜9Aの欠陥を修復する。

六、申請專利範圍

1. 一種半導體積體電路裝置之製造方法，其包含以下步驟：
 - (a) 於晶圓之第1主面區域形成源極及汲極區域之步驟；
 - (b) 於上述步驟(a)後，於包含前述源極及汲極區域間之前述第1主面區域之矽之半導體表面區域上，形成應成為MISFET之閘極絕緣膜之第1絕緣膜之步驟；
 - (c) 於含有氫氣及水蒸氣之氣氛中，對前述第1絕緣膜施予熱處理之步驟；
 - (d) 於前述第1絕緣膜上，形成應成為閘極電極之第1導電層之步驟。
2. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述第1導電層係高熔點金屬。
3. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述第1導電層係含有鎢之金屬膜。
4. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述第1導電層係含有銅之金屬膜。
5. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述第1導電層係含有鋁之金屬膜。
6. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述第1導電層係以濺鍍法形成。
7. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述第1導電層係以CVD法形成。
8. 如申請專利範圍第1項之半導體積體電路裝置之製造方

六、申請專利範圍

法，其中前述第1絕緣膜係含有氧化矽膜之膜。

9. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述第1絕緣膜係含有氧化鈦膜之膜。

10. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述第1絕緣膜係含有氧化鉛膜之膜。

11. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述第1絕緣膜係含有氧化鋅膜之膜。

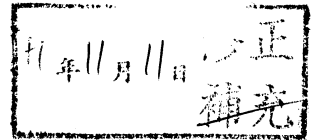
12. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述第1絕緣膜係含有氧化鉭膜之膜。

裝

訂

線

申請日期	89.5.4
案 號	91104331 (由89104529分割)
類 別	H01L21/306 29/8



A4
C4

中文說明書修正本(91年11月) 530352

(以上各欄由本局填註)

煩請委員明示
修正本有無變更實質內容是否准予修正。
91年11月11日所提之

發 明 專 利 說 明 書		
一、發明名稱	中 文	半導體積體電路裝置之製造方法及半導體積體電路裝置
	日 文	半導体集積回路装置の製造方法および半導体集積回路装置
二、發明人	姓 名	1.山本 直樹 2.田邊 義和
	國 籍	1.-2.均日本
	住、居所	1.日本國東京都千代田區丸之内一丁目5番1號新丸大樓 日立製作所股份有限公司知的所有權本部內 2.日本國東京都千代田區丸之内一丁目5番1號新丸大樓 日立製作所股份有限公司知的所有權本部內
三、申請人	姓 名 (名稱)	日商日立製作所股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
	代 表 人 姓 名	庄山 悦彦

O:\77\77002\911107.DOC 1

- 1 -

裝
訂
線

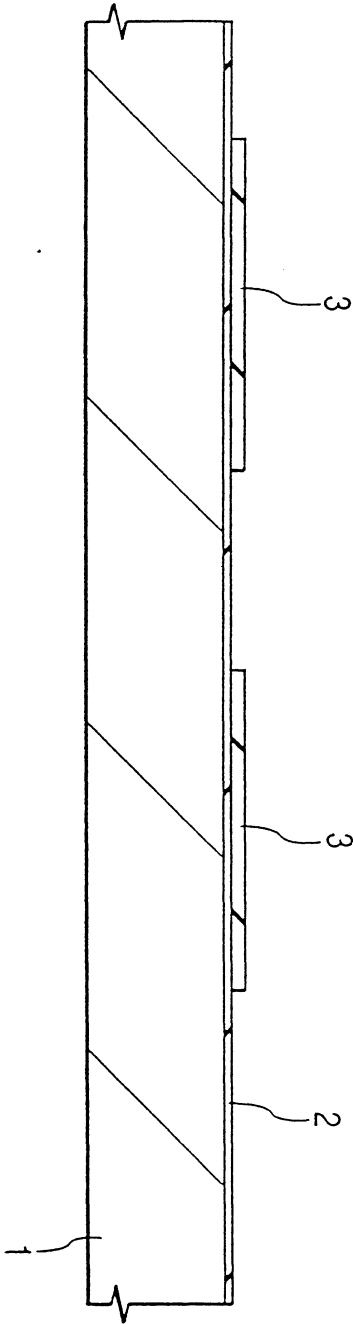


圖 1

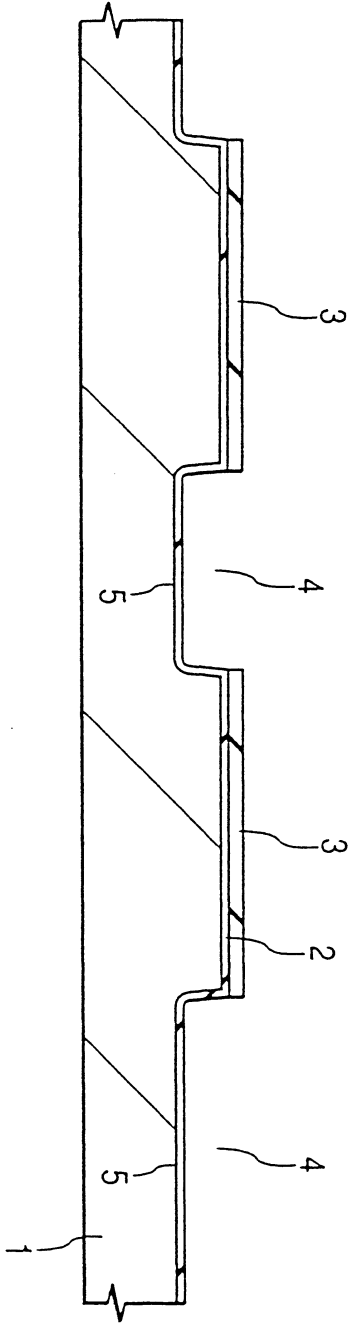


圖 2

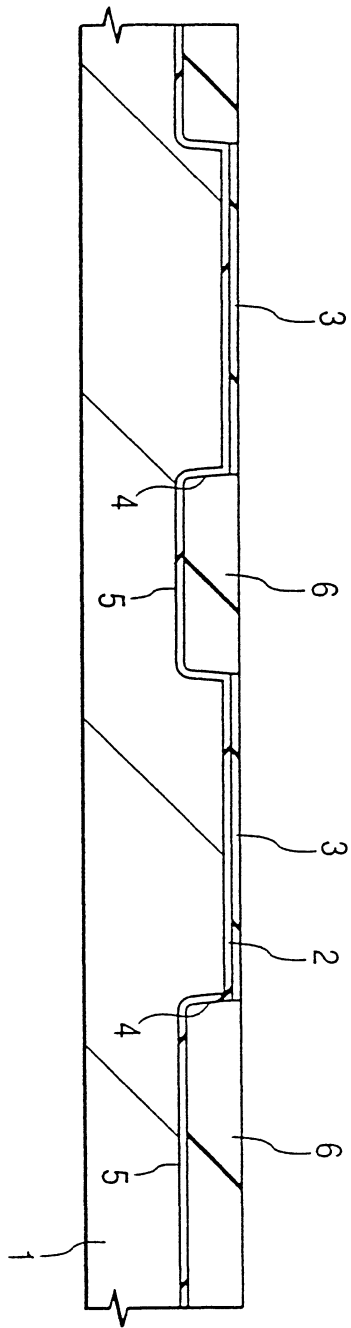


圖 3

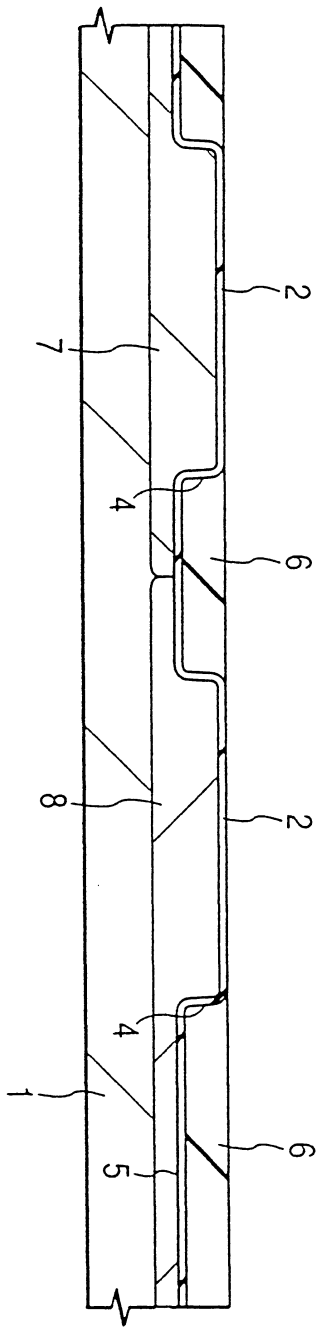


圖 4

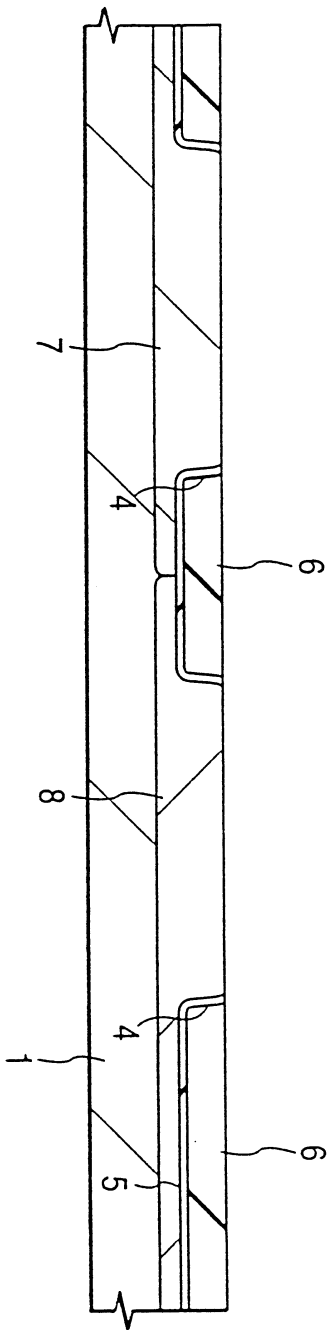


圖 5

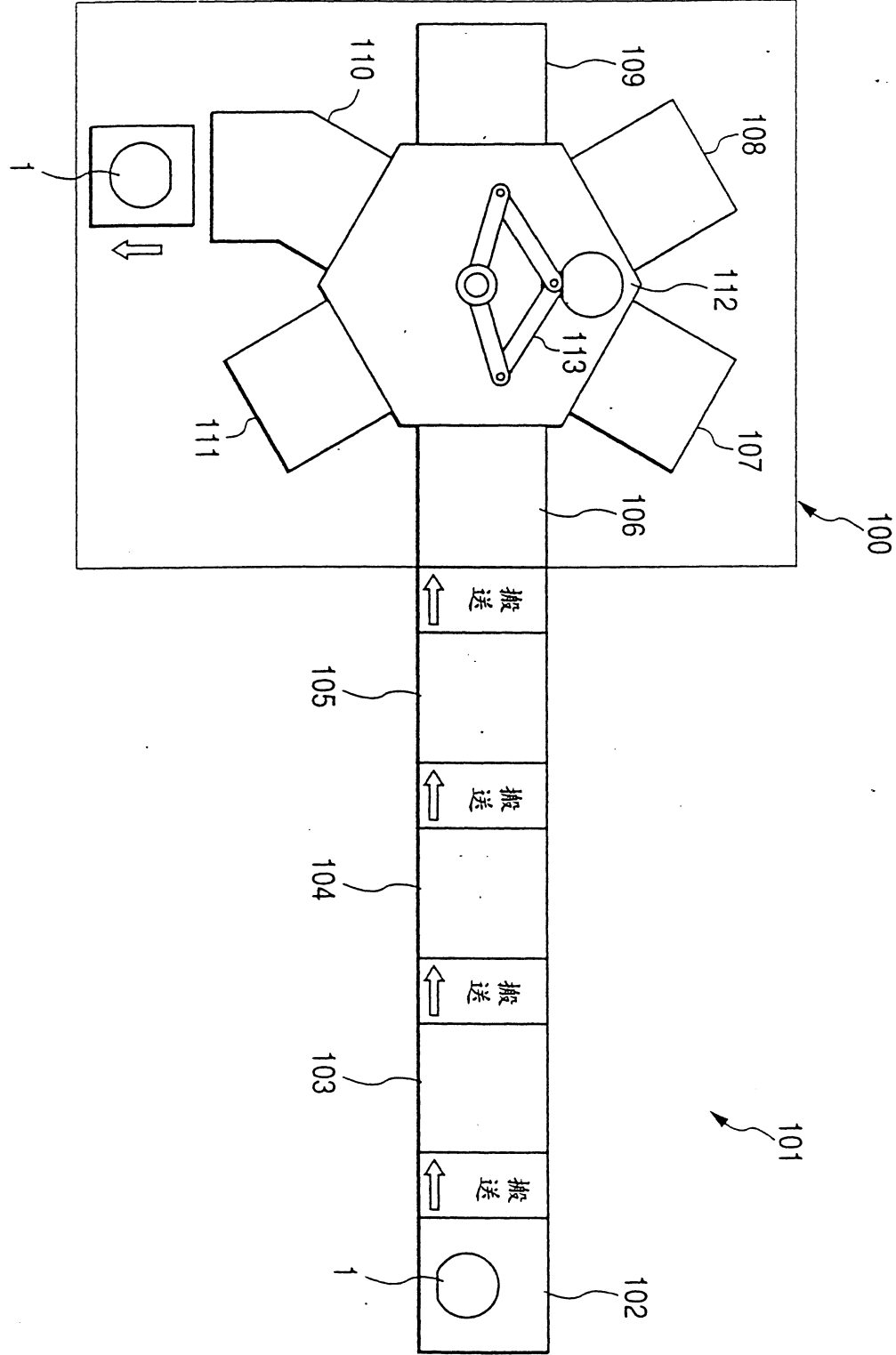


圖 6

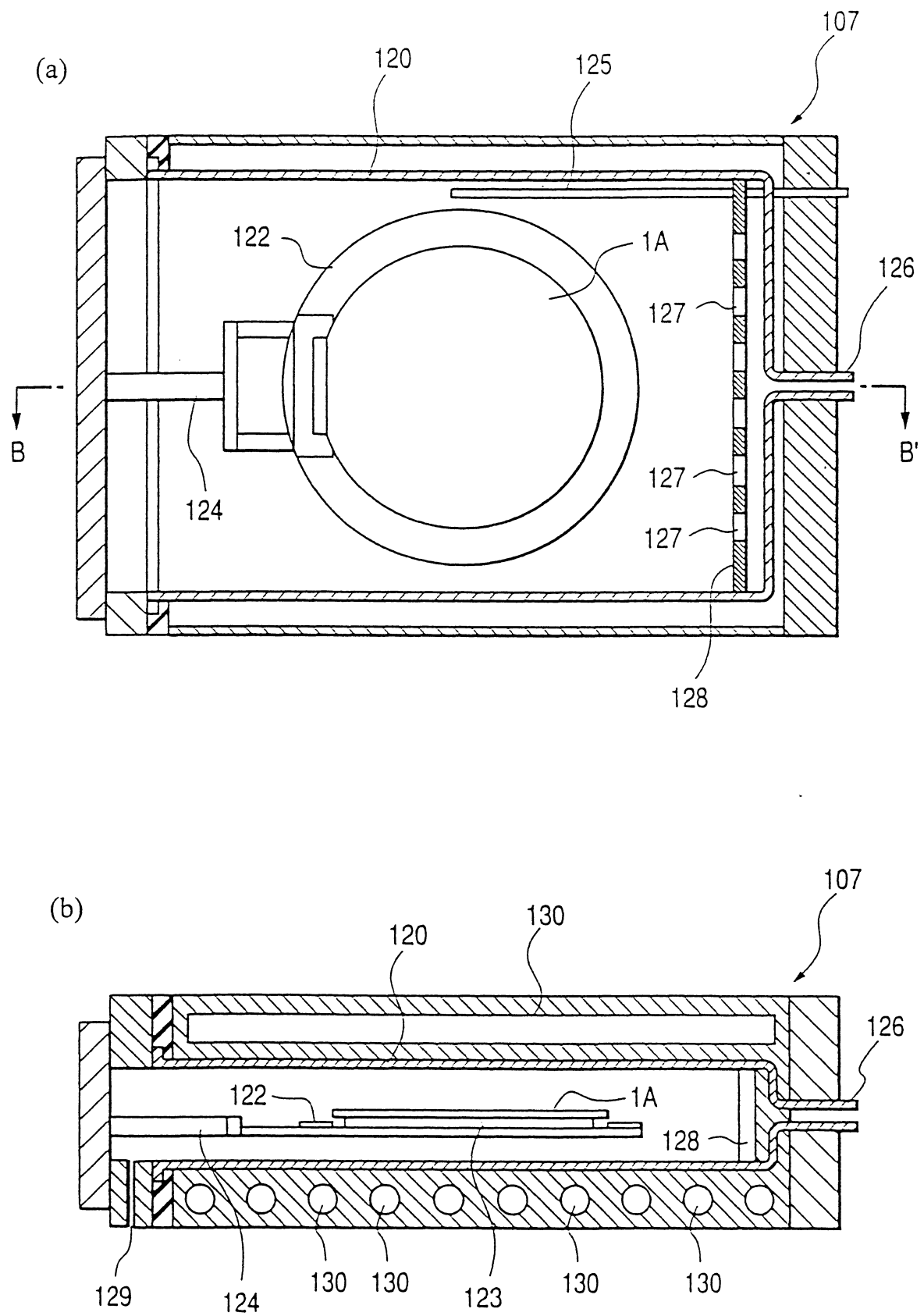
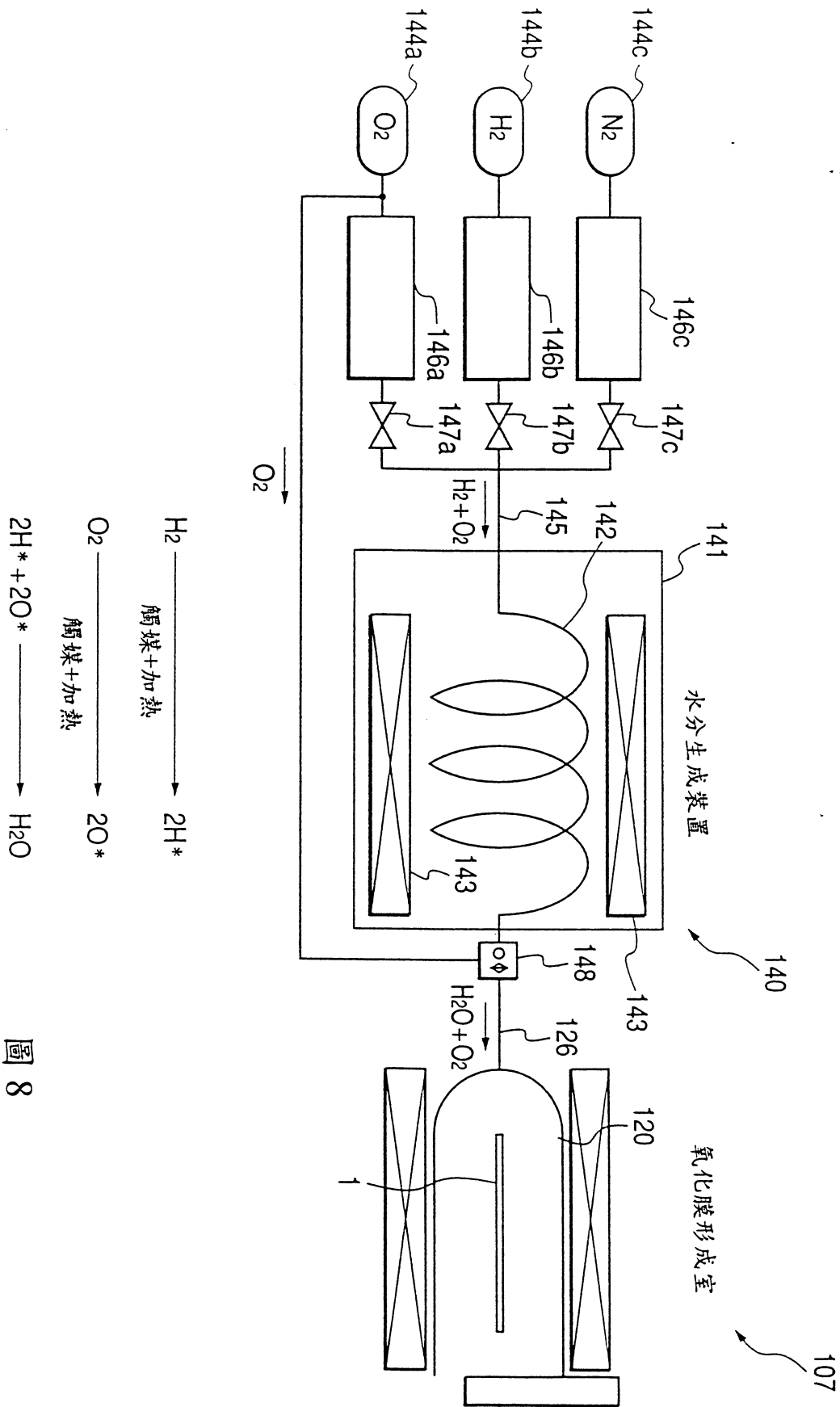


圖 7



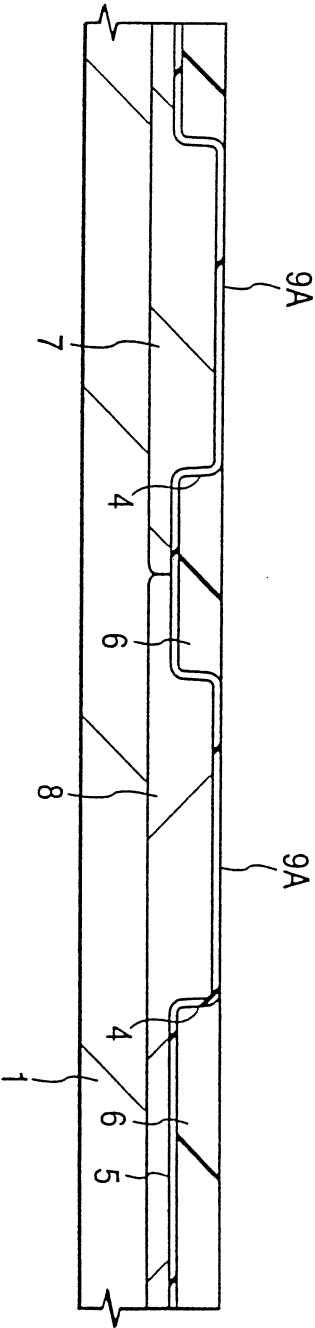


圖 9

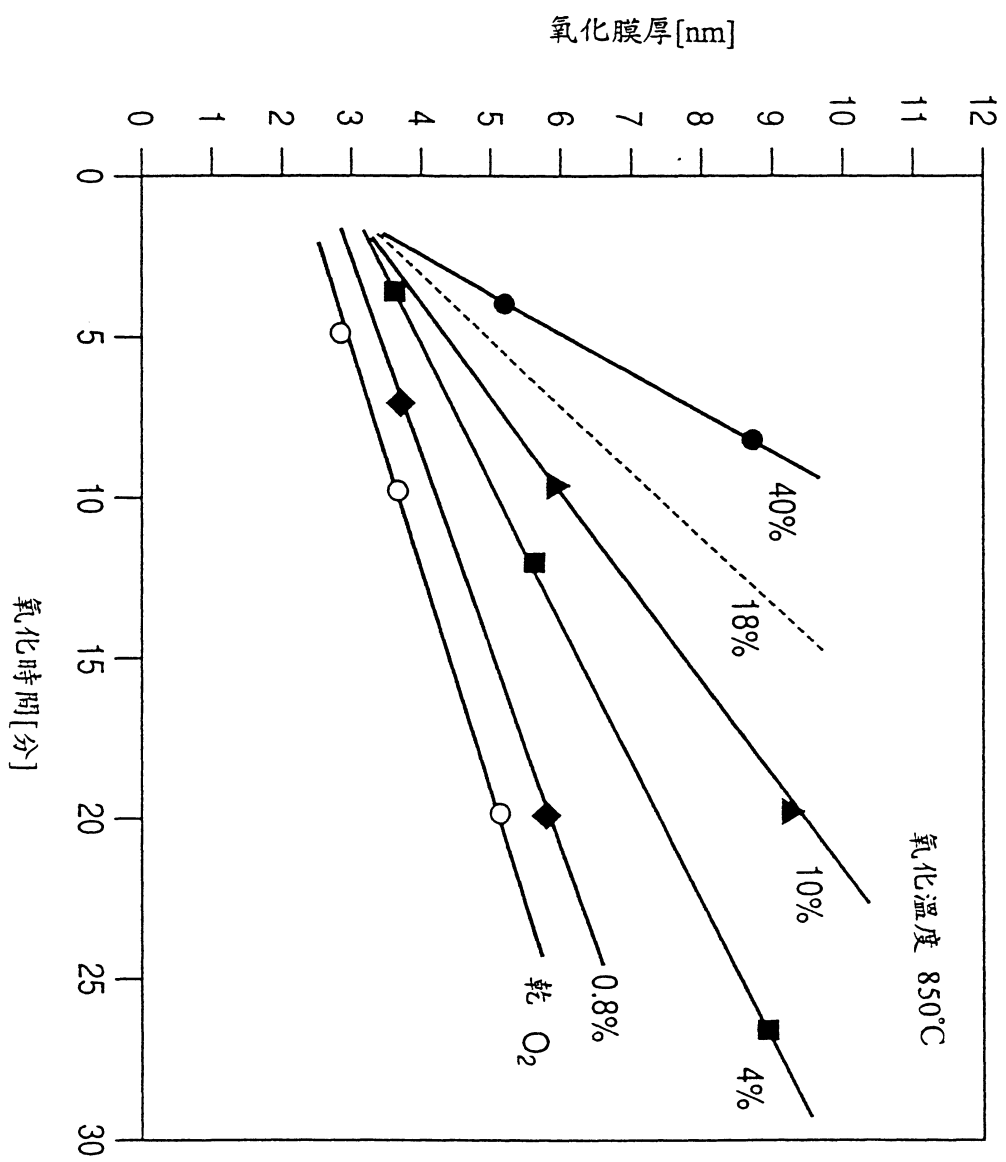


圖 10

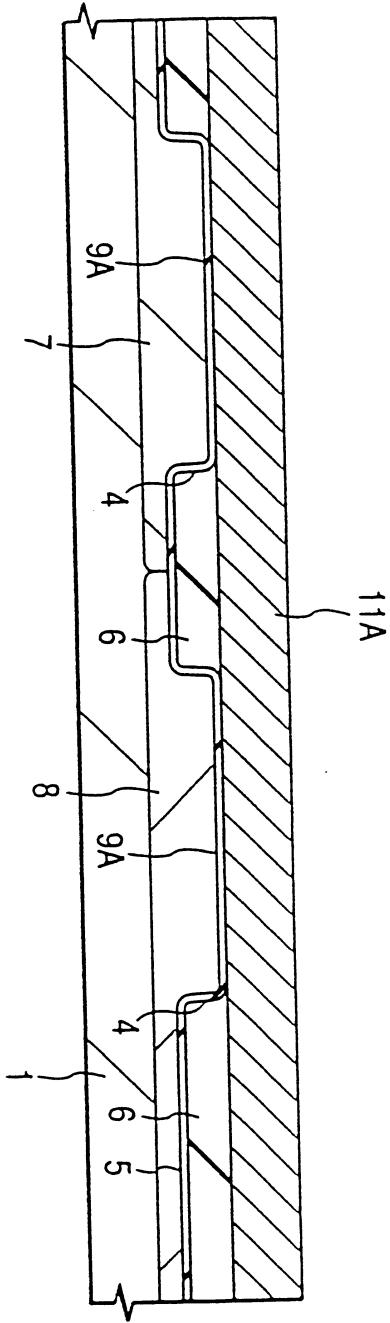


圖 11

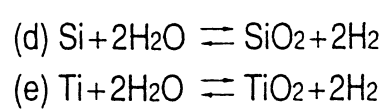
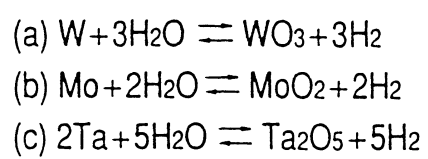
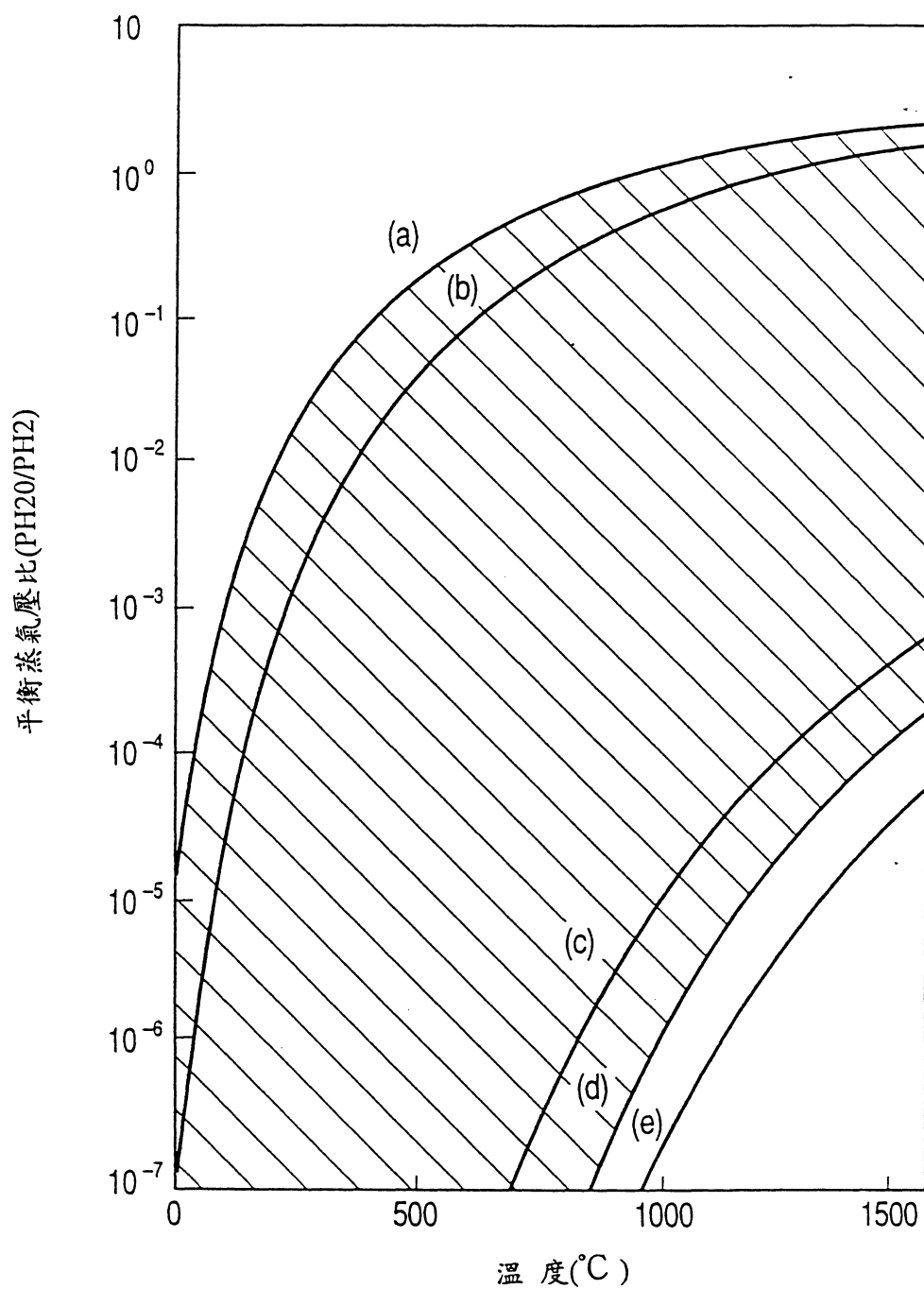


圖 12

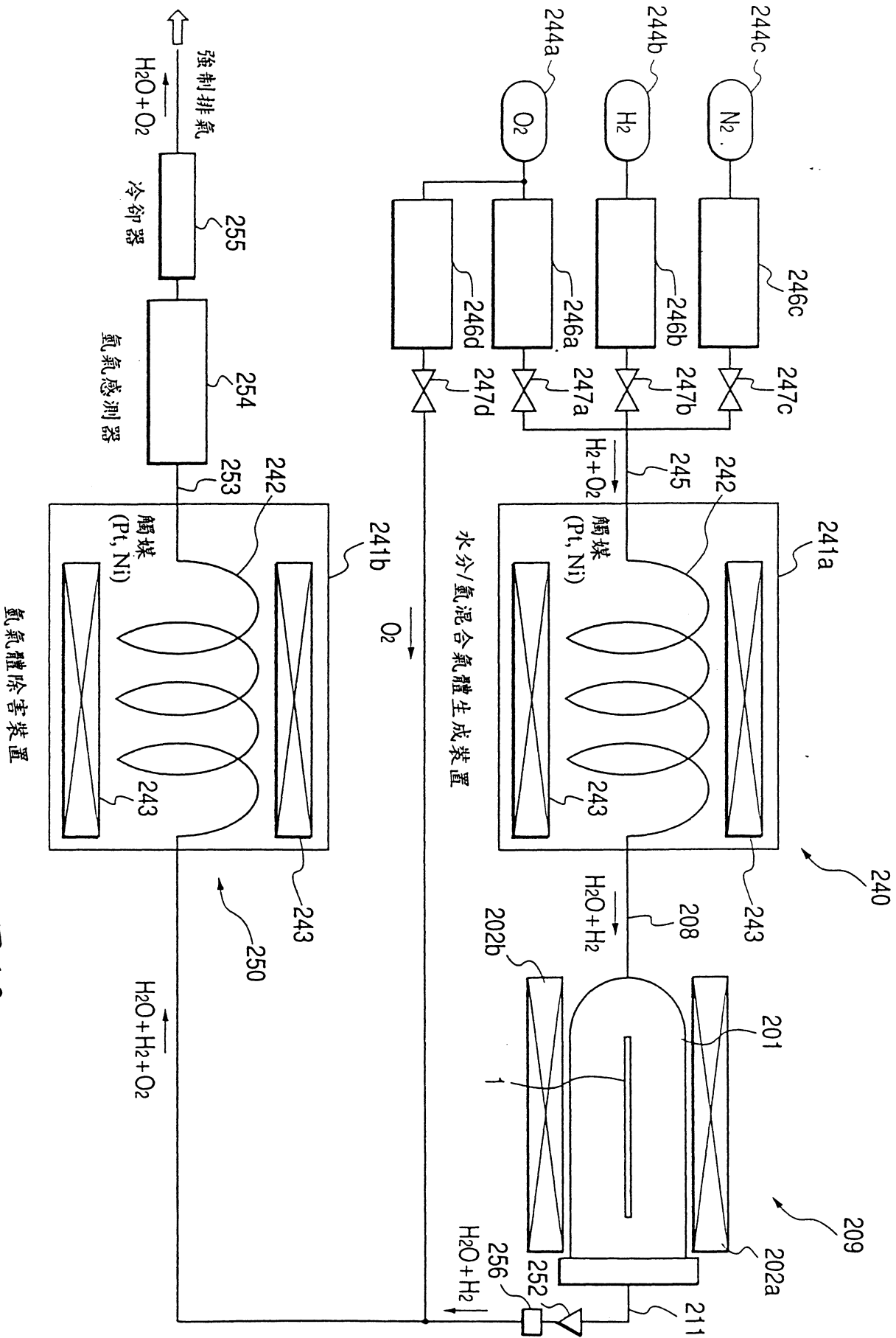


圖 13

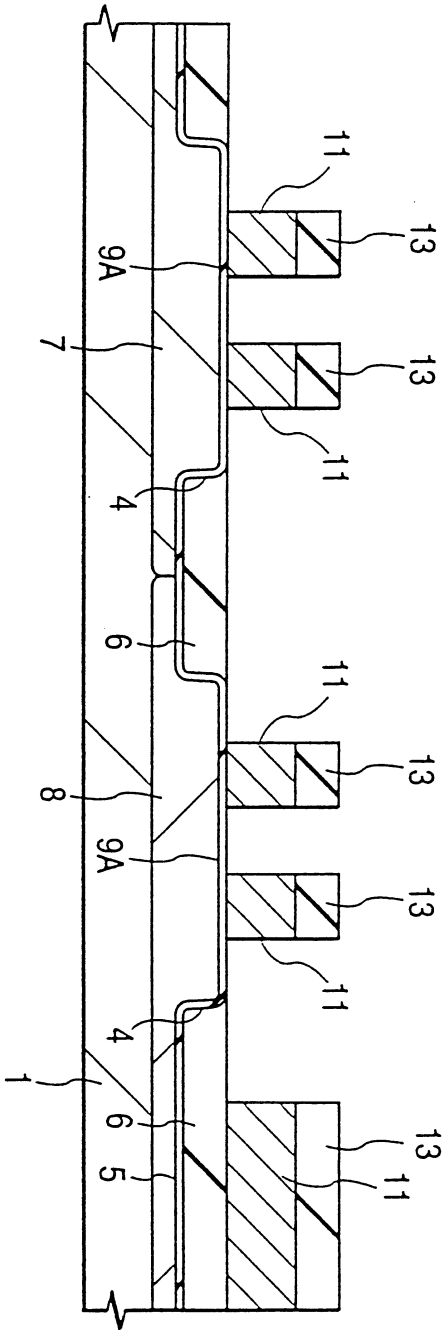


圖 14

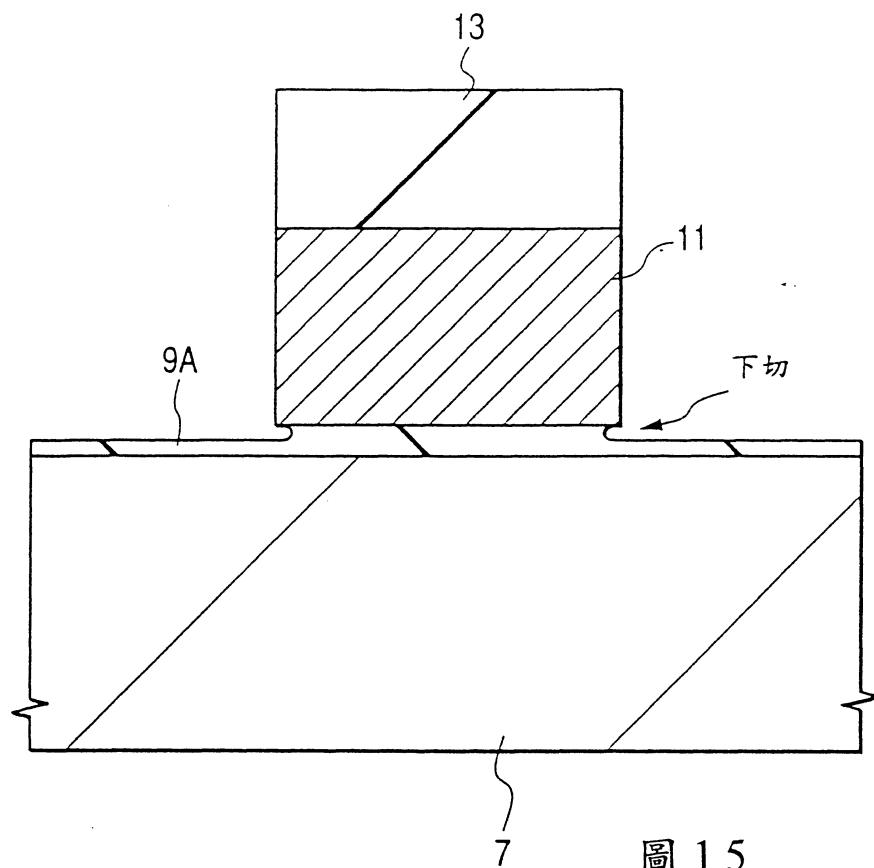


圖 15

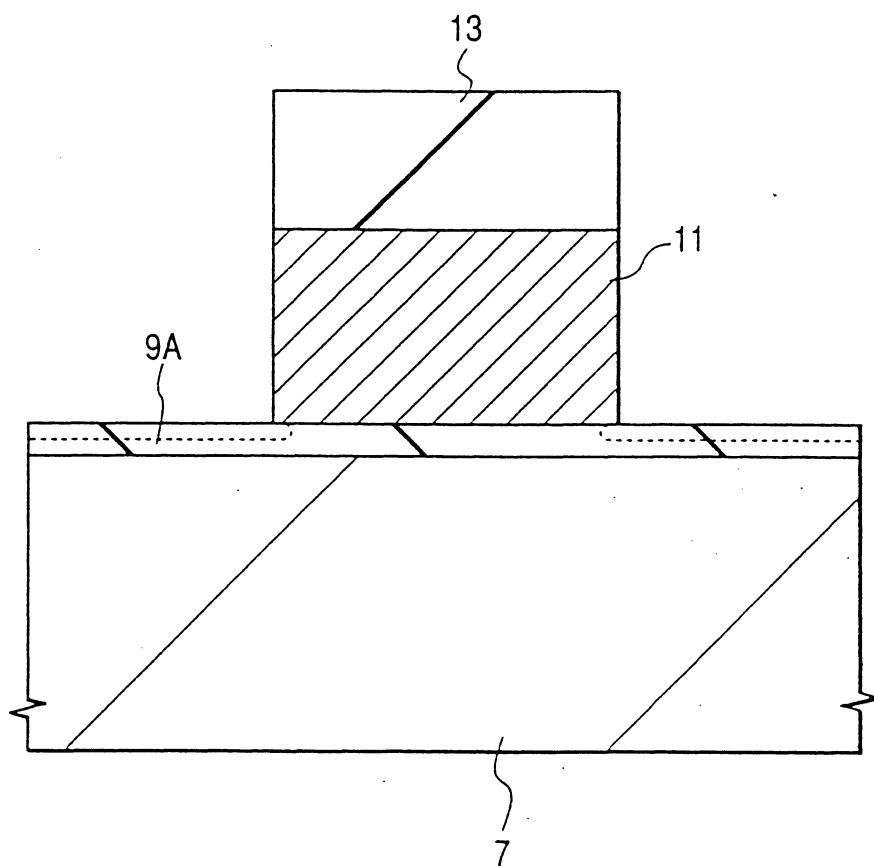


圖 16

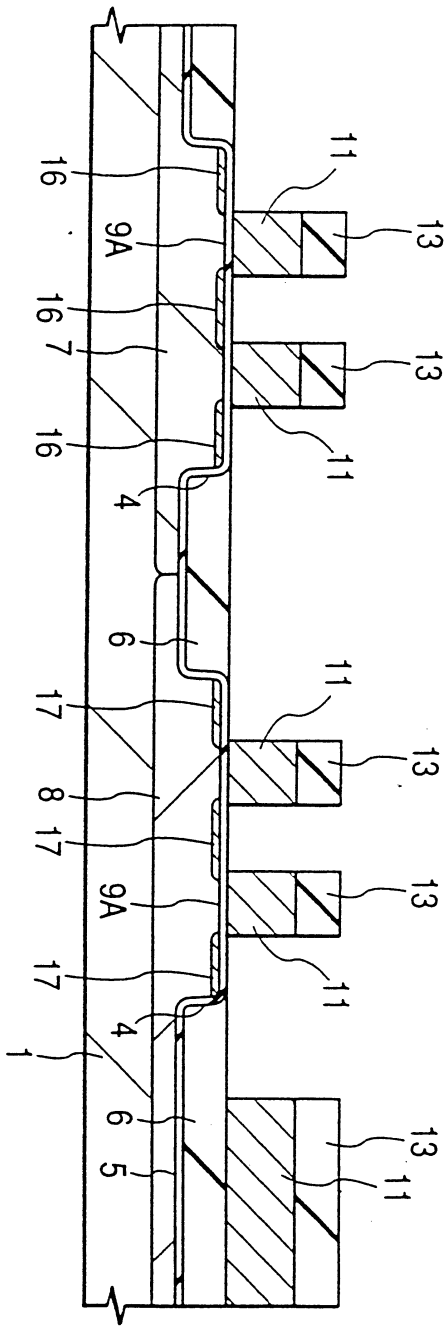


圖 17

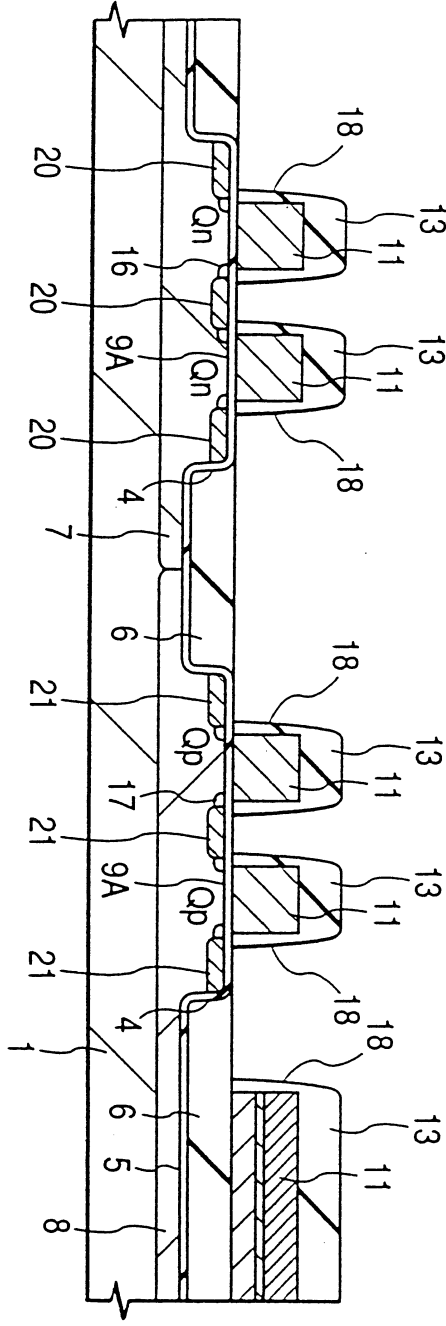
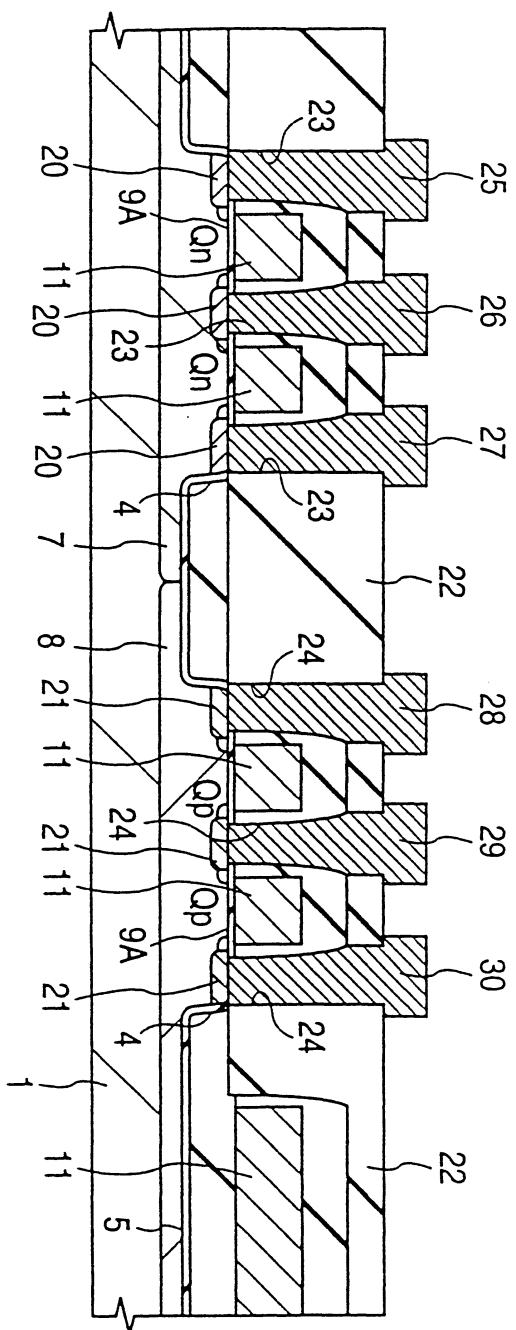
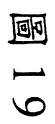


圖 18



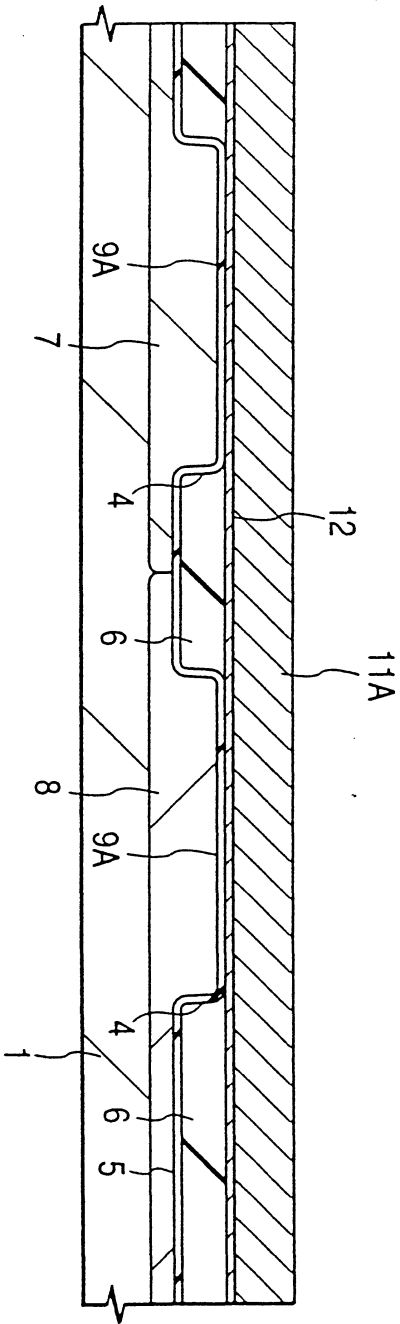


圖 21

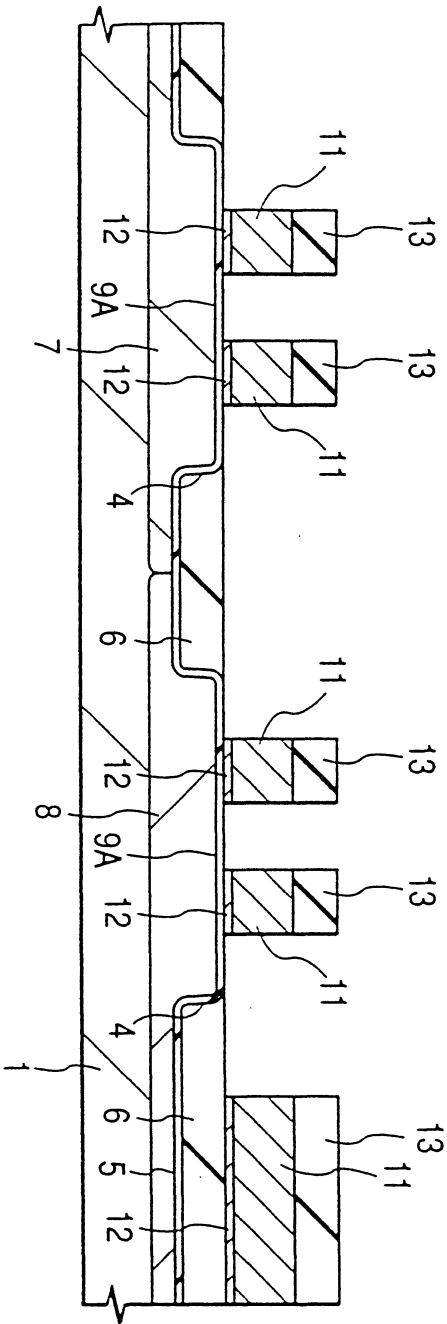


圖 22

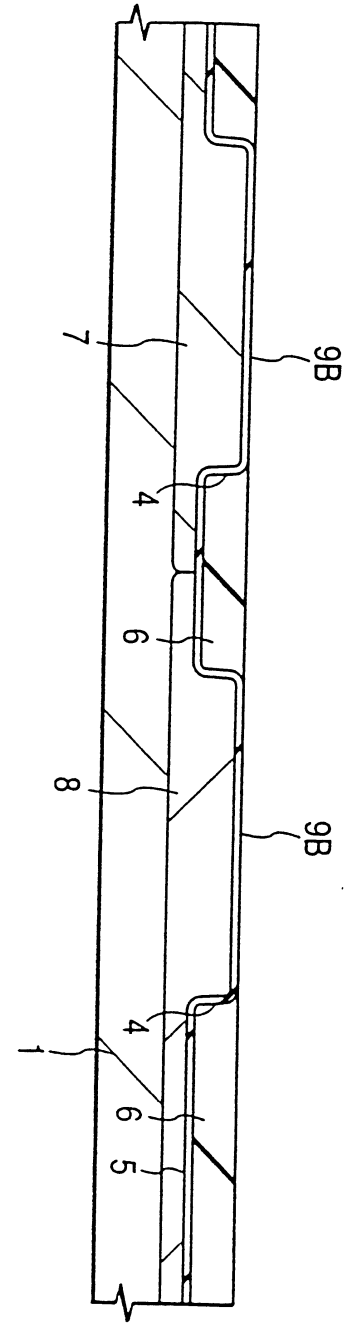


圖 23

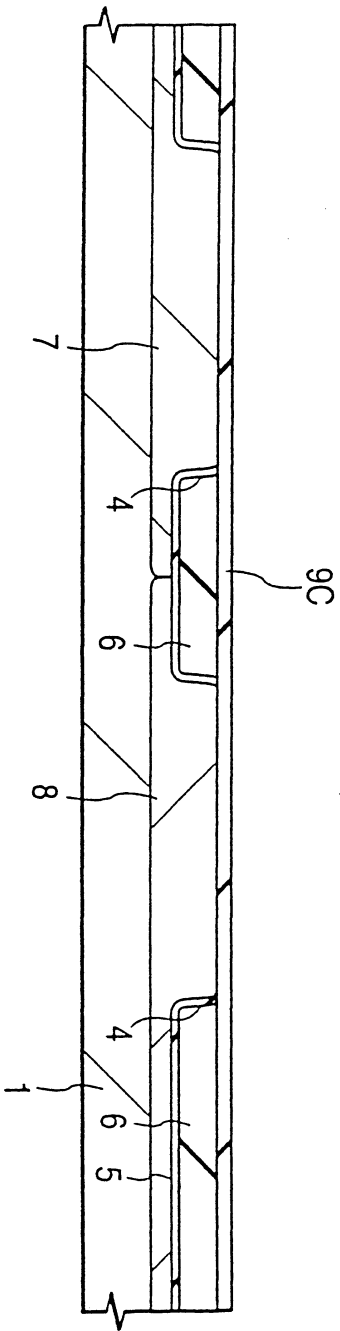


圖 26

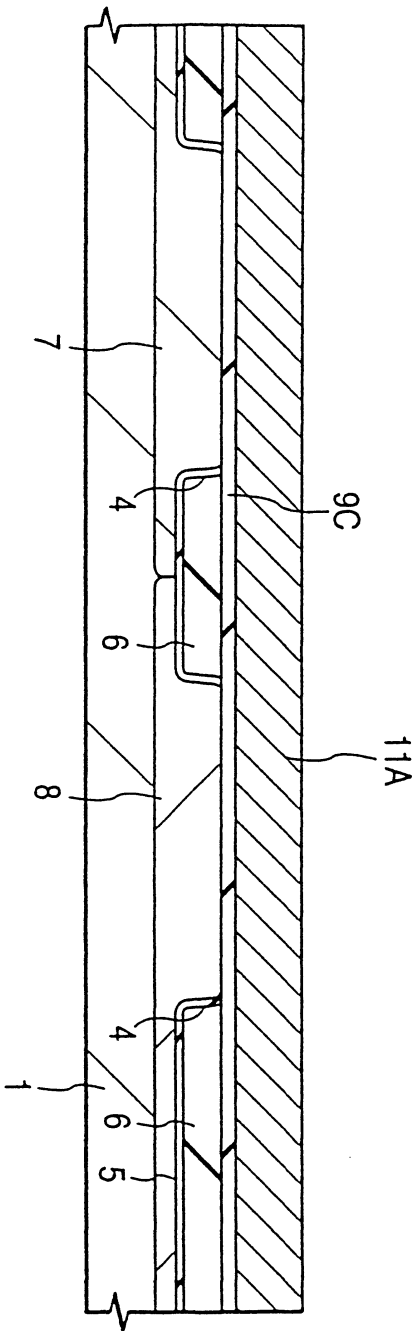


圖 27

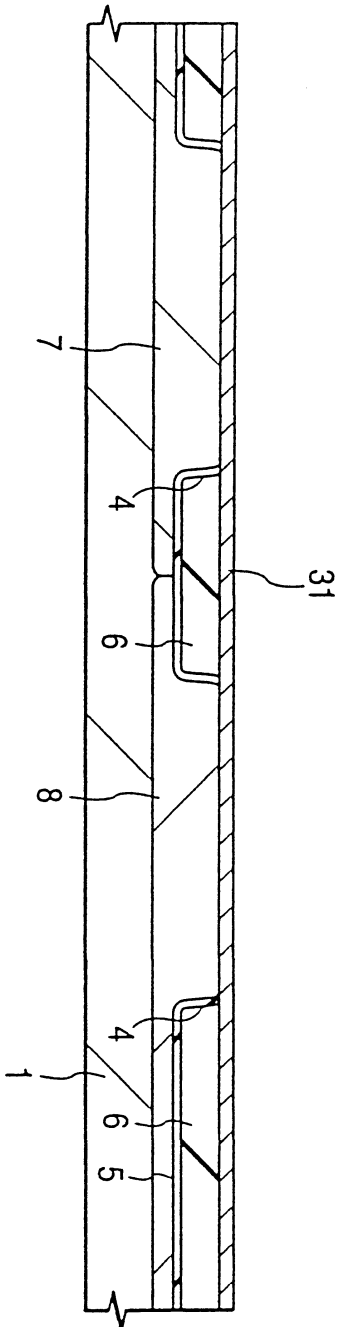


圖 28

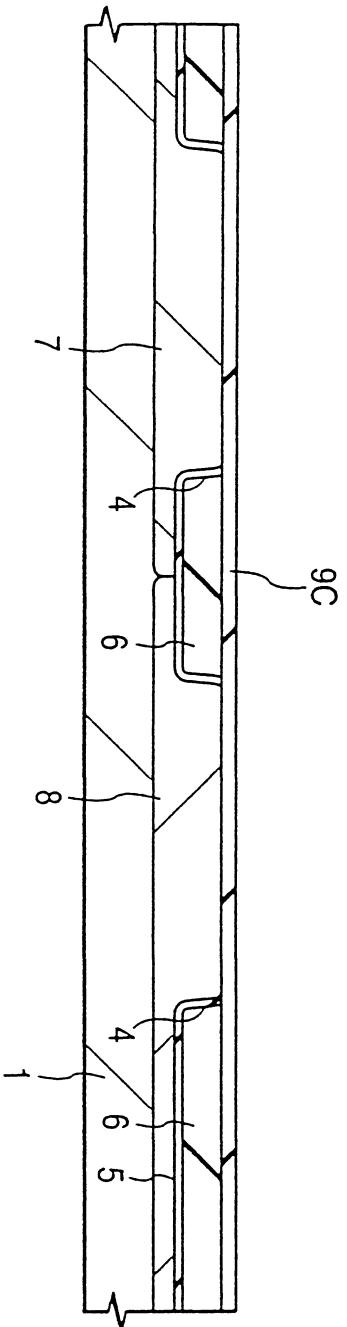


圖 29

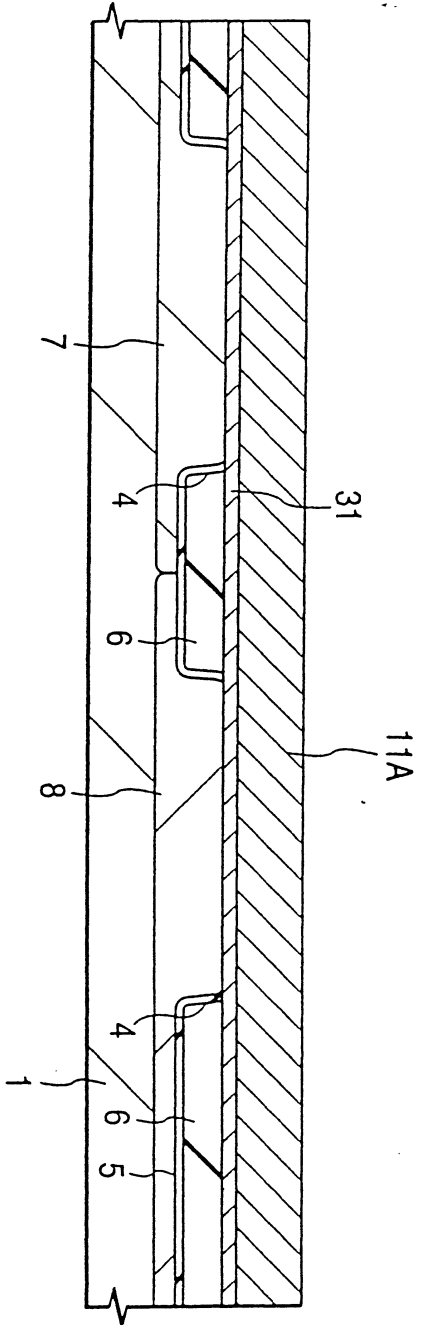


圖 30

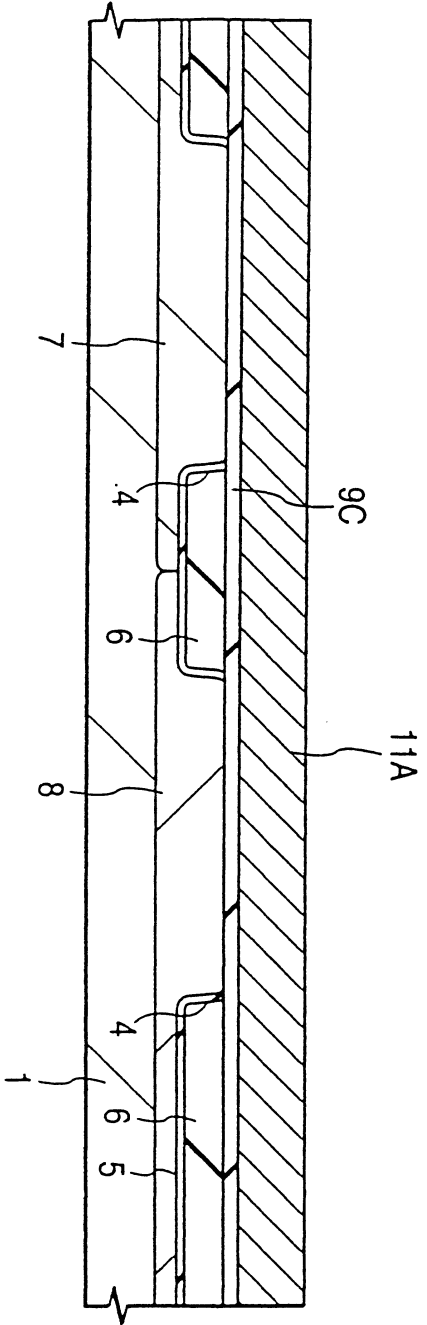


圖 31

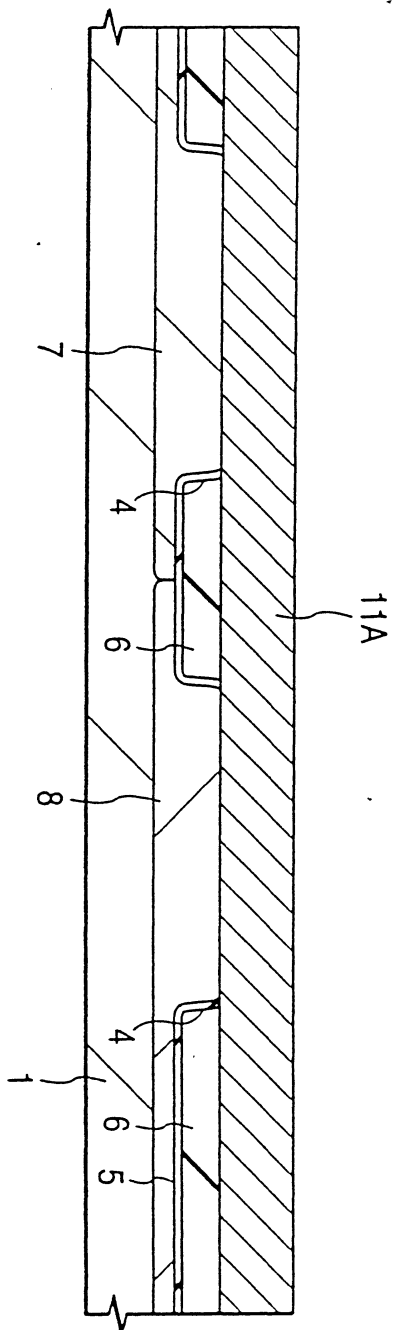


圖 32

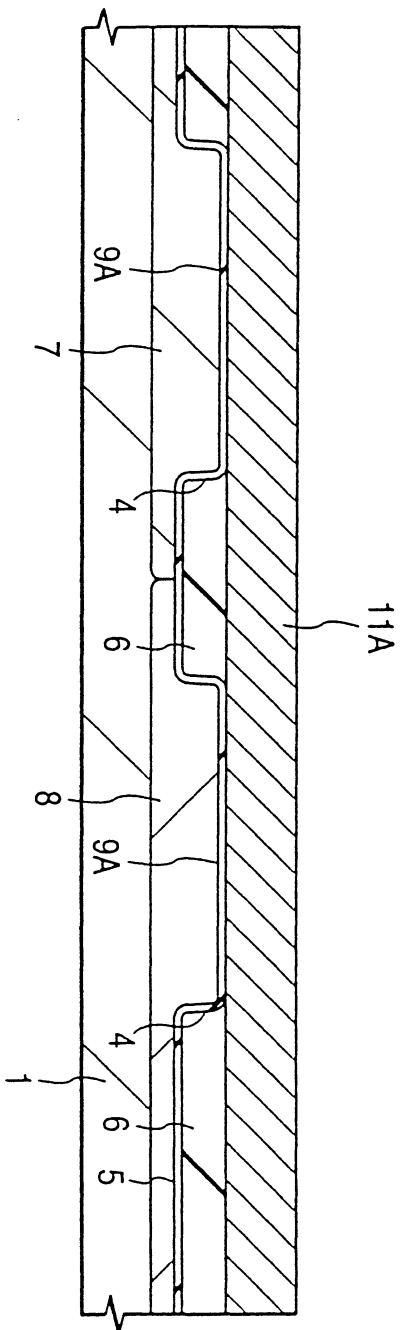


圖 33

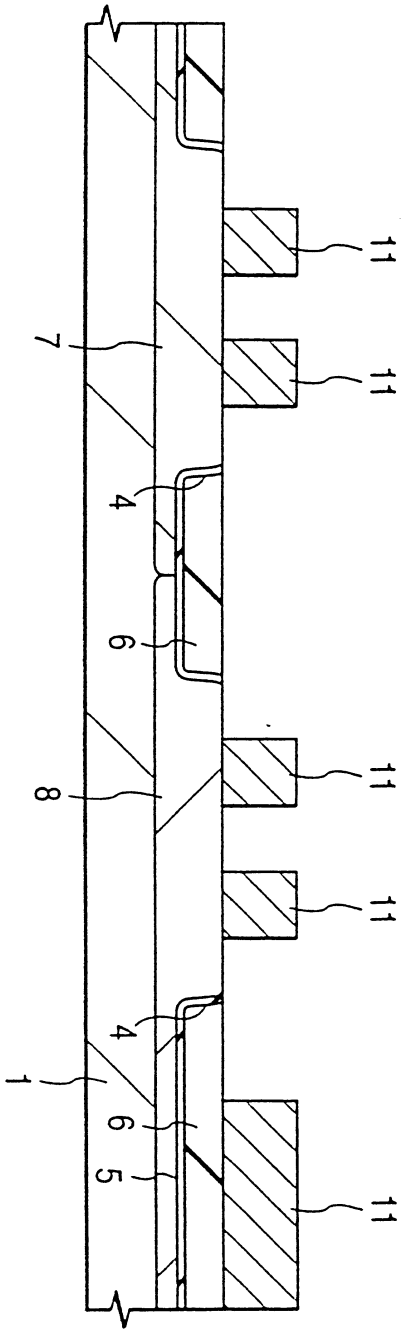


圖 34

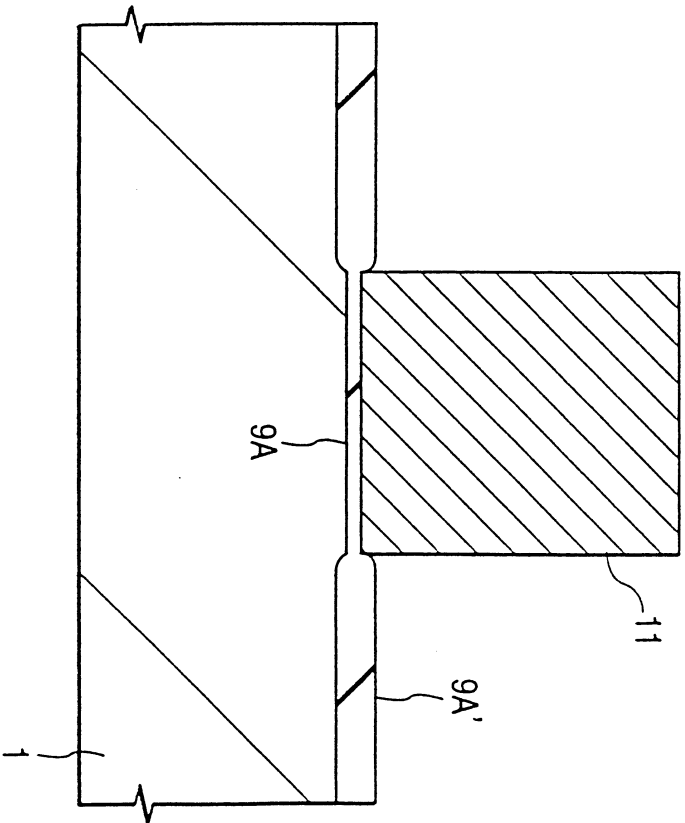


圖 35

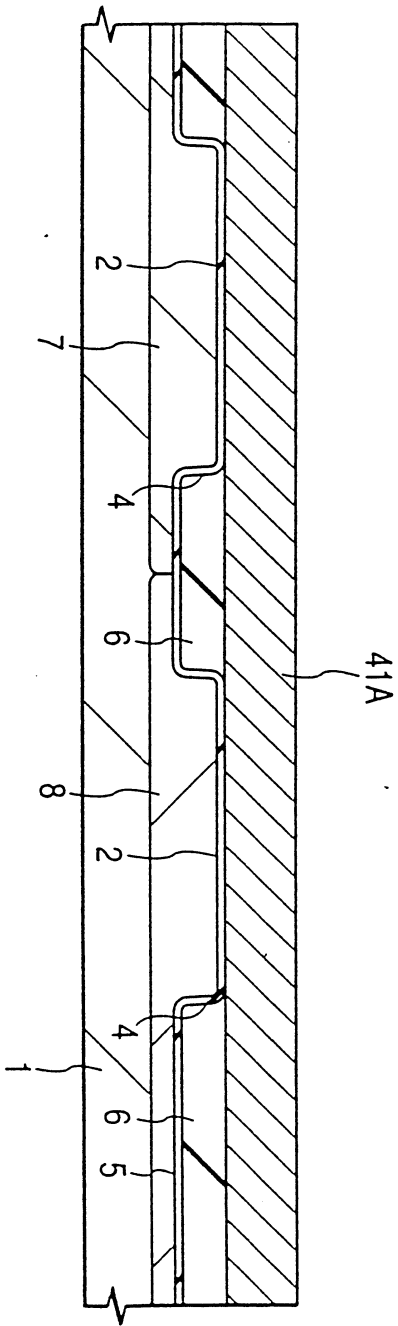


圖 36

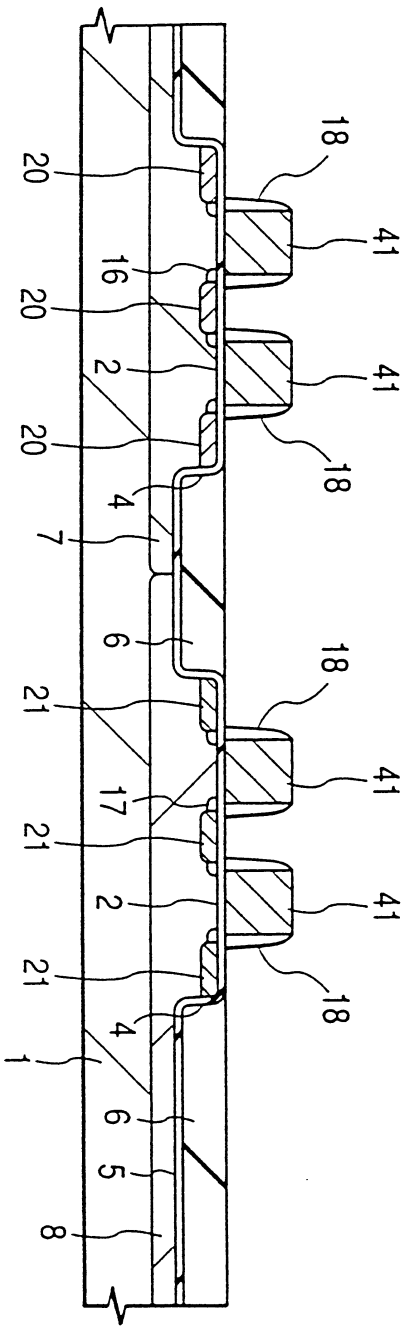


圖 37

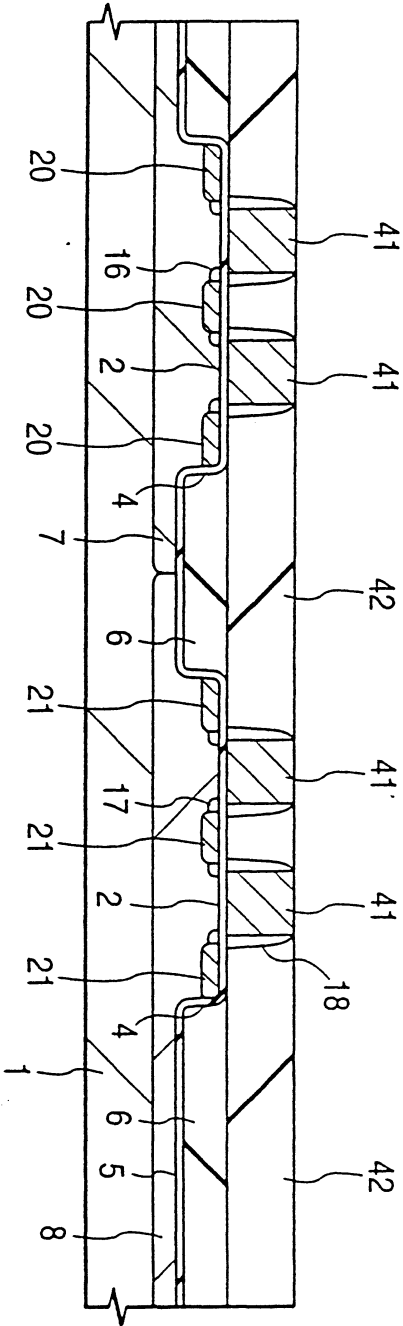


圖 38

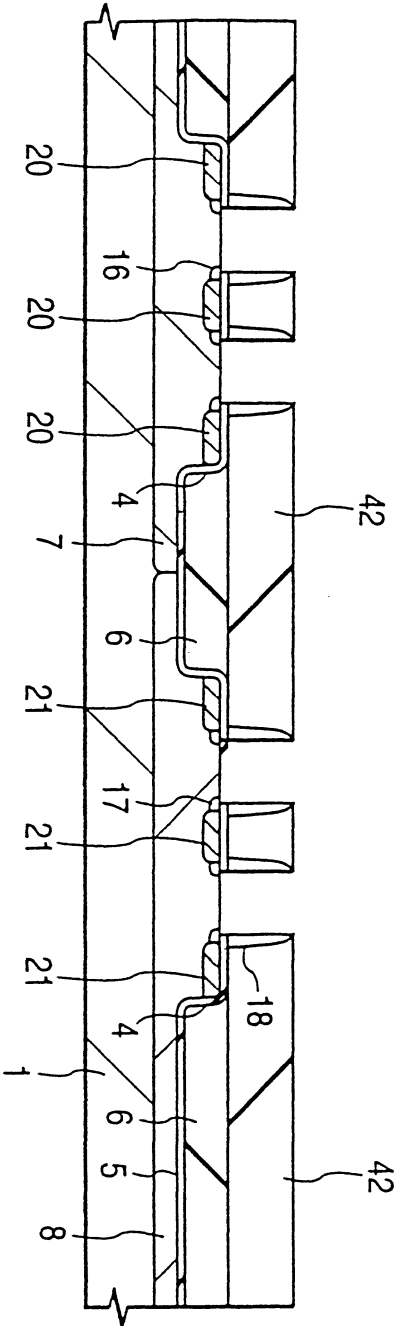


圖 39

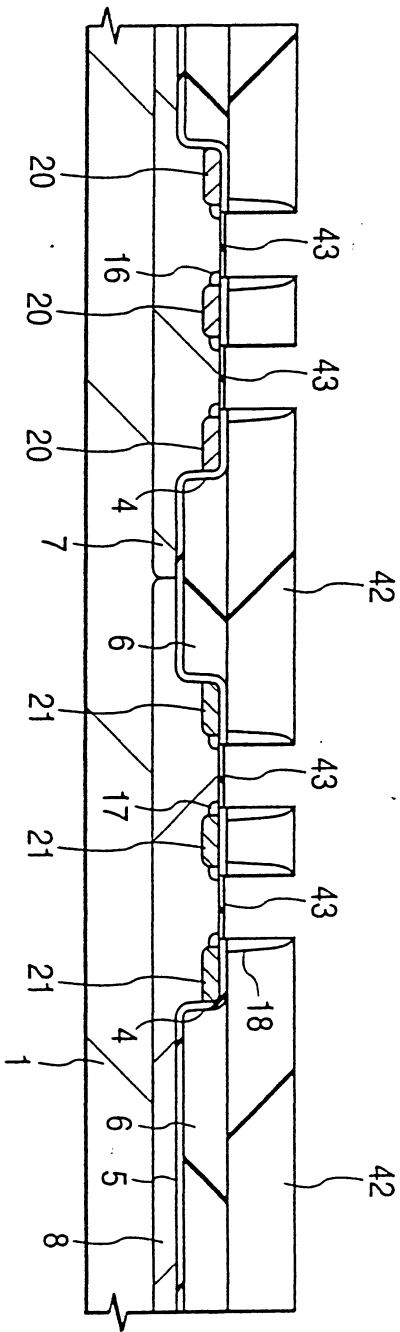


圖 40

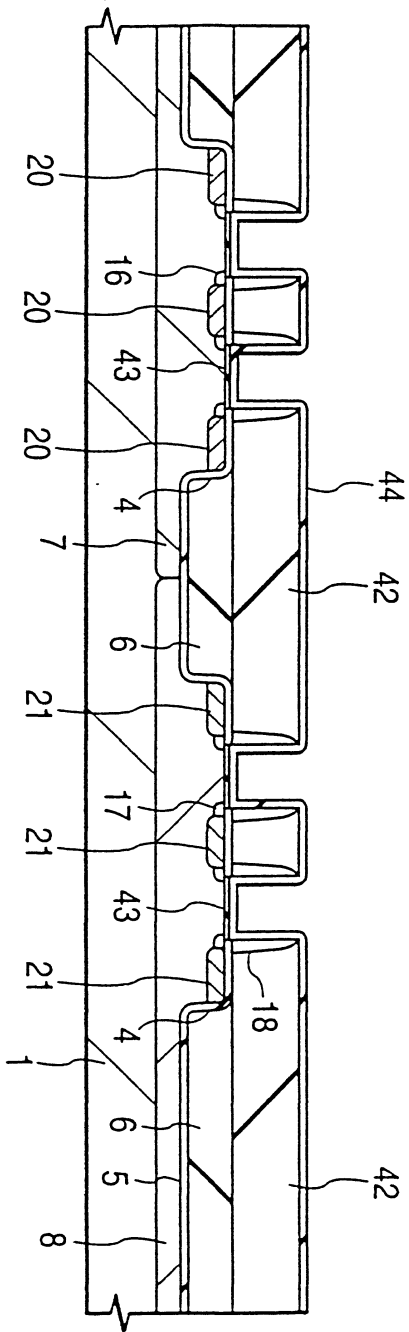


圖 41

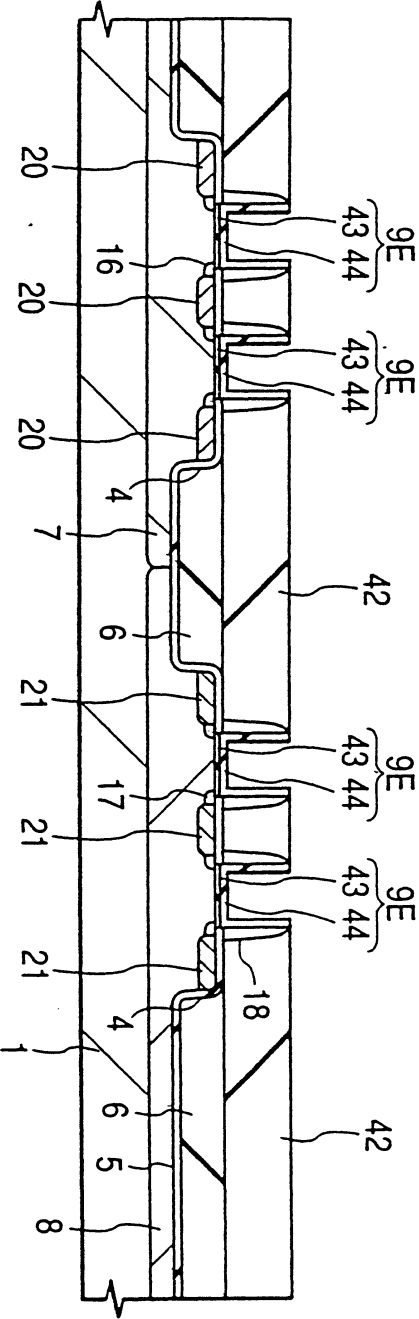


圖 42

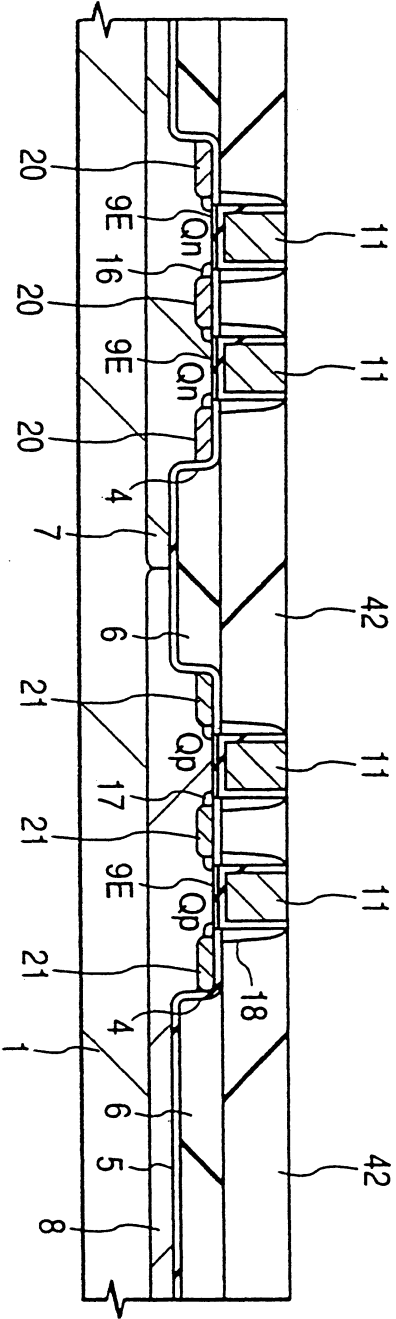


圖 43