



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I856444 B

(45) 公告日：中華民國 113 (2024) 年 09 月 21 日

(21) 申請案號：111146615

(22) 申請日：中華民國 111 (2022) 年 12 月 05 日

(51) Int. Cl. : H01L21/762 (2006.01)

H01L27/148 (2006.01)

(30) 優先權：2022/01/20 美國

63/301,265

2022/07/01 美國

17/810,498

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)

新竹市力行六路八號

(72) 發明人：劉銘棋 LIU, MING-CHYI (TW)；盧玠甫 LU, JIECH-FUN (TW)；徐鴻文 HSU,
HUNG-WEN (TW)

(74) 代理人：卓俊傑

(56) 參考文獻：

EP 3067919A1

JP 2000-156402A

JP 2019-140251A

審查人員：孫建文

申請專利範圍項數：10 項 圖式數：22 共 62 頁

(54) 名稱

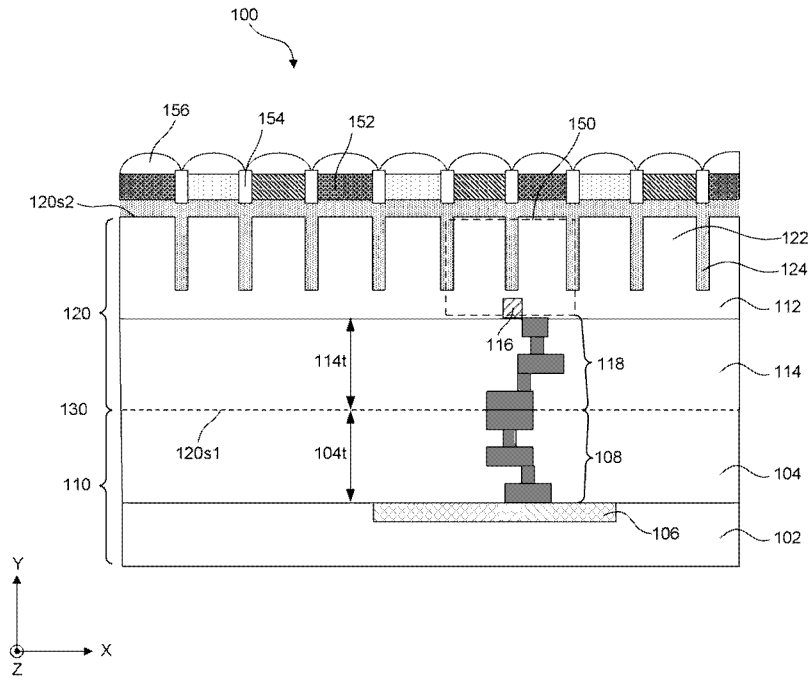
半導體結構、半導體裝置及半導體結構的製造方法

(57) 摘要

本揭露闡述一種具有藉由溝渠隔離結構而分隔開的輻射感測區的半導體裝置。所述半導體結構包括位於基底上的第一溝渠填充結構及位於基底上的第二溝渠填充結構。第一溝渠填充結構具有第一寬度及凸狀底表面。第二溝渠填充結構具有凹狀底表面及大於第一寬度的第二寬度。

The present disclosure describes a semiconductor device having radiation-sensing regions separated by trench isolation structures. The semiconductor structure includes a first trench fill structure on a substrate and a second trench fill structure on the substrate. The first trench fill structure has a first width and a convex bottom surface. The second trench fill structure has a concave bottom surface and a second width greater than the first width.

指定代表圖：



【圖1】

符號簡單說明：

100:半導體裝置

102:第一基底

104:第一介電層

104t、114t:垂直尺寸

106:專用電路

108:第一內連線結構

110:第一晶片

112:第二基底

114:第二介電層

116:浮置裝置

118:第二內連線結構

120:第二晶片

120s1:第一側

120s2:第二側

122:輻射感測區

124:溝渠隔離結構

130:介面

150:區

152:濾色片

154:金屬柵格

156:微透鏡

X、Z:軸



I856444

【發明摘要】

【中文發明名稱】半導體結構、半導體裝置及半導體結構的製造方法

【英文發明名稱】 SEMICONDUCTOR STRUCTURE,
SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD
OF SEMICONDUCTOR STRUCTURE

【中文】

本揭露闡述一種具有藉由溝渠隔離結構而分隔開的輻射感測區的半導體裝置。所述半導體結構包括位於基底上的第一溝渠填充結構及位於基底上的第二溝渠填充結構。第一溝渠填充結構具有第一寬度及凸狀底表面。第二溝渠填充結構具有凹狀底表面及大於第一寬度的第二寬度。

【英文】

The present disclosure describes a semiconductor device having radiation-sensing regions separated by trench isolation structures. The semiconductor structure includes a first trench fill structure on a substrate and a second trench fill structure on the substrate. The first trench fill structure has a first width and a convex bottom surface. The second trench fill structure has a concave bottom surface and a second width greater than the first width.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100:半導體裝置

102:第一基底

104:第一介電層

104t、114t:垂直尺寸

106:專用電路

108:第一內連線結構

110:第一晶片

112:第二基底

114:第二介電層

116:浮置裝置

118:第二內連線結構

120:第二晶片

120s1:第一側

120s2:第二側

122:輻射感測區

124:溝渠隔離結構

130:介面

150:區

152:濾色片

154:金屬柵格

156:微透鏡

X、Z:軸

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體結構、半導體裝置及半導體結構的製造方法

【英文發明名稱】 SEMICONDUCTOR STRUCTURE,
SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD
OF SEMICONDUCTOR STRUCTURE

【技術領域】

【0001】 本揭露是有關於一種半導體結構、半導體裝置及半導體結構的製造方法

【先前技術】

【0002】 半導體影像感測器裝置用於感測射入的可見輻射或不可見輻射（例如可見光及紅外光）。該些影像感測器利用可包括光電二極體及電晶體的畫素陣列來吸收（例如，感測）入射輻射且將感測到的輻射轉換成電性訊號。半導體影像感測器的實例是互補金屬氧化物半導體（complementary metal-oxide-semiconductor，CMOS）影像感測器。CMOS 影像感測器用於例如電腦、數位相機、行動電話、平板電腦（tablet）、護目鏡及科學儀器（scientific instrument）等各種應用中。

【發明內容】

【0003】 在一些實施例中，一種半導體結構包括位於基底上的第一溝渠填充結構及位於基底上的第二溝渠填充結構。第一溝渠填

充結構具有第一寬度及凸狀底表面。第二溝渠填充結構具有凹狀底表面且第二溝渠填充結構具有大於第一寬度的第二寬度。

【0004】 在一些實施例中，一種半導體裝置包括第一晶片以及第二晶片。第一晶片包括位於第一晶片的第一側上的多個畫素以及隔離所述多個畫素的第一溝渠填充結構及第二溝渠填充結構。第一溝渠填充結構具有凸狀底表面。第二溝渠填充結構接觸第一溝渠填充結構。第二溝渠填充結構具有凹狀底表面。半導體裝置更包括接合至第一晶片的第二側的第二晶片。所述第二晶片接合至所述第一晶片的第二側，其中所述第二側與所述第一側相對。

【0005】 在一些實施例中，一種方法包括：在基底上形成第一圖案及第二圖案，第一圖案具有第一寬度，第二圖案具有大於第一寬度的第二寬度；在第二圖案內形成具有小於第二寬度的第三寬度的第三圖案；以及在基底上，在第一圖案之下形成第一溝渠且在第二圖案及第三圖案之下形成第二溝渠。

【圖式簡單說明】

【0006】 結合附圖閱讀以下詳細說明會最佳地理解本揭露的態樣。

圖 1 是示出根據一些實施例的具有藉由溝渠隔離結構而分隔開的輻射感測區的半導體裝置的剖視圖。

圖 2 是示出根據一些實施例的具有藉由溝渠隔離結構而分隔開的輻射感測區的半導體裝置的局部等角視圖。

圖 3 是示出根據一些實施例的具有藉由溝渠隔離結構而分隔

隔開的輻射感測區的半導體裝置的局部俯視圖。

圖 4A 及圖 4B 是示出根據一些實施例的具有藉由溝渠隔離結構而分隔開的輻射感測區的半導體裝置的局部剖視圖。

圖 5A 及圖 5B 是示出根據一些實施例的半導體裝置中的額外的溝渠填充結構的局部俯視圖。

圖 6 是根據一些實施例的用於形成具有藉由溝渠隔離結構而分隔開的輻射感測區的半導體裝置的方法的流程圖。

圖 7 至圖 22B 是示出根據一些實施例的具有藉由溝渠隔離結構而分隔開的輻射感測區的半導體裝置在其製作製程的各種階段的俯視圖及剖視圖。

現在將參照附圖闡述說明性實施例。在附圖中，相同的參考編號一般表示相同的、功能相似的及/或結構相似的元件。

【實施方式】

【0007】 以下揭露內容提供用於實施所提供標的物的不同特徵的許多不同實施例或實例。以下闡述元件及佈置的具體實例以簡化本揭露。當然，該些僅為實例且不旨在進行限制。舉例而言，在本說明中將第一特徵形成於第二特徵之上可包括其中第一特徵與第二特徵被形成為直接接觸的實施例，且亦可包括其中第一特徵與第二特徵之間可形成有附加特徵進而使得所述第一特徵與所述第二特徵可不直接接觸的實施例。如本文中所使用的，將第一特徵形成於第二特徵上意指第一特徵被形成為與第二特徵直接接觸。另外，本揭露可能在各種實例中重複使用參考編號及/或字母。此種

重複並非自身指示所論述的各種實施例及/或配置之間的關係。

【0008】 此外，為易於說明，本文中可能使用例如「位於...之下 (beneath)」、「位於...下方 (below)」、「下部的 (lower)」、「位於...上方 (above)」、「上部的 (upper)」等空間相對性用語來闡述圖中所示的一個元件或特徵與另一(其他)元件或特徵的關係。所述空間相對性用語旨在除圖中所繪示的定向外亦囊括裝置在使用或操作中的不同定向。設備可具有其他定向(旋轉 90 度或處於其他定向)，且本文中所使用的空間相對性描述語可同樣相應地進行解釋。

【0009】 應注意，說明書中對「一個實施例 (one embodiment)」、「實施例 (embodiment)」、「實例性實施例 (an example embodiment)」、「示例性 (exemplary)」等的引用指示所闡述的實施例可包括特定的特徵、結構或特性，但每個實施例可能並不一定包括特定的特徵、結構或特性。此外，此種片語並不一定指同一實施例。此外，當結合實施例闡述特定特徵、結構或特性時，無論是否明確闡述，結合其他實施例達成此種特徵、結構或特性將處於熟習此項技術者的知識範圍內。

【0010】 應理解，本文中的片語或用語是出於說明的目的而非出於限制的目的，使得本說明書的用語或片語將由熟習相關技術者鑒於本文中的教示內容來解釋。

【0011】 在一些實施例中，用語「約 (about)」及「實質上 (substantially)」可指示給定量的值，所述給定量在所述值的 5% (例如，所述值的 $\pm 1\%$ 、 $\pm 2\%$ 、 $\pm 3\%$ 、 $\pm 4\%$ 、 $\pm 5\%$) 內變化。該些值

僅為實例且不旨在進行限制。用語「約」及「實質上」可指代如由熟習相關技術者鑒於本文中的教示內容而解釋的值的百分數。

【0012】 CMOS 影像感測器包括其中形成有畫素陣列或輻射感測區陣列的半導體基底（例如，矽基底）。本文中所揭露的用語「輻射感測區（radiation-sensing region）」與「畫素（pixel）」在通篇中可互換使用。輻射感測區（或畫素）被配置成將來自入射輻射的光子轉換成電性訊號。CMOS 影像感測器可更包括轉移電晶體、擴散阱（diffusion well）、源極隨耦器、重置電晶體及畫素內電路（in-pixel circuit）以分配及處理電性訊號。電性訊號隨後被傳遞至附接至 CMOS 影像感測器的訊號處理元件。為此原因，畫素陣列上覆於多層階金屬化層（multilevel metallization layer）（例如，內連線結構）上，所述多層階金屬化層被配置成將輻射感測區內產生的電性訊號分配給適當的處理元件。

【0013】 多層階金屬化層包括形成於半導體基底（substrate）的第一表面（在本文中被稱為半導體基底的「前側（front side）」表面）上的內連線結構。此外，畫素陣列延伸至半導體基底中，且被配置成接收來自半導體基底的與半導體基底的前側表面相對的第二表面的輻射。半導體基底的接收輻射的第二表面（與半導體基底的前側表面相對）在本文中被稱為半導體基底的「背側（back side）」表面。

【0014】 半導體基底中的相鄰的輻射感測區（或畫素）利用隔離結構（例如深溝渠隔離（deep trench isolation, DTI）結構）電性隔

離開以使輻射感測區之間的串擾（cross talk）及訊號損失（signal loss）最小化。與前述隔離結構對齊（且形成於半導體基底的背面上）的是相應的柵格結構（grid structure），所述柵格結構提供相鄰的畫素或輻射感測區之間的光學隔離。鄰近的柵格結構共同地形成單元。

【0015】 作為實例而非限制，其上形成有輻射感測區（或畫素）、處理元件、多層階金屬化層及柵格結構的基底可經由晶圓接合結構附接至在不同的基底上形成的專用積體電路（application specific integrated circuit, ASIC）。ASIC 可為例如與 CMOS 影像感測器裝置分開製作的 CMOS 晶圓，其被配置成實行以上論述的訊號處理操作。

【0016】 CMOS 影像感測器面臨的挑戰是溝渠隔離結構的不均勻的深度。溝渠隔離結構可在水平方向上及在垂直方向上隔離輻射感測區。溝渠隔離結構可在交叉部分（cross-road portion）處相交。溝渠隔離結構的交叉部分可具有較水平直線部分及垂直直線部分大的寬度。在形成溝渠的蝕刻製程期間，由於電漿蝕刻製程的負載效應（loading effect），具有較大寬度的溝渠可具有較大的深度。CMOS 影像感測器的轉移電晶體可位於溝渠隔離結構之下。如此一來，交叉部分處的較深的溝渠可能會損壞轉移電晶體的至少一部分，且因此降低 CMOS 影像感測器的裝置效能。

【0017】 本揭露的各種實施例提供具有藉由溝渠隔離結構而分隔開（例如，藉由實質上均勻的溝渠隔離結構而分隔開）的輻射感測

區的實例性半導體裝置及其實例性製作方法。根據一些實施例，半導體裝置可包括接合至影像感測器晶片的第一側（例如，前側）的 ASIC 晶片。影像感測器晶片可在其第二側（例如背側）上具有 CMOS 影像感測器。CMOS 影像感測器的輻射感測區可藉由溝渠隔離結構而隔離開。溝渠隔離結構可具有位於鄰近的輻射感測區之間的直線部分及直線部分相交的交叉部分。交叉部分的寬度可大於直線部分的寬度。在一些實施例中，輻射感測區之間的交叉溝渠可在交叉部分處形成有額外的圖案。因此，交叉部分可具有與直線部分的深度實質上相同的深度。在一些實施例中，溝渠隔離結構的直線部分可具有凸狀底表面，且交叉部分可具有凹狀底表面。在一些實施例中，交叉部分的深度與直線部分的深度之間的差值可介於約 1 埃至約 8000 埃的範圍內。所述差值對直線部分的深度之比率可小於約 20%。在一些實施例中，利用交叉部分處的額外的圖案，直線部分及交叉部分處的溝渠隔離結構的深度均勻性可提高約 20%至約 40%，且 CMOS 影像感測器的裝置效能可提高約 5%至約 10%。

【0018】 圖 1 是示出根據一些實施例的具有藉由溝渠隔離結構 124 而分隔開的輻射感測區 122 的半導體裝置 100 的剖視圖。根據一些實施例，溝渠隔離結構 124 可為實質上均勻的溝渠隔離結構。如圖 1 所示，半導體裝置 100 可包括在介面 130 處進行接合的第一晶片 110 與第二晶片 120。第一晶片 110 可接合至第二晶片 120 的第一側 120s1。在一些實施例中，第一晶片 110 可為 ASIC 晶片，

並且可包括第一基底 102、第一介電層 104、專用電路 106 (application-specific circuit) 及第一內連線結構 108。在一些實施例中，第二晶片 120 可為具有影像感測器裝置的影像感測器晶片，並且可包括第二基底 112、第二介電層 114、第二內連線結構 118、浮置裝置 116、輻射感測區 122 及溝渠隔離結構 124。輻射感測區 122 及溝渠隔離結構 124 可設置於與第一側 120s1 相對的第二側 120s2 上。

【0019】 第一基底 102 及第二基底 112 可各自包含半導體材料，例如矽及鍺。在一些實施例中，第一基底 102 及第二基底 112 可包括結晶矽 (crystalline silicon) 基底 (例如，晶圓)。在一些實施例中，第一基底 102 及第二基底 112 可包括 (i) 元素半導體，例如鍺；(ii) 化合物半導體，包含碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮及/或銻化銮；(iii) 合金半導體，包含碳化矽鍺、矽鍺、砷磷化鎵、磷化鎵銮、砷化鎵銮、砷磷化鎵銮、砷化鋁銮及/或砷化鋁鎵；或 (iv) 其組合。在一些實施例中，第一基底 102 與第二基底 112 可包含相同的半導體材料。在一些實施例中，第一基底 102 與第二基底 112 可包含彼此不同的半導體材料。此外，第一基底 102 及第二基底 112 可端視設計要求 (例如，p 型基底或 n 型基底) 來進行摻雜。在一些實施例中，第一基底 102 及第二基底 112 可包含矽且可被摻雜 p 型摻雜劑 (例如，硼、銮、鋁或鎵) 或 n 型摻雜劑 (例如，磷或砷)。

【0020】 參照圖 1，第一介電層 104 可設置於第一基底 102 上，且

第二介電層 114 可設置於第二基底 112 上。第一介電層 104 與第二介電層 114 可在介面 130 處進行接合。在一些實施例中，第一介電層 104 及第二介電層 114 可各自包含介電材料，例如氧化矽 (SiO_2)、氮氧化矽 (SiON)、氮化矽 (SiN_x)、碳氧化矽 (SiOC)、碳氮氧化矽 (SiOCN) 及其組合。在一些實施例中，第一介電層 104 與第二介電層 114 可包含相同的介電材料。在一些實施例中，第一介電層 104 與第二介電層 114 可包含彼此不同的介電材料。在一些實施例中，第一介電層 104 及第二介電層 114 可包括介電層的堆疊，且可將第一晶片 110 接合至第二晶片 120。

【0021】 在一些實施例中，在介面 130 處將第一介電層 104 接合至第二介電層 114 之後，第一內連線結構 108 可接合至且電性連接至第二內連線結構 118。第一晶片 110 與第二晶片 120 之間的接合可包括第一介電層 104 與第二介電層 114 之間的介電質-介電質接合 (*dielectric-to-dielectric bond*) 以及第一內連線結構 108 與第二內連線結構 118 之間的金屬-金屬接合 (*metal-to-metal bond*)。第一晶片 110 與第二晶片 120 之間的接合可被稱為「晶圓接合 (*wafer bond*)」。在一些實施例中，介電質-介電質接合可包括氧化物-氧化物接合 (*oxide-to-oxide bond*)。在一些實施例中，第一介電層 104 可具有沿 Z 軸的介於約 2 微米至約 8 微米的範圍內的垂直尺寸 104t (例如，厚度)。第二介電層 114 可具有沿 Z 軸的介於約 2 微米至約 8 微米的範圍內的垂直尺寸 114t (例如，厚度)。

【0022】 參照圖 1，第一內連線結構 108 可設置於第一介電層 104

中，且第二內連線結構 118 可設置於第二介電層 114 中。在一些實施例中，第一內連線結構 108 及第二內連線結構 118 中的每一者可包括一或多個金屬線及/或金屬通孔。第一內連線結構 108 及第二內連線結構 118 可包含鋁 (Al)、鎢 (W)、銅 (Cu)、鈦 (Ru)、鉬 (Mo)、鎳 (Ni)、鉍 (Bi)、釷 (Sc)、鈦 (Ti)、鈷 (Co)、銀 (Ag)、氮化鈦 (TiN)、氮化鉭 (TaN)、氮化鎢 (WN)、碳化鈦 (TiC)、碳化鈦鋁 (TiAlC)、碳化鉭鋁 (TaAlC)、金屬合金及其他合適的導電材料。第一內連線結構 108 及第二內連線結構 118 可將位於第二晶片 120 上的輻射感測區 122 處的影像感測器連接至位於第一晶片 110 上的專用電路 106。

【0023】 專用電路 106 可設置於第一基底 102 上，且可經由第一內連線結構 108 及第二內連線結構 118 以及浮置裝置 116 連接至位於第二晶片 120 上的影像感測器裝置。專用電路 106 可包括類比至數位轉換器 (analog-to-digital converter, ADC)、計數器、記憶體儲存裝置及其組合以處理由位於第二晶片 120 上的影像感測器裝置產生的電性訊號。

【0024】 參照圖 1，輻射感測區 122 及溝渠隔離結構 124 可設置於第二晶片 120 的第二側 120s2 上。在一些實施例中，端視所關心的輻射波長而定，輻射感測區 122 可包含例如矽、鍺及矽鍺等半導體材料。舉例而言，矽可用於可見光應用 (例如，介於約 380 奈米至 740 奈米之間)，且鍺可用於紅外線應用 (例如，波長介於約 940 奈米至約 1550 奈米之間)。矽鍺可用於可見光與紅外線之間的

波長。作為實例而非限制，可用於輻射感測區 122 的額外的材料包括 III-V 族的半導體材料，例如砷化鎵、磷化鎵、磷化銦及氮化鎵。在一些實施例中，輻射感測區 122 可包括影像感測器裝置，以將感測到的入射輻射轉換成電性訊號以用於在第一晶片 110 中進一步處理。

【0025】 在一些實施例中，浮置裝置 (float device) 116 可設置於第二基底 112 中且位於輻射感測區 122 與第二內連線結構 118 之間。在一些實施例中，浮置裝置 116 可包括轉移電晶體以將由輻射感測區 122 產生的電性訊號轉移至第二內連線結構 118。在一些實施例中，浮置裝置 116 的至少一部分可設置於溝渠隔離結構 124 之下，如圖 1 及圖 2 所示。圖 2 是示出根據一些實施例的如圖 1 所示的半導體裝置 100 中的區 150 的等角視圖 (isometric view)。僅為了清晰及便於說明，圖 2 中未示出溝渠隔離結構 124。

【0026】 溝渠隔離結構 124 可設置於鄰近的輻射感測區 122 之間以將輻射感測區 122 之間的串擾及訊號損失最小化。圖 3 是示出根據一些實施例的如圖 1 及圖 2 所示的半導體裝置 100 中的區 150 的俯視圖。圖 4A 是示出根據一些實施例的半導體裝置 100 沿圖 3 所示的線 A-A' 的剖視圖。圖 4B 是示出根據一些實施例的半導體裝置 100 沿圖 3 所示的線 B-B' 的剖視圖。如圖 3、圖 4A 及圖 4B 所示，溝渠隔離結構 124 可包括直線部分 124A 及交叉部分 124B。直線部分 124A 可在鄰近的輻射感測區 122 之間在水平方向上或在垂直方向上延伸。交叉部分 124B 可位於溝渠隔離結構 124 的水

平直線部分與垂直直線部分相交的位置。

【0027】 如圖 3、圖 4A 及圖 4B 所示，溝渠隔離結構 124 的直線部分 124A 可具有沿線 A-A'（例如，X 軸）的介於約 40 奈米至約 100 奈米的範圍內的寬度 124Aw。溝渠隔離結構 124 的交叉部分 124B 可具有沿線 B-B' 的介於約 80 奈米至約 400 奈米的範圍內的寬度 124Bw。在一些實施例中，由於在溝渠隔離結構 124 的形成期間輻射感測區 122 的隅角被修圓，因此寬度 124Bw 對寬度 124Aw 之比率可介於約 2 至約 4 的範圍內。

【0028】 參照圖 4A，溝渠隔離結構 124 的直線部分 124A 可具有沿 Z 軸的介於約 2 微米至約 4 微米的範圍內的深度 124Ad。在一些實施例中，直線部分 124A 的深度 124Ad 對寬度 124Aw 之比率可介於約 20 至約 100 的範圍內。深度 124Ad 對寬度 124Aw 之比率可被稱為溝渠隔離結構 124 的直線部分 124A 的縱橫比（aspect ratio）。參照圖 4B，溝渠隔離結構 124 的交叉部分 124B 可具有沿 Z 軸的介於約 2 微米至約 4 微米的範圍內的深度 124Bd。在一些實施例中，交叉部分 124B 的深度 124Bd 對寬度 124Bw 之比率可介於約 5 至約 50 的範圍內。深度 124Bd 對寬度 124Bw 之比率可被稱為溝渠隔離結構 124 的交叉部分 124B 的縱橫比。在一些實施例中，由於溝渠隔離結構 124 的高縱橫比，因此溝渠隔離結構 124 亦可被稱為深溝渠隔離（deep trench isolation, DTI）結構。在一些實施例中，溝渠隔離結構 124 可藉由使用例如氧化矽及高介電常數介電材料等隔離材料填充溝渠而形成。用語「高 k (high-k)」可

指高介電常數。在半導體裝置結構及製造製程的領域中，高介電常數可指大於 SiO_2 的介電常數的介電常數（例如，大於約 3.9）。高介電常數介電材料可包括氧化鈦（ HfO_2 ）、氧化鋯（ ZrO_2 ）及其他合適的高介電常數介電材料。在一些實施例中，隔離材料可填充溝渠，且可在第二晶片 120 的第二側 120s2 上沈積隔離材料。因此，溝渠隔離結構 124 亦可被稱為溝渠填充結構。

【0029】 在一些實施例中，深度 124Ad 與 124Bd 之間的差值可小於約 8000 埃。所述差值對深度 124Ad 之比率（即，[深度 124Bd - 深度 124Ad]對[深度 124Ad]之比率）（被稱為深度差比率（depth difference ratio））可小於約 20%。若所述差值大於約 8000 埃，或者所述比率大於約 20%，則溝渠隔離結構 124 的交叉部分 124B 可具有更大的深度，並且位於溝渠隔離結構 124 之下的浮置裝置 116 可能會被損壞。由於溝渠隔離結構 124 的直線部分 124A 與交叉部分 124B 之間的深度差較小，因此半導體裝置 100 可具有深度實質上均勻的溝渠隔離結構 124。因此，對位於交叉部分 124B 之下的浮置裝置 116 造成的損壞可減小，且半導體裝置 100 的裝置效能可提高。在一些實施例中，在溝渠隔離結構 124 的深度差比率小於約 20%的情況下，溝渠隔離結構 124 的深度均勻性可提高約 20% 至約 40%。根據一些實施例，隨著深度均勻性的改良，半導體裝置 100 的裝置效能可提高約 5%至約 10%。

【0030】 參照圖 4A 及圖 4B，溝渠隔離結構 124 的直線部分 124A 可具有凸狀底表面 124As，且交叉部分 124B 可具有凹狀底表面

124Bs。如圖 4B 所示，交叉部分 124B 的凹狀底表面 124Bs 可包括第一突起 124p1、第二突起 124p2 及凹槽 124r。在一些實施例中，第一突起 124p1 可具有沿線 B-B' 的介於約 40 奈米至約 200 奈米的範圍內的寬度 124p1w。第二突起 124p2 可具有沿線 B-B' 的介於約 40 奈米至約 200 奈米的範圍內的寬度 124p2w。在一些實施例中，寬度 124p1w 與寬度 124p2w 之間的差值對寬度 124Bw 之比率（即，[寬度 124p1w - 寬度 124p2w]對[寬度 124Bw]之比率）可小於約 20%。若所述差值對寬度 124Bw 之比率大於約 20%，則溝渠隔離結構 124 的交叉部分 124B 可具有更大的深度，且位於溝渠隔離結構 124 之下的浮置裝置 116 可能會被損壞。

【0031】 在一些實施例中，凹槽 124r 與突起 124p1 及 124p2 之間沿 Z 軸的距離 124pr 可介於約 10 埃至約 2000 埃的範圍內。距離 124pr 對深度 124Ad 之比率可介於約 0.02%至約 5%的範圍內。若所述距離大於約 2000 埃，或者所述比率大於約 5%，則溝渠隔離結構 124 的交叉部分 124B 可具有更大的深度，並且位於溝渠隔離結構 124 之下的浮置裝置 116 可能會被損壞。若所述距離小於約 10 埃，或者所述比率小於約 0.02%，則形成溝渠隔離結構 124 的製造成本可能會增加。

【0032】 圖 5A 及圖 5B 是示出根據一些實施例的半導體裝置 100 中的額外的溝渠填充結構的局部俯視圖。在一些實施例中，如圖 5A 及圖 5B 所示，半導體裝置 100 可包括溝渠填充結構 524A1 及 524B1 以及溝渠填充結構 524A2 及 524B2。溝渠填充結構 524A1

及 524A2 可具有沿線 A-A' 的寬度 524Aw。溝渠填充結構 524B1 及 524B2 可具有沿線 B-B' 的寬度 524Bw。寬度 524Bw 對寬度 524Aw 之比率可介於約 2 至約 100 的範圍內。溝渠填充結構 524A1 與 524B1 之間以及溝渠填充結構 524A2 與 524B2 之間的深度差比率可小於約 20%。因此，溝渠填充結構 524A1、524B1、524A2 及 524B2 可具有實質上均勻的深度。根據一些實施例，利用溝渠填充結構 524A1、524B1、524A2 及 524B2 的實質上均勻的深度，半導體裝置 100 的裝置效能可提高約 5% 至約 10%。

【0033】 在一些實施例中，半導體裝置 100 可更包括濾色片 152、金屬柵格 154 及微透鏡 156，如圖 1 所示。濾色片 152 可設置於第二晶片 120 的第二側 120s2 上以及輻射感測區 122 之上。在一些實施例中，濾色片 152 可包括紅色濾色片、綠色濾色片及藍色濾色片。金屬柵格 154 可設置於第二晶片 120 的第二側 120s2 上及溝渠隔離結構 124 之上。濾色片 152 可設置於金屬柵格 154 的側壁之間。微透鏡 156 可設置於第二晶片 120 的第二側 120s2 上及濾色片 152 之上，且因此設置於輻射感測區 122 之上。入射輻射可經由微透鏡 156、濾色片 152 及第二晶片 120 的第二側 120s2 上的隔離材料進入輻射感測區 122。

【0034】 圖 6 是根據一些實施例的用於形成具有藉由溝渠隔離結構而分隔開的輻射感測區的半導體裝置 100 的實例性方法 600 的流程圖。在一些實施例中，溝渠隔離結構彼此可為實質上均勻的。方法 600 可不限於在半導體裝置 100 中形成溝渠隔離結構。方法

600 可適用於在例如以下其他合適的半導體裝置中形成溝渠填充結構：三維（three-dimensional，3D）深溝渠電容器（deep trench capacitor，DTC）、3D 金屬-絕緣體-金屬（metal-insulator-metal，MIM）電容器以及 CMOS 裝置中的淺溝渠隔離及矽溝渠。在方法 600 的各種操作之間可實行額外的製程，並且僅為了清晰及便於說明，可省略所述額外的製程。可在方法 600 之前、在方法 600 期間及/或在方法 600 之後提供額外的製程；本文中簡要闡述該些額外的製程中的一或多者。此外，可能不需要所有操作來實行本文中所提供的揭露。另外，一些操作可同時實行或者以不同於圖 6 所示的次序實行。在一些實施例中，除了或代替當前闡述的操作，亦可實行一或多個其他操作。

【0035】 出於說明性目的，將參照用於形成如圖 7 至圖 22B 所示的半導體裝置 100 的實例性製作製程來闡述圖 6 所示的操作。圖 7 至圖 22B 是示出根據一些實施例的具有藉由溝渠隔離結構 124（例如，實質上均勻的溝渠隔離結構）而分隔開的輻射感測區 122 的半導體裝置 100 在其製作製程的各種階段的俯視圖及剖視圖。上面闡述了圖 7 至圖 2B 中與圖 1 至圖 4B 中的元件具有相同的註解的元件。

【0036】 參照圖 6，方法 600 首先進行操作 610 以及在基底上形成第一圖案及第二圖案的製程，第一圖案具有第一寬度，第二圖案具有大於第一寬度的第二寬度。舉例而言，如圖 7、圖 8A 及圖 8B 所示，可在第二基底 112 上形成第一圖案 724A 及第二圖案 724B。

在一些實施例中，如圖 7 所示，第一圖案 724A 可為形成於第二基底 112 上的圖案 724 的直線部分，且第二圖案 724B 可為形成於第二基底 112 上的圖案 724 的交叉部分。第一圖案 724A 可具有沿線 A-A' 的介於約 40 奈米至約 100 奈米的範圍內的第一寬度 724Aw。第二圖案 724B 可具有沿線 B-B' 的介於約 80 奈米至約 400 奈米的範圍內的第二寬度 724Bw。在一些實施例中，第二寬度 724Bw 可大於第一寬度 724Aw，且由於在第一圖案 724A 及第二圖案 724B 的形成期間的隅角修圓效應 (corner rounding effect)，第二寬度 724Bw 對第一寬度 724Aw 之比率可介於約 2 至約 4 的範圍內。

【0037】 第一圖案 724A 及第二圖案 724B 的形成可包括在第二基底 112 上形成罩幕層 732 且對罩幕層 732 進行圖案化。可在第二基底 112 上藉由化學氣相沈積 (chemical vapor deposition, CVD)、物理氣相沈積 (physical vapor deposition, PVD) 及/或其他合適的沈積方法毯覆式沈積罩幕層 732。罩幕層 732 的組成可包含 SiO_x 、 SiN_x 、 SiON 及/或其他合適的材料。圖案化製程可包括在罩幕層 732 上沈積光阻，將光阻暴露於圖案，實行曝光後烘烤製程 (post-exposure bake process)，以及對光阻進行顯影以形成包括光阻的罩幕元件。當一或多種蝕刻製程依序移除罩幕層 732 的被暴露出的區時，罩幕元件可用於保護硬罩幕層 732 的被覆蓋的區。在一些實施例中，罩幕層 732 可具有沿 Z 軸的介於約 10 奈米至約 1000 奈米的範圍內的厚度 732t。

【0038】 參照圖 6，在操作 620 中，可在第二圖案內形成第三圖

案。第三圖案具有小於第二寬度的第三寬度。舉例而言，如圖 9A 至圖 12 所示，可在第二圖案 724B 內形成第三圖案 1136。第三圖案 1136 可具有小於第二寬度 724Bw 的寬度 1136w。在一些實施例中，第三圖案 1136 的形成可包括在第一圖案 724A 及第二圖案 724B 上沈積塗層 934，在塗層 934 上及第二圖案 724B 上方形成罩幕結構 1036 以及蝕刻罩幕結構 1036 及塗層 934。

【0039】 在一些實施例中，可在罩幕層 732 上毯覆式沈積塗層 934 以覆蓋第一圖案 724A 及第二圖案 724B。在一些實施例中，塗層 934 可包括藉由 CVD、PVD、原子層沈積 (atomic layer deposition, ALD) 及/或其他沈積方法進行毯覆式沈積的碳系介電材料。在一些實施例中，塗層 934 可為包含碳系介電材料的底部抗反射塗佈 (bottom anti-reflection coating, BARC) 層。塗層 934 可填充第一圖案 724A 及第二圖案 724B 的開口。

【0040】 如圖 10B 所示，在沈積塗層 934 之後，可在第二圖案 724B 上方形成罩幕結構 1036。在一些實施例中，罩幕結構 1036 可藉由圖案化製程形成。圖案化製程可包括在塗層 934 上沈積光阻，將光阻暴露於圖案，實行曝光後烘烤製程，以及對光阻進行顯影以形成罩幕結構 1036。在一些實施例中，罩幕結構 1036 可包含碳系光阻或矽系光阻。在一些實施例中，罩幕結構 1036 可包含一或多層介電材料。

【0041】 在一些實施例中，如圖 10B 所示，罩幕結構 1036 可具有沿線 B-B' 的介於約 40 奈米至約 600 奈米的範圍內的寬度 1036w。

端視後續的蝕刻製程而定，寬度 1036w 可大於或小於第二寬度 724Bw。在一系列蝕刻製程之後，罩幕結構 1036 的寬度 1036w 可減小。在一些實施例中，寬度 1036w 對第二寬度 724Bw 之比率可介於約 50%至約 150%的範圍內。若所述比率小於約 50%，則第一圖案 724A 及第二圖案 724B 在後續蝕刻製程之後可能不會形成具有實質上均勻的深度的溝渠。若所述比率大於約 150%，則第二圖案 724B 可被罩幕結構 1036 阻擋，並且可不在第二基底 112 中形成溝渠。

【0042】 如圖 11A、圖 11B 及圖 12 所示，在形成罩幕結構 1036 之後，可蝕刻罩幕結構 1036 及塗層 934 以形成第三圖案 1136。在一些實施例中，可藉由乾式蝕刻製程來蝕刻罩幕結構 1036 及塗層 934。在一些實施例中，乾式蝕刻製程可為在約 10 毫托 (mTorr) 至約 100 毫托的壓力下、在約 0°C 至約 60°C 的溫度下實行的定向蝕刻製程 (directional etching process)。乾式蝕刻製程可使用包括氧電漿及氬氣電漿 (argon plasma) 等的蝕刻劑。在乾式蝕刻製程之後，可移除第一圖案 724A 中的塗層 934，且塗層 934 中位於第二圖案 724B 內的一部分可保留下來且形成第三圖案 1136。在一些實施例中，第三圖案 1136 可具有沿線 B-B' 的寬度 1136w。寬度 1136w 可小於寬度 124Bw。在一些實施例中，寬度 1136w 可介於約 60 奈米至約 300 奈米的範圍內。

【0043】 參照圖 6，在操作 630 中，在第一圖案之下形成第一溝渠，且在第二圖案及第三圖案之下形成第二溝渠。舉例而言，如圖

13A 及圖 13B 所示，可在第一圖案 724A 之下形成第一溝渠 1324A，且可在第二圖案 724B 及第三圖案 1136 之下形成第二溝渠 1324B。在一些實施例中，可藉由電漿蝕刻製程來形成第一溝渠 1324A 及第二溝渠 1324B。在一些實施例中，電漿蝕刻製程可使用包括氯 (Cl_2) 或溴化氫 (HBr) 等的蝕刻劑來蝕刻半導體材料。在一些實施例中，蝕刻劑可包括氟系電漿，例如六氟化硫 (SF_6)、三氟化氮 (NF_3) 及四氟化碳 (CF_4)。在一些實施例中，電漿蝕刻製程可包括在蝕刻循環期間使用蝕刻劑 SF_6 且在沈積循環期間使用八氟異丁烯 (C_4F_8) 的波希 (bosch) 蝕刻製程。在一些實施例中，電漿蝕刻製程可使用包括以下的蝕刻劑來蝕刻介電材料 (例如 SiO_x): CF_4 、二氟甲烷 (CH_2F_2)、三氟甲烷 (CHF_3)、 C_4F_8 、八氟環戊烯 (C_5F_8)、六氟丙烯 (C_3F_6)、氬氣、氧氣及其組合。在一些實施例中，電漿蝕刻製程可在約 10 毫托至約 100 毫托的壓力下、在約 0 °C 至約 60 °C 的溫度下實行。在一些實施例中，電漿蝕刻製程可實行約 20 分鐘至約 60 分鐘以形成第一溝渠 1324A 及第二溝渠 1324B。

【0044】 在一些實施例中，第二基底 112 中的第一溝渠 1324A 可具有沿 Z 軸的介於約 2 微米至約 4 微米的範圍內的深度 1324Ad。深度 1324Ad 可實質上相同於深度 124Ad，如圖 4A 所示。第二基底 112 中的第二溝渠 1324B 可具有沿 Z 軸的介於約 2 微米至約 4 微米的範圍內的深度 1324Bd。深度 1324Bd 可實質上相同於深度 124Bd，如圖 4B 所示。在一些實施例中，第一溝渠 1324A 與第二溝渠 1324B 可具有實質上相同的深度。深度 1324Ad 與深度 1324Bd

之間的差值可小於約 8000 埃。所述差值對深度 1324Ad 之比率(即， $[\text{深度 } 1324\text{Ad} - \text{深度 } 1324\text{Bd}]$ 對 $[\text{深度 } 1324\text{Ad}]$ 之比率)(亦被稱為深度差比率)可小於約 20%。在一些實施例中，在電漿蝕刻製程之後，可在位於第二溝渠 1324B 的底表面處的第二基底 112 上形成突起 112p。如圖 13B 所示，突起 112p 的頂表面與溝渠 1324B 的底表面之間的距離 112pr 可介於約 10 埃至約 2000 埃的範圍內，相似於圖 4B 所示的距離 124pr。距離 112pr 對深度 1324Ad 之比率可介於約 0.02%至約 5%的範圍內。在一些實施例中，突起 112p 與第二溝渠 1324B 的鄰近的側壁之間沿線 B-B'的距離 112p1w 及 112p2w 可介於約 40 奈米至約 200 奈米的範圍內。寬度 112p1w 與寬度 112p2w 之間的差值對寬度 1324Bw 之比率(即， $[\text{寬度 } 112\text{p1w} - \text{寬度 } 112\text{p2w}]$ 對 $[\text{寬度 } 1324\text{Bw}]$ 之比率)可小於約 20%。

【0045】 由於第一溝渠 1324A 與第二溝渠 1324B 之間的深度差較小，因此半導體裝置 100 可具有深度實質上均勻且深度差比率小於約 20%的溝渠。因此，對位於溝渠 1324B 之下的浮置裝置 116 造成的損壞可減小，並且半導體裝置 100 的裝置效能可提高。在一些實施例中，利用第三圖案 1136，第一溝渠 1324A 及第二溝渠 1324B 的深度均勻性可提高約 20%至約 40%。隨著溝渠 1324A 及 1324B 的深度均勻性的改良，半導體裝置 100 的裝置效能可提高約 5%至約 10%。

【0046】 如圖 4A 及 4B 所示，在形成第一溝渠 1324A 及第二溝渠 1324B 之後，可形成溝渠隔離結構 124。溝渠隔離結構 124 的形成

可包括使用例如氧化矽等介電材料填充第一溝渠 1324A 及第二溝渠 1324B。在一些實施例中，可利用適用於可流動介電材料的沈積方法來沈積介電材料。舉例而言，可利用可流動化學氣相沈積（flowable chemical vapor deposition，FCVD）來沈積可流動氧化矽。在填充第一溝渠 1324A 及第二溝渠 1324B 之後，可在第二基底 112 上及溝渠隔離結構 124 之間形成輻射感測區 122。化學機械研磨（chemical mechanical polishing，CMP）製程可隨後移除罩幕層 732 且對溝渠隔離結構 124 的頂表面及輻射感測區 122 的頂表面進行平坦化。

【0047】 在一些實施例中，可在第二圖案內形成第三圖案，而無需圖 10A 及圖 10B 所示的額外的圖案化製程。舉例而言，如圖 14 至圖 22B 所示，可利用自對準圖案化製程（self-aligned patterning process）形成第三圖案 2036。如圖 14、圖 15A 及圖 15B 所示，可在第二基底 112 上形成第一圖案 1424A 及第二圖案 1424B。在一些實施例中，如圖 14、圖 15A 及圖 15B 所示，第一圖案 1424A 可為形成於第二基底 112 上的圖案 1424 的直線部分，且第二圖案 1424B 可為形成於第二基底 112 上的圖案 1424 的交叉部分。第一圖案 1424A 可具有沿線 A-A' 的介於約 40 奈米至約 100 奈米的範圍內的第一寬度 1424Aw。第二圖案 1424B 可具有沿線 B-B' 的介於約 80 奈米至約 400 奈米的範圍內的第二寬度 1424Bw。在一些實施例中，由於在第一圖案 1424A 及第二圖案 1424B 的形成期間的隅角修圓效應，寬度 1424Bw 可大於寬度 1424Aw，且寬度

1424Bw 對寬度 1424Aw 之比率可介於約 2 至約 4 的範圍內。

【0048】 第一圖案 1424A 及第二圖案 1424B 的形成可包括在第二基底 112 上形成第一蝕刻終止層 (etch stop layer, ESL) 1438, 在第一 ESL 1438 上形成罩幕層 1432, 在罩幕層 1432 上形成第二 ESL 1442, 以及對第二 ESL 1442 及罩幕層 1432 進行圖案化。可在第二基底 112 上藉由 CVD、PVD 及/或其他合適的沈積方法依序毯覆式沈積第一 ESL 1438、罩幕層 1432 及第二 ESL 1442。罩幕層 1432 的組成可包括 SiO_x 、 SiN_x 、 SiON 及/或其他合適的材料。第一 ESL 1438 及第二 ESL 1442 的組成可包括 SiN_x 、碳化矽 (SiC)、碳氮化矽 (SiCN) 及/或其他合適的材料。在一些實施例中, 第一 ESL 1438 與第二 ESL 1442 可包含相同的介電材料。在一些實施例中, 罩幕層 1432 可包含具有與第一 ESL 1438 及第二 ESL 1442 中的介電材料不同的蝕刻速率的介電材料。在一些實施例中, 第一 ESL 1438 及第二 ESL 1442 可包含 SiN_x , 且罩幕層可包含 SiO_x 。

【0049】 圖案化製程可包括在第二 ESL 1442 上沈積光阻, 將光阻暴露於圖案, 實行曝光後烘烤製程, 以及對光阻進行顯影以形成包括光阻的罩幕元件。當一或多種蝕刻製程依序移除第二 ESL 1442 及罩幕層 1432 的被暴露出的區時, 罩幕元件可用於保護第二 ESL 1442 的被覆蓋的區。在一些實施例中, 第一 ESL 1438 可具有沿 Z 軸的介於約 1 奈米至約 50 奈米的範圍內的厚度 1438t。罩幕層 1432 可具有沿 Z 軸的介於約 10 奈米至約 1000 奈米的範圍內的厚度 1432t。第二 ESL 1442 可具有沿 Z 軸的介於約 1 奈米至約 50 奈米

的範圍內的厚度 1442t。

【0050】 如圖 17A 及圖 17B 所示，在形成第一圖案 1424A 及第二圖案 1424B 之後，可在第二 ESL 1442 上沈積介電層 1644。在一些實施例中，可在第二 ESL 1442 上藉由 CVD、ALD 及/或其他合適的沈積方法毯覆式沈積介電層 1644。在沈積介電層 1644 之後，可填充第一圖案 1424A，且第二圖案 1424B 可具有開口。在一些實施例中，介電層 1644 可具有介於約 50 奈米至約 100 奈米的範圍內的厚度 1644t。在一些實施例中，介電層 1644 可包含 SiO_x 、 SiON 及/或其他合適的材料。

【0051】 如圖 17A 及圖 17B 所示，在沈積介電層 1644 之後，可在介電層 1644 上沈積塗層 1746。在一些實施例中，可在第二介電層 1644 上藉由 CVD、ALD 及/或其他合適的沈積方法毯覆式沈積塗層 1746。在沈積塗層 1746 之後，可填充第二圖案 1424B。在一些實施例中，塗層 1746 可為包含碳系介電材料的 BARC 層。

【0052】 如圖 18A 至圖 21 所示，在沈積塗層 1746 之後，可在第二圖案 1424B 中形成第三圖案 2036。第三圖案 2036 的形成可包括蝕刻塗層 1746、蝕刻介電層 1644 以及蝕刻第一 ESL 1438 及第二 ESL 1442。如圖 18A 及圖 18B 所示，可藉由電漿蝕刻製程來蝕刻塗層 1746 以在第二圖案 1424B 的開口內形成第一罩幕結構 1846。在一些實施例中，電漿蝕刻製程可包含例如氧電漿等蝕刻劑。在一些實施例中，在電漿蝕刻製程之後，第一罩幕結構 1846 可具有沿 Z 軸的介於約 50 奈米至約 100 奈米的範圍內的厚度 1846t。

【0053】 如圖 19A 及圖 19B 所示，在蝕刻塗層 1746 之後，可蝕刻介電層 1644。在一些實施例中，可藉由電漿蝕刻製程來蝕刻介電層 1644。電漿蝕刻製程可為定向蝕刻製程，且可包含氟系蝕刻劑、氫氣、氧氣及其他合適的蝕刻劑。在電漿蝕刻製程之後，可移除第一圖案 1424A 中的介電層 1644。介電層 1644 的位於第二圖案 1424B 的開口內及第一罩幕結構 1846 之下的一部分可保留下來且形成第二罩幕結構 1944。

【0054】 如圖 20A、圖 20B 及圖 21 所示，在蝕刻介電層 1644 之後，可蝕刻第一 ESL 1438 及第二 ESL 1442。在一些實施例中，可藉由電漿蝕刻製程來蝕刻第一 ESL 1438 及第二 ESL 1442。電漿蝕刻製程可包含例如 CF_4 及其他合適的蝕刻劑等蝕刻劑。在電漿蝕刻製程之後，可移除第二 ESL 1442 及被暴露出的第一 ESL 1438。第一 ESL 1438 的位於第二圖案 1424B 的開口內及第二罩幕結構 1944 之下的一部分可保留下來且形成第三罩幕結構 2038。在一些實施例中，第二罩幕結構 1944 及第三罩幕結構 2038 可充當第三圖案 2036。由於沒有額外的圖案化製程來形成第三圖案 2036，因此第三圖案 2036 的形成可被稱為自對準圖案化製程。在一些實施例中，第三圖案 2036 可具有沿線 B-B' 的寬度 2036w。寬度 2036w 可小於寬度 1424Bw。在一些實施例中，寬度 2036w 可介於約 60 奈米至約 300 奈米的範圍內。

【0055】 如圖 22A 及圖 22B 所示，在形成第三圖案 2036 之後，可形成第一溝渠 2224A 及第二溝渠 2224B。在一些實施例中，藉由

電漿蝕刻製程，可在第一圖案 1424A 之下形成第一溝渠 2224A，且可在第二圖案 1424B 及第三圖案 2036 之下形成第二溝渠 2224B。所述電漿蝕刻製程可相同於形成第一溝渠 1324A 及第二溝渠 1324B 的電漿蝕刻製程，如圖 13A 及圖 13B 所示。在一些實施例中，第一溝渠 2224A 與第二溝渠 2224B 可具有實質上相同的深度。在一些實施例中，在電漿蝕刻製程之後，可在位於第二溝渠 2224B 的底表面處的第二基底 112 上形成突起 2212p。在一些實施例中，突起 2212p 與第二溝渠 2224B 的鄰近的側壁之間沿線 B-B' 的距離 2212p1w 及 2212p2w 可介於約 40 奈米至約 200 奈米的範圍內。寬度 2212p1w 與寬度 2212p2w 之間的差值對寬度 2224Bw 之比率（即，[寬度 2212p1w - 寬度 2212p2w] 對 [寬度 2224Bw] 之比率）可小於約 10%。相較於圖 13A 及圖 13B 中的溝渠 1324A 及 1324B 而言，藉由自對準圖案化製程形成的溝渠 2224A 及 2224B 可改良深度均勻性，且進而改良對稱的突起 2212p。

【0056】 如圖 4A 及圖 4B 所示，在形成第一溝渠 2224A 及第二溝渠 2224B 之後，可形成溝渠隔離結構 124、輻射感測區 122 且進行後續的 CMP 製程。儘管本揭露闡述了用於在半導體裝置 100 中形成溝渠隔離結構 124（例如，具有實質上均勻的深度）的方法，然而所述方法可應用於形成對於其他半導體裝置具有不同寬度且深度實質上均勻的溝渠。

【0057】 本揭露的各種實施例提供具有藉由深度溝渠隔離結構 124（例如，實質上均勻的溝渠隔離結構）而分隔開的輻射感測區

122 的實例半導體裝置 100。根據一些實施例，半導體裝置 100 可包括接合至第二晶片 120 的第一側 120s1 的第一晶片 110。第二晶片 120 可在其第二側 120s2 上具有輻射感測區 122。輻射感測區 122 可藉由溝渠隔離結構 124 而隔離開。溝渠隔離結構 124 可具有位於鄰近的輻射感測區 122 之間的直線部分 124A 及直線部分 124A 相交的交叉部分 124B。交叉部分 124B 的寬度 124Bw 可大於直線部分 124A 的寬度 124Aw。在一些實施例中，位於輻射感測區 122 之間的交叉部分 124B 可在交叉部分處形成有第三圖案 1136 或第三圖案 2036。因此，交叉部分 124B 可具有深度 124Bd，所述深度實質上相同於直線部分 124A 的深度 124Ad。在一些實施例中，溝渠隔離結構 124 的直線部分 124A 可具有凸狀底表面 124As，且交叉部分 124B 可具有凹狀底表面 124Bs。在一些實施例中，深度 124Ad 與 124Bd 的差值可介於約 1 埃至約 8000 埃的範圍內。所述差值對直線部分 124A 的深度 124Ad 之比率可小於約 20%。在一些實施例中，利用位於交叉部分處的第三圖案 1136 或 2036，位於直線部分 124A 及交叉部分 124B 處的溝渠隔離結構 124 的深度均勻性可提高約 20%至約 40%，且半導體裝置 100 的裝置效能可提高約 5%至約 10%。

【0058】 在一些實施例中，一種半導體結構包括位於基底上的第一溝渠填充結構及位於基底上的第二溝渠填充結構。第一溝渠填充結構具有第一寬度及凸狀底表面。第二溝渠填充結構具有凹狀底表面及大於第一寬度的第二寬度。在一實施例中，所述第一溝渠

填充結構具有第一深度，且所述第二溝渠填充結構具有第二深度，並且其中所述第一深度與所述第二深度之間的差值對所述第一深度之比率小於 20%。在一實施例中，所述第二溝渠填充結構更包括位於所述凹狀底表面處的突起及凹槽，且其中所述突起與所述凹槽之間的距離介於 10 埃至 2000 埃的範圍內。在一實施例中，所述距離對所述第一溝渠填充結構的深度之比率介於 0.02%至 5% 的範圍內。在一實施例中，所述第一溝渠填充結構具有深度，且其中所述深度對所述第一寬度之比率介於 20 至 100 的範圍內。在一實施例中，所述深度介於 2 微米至 4 微米的範圍內。在一實施例中，所述第二溝渠填充結構具有深度，且其中所述深度對所述第二寬度之比率介於 5 至 50 的範圍內。在一實施例中，所述第二寬度對所述第一寬度之比率介於 2 至 100 的範圍內。在一實施例中，所述第一寬度介於 40 奈米至 100 奈米的範圍內，且所述第二寬度介於 80 奈米至 400 奈米的範圍內。

【0059】 在一些實施例中，一種半導體裝置包括第一晶片。第一晶片包括位於第一晶片的第一側上的多個畫素以及隔離所述多個畫素的第一溝渠填充結構及第二溝渠填充結構。第一溝渠填充結構具有凸狀底表面。第二溝渠填充結構接觸第一溝渠填充結構。第二溝渠填充結構具有凹狀底表面。半導體裝置更包括接合至第一晶片的第二側的第二晶片。所述第二側與所述第一側相對。在一實施例中，所述第一溝渠填充結構具有第一深度，且所述第二溝渠填充結構具有第二深度，並且其中所述第一深度與所述第二深度之間

的差值對所述第一深度之比率小於約 20%。在一實施例中，所述第二溝渠填充結構包括位於所述凹狀底表面處的突起及凹槽，且其中所述突起與所述凹槽之間的距離對所述第一溝渠填充結構的深度之比率介於 0.02%至 5%的範圍內。在一實施例中，所述第一溝渠填充結構具有第一寬度，且所述第二溝渠填充結構具有第二寬度，並且其中所述第二寬度對所述第一寬度之比率介於 2 至 100 的範圍內。

【0060】 在一些實施例中，一種方法包括：在基底上形成第一圖案及第二圖案，第一圖案具有第一寬度，第二圖案具有大於第一寬度的第二寬度；在第二圖案內形成具有小於第二寬度的第三寬度的第三圖案；以及在基底上，在第一圖案之下形成第一溝渠且在第二圖案及第三圖案之下形成第二溝渠。在一實施例中，形成所述第一圖案及所述第二圖案包括：在所述基底上沈積罩幕層；以及將所述罩幕層蝕刻成所述第一圖案及所述第二圖案。在一實施例中，形成所述第三圖案包括：在所述第一圖案及所述第二圖案上沈積介電材料；在位於所述第二圖案上方的所述介電材料上形成罩幕結構；以及蝕刻所述介電材料及所述罩幕結構。在一實施例中，形成所述第一圖案及所述第二圖案包括：在所述基底上沈積第一蝕刻終止層；在所述第一蝕刻終止層上沈積罩幕層；在所述罩幕層上沈積第二蝕刻終止層；以及蝕刻所述罩幕層及所述第二蝕刻終止層。在一實施例中，形成所述第三圖案包括：在所述第一圖案及所述第二圖案上沈積介電材料以填充所述第一圖案；在所述介電材料上沈積

塗層以填充所述第二圖案；蝕刻所述塗層及所述介電材料以在所述第二圖案中形成罩幕結構；以及移除被所述第一圖案、所述罩幕結構及所述第二圖案暴露出的所述第一蝕刻終止層。在一實施例中，形成所述第一溝渠及所述第二溝渠包括使用氟基電漿蝕刻具有所述第一圖案、所述第二圖案及所述第三圖案的所述基底。在一實施例中，所述的方法更包括使用介電材料填充所述第一溝渠及所述第二溝渠。

【0061】 應理解，實施方式部分而非發明摘要旨在用於解釋申請專利範圍。發明摘要可陳述發明人所設想的本揭露的一或多個但並非所有可能的實施例，且因此，並不旨在以任何方式限制所附申請專利範圍。

【0062】 以上揭露概述了若干實施例的特徵，以使熟習此項技術者可更佳地理解本揭露的態樣。熟習此項技術者應理解，他們可容易地使用本揭露作為設計或修改其他製程及結構的基礎來施行與本文中所介紹的實施例相同的目的及/或達成與本文中所介紹的實施例相同的優點。熟習此項技術者亦應認識到，此種等效構造並不背離本揭露的精神及範圍，而且他們可在不背離本揭露的精神及範圍的條件下在本文中作出各種改變、代替、及變更。

【符號說明】

【0063】

100:半導體裝置

102:第一基底

104:第一介電層

104t、114t:垂直尺寸

106:專用電路

108:第一內連線結構

110:第一晶片

112:第二基底

112p、2212p:突起

112p1w、112p2w、2212p1w、2212p2w:距離/寬度

112pr:距離

114:第二介電層

116:浮置裝置

118:第二內連線結構

120:第二晶片

120s1:第一側

120s2:第二側

122:輻射感測區

124:溝渠隔離結構

124A:直線部分

124Ad、124Bd、1324Ad、1324Bd:深度

124As:凸狀底表面

124Aw、124Bw、124p1w、124p2w、524Aw、524Bw、1036w、

1136w、2036w:寬度

124B:交叉部分

124Bs:凹狀底表面

124p1:第一突起/突起

124p2:第二突起/突起

124pr:距離

124r:凹槽

130:介面

150:區

152:濾色片

154:金屬柵格

156:微透鏡

524A1、524A2、524B1、524B2:溝渠填充結構

600:方法

610、620、630:操作

724、1424:圖案

724A、1424A:第一圖案

724Aw:第一寬度

724B、1424B:第二圖案

724Bw:第二寬度

732、1432:單幕層

732t、1432t、1438t、1442t、1644t、1846t:厚度

934、1746:塗層

1036:罩幕結構

1136、2036:第三圖案

1324A、2224A:第一溝渠/溝渠

1324B、2224B:第二溝渠/溝渠

1424Aw:第一寬度/寬度

1424Bw:第二寬度/寬度

1438:第一蝕刻終止層 (ESL)

1442:第二蝕刻終止層 (ESL)

1644:介電層

1846:第一罩幕結構

1944:第二罩幕結構

2038:第三罩幕結構

A-A'、B-B':線

X、Z:軸

【發明申請專利範圍】

【請求項1】 一種半導體結構，包括：

第一溝渠填充結構，位於基底上，其中所述第一溝渠填充結構具有第一寬度及凸狀底表面；以及

第二溝渠填充結構，位於所述基底上，其中：

所述第二溝渠填充結構具有凹狀底表面；以及

所述第二溝渠填充結構具有大於所述第一寬度的第二寬度，且所述第二溝渠填充結構位於所述第一溝渠填充結構的多個直線部分相交的位置。

【請求項2】 如請求項 1 所述的半導體結構，其中所述第一溝渠填充結構具有第一深度，且所述第二溝渠填充結構具有第二深度，並且其中所述第一深度與所述第二深度之間的差值對所述第一深度之比率小於 20%。

【請求項3】 如請求項 1 所述的半導體結構，其中所述第二溝渠填充結構更包括位於所述凹狀底表面處的突起及凹槽，且其中所述突起與所述凹槽之間的距離介於 10 埃至 2000 埃的範圍內，所述距離對所述第一溝渠填充結構的深度之比率介於 0.02%至 5%的範圍內。

【請求項4】 如請求項 1 所述的半導體結構，其中所述第一溝渠填充結構具有深度，且其中所述深度對所述第一寬度之比率介於 20 至 100 的範圍內

【請求項5】 如請求項 1 所述的半導體結構，其中所述第二溝渠

填充結構具有深度，且其中所述深度對所述第二寬度之比率介於 5 至 50 的範圍內，所述第二寬度對所述第一寬度之比率介於 2 至 100 的範圍內。

【請求項6】 一種半導體裝置，包括：

第一晶片，其中所述第一晶片包括：

多個畫素，位於所述第一晶片的第一側上；

第一溝渠填充結構及第二溝渠填充結構，將所述多個畫素彼此隔離，其中：

所述第一溝渠填充結構具有凸狀底表面；

所述第二溝渠填充結構接觸所述第一溝渠填充結構；

以及

所述第二溝渠填充結構具有凹狀底表面；以及

第二晶片，接合至所述第一晶片的第二側，其中所述第二側與所述第一側相對。

【請求項7】 一種半導體結構的製造方法，包括：

在基底上形成第一圖案及第二圖案，所述第一圖案具有第一寬度，所述第二圖案具有大於所述第一寬度的第二寬度；

在所述第二圖案內形成具有小於所述第二寬度的第三寬度的第三圖案；以及

在所述基底上，在所述第一圖案之下形成第一溝渠，且在所述第二圖案及所述第三圖案之下形成第二溝渠。

【請求項8】 如請求項 7 所述的方法，其中形成所述第一圖案及

所述第二圖案包括：

在所述基底上沈積罩幕層；以及

將所述罩幕層蝕刻成所述第一圖案及所述第二圖案，其中形成所述第三圖案包括：

在所述第一圖案及所述第二圖案上沈積介電材料；

在位於所述第二圖案上方的所述介電材料上形成罩幕結構；

以及

蝕刻所述介電材料及所述罩幕結構。

【請求項9】 如請求項 7 所述的方法，其中形成所述第一圖案及所述第二圖案包括：

在所述基底上沈積第一蝕刻終止層；

在所述第一蝕刻終止層上沈積罩幕層；

在所述罩幕層上沈積第二蝕刻終止層；以及

蝕刻所述罩幕層及所述第二蝕刻終止層，其中形成所述第三圖案包括：

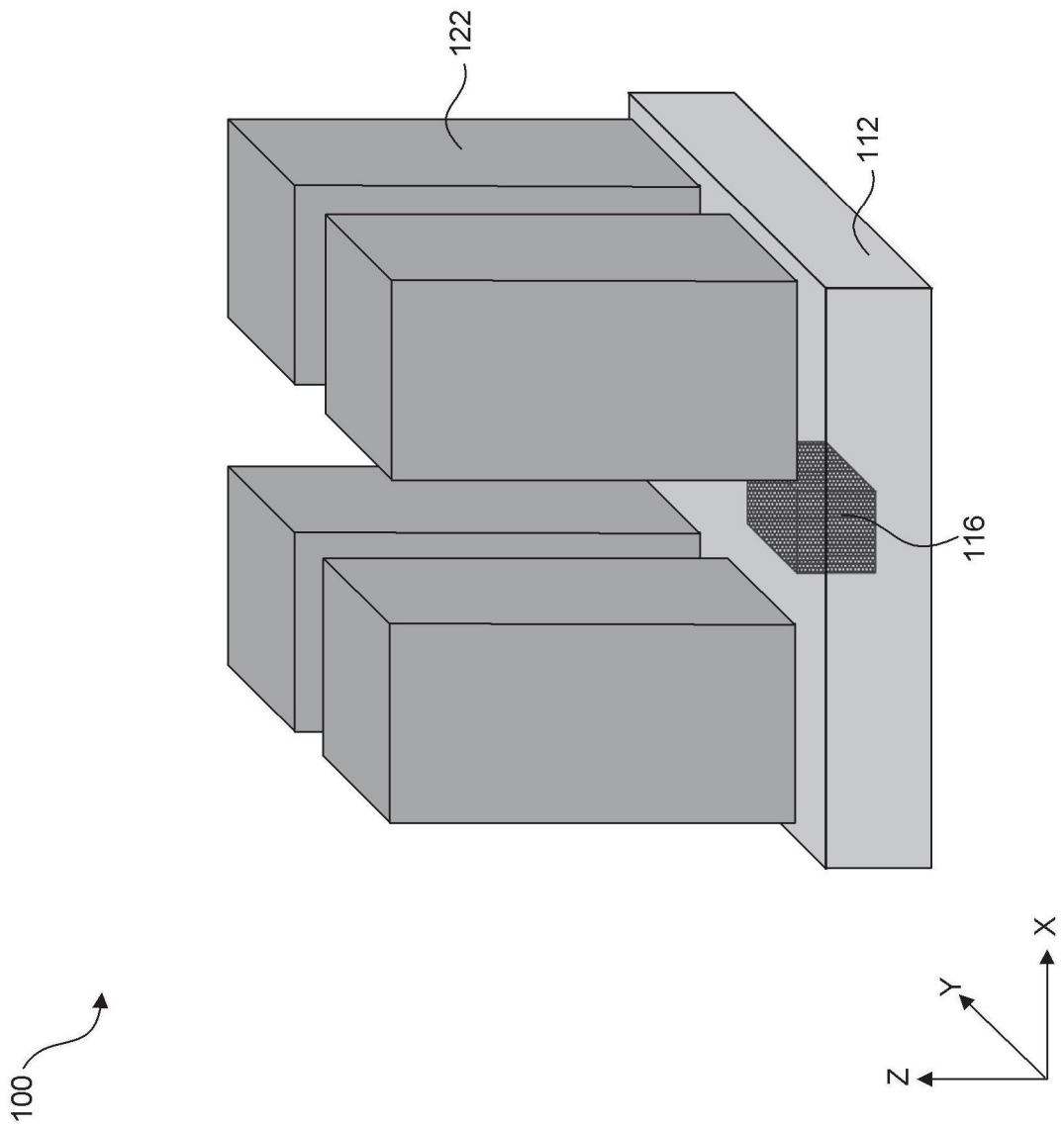
在所述第一圖案及所述第二圖案上沈積介電材料以填充所述第一圖案；

在所述介電材料上沈積塗層以填充所述第二圖案；

蝕刻所述塗層及所述介電材料以在所述第二圖案中形成罩幕結構；以及

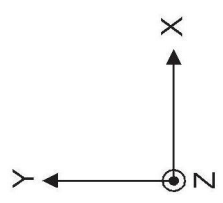
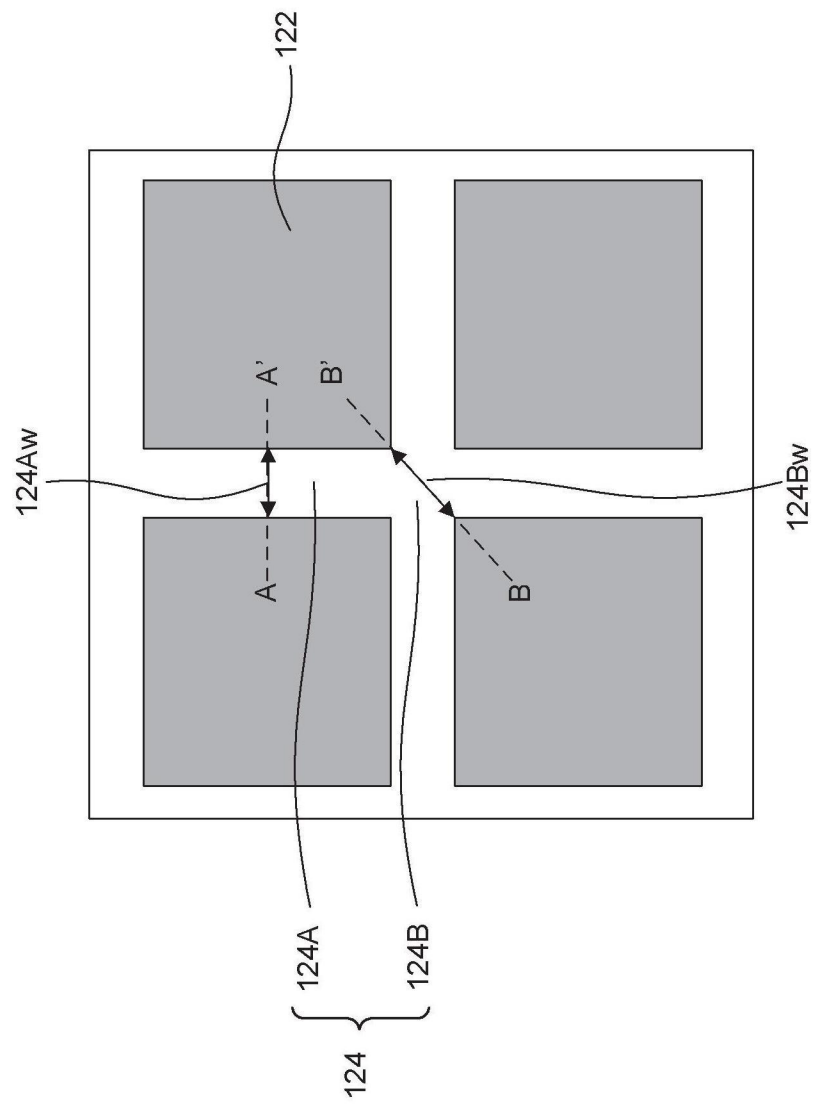
移除被所述第一圖案、所述罩幕結構及所述第二圖案暴露出的所述第一蝕刻終止層。

【請求項10】 如請求項 7 所述的方法，其中形成所述第一溝渠及所述第二溝渠包括使用氟基電漿蝕刻具有所述第一圖案、所述第二圖案及所述第三圖案的所述基底。

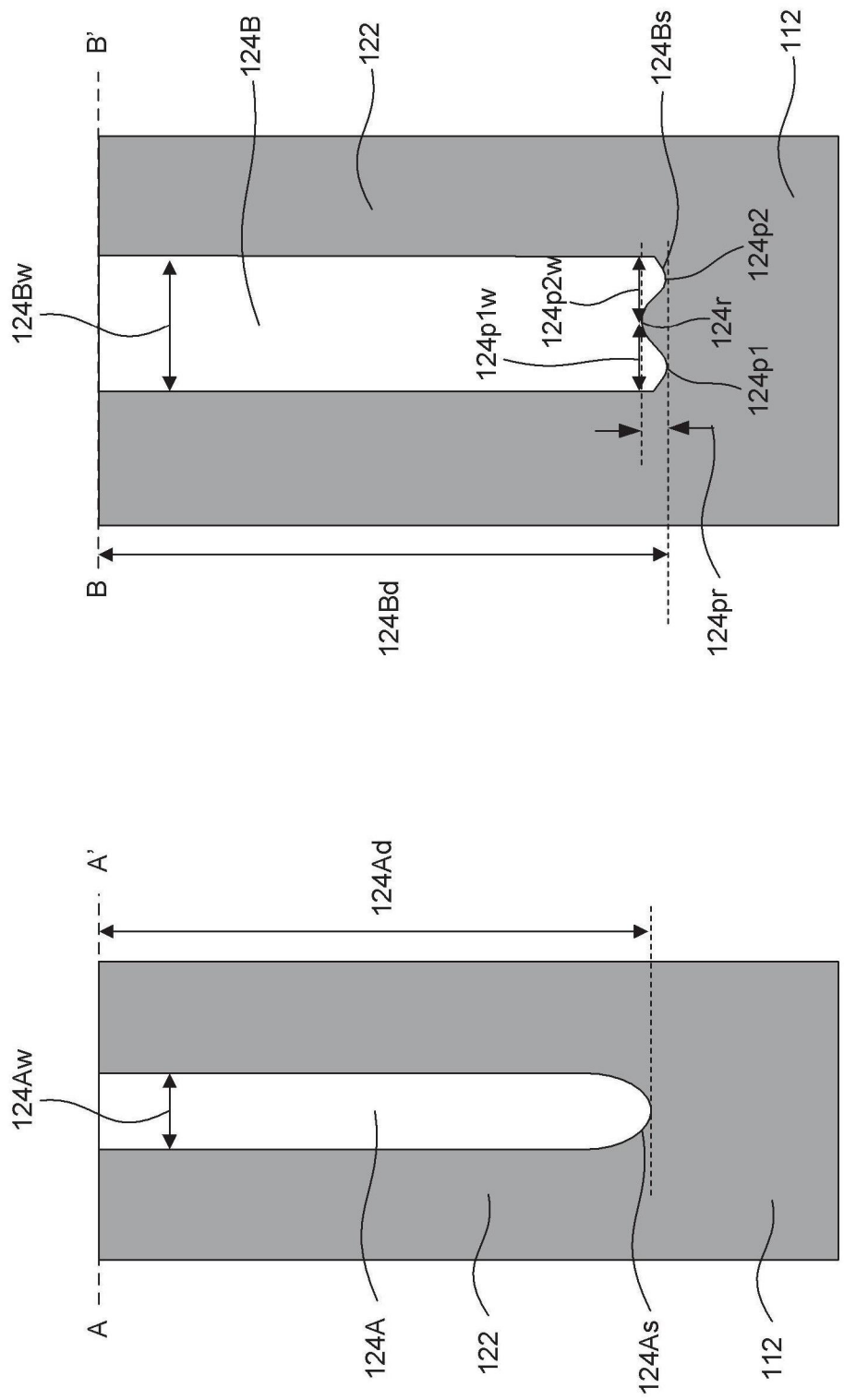


【圖2】

100

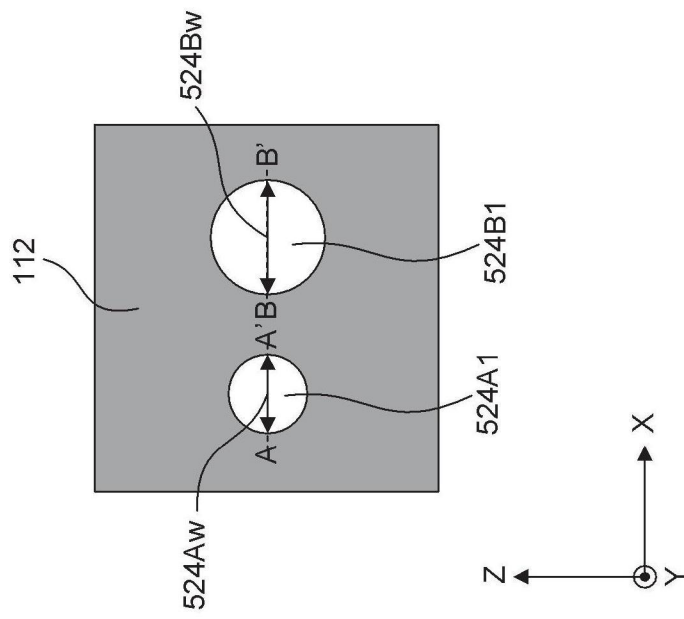


【圖3】

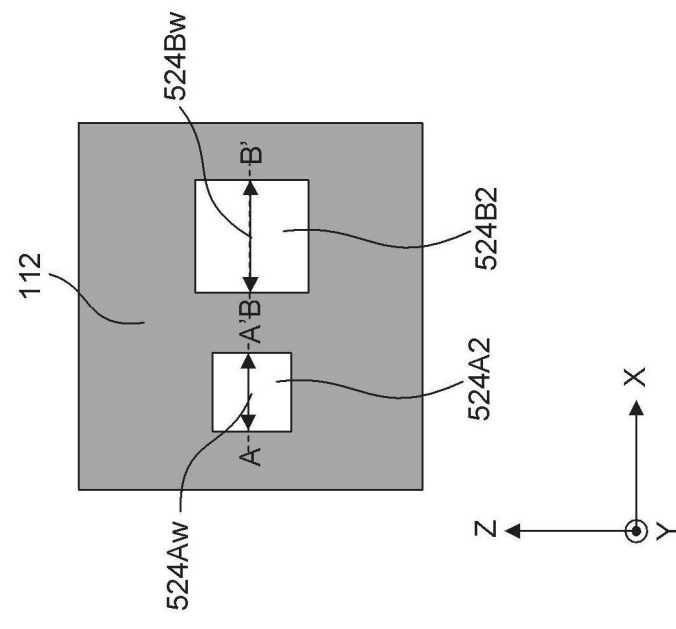


【圖4B】

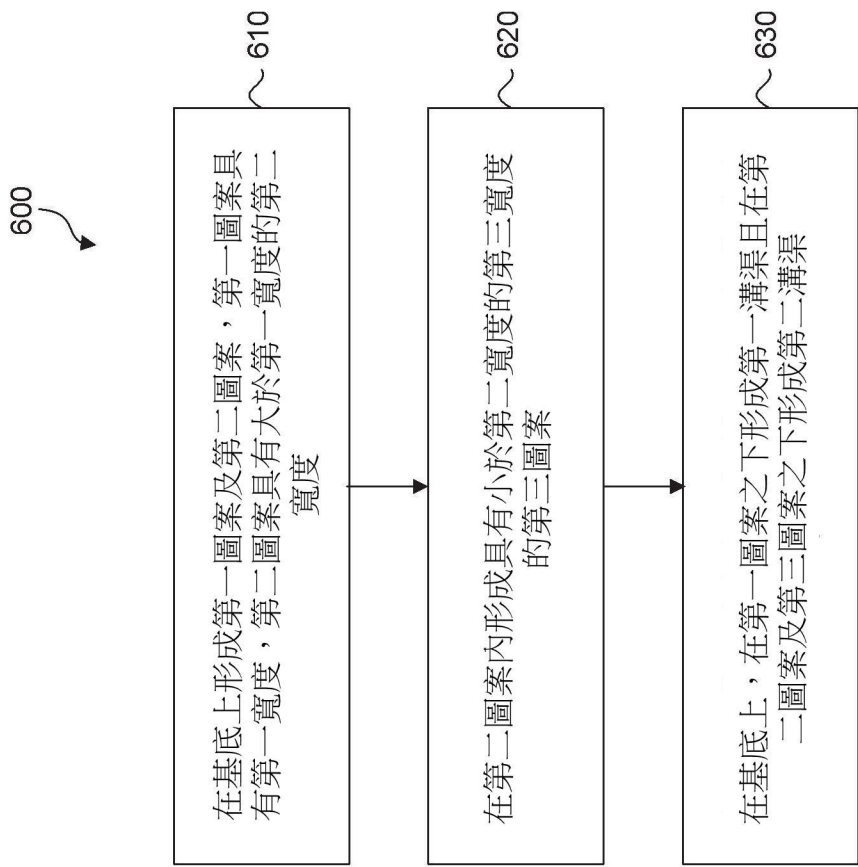
【圖4A】



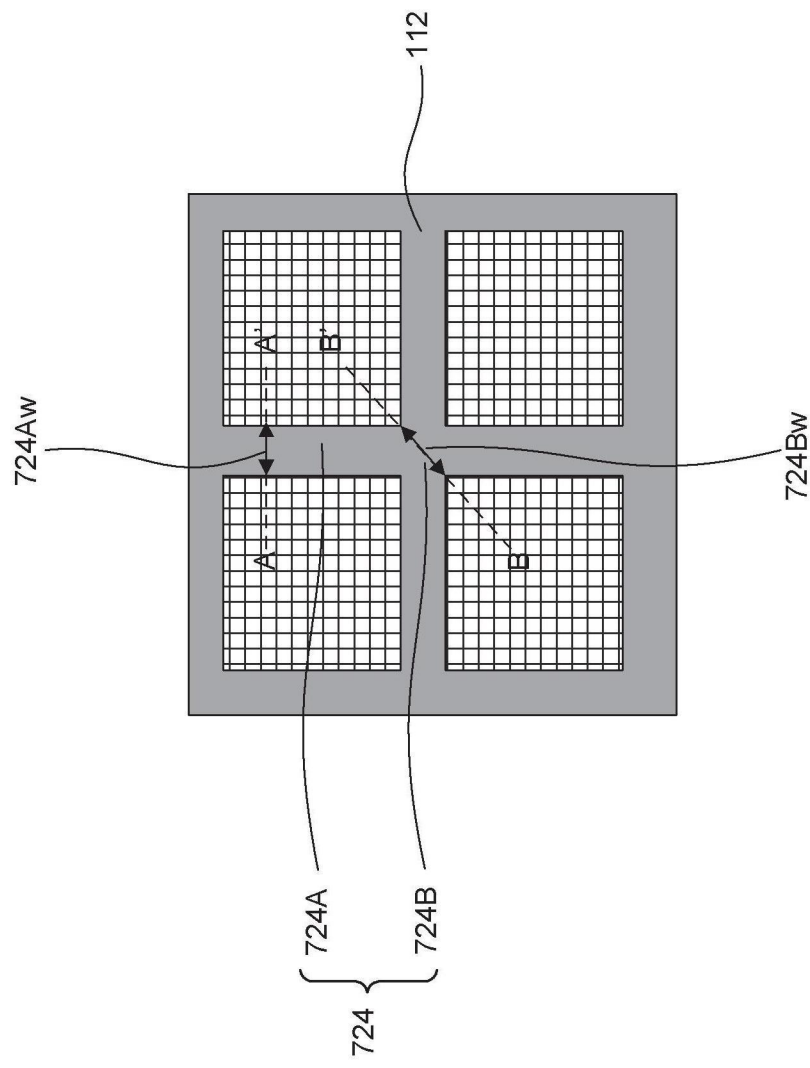
【圖5A】



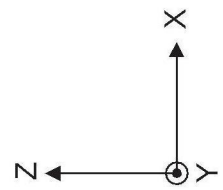
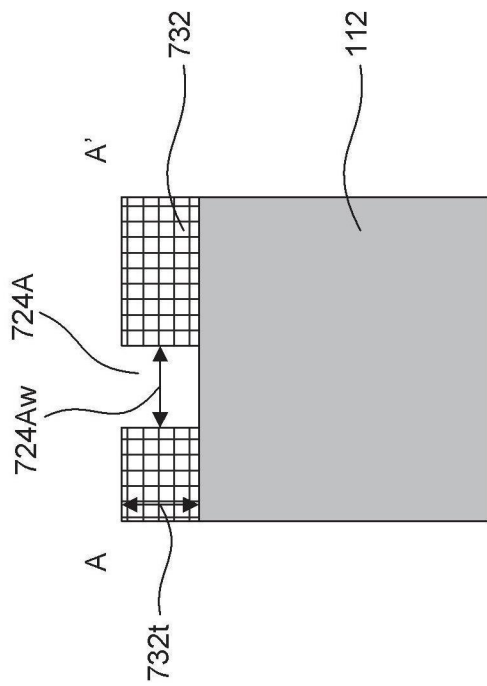
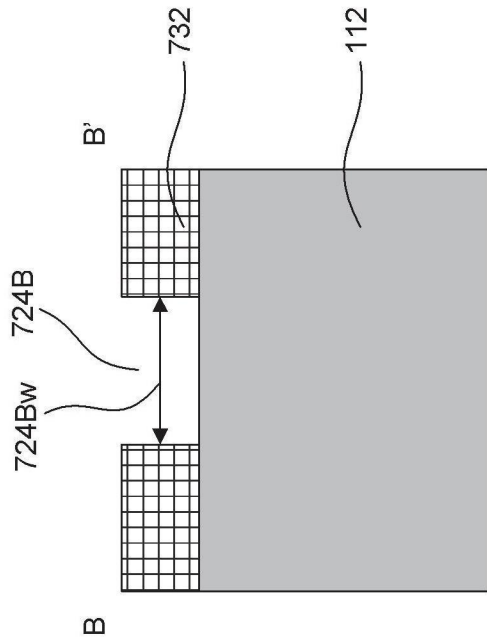
【圖5B】



【圖6】

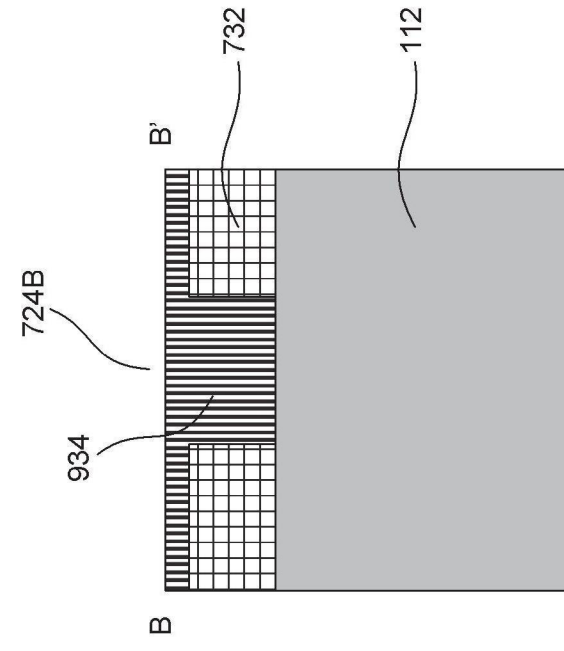


【圖7】

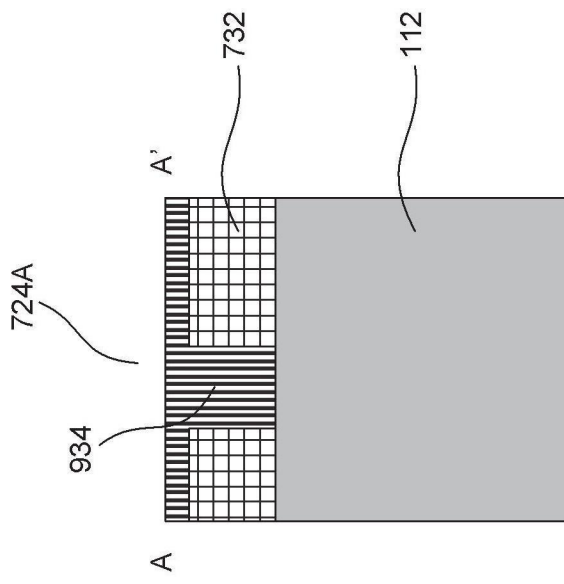


【圖8B】

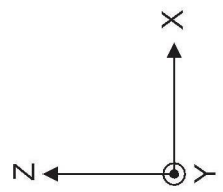
【圖8A】

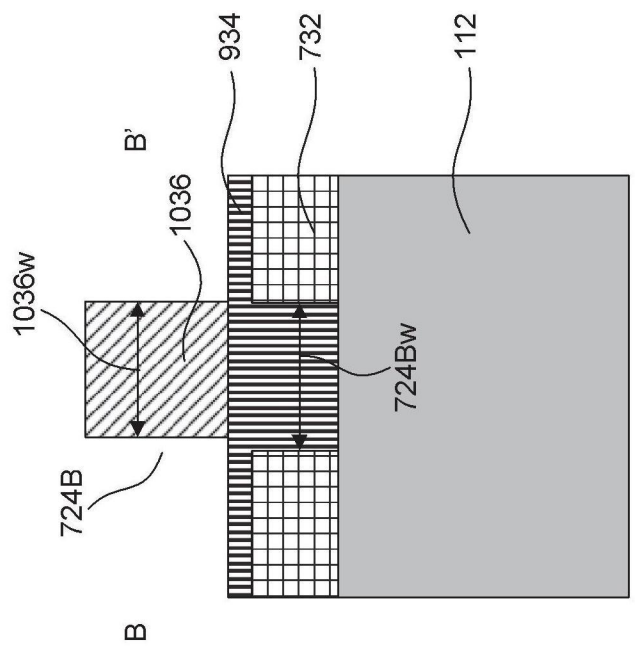


【圖9B】

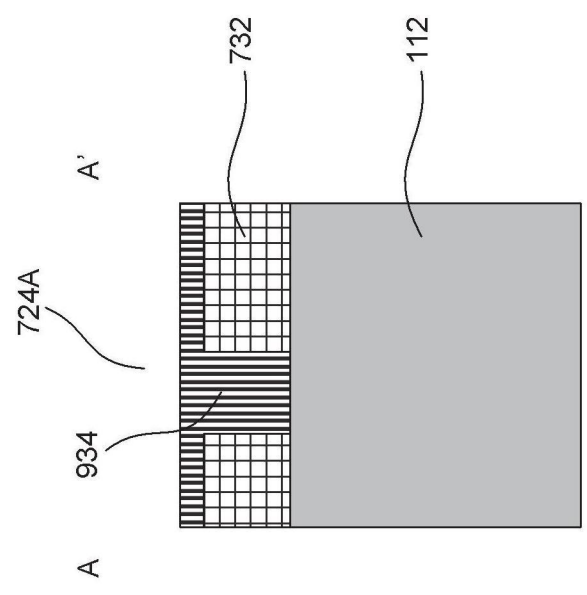


【圖9A】

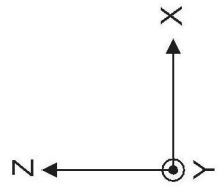


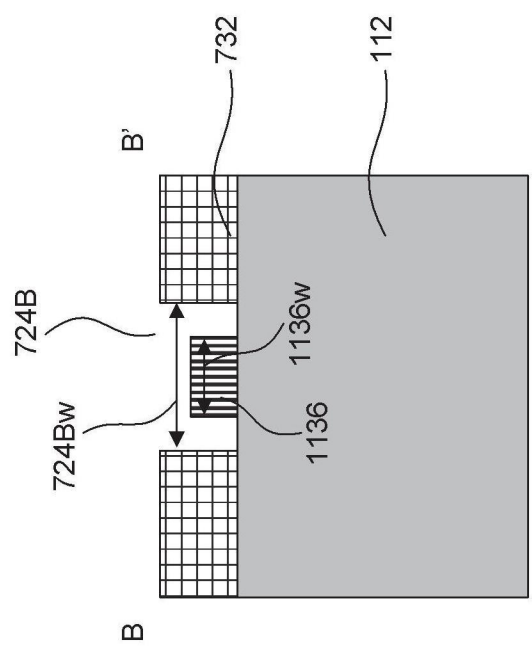


【圖10B】

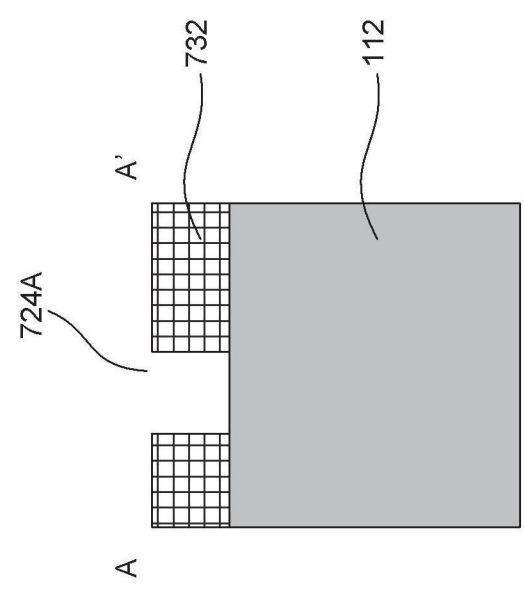


【圖10A】

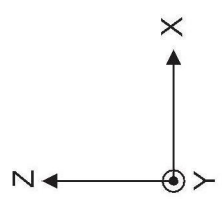


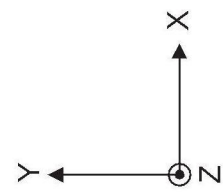
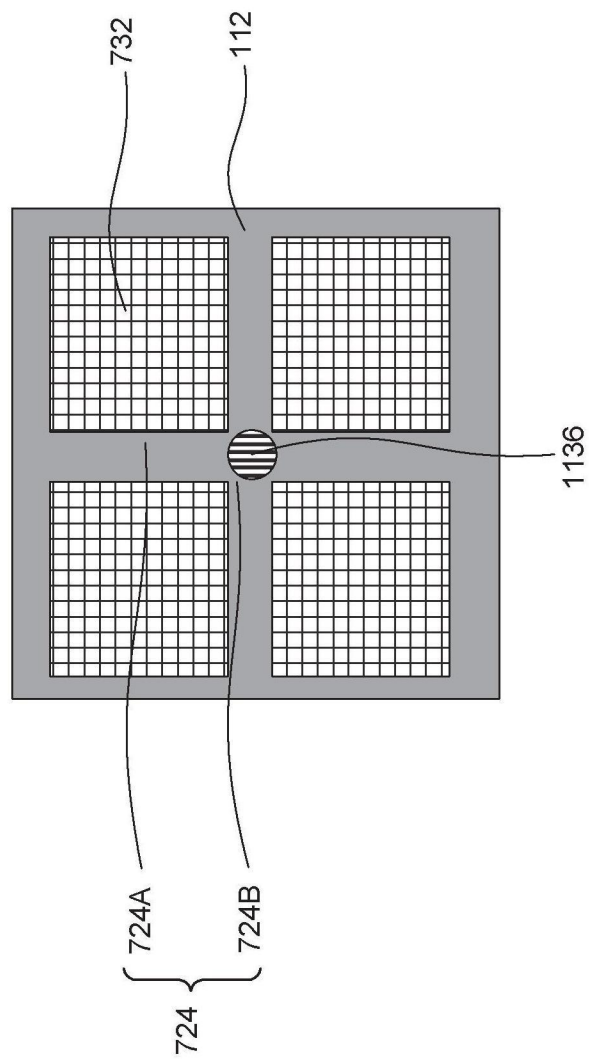


【圖11B】

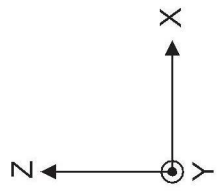
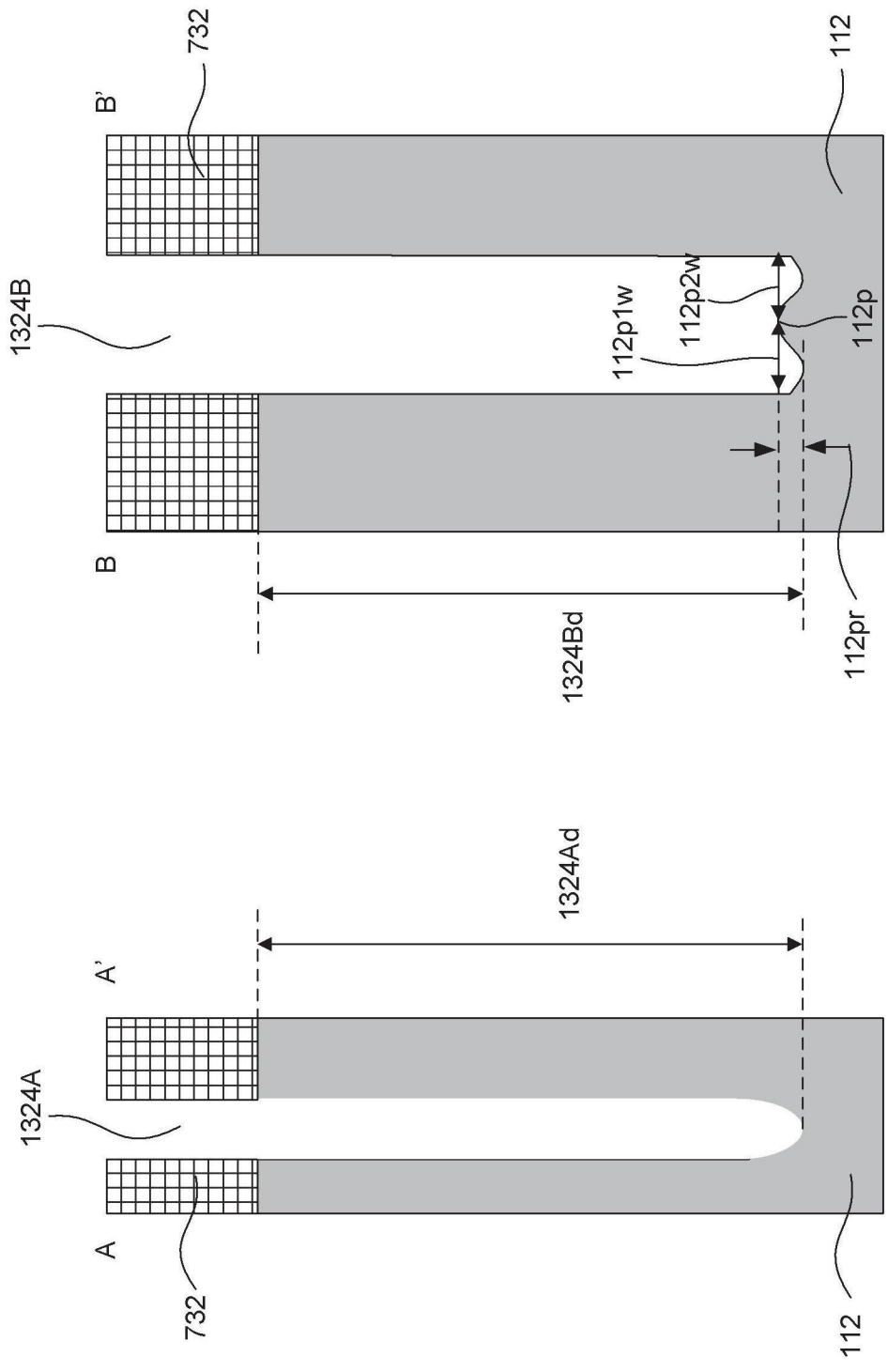


【圖11A】



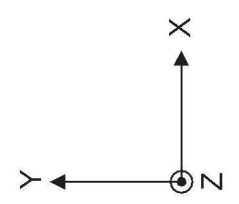
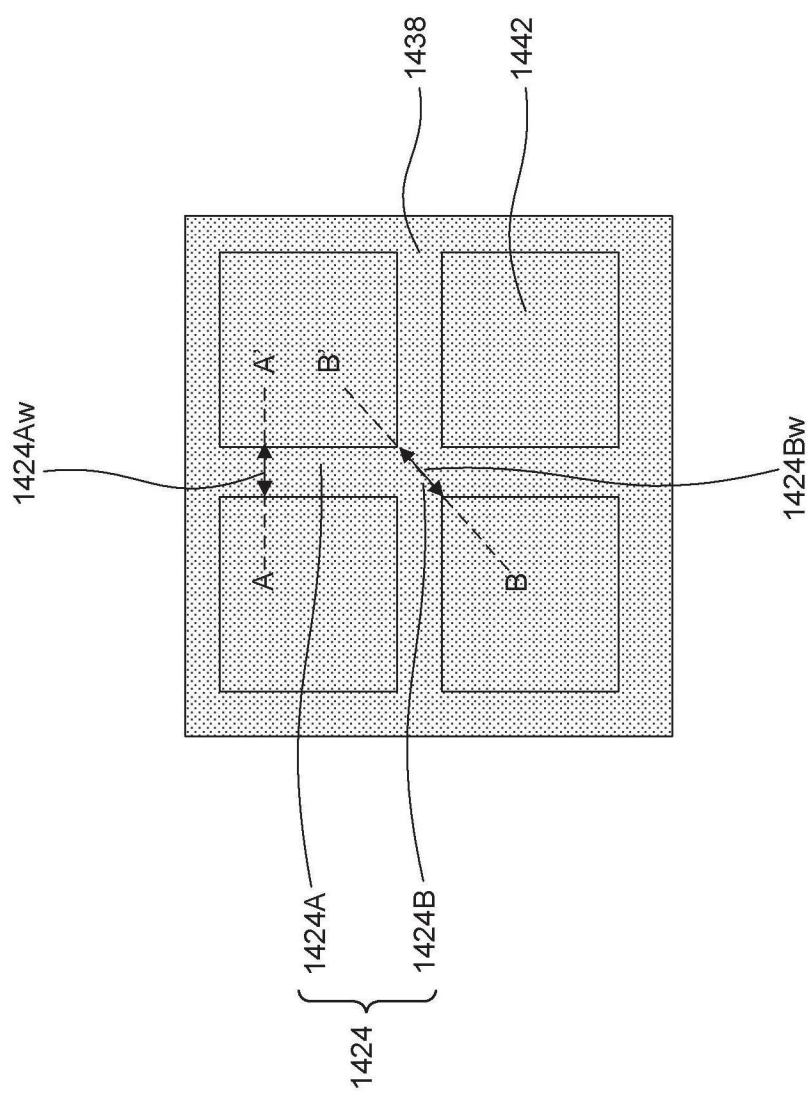


【圖12】

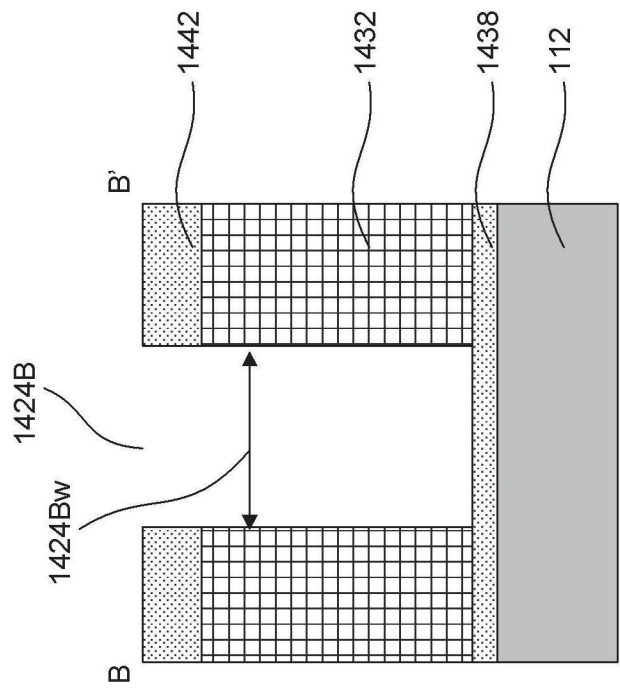


【圖13B】

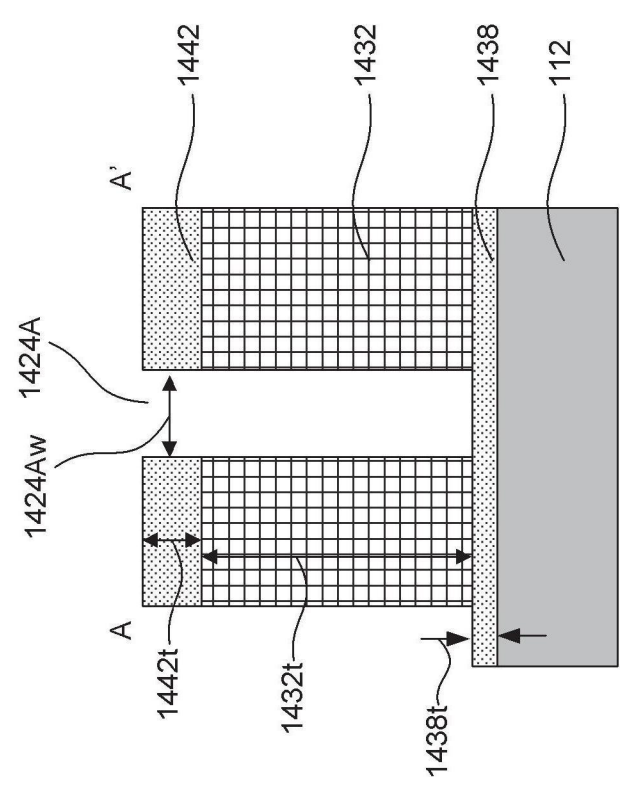
【圖13A】



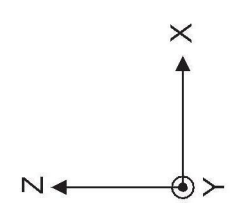
【圖14】

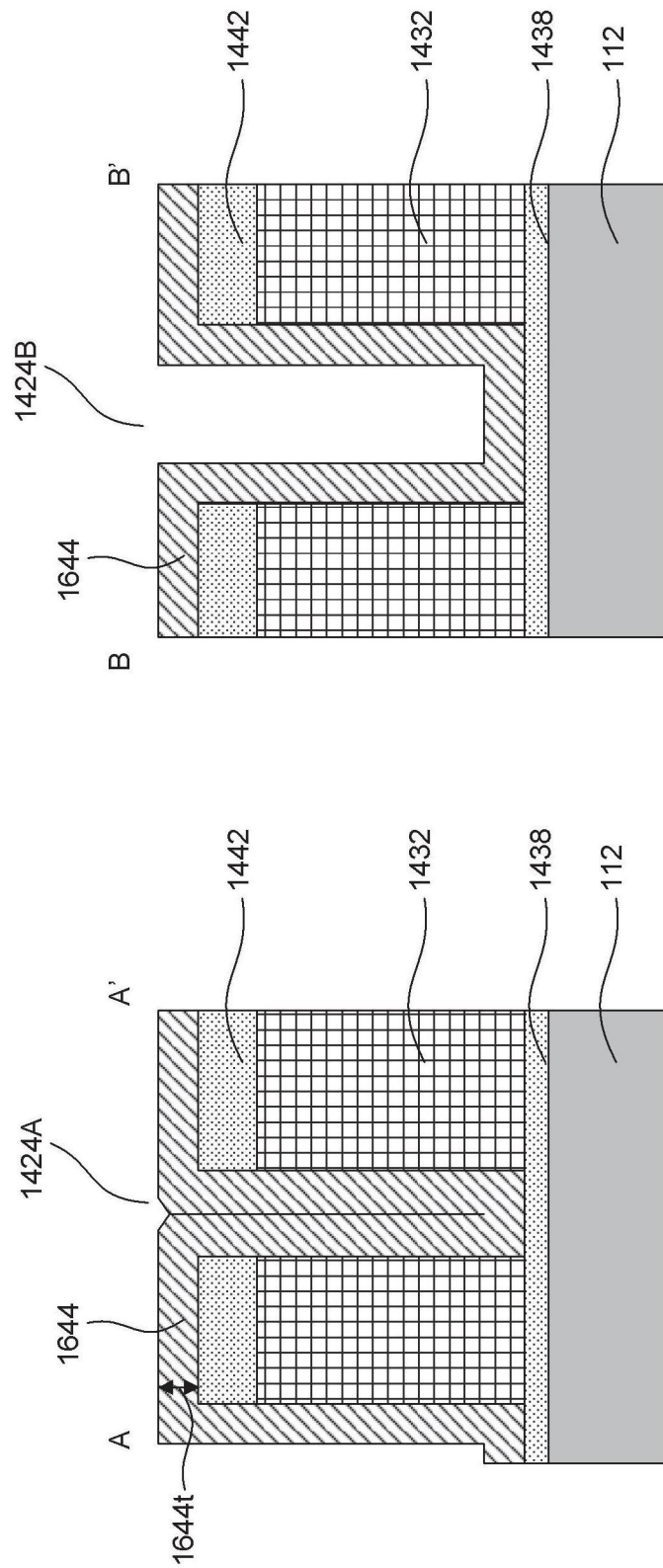


【圖15B】



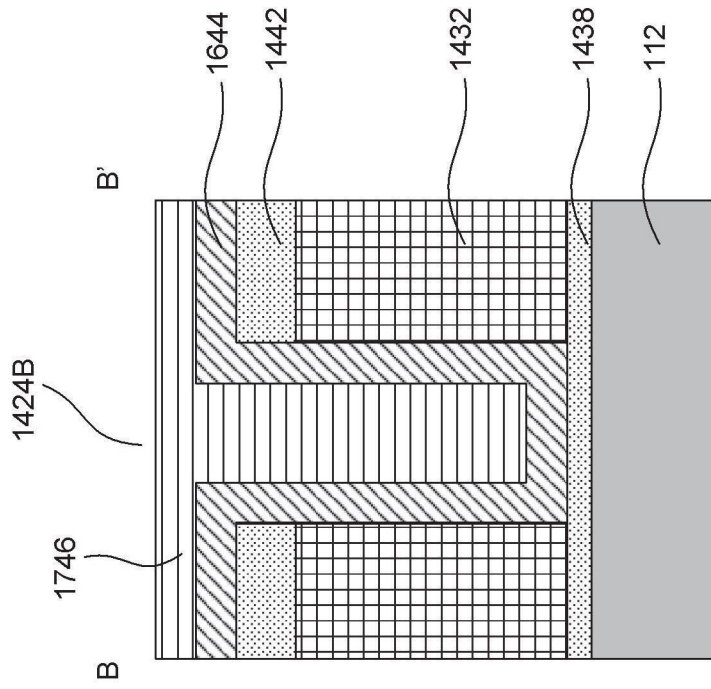
【圖15A】



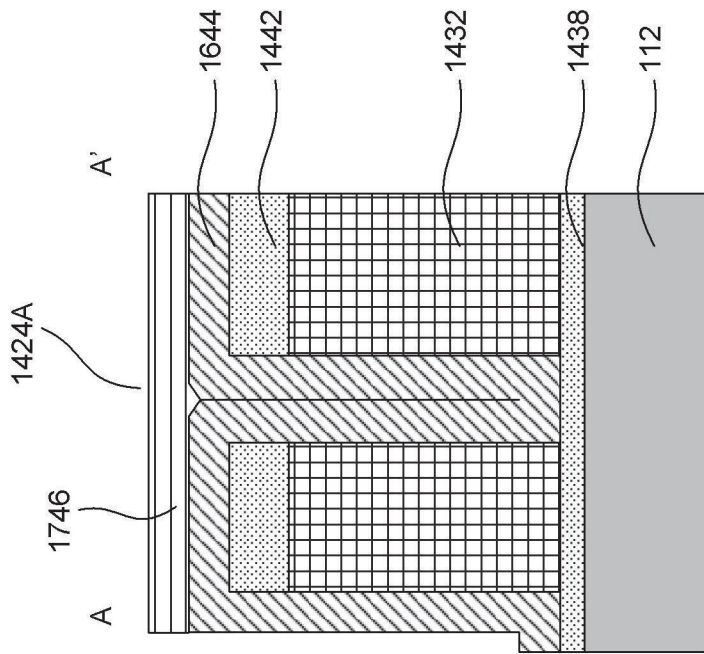


【圖16B】

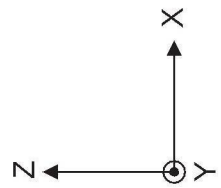
【圖16A】

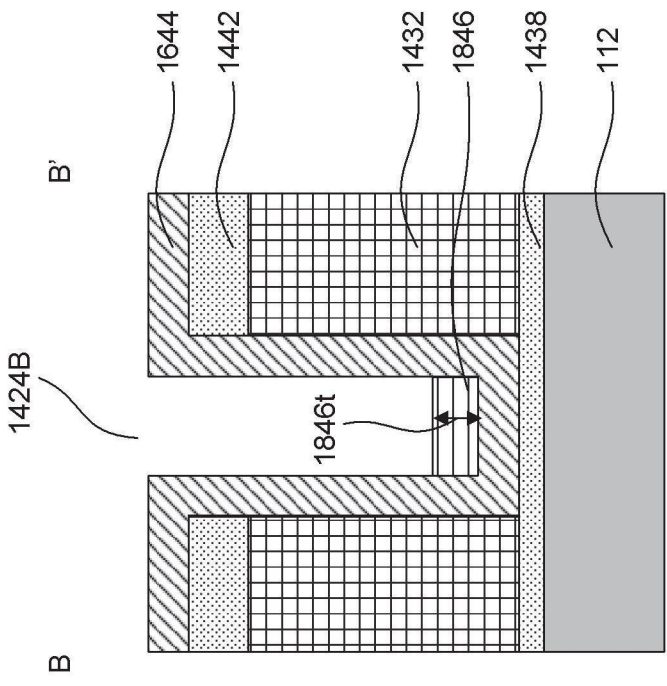


【圖17B】

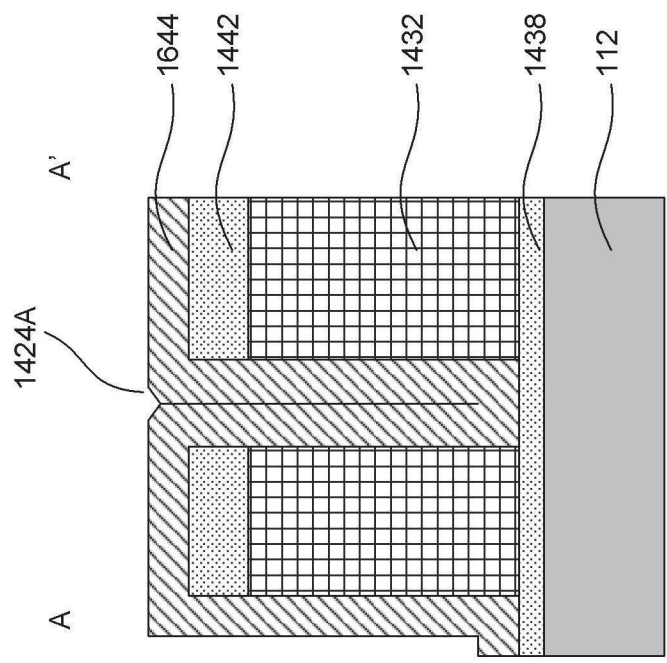


【圖17A】

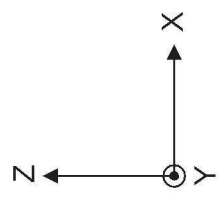


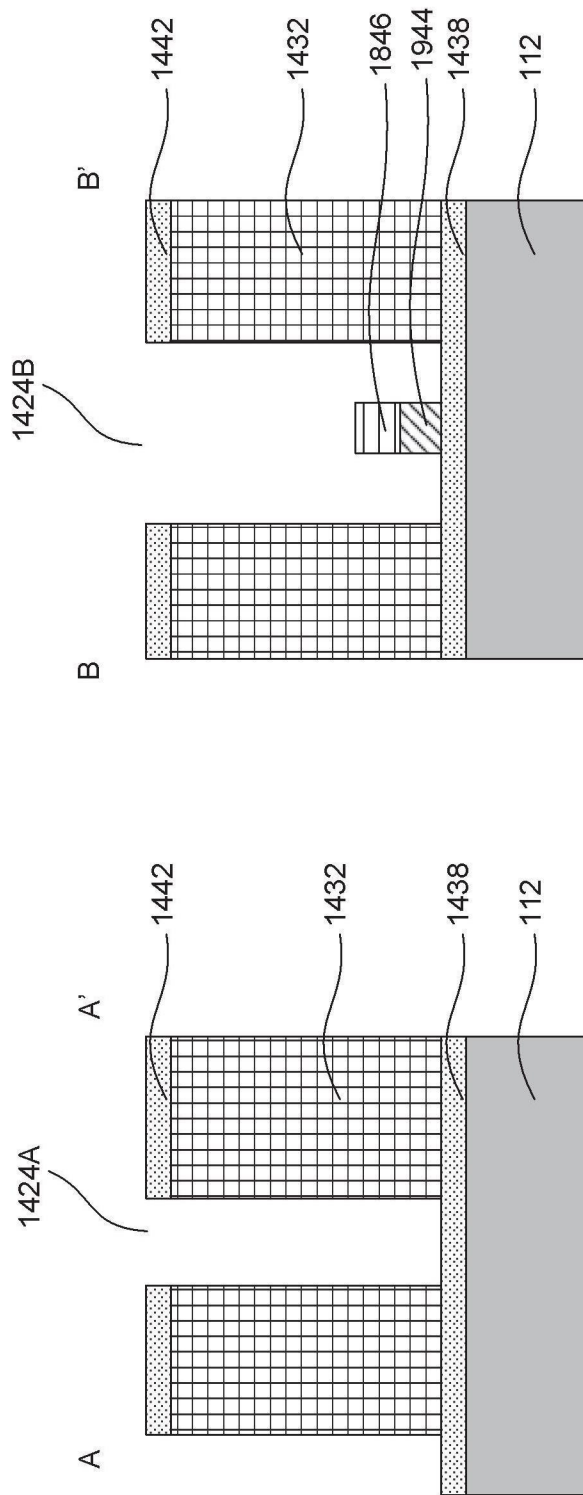


【圖18B】

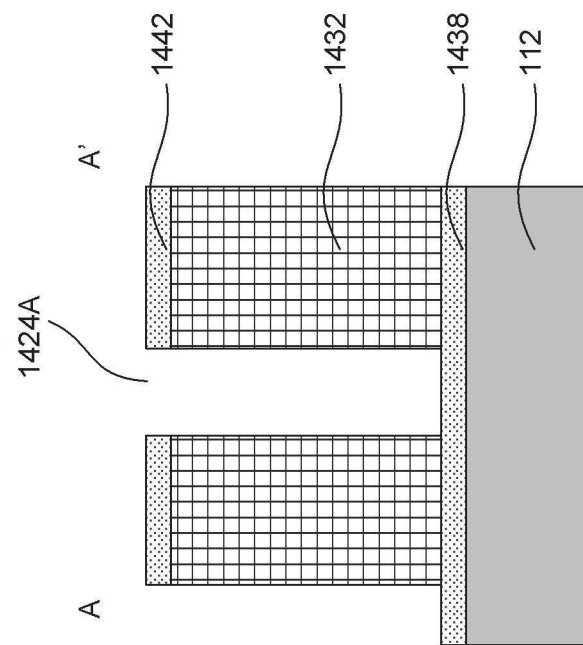


【圖18A】

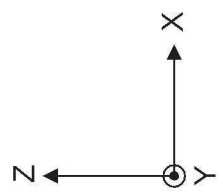


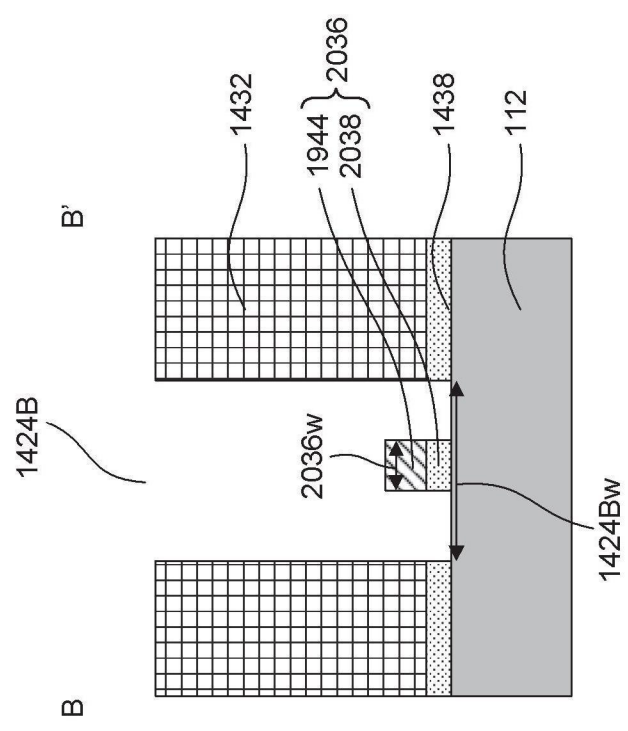


【圖19B】

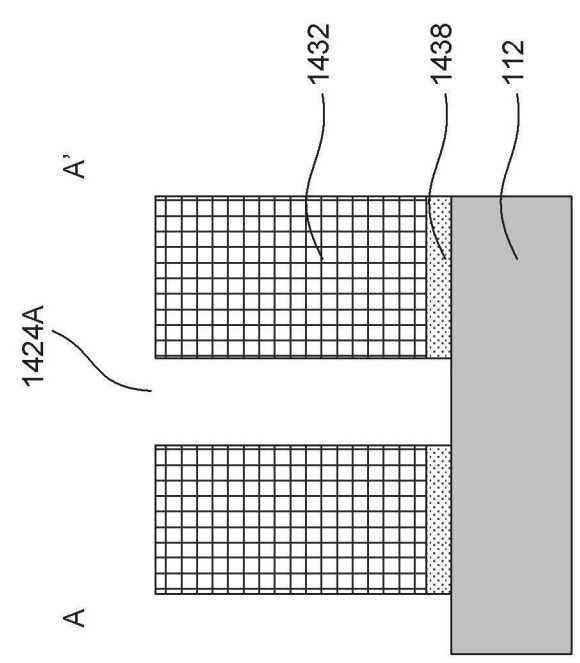


【圖19A】

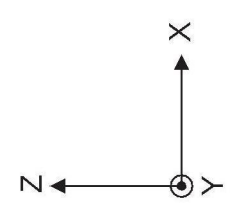


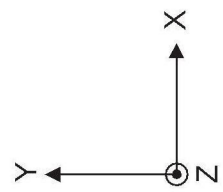
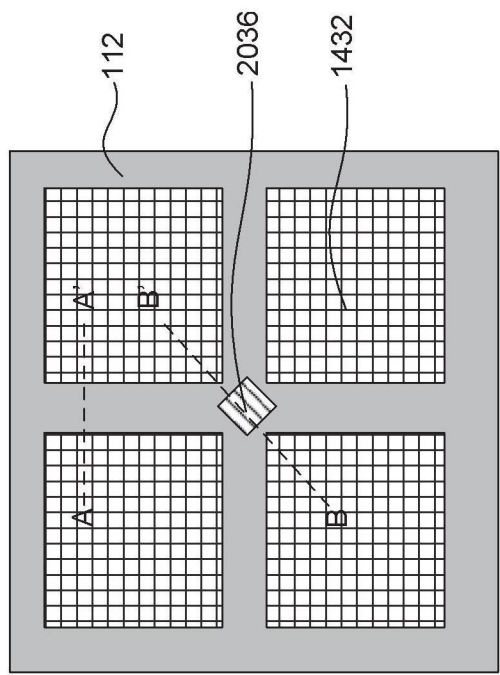


【圖20B】

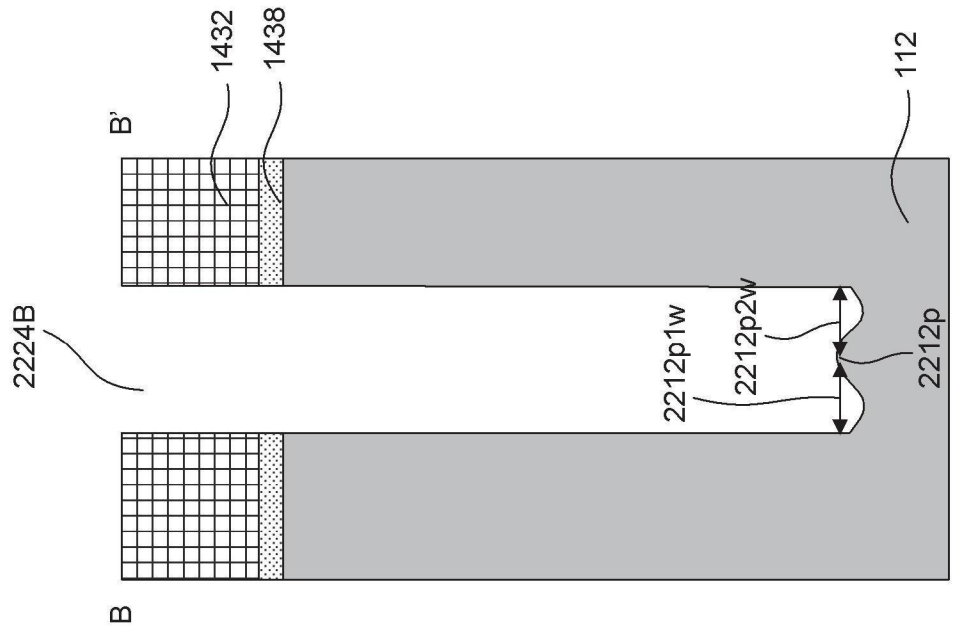


【圖20A】

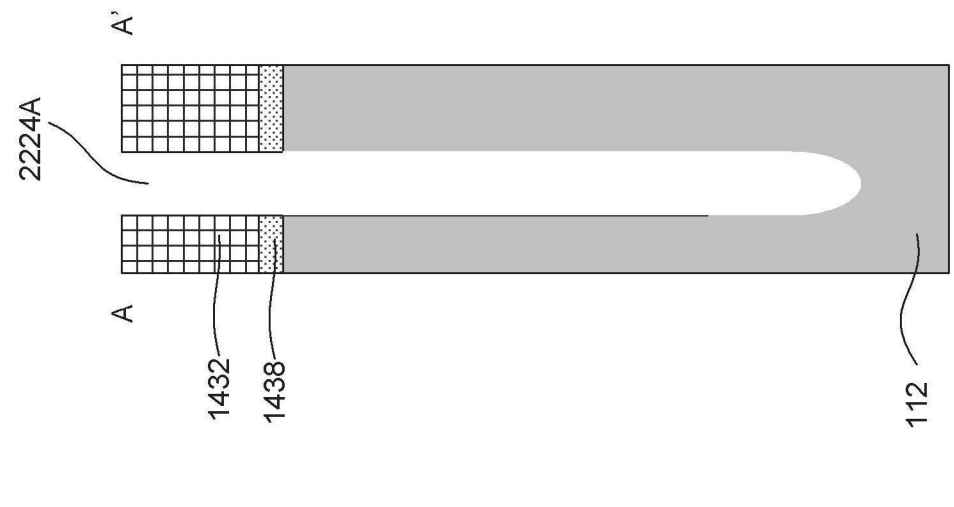




【圖21】



【圖22A】



【圖22B】