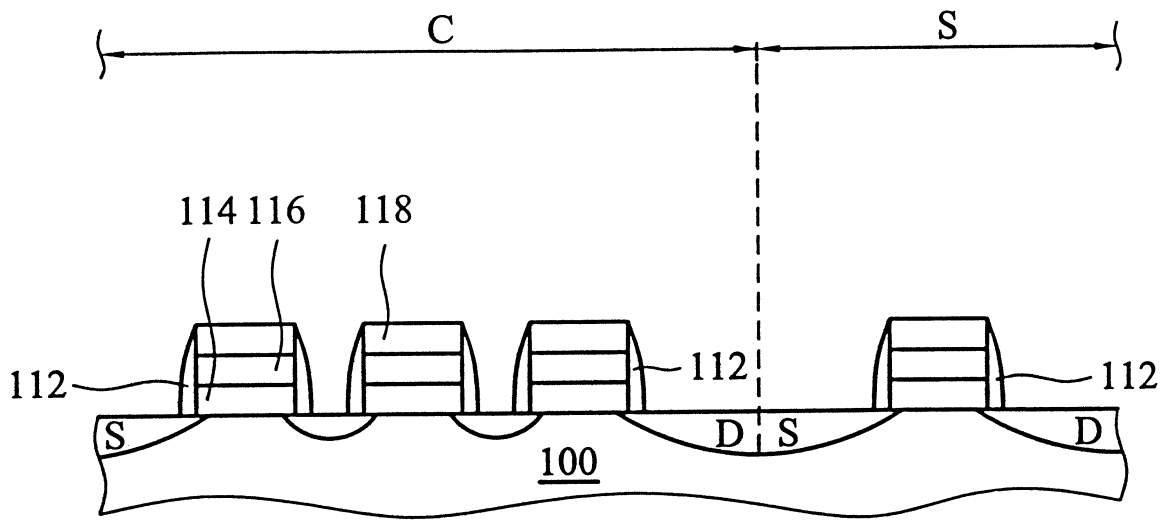
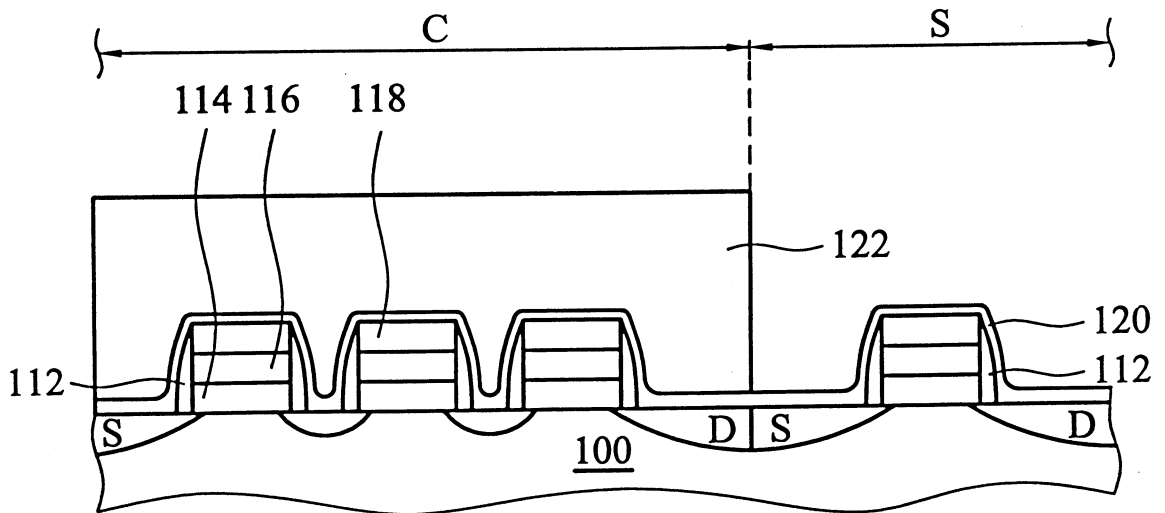


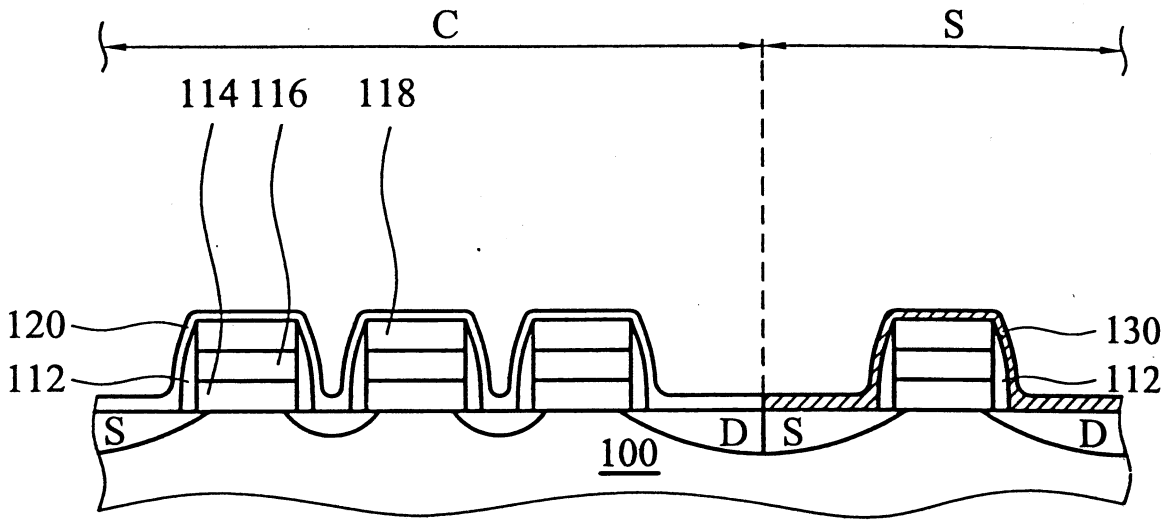
第 1 圖



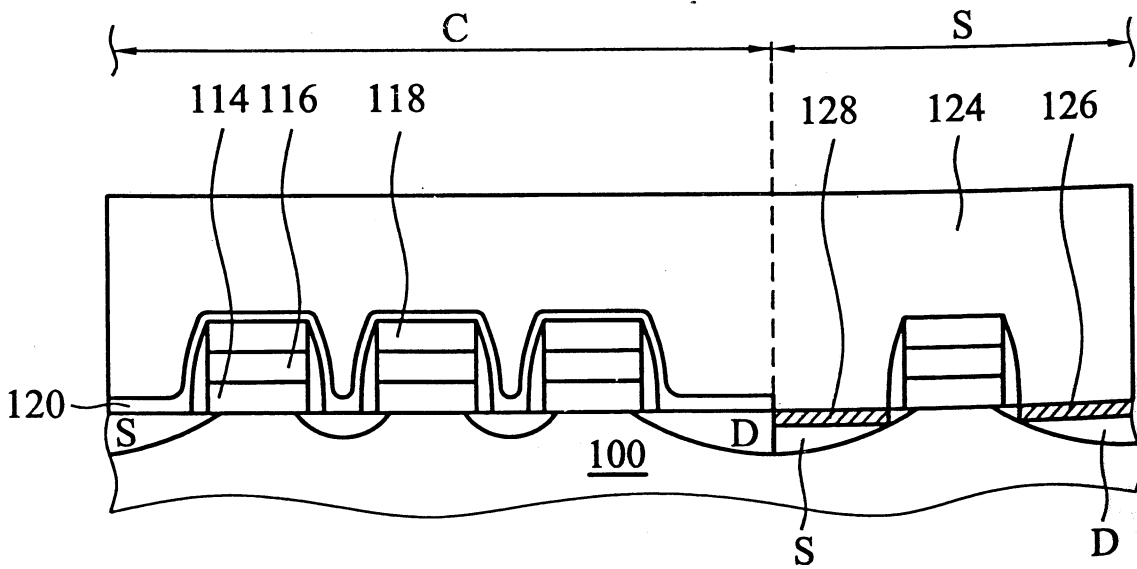
第2A圖



第2B圖



第2C圖



第2D圖

申請日期：

91.11.29

IPC分類

H01L 21/324

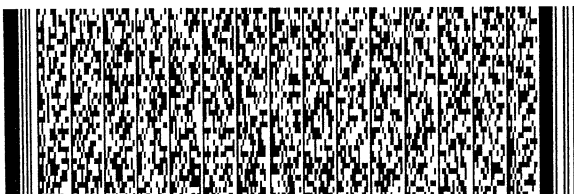
申請案號：91134813

公告本

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	形成金屬矽化物層於源極及汲極的方法
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 吳國堅 2. 林正平
	姓名 (英文)	1. Kuo-Chien Wu 2.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 苗栗縣苗栗市中苗里5鄰中正路547號 2. 桃園縣大園鄉大園村新生路41號
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R. O. C
	代表人 (中文)	1. 連日昌
代表人 (英文)	1. Jih-Chang Lien	



0548-8877twf1(4.2) : 91127 : spin.ptc

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

五、發明說明(1)

發明所屬之技術領域

本發明係有關於一種形成金屬矽化物層於源極及汲極的方法，特別有關於利用現有阻障層作為形成金屬矽化物層步驟中遮蔽不需形成金屬矽化物層區域的方法。

先前技術

目前，廣泛使用之積體電路製程，如第1圖所示，是分別在包括記憶胞陣列區C (cell) 以及周邊電路區P (support) 之半導體基板10上，形成複數個閘極12C 以及閘極12S 後，於上述閘極12C 及12S 之兩側接形成介電材質的間隙壁14。接著，在位於記憶胞陣列區C 的閘極12C 兩側以及周邊電路區P 的閘極12S 兩側的半導體基板進行離子植入而形成源極S 以及汲極D 區域。接著，順應性沈積一層阻障層16，通常為介電材料SiN 覆蓋上述閘極12C 以及閘極12S。然後，即形成層間介電層(InterLayer Dielectric;ILD)18。

隨著積體電路尺寸的逐漸縮小，導致半導體元件中接觸電阻值(contact resistance) 以及源極/汲極區和閘極區的片電阻(sheet resistance) 對元件性能的影響越來越明顯，為了更有效降低接觸電阻值以及片電阻，避免上述電子特性過高造成電晶體飽和電流下降，而能夠進一步提升半導體元件性能，已有習知技術提出在形成閘極之後，沈積一氧化層，利用遮蔽層將不形成金屬矽化物之區域遮蔽住，然後利用蝕刻將要形成金屬矽化物層之區域露出後，達到形成金屬矽化物層於所需區域的目的，藉此降低片電阻值。



五、發明說明 (2)

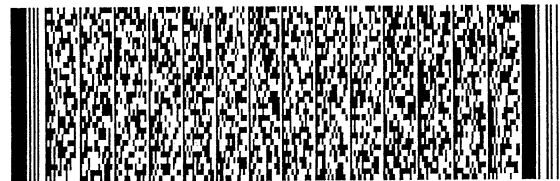
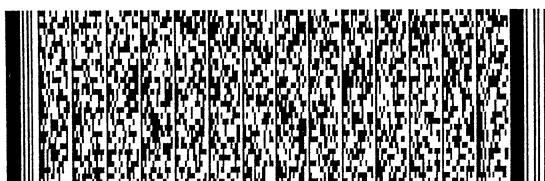
然而，上述製程必須增加一道氧化層的形成步驟，且氧化層之沈積可能在記憶包區域造成填充(fill)的問題，因此半導體業界急需一種能夠達到降低片電阻值以及接觸電阻值的提升元件性能的方法，同時可避免上述問題的製程。

發明內容

有鑑於此，本發明之目的為提供一種改良的半導體製程，利用現有製程的阻障層，加上一道遮蔽層曝光以及蝕刻步驟，保護住不需形成金屬矽化物層的區域，而於源極/汲極區域形成金屬矽化物層，藉此降低片電阻值以及接觸電阻值。

為了達成本發明，本發明之一種形成金屬矽化物層於源極及汲極的方法，包括：提供一形成有主動區以及周邊電路區之半導體矽基板，其中該周邊電路區中形成有一閘極結構，且該閘極結構兩側之半導體矽基板上分別形成有源極及汲極；全面性形成一阻障層覆蓋該主動區以及該周邊電路區；形成一遮蔽層覆蓋該主動區之阻障層；移除位於該周邊電路區之阻障層；形成一金屬層覆蓋該周邊電路區；以及進行熱處理使該金屬層與源極及汲極之矽成分反應形成金屬矽化物層於該源極及汲極上。

又，本發明之形成金屬矽化物層於源極及汲極的方法，包括提供一形成有主動區以及周邊電路區之半導體矽基板，其中該主動區中形成有複數組兩側具有間隙壁之閘極結構，而該周邊電路區中形成有一兩側具有間隙壁之閘極結構，且該閘極結構兩側之半導體矽基板上分別形成有



五、發明說明 (3)

源極及汲極；全面性形成一阻障層覆蓋該主動區以及該周邊電路區；形成一遮蔽層覆蓋該主動區之阻障層；移除位於該周邊電路區之阻障層；形成一金屬層覆蓋該周邊電路區；以及進行熱處理使該金屬層與源極及汲極之矽成分反應形成金屬矽化物層於該源極及汲極上。

為了讓本發明之上述目的、特徵和優點更明顯易懂，下文特舉出較佳實施例，並配合所附圖示，作詳細說明如下：

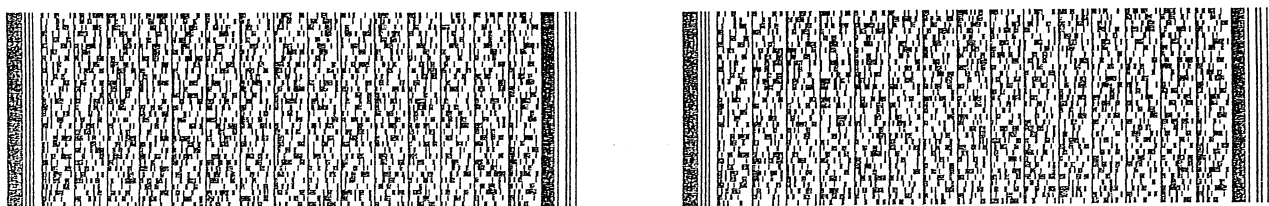
實施方式

實施例

請參閱第2A~2C圖，其繪示本發明之實施例的形成金屬矽化物層於源極及汲極的方法的製程剖面圖。

首先，提供一半導體矽基板100，並於該半導體矽基板100上以習知方法形成複數組閘極結構於記憶胞陣列區C以及一閘極結構於周邊電路區P，然後全面性以絕緣材料形成一厚度約 $200 \sim 2000 \text{ \AA}$ 的絕緣層後，例如氧化矽或氮化矽。接著，使用 SF_6 、 CF_4 、 CHF_3 或 C_2F_6 為蝕刻源，以反應性離子蝕刻程序進行非等向性蝕刻，或者其他非等向性蝕刻例如電漿蝕刻，移除位於閘極結構上以及半導體基板上的絕緣層而形成如第2A圖所示之間隙壁112於上述各閘極結構之兩側。

接下來，以閘極結構與間隙壁112為罩幕，在記憶胞陣列區C以及周邊電路區P以離子植入形成摻雜源極S以及汲極D。上述離子佈植是使用磷離子或砷離子，在劑量約 $1 \times 10^{15} \sim 6 \times 10^{15} \text{ cm}^{-2}$ ，能量約 $1 \sim 40 \text{ keV}$ 的條件下進行植入。



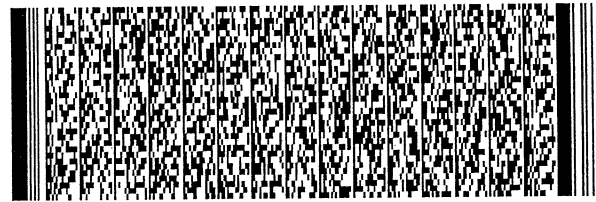
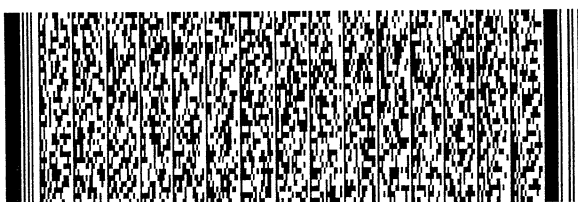
五、發明說明 (4)

上述形成閘極結構之步驟，可使用習知技術所廣為使用的方法，而閘極結構通常包括氮化矽層118、金屬矽化物層116，例如矽化鎢(WSi)以及複晶矽層114。

接下來，如第2B圖所示，全面性形成一阻障層120覆蓋記憶胞陣列區C以及周邊電路區P，接著在記憶胞陣列區C以例如光阻材料形成一遮蔽層122，用以遮蔽記憶胞陣列區C之阻障層120。上述阻障層較佳為介電材料，例如SiN、SiON等。然後，以蝕刻方式移除位於周邊電路區P的阻障層120而露出源極S以及汲極D。

接著移除該遮蔽層122後，全面性形成如第2C圖所示之一鈦金屬層130於該周邊電路區。本實施例係以鈦金屬為例，其他金屬例如鎢、鈷等亦適用。然後進行熱處理，溫度範圍較佳為700~750°C，使鈦金屬層130與半導體基板100的矽成分反應形成金屬矽化物，在上述步驟後，請參照第2D圖，其餘未反應之鈦金屬層可藉由傳統方式例如化學溶液如氨水及雙氧水等之水溶液選擇性地去除，也就是保留源極汲極區的源極金屬矽化物層128以及汲極金屬矽化物層126。上述熱處理的溫度控制，可避免鈦金屬層130與介電材料氮化矽層118、間隙壁112等產生反應，因為鈦金屬與介電材料的反應通常在900°C以上的高溫，因此在此步驟可使鈦金屬層僅與矽基板反應生成金屬矽化物於源極以及汲極，而不至於產生不必要的(unwanted)反應。

接著，全面性形成一層間介電層(ILD)124覆蓋整個記憶胞陣列區C以及周邊電路區S。上述層間介電層較佳為



五、發明說明 (5)

介電材料，例如旋塗式玻璃 (SOG)、氧化矽、硼磷矽玻璃 (BPSG) 等。本實施例係使用填溝能力較佳的硼磷矽玻璃 (BPSG)。例如，可在 SiH_4 、 PH_3 、 B_2H_6 的環境下，使用常壓化學氣相沈積法 (APCVD) 形成之。接著，可再進行一道平坦化處理以得到一平坦的上表面。

根據本發明所提供之形成金屬矽化物於源極及汲極的方法，可與現有半導體製程整合，只需加上一道遮蔽層曝光以及蝕刻步驟，以現有阻障層保護住不需形成金屬矽化物層的區域後，以熱處理於源極/汲極區域形成金屬矽化物層即可。本發明之優點包括可避免習知形成氧化層之填充問題，充分降低片電阻值及接觸電阻值，進而提升元件性能，達到高效能DRAM之需求。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



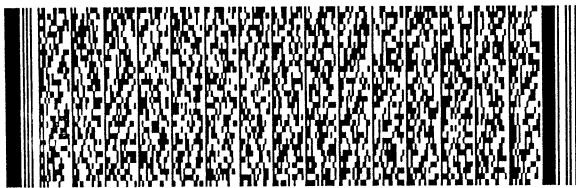
圖式簡單說明

第1圖係顯示習知之包括記憶包區域以及周邊電路區域的半導體裝置的剖面圖。

第2A～2D圖係顯示本發明之實施例的形成金屬矽化物於源極及汲極的方法的製程剖面圖。

[符號說明]

- 10、100～半導體基板；
- 12C、12S～閘極；
- 14～間隙壁；
- 16～阻障層；
- C～記憶胞陣列區域；
- P～周邊電路區域；
- 18～層間介電層；
- S～源極；
- D～汲極；
- 112～間隙壁；
- 114～複晶矽層；
- 116～金屬矽化物層；
- 118～氮化矽層；
- 120～阻障層；
- 122～遮蔽層；
- 124～層間介電層；
- 130～鈦金屬層；
- 126～汲極金屬矽化物層；
- 128～源極金屬矽化物層。



四、中文發明摘要 (發明名稱：形成金屬矽化物層於源極及汲極的方法)

本發明揭示一種形成金屬矽化物於源極及汲極的方法，包括：提供一形成有主動區以及周邊電路區之半導體矽基板，其中該周邊電路區中形成有一閘極結構，且該閘極結構兩側之半導體矽基板上形成有源極及汲極；全面性形成一阻障層覆蓋該主動區以及該周邊電路區；形成一遮蔽層覆蓋該主動區之阻障層；移除位於該周邊電路區之阻障層；移除該遮蔽層；形成一金屬層覆蓋該周邊電路區；以及一進行熱處理使該金屬層與源極及汲極之矽成分反應形成金屬矽化物層於該源極及汲極上。

伍、(一)、本案代表圖為：第2D圖。

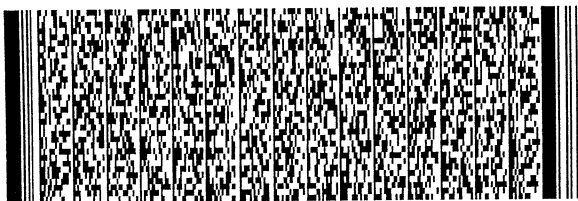
(二)、本案代表圖之元件代表符號簡單說明：

S ~ 源極；

D ~ 汲極；

114 ~ 複晶矽層；

六、英文發明摘要 (發明名稱：)



六、申請專利範圍

1. 一種形成金屬矽化物層於源極及汲極的方法，包括：

提供一形成有主動區以及周邊電路區之半導體矽基板，其中該周邊電路區中形成一閘極結構，且該等閘極兩側之半導體矽基板上分別形成一源極及一汲極；

全面性形成一阻障層覆蓋該主動區以及該周邊電路區；

形成一遮蔽層覆蓋該主動區之阻障層；

移除位於該周邊電路區之阻障層；

移除該遮蔽層；

形成一金屬層覆蓋該周邊電路區；以及

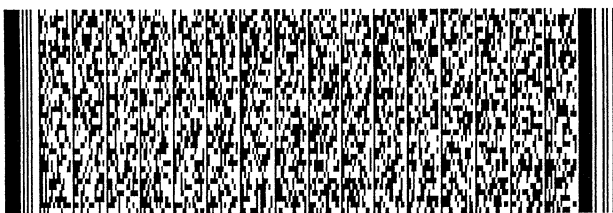
進行一熱處理使該金屬層與該源極及該汲極之矽成分反應，分別形成金屬矽化物層於該源極及該汲極上。

2. 如申請專利範圍第1項所述之形成金屬矽化物層於該源極及該汲極的方法，其中該主動區上形成有複數個兩側具有一間隙壁之閘極結構，且該閘極結構兩側之基板上形成有一源極/汲極。

3. 如申請專利範圍第1項所述之形成金屬矽化物層於源極及汲極的方法，其中該閘極結構之兩側具有一間隙壁。

4. 如申請專利範圍第1項所述之形成金屬矽化物層於源極及汲極的方法，其中該阻障層為介電材料。

5. 如申請專利範圍第4項所述之形成金屬矽化物層於源極及汲極的方法，其中該介電材料為SiN或SiON。



六、申請專利範圍

6. 如申請專利範圍第1項所述之形成金屬矽化物層於源極及汲極的方法，其中該金屬層為鈷、鎢或鈦。

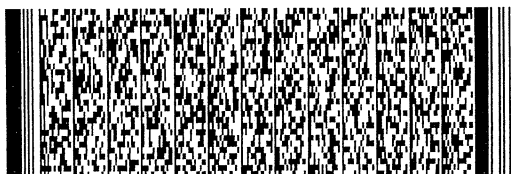
7. 如申請專利範圍第1項所述之形成金屬矽化物層於源極及汲極的方法，其中該熱處理為快速熱處理(RTP)。

8. 如申請專利範圍第7項所述之形成金屬矽化物層於源極及汲極的方法，其中該快速熱處理(RTP)之溫度範圍為700~750℃。

9. 如申請專利範圍第1項所述之形成金屬矽化物層於源極及汲極的方法，還包括以化學溶液選擇性移除未反應之金屬層。

10. 如申請專利範圍第9項所述之形成金屬矽化物層於源極及汲極的方法，其中該化學溶液為氨水或雙氧水。

11. 如申請專利範圍第1項所述之形成金屬矽化物層於源極及汲極的方法，其中該遮蔽層為光阻材料。



四、中文發明摘要 (發明名稱：形成金屬矽化物層於源極及汲極的方法)

本發明揭示一種形成金屬矽化物於源極及汲極的方法，包括：提供一形成有主動區以及周邊電路區之半導體矽基板，其中該周邊電路區中形成有一閘極結構，且該閘極結構兩側之半導體矽基板上形成有源極及汲極；全面性形成一阻障層覆蓋該主動區以及該周邊電路區；形成一遮蔽層覆蓋該主動區之阻障層；移除位於該周邊電路區之阻障層；移除該遮蔽層；形成一金屬層覆蓋該周邊電路區；以及一進行熱處理使該金屬層與源極及汲極之矽成分反應形成金屬矽化物層於該源極及汲極上。

伍、(一)、本案代表圖為：第2D圖。

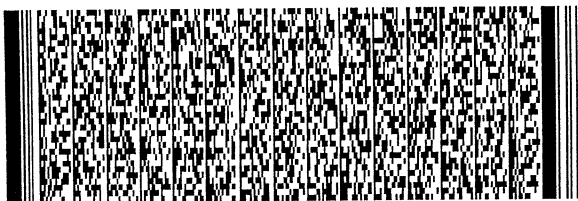
(二)、本案代表圖之元件代表符號簡單說明：

S ~ 源極；

D ~ 汲極；

114 ~ 複晶矽層；

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：形成金屬矽化物層於源極及汲極的方法)

116 ~ 金屬矽化物層；

118 ~ 氮化矽層；

120 ~ 阻障層；

124 ~ 層間介電層；

126 ~ 汲極金屬矽化物層；

128 ~ 源極金屬矽化物層。

六、英文發明摘要 (發明名稱：)

