I693715

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I693715 B**

(45)公告日： 中華民國 109 (2020) 年 05 月 11 日

(21)申請案號：105111498　(22)申請日： 中華民國 105 (2016) 年 04 月 13 日

(51)Int. Cl.：　*H01L29/423 (2006.01)*　*H01L29/49 (2006.01)*

H01L29/786 (2006.01)

(30)優先權：2015/04/15　日本　2015-083163

2015/05/29　日本　2015-110541

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.　(JP)

日本

(72)發明人：田中哲弘 TANAKA, TETSUHIRO (JP)；一條充弘 ICHIJO, MITSUHIRO (JP)；遠藤俊 ENDO, TOSHIYA (JP)；下村明久 SHIMOMURA, AKIHISA (JP)；恵木勇司 EGI, YUJI (JP)；手塚祐朗 TEZUKA, SACHIAKI (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US　2010/0025675A1　　US　2011/0193079A1

審查人員：孫建文

申請專利範圍項數：17 項　　圖式數：83　　共 336 頁

(54)名稱

半導體裝置及其製造方法

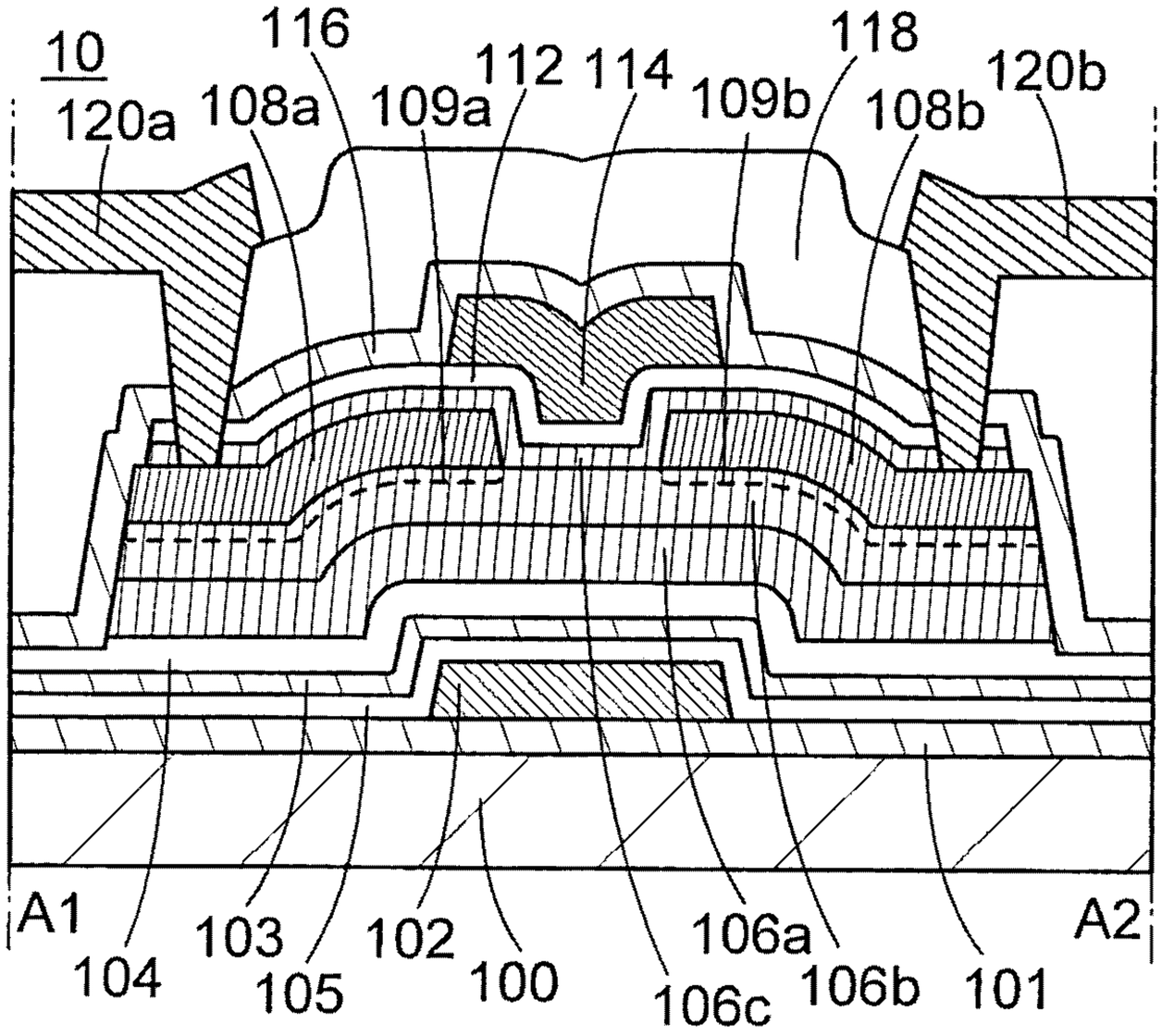
(57)摘要

本發明提供一種具有穩定的電特性的電晶體。本發明的一個實施方式是一種半導體裝置，該半導體裝置包括形成在基板上的第一絕緣體、形成在第一絕緣體上的第二絕緣體、以與第二絕緣體的頂面的至少一部分接觸的方式形成的氧化物半導體、以與氧化物半導體的頂面的至少一部分接觸的方式形成的第三絕緣體、與氧化物半導體電連接的第一導電體及第二導電體、形成在第三絕緣體上的第四絕緣體、形成在第四絕緣體上且其至少一部分位於第一導電體與第二導電體之間的第三導電體、形成在第三導電體上的第五絕緣體，其中第一絕緣體包含鹵素元素。

A transistor with stable electrical characteristics. A semiconductor device includes a first insulator over a substrate, a second insulator over the first insulator, an oxide semiconductor in contact with at least part of a top surface of the second insulator, a third insulator in contact with at least part of a top surface of the oxide semiconductor, a first conductor and a second conductor electrically connected to the oxide semiconductor, a fourth insulator over the third insulator, a third conductor which is over the fourth insulator and at least part of which is between the first conductor and the second conductor, and a fifth insulator over the third conductor. The first insulator contains a halogen element.

指定代表圖：

圖 1B



符號簡單說明：

10・・・電晶體

100・・・基板

101・・・絕緣體

102・・・導電體

103・・・絕緣體

104・・・絕緣體

105・・・絕緣體

106a・・・絕緣體

106b・・・半導體

106c・・・絕緣體

108a・・・導電體

108b・・・導電體

109a・・・低電阻區域

109b・・・低電阻區域

112・・・絕緣體

114・・・導電體

116・・・絕緣體

118・・・絕緣體

120a・・・導電體

120b・・・導電體

I693715

發明摘要

※申請案號：105111498

※申請日：105 年 04 月 13 日　　※IPC 分類：

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

【中文】

本發明提供一種具有穩定的電特性的電晶體。本發明的一個實施方式是一種半導體裝置，該半導體裝置包括形成在基板上的第一絕緣體、形成在第一絕緣體上的第二絕緣體、以與第二絕緣體的頂面的至少一部分接觸的方式形成的氧化物半導體、以與氧化物半導體的頂面的至少一部分接觸的方式形成的第三絕緣體、與氧化物半導體電連接的第一導電體及第二導電體、形成在第三絕緣體上的第四絕緣體、形成在第四絕緣體上且其至少一部分位於第一導電體與第二導電體之間的第三導電體、形成在第三導電體上的第五絕緣體，其中第一絕緣體包含鹵素元素。

【英文】

A transistor with stable electrical characteristics. A semiconductor device includes a first insulator over a substrate, a second insulator over the first insulator, an oxide semiconductor in contact with at least part of a top surface of the second insulator, a third insulator in contact with at least part of a top surface of the oxide semiconductor, a first conductor and a second conductor electrically connected to the oxide semiconductor, a fourth insulator over the third insulator, a third conductor which is over the fourth insulator and at least part of which is between the first conductor and the second conductor, and a fifth insulator over the third conductor. The first insulator contains a halogen element.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

10：電晶體

100：基板

101：絕緣體

102：導電體

103：絕緣體

104：絕緣體

105：絕緣體

106a：絕緣體

106b：半導體

106c：絕緣體

108a：導電體

108b：導電體

109a：低電阻區域

109b：低電阻區域

112：絕緣體

114：導電體

116：絕緣體

118：絕緣體

120a：導電體

120b：導電體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

【技術領域】

[0001] 本發明例如係關於一種電晶體及半導體裝置。另外，本發明例如係關於一種電晶體及半導體裝置的製造方法。另外，本發明例如係關於一種顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、處理器、電子裝置。另外，本發明係關於一種顯示裝置、液晶顯示裝置、發光裝置、記憶體裝置、電子裝置的製造方法。另外，本發明係關於一種顯示裝置、液晶顯示裝置、發光裝置、記憶體裝置、電子裝置的驅動方法。

[0002] 注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式的技術領域係關於一種物體、方法或製造方法。或者，本發明的一個實施方式係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。

[0003] 注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。顯示裝置、發光裝置、照明設備、電光裝置、半導體電路以及電子裝置

有時包括半導體裝置。

【先前技術】

[0004] 使用在具有絕緣表面的基板上的半導體來形成電晶體的技術受到關注。該電晶體被廣泛地應用於如集成電路或顯示裝置等的半導體裝置。作為可以應用於電晶體的半導體，已知有矽。

[0005] 作為用於電晶體的半導體的矽，根據用途適當地使用非晶矽或多晶矽。例如，當將矽應用於構成大型顯示裝置的電晶體時，較佳為使用已確立了大面積基板上的成膜技術的非晶矽。另一方面，當應用於構成一體化地形成驅動電路的高功能的顯示裝置的電晶體時，較佳為使用可以製造具有高場效移動率的電晶體的多晶矽。作為多晶矽的形成方法，已知藉由對非晶矽進行高溫的加熱處理或雷射處理來形成的方法。

[0006] 近年來，對使用氧化物半導體(典型的是 In-Ga-Zn 氧化物)的電晶體積極地進行了開發。氧化物半導體自早期就已開始被研究，於 1988 年公開了可應用於半導體元件的結晶 In-Ga-Zn 氧化物(參照專利文獻 1)。此外，於 1995 年發明了使用氧化物半導體的電晶體，並公開了其電特性(參照專利文獻 2)。

[0007] 使用氧化物半導體的電晶體具有與使用非晶矽的電晶體及使用多晶矽的電晶體不同的特徵。例如，已知應用了使用氧化物半導體的電晶體的顯示裝置的功耗

低。氧化物半導體可以利用濺射法等形成，所以可以被用於構成大型顯示裝置的電晶體。另外，使用氧化物半導體的電晶體具有高場效移動率，所以可以實現一體化地形成驅動電路的高功能的顯示裝置。此外，因為可以將使用非晶矽的電晶體的生產設備的一部分改良而利用，所以還具有可以抑制設備投資的優點。

[0008]

[專利文獻 1]日本專利申請公開昭 63-239117

[專利文獻 2]日本 PCT 國際申請翻譯平 11-505377

【發明內容】

[0009] 本發明的一個實施方式的目的之一是提供一種具有穩定的電特性的電晶體。另外，本發明的一個實施方式的目的之一是提供一種關閉狀態（off-state）時的洩漏電流小的電晶體。另外，本發明的一個實施方式的目的之一是提供一種具有高頻率特性的電晶體。另外，本發明的一個實施方式的目的之一是提供一種具有常關閉（normally-off）的電特性的電晶體。另外，本發明的一個實施方式的目的之一是提供一種次臨界擺幅值小的電晶體。另外，本發明的一個實施方式的目的之一是提供一種可靠性高的電晶體。

[0010] 另外，本發明的一個實施方式的目的之一是提供一種包括上述電晶體的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種包括該半導體裝置的

模組。另外，本發明的一個實施方式的目的之一是提供一種包括該半導體裝置或該模組的電子裝置。另外，本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種新穎的模組。另外，本發明的一個實施方式的目的之一是提供一種新穎的電子裝置。

[0011] 注意，上述目的的記載不妨礙其他目的的存在。本發明的一個實施方式並不需要實現所有上述目的。另外，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的目的。

[0012] 本發明的一個實施方式是一種半導體裝置，該半導體裝置包括基板上的第一絕緣體、第一絕緣體上的第二絕緣體、與第二絕緣體的頂面的至少一部分接觸的氧化物半導體、與氧化物半導體的頂面的至少一部分接觸的第三絕緣體、與氧化物半導體電連接的第一導電體及第二導電體、第三絕緣體上的第四絕緣體、第四絕緣體上且其至少一部分位於第一導電體與第二導電體之間的第三導電體、第三導電體上的第五絕緣體，其中第一絕緣體包含鹵素元素。

[0013] 另外，本發明的一個實施方式是一種半導體裝置，其中，在上述發明中還包括第一絕緣體下的第六絕緣體，該第六絕緣體與第一絕緣體相比不容易使氫及水透過。

[0014] 另外，本發明的一個實施方式是一種半導體

裝置，其中，在上述發明中還包括在第六絕緣體與第一絕緣體之間且其至少一部分與氧化物半導體重疊的第四導電體。

[0015] 另外，本發明的一個實施方式是一種半導體裝置，其中，在上述發明中，在進行熱脫附譜分析時，第一絕緣體的水分子的釋放量為 1.0×10^{13}molecules/cm^2 以上且 1.4×10^{16}molecules/cm^2 以下。

[0016] 另外，本發明的一個實施方式是一種半導體裝置，其中，在上述發明中還包括第四導電體與第一絕緣體之間的第七絕緣體，該第七絕緣體包含鉿。

[0017] 另外，本發明的一個實施方式是一種半導體裝置，其中，在上述發明中，在進行熱脫附譜分析時，第一絕緣體和第七絕緣體的疊層膜的水分子的釋放量為 1.0×10^{13}molecules/cm^2 以上且 1.4×10^{16}molecules/cm^2 以下。

[0018] 另外，本發明的一個實施方式是一種半導體裝置，其中，在上述發明中，在進行熱脫附譜分析時，第一絕緣體和第七絕緣體的疊層膜的氫分子的釋放量為 1.0×10^{13}molecules/cm^2 以上且 1.2×10^{15}molecules/cm^2 以下。

[0019] 另外，本發明的一個實施方式是一種半導體裝置，其中，在上述發明中，鹵素元素是氟、氯及溴中的一種。

[0020] 本發明的一個實施方式可以提供一種具有穩定的電特性的電晶體。另外，本發明的一個實施方式可以提供一種關閉狀態時的洩漏電流小的電晶體。另外，本發

明的一個實施方式可以提供一種具有高頻率特性的電晶體。另外，本發明的一個實施方式可以提供一種具有常關閉的電特性的電晶體。另外，本發明的一個實施方式可以提供一種次臨界擺幅值小的電晶體。另外，本發明的一個實施方式可以提供一種可靠性高的電晶體。

[0021] 另外，本發明的一個實施方式可以提供一種包括上述電晶體的半導體裝置。另外，本發明的一個實施方式可以提供一種包括該半導體裝置的模組。另外，本發明的一個實施方式可以提供一種包括該半導體裝置或該模組的電子裝置。另外，本發明的一個實施方式可以提供一種新穎的半導體裝置。另外，本發明的一個實施方式可以提供一種新穎的模組。另外，本發明的一個實施方式可以提供一種新穎的電子裝置。

[0022] 注意，上述效果的記載不妨礙其他效果的存在。本發明的一個實施方式並不需要實現所有上述效果。另外，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的效果。

【圖式簡單說明】

[0023] 在圖式中：

圖 1A 至圖 1D 是說明本發明的一個實施方式的電晶體的俯視圖及剖面圖；

圖 2A 至圖 2E 是說明藉由 XRD 得到的 CAAC-OS 以及單晶氧化物半導體的結構分析的圖、以及示出 CAAC-

OS 的選區電子繞射圖案的圖；

圖 3A 至圖 3E 是 CAAC-OS 的剖面 TEM 影像、平面 TEM 影像及藉由分析而獲取的影像；

圖 4A 至圖 4D 是示出 nc-OS 的電子繞射圖案的圖及 nc-OS 的剖面 TEM 影像；

圖 5A 和圖 5B 是 a-like OS 的剖面 TEM 影像；

圖 6 是示出電子照射所引起的 In-Ga-Zn 氧化物的結晶部的變化的圖；

圖 7A 至圖 7D 是說明本發明的一個實施方式的電晶體的剖面圖；

圖 8A 至圖 8D 是說明本發明的一個實施方式的電晶體的剖面圖；

圖 9A 和圖 9B 是說明本發明的一個實施方式的電晶體的剖面圖；

圖 10A 至圖 10D 是說明本發明的一個實施方式的電晶體的剖面圖；

圖 11A 和圖 11B 是說明本發明的一個實施方式的電晶體的剖面圖；

圖 12A 至圖 12D 是說明本發明的一個實施方式的電晶體的剖面圖；

圖 13A 至圖 13H 是說明本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 14A 至圖 14F 是說明本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 15A 至圖 15D 是說明本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 16A 和圖 16B 是說明成膜裝置的示意圖及剖面圖；

圖 17A 至圖 17H 是說明本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 18A 至圖 18F 是說明本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 19A 至圖 19F 是說明本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 20 是示出本發明的一個實施方式的製造裝置的俯視圖；

圖 21 是示出本發明的一個實施方式的處理室的俯視圖；

圖 22 是示出本發明的一個實施方式的處理室的俯視圖；

圖 23A 和圖 23B 是示出本發明的一個實施方式的半導體裝置的電路圖；

圖 24 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 25 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 26 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 27A 至圖 27C 是示出本發明的一個實施方式的記憶體裝置的電路圖；

圖 28 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 29 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 30 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 31 是示出本發明的一個實施方式的半導體裝置的電路圖；

圖 32 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 33 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 34 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 35A 和圖 35B 是示出本發明的一個實施方式的半導體裝置的俯視圖；

圖 36A 和圖 36B 是示出本發明的一個實施方式的半導體裝置的方塊圖；

圖 37A 和圖 37B 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 38A 和圖 38B 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 39A1 至圖 39A3 和圖 39B1 至圖 39B3 是示出本發明的一個實施方式的半導體裝置的透視圖及剖面圖；

圖 40 是示出本發明的一個實施方式的半導體裝置的方塊圖；

圖 41 是示出本發明的一個實施方式的半導體裝置的電路圖；

圖 42A 至圖 42C 是示出本發明的一個實施方式的半導體裝置的電路圖、俯視圖及剖面圖；

圖 43A 和圖 43B 是示出本發明的一個實施方式的半導體裝置的電路圖及剖面圖；

圖 44A 至圖 44F 是示出本發明的一個實施方式的電子裝置的透視圖；

圖 45A 至圖 45D 是在實施例中測定的 TDS 分析的結果的圖表；

圖 46A 至圖 46D 是在實施例中測定的 TDS 分析的結果的圖表；

圖 47A 至圖 47D 是在實施例中測定的 TDS 分析的結果的圖表；

圖 48 是在實施例中示出的 ESR 測定的結果的圖表；

圖 49A 和圖 49B 是在實施例中測定的 Id-Vg 特性的圖表；

圖 50 是在實施例中測定的 shift 的偏差的圖表；

圖 51A 至圖 51D 是在實施例中測定的應力測試的結果的圖表；

圖 52 是在實施例中測定的沉積速度的結果的圖表；

圖 53A 和圖 53B 是根據在實施例中測定的 TDS 分析算出氫分子的釋放量的圖表；

圖 54A 和圖 54B 是根據在實施例中測定的 TDS 分析算出水分子的釋放量的圖表；

圖 55A 至圖 55H 是在實施例中測定的 TDS 分析的結果的圖表；

圖 56A 至圖 56H 是在實施例中測定的 TDS 分析的結果的圖表；

圖 57A 至圖 57H 是在實施例中測定的 TDS 分析的結果的圖表；

圖 58A 至圖 58H 是在實施例中測定的 TDS 分析的結果的圖表；

圖 59A 至圖 59C 是在實施例中的 SIMS 測定的結果的圖表；

圖 60A 至圖 60C 是在實施例中的 SIMS 測定的結果的圖表；

圖 61A 至圖 61C 是在實施例中的 XPS 測定的結果的圖表；

圖 62A 和圖 62B 示出在實施例中進行的 ALD 的條件；

圖 63A 和圖 63B 是在實施例中測定的 TDS 分析的結果的圖表及根據圖表算出的水分子的釋放量的圖表；

圖 64A 和圖 64B 是示出 TDS 分析結果的圖；

圖 65A 和圖 65B 是根據 TDS 分析結果算出總釋放量的圖；

圖 66A 和圖 66B 是示出 TDS 分析結果的圖；

圖 67A 和圖 67B 是示出 TDS 分析結果的圖；

圖 68A 和圖 68B 是示出 TDS 分析結果的圖；

圖 69A 和圖 69B 是示出 TDS 分析結果的圖；

圖 70A 和圖 70B 是根據 TDS 分析結果算出總釋放量的圖；

圖 71A 和圖 71B 是根據 TDS 分析結果算出總釋放量的圖；

圖 72A 和圖 72B 是根據 TDS 分析結果算出總釋放量的圖；

圖 73A 和圖 73B 是根據 TDS 分析結果算出總釋放量的圖；

圖 74A 和圖 74B 是說明氧化矽的鍵合狀態的圖；

圖 75A 至圖 75C 是說明加熱處理的圖；

圖 76 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 77 是示出本發明的一個實施方式的半導體裝置的剖面圖；

圖 78A 至圖 78D 是在實施例中測定的應力測試的結果的圖表；

圖 79A 和圖 79B 是在實施例中測定的 TDS 分析的結果的圖表；

圖 80A 和圖 80B 是在實施例中測定的 TDS 分析的結果的圖表；

圖 81A 和圖 81B 是在實施例中測定的 SIMS 分析的結果的圖表；

圖 82 是在實施例中測定的 HX-PES 分析的結果的圖表；

圖 83A 至圖 83E 是在實施例中測定的 Id-Vg 特性、臨界電壓及 Shift 的圖表、以及在本實施例中使用的電晶體的模型。

【實施方式】

[0024] 將參照圖式對本發明的實施方式進行詳細的說明。注意，本發明不侷限於以下說明，所屬技術領域的通常知識者可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種形式。此外，本發明不應該被解釋為僅限定在下面的實施方式所記載的內容中。注意，當利用圖式說明發明結構時，表示相同物件的元件符號在不同的圖式中共同使用。另外，有時使用相同的陰影圖案表示相同的部分，而不特別附加元件符號。

[0025] 下面的實施方式所示的結構可以適當地應用於、組合於或替換於實施方式所示的其他結構，而被用作本發明的一個實施方式。

[0026] 在圖式中，有時為了便於理解而誇大尺寸、膜（層）的厚度或區域。

[0027] 在本說明書中，可以互相調換“膜”和“層”。

[0028] 此外，電壓大多指某個電位與參考電位（例如，接地電位（GND）或源極電位）之間的電位差。由此，可以將電壓換稱為電位。一般而言，電位（電壓）是相對的，根據與參考電位之差決定。因此，在記載為“接地電位”等的情況下，電位也不侷限於 0V。例如，也有電路中的最低電位為“接地電位”的情況。或者，也有電路中的實質上的中間電位為“接地電位”的情況。在該情況下，以該電位為基準規定正電位及負電位。

[0029] 另外，為方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。此外，在本說明書等中記載的序數詞與用來指定本發明的一個實施方式的序數詞有時不一致。

[0030] 注意，例如在導電性充分低時，有時即便在表示為“半導體”時也具有“絕緣體”的特性。此外，“半導體”與“絕緣體”的境界不清楚，因此有時不能精確地區別。由此，有時可以將本說明書所記載的“半導體”換稱為“絕緣體”。同樣地，有時可以將本說明書所記載的“絕緣體”換稱為“半導體”。

[0031] 另外，例如在導電性充分高時，有時即便在表示為“半導體”時也具有“導電體”的特性。此外，“半導體”和“導電體”的境界不清楚，因此有時不能精

確地區別。由此，有時可以將本說明書所記載的“半導體”換稱為“導電體”。同樣地，有時可以將本說明書所記載的“導電體”換稱為“半導體”。

[0032] 注意，半導體的雜質例如是指構成半導體的主要成分之外的物質。例如，濃度低於 0.1atomic%的元素是雜質。當包含雜質時，例如，有可能在半導體中形成 DOS（Density of State：態密度），載子移動率有可能降低或結晶性有可能降低。在半導體是氧化物半導體時，作為改變半導體特性的雜質，例如有第 1 族元素、第 2 族元素、第 14 族元素、第 15 族元素或主要成分之外的過渡金屬等，尤其是，例如有氫（包含於水中）、鋰、鈉、矽、硼、磷、碳、氮等。當半導體是氧化物半導體時，有時例如由於氫等雜質的混入導致氧缺陷的產生。此外，當半導體是矽時，作為改變半導體特性的雜質，例如有氧、除氫之外的第 1 族元素、第 2 族元素、第 13 族元素、第 15 族元素等。

[0033] 注意，通道長度例如指電晶體的俯視圖中的半導體（或在電晶體導通時，在半導體中電流流動的部分）與閘極電極相互重疊的區域或形成有通道的區域中的源極（源極區域或源極電極）與汲極（汲極區域或汲極電極）之間的距離。另外，在一個電晶體中，通道長度不一定在所有的區域中為相同的值。換言之，一個電晶體的通道長度有時不侷限於一個值。因此，在本說明書中，通道長度是形成有通道的區域中的任一個值、最大值、最小值

或平均值。

[0034] 通道寬度例如指半導體（或在電晶體導通時，在半導體中電流流動的部分）與閘極電極相互重疊的區域或形成有通道的區域中的源極與汲極相對的部分的長度。另外，在一個電晶體中，通道寬度不一定在所有區域中為相同的值。換言之，一個電晶體的通道寬度有時不侷限於一個值。因此，在本說明書中，通道寬度是形成有通道的區域中的任一個值、最大值、最小值或平均值。

[0035] 另外，根據電晶體的結構，有時實際上形成有通道的區域中的通道寬度（下面稱為實效的通道寬度）不同於電晶體的俯視圖所示的通道寬度（下面稱為外觀上的通道寬度）。例如，在具有立體結構的電晶體中，有時因為實效的通道寬度大於電晶體的俯視圖所示的外觀上的通道寬度，所以不能忽略其影響。例如，在具有微型且立體結構的電晶體中，有時形成在半導體側面的通道區域的比例大。在此情況下，實際上形成有通道的實效的通道寬度大於俯視圖所示的外觀上的通道寬度。

[0036] 在具有立體結構的電晶體中，有時難以藉由實測來估計實效的通道寬度。例如，為了根據設計值估計實效的通道寬度，需要假設半導體的形狀是已知的。因此，當不確定半導體的形狀時，難以正確地測定實效的通道寬度。

[0037] 於是，在本說明書中，有時在電晶體的俯視圖中將作為半導體與閘極電極相互重疊的區域中的源極與

汲極相對的部分的長度的外觀上的通道寬度稱為“圍繞通道寬度（SCW：Surrounded Channel Width）”。此外，在本說明書中，在簡單地表示“通道寬度”時，有時是指圍繞通道寬度或外觀上的通道寬度。或者，在本說明書中，在簡單地表示“通道寬度”時，有時表示實效的通道寬度。注意，藉由取得剖面 TEM 影像等並對該影像進行分析等，可以決定通道長度、通道寬度、實效的通道寬度、外觀上的通道寬度、圍繞通道寬度等的值。

[0038] 另外，在藉由計算求得電晶體的場效移動率或每個通道寬度的電流值等時，有時使用圍繞通道寬度計算。在此情況下，該求得的值有時不同於使用實效的通道寬度計算求得的值。

[0039] 在本說明書中，“A 具有其端部比 B 的端部突出的形狀”有時指在俯視圖或剖面圖中 A 的至少一個端部位於 B 的至少一個端部的外側。因此，例如可以將“A 具有其端部比 B 的端部突出的形狀”的記載解釋為在俯視圖中 A 的一個端部位於 B 的一個端部的外側。

[0040] 在本說明書中，“平行”是指兩條直線形成的角度為-10°以上且 10°以下的狀態。因此也包括該角度為-5°以上且 5°以下的狀態。另外，“大致平行”是指兩條直線形成的角度為-30°以上且 30°以下的狀態。另外，“垂直”是指兩條直線形成的角度為 80°以上且 100°以下的狀態。因此也包括該角度為 85°以上且 95°以下的狀態。“大致垂直”是指兩條直線形成的角度為 60°以上且

120°以下的狀態。

[0041] 另外，在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0042]

實施方式 1

在本實施方式中，使用圖 1A 至圖 1D、圖 2A 至圖 2E、圖 3A 至圖 3E、圖 4A 至圖 4D、圖 5A 和圖 5B、圖 6、圖 7A 至圖 7D、圖 8A 至圖 8D、圖 9A 和圖 9B、圖 10A 至圖 10D、圖 11A 和圖 11B 以及圖 12A 至圖 12D 說明本發明的一個實施方式的半導體裝置的結構。

[0043]

〈電晶體的結構〉

下面，作為本發明的一個實施方式的半導體裝置的一個例子，說明電晶體的結構。

[0044] 參照圖 1A 至圖 1C 說明電晶體 10 的結構。圖 1A 是電晶體 10 的俯視圖。圖 1B 是對應於圖 1A 的點劃線 A1-A2 的剖面圖，圖 1C 是對應於圖 1A 的點劃線 A3-A4 的剖面圖。注意，以點劃線 A1-A2 表示的區域示出電晶體 10 的通道長度方向上的結構，以點劃線 A3-A4 表示的區域示出電晶體 10 的通道寬度方向上的結構。另外，電晶體的通道長度方向是指在源極(源極區或源極電極)與汲極(汲極區或汲極電極)之間載子移動的方向，通道寬度方向是指在與基板平行的面內垂直於通道長度方向的方向。另外，在圖 1A 中，絕緣體 106a、半導體 106b、絕緣

體 106c 可以以與導電體 108a、108b 等大致重疊的方式設置，但是為了清楚起見，在俯視圖中以與導電體 108a、108b 等稍微錯開的方式以細虛線表示絕緣體 106a、半導體 106b、絕緣體 106c。

[0045] 電晶體 10 包括基板 100 上的絕緣體 104、絕緣體 104 上的絕緣體 106a、與絕緣體 106a 的頂面的至少一部分接觸的半導體 106b、與半導體 106b 的頂面的至少一部分接觸的絕緣體 106c、與半導體 106b 電連接的導電體 108a 及導電體 108b、絕緣體 106c 上的絕緣體 112、絕緣體 112 上且其至少一部分位於導電體 108a 與導電體 108b 之間的導電體 114、導電體 114 上的絕緣體 116。

[0046] 例如，如圖 1A 至圖 1C 所示，電晶體 10 包括：在基板 100 上形成的絕緣體 101、導電體 102、絕緣體 105、絕緣體 103 及絕緣體 104；在絕緣體 104 上形成的絕緣體 106a、半導體 106b、絕緣體 106c；在半導體 106b 上形成的導電體 108a、導電體 108b、導電體 110a 及導電體 110b；在絕緣體 106c 上形成的絕緣體 112；在絕緣體 112 上形成的導電體 114；以及在導電體 114 上形成的絕緣體 116、絕緣體 118、導電體 120a 及導電體 120b。

[0047] 在此，絕緣體 101、絕緣體 103、絕緣體 104、絕緣體 105、絕緣體 106a、絕緣體 106c、絕緣體 112、絕緣體 116 及絕緣體 118 也可以被稱為絕緣膜或絕緣層。另外，導電體 102、導電體 108a、導電體 108b、

導電體 110a、導電體 110b、導電體 114、導電體 120a 及導電體 120b 也可以被稱為導電膜或導電層。另外，半導體 106b 也可以被稱為半導體膜或半導體層。

[0048] 另外，詳細內容將在後面說明，當單獨使用絕緣體 106a 以及絕緣體 106c 時，有時使用能夠用作導電體、半導體或絕緣體的物質。然而，當與半導體 106b 層疊而形成電晶體時，電子流在半導體 106b 中、半導體 106b 與絕緣體 106a 的介面附近以及半導體 106b 與絕緣體 106c 的介面附近，而絕緣體 106a 及絕緣體 106c 包括不被用作該電晶體的通道的區域。因此，在本說明書等中，不將絕緣體 106a 及絕緣體 106c 記作導電體及半導體，而記作絕緣體。

[0049] 在形成於基板 100 上的絕緣體 101 上形成有導電體 102。導電體 102 的至少一部分與絕緣體 106a、半導體 106b、絕緣體 106c 重疊。以與導電體 102 上接觸且覆蓋導電體 102 的方式形成有絕緣體 105。在絕緣體 105 上形成有絕緣體 103，且在絕緣體 103 上形成有絕緣體 104。

[0050] 在絕緣體 104 上形成有絕緣體 106a，以與絕緣體 106a 的頂面的至少一部分接觸的方式形成有半導體 106b。在圖 1B 中，絕緣體 106a 及半導體 106b 的端部大致一致，但是本實施方式所示的半導體裝置的結構並不侷限於此。

[0051] 以與半導體 106b 的頂面的至少一部分接觸的

方式形成有導電體 108a 及導電體 108b。導電體 108a 與導電體 108b 隔開地形成，較佳為如圖 1A 所示那樣夾著導電體 114 對置地形成。

[0052] 以與半導體 106b 的頂面的至少一部分接觸的方式形成有絕緣體 106c。絕緣體 106c 較佳為在夾在導電體 108a 與導電體 108b 之間的區域中與半導體 106b 接觸。在圖 1B 中，以大致覆蓋導電體 108a 及導電體 108b 的頂面的方式形成有絕緣體 106c，但是本實施方式所示的半導體裝置的結構並不侷限於此。

[0053] 在絕緣體 106c 上形成有絕緣體 112。在絕緣體 112 上以重疊於導電體 108a 與導電體 108b 之間的區域的方式形成有導電體 114。在圖 1B 中，以使絕緣體 112 和絕緣體 106c 的端部大致一致的方式形成有絕緣體 112 及絕緣體 106c，但是本實施方式所示的半導體裝置的結構並不侷限於此。

[0054] 在導電體 114 及絕緣體 112 上形成有絕緣體 116，在絕緣體 116 上形成有絕緣體 118。在絕緣體 118 上形成有導電體 120a 及導電體 120b。導電體 120a 及導電體 120b 藉由形成於絕緣體 106c、絕緣體 112、絕緣體 116 及絕緣體 118 中的開口與導電體 108a 及導電體 108b 連接。

[0055] 另外，導電體 114 也可以藉由形成於絕緣體 112、絕緣體 106c、絕緣體 104、絕緣體 103、絕緣體 105 等中的開口與導電體 102 連接。

[0056]

〈半導體〉

下面，說明半導體 106b 的詳細結構。

[0057] 注意，在本章節中，除了半導體 106b，還對絕緣體 106a、絕緣體 106c 的詳細結構進行說明。

[0058] 半導體 106b 例如是包含銦的氧化物半導體。例如，在半導體 106b 包含銦時，其載子移動率（電子移動率）得到提高。此外，半導體 106b 較佳為包含元素 M。元素 M 較佳為表示 Ti、Ga、Y、Zr、La、Ce、Nd、Sn 或 Hf。注意，作為元素 M 有時也可以組合多個上述元素。元素 M 例如是與氧的鍵能高的元素。元素 M 例如是與氧的鍵能高於銦的元素。或者，元素 M 例如是具有增大氧化物半導體的能隙的功能的元素。此外，半導體 106b 較佳為包含鋅。當氧化物半導體包含鋅時，有時容易晶化。

[0059] 注意，半導體 106b 不侷限於包含銦的氧化物半導體。半導體 106b 例如也可以是鋅錫氧化物或鎵錫氧化物等不包含銦且包含鋅、鎵或錫的氧化物半導體等。

[0060] 例如，絕緣體 106a 及絕緣體 106c 是包含除了氧之外的一種以上或兩種以上的構成半導體 106b 的元素的氧化物半導體。因為絕緣體 106a 及絕緣體 106c 包含除了氧之外的一種以上或兩種以上的構成半導體 106b 的元素，所以不容易在絕緣體 106a 與半導體 106b 的介面以及半導體 106b 與絕緣體 106c 的介面處形成缺陷能階。

[0061] 絕緣體 106a、半導體 106b 及絕緣體 106c 較佳為至少包含銦。另外，在絕緣體 106a 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是，In 低於 50atomic%，M 高於 50atomic%，更佳的是，In 低於 25atomic%，M 高於 75atomic%。此外，在半導體 106b 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是，In 高於 25atomic%，M 低於 75atomic%，更佳的是，In 高於 34atomic%，M 低於 66atomic%。此外，在絕緣體 106c 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是，In 低於 50atomic%，M 高於 50atomic%，更佳的是，In 低於 25atomic%，M 高於 75atomic%。另外，絕緣體 106c 也可以使用與絕緣體 106a 相同的種類的氧化物。注意，絕緣體 106a 及/或絕緣體 106c 有時也可以不包含銦。例如，絕緣體 106a 及/或絕緣體 106c 也可以是氧化鎵或 Ga-Zn 氧化物。絕緣體 106a、半導體 106b 及絕緣體 106c 所包含的各元素的原子數也可以不是簡單的整數比。

[0062] 例如，當利用濺射法進行成膜時，作為用於絕緣體 106a 或絕緣體 106c 的靶材的金屬元素的原子個數比的典型例子，有 In:M:Zn=1:2:4、In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6、In:M:Zn=1:3:8、In:M:Zn=1:4:3、In:M:Zn=1:4:4、In:M:Zn=1:4:5、In:M:Zn=1:4:6、In:M:Zn=1:6:3、In:M:Zn=1:6:4、In:M:Zn=1:6:5、In:M:Zn=1:6:6、In:M:Zn=1:6:7、

In:M:Zn=1:6:8 、 In:M:Zn=1:6:9 、 In:M:Zn=1:10:1 等 。 另外，用於絕緣體 106a 或絕緣體 106c 的靶材的金屬元素的原子個數比也可以是 M:Zn=10:1。

[0063] 另外，例如，當利用濺射法進行成膜時，作為用於半導體 106b 的靶材的金屬元素的原子個數比的典型例子，有 In:M:Zn=1:1:1 、 In:M:Zn=1:1:1.2 、 In:M:Zn=2:1:1.5 、 In:M:Zn=2:1:2.3 、 In:M:Zn=2:1:3 、 In:M:Zn=3:1:2 、 In:M:Zn=4:2:4.1 、 In:M:Zn=5:1:7 等 。 尤其是，作為濺射靶材，當原子數比為 In:Ga:Zn=4:2:4.1 時，形成的半導體 106b 的原子數比有時接近於 In:Ga:Zn=4:2:3。

[0064] 注意，銦鎵氧化物具有較小的電子親和力及較高的氧阻擋性。因此，絕緣體 106c 較佳為包括銦鎵氧化物。鎵原子比率[Ga/（In+Ga）]例如為 70%以上，較佳為 80%以上，更佳為 90%以上。

[0065] 作為半導體 106b 例如使用能隙大的氧化物。半導體 106b 的能隙例如是 2.5eV 以上且 4.2eV 以下，較佳為 2.8eV 以上且 3.8eV 以下，更佳為 3eV 以上且 3.5eV 以下。在此，絕緣體 106a 的能隙大於半導體 106b 的能隙。另外，絕緣體 106c 的能隙大於半導體 106b 的能隙。

[0066] 半導體 106b 使用電子親和力比絕緣體 106a 或絕緣體 106c 大的氧化物。例如，作為半導體 106b 使用如下氧化物，該氧化物的電子親和力比絕緣體 106a 及絕緣體 106c 大 0.07eV 以上且 1.3eV 以下，較佳大 0.1eV 以上且 0.7eV 以下，更佳大 0.15eV 以上且 0.4eV 以下。注

意，電子親和力是真空能階和導帶底之間的能量差。換言之，絕緣體 106a 或絕緣體 106c 的導帶底能階比半導體 106b 的導帶底能階更近於真空能階。

[0067] 此時，當施加閘極電壓時，在絕緣體 106a、半導體 106b 及絕緣體 106c 中的電子親和力最大的半導體 106b 中形成有通道。注意，在施加較高的閘極電壓的情況下，有時在絕緣體 106a 中的與半導體 106b 的介面附近以及在絕緣體 106c 中的與半導體 106b 的介面附近電流流過。

[0068] 如上所述，當單獨使用絕緣體 106a 及絕緣體 106c 時，其包括能夠用作導電體、半導體或絕緣體的物質。然而，當與半導體 106b 層疊而形成電晶體時，電子流在半導體 106b 中、半導體 106b 與絕緣體 106a 的介面附近以及半導體 106b 與絕緣體 106c 的介面附近，而絕緣體 106a 及絕緣體 106c 包括不被用作該電晶體的通道的區域。因此，在本說明書等中，不將絕緣體 106a 及絕緣體 106c 記作半導體，而記作絕緣體。注意，將絕緣體 106a 及絕緣體 106c 記作絕緣體只是因為其與半導體 106b 相比在電晶體的功能上更接近絕緣體，因此作為絕緣體 106a 或絕緣體 106c 有時使用能夠用於半導體 106b 的物質。

[0069] 在此，有時在絕緣體 106a 與半導體 106b 之間包括絕緣體 106a 和半導體 106b 的混合區域。另外，有時在半導體 106b 與絕緣體 106c 之間包括半導體 106b 和絕緣體 106c 的混合區域。混合區域的缺陷能階密度較

低。因此，在絕緣體 106a、半導體 106b、絕緣體 106c 的疊層膜的能帶結構中，各層之間的介面及介面附近的能量連續地變化(也稱為連續接合)。注意，有時無法明確地分辨絕緣體 106a 與半導體 106b 之間以及絕緣體 106c 與半導體 106b 之間的各介面。

[0070] 此時，電子主要在半導體 106b 中移動，而不是在絕緣體 106a 中及絕緣體 106c 中。如上所述，藉由降低絕緣體 106a 與半導體 106b 的介面處的缺陷能階密度及半導體 106b 與絕緣體 106c 的介面處的缺陷能階密度，在半導體 106b 中電子的移動受到妨礙的情況減少，從而可以提高電晶體的通態電流。

[0071] 另外，越減少妨礙電子移動的因素，越能夠提高電晶體的通態電流。例如，在沒有妨礙電子移動的因素的情況下，推測電子高效率地移動。例如，在通道形成區域中的物理性凹凸較大的情況下也會發生電子移動的妨礙。

[0072] 為了提高電晶體的通態電流，例如，半導體 106b 的頂面或底面（被形成面，在此為絕緣體 106a 的頂面）的 1μm×1μm 的範圍內的均方根（RMS：Root Mean Square）粗糙度低於 1nm，較佳低於 0.6nm，更佳低於 0.5nm，進一步較佳低於 0.4nm，即可。另外，其 1μm×1μm 的範圍內的平均表面粗糙度（也稱為 Ra）低於 1nm，較佳低於 0.6nm，更佳低於 0.5nm，進一步較佳低於 0.4nm，即可。其 1μm×1μm 的範圍內的最大高低差

（也稱為 P-V）低於 10nm，較佳低於 9nm，更佳低於 8nm，進一步較佳低於 7nm。RMS 粗糙度、Ra 以及 P-V 可以藉由使用由精工電子奈米科技（SII Nano Technology）有限公司製造的掃描探針顯微鏡 SPA-500 等測定。

[0073] 此外，為了提高電晶體的通態電流，絕緣體 106c 的厚度越小越好。較佳的是，絕緣體 106c 的厚度小於絕緣體 106a 的厚度，並小於半導體 106b 的厚度。例如，絕緣體 106c 具有其厚度小於 10nm，較佳為 5nm 以下，更佳為 3nm 以下的區域即可。另一方面，絕緣體 106c 具有阻擋構成相鄰的絕緣體的氧之外的元素（氫、矽等）侵入形成有通道的半導體 106b 中的功能。因此，絕緣體 106c 較佳為具有一定程度的厚度。例如，絕緣體 106c 具有其厚度為 0.3nm 以上，較佳為 1nm 以上，更佳為 2nm 以上的區域即可。

[0074] 此外，為了提高可靠性，絕緣體 106a 較佳為厚。例如，絕緣體 106a 具有其厚度例如為 10nm 以上，較佳為 20nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上的區域即可。藉由將絕緣體 106a 形成得厚，可以拉開從相鄰的絕緣體與絕緣體 106a 的介面至形成有通道的半導體 106b 的距離。注意，因為半導體裝置的生產率可能會下降，所以絕緣體 106a 具有其厚度例如為 200nm 以下，較佳為 120nm 以下，更佳為 80nm 以下的區域即可。

[0075] 氧化物半導體中的矽有時會成為載子陷阱或

載子發生源。因此，半導體 106b 的矽濃度越低越好。例如，在半導體 106b 與絕緣體 106a 之間具有藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）得到的矽濃度為 1×10^{16}atoms/cm^3 以上且 1×10^{19}atoms/cm^3 以下，較佳為 1×10^{16}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下，更佳為 1×10^{16}atoms/cm^3 以上且 2×10^{18}atoms/cm^3 以下的區域。此外，在半導體 106b 與絕緣體 106c 之間具有藉由 SIMS 得到的矽濃度為 1×10^{16}atoms/cm^3 以上且 1×10^{19}atoms/cm^3 以下，較佳為 1×10^{16}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下，更佳為 1×10^{16}atoms/cm^3 以上且 2×10^{18}atoms/cm^3 以下的區域。

[0076] 另外，為了降低半導體 106b 的氫濃度，較佳為降低絕緣體 106a 及絕緣體 106c 的氫濃度。絕緣體 106a 及絕緣體 106c 具有藉由 SIMS 得到的氫濃度為 1×10^{16}atoms/cm^3 以上且 2×10^{20}atoms/cm^3 以下，較佳為 1×10^{16}atoms/cm^3 以上且 5×10^{19}atoms/cm^3 以下，更佳為 1×10^{16}atoms/cm^3 以上且 1×10^{19}atoms/cm^3 以下，進一步較佳為 1×10^{16}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下的區域。此外，為了降低半導體 106b 的氮濃度，較佳為降低絕緣體 106a 及絕緣體 106c 的氮濃度。絕緣體 106a 及絕緣體 106c 具有藉由 SIMS 得到的氮濃度為 1×10^{15}atoms/cm^3 以上且 5×10^{19}atoms/cm^3 以下，較佳為 1×10^{15}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下，更佳為 1×10^{15}atoms/cm^3 以上且 1×10^{18}atoms/cm^3 以下，進一步較

佳為 1×10^{15}atoms/cm^3 以上且 5×10^{17}atoms/cm^3 以下的區域。

[0077] 本實施方式所示的絕緣體 106a、半導體 106b 及絕緣體 106c，尤其是半導體 106b 為雜質濃度低且缺陷能階密度低（氧缺陷少）的氧化物半導體，也可以將它們稱為高純度本質或實質上高純度本質的氧化物半導體。因為高純度本質或實質上高純度本質的氧化物半導體的載子發生源較少，所以可以降低載子密度。因此，在該氧化物半導體中形成通道區域的電晶體不容易具有負臨界電壓的電特性(也稱為常開啟特性)。因為高純度本質或實質上高純度本質的氧化物半導體具有較低的缺陷能階密度，所以有可能具有較低的陷阱態密度。高純度本質或實質上高純度本質的氧化物半導體的關態電流顯著低，即便是通道寬度 W 為 1×10^{6}μm、通道長度 L 為 10μm 的元件，當源極電極與汲極電極間的電壓（汲極電壓）在 1V 至 10V 的範圍時，關態電流也可以為半導體參數分析儀的測定極限以下，亦即 1×10^{-13}A 以下。

[0078] 因此，在上述高純度本質或實質上高純度本質的氧化物半導體中形成有通道區域的電晶體可以是電特性變動小且可靠性高的電晶體。另外，被氧化物半導體的陷阱能階俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動。因此，有時在陷阱態密度高的氧化物半導體中形成有通道區域的電晶體的電特性不穩定。作為雜質有氫、氮、鹼金屬或鹼土金屬等。

[0079] 包含在絕緣體 106a、半導體 106b 及絕緣體 106c 中的氫與鍵合於金屬原子的氧起反應生成水，與此同時在發生氧釋放的晶格（或氧釋放的部分）中形成氧缺陷。當氫進入該氧缺陷時，有時生成作為載子的電子。另外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。尤其被氧缺陷俘獲的氫有時形成對半導體的帶結構較淺施體能階。因此，使用包含氫的氧化物半導體的電晶體容易具有常開啟特性。由此，較佳為儘可能減少絕緣體 106a、半導體 106b 及絕緣體 106c 中的氫。明確而言，在絕緣體 106a、半導體 106b 及絕緣體 106c 中，利用 SIMS（二次離子質譜分析法：Secondary Ion Mass Spectrometry）測得的氫濃度為 2×10^{20}atoms/cm^3 以下，較佳為 5×10^{19}atoms/cm^3 以下，更佳為 1×10^{19}atoms/cm^3 以下，更佳為 5×10^{18}atoms/cm^3 以下，更佳為 1×10^{18}atoms/cm^3 以下，更佳為 5×10^{17}atoms/cm^3 以下，更佳為 1×10^{16}atoms/cm^3 以下。

[0080] 另外，當絕緣體 106a、半導體 106b 及絕緣體 106c 包含第 14 族元素之一的矽或碳時，在絕緣體 106a、半導體 106b 及絕緣體 106c 中氧缺陷增加而導致氧化物絕緣體 106a、半導體 106b 及絕緣體 106c 的 n 型化。因此，絕緣體 106a、半導體 106b 及絕緣體 106c 中的矽或碳的濃度以及與絕緣體 106a、半導體 106b 及絕緣體 106c 之間的介面附近的矽或碳的濃度（利用 SIMS 分析測得的濃度）為 2×10^{18}atoms/cm^3 以下，較佳為 2×10^{17}atoms/cm^3 以下。

[0081] 另外，在絕緣體 106a、半導體 106b 及絕緣體 106c 中，利用 SIMS 分析測得的鹼金屬或鹼土金屬的濃度為 1×10^{18}atoms/cm^3 以下，較佳為 2×10^{16}atoms/cm^3 以下。當鹼金屬及鹼土金屬與氧化物半導體鍵合時有時生成載子而使電晶體的關態電流增大。由此，較佳為降低絕緣體 106a、半導體 106b 及絕緣體 106c 的鹼金屬或鹼土金屬的濃度。

[0082] 當在絕緣體 106a、半導體 106b 及絕緣體 106c 中含有氮時，生成作為載子的電子，載子密度增加而導致容易的 n 型化。其結果是，使用含有氮的氧化物半導體膜的電晶體容易具有常開啟特性。因此，較佳為儘可能地減少氧化物半導體膜中的氮，例如，利用 SIMS 分析測得的氮濃度較佳為 5×10^{18}atoms/cm^3 以下。

[0083] 在此，圖 1D 示出絕緣體 106a 及半導體 106b 的中央部及中央部附近的放大剖面圖。如圖 1B 及圖 1D 所示，半導體 106b 或絕緣體 106c 等的與導電體 108a 或導電體 108b 接觸的區域（在圖 1B 及圖 1D 中以虛線表示）有時形成有低電阻區域 109a 及低電阻區域 109b。低電阻區域 109a 及低電阻區域 109b 主要藉由其中的氧被半導體 106b 所接觸的導電體 108a 或導電體 108b 抽取，或者藉由導電體 108a 或導電體 108b 所包含的導電材料與半導體 106b 中的元素鍵合而形成。藉由形成這種低電阻區域 109a 及低電阻區域 109b，可以降低導電體 108a 或導電體 108b 與半導體 106b 的接觸電阻，所以可以增大電晶體

10 的通態電流。

[0084] 另外，雖然未圖示，但是有時在絕緣體 106a 與導電體 108a 或導電體 108b 接觸的區域也形成有低電阻區域。另外，在後面的圖式中也由同樣的虛線表示低電阻區域。

[0085] 另外，如圖 1D 所示，半導體 106b 有時在導電體 108a 與導電體 108b 之間包括比重疊於導電體 108a 及導電體 108b 的區域厚度薄的區域。該區域是在形成導電體 108a 及導電體 108b 時藉由去除半導體 106b 的頂面的一部分而形成的。當在半導體 106b 的頂面形成將成為導電體 108a 及導電體 108b 的導電體時，有時形成與低電阻區域 109a 及 109b 同樣的低電阻的區域。如此，藉由去除半導體 106b 的頂面的位於導電體 108a 與導電體 108b 之間的區域，可以防止在半導體 106b 的頂面的低電阻的區域中形成通道的情況。另外，在後面的圖式中，即使在放大圖等中沒有示出厚度較薄的區域，有時也形成有同樣的較薄的區域。

[0086] 另外，上述的絕緣體 106a、半導體 106b 及絕緣體 106c 的三層結構是一個例子。例如，也可以採用不設置絕緣體 106a 和絕緣體 106c 中的任一個的兩層結構。另外，也可以採用不設置絕緣體 106a 及絕緣體 106c 的單層結構。另外，也可以採用除了絕緣體 106a、半導體 106b 及絕緣體 106c 之外還包括一個層以上的 n 層結構（n 是 4 以上的整數）。該追加採用的層可以使用能夠用

於絕緣體 106a、半導體 106b 及絕緣體 106c 中的任一個的材料。

[0087]

〈氧化物半導體的結構〉

下面對氧化物半導體的結構進行說明。

[0088] 氧化物半導體被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體有 CAAC-OS（c-axis-aligned crystalline oxide semiconductor）、多晶氧化物半導體、nc-OS（nanocrystalline oxide semiconductor）、a-like OS（amorphous-like oxide semiconductor）及非晶氧化物半導體等。

[0089] 從其他觀點看來，氧化物半導體被分為非晶氧化物半導體和結晶氧化物半導體。作為結晶氧化物半導體，有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及 nc-OS 等。

[0090] 一般而言，非晶結構具有如下特徵：具有各向同性而不具有不均勻結構；處於亞穩態且原子的配置沒有被固定化；鍵角不固定；具有短程有序而不具有長程有序；等。

[0091] 從相反的角度來看，不能將穩定的氧化物半導體稱為完全非晶（completely amorphous）氧化物半導體。另外，不能將不具有各向同性（例如，在微小區域中具有週期結構）的氧化物半導體稱為完全非晶氧化物半導體。另一方面，a-like OS 不具有各向同性但卻是具有空

洞（void）的不穩定結構。在不穩定這一點上，a-like OS在物性上接近於非晶氧化物半導體。

[0092]

〈CAAC-OS〉

首先，說明 CAAC-OS。

[0093] CAAC-OS 是包含多個 c 軸配向的結晶部（也稱為顆粒）的氧化物半導體之一。

[0094] 說明使用 X 射線繞射（XRD：X-Ray Diffraction）裝置對 CAAC-OS 進行分析時的情況。例如，當利用 out-of-plane 法分析包含分類為空間群 R-3m 的 $InGaZnO_4$ 結晶的 CAAC-OS 的結構時，如圖 2A 所示，在繞射角（2θ）為 31°附近出現峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的（009）面，由此可確認到在 CAAC-OS 中結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於形成 CAAC-OS 的膜的面（也稱為被形成面）或頂面的方向。注意，除了 2θ為 31°附近的峰值以外，有時在 2θ為 36°附近時也出現峰值。2θ為 36°附近的峰值起因於分類為空間群 Fd-3m 的結晶結構。因此，較佳的是，在 CAAC-OS 中不出現該峰值。

[0095] 另一方面，當利用從平行於被形成面的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ為 56°附近出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的（110）面。並且，即使將 2θ固定為 56°附近並在以樣本面的法線向量為軸（φ軸）旋轉樣本的條件下進行

分析（ϕ掃描），也如圖 2B 所示的那樣觀察不到明確的峰值。另一方面，當對單晶 $InGaZnO_4$ 將 2θ固定為 56°附近來進行ϕ掃描時，如圖 2C 所示，觀察到來源於相等於（110）面的結晶面的六個峰值。因此，由使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0096] 接著，說明利用電子繞射分析的 CAAC-OS。例如，當對包含 $InGaZnO_4$ 結晶的 CAAC-OS 在平行於 CAAC-OS 的被形成面的方向上入射束徑為 300nm 的電子線時，有可能出現圖 2D 所示的繞射圖案（也稱為選區電子繞射圖案）。在該繞射圖案中包含起因於 $InGaZnO_4$ 結晶的（009）面的斑點。因此，電子繞射也示出 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 2E 示出對相同的樣本在垂直於樣本面的方向上入射束徑為 300nm 的電子線時的繞射圖案。從圖 2E 觀察到環狀的繞射圖案。因此，使用束徑為 300nm 的電子線的電子繞射也示出 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認為圖 2E 中的第一環起因於 $InGaZnO_4$ 結晶的（010）面和（100）面等。另外，可以認為圖 2E 中的第二環起因於（110）面等。

[0097] 另外，在利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察所獲取的 CAAC-OS 的明視野影像與繞射圖案的複合分析影像（也稱為高

解析度 TEM 影像）中，可以觀察到多個顆粒。然而，即使在高解析度 TEM 影像中，有時也觀察不到顆粒與顆粒之間的明確的邊界，亦即晶界（grain boundary）。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。

[0098] 圖 3A 示出從大致平行於樣本面的方向觀察所獲取的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正（Spherical Aberration Corrector）功能得到高解析度 TEM 影像。尤其將利用球面像差校正功能獲取的高解析度 TEM 影像稱為 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 等觀察 Cs 校正高解析度 TEM 影像。

[0099] 從圖 3A 可確認到其中金屬原子排列為層狀的顆粒。並且可知一個顆粒的尺寸為 1nm 以上或者 3nm 以上。因此，也可以將顆粒稱為奈米晶（nc：nanocrystal）。另外，也可以將 CAAC-OS 稱為具有 CANC（C-Axis Aligned nanocrystals：c 軸配向奈米晶）的氧化物半導體。顆粒反映 CAAC-OS 的被形成面或頂面的凸凹並平行於 CAAC-OS 的被形成面或頂面。

[0100] 另外，圖 3B 及圖 3C 示出從大致垂直於樣本面的方向觀察所獲取的 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像。圖 3D 及圖 3E 是藉由對圖 3B 及圖 3C 進行影像處理得到的影像。下面說明影像處理的方法。首

先，藉由對圖 3B 進行快速傅立葉變換（FFT：Fast Fourier Transform）處理，獲取 FFT 影像。接著，以保留所獲取的 FFT 影像中的離原點 2.8nm^{-1} 至 5.0nm^{-1} 的範圍的方式進行遮罩處理。接著，對經過遮罩處理的 FFT 影像進行快速傅立葉逆變換（IFFT：Inverse Fast Fourier Transform）處理而獲取經過處理的影像。將所獲取的影像稱為 FFT 濾波影像。FFT 濾波影像是從 Cs 校正高解析度 TEM 影像中提取出週期分量的影像，其示出晶格排列。

[0101] 在圖 3D 中，以虛線示出晶格排列被打亂的部分。由虛線圍繞的區域是一個顆粒。並且，以虛線示出的部分是顆粒與顆粒的聯結部。虛線呈現六角形，由此可知顆粒為六角形。注意，顆粒的形狀並不侷限於正六角形，不是正六角形的情況較多。

[0102] 在圖 3E 中，以點線示出晶格排列一致的區域與其他晶格排列一致的區域之間的部分，以虛線示出晶格排列的方向。在點線附近也無法確認到明確的晶界。當以點線附近的晶格點為中心周圍的晶格點相接時，可以形成畸變的六角形、五角形及/或七角形等。亦即，可知藉由使晶格排列畸變，可抑制晶界的形成。這可能是由於 CAAC-OS 可容許因如下原因而發生的畸變：在 a-b 面方向上的原子排列的密度低、因金屬元素被取代而使原子間的鍵合距離產生變化等。

[0103] 如上所示，CAAC-OS 具有 c 軸配向性，其多

個顆粒（奈米晶）在 a-b 面方向上連結而結晶結構具有畸變。因此，也可以將 CAAC-OS 稱為具有 CAA crystal（c-axis-aligned a-b-plane-anchored crystal）的氧化物半導體。

[0104] CAAC-OS 是結晶性高的氧化物半導體。因為氧化物半導體的結晶性有時因雜質的混入或缺陷的生成等而降低，這意味著 CAAC-OS 是雜質或缺陷(氧缺陷等)少的氧化物半導體。

[0105] 此外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氬、二氧化碳等的原子半徑(或分子半徑)大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

[0106] 當氧化物半導體包含雜質或缺陷時，其特性有時因光或熱等會發生變動。包含於氧化物半導體的雜質有時會成為載子陷阱或載子發生源。另外，氧化物半導體中的氧缺陷有時會成為載子陷阱或因俘獲氫而成為載子發生源。

[0107] 雜質及氧缺陷少的 CAAC-OS 是載子密度低的氧化物半導體。明確而言，可以使用載子密度小於 $8\times10^{11}/cm^3$，較佳小於 $1\times10^{11}/cm^3$，更佳小於 $1\times10^{10}/cm^3$，且是 $1\times10^{-9}/cm^3$ 以上的氧化物半導體。將這樣的氧

化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷能階密度低。亦即，可以說 CAAC-OS 是具有穩定特性的氧化物半導體。

[0108]

〈nc-OS〉

接著，對 nc-OS 進行說明。

[0109] 說明使用 XRD 裝置對 nc-OS 進行分析的情況。例如，當利用 out-of-plane 法分析 nc-OS 的結構時，不出現表示配向性的峰值。換言之，nc-OS 的結晶不具有配向性。

[0110] 另外，例如，當使包含 $InGaZnO_4$ 結晶的 nc-OS 薄片化，並在平行於被形成面的方向上使束徑為 50nm 的電子線入射到厚度為 34nm 的區域時，觀察到如圖 4A 所示的環狀繞射圖案（奈米束電子繞射圖案）。另外，圖 4B 示出將束徑為 1nm 的電子線入射到相同的樣本時的繞射圖案（奈米束電子繞射圖案）。從圖 4B 觀察到環狀區域內的多個斑點。因此，nc-OS 在入射束徑為 50nm 的電子線時觀察不到秩序性，但是在入射束徑為 1nm 的電子線時確認到秩序性。

[0111] 另外，當使束徑為 1nm 的電子線入射到厚度小於 10nm 的區域時，如圖 4C 所示，有時觀察到斑點被配置為准正六角形的電子繞射圖案。由此可知，nc-OS 在厚度小於 10nm 的範圍內包含秩序性高的區域，亦即結晶。注意，因為結晶朝向各種各樣的方向，所以也有觀察

不到有規律性的電子繞射圖案的區域。

[0112] 圖 4D 示出從大致平行於被形成面的方向觀察到的 nc-OS 的剖面的 Cs 校正高解析度 TEM 影像。在 nc-OS 的高解析度 TEM 影像中有如由輔助線所示的部分那樣能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。nc-OS 所包含的結晶部的尺寸為 1nm 以上且 10nm 以下，尤其大多為 1nm 以上且 3nm 以下。注意，有時將其結晶部的尺寸大於 10nm 且是 100nm 以下的氧化物半導體稱為微晶氧化物半導體（microcrystalline oxide semiconductor）。例如，在 nc-OS 的高解析度 TEM 影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與 CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結晶部稱為顆粒。

[0113] 如此，在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。

[0114] 另外，由於在顆粒（奈米晶）之間結晶定向沒有規律性，所以也可以將 nc-OS 稱為包含 RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧化物半導體或包含 NANC（Non-Aligned nanocrystals：無配向奈米晶）的氧化物半導體。

[0115] nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷能階密度比 a-like OS 或非晶氧化物半導體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷能階密度比 CAAC-OS 高。

[0116]

〈a-like OS〉

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。

[0117] 圖 5A 和圖 5B 示出 a-like OS 的高解析度剖面 TEM 影像。圖 5A 示出電子照射開始時的 a-like OS 的高解析度剖面 TEM 影像。圖 5B 示出照射 $4.3\times10^8 e^-/nm^2$ 的電子（e^-）之後的 a-like OS 的高解析度剖面 TEM 影像。由圖 5A 和圖 5B 可知，a-like OS 從電子照射開始時被觀察到在縱向方向上延伸的條狀明亮區域。另外，可知明亮區域的形狀在照射電子之後變化。明亮區域被估計為空洞或低密度區域。

[0118] 由於 a-like OS 包含空洞，所以其結構不穩定。為了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變化。

[0119] 作為樣本，準備 a-like OS、nc-OS 和 CAAC-OS。每個樣本都是 In-Ga-Zn 氧化物。

[0120] 首先，取得各樣本的高解析度剖面 TEM 影像。由高解析度剖面 TEM 影像可知，每個樣本都具有結

晶部。

[0121] 已知 $InGaZnO_4$ 結晶的單位晶格具有所包括的三個 In-O 層和六個 Ga-Zn-O 層共計九個層在 c 軸方向上以層狀層疊的結構。這些彼此靠近的層之間的間隔與（009）面的晶格表面間隔（也稱為 d 值）幾乎相等，由結晶結構分析求出其值為 0.29nm。由此，以下可以將晶格條紋的間隔為 0.28nm 以上且 0.30nm 以下的部分看作 $InGaZnO_4$ 結晶部。晶格條紋對應於 $InGaZnO_4$ 結晶的 a-b 面。

[0122] 圖 6 示出調查了各樣本的結晶部（22 至 30 處）的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖 6 可知，在 a-like OS 中，結晶部根據有關取得 TEM 影像等的電子的累積照射量逐漸變大。由圖 6 可知，在利用 TEM 的觀察初期尺寸為 1.2nm 左右的結晶部（也稱為初始晶核）在電子（e^-）的累積照射量為 $4.2\times10^8e^-/nm^2$ 時生長到 1.9nm 左右。另一方面，可知 nc-OS 和 CAAC-OS 在開始電子照射時到電子的累積照射量為 $4.2\times10^8e^-/nm^2$ 的範圍內，結晶部的尺寸都沒有變化。由圖 6 可知，無論電子的累積照射量如何，nc-OS 及 CAAC-OS 的結晶部尺寸分別為 1.3nm 左右及 1.8nm 左右。此外，使用日立穿透式電子顯微鏡 H-9000NAR 進行電子線照射及 TEM 的觀察。作為電子線照射條件，加速電壓為 300kV；電流密度為 $6.7\times10^5e^-/(nm^2\cdot s)$，照射區域的直徑為 230nm。

[0123] 如此，有時電子照射引起 a-like OS 中的結晶部的生長。另一方面，在 nc-OS 和 CAAC-OS 中，幾乎沒有電子照射所引起的結晶部的生長。也就是說，a-like OS 與 CAAC-OS 及 nc-OS 相比具有不穩定的結構。

[0124] 此外，由於 a-like OS 包含空洞，所以其密度比 nc-OS 及 CAAC-OS 低。具體地，a-like OS 的密度為具有相同組成的單晶氧化物半導體的 78.6%以上且小於 92.3%。nc-OS 的密度及 CAAC-OS 的密度為具有相同組成的單晶氧化物半導體的 92.3%以上且小於 100%。注意，難以形成其密度小於單晶氧化物半導體的密度的 78%的氧化物半導體。

[0125] 例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，具有菱方晶系結構的單晶 $InGaZnO_4$ 的密度為 $6.357g/cm^3$。因此，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，a-like OS 的密度為 $5.0g/cm^3$ 以上且小於 $5.9g/cm^3$。另外，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，nc-OS 的密度和 CAAC-OS 的密度為 $5.9g/cm^3$ 以上且小於 $6.3g/cm^3$。

[0126] 注意，當不存在相同組成的單晶氧化物半導體時，藉由以任意比例組合組成不同的單晶氧化物半導體，可以估計出相當於所希望的組成的單晶氧化物半導體的密度。根據組成不同的單晶氧化物半導體的組合比例使用加權平均估計出相當於所希望的組成的單晶氧化物半導體的密度即可。注意，較佳為儘可能減少所組合的單晶氧

化物半導體的種類來估計密度。

[0127] 如上所述，氧化物半導體具有各種結構及各種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、nc-OS 和 CAAC-OS 中的兩種以上的疊層膜。

[0128]

〈基板、絕緣體、導電體〉

下面，對電晶體 10 的半導體以外的各組件進行詳細的說明。

[0129] 作為基板 100，例如可以使用絕緣體基板、半導體基板或導電體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、穩定氧化鋯基板（釔安定氧化鋯基板等）、樹脂基板等。作為半導體基板，例如有由矽或鍺等構成的單一材料半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵等構成的半導體基板等。並且，還有在上述半導體基板內部具有絕緣體區域的半導體基板，例如為 SOI（Silicon On Insulator：絕緣層上覆矽）基板等。作為導電體基板，有石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，有包含金屬氮化物的基板、包含金屬氧化物的基板等。再者，還有設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。作為設置在基板上的元件，有電容器、電

阻元件、切換元件、發光元件、記憶元件等。

[0130] 此外，作為基板 100 也可以使用能夠承受製造電晶體時的加熱處理的撓性基板。另外，作為在撓性基板上設置電晶體的方法，也可以舉出如下方法：在非撓性基板上形成電晶體之後，將該電晶體剝離並轉置到撓性基板的基板 100 上。在此情況下，較佳為在非撓性基板與電晶體之間設置剝離層。此外，作為基板 100，也可以使用包含纖維的薄片、薄膜或箔等。另外，基板 100 也可以具有伸縮性。此外，基板 100 可以具有在彎曲或拉伸停止時恢復為原來的形狀的性質。或者，也可以具有不恢復為原來的形狀的性質。基板 100 的厚度例如為 5μm 以上且 700μm 以下，較佳為 10μm 以上且 500μm 以下，更佳為 15μm 以上且 300μm 以下。藉由將基板 100 形成得薄，可以實現半導體裝置的輕量化。另外，藉由將基板 100 形成得薄，即便在使用玻璃等的情況下有時也會具有伸縮性或在彎曲或拉伸停止時恢復為原來的形狀的性質。因此，可以緩解因掉落等而基板 100 上的半導體裝置受到的衝擊等。亦即，能夠提供一種耐久性高的半導體裝置。

[0131] 作為撓性基板的基板 100，例如可以使用金屬、合金、樹脂、玻璃或其纖維等。作為撓性基板的基板 100 的線性膨脹係數越低，因環境而發生的變形越得到抑制，所以是較佳的。作為撓性基板的基板 100，例如使用線性膨脹係數為 1×10^{-3}/K 以下、5×10^{-5}/K 以下或 1×10^{-5}/K 以下的材質即可。作為樹脂，例如可以舉出聚酯、聚烯

烴、聚醯胺（尼龍、芳族聚醯胺等）、聚醯亞胺、聚碳酸酯、丙烯酸樹脂等。尤其是芳族聚醯胺的線性膨脹係數較低，因此適合用於撓性基板的基板 100。

[0132] 作為絕緣體 101，使用具有阻擋氫或水的功能的絕緣體。設置於絕緣體 106a、半導體 106b、絕緣體 106c 附近的絕緣體中的氫或水成為在還用作氧化物半導體的絕緣體 106a、半導體 106b、絕緣體 106c 中產生載子的原因之一。由此，電晶體 10 的可靠性有可能下降。尤其在作為基板 100 使用設置有切換元件等矽類半導體元件的基板的情況下，為了終結該半導體元件中的懸空鍵使用氫，該氫有可能擴散到電晶體 10。與此相反，藉由設置具有阻擋氫或水的功能的絕緣體 101，能夠抑制氫或水從電晶體 10 的下方擴散，從而能夠提高電晶體 10 的可靠性。絕緣體 101 較佳為比絕緣體 105 或絕緣體 104 不容易使氫或水透過。

[0133] 絕緣體 101 較佳為還具有阻擋氧的功能。藉由使絕緣體 101 阻擋從絕緣體 104 擴散的氧，能夠有效地從絕緣體 104 將氧供應到絕緣體 106a、半導體 106b、絕緣體 106c。

[0134] 絕緣體 101 例如可以使用氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化釔、氧氮化釔、氧化鉿、氧氮化鉿等。藉由使用這些材料形成絕緣體 101，可以將絕緣體 101 用作具有阻擋氧、氫或水的擴散的效果的絕緣膜。另外，絕緣體 101 例如可以使用氮化矽、氮氧化矽

等。藉由使用這些材料形成絕緣體 101，可以將絕緣體 101 用作具有阻擋氫或水的擴散的效果的絕緣膜。在本說明書等中，“氮氧化矽”是指在其組成中含氮量多於含氧量的物質，而“氧氮化矽”是指在其組成中含氧量多於含氮量的物質。

[0135] 較佳的是，在被夾在導電體 108a 與導電體 108b 之間的區域中，導電體 102 的至少一部分與半導體 106b 重疊。導電體 102 被用作電晶體 10 的背閘極。藉由設置這種導電體 102，能夠控制電晶體 10 的臨界電壓。藉由控制臨界電壓，可以防止當施加到電晶體 10 的閘極（導電體 114）的電壓為低，例如被施加的電壓為 0V 以下時電晶體 10 處於導通狀態。就是說，可以容易地將電晶體 10 的電特性在常關閉方向轉移。

[0136] 作為導電體 102，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釔、鋯、鉬、釕、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，可以使用合金或化合物，還可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體、包含鈦及氮的導電體等。

[0137] 絕緣體 105 以覆蓋導電體 102 的方式設置。作為絕緣體 105 可以使用與後面說明的絕緣體 104 或絕緣體 112 同樣的絕緣體。

[0138] 絕緣體 103 以覆蓋絕緣體 105 的方式設置。

絕緣體 103 較佳為具有阻擋氧的功能。藉由設置這種絕緣體 103，能夠防止導電體 102 從絕緣體 104 中抽出氧。由此，能夠有效地從絕緣體 104 將氧供應到絕緣體 106a、半導體 106b 及絕緣體 106c。另外，藉由提高絕緣體 103 的覆蓋性，能夠進一步降低從絕緣體 104 被抽出的氧，而能夠有效地從絕緣體 104 將氧供應到絕緣體 106a、半導體 106b 及絕緣體 106c。

[0139] 作為絕緣體 103，使用包含硼、鋁、矽、釩、鈦、鎵、釔、鋯、銦、鑭、鈰、釹、鉿或鉭的氧化物或氮化物。較佳為使用氧化鉿或氧化鋁。

[0140] 在絕緣體 105、絕緣體 103 及絕緣體 104 中，較佳的是，絕緣體 103 具有電子俘獲區域。當絕緣體 105 及絕緣體 104 具有抑制電子釋放的功能時，被絕緣體 103 俘獲的電子像固定負電荷那樣動。因此，藉由對絕緣體 103 注入電子，可以使電晶體 10 的臨界電壓變化。藉由對導電體 102 施加正電位或負電位來可以對絕緣體 103 注入電子。

[0141] 另外，根據對導電體 102 施加電位的時間或/及所施加的電位，可以調整電子的注入量，因此用來使電晶體的臨界電壓成為所希望的值的施加到導電體 102 的電位可以為在絕緣體 105 中穿隧電流流過的程度的電位，例如，20V 以上且 60V 以下的電位，較佳為 24V 以上且 50V 以下的電位，更佳為 30V 以上且 45V 以下的電位。電位的施加時間例如為 0.1 秒以上且 20 秒以下、較佳為 0.2 秒

以上且 10 秒以下的範圍內。

[0142] 另外，較佳的是在絕緣體 103 中包含的氫或水少。例如，在表面溫度範圍為 100℃至 700℃或者 100℃至 500℃的熱脫附譜(TDS：Thermal Desorption Spectroscopy)分析中，絕緣體 103 的水分子的脫離量為 1.0×10^{13}molecules/cm^2 以上且 1.0×10^{16}molecules/cm^2 以下，較佳為 1.0×10^{13}molecules/cm^2 以上且 3.0×10^{15} molecules/cm^2 以下。後面詳細說明藉由使用 TDS 分析的分子的釋放量的測定方法。

[0143] 絕緣體 104 較佳為在膜中包含的水或氫量少。另外，絕緣體 104 較佳為包含過量氧的絕緣體。作為絕緣體 104，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、鈰、鉿或鉭的絕緣體的單層或疊層。例如，作為絕緣體 104，可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化鈰、氧化鉿或氧化鉭。絕緣體 104 較佳為使用氧化矽或氧氮化矽。

[0144] 較佳的是在絕緣體 104 中包含的水或氫量少。例如，在表面溫度範圍為 100℃至 700℃或者 100℃至 500℃的 TDS 分析中，絕緣體 104 的水分子的脫離量為 1.0×10^{13}molecules/cm^2 以上且 1.4×10^{16}molecules/cm^2 以下，較佳為 1.0×10^{13}molecules/cm^2 以上且 4.0×10^{15} molecules/cm^2 以下，更佳為 1.0×10^{13}molecules/cm^2 以上

且 2.0×10^{15}molecules/cm^2 以下。另外，在 TDS 分析中，在 100℃至 700℃或者 100℃至 500℃的表面溫度範圍中，氫分子的脫離量為 1.0×10^{13}molecules/cm^2 以上且 $1:2\times10^{15}$molecules/cm^2 以下，較佳為 1.0×10^{13}molecules/cm^2 以上且 9.0×10^{14}molecules/cm^2 以下。注意，後面詳細說明藉由使用 TDS 分析的分子的釋放量的測定方法。

[0145] 從上述結果可知，在絕緣體 106a、半導體 106b 及絕緣體 106c 中，尤其在半導體 106b 中，水、氫等雜質成為形成缺陷能階而使電晶體的電特性變動的原因。因此，藉由減少設置在絕緣體 106a、半導體 106b 及絕緣體 106c 下方的絕緣體 104 中的水或氫量，能夠減少將水、氫等從絕緣體 104 供應給半導體 106b 等而形成缺陷能階。藉由使用這種缺陷能階密度被降低的氧化物半導體，可以提供具有穩定的電特性的電晶體。

[0146] 詳細內容將在後面說明，在絕緣體 104、絕緣體 106a、半導體 106b 及絕緣體 106c 等中，為了脫水化、脫氫化或氧缺陷的減少等，需要進行加熱處理。然而，藉由進行高溫的加熱處理，有可能會使絕緣體 104 下方的層劣化。尤其是，當將本實施方式所示的電晶體 10 層疊在不同於半導體 106b 的以半導體（例如矽等）為活性層的半導體元件層上而形成時，有可能會因該加熱處理而使半導體元件層所包括的各種元件、佈線等受損傷或變質。

[0147] 例如，當在矽基板上形成半導體元件層時，為了實現元件的微型化，需要使各元件低電阻化。為了降

低電阻，例如，作為佈線材料可以使用電阻率低的 Cu 佈線，或者可以對電晶體的源極區域及汲極區域設置鎳矽化物等以形成該區域。另一方面，Cu 佈線和鎳矽化物都具有耐熱性低的特徵。例如，因對 Cu 佈線進行高溫加熱處理，導致空洞或小丘的形成或 Cu 擴散等劣化的發生。另外，因鎳矽化物的高溫加熱處理而矽化物區域擴張，從而發生電晶體的源極區域及汲極區域短路等的劣化。

[0148] 因此，上述加熱處理需要在不使下方的層的半導體元件層劣化的溫度範圍內進行。然而，在當形成絕緣體 104 時的其包含多量的水、氫的情況下，即使在不使下方的層的半導體元件層劣化的溫度範圍內進行加熱處理，也無法充分地從絕緣體 104 去除水、氫等。再者，當在形成絕緣體 106a、半導體 106b 及絕緣體 106c 後以同樣的溫度範圍進行加熱處理時，水、氫等從絕緣體 104 被供應到半導體 106b 等，而導致缺陷能階的形成。

[0149] 與此相對，本實施方式所示的絕緣體 104 因為如上所述那樣被減少水、氫的含量，所以以較低溫（例如為 350℃以上且 445℃以下左右的溫度範圍）的加熱能夠充分地去除水、氫等。再者，即使在形成絕緣體 106a、半導體 106b 及絕緣體 106c 之後，在同樣的溫度範圍內進行加熱處理，也由於包含在絕緣體 104 中的水、氫等充分減少，而能夠抑制缺陷能階形成在半導體 106b 等中。

[0150] 絕緣體 104 較佳為藉由以較低溫得到高品質

膜的 PECVD 法形成。然而，例如在藉由 PECVD 法形成氧化矽膜等時，在很多情況下作為源氣體使用矽氫化物等，因此在成膜時對絕緣體 104 中導入氫、水等。因此，在形成本實施方式所示的絕緣體 104 時，作為源氣體較佳為使用鹵化矽。在此，作為鹵化矽可以使用例如 SiF_4（四氟化矽）、$SiCl_4$（四氯化矽）、$SiHCl_3$（三氯化矽）、SiH_2Cl_2（二氯矽烷）或 $SiBr_4$（四溴化矽）等。

[0151] 藉由當形成絕緣體 104 時作為源氣體使用鹵化矽，有時在絕緣體 104 中包含鹵素。另外，有時絕緣體 104 的成分與鹵素形成共價鍵。例如，在將 SiF_4 用作源氣體形成絕緣體 104 的情況下，有時在絕緣體 104 中包含氟素而形成 Si-F 的共價鍵。在此，具有 SiF 的共價鍵的絕緣體 104 有時在 X 射線光電子能譜（XPS：X-ray Photoelectron Spectroscopy）的評價的 685.4eV 以上且 687.5ev 以下的範圍內具有光譜的峰值。

[0152] 另外，在形成絕緣體 104 時作為源氣體使用鹵化矽的情況下，除了鹵化矽之外還可以添加矽氫化物。由此，與只將矽氫化物用作源氣體的情況相比，可以進一步減少絕緣體 104 中的氫、水的含量，並且與只將鹵化矽用作源氣體的情況相比，可以進一步提高沉積速度。例如，可以將 SiF_4 及 SiH_4 用作源氣體形成絕緣體 104。另外，根據絕緣體 104 中的水、氫的含量及沉積速度適當地設定 SiF_4 和 SiH_4 的流量比率。後面詳細說明絕緣體 104 的形成方法。

[0153] 另外，除了絕緣體 104 之外，設置在絕緣體 101 和絕緣體 106a 之間的絕緣體的疊層膜（在本實施方式中，絕緣體 105、絕緣體 103 及絕緣體 104 的疊層膜）中的水或氫的含量少是較佳的。如上所述，在將絕緣體 101 用作具有阻擋水、氫的功能的絕緣體的情況下，當形成成為絕緣體 106a、半導體 106b 的氧化物時供應給該氧化物的水、氫是包含在絕緣體 105、絕緣體 103 及絕緣體 104 中的。由此，若當形成成為絕緣體 106a、半導體 106b 的氧化物時在絕緣體 105、絕緣體 103 及絕緣體 104 的疊層膜中包含的水或氫的含量足夠少，就可以減少供應給絕緣體 106a、半導體 106b 的水或氫。

[0154] 例如，絕緣體 105、絕緣體 103 及絕緣體 104 的疊層膜在表面溫度範圍為 100℃至 700℃或者 100℃至 500℃的 TDS 分析中，水分子的脫離量為 1.0×10^{13} molecules/cm^2 以上且 1.4×10^{16}molecules/cm^2 以下，較佳為 1.0×10^{13}molecules/cm^2 以上且 4.0×10^{15}molecules/cm^2 以下，更佳為 1.0×10^{13}molecules/cm^2 以上且 2.0×10^{15} molecules/cm^2 以下。另外，在 TDS 分析中，在 100℃至 700℃或者 100℃至 500℃的表面溫度範圍中，氫分子的脫離量為 1.0×10^{13}molecules/cm^2 以上且 1.2×10^{15}molecules/cm^2 以下，較佳為 1.0×10^{13}molecules/cm^2 以上且 9.0×10^{14}molecules/cm^2 以下。注意，後面詳細說明藉由使用 TDS 分析的分子的釋放量的測定方法。

[0155] 另外，這種其水或氫量得到減少的絕緣體還

可以用於其他絕緣體，而不僅用於絕緣體 104。例如，將其水或氫量得到減少的絕緣體既可以用於絕緣體 105，又可以用於後面說明的絕緣體 112、絕緣體 118。另外，只要滿足對氫或水的阻擋性，就可以將其水或氫量得到減少的絕緣體用於絕緣體 101、絕緣體 116 等。另外，在絕緣體 101 下方設置半導體元件層或佈線層等的情況下，可以將該絕緣體用作該半導體元件層與佈線層之間的層間絕緣膜。另外，在絕緣體 118 上設置半導體元件層或佈線層等的情況下，可以將該絕緣體用作絕緣體 118 與該半導體元件層或佈線層之間的層間絕緣膜。

[0156] 另外，絕緣體 104 較佳為包含過量氧的絕緣體。藉由設置這種絕緣體 104，能夠從絕緣體 104 將氧供應到絕緣體 106a、半導體 106b 及絕緣體 106c。由於該氧能夠減少氧化物半導體的絕緣體 106a、半導體 106b 及絕緣體 106c 的缺陷的氧缺陷。由此，可以使絕緣體 106a、半導體 106b 及絕緣體 106c 成為缺陷能階密度較低且具有穩定的特性的氧化物半導體。

[0157] 注意，在本說明書等中，過量氧例如是指超過化學計量組成的氧。或者，過量氧是指例如藉由加熱從包含該過量氧的膜或層釋放的氧。過量氧例如可以移動在膜或層的內部。過量氧的移動包括在膜或層的原子之間移動的情況以及以與構成膜或層的氧置換的方式一個接一個移動的情況。

[0158] 在表面溫度範圍為 100℃至 700℃或者 100℃

至 500℃的 TDS 分析中，包含過量氧的絕緣體 104 的氧分子的脫離量為 1.0×10^{14}molecules/cm^2 以上且 1.0×10^{16}molecules/cm^2 以下，較佳為 1.0×10^{15}molecules/cm^2 以上且 5.0×10^{15}molecules/cm^2 以下。

[0159] 下面，對利用 TDS 分析測量分子釋放量的方法，以氧釋放量為例子進行說明。

[0160] 對測量樣本進行 TDS 分析時的氣體的總釋放量與釋放氣體的離子強度的積分值成正比。並且，藉由對該測量樣本與標準樣本進行比較，可以計算出氣體的總釋放量。

[0161] 例如，根據作為標準樣本的含有指定密度的氫的矽基板的 TDS 分析結果以及測量樣本的 TDS 分析結果，可以藉由下面所示的公式求出測量樣本的氧分子的釋放量（N_{O2}）。這裡，假設為藉由 TDS 分析而得到的質荷比 32 的氣體都來源於氧分子。雖然 CH_3OH 的質荷比為 32，但因為 CH_3OH 存在的可能性較低，所以在這裡不考慮。此外，包含作為氧原子的同位素的質量數 17 的氧原子及質量數 18 的氧原子的氧分子在自然界的豐度比率極低，所以也不考慮。

[0162]

$$N_{O2} = N_{H2}/S_{H2} \times S_{O2} \times \alpha$$

[0163] N_{H2} 是以密度換算從標準樣本脫離的氫分子的值。S_{H2} 是對標準樣本進行 TDS 分析而得到的離子強度的積分值。在此，將標準樣本的基準值設定為 N_{H2}/S_{H2}。S_{O2}

是對測量樣本進行 TDS 分析而得到的離子強度的積分值。α是在 TDS 分析中影響到離子強度的係數。關於上面所示的公式的詳細內容，可以參照日本專利申請公開平 6-275697 公報。注意，上述氧的釋放量是使用由日本電子科學公司（ESCO Ltd.）製造的熱脫附裝置 EMD-WA1000S/W，並以包含一定量的氫原子的矽基板為標準樣本來進行測量的。

[0164] 此外，在 TDS 分析中，氧的一部分作為氧原子被檢測出。氧分子與氧原子的比例可以從氧分子的電離率算出。另外，因為上述α包括氧分子的電離率，所以藉由評估氧分子的釋放量，可以估算出氧原子的釋放量。

[0165] 注意，N_{O2} 是氧分子的釋放量。換算為氧原子時的釋放量是氧分子的釋放量的 2 倍。

[0166] 或者，藉由加熱處理釋放氧的絕緣體有時包含過氧化自由基。明確而言，起因於過氧化自由基的自旋密度為 $5\times10^{17}spins/cm^3$ 以上。另外，包含過氧化自由基的絕緣體有時在電子自旋共振法（ESR：Electron Spin Resonance）中在 g 值為 2.01 近旁具有非對稱的信號。

[0167] 絕緣體 104 也可以具有防止雜質從基板 100 擴散的功能。

[0168] 如上所述，半導體 106b 的頂面或底面的平坦性較佳為高。因此，也可以藉由利用化學機械拋光（CMP：Chemical Mechanical Polishing）法等對絕緣體 104 的頂面進行平坦化處理來提高平坦性。

[0169] 導電體 108a 或導電體 108b 被用作電晶體 10 的源極電極和汲極電極中的任一個。

[0170] 作為導電體 108a 及導電體 108b，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釔、鋯、鉬、釕、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，也可以使用包含上述元素的合金或化合物，還可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體、包含鈦及氮的導電體等。

[0171] 在此，導電體 108a 及 108b 的底面較佳為不與絕緣體 104 的頂面接觸。例如，如圖 1B 所示，導電體 108a 及導電體 108b 的底面只接觸於半導體 106b 的頂面即可。藉由採用這種結構，能夠抑制在導電體 108a 及導電體 108b 的底面上氧從絕緣體 104 中被抽出。由此，能夠抑制因導電體 108a 及導電體 108b 的部分氧化而電阻率增大的情況，並能夠有效地從絕緣體 104 將氧供應到絕緣體 106a、半導體 106b 及絕緣體 106c。

[0172] 導電體 108a 及 108b 的至少一部分較佳為在不與導電體 114 重疊的區域中隔著絕緣體 106c 與絕緣體 112 重疊。例如，如圖 1B 所示，可以採用導電體 108a 及導電體 108b 的頂面的大部分被絕緣體 106c 覆蓋的結構。藉由採用這種結構，能夠抑制在導電體 108a 及導電體 108b 的頂面上氧從絕緣體 112 中被抽出。由此，能夠抑制因導電體 108a 及導電體 108b 的部分氧化而電阻率增

大，並能夠有效地從絕緣體 112 將氧供應到絕緣體 106a、半導體 106b 及絕緣體 106c。

[0173] 絕緣體 112 被用作電晶體 10 的閘極絕緣膜。與絕緣體 104 同樣地，絕緣體 112 也可以為包含過量氧的絕緣體。藉由設置這種絕緣體 112，能夠從絕緣體 112 將氧供應到絕緣體 106a、半導體 106b 及絕緣體 106c。

[0174] 作為絕緣體 112，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、鈰、鉿或鉭的絕緣體的單層或疊層。例如，絕緣體 112 可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化鈰、氧化鉿或氧化鉭。

[0175] 導電體 114 被用作電晶體 10 的閘極電極。作為導電體 114，可以使用能夠被用作導電體 102 的導電體。

[0176] 在此，如圖 1C 所示，可以由導電體 102 及導電體 114 的電場電圍繞半導體 106b（將由導電體的電場電圍繞半導體的電晶體結構稱為 surrounded channel（s-channel）結構）。因此，有時在半導體 106b 整體（頂面、底面及側面）上形成通道。在 s-channel 結構中，可以使大電流流過電晶體的源極與汲極間，由此可以提高導通時的電流（通態電流）。

[0177] 注意，當電晶體具有 s-channel 結構時，在半導體 106b 的側面也形成有通道。因此，半導體 106b 的厚

度越大，通道區域越大。亦即，半導體 106b 越厚，越能夠提高電晶體的通態電流。另外，半導體 106b 越厚，載子的控制性高的區域的比例越增大，所以可以減小次臨界擺幅值。例如，半導體 106b 具有厚度為 10nm 以上，較佳為 20nm 以上，更佳為 30nm 以上，進一步較佳為 50nm 以上的區域即可。注意，半導體裝置的生產率有時會下降，因此，例如，半導體 106b 具有厚度為 300nm 以下，較佳為 200nm 以下，更佳為 150nm 以下的區域即可。

[0178] 由於可以得到高通態電流，因此 s-channel 結構可以說是適合於微型電晶體的結構。包括微型電晶體的半導體裝置可以具有高集成度及高密度。例如，電晶體的通道長度較佳為 40nm 以下，更佳為 30nm 以下，進一步較佳為 20nm 以下，並且，電晶體的通道寬度較佳為 40nm 以下，更佳為 30nm 以下，進一步較佳為 20nm 以下。

[0179] 絕緣體 116 被用作電晶體 10 的保護絕緣膜。在此，絕緣體 116 的厚度例如可以為 5nm 以上或為 20nm 以上。另外，較佳的是，絕緣體 116 的至少一部分與絕緣體 104 的頂面或絕緣體 112 的頂面接觸。

[0180] 作為絕緣體 116，例如可以使用包含碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、鈰、鉿或鉭的絕緣體的單層或疊層。絕緣體 116 較佳為具有阻擋氧、氫、水、鹼金屬、鹼土金屬等的效果。作為這種絕緣體，例如可以使用氮化物絕緣膜。作為該氮化物絕緣膜，有氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化

鋁膜等。另外，也可以設置對氧、氫、水等具有阻擋效果的氧化物絕緣膜代替氮化物絕緣膜。作為氧化物絕緣膜，有氧化鋁膜、氧氮化鋁膜、氧化鎵膜、氧氮化鎵膜、氧化釔膜、氧氮化釔膜、氧化鉿膜、氧氮化鉿膜等。

[0181] 在此，絕緣體 116 較佳為藉由利用濺射法形成，更佳為在包含氧的氛圍下利用濺射法形成。藉由濺射法形成絕緣體 116，與成膜同時在絕緣體 104 或絕緣體 112 的表面（在形成絕緣體 116 之後，絕緣體 104 或絕緣體 112 與絕緣體 116 介面）附近添加氧。

[0182] 較佳的是，絕緣體 116 為比絕緣體 104 及絕緣體 112 不容易使氧透過的絕緣體，並具有阻擋氧的功能。藉由設置這種絕緣體 116，在從絕緣體 104 及絕緣體 112 將氧供應到絕緣體 106a、半導體 106b 及絕緣體 106c 時，能夠防止該氧釋放到絕緣體 116 上方的外部。

[0183] 氧化鋁的不使氫、水分等雜質以及氧透過的阻擋效果較高，因此較佳為將氧化鋁用於絕緣體 116。

[0184] 另外，絕緣體 116 也可以使用上述能夠被用作絕緣體 106a 或絕緣體 106c 的氧化物。因為這些氧化物可以利用濺射法較容易地形成，所以可以有效地對絕緣體 104 及絕緣體 112 添加氧。作為這種絕緣體 116，較佳為使用包含 In 的氧化絕緣物，例如可以使用 In-Al 氧化物、In-Ga 氧化物、In-Ga-Zn 氧化物。因為包含 In 的氧化絕緣物在利用濺射法沉積時會發生的微粒數較少，所以可以適用於絕緣體 116。

[0185] 絕緣體 118 用作層間絕緣膜。作為絕緣體 118，可以使用能夠被用作絕緣體 105 的絕緣體。

[0186] 導電體 120a 及導電體 120b 被用作電連接於電晶體 10 的源極電極或汲極電極的佈線。作為導電體 120a 及導電體 120b，可以使用能夠被用作導電體 108a 及導電體 108b 的導電體。

[0187] 藉由採用如上所述的結構，可以提供一種具有穩定的電特性的電晶體。或者，可以提供一種關閉狀態時的洩漏電流小的電晶體。或者，可以提供一種具有高頻率特性的電晶體。或者，可以提供一種具有常關閉的電特性的電晶體。或者，可以提供一種次臨界擺幅值小的電晶體。或者，可以提供一種可靠性高的電晶體。

[0188]

〈電晶體的變形例子〉

下面，參照圖 7A 至圖 7D、圖 8A 至圖 8D、圖 9A 和圖 9B、圖 10A 至圖 10D、圖 11A 和圖 11B、以及圖 12A 至圖 12D 說明電晶體 10 的變形例子。注意，與圖 1B 及圖 1C 同樣地，圖 7A 至圖 7D、圖 8A 至圖 8D、圖 9A 和圖 9B、圖 10A 至圖 10D、圖 11A 和圖 11B、以及圖 12A 至圖 12D 示出電晶體的通道長度方向的剖面圖以及電晶體的通道寬度方向的剖面圖。

[0189] 圖 7A 及圖 7B 所示的電晶體 12 的與電晶體 10 不同之處在於沒有形成絕緣體 105。由此，導電體 102 由絕緣體 101 和絕緣體 103 圍繞。在此，絕緣體 101 及絕

緣體 103 較佳為具有遮蔽氧的功能。藉由這種結構，可以防止從絕緣體 104 等抽出氧而導電體 102 被氧化。由此，能夠抑制因導電體 102 的部分氧化而電阻率增大，並能夠有效地將氧供應到絕緣體 106a、半導體 106b、絕緣體 106c。

[0190] 圖 7C 及圖 7D 所示的電晶體 14 的與電晶體 10 不同之處在於沒有形成絕緣體 103、絕緣體 105。由此，絕緣體 104 覆蓋導電體 102。在此，絕緣體 101 較佳為具有遮蔽氧的功能。藉由這種結構，可以防止當從絕緣體 104 對絕緣體 106a、半導體 106b 及絕緣體 106c 供應氧時擴散到絕緣體 104 中的氧擴散到絕緣體 104 的下方的層。由此，能夠有效地將氧供應到絕緣體 106a、半導體 106b、絕緣體 106c。

[0191] 另外，在電晶體 14 中作為導電體 102 使用 Ru、氮化鈦、鎢矽化物、鉑、銥、氧化釕、氧化銥等的耐氧化性高的導電體即可。藉由採用這種結構，由於導電體 102 對絕緣體 104 的成膜氛圍中含有的氟等鹵素具有高耐氧化性，所以可以抑制被氧化。

[0192] 圖 8A 及圖 8B 所示的電晶體 16 的與電晶體 10 不同之處在於沒有形成導電體 102、絕緣體 103 及絕緣體 105。在此，絕緣體 101 較佳為具有遮蔽氧的功能。藉由這種結構，可以防止當從絕緣體 104 對絕緣體 106a、半導體 106b 及絕緣體 106c 供應氧時擴散到絕緣體 104 中的氧擴散到絕緣體 104 的下方的層。由此，能夠有效地將

氧供應到絕緣體 106a、半導體 106b 及絕緣體 106c。

[0193] 圖 8C 及圖 8D 所示的電晶體 18 的與電晶體 14 不同之處在於具有在導電體 102a 上設置有導電體 102b 的疊層結構而代替導電體 102。作為導電體 102a 可以使用能夠被用作導電體 102 的導電體，而作為導電體 102b 可以使用 Ru、氮化鈦、鎢矽化物、鉑、銥、氧化釕、氧化銥等耐氧化性高的導電體。藉由採用這種結構，由於導電體 102b 對絕緣體 104 的成膜氛圍中含有的氟等鹵素具有高耐氧化性，所以可以抑制導電體 102a 被氧化。

[0194] 圖 9A 及圖 9B 所示的電晶體 20 的與電晶體 10 不同之處在於絕緣體 107 設置在絕緣體 101 上且在絕緣體 107 中的開口中填充有導電體 102。作為絕緣體 107，可以使用能夠被用作絕緣體 105 的絕緣體。另外，較佳為藉由 CMP 法等對絕緣體 107 及導電體 102 的頂面進行平坦化處理來提高平坦性。由此，即使設置用作背閘極的導電體 102 也不損傷形成半導體 106b 的面的平坦性，因此能夠提高載子的移動率而增大電晶體 20 的通態電流。另外，由於因導電體 102 的形狀而發生的絕緣體 104 表面的步階消失，所以可以減少在導電體 108a 及導電體 108b 中被用作汲極的一個與導電體 102 之間藉由絕緣體 104 的步階部分而發生的洩漏電流。因此，能夠減少電晶體 20 的關態電流。

[0195] 圖 10A 及圖 10B 所示的電晶體 22 的與電晶體 20 不同之處在於以覆蓋導電體 108a、導電體 108b 及絕緣

體 104 上的方式形成有絕緣體 117，在絕緣體 117 中設置有到達半導體 106b 的開口，且在該開口中埋入有絕緣體 106c、絕緣體 112、導電體 114。另外，由於該開口，導電體 108a 和導電體 108b 相互分開。在電晶體 22 中，以自對準地埋入絕緣體 117 中形成的開口部的方式形成用作閘極電極的導電體 114，由此可以將電晶體 22 稱為 TGSA（Trench Gate Self Align：自對準溝槽閘極） s-channel FET。

[0196] 在此，絕緣體 117 可以使用可用於絕緣體 104 的絕緣體形成。另外，可以藉由 CMP 法等對絕緣體 117 的頂面進行平坦化。

[0197] 在此，與上述絕緣體 104 同樣地在形成絕緣體 117 時使用 SiF_4 等的鹵化矽的情況下，在絕緣體 117 中包含氟等鹵素。由此，在進行加熱處理時絕緣體 117 中的氧被氟置換而脫離。該脫離的氧也可以被供應到絕緣體 106a、半導體 106b。另外，較佳為藉由將氟等鹵素包含在絕緣體 117 中，來將絕緣體 117 用作其相對介電常數低於 3.5 的 low-k 膜，更佳為用作其相對介電常數低於 3 的 low-k 膜。當絕緣體 117 具有這種結構時，可以進一步減少寄生電容。

[0198] 在電晶體 22 中，在導電體 108a 和導電體 114 之間設置有絕緣體 117、絕緣體 106c 及絕緣體 112。另外，在導電體 108b 和導電體 114 之間設置有絕緣體 117、絕緣體 106c 及絕緣體 112。因此，導電體 108a 的頂

面和導電體 114 的底面之間的距離及導電體 108b 的頂面和導電體 114 的底面之間的距離得到增加絕緣體 117 的厚度。由此，可以減少在導電體 114 與導電體 108a 或導電體 108b 重疊的區域中發生的寄生電容。藉由減少寄生電容可以提高電晶體的切換速度，因此能夠提供具有高頻特性的電晶體。

[0199] 圖 10C 及圖 10D 所示的電晶體 24 的與電晶體 22 不同之處在於絕緣體 117、絕緣體 106c、絕緣體 112 及導電體 114 的頂面大致一致且平坦。可以藉由 CMP 法等對絕緣體 117、絕緣體 106c、絕緣體 112 及導電體 114 的頂面進行平坦化。

[0200] 由此，幾乎都沒有形成導電體 114 與導電體 108a 或導電體 108b 重疊的區域，所以可以減少電晶體 24 的閘極和源極間及閘極和汲極間所發生的寄生電容。藉由減少寄生電容，可以提高電晶體的切換速度，因此能夠提供具有高頻特性的電晶體。

[0201] 圖 11A 及圖 11B 所示的電晶體 29 的與電晶體 24 不同之處在於絕緣體 107 設置在絕緣體 101 上且絕緣體 107 中的開口中填充有導電體 102。另外，電晶體 29 的與電晶體 24 不同之處還在於絕緣體 106c 覆蓋絕緣體 106a 及半導體 106b。在電晶體 29 中，在絕緣體 117 的開口部的側面沒有設置絕緣體 106c。因此，絕緣體 117 的開口部處的導電體 114 的通道長度方向的長度可以比電晶體 24 等長。

[0202] 注意，在電晶體 29 中，在導電體 108a 及導電體 108b 的頂面及側面上各自設置有金屬氧化物 111a 及金屬氧化物 111b。金屬氧化物 111a 及金屬氧化物 111b 的在導電體 108a 及導電體 108b 的頂面上的厚度有時大於在導電體 108a 及導電體 108b 的側面上的厚度。這是因為導電體 108a 及導電體 108b 的頂面上和側面上的金屬氧化物 111a 及金屬氧化物 111b 的形成步驟不同的緣故。

[0203] 例如，當形成絕緣體 117 時、當形成絕緣體 112 時、以及進行電漿處理時等中的任一以上的步驟中，導電體 108a 及導電體 108b 被氧化而形成金屬氧化物 111a 及金屬氧化物 111b。在此情況下，金屬氧化物 111a 及金屬氧化物 111b 為具有構成導電體 108a 及導電體 108b 的元素的氧化物。

[0204] 導電體 108a 及金屬氧化物 111a 的總體積有時比形成金屬氧化物 111a 之前的導電體 108a 的體積大。於此同樣地，導電體 108b 及金屬氧化物 111b 的總體積有時比形成金屬氧化物 111b 之前的導電體 108b 的體積大。

[0205] 由於在導電體 108a 及導電體 108b 的頂面及側面上各自設置有金屬氧化物 111a 及金屬氧化物 111b，所以電晶體 29 具有汲極電極端部中的電場集中得到緩和的結構。由此，電晶體 29 可以為可靠性高並短通道效應小的電晶體。

[0206] 然而，金屬氧化物 111a 及金屬氧化物 111b 不侷限於用於電晶體 29。例如，其它電晶體也可以包括

金屬氧化物 111a 及金屬氧化物 111b。

[0207] 圖 12A 及圖 12B 所示的電晶體 26 的與電晶體 20 不同之處在於沒有設置導電體 108a 及導電體 108b 並且導電體 114 及絕緣體 112 的端部側面大致一致。上述電晶體 10 等採用後閘極（gate last）方式，亦即在電晶體的製造步驟中，在形成用作閘極的導電體 114 之前形成用作源極區域或汲極區域的低電阻區域 109a 及低電阻區域 109b。相對於此，電晶體 26 採用先閘極（gate first）方式，亦即在電晶體的製造步驟中，在形成用作閘極的導電體 114 之後形成用作源極區域或汲極區域的低電阻區域 109a 及低電阻區域 109b。

[0208] 在電晶體 26 中，在低電阻區域 109a 及低電阻區域 109b 中包含絕緣體 116 所含有的元素中的至少一個。較佳的是，低電阻區域 109a 及低電阻區域 109b 的一部分大致接觸於半導體 106b 中的與導電體 114 重疊的區域（通道形成區域）或者與該區域重疊。

[0209] 另外，因為電阻區域 109a 及低電阻區域 109b 添加有絕緣體 116 所包含的元素，所以與半導體 106b 中的除了低電阻區域 109a 及低電阻區域 109b 之外的區域（例如，半導體 106b 中的與導電體 114 重疊的區域）相比，藉由 SIMS 分析得到的該元素的濃度更高。

[0210] 例如，作為對低電阻區域 109a 及低電阻區域 109b 添加的元素，較佳為硼、鎂、鋁、矽、鈦、釩、鉻、鎳、鋅、鎵、鍺、釔、鋯、鈮、鉬、銦、錫、鑭、

鈰、釹、鉿、鉭或鎢等。因為這些元素較容易地形成氧化物，並且該氧化物可以被用作半導體或絕緣體，所以作為對絕緣體 106a、半導體 106b 或絕緣體 106c 添加的元素是較佳的。例如，較佳為在低電阻區域 109a 及低電阻區域 109b 中包含 1×10^{14}molecules/cm^2 以上 2×10^{16}molecules/cm^2 以下的上述元素。另外，與絕緣體 106c 中的低電阻區域 109a 及低電阻區域 109b 之外的區域（例如，絕緣體 106c 中的與導電體 114 重疊的區域）相比，絕緣體 106c 中的低電阻區域 109a 及低電阻區域 109b 的上述元素的濃度更高。

[0211] 另外，因為藉由使低電阻區域 109a 及低電阻區域 109b 包含氮來可以使它們 n 型化，所以與半導體 106b 中的低電阻區域 109a 及低電阻區域 109b 之外的區域（例如，半導體 106b 中的與導電體 114 重疊的區域）相比，藉由 SIMS 分析而得到的氮濃度更高。

[0212] 藉由形成這種低電阻區域 109a 及低電阻區域 109b，可以降低導電體 108a 或導電體 108b 與絕緣體 106a、半導體 106b 或絕緣體 106c 之間的接觸電阻，所以可以增大電晶體 10 的通態電流。

[0213] 另外，在電晶體 26 中，半導體 106b 被絕緣體 106a 及絕緣體 106c 包圍。由此，半導體 106b 的端部側面，尤其是通道寬度方向的端部側面附近與絕緣體 106a 及絕緣體 106c 接觸。由此，在半導體 106b 的端部側面附近，在與絕緣體 106a 或絕緣體 106c 之間形成連續接

合，從而可以降低缺陷能階密度。因此，即使藉由設置低電阻區域 109a 及低電阻區域 109b 而通態電流容易流過，半導體 106b 的通道寬度方向的端部側面也不成為寄生通道，而能夠得到穩定的電特性。

[0214] 圖 12C 及圖 12D 所示的電晶體 28 的與電晶體 10 不同之處在於沒有設置絕緣體 112 及導電體 114。就是說，電晶體 28 是所謂的底閘極型電晶體。

[0215] 本實施方式所示的結構、方法可以與其他實施方式所示的結構、方法適當地組合而使用。

[0216]

實施方式 2

在本實施方式中，參照圖 13A 至圖 13H、圖 14A 至圖 14F、圖 15A 至圖 15D、圖 16A 和圖 16B、圖 17A 至圖 17H、圖 18A 至圖 18F、以及圖 19A 至圖 19F 對本發明的一個實施方式的半導體裝置的製造方法進行說明。

[0217]

〈電晶體的製造方法〉

下面，參照圖 13A 至圖 13H、圖 14A 至圖 14F、以及圖 15A 至圖 15D 說明電晶體 10 的製造方法。

[0218] 首先，準備基板 100。作為基板 100，可以使用上述基板。

[0219] 接著，形成絕緣體 101。作為絕緣體 101，可以使用上述絕緣體。

[0220] 絕緣體 101 可以藉由濺射法、化學氣相沉積

(CVD：Chemical Vapor Deposition)法、分子束磊晶(MBE：Molecular Beam Epitaxy)法、脈衝雷射沉積(PLD：Pulsed Laser Deposition)法、原子層沉積(ALD：Atomic Layer Deposition)法等形成。

[0221] 接著，形成將成為導電體 102 的導電體。作為將成為導電體 102 的導電體，可以使用上述導電體。該導電體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0222] 接著，在導電體上形成光阻劑等，並利用該光阻劑等對該導電體進行加工，由此形成導電體 102(參照圖 13A 及圖 13B)。注意，當簡單地記載為“形成光阻劑”時，也包括在光阻劑之下形成防反射層的情況。

[0223] 在利用蝕刻等對物件進行加工後去除光阻劑。利用電漿處理或/及濕蝕刻來去除光阻劑。作為電漿處理，較佳為使用電漿灰化。在光阻劑等的去除不徹底的情況下，也可以使用 0.001vol.%以上且 1vol.%以下的濃度的氫氟酸或/及臭氧水等去除剩下的光阻劑等。

[0224] 接著，形成絕緣體 105。作為絕緣體 105，可以使用上述絕緣體。絕緣體 105 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。另外，為了減少包含在絕緣體 105 中的水或氫，可以在對基板進行加熱的同時形成絕緣體 105。例如，當在電晶體 10 的下方設置有半導體元件層時，可以在較低的溫度範圍(例如，350℃以上且 445℃以下左右的溫度範圍)內進行加熱。

[0225] 另外，藉由與後面說明的絕緣體 104 同樣的方法利用 PECVD 法形成絕緣體 105，來可以減少包含在絕緣體 105 中的水或氫。

[0226] 接著，形成絕緣體 103。作為絕緣體 103，可以使用上述絕緣體。絕緣體 103 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。另外，為了減少包含在絕緣體 103 中的水或氫，可以在對基板進行加熱的同時形成絕緣體 103。當在電晶體 10 的下方設置有半導體元件層時，較佳為在較低的溫度範圍(例如，350℃以上且 445℃以下左右的溫度範圍)內進行加熱。

[0227] CVD 法可以分為利用電漿的電漿 CVD（PECVD：Plasma Enhanced CVD）法、利用熱的熱 CVD（TCVD：Thermal CVD）法及利用光的光 CVD（Photo CVD）法等。再者，可以根據使用的源氣體分為金屬 CVD（MCVD：Metal CVD）法及有機金屬 CVD（MOCVD：Metal Organic CVD）法。

[0228] PECVD 法可以以較低的溫度得到高品質的膜。另外，因為 TCVD 法不使用電漿，所以利用 TCVD 法能夠減少對被處理物的電漿損傷。例如，半導體裝置所包括的佈線、電極、元件（電晶體、電容器等）等有時藉由從電漿接收電荷而會產生電荷積聚(charge buildup)。此時，有時由於積蓄的電荷而使半導體裝置所包括的佈線、電極、元件等破壞。另一方面，當採用不使用電漿的 TCVD 法時，因為不產生電漿損傷，所以能夠提高半導體

裝置的良率。另外，在 TCVD 法中，因為不產生成膜中的電漿損傷，所以可以得到缺陷少的膜。

[0229] 另外，ALD 法也可以減少對被處理物的電漿損傷。另外，ALD 法也不產生成膜中的電漿損傷，所以可以得到缺陷少的膜。

[0230] 不同於使從靶材等釋放的粒子沉積的成膜方法，CVD 法及 ALD 法是藉由被處理物的表面的反應而形成膜的成膜方法。因此，藉由 CVD 法及 ALD 法形成的膜具有良好的步階覆蓋性而不容易受被處理物的形狀的影響。尤其是，藉由 ALD 法形成的膜具有良好的步階覆蓋性及厚度的均一性，所以適合用於形成覆蓋縱橫比高的開口部的表面的膜。由此，不容易在形成的膜上形成針孔等。但是，因為 ALD 法的沉積速度較慢，所以較佳為與沉積速度快的 CVD 法等其他成膜方法組合來使用。

[0231] CVD 法及 ALD 法可以藉由調整源氣體的流量比控制獲得的膜的組成。例如，在 CVD 法及 ALD 法中，可以藉由調整源氣體的流量比形成任意組成的膜。另外，例如，在 CVD 法及 ALD 法中，可以藉由一邊形成膜一邊改變源氣體的流量比，來形成其組成連續變化的膜。當在進行成膜的同時改變源氣體的流量比時，因為可以省略傳送及調整壓力所需的時間，所以與使用多個成膜室進行成膜的情況相比可以使成膜所需的時間縮短。因此，有時可以提高半導體裝置的生產率。

[0232] 習知的利用 CVD 法的成膜裝置在進行成膜時

將用於反應的一種或多種源氣體同時供應到處理室。在利用 ALD 法的成膜裝置中，將用於反應的源氣體（還稱為前驅物（precursor））和用作反應劑的氣體（還稱為反應物（reactant））依次引入處理室，並反復進行這兩種氣體的引入，由此進行成膜。注意，例如，可以藉由切換各開關閥(也稱為高速閥)來進行引入氣體的切換。

[0233] 例如，以如下步驟進行成膜。首先，將前驅物引入處理室內，使前驅物附著於基板表面上（第 1 步驟）。在此，由於前驅物附著於基板表面上，而使表面化學反應的自限制機制（self-limiting mechanism）起作用，所以前驅物不會進一步附著於基板上的前驅物的層上。注意，還將使表面化學反應的自我停止機構起作用的基板溫度的適當範圍稱為 ALD 窗（Window）。ALD 窗取決於前驅物的溫度特性、蒸氣壓、分解溫度等。接著，將惰性氣體（氬或氮等）等引入處理室內，將剩餘的前驅物及反應生成物等從處理室中排出去（第二步驟）。另外，也可以不引入惰性氣體而藉由真空抽氣將剩餘的前驅物及反應生成物等從處理室中排出去。接著，將反應物（例如，氧化劑（H_2O、O_3 等））引入處理室內，使其與附著於基板表面的前驅物起反應，而在膜的構成分子附著於基板的狀態下去除前驅物的一部分（第三步驟）。接著，藉由惰性氣體的引入或真空抽氣，將剩餘的反應物及反應生成物等從處理室中排出去（第四步驟）。

[0234] 另外，也可以反復多次地進行第三步驟中的

反應物的引入、第四步驟中的惰性氣體的引入。就是說，例如可以在第一步驟、第二步驟之後進行第三步驟、第四步驟、第三步驟、第四步驟。

[0235] 例如，可以在第三步驟中作為氧化劑引入 O_3 且在第四步驟中進行吹掃 N_2，反復地進行這些步驟。

[0236] 另外，在反復地進行第三步驟和第四步驟的情況下，並不一定要反復地進行相同種類的反應物的引入。例如，可以在第一次第三步驟中作為氧化劑使用 H_2O，而在第二次以後的第三步驟中作為氧化劑使用 O_3。

[0237] 如此，藉由在處理室中短時間內反復多次地進行氧化劑的引入及惰性氣體的引入（或真空排氣），可以進一步確實地從附著於基板表面的前驅物去除剩餘的氫原子等並將其去除到處理室外部。另外，藉由引入兩種氧化劑，可以從附著於基板表面的前驅物去除更多的剩餘的氫原子等。如此，藉由防止在形成膜時氫原子被引入到膜中，可以減少包含在所形成的絕緣體 103 等中的水或氫等。

[0238] 藉由採用這種方法，絕緣體 103 可以為在表面溫度範圍為 100℃至 700℃或者 100℃至 500℃的 TDS 分析中，其水分子的脫離量為 1.0×10^{13}molecules/cm^2 以上且 1.0×10^{16}molecules/cm^2 以下，較佳為 1.0×10^{13}molecules/cm^2 以上且 3.0×10^{15}molecules/cm^2 以下的絕緣體。

[0239] 如此，可以在基板表面上形成第一單一層，藉由再次進行第一至第四步驟，可以在第一單一層上層疊

第二單一層。藉由在控制氣體引入的同時反復多次地進行第一至第四步驟直到獲得所希望的厚度為止，可以形成步階覆蓋性良好的薄膜。由於薄膜的厚度可以根據反復次數來調整，因此，ALD 法可以精確地調整厚度而適用於製造微型電晶體。

[0240] ALD 法是利用熱能量使前驅物起反應而進行成膜的方法。再者，在上述反應物的反應中，有時將利用電漿使反應物成為自由基狀態而進行處理的 ALD 法稱為電漿 ALD 法。另一方面，有時將利用熱能量進行前驅物及反應物的反應的 ALD 法稱為熱 ALD 法。

[0241] 藉由利用 ALD 法，可以以均勻的厚度形成極薄的膜。另外，即便該膜具有凹凸面也可以實現較高的表面覆蓋率。

[0242] 藉由利用電漿 ALD 法進行成膜，與熱 ALD 法相比，可以以更低的溫度進行成膜。藉由利用電漿 ALD 法，例如也可以以 100 度以下的溫度進行成膜而無需降低沉積速度。另外，在電漿 ALD 法中，除了氧化劑之外，還可以使用氮氣體等更多反應物，所以除了可以形成氧化物膜之外，還可以形成氮化物膜、氟化物膜、金屬膜等更多種類的膜。

[0243] 在利用電漿 ALD 法的情況下，也可以如 ICP（Inductively Coupled Plasma：電感耦合電漿）等那樣在遠離基板的狀態下產生電漿。藉由如此產生電漿，能夠抑制電漿的損傷。

[0244] 在此，作為可以利用 ALD 法進行成膜的裝置的一個例子，參照圖 16A 及圖 16B 對成膜裝置 1000 的結構進行說明。圖 16A 是多室成膜裝置 1000 的示意圖，圖 16B 是可用於該成膜裝置 1000 的 ALD 裝置的剖面圖。

[0245]

《成膜裝置的結構例子》

成膜裝置 1000 包括搬入室 1002、搬出室 1004、傳送室 1006、成膜室 1008、成膜室 1009、成膜室 1010、傳送臂部 1014。在此，搬入室 1002、搬出室 1004、成膜室 1008 至 1010 與傳送室 1006 連接。由此，在成膜室 1008 至 1010 中，可以以不暴露於大氣的方式連續地進行成膜，能夠防止雜質混入到膜中。

[0246] 注意，為了防止水分的附著等，較佳為在搬入室 1002、搬出室 1004、傳送室 1006、成膜室 1008 至 1010 中填充露點被控制的惰性氣體（氮氣體等），更佳為保持減壓狀態。

[0247] 在成膜室 1008 至 1010 中，可以使用 ALD 裝置。另外，也可以將 ALD 裝置以外的成膜裝置用於成膜室 1008 至 1010 中的任一個。作為用於成膜室 1008 至 1010 的成膜裝置，例如有濺射裝置、PECVD 設備、TCVD 設備、MOCVD 設備等。

[0248] 例如，藉由在成膜室 1008 至 1010 中設置 ALD 裝置及 PECVD 設備，可以在圖 1B 及圖 1C 所示的電晶體 10 中，利用 PECVD 法形成由氧化矽構成的絕緣體

105，利用 ALD 法形成由氧化鉿構成的絕緣體 103，並利用 PECVD 法形成由包含鹵素的氧化矽構成的絕緣體 104。上述成膜以不使膜暴露於大氣的方式連續地進行，所以能夠在雜質不混入膜中的狀態下進行成膜。

[0249] 雖然在此成膜裝置 1000 包括搬入室 1002、搬出室 1004、成膜室 1008 至 1010，但是本發明不侷限於此。成膜裝置 1000 既可以包括四個以上的成膜室，又可以包括用來進行加熱處理或電漿處理的處理室。另外，成膜裝置 1000 既可以是單片式(single wafer type)成膜裝置，又可以是同時對多個基板進行成膜的成批式(batch type)成膜裝置。

[0250]

《ALD 裝置》

接著，對可用於成膜裝置 1000 的 ALD 裝置的結構進行說明。ALD 裝置包括：成膜室（處理室 1020）；原料供應部 1021a、1021b；用作流量控制器的高速閥 1022a、1022b；原料引入口 1023a、1023b；原料排出口 1024；排氣裝置 1025。設置在處理室 1020 內的原料引入口 1023a、1023b 藉由供應管或閥分別連接到原料供應部 1021a、1021b，原料排出口 1024 藉由排出管、閥或壓力調節器連接到排氣裝置 1025。

[0251] 如圖 16B 所示，藉由使電漿產生裝置 1028 連接到處理室 1020，可以利用電漿 ALD 法代替熱 ALD 法進行成膜。藉由利用電漿 ALD 法，即便在低溫下也可以進

行成膜而不降低成膜速率，所以較佳為在成膜效率較低的單片式成膜裝置中採用電漿 ALD 法。

[0252] 處理室內部設置有具備加熱器的基板支架 1026，將其上被形成膜的基板 1030 配置在該基板支架 1026 上。

[0253] 在原料供應部 1021a、1021b 中，利用汽化器或加熱單元等由固態或液態的原料形成源氣體。或者，原料供應部 1021a、1021b 也可以供應源氣體。

[0254] 在此示出兩個原料供應部亦即 1021a、1021b 的例子，但是不侷限於此，也可以設置三個以上的原料供應部。另外，高速閥 1022a、1022b 可以按時間精確地進行控制，以供應源氣體和惰性氣體中的任一個。高速閥 1022a、1022b 為源氣體的流量控制器，也是惰性氣體的流量控制器。

[0255] 在圖 16B 所示的成膜裝置中，將基板 1030 設置在基板支架 1026 上，使處理室 1020 處於密閉狀態，然後利用基板支架 1026 的加熱器將基板 1030 加熱至所希望的溫度（例如，80℃以上、100℃以上或 150℃以上），反復進行源氣體的供應、利用排氣裝置 1025 的排氣、惰性氣體的供應以及利用排氣裝置 1025 的排氣，由此將薄膜形成在基板表面上。

[0256] 在圖 16B 所示的成膜裝置中，藉由適當地選擇在原料供應部 1021a、1021b 中使用的原料（揮發性有機金屬化合物等），可以形成包含含有鉿、鋁、鉭和鋯等

中的一種以上的元素的氧化物（也包括複合氧化物）的絕緣層。明確而言，可以形成含有氧化鉿的絕緣層、含有氧化鋁的絕緣層、含有矽酸鉿的絕緣層或含有矽酸鋁的絕緣層等。此外，藉由適當地選擇在原料供應部 1021a、1021b 中使用的原料（揮發性有機金屬化合物等），也可以形成鎢層或鈦層等金屬層、氮化鈦層等氮化物層等薄膜。

[0257] 例如，當使用 ALD 裝置形成氧化鉿層時，使用如下兩種氣體：藉由使包含溶劑和鉿前體化合物的液體（鉿醇鹽、四二甲基醯胺鉿(TDMAH)等鉿醯胺）氣化而得到的源氣體；以及用作氧化劑的臭氧（O_3）。此時，從原料供應部 1021a 供應的第一源氣體為 TDMAH，從原料供應部 1021b 供應的第二源氣體為臭氧。注意，四二甲基醯胺鉿的化學式為 $Hf[N(CH_3)_2]_4$。另外，作為其它材料液有四（乙基甲基醯胺）鉿等。

[0258] 當使用 ALD 裝置形成氧化鋁層時，使用如下兩種氣體：藉由使包含溶劑和鋁前體化合物（TMA：三甲基鋁等）的液體氣化而得到的源氣體；以及用作氧化劑的 H_2O。此時，從原料供應部 1021a 供應的第一源氣體為 TMA，從原料供應部 1021b 供應的第二源氣體為 H_2O。注意，三甲基鋁的化學式為 $Al(CH_3)_3$。另外，作為其它材料液有三（二甲基醯胺）鋁、三異丁基鋁、鋁三（2,2,6,6-四甲基-3,5-庚二酮）等。

[0259] 注意，當使用 ALD 裝置形成鎢層時，依次反

復引入 WF_6 氣體和 B_2H_6 氣體形成初始鎢層，然後依次反復引入 WF_6 氣體和 H_2 氣體形成鎢層。注意，也可以使用 SiH_4 氣體代替 B_2H_6 氣體。這些氣體也可以利用質量流量控制器控制。

[0260] 接著，形成絕緣體 104（參照圖 13C 及圖 13D）。作為絕緣體 104，可以使用上述絕緣體。絕緣體 104 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0261] 該絕緣體 104 較佳為藉由 CVD 法形成，更佳為藉由 PECVD 法形成。

[0262] 在藉由 PECVD 法形成絕緣體 104 的情況下，作為源氣體較佳為使用不包含氫或氫含量少的物質，例如較佳為使用鹵化物。例如，在作為絕緣體 104 形成氧化矽或氧氮化矽的情況下，較佳為作為源氣體使用鹵化矽，例如可以使用 SiF_4（四氟化矽）、$SiCl_4$（四氯化矽）、$SiHCl_3$（三氯化矽）、SiH_2Cl_2（二氯矽烷）或 $SiBr_4$（四溴化矽）等。

[0263] 當藉由 PECVD 法形成絕緣體 104 時，引入氧化性氣體（例如 N_2O 等）進行成膜。與 SiH_4 相比，上述鹵化矽的反應性低，因此氧化性氣體容易作用到絕緣體 103。由此，有可能可以利用該氧化性氣體將包含在絕緣體 103 中的水或氫脫離，而可以減少包含在絕緣體 103 中的水、氫的含量。

[0264] 另外，在形成絕緣體 104 時作為源氣體使用

鹵化矽的情況下，除了鹵化矽之外還可以添加矽氫化物。由此，與只將矽氫化物用作源氣體的情況相比，可以進一步減少絕緣體 104 中的氫、水的含量，並且與只將鹵化矽用作源氣體的情況相比，可以進一步提高沉積速度。例如，可以將 SiF_4 及 SiH_4 用作源氣體形成絕緣體 104。例如，藉由將 SiH_4 的流量設定為大於 1sccm 且小於 10sccm、更佳為 2sccm 以上且 4sccm 以下，可以得到較良好的絕緣體 104 中的水、氫的含量及沉積速度的兩者。注意，可以根據絕緣體 104 中的水、氫的含量及沉積速度適當地設定 SiF_4 和 SiH_4 的流量比率。

[0265] 另外，為了減少包含在絕緣體 104 中的水或氫，較佳為在對基板進行加熱的同時形成絕緣體 104。例如，即使在電晶體 10 的下方設置有半導體元件層的情況下，在較低的溫度範圍(例如，350℃以上且 445℃以下左右的溫度範圍)內進行加熱，也藉由下面所示的方法形成絕緣體 104，可以充分地去除水、氫等。

[0266] 另外，藉由在基板上形成絕緣體 104 之前將 SiH_4 引入處理室中，可以在不容易在其上形成包含氟的氧化矽膜的氧化鉿膜之上較容易地形成包含氟的氧化矽。

[0267] 藉由採用這種方法，絕緣體 104 可以為在表面溫度範圍為 100℃至 700℃或者 100℃至 500℃的 TDS 分析中，其水分子的脫離量為 1.0×10^{13}molecules/cm^2 以上且 1.4×10^{16}molecules/cm^2 以下，較佳為 1.0×10^{13}molecules/cm^2 以上且 4.0×10^{15}molecules/cm^2 以下，更佳為 1.0×10^{13}

molecules/cm^2 以上且 2.0×10^{15}molecules/cm^2 以下的絕緣體。另外，絕緣體 104 可以為在表面溫度範圍為 100℃至 700℃或者 100℃至 500℃的 TDS 分析中，其氫分子的脫離量為 1.0×10^{13}molecules/cm^2 以上且 1.2×10^{15}molecules/cm^2 以下，較佳為 1.0×10^{13}molecules/cm^2 以上且 9.0×10^{14}molecules/cm^2 以下的絕緣體。

[0268] 另外，後面形成的半導體 106b 的頂面或底面的平坦性較佳為高。因此，可以藉由 CMP 處理等對絕緣體 104 的頂面進行平坦化處理來提高其平坦性。

[0269] 接著，較佳為進行加熱處理。藉由進行加熱處理，可以進一步減少絕緣體 105、絕緣體 103 及絕緣體 104 中的水或氫。另外，有時可以使絕緣體 104 包含過量氧。該加熱處理可以以 250℃以上且 650℃以下的溫度，較佳為以 450℃以上且 600℃以下的溫度，更佳為以 520℃以上且 570℃以下的溫度進行。加熱處理在惰性氣體氛圍或者包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行。加熱處理也可以在減壓狀態下進行。或者，也可以以如下方法進行加熱處理：在惰性氣體氛圍下進行加熱處理之後，為了填補脫離了的氧而在包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行另一個加熱處理。藉由進行加熱處理，可以提高絕緣體 126a 及半導體 126b 的結晶性，並可以去除氫或水等雜質。在加熱處理中，可以使用利用燈加熱的 RTA 裝置。利用 RTA 裝置的加熱處理與爐相比在較短時間內處理

完，所以為了提高生產率該方法是有效的。

[0270] 注意，當在電晶體 10 的下方設置有半導體元件層時，可以在較低的溫度範圍(例如，350℃以上且 445℃以下左右的溫度範圍)內進行加熱。例如，較佳為將該溫度設定為在形成絕緣體 105、絕緣體 103 及絕緣體 104 時的基板加熱溫度中之最高的加熱溫度以下。

[0271] 接著，形成絕緣體 126a。作為絕緣體 126a，可以使用上述能夠被用作絕緣體 106a 的絕緣體或半導體等。絕緣體 126a 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0272] 接著，形成半導體 126b。作為半導體 126b，可以使用上述能夠被用作半導體 106b 的半導體。半導體 126b 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。注意，藉由以不暴露於大氣的方式連續形成絕緣體 126a 和半導體 126b，可以減少雜質混入到膜中及介面。

[0273] 接著，較佳為進行加熱處理。藉由進行加熱處理，有時可以減少絕緣體 126a 及半導體 126b 的氫濃度。另外，有時可以減少絕緣體 126a 及半導體 126b 的氧缺陷。該加熱處理可以以 250℃以上且 650℃以下的溫度，較佳為以 450℃以上且 600℃以下的溫度，更佳為以 520℃以上且 570℃以下的溫度進行。加熱處理在惰性氣體氛圍或者包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行。加熱處理也可以在減壓狀態下進

行。或者，也可以以如下方法進行加熱處理：在惰性氣體氛圍下進行加熱處理之後，為了填補脫離了的氧而在包含10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行另一個加熱處理。藉由進行加熱處理，可以提高絕緣體 126a 及半導體 126b 的結晶性，並可以去除氫或水等雜質。在加熱處理中，可以使用利用燈加熱的 RTA 裝置。利用 RTA 裝置的加熱處理與爐相比在較短時間內處理完，所以為了提高生產率該方法是有效的。當作為絕緣體 126a 及半導體 126b 使用 CAAC-OS 時，藉由進行加熱處理，峰值強度提高，而半峰全寬(Full Width at Half Maximum)變小。亦即，CAAC-OS 的結晶性因加熱處理而變高。

[0274] 注意，當在電晶體 10 的下方設置有半導體元件層時，可以在較低的溫度範圍(例如，350℃以上且 445℃以下左右的溫度範圍)內進行加熱。例如，較佳為將該溫度設定為在形成絕緣體 105、絕緣體 103 及絕緣體 104 時的基板加熱溫度或在形成絕緣體 104 之後的加熱處理的溫度中之最高的加熱溫度以下。藉由上面所示的方法形成絕緣體 104，可以充分地去除絕緣體 104 中的水、氫等，因此可以充分地減少對絕緣體 126a 及半導體 126b 供應的水或氫。

[0275] 藉由該加熱處理可以從絕緣體 104 對絕緣體 126a 及半導體 126b 供應氧。藉由對絕緣體 104 進行加熱處理，可以極容易地將氧供應給絕緣體 126a 及半導體

126b。

[0276] 在此，絕緣體 103 用作阻擋氧的障壁膜。因為絕緣體 103 設置在絕緣體 104 的下方，所以可以防止擴散到絕緣體 104 中的氧擴散到絕緣體 104 的下方的層。

[0277] 如此，藉由對絕緣體 126a 及半導體 126b 供應氧而減少氧缺陷，可以得到缺陷能階密度低的高純度本質或實質上高純度本質的氧化物半導體。

[0278] 另外，可以進行高密度電漿處理等。可以利用微波而生成高密度電漿。在高密度電漿處理中，例如可以使用如氧、一氧化二氮等氧化性氣體。或者，也可以使用氧化性氣體和如 He、Ar、Kr、Xe 等稀有氣體的混合氣體。在高密度電漿處理中，可以對基板施加偏壓。由此，可以將電漿中的氧離子等引入在基板一側。可以在加熱基板的同時進行高密度電漿處理。例如，在進行高密度電漿處理而代替上述加熱處理的情況下，以比上述加熱處理的溫度低的溫度可以得到與上述加熱處理同樣的效果。高密度電漿處理既可以在形成絕緣體 126a 之前進行，又可以在形成絕緣體 112 之後進行，還可以在形成絕緣體 116 之後等進行。

[0279] 接著，形成導電體 128（參照圖 13E 及圖 13F）。作為導電體 128，可以使用上述能夠被用作導電體 108a 及導電體 108b 的導電體。導電體 128 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0280] 接著，在導電體 128 上形成光阻劑等，藉由

使用該光阻劑進行加工來形成導電體 108a 及導電體 108b。

[0281] 接著，在半導體 126b 上形成光阻劑等，使用該光阻劑、導電體 108a 及導電體 108b 進行加工，來形成絕緣體 106a 及半導體 106b(參照圖 13G 及圖 13H)。

[0282] 在此，有時在半導體 106b 的與導電體 108a 及導電體 108b 接觸的區域中形成有低電阻區域 109a 及低電阻區域 109b。另外，半導體 106b 有時在導電體 108a 與導電體 108b 之間包括其厚度比重疊於導電體 108a 及導電體 108b 的區域薄的區域。該區域是在形成導電體 108a 及導電體 108b 時藉由去除半導體 106b 的頂面的一部分而形成的。

[0283] 接著，較佳為進行加熱處理。藉由進行加熱處理，可以進一步減少絕緣體 104、絕緣體 103、絕緣體 105、絕緣體 106a 及半導體 106b 中的水或氫。該加熱處理可以以 250℃以上且 650℃以下的溫度，較佳為以 450℃以上且 600℃以下的溫度，更佳為以 520℃以上且 570℃以下的溫度進行。加熱處理可以在惰性氣體氛圍下進行。另外，加熱處理也可以在包含氧化性氣體的氛圍下進行。加熱處理也可以在減壓狀態下進行。或者，也可以以如下方法進行加熱處理：在惰性氣體氛圍下進行加熱處理之後，為了填補脫離了的氧而在包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行另一個加熱處理。在加熱處理中，可以使用利用燈加熱的 RTA 裝置。

利用 RTA 裝置的加熱處理與爐相比在較短時間內處理完，所以為了提高生產率該方法是有效的。

[0284] 注意，當在電晶體 10 的下方設置有半導體元件層時，為了不使下方的層的半導體元件層劣化，較佳為在較低的溫度範圍(例如，350℃以上且 445℃以下左右的溫度範圍)內進行加熱。

[0285] 在此，在當形成時的絕緣體 104 包含多量的水、氫的情況下，即使在不使下方的層的半導體元件層劣化的溫度範圍內進行加熱處理，也有無法充分地從絕緣體 104 去除水、氫等的擔憂。再者，當在形成絕緣體 106c 後以同樣的溫度範圍進行加熱處理時，有水、氫等從絕緣體 104 被供應到半導體 106b 等，而導致缺陷能階的形成的擔憂。

[0286] 對此，如上所述，當在形成絕緣體 106a 及半導體 106b 並使絕緣體 104 的表面露出的階段進行加熱處理時，可以在抑制向絕緣體 106a 及半導體 106b 的水、氫的供應的同時，進一步減少絕緣體 104、絕緣體 103 及絕緣體 105 中的水或氫。藉由進一步減少絕緣體 104、絕緣體 103 及絕緣體 105 中的水或氫，可以以較低的溫度(例如，350℃以上且 445℃以下左右的溫度範圍)的加熱充分地去除水或氫等，並可以抑制半導體 106b 等中的缺陷能階的形成。由此，可以提供可靠性高的電晶體。

[0287] 另外，在形成上述的絕緣體 106a 及半導體 106b 時使用包含氫及碳等雜質的蝕刻氣體等的情況下，

有時氫及碳等雜質被引入到絕緣體 106a 及半導體 106b 等中。藉由在形成絕緣體 106a 及半導體 106b 之後進行加熱處理，可以使在蝕刻時被引入的氫及碳等雜質脫離。

[0288] 另外，既可以進行上述的高密度電漿處理而代替加熱處理，又可以在進行加熱處理之後進行上述的高密度電漿處理。由此，可以在半導體 106b 等中，使被引入的氫及碳等雜質脫離且以氧填補氧缺陷。

[0289] 另外，也可以在形成導電體 128 後，一齊對絕緣體 126a、半導體 126b、導電體 128 進行加工，形成重疊於絕緣體 106a、半導體 106b 及半導體 106b 的導電體，並進一步對重疊於半導體 106b 的導電體進行加工，來形成導電體 108a 及導電體 108b。

[0290] 接著，形成絕緣體 126c。作為絕緣體 126c，可以使用上述能夠被用作絕緣體 106c 的絕緣體或半導體等。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 126c。可以在形成絕緣體 126c 之前對半導體 106b、導電體 108a 及導電體 108b 的表面進行蝕刻。例如，可以使用包含稀有氣體的電漿進行蝕刻。然後，藉由以不暴露於大氣的方式連續形成絕緣體 126c，能夠抑制雜質混入到半導體 106b、導電體 108a、導電體 108b 與絕緣體 106c 之間的介面。存在於膜與膜之間的介面等的雜質有時比膜中的雜質更容易擴散。於是，藉由減少該雜質的混入，能夠實現具有穩定的電特性的電晶體。

[0291] 接著，形成絕緣體 132。作為絕緣體 132，可

以使用上述能夠被用作絕緣體 112 的絕緣體。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 132。藉由以不暴露於大氣的方式連續形成絕緣體 126c 和絕緣體 132，可以抑制雜質混入到膜中及介面。

[0292] 接著，形成導電體 134（參照圖 14A 及圖 14B）。作為導電體 134，可以使用上述能夠被用作導電體 114 的導電體。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成導電體 134。藉由以不暴露於大氣的方式連續形成絕緣體 132 和導電體 134，可以抑制雜質混入到膜中及介面。

[0293] 接著，在導電體 134 上形成光阻劑等，使用該光阻劑對該導電體 134 進行加工，由此形成導電體 114。

[0294] 接著，在導電體 114 及絕緣體 132 上形成光阻劑等，使用該光阻劑等對該導電體 114 及絕緣體 132 進行加工，由此形成絕緣體 106c 及絕緣體 112（參照圖 14C 及圖 14D）。注意，此時，也可以以使後面形成的導電體 120a 及導電體 120b 與導電體 108a 及導電體 108b 接觸的區域露出的方式形成絕緣體 106c 及絕緣體 112。

[0295] 接著，形成絕緣體 116（參照圖 14E 及圖 14F）。作為絕緣體 116，可以使用上述絕緣體。可以藉由利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 116。

[0296] 在此，作為絕緣體 116，較佳為設置氧化鋁膜

等對氧、氫、水等具有阻擋效果的氧化物絕緣膜。

[0297] 另外，較佳為使用電漿進行絕緣體 116 的形成，更佳為使用濺射法進行，進一步較佳為在包含氧的氛圍下使用濺射法進行。

[0298] 作為濺射法，可以使用將直流電源用作濺射用電源的 DC（Direct Current：直流）濺射法、以脈衝方式施加偏壓的脈衝 DC 濺射法、作為濺射用電源使用高頻電源的 RF（Radio Frequency）濺射法。另外，可以使用利用處理室內的磁鐵系統的磁控濺射（Magnetron Sputtering）法、在成膜時對基板也施加電壓的偏壓濺射法、在反應性氣體氛圍下進行的反應性濺射法等。另外，也可以使用上述的 PESP 或 VDSP。在濺射中，氧氣體流量或成膜功率可以根據氧的添加量等而適當地決定。

[0299] 在此，藉由利用濺射法形成絕緣體 116，可以在形成絕緣體 116 的同時對絕緣體 104 或絕緣體 112 的表面（在絕緣體 116 形成後為絕緣體 104 或絕緣體 112 與絕緣體 116 的介面）附近添加氧。在此，氧例如作為氧自由基被添加到絕緣體 104 或絕緣體 112，但是被添加時的氧的狀態不侷限於此。氧可以作為氧原子或氧離子等被添加到絕緣體 104 或絕緣體 112。注意，隨著氧的添加，有時在絕緣體 104 或絕緣體 112 中包含超過化學計量組成的氧，還可以將此時的氧稱為過量氧。

[0300] 接著，較佳為進行加熱處理（參照圖 15A 及圖 15B）。藉由進行加熱處理，可以使添加到絕緣體 104

或絕緣體 112 的氧擴散而供應到絕緣體 106a、半導體 106b、絕緣體 106c。加熱處理以 250℃以上且 650℃以下的溫度，較佳為以 350℃以上且 450℃以下的溫度進行即可。加熱處理在惰性氣體氛圍或者包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行。加熱處理也可以在減壓狀態下進行。在加熱處理中，還可以使用利用燈加熱的 RTA 裝置。

[0301] 另外，該加熱處理的溫度較佳低於形成半導體 126b 後的加熱處理的溫度。該加熱處理與形成半導體 126b 後的加熱處理的溫度差為 20℃以上且 150℃以下，較佳為 40℃以上且 100℃以下。由此，可以抑制多餘的過量氧（氧）從絕緣體 104 等釋放。注意，在形成各層時的加熱能夠兼作形成絕緣體 118 後的加熱處理時（例如在形成絕緣體 118 時進行加熱），有時可以不進行形成絕緣體 118 後的加熱處理。

[0302] 藉由該加熱處理，將由於上述絕緣體 116 的形成添加到絕緣體 104 及絕緣體 112 中的氧（以下稱為氧 186）擴散到絕緣體 104 或絕緣體 112 中（參照圖 15A 及圖 15B）。絕緣體 116 是比絕緣體 104 或絕緣體 112 更不容易使氧透過的絕緣體，並被用作阻擋氧的障壁膜。因為這樣的絕緣體 116 形成在絕緣體 104 或絕緣體 112 上，所以擴散於絕緣體 104 或絕緣體 112 中的氧 186 不擴散到絕緣體 104 或絕緣體 112 的上方，因此氧 186 主要在絕緣體 104 或絕緣體 112 中的橫方向或下方向擴散。

[0303] 擴散於絕緣體 104 或絕緣體 112 中的氧 186 被供應給絕緣體 106a、絕緣體 106c 及半導體 106b。此時，因為具有阻擋氧的功能的絕緣體 103 設置在絕緣體 104 的下方，所以可以防止擴散於絕緣體 104 中的氧 186 擴散到絕緣體 104 的下方的層。

[0304] 如此，可以高效地將氧 186 供應給絕緣體 106a、絕緣體 106c 及半導體 106b，尤其半導體 106b 中的形成通道的區域。如此，藉由對絕緣體 106a、絕緣體 106c 及半導體 106b 供應氧而減少氧缺陷，可以得到缺陷能階密度低的高純度本質或實質上高純度本質的氧化物半導體。

[0305] 注意，形成絕緣體 116 後的加熱處理可以在形成絕緣體 116 後任何時間進行。例如，既可以在形成絕緣體 118 後進行，又可以在形成導電體 120a 及 120b 後進行。

[0306] 接著，形成絕緣體 118。作為絕緣體 118，可以使用上述的絕緣體。可以藉由利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 118。

[0307] 接著，在絕緣體 118 上形成光阻劑等，在絕緣體 118、絕緣體 116、絕緣體 112 及絕緣體 106c 中形成開口。然後，形成將成為導電體 120a 及導電體 120b 的導電體。作為將成為導電體 120a 及導電體 120b 的導電體，可以使用上述導電體。可以藉由利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成該導電體。

[0308] 接著，在導電體上形成光阻劑等，使用該光阻劑對該導電體進行加工，由此形成導電體 120a 及導電體 120b（參照圖 15C 及圖 15D）。

[0309] 藉由上述製程，能夠製造本發明的一個實施方式的電晶體。

[0310] 下面，參照圖 17A 至圖 17H、圖 18A 至圖 18F 以及圖 19A 至圖 19F 說明電晶體 29 的製造方法。注意，電晶體 29 的製造方法可以適當地參照上述的電晶體的製造方法。

[0311] 首先，準備基板 100。作為基板 100，可以使用上述基板。

[0312] 接著，形成絕緣體 101。作為絕緣體 101，可以使用上述絕緣體。

[0313] 接著，形成成為絕緣體 107 的絕緣體。作為絕緣體可以使用上述絕緣體。絕緣體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0314] 接著，在絕緣體上形成光阻劑等，使用該光阻劑進行加工，由此形成具有開口部的絕緣體 107。

[0315] 接著，形成將成為導電體 102 的導電體，可以使用上述導電體。該導電體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0316] 接著，對導電體進行拋光直到露出絕緣體 107 來形成導電體 102（參照圖 17A 及圖 17B）。可以藉由

CMP 處理等進行拋光。

[0317] 接著，形成絕緣體 105。作為絕緣體 105，可以使用上述絕緣體。絕緣體 105 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。另外，為了減少包含在絕緣體 105 中的水或氫，可以在對基板進行加熱的同時形成絕緣體 105。例如，當在電晶體 29 的下方設置有半導體元件層時，可以在較低的溫度範圍(例如，350℃以上且 445℃以下左右的溫度範圍)內進行加熱。

[0318] 另外，藉由與後面說明的絕緣體 104 同樣的方法並利用 PECVD 法形成，來可以減少包含在絕緣體 105 中的水或氫。

[0319] 接著，形成絕緣體 103。作為絕緣體 103，可以使用上述絕緣體。絕緣體 103 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。另外，為了減少包含在絕緣體 103 中的水或氫，可以在對基板進行加熱的同時形成絕緣體 103。當在電晶體 10 的下方設置有半導體元件層時，較佳為在較低的溫度範圍(例如，350℃以上且 445℃以下左右的溫度範圍)內進行加熱。

[0320] 接著，形成絕緣體 104（參照圖 17C 及圖 17D）。作為絕緣體 104，可以使用上述絕緣體。絕緣體 104 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0321] 另外，後面形成的半導體 106b 的頂面或底面的平坦性較佳為高。因此，可以藉由 CMP 處理等對絕緣

體 104 的頂面進行平坦化處理來提高其平坦性。

[0322] 接著，較佳為進行加熱處理。

[0323] 接著，形成成為絕緣體 106a 的絕緣體。作為絕緣體可以使用上述能夠被用作絕緣體 106a 的絕緣體或半導體等。絕緣體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0324] 接著，形成將成為半導體 106b 的半導體。作為半導體，可以使用上述能夠被用作半導體 106b 的半導體。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成半導體。另外，藉由以不暴露於大氣的方式連續形成絕緣體和半導體，可以抑制雜質混入到膜中及介面。

[0325] 接著，較佳為進行加熱處理。藉由進行加熱處理，可以進一步減少絕緣體 105、絕緣體 103 及絕緣體 104 中的水或氫。另外，有時可以使絕緣體 104 包含過量氧。該加熱處理可以以 250℃以上且 650℃以下的溫度，較佳為以 450℃以上且 600℃以下的溫度，更佳為以 520℃以上且 570℃以下的溫度進行。加熱處理在惰性氣體氛圍或者包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行。加熱處理也可以在減壓狀態下進行。或者，也可以以如下方法進行加熱處理：在惰性氣體氛圍下進行加熱處理之後，為了填補脫離了的氧而在包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行另一個加熱處理。藉由進行加熱處理，可以提高將成為絕緣體 106a 的絕緣體及將成為半導體 106b 的半導體的結晶

性，並可以去除氫或水等雜質。在加熱處理中，可以使用利用燈加熱的 RTA 裝置。利用 RTA 裝置的加熱處理與爐相比在較短時間內處理完，所以為了提高生產率該方法是有效的。

[0326] 注意，當在電晶體 10 的下方設置有半導體元件層時，可以在較低的溫度範圍(例如，350℃以上且 445℃以下左右的溫度範圍)內進行加熱。例如，較佳為將該溫度設定為在形成絕緣體 105、絕緣體 103 及絕緣體 104 時的基板加熱溫度中之最高的加熱溫度以下。

[0327] 在此，在形成上述絕緣體 104 時使用 SiF_4 等鹵化矽的情況下，在絕緣體 104 中包含氟等鹵素。可以推測在上述加熱處理時絕緣體 104 中的氧被氟置換而釋放（$SiO + F \rightarrow SiF + O$），並且該氧供應給將成為絕緣體 106a 的絕緣體、將成為半導體 106b 的半導體。下面說明該機構。

[0328]

〈包含氟的氧化矽〉

下面，參照圖 74A 及圖 74B 說明作為包含過量氧的絕緣體的一個例子的包含氟的氧化矽。

[0329] 假定相對於一個矽原子具有兩個氧原子的氧化矽（SiO_2）。如圖 74A 所示，一個矽原子與四個氧原子鍵合。另外，一個氧原子與兩個矽原子鍵合。

[0330] 當兩個氟原子進入氧化矽中時，與兩個矽原子鍵合的一個氧原子的鍵合斷開（… Si-O-Si … + 2F

→ …Si- -O- -Si… + 2F）。於是，該與氧原子的鍵合斷開的矽原子鍵合於氟原子（…Si- -O- -Si… + 2F → … Si-F F-Si… + O）。此時，鍵合斷開的氧原子成為過量氧（參照圖 74B）。

[0331] 氧化矽所包含的過量氧能夠降低氧化物半導體的氧缺陷。氧化物半導體的氧缺陷成為電洞陷阱等。因此，在氧化矽包含過量氧時，電晶體可以具有穩定的電特性。

[0332] 如此，當氟進入氧化矽中時，會產生過量氧。注意，在藉由降低氧化物半導體中的氧缺陷而使過量氧被消耗的情況下，氧化矽中的氧的量比氟進入之前減少。

[0333] 為了使電晶體具有穩定的電特性並使其特性接近於常關閉的電特性，使氧化矽充分地包含過量氧即可。

[0334]

〈加熱處理〉

在此，參照圖 75A 至圖 75C 說明在進行加熱處理時能夠使用的爐的控制方法。用於說明的加熱處理的氛圍只是一個例子，所以可以適當地改變。

[0335] 圖 75A 是切換氛圍而進行兩次加熱處理的例子。首先，將被處理物放入爐中。接著，對爐中添加氮氣體，將爐中的溫度設定為第一溫度。接著，以 1 小時升溫到第二溫度。接著，保持第二溫度 1 小時。接著，以 1 小

時降溫到第三溫度。接著，對爐中添加氮氣體及氧氣體。接著，保持第三溫度 1 小時。接著，以 1 小時升溫到第四溫度。接著，保持第四溫度 1 小時。接著，以 1 小時降溫到第五溫度。接著，從爐中取出被處理物。

[0336] 注意，第一溫度、第三溫度及第五溫度在能夠放入及取出被處理物的溫度範圍（例如，50℃以上且200℃以下）內。若第一溫度、第三溫度及第五溫度過低，用於降溫的時間則變長而有時生產率降低。若第一溫度及第五溫度過高，則在放入及取出被處理物時有時使被處理物受損。第二溫度及第四溫度是各氛圍中的加熱處理的最高溫度（例如，250℃以上且 650℃以下）。在本說明書中，當記載為“進行加熱處理的時間”時，指在各氛圍中保持最高溫度的時間。

[0337] 在圖 75A 所示的方法中，可知當在兩種氛圍中各進行 1 小時的加熱處理時，總共需要 7 小時。

[0338] 圖 75B 是不切換氛圍而進行一次加熱處理的例子。首先，將被處理物放入爐中。接著，對爐中添加清潔乾燥空氣（CDA：Clean Dry Air），將爐中的溫度設定為第六溫度。CDA 是含水量為 20ppm 以下、1ppm 以下或 10ppb 以下的空氣。接著，以 1 小時升溫到第七溫度。接著，保持第七溫度 2 小時。接著，以 1 小時降溫到第八溫度。接著，從爐中取出被處理物。

[0339] 注意，第六溫度及第八溫度在能夠放入及取出被處理物的溫度範圍內。第七溫度是各氛圍下的加熱處

理的最高溫度。

[0340] 在圖 75B 所示的方法中，可知當在一種氛圍中進行 2 小時的加熱處理時，總共需要 4 小時。

[0341] 圖 75C 是切換氛圍而進行一次加熱處理的例子。首先，將被處理物放入爐中。接著，對爐中添加氮氣體，將爐中的溫度設定為第九溫度。接著，以 1 小時升溫到第十溫度。接著，保持第十溫度 1 小時。接著，對爐中添加 CDA。接著，保持第十溫度 1 小時。接著，以 1 小時降溫到第十一溫度。接著，從爐中取出被處理物。

[0342] 注意，第九溫度及第十一溫度在能夠放入及取出被處理物的溫度範圍內。第十溫度是各氛圍中的加熱處理的最高溫度。

[0343] 在圖 75C 所示的方法中，可知當在兩種氛圍中進行 2 小時的加熱處理時，總共需要 4 小時。

[0344] 藉由以圖 75B 及圖 75C 所示的方法進行加熱處理，可以使加熱處理的時間比以圖 75A 所示的方法進行加熱處理的時間短。其結果是，可以提高半導體裝置的生產率。

[0345] 接著，半導體上形成光阻劑等，使用該光阻劑對該半導體進行加工，由此形成絕緣體 106a 及半導體 106b(參照圖 17E 及圖 17F)。

[0346] 接著，較佳為進行加熱處理。藉由進行加熱處理，可以進一步減少絕緣體 105、絕緣體 103 及絕緣體 104 中的水或氫。另外，有時可以使絕緣體 104 包含過量

氧。該加熱處理可以以 250℃以上且 650℃以下的溫度，較佳為以 450℃以上且 600℃以下的溫度，更佳為以 520℃以上且 570℃以下的溫度進行。加熱處理在惰性氣體氛圍或者包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行。加熱處理也可以在減壓狀態下進行。或者，也可以以如下方法進行加熱處理：在惰性氣體氛圍下進行加熱處理之後，為了填補脫離了的氧而在包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行另一個加熱處理。藉由進行加熱處理，可以提高將成為絕緣體 106a 的絕緣體、將成為半導體 106b 的半導體的結晶性，並可以去除氫或水等雜質。在加熱處理中，可以使用利用燈加熱的 RTA 裝置。利用 RTA 裝置的加熱處理與爐相比在較短時間內處理完，所以為了提高生產率該方法是有效的。

[0347] 注意，當在電晶體 10 的下方設置有半導體元件層時，可以在較低的溫度範圍(例如，350℃以上且 445℃以下左右的溫度範圍)內進行加熱。例如，較佳為將該溫度設定為在形成絕緣體 105、絕緣體 103 及絕緣體 104 時的基板加熱溫度中之最高的加熱溫度以下。

[0348] 接著，形成絕緣體 106c（參照圖 17G 及圖 17H）。作為絕緣體 106c，可以使用上述能夠被用作絕緣體 106c 的絕緣體或半導體等。絕緣體 106c 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0349] 接著，形成將成為導電體 108a 及導電體 108b

的導電體。作為導電體，可以使用上述能夠被用作導電體108a及導電體108b的導電體。導電體可以使用濺射法、CVD法、MBE法、PLD法或ALD法等形成。

[0350] 另外，在此，有時在半導體106b及絕緣體106c的將成為導電體108的導電體附近的區域中形成低電阻區域109。

[0351] 接著，在導電體上形成光阻劑等，藉由使用該光阻劑進行加工來形成導電體108。

[0352] 接著，形成成為絕緣體110的絕緣體113。作為絕緣體113可以使用上述能夠被用作絕緣體110的絕緣體。絕緣體113可以使用濺射法、CVD法、MBE法、PLD法或ALD法等形成。

[0353] 當形成絕緣體113時，有時導電體108的頂面及側面的一部分被氧化而形成金屬氧化物111（參照圖18A和圖18B）。

[0354] 接著，在絕緣體113上形成光阻劑等，使用該光阻劑進行加工來形成絕緣體110、金屬氧化物111a、金屬氧化物111b、導電體108a及導電體108b（參照圖18C及圖18D）。

[0355] 接著，可以進行高密度電漿處理。高密度電漿處理較佳為在氧氛圍下進行。氧氛圍是指含有氧原子的氣體氛圍，一般是指氧、臭氧或氮氧化物（例如一氧化氮、二氧化氮、一氧化二氮、三氧化二氮、四氧化二氮或者五氧化二氮）氛圍。另外，也可以在氧氛圍中包含氮或

稀有氣體（氦、氬等）的惰性氣體。如此在氧氛圍下進行高密度電漿處理，例如可以使碳、氫等脫離。另外，在氧氛圍下進行高密度電漿處理，可以容易地從被處理物使烴等有機化合物脫離。

[0356] 另外，可以在高密度電漿處理前後進行退火處理。為了提高電漿的密度，有時導入充分量的氣體是較佳的。在氣體量不足夠的情況下，有時自由基的失活速度比自由基的生成速度快。例如，有時導入 100sccm 以上、300sccm 以上或 800sccm 以上的氣體是較佳的。

[0357] 例如，高密度電漿處理可以使用頻率為 0.3GHz 以上且 3.0GHz 以下、0.7GHz 以上且 1.1GHz 以下、或 2.2GHz 以上且 2.8GHz 以下（典型為 2.45GHz）的高頻產生器而產生的微波。另外，可以將處理壓力設定為 10Pa 以上且 5000Pa 以下、較佳為設定為 200Pa 以上且 1500Pa 以下、更佳為設定為 300Pa 以上且 1000Pa 以下，可以將基板溫度設定為 100℃以上且 600℃以下（典型為 400℃），並且可以使用氧和氬的混合氣體。

[0358] 例如，藉由使用 2.45GHz 的微波來產生高密度電漿，電子密度較佳為 $1\times10^{11}/cm^3$ 以上且 $1\times10^{13}/cm^3$ 以下，電子溫度較佳為 2eV 以下，離子能量較佳為 5eV 以下。這種高密度電漿處理的自由基的運動能小，與習知的電漿處理相比因電漿而發生的損傷少。因此，可以形成缺陷少的膜。較佳為將從產生微波的天線到被處理物的距離設定為 5mm 以上且 120mm 以下、更佳為 20mm 以上且

60mm 以下。

[0359] 或者，也可以設置向基板一側施加 RF（Radio Frequency）偏壓的電漿電源。例如，RF 偏壓的頻率可以為 13.56MHz 或 27.12MHz 等即可。藉由使用高密度電漿可以生成高密度的氧離子，並且藉由向基板一側施加 RF 偏壓可以高效地將由高密度電漿生成的氧離子引入被處理物中。另外，也可以高效地將氧離子引入縱橫比高的開口部的內部等。因此，較佳為在對基板施加偏壓的同時進行高密度電漿處理。

[0360] 另外，也可以在高密度電漿處理後不暴露於大氣地連續進行退火處理。另外，高密度電漿處理也可以在退火處理後不暴露於大氣地連續進行。藉由連續進行高密度電漿處理和退火處理，可以抑制在處理期間中的雜質混入。另外，藉由在氧氛圍下進行高密度電漿處理後進行退火處理，可以使被添加到被處理物的氧中的沒使用於氧缺陷的填補的不需要的氧脫離。另外，例如，上述退火處理可以利用燈退火等進行。

[0361] 另外，高密度電漿處理的處理時間較佳為 30 秒以上且 120 分鐘以下、1 分鐘以上且 90 分鐘以下、2 分鐘以上且 30 分鐘以下、或者 3 分鐘以上且 15 分鐘以下。

[0362] 另外，退火處理的處理溫度較佳為 250℃以上且 800℃以下、300℃以上且 700℃以下或者 400℃以上且 600℃以下，處理時間較佳為 30 秒以上且 120 分鐘以下、1 分鐘以上且 90 分鐘以下、2 分鐘以上且 30 分鐘以下、

或者 3 分鐘以上且 15 分鐘以下。

[0363] 藉由進行高密度電漿處理或/及退火處理，可以降低將成為半導體 106b 的通道形成區域的區域中的缺陷能階。就是說，可以使通道形成區域成為高純度本質。此時，低電阻區域 109 的一部分也被高電阻化，而分成低電阻區域 109a 及低電阻區域 109b。另外，在導電體 108a 及導電體 108b 的側面上形成金屬氧化物 111a 及金屬氧化物 111b（參照圖 18E 及圖 18F）。

[0364] 接著，形成絕緣體 132。作為絕緣體 132，可以使用上述能夠被用作絕緣體 112 的絕緣體。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 132。藉由以不暴露於大氣的方式連續形成絕緣體 126c 和絕緣體 132，可以抑制雜質混入到膜中及介面。

[0365] 接著，形成導電體 134（參照圖 19A 及圖 19B）。作為導電體 134，可以使用上述能夠被用作導電體 114 的導電體。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成導電體 134。藉由以不暴露於大氣的方式連續形成絕緣體 132 和導電體 134，可以抑制雜質混入到膜中及介面。

[0366] 接著，藉由對導電體 134、絕緣體 132 及絕緣體 113 進行拋光直到露出絕緣體 113 為止，來形成導電體 114、絕緣體 112 及絕緣體 110（參照圖 19C 及圖 19D）。導電體 114 及絕緣體 112 各自具有電晶體 29 的閘極電極及閘極絕緣體的功能。藉由上述方法可以以自對準

的方式形成導電體 114 及絕緣體 112。

[0367] 接著，形成絕緣體 116(參照圖 19E 及圖 19F)。作為絕緣體 116，可以使用上述絕緣體。可以藉由利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 116。

[0368] 接著，較佳為進行加熱處理。

[0369] 藉由上述製程，可以製造本發明的一個實施方式的電晶體。

[0370] 藉由使用本實施方式所示的方法形成電晶體，可以抑制對半導體 106b 等供應水、氫等。由此，可以提供一種具有穩定的電特性的電晶體。另外，可以提供一種關閉狀態時的洩漏電流小的電晶體。另外，可以提供一種具有常關閉的電特性的電晶體。另外，可以提供一種次臨界擺幅值小的電晶體。另外，可以提供一種可靠性高的電晶體。

[0371] 再者，藉由使用本實施方式所示的方法製造電晶體，由於在較低的溫度範圍內的加熱處理可以抑制對半導體 106b 等供應水、氫等，因此即使在該電晶體的下方的層等形成有半導體元件層或佈線層等，也可以製造該電晶體而不使半導體元件層或佈線層因高溫劣化。

[0372] 本實施方式所示的結構、方法可以與其他實施方式所示的結構、方法適當地組合而使用。

[0373]

實施方式 3

〈製造裝置〉

下面，對本發明的一個實施方式的進行高密度電漿處理的製造裝置進行說明。

[0374] 首先，參照圖 20、圖 21 及圖 22 對在製造半導體裝置等時雜質的混入少的製造裝置的結構進行說明。

[0375] 圖 20 是示意性地示出單片式多室（single wafer multi-chamber）製造裝置 2700 的俯視圖。製造裝置 2700 包括：具備收納基板的盒式介面（cassette port）2761 和進行基板對準的對準介面（alignment port）2762 的大氣側基板供應室 2701；從大氣側基板供應室 2701 傳送基板的大氣側基板傳送室 2702；進行基板的搬入且將室內的壓力從大氣壓切換為減壓或從減壓切換為大氣壓的負載鎖定室 2703a；進行基板的搬出且將室內的壓力從減壓切換為大氣壓或從大氣壓切換為減壓的卸載閉鎖室 2703b；在真空中進行基板的傳送的傳送室 2704；處理室 2706a、處理室 2706b、處理室 2706c 及處理室 2706d。

[0376] 另外，大氣側基板傳送室 2702 與負載鎖定室 2703a 以及卸載閉鎖室 2703b 連接，負載鎖定室 2703a 以及卸載閉鎖室 2703b 與傳送室 2704 連接，傳送室 2704 與處理室 2706a、處理室 2706b、處理室 2706c 以及處理室 2706d 連接。

[0377] 在各室之間的連接部設置有閘閥 GV，由此除了大氣側基板供應室 2701 及大氣側基板傳送室 2702 以外，各室可以獨立地保持為真空狀態。在大氣側基板傳送

室 2702 中設置有傳送機器人 2763a，並且在傳送室 2704 中設置有傳送機器人 2763b。藉由利用傳送機器人 2763a 及傳送機器人 2763b 在製造裝置 2700 中可以傳送基板。

[0378] 例如，將傳送室 2704 及各處理室 2706a 至 2706d 的背壓（全壓）設定為 1×10^{-4}Pa 以下，較佳為 3×10^{-5}Pa 以下，更佳為 1×10^{-5}Pa 以下。另外，例如，將傳送室 2704 及各處理室 2706a 至 2706d 中的質量電荷比（m/z）是 18 的氣體分子（原子）的分壓設定為 3×10^{-5}Pa 以下，較佳為設定為 1×10^{-5}Pa 以下，更佳為設定為 3×10^{-6}Pa 以下。另外，例如，將傳送室 2704 及各處理室 2706a 至 2706d 中的 m/z 是 28 的氣體分子（原子）的分壓設定為 3×10^{-5}Pa 以下，較佳為設定為 1×10^{-5}Pa 以下，更佳為設定為 3×10^{-6}Pa 以下。另外，例如，將傳送室 2704 及各處理室 2706a 至 2706d 中的 m/z 是 44 的氣體分子（原子）的分壓設定為 3×10^{-5}Pa 以下，較佳為設定為 1×10^{-5}Pa 以下，更佳為設定為 3×10^{-6}Pa 以下。

[0379] 傳送室 2704 及各處理室 2706a 至 2706d 內的全壓及分壓可以使用質量分析器測量。例如，可以使用由 ULVAC,Inc.製造的四極質量分析器（也稱為 Q-mass）Qulee CGM-051。

[0380] 另外，較佳的是，上述傳送室 2704 及各處理室 2706a 至 2706d 的外部洩漏及內部洩漏少。例如，將傳送室 2704 及各處理室 2706a 至 2706d 的洩漏率設定為 3×10^{-6}Pa·m^3/s 以下，較佳為設定為 1×10^{-6}Pa·m^3/s 以下。

另外，例如，將 m/z 是 18 的氣體分子（原子）的洩漏率設定為 $1\times10^{-7}Pa\cdot m^3/s$ 以下，較佳為設定為 $3\times10^{-8}Pa\cdot m^3/s$ 以下。另外，例如，將 m/z 是 28 的氣體分子（原子）的洩漏率設定為 $1\times10^{-5}Pa\cdot m^3/s$ 以下，較佳為設定為 $1\times10^{-6}Pa\cdot m^3/s$ 以下。另外，例如，將 m/z 是 44 的氣體分子（原子）的洩漏率設定為 $3\times10^{-6}Pa\cdot m^3/s$ 以下，較佳為設定為 $1\times10^{-6}Pa\cdot m^3/s$ 以下。

[0381] 注意，洩漏率可以根據利用上述質量分析器測量出的全壓及分壓算出。洩漏率取決於外部洩漏及內部洩漏。外部洩漏是指由於微小的孔或密封不良等，氣體從真空系統的外部流入的現象。內部洩漏起因於來自真空系統中的閥等隔板的洩漏或來自內部構件的釋放氣體。為了將洩漏率設定為上述數值以下，需要從外部洩漏及內部洩漏的兩個方面採取措施。

[0382] 例如，較佳為使用金屬墊片對傳送室 2704 及各處理室 2706a 至 2706d 的開閉部分進行密封。金屬墊片較佳為使用由氟化鐵、氧化鋁或氧化鉻覆蓋的金屬。金屬墊片的緊密性比 O 形環高，因此可以降低外部洩漏。藉由利用鈍態的由氟化鐵、氧化鋁、氧化鉻等覆蓋的金屬，可以抑制從金屬墊片釋放的包含雜質的釋放氣體，由此可以降低內部洩漏。

[0383] 作為構成製造裝置 2700 的構件，使用包含雜質的釋放氣體少的鋁、鉻、鈦、鋯、鎳或釩。也可以使用上述構件覆蓋含有鐵、鉻或鎳等的合金。含有鐵、鉻或鎳

等的合金具有剛性，耐熱且適於加工。在此，藉由進行拋光等減少構件表面的凹凸以縮小表面積，可以減少釋放氣體。

[0384] 或者，也可以使用氟化鐵、氧化鋁、氧化鉻等覆蓋上述製造裝置 2700 的構件。

[0385] 製造裝置 2700 的構件較佳為儘量只由金屬構成，例如當設置由石英等構成的觀察窗（viewing window）等時，為了抑制釋放氣體，較佳為由其厚度薄的氟化鐵、氧化鋁或氧化鉻等覆蓋觀察窗的表面。

[0386] 雖然存在於傳送室 2704 及各處理室 2706a 至 2706d 內的吸附物吸附於內壁等而不影響到傳送室 2704 及各處理室 2706a 至 2706d 的壓力，但是該吸附物成為對傳送室 2704 及各處理室 2706a 至 2706d 進行排氣時產生的氣體釋放的原因。因此，雖然洩漏率與排氣速度不相關，但是使用排氣能力高的泵儘量地使存在於傳送室 2704 及各處理室 2706a 至 2706d 內的吸附物脫離並預先進行排氣是充分重要的。為了促進吸附物的脫離，也可以對傳送室 2704 及各處理室 2706a 至 2706d 進行烘烤。藉由進行烘烤，可以將吸附物的脫離速度提高 10 倍左右。烘烤以 100℃以上且 450℃以下的溫度進行即可。此時，藉由一邊將惰性氣體導入傳送室 2704 及各處理室 2706a 至 2706d 一邊去除吸附物，可以進一步提高僅藉由排氣不容易脫離的水等的脫離速度。藉由將所導入的惰性氣體加熱至與烘烤溫度相同程度的溫度，可以進一步提高吸附物

的脫離速度。這裡，作為惰性氣體較佳為使用稀有氣體。

[0387] 另外，較佳為藉由導入被加熱的稀有氣體等惰性氣體或氧等提高傳送室 2704 及各處理室 2706a 至 2706d 內的壓力，並在經過一定時間之後再次對傳送室 2704 及各處理室 2706a 至 2706d 進行排氣處理。可以由被加熱的氣體的導入使傳送室 2704 及各處理室 2706a 至 2706d 內的吸附物脫離，由此可以減少存在於傳送室 2704 及各處理室 2706a 至 2706d 內的雜質。有效的是將該處理反復進行 2 次以上且 30 次以下，較佳為 5 次以上且 15 次以下。具體地，藉由導入 40℃ 以上且 400℃ 以下，較佳為 50℃ 以上且 200℃ 以下的惰性氣體或氧等來將傳送室 2704 及各處理室 2706a 至 2706d 內的壓力設定為 0.1Pa 以上且 10kPa 以下，較佳為 1Pa 以上且 1kPa 以下，更佳為 5Pa 以上且 100Pa 以下，並將保持壓力的期間設定為 1 分鐘以上且 300 分鐘以下，較佳為 5 分鐘以上且 120 分鐘以下，即可。然後，對傳送室 2704 及各處理室 2706a 至 2706d 進行排氣 5 分鐘以上且 300 分鐘以下，較佳為 10 分鐘以上且 120 分鐘以下。

[0388] 接著，參照圖 21 所示的剖面示意圖對處理室 2706b 及處理室 2706c 進行說明。

[0389] 例如，處理室 2706b 及處理室 2706c 是能夠對被處理物進行高密度電漿處理的處理室。處理室 2706b 和處理室 2706c 的不同之處僅在於進行高密度電漿處理時的氛圍。因為處理室 2706b 和處理室 2706c 的其他結構相

同，所以下面一併說明。

[0390] 處理室 2706b 及處理室 2706c 包括縫隙天線板 2808、電介質板 2809、基板載物台 2812 以及排氣口 2819。另外，在處理室 2706b 及處理室 2706c 的外部等設置有氣體供應源 2801、閥 2802、高頻產生器 2803、波導管 2804、模式轉換器 2805、氣體管 2806、波導管 2807、匹配器（matching box）2815、高頻電源 2816、真空泵 2817 以及閥 2818。

[0391] 高頻產生器 2803 藉由波導管 2804 與模式轉換器 2805 連接。模式轉換器 2805 藉由波導管 2807 與縫隙天線板 2808 連接。縫隙天線板 2808 與電介質板 2809 接觸地配置。此外，氣體供應源 2801 藉由閥 2802 與模式轉換器 2805 連接。並且，由經過模式轉換器 2805、波導管 2807 及電介質板 2809 的氣體管 2806 對處理室 2706b 及處理室 2706c 引入氣體。另外，真空泵 2817 具有藉由閥 2818 及排氣口 2819 從處理室 2706b 及處理室 2706c 排出氣體等的功能。另外，高頻電源 2816 藉由匹配器 2815 與基板載物台 2812 連接。

[0392] 基板載物台 2812 具有保持基板 2811 的功能。例如，基板載物台 2812 具有對基板 2811 進行靜電卡盤或機械性地卡盤的功能。此外，基板載物台 2812 具有由高頻電源 2816 供應功率的電極的功能。另外，基板載物台 2812 在其內部包括加熱機構 2813 並具有對基板 2811 進行加熱的功能。

[0393] 作為真空泵 2817，可以使用例如乾燥泵、機械增壓泵、離子泵、鈦昇華泵、低溫泵或渦輪分子泵等。另外，除了真空泵 2817 以外，還可以使用低溫冷阱。當使用低溫泵及低溫冷阱時可以高效地排出水，這是特別較佳的。

[0394] 作為加熱機構 2813，例如使用利用電阻發熱體等進行加熱的加熱機構即可。或者，也可以使用利用被加熱的氣體等的介質的熱傳導或熱輻射來進行加熱的加熱機構。例如，可以使用 GRTA（Gas Rapid Thermal Annealing：氣體快速熱退火）或 LRTA（Lamp Rapid Thermal Annealing：燈快速熱退火）等的 RTA（Rapid Thermal Annealing：快速熱退火）。GRTA 利用高溫氣體進行加熱處理。作為氣體使用惰性氣體。

[0395] 另外，氣體供應源 2801 可以藉由質量流量控制器與精製器連接。作為氣體，較佳為使用露點為 -80℃ 以下，較佳為 -100℃ 以下的氣體。例如，可以使用氧氣體、氮氣體及稀有氣體（氬氣體等）。

[0396] 作為電介質板 2809 例如使用氧化矽（石英）、氧化鋁(alumina)或氧化釔(yttria)等即可。另外，也可以在電介質板 2809 的表面進一步形成有其他保護層。作為保護層可以使用氧化鎂、氧化鈦、氧化鉻、氧化鋯、氧化鈴、氧化鉭、氧化矽、氧化鋁或氧化釔等。因為電介質板 2809 暴露於後述的高密度電漿 2810 的特別高密度區域中，所以藉由設置保護層可以緩和損傷。其結果是，可

以抑制進行處理時的微粒的增加等。

[0397] 高頻產生器 2803 具有例如產生 0.3GHz 以上且 3.0GHz 以下、0.7GHz 以上且 1.1GHz 以下或者 2.2GHz 以上且 2.8GHz 以下的微波的功能。高頻產生器 2803 所產生的微波藉由波導管 2804 傳送到模式轉換器 2805。在模式轉換器 2805 中，將被傳送的 TE 模式的微波轉換為 TEM 模式的微波。然後，該微波藉由波導管 2807 傳送到縫隙天線板 2808。在縫隙天線板 2808 中設置有多個縫隙，微波透過該縫隙及電介質板 2809。然後，在電介質板 2809 的下方產生電場而可以生成高密度電漿 2810。高密度電漿 2810 包括根據從氣體供應源 2801 供應的氣體種類的離子及自由基。例如，高密度電漿 2810 包括氧自由基或氮自由基等。

[0398] 此時，藉由利用在高密度電漿 2810 中生成的離子及自由基可以改善基板 2811 上的膜等。另外，有時較佳為使用高頻電源 2816 對基板 2811 一側施加偏壓。作為高頻電源 2816，例如可以使用 13.56MHz、27.12MHz 等頻率的 RF（Radio Frequency）電源。藉由對基板一側施加偏壓，可以高效地使高密度電漿 2810 中的離子到達基板 2811 上的膜等的開口部的深部。

[0399] 例如，在處理室 2706b 中，藉由從氣體供應源 2801 導入氧可以進行使用高密度電漿 2810 的氧自由基處理，並且在處理室 2706c 中，藉由從氣體供應源 2801 導入氮可以進行使用高密度電漿 2810 的氮自由基處理。

[0400] 接著，參照圖 22 所示的剖面示意圖對處理室 2706a 及處理室 2706d 進行說明。

[0401] 例如，處理室 2706a 及處理室 2706d 是能夠對被處理物照射電磁波的處理室。處理室 2706a 和處理室 2706d 的不同之處僅在於電磁波的種類。因為處理室 2706a 和處理室 2706d 的其他結構是共通的，所以下面一併說明。

[0402] 處理室 2706a 及處理室 2706d 包括一個或多個燈 2820、基板載物台 2825、氣體導入口 2823 以及排氣口 2830。另外，在處理室 2706a 及處理室 2706d 的外部等設置有氣體供應源 2821、閥 2822、真空泵 2828 以及閥 2829。

[0403] 氣體供應源 2821 藉由閥 2822 與氣體導入口 2823 連接。真空泵 2828 藉由閥 2829 與排氣口 2830 連接。燈 2820 與基板載物台 2825 相對地配置。基板載物台 2825 具有保持基板 2824 的功能。另外，基板載物台 2825 在其內部包括加熱機構 2826 並具有對基板 2824 進行加熱的功能。

[0404] 作為燈 2820，例如可以使用具有放射可見光或紫外線光等的電磁波的功能的光源。例如，可以使用具有放射在 10nm 以上且 2500nm 以下、500nm 以上且 2000nm 以下或者 40nm 以上且 340nm 以下的波長區域中具有峰值的電磁波的功能的光源。

[0405] 例如，作為燈 2820，可以使用鹵素燈、金屬

鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈、高壓汞燈等的光源。

[0406] 例如，從燈 2820 放射的電磁波的一部分或全部被基板 2824 抽吸，由此可以改善基板 2824 上的膜等的質量。例如，可以生成或減少缺陷、或者可以去除雜質。另外，在對基板 2824 進行加熱的同時生成或降低缺陷、或者去除雜質的情況下，可以高效地生成或降低缺陷、或者可以去除雜質。

[0407] 另外，例如，也可以利用從燈 2820 放射的電磁波使基板載物台 2825 發熱而對基板 2824 進行加熱。在此情況下，不需要在基板載物台 2825 的內部包括加熱機構 2826。

[0408] 真空泵 2828 可參照關於真空泵 2817 的記載。另外，加熱機構 2826 可參照關於加熱機構 2813 的記載。另外，氣體供應源 2821 可參照關於氣體供應源 2801 的記載。

[0409] 藉由使用上述製造裝置，可以抑制雜質混入到被處理物並可以改善膜質量。

[0410] 本實施方式所示的結構、方法可以與其他實施方式所示的結構、方法適當地組合而使用。

[0411]

實施方式 4

在本實施方式中，說明利用本發明的一個實施方式的電晶體等的半導體裝置的電路的一個例子。

〈電路〉

下面，說明利用本發明的一個實施方式的電晶體等的半導體裝置的電路的一個例子。

[0412]

〈CMOS 反相器〉

圖 23A 所示的電路圖示出所謂的 CMOS 反相器的結構，其中使 p 通道電晶體 2200 與 n 通道電晶體 2100 串聯連接，並使各閘極連接。

[0413]

〈半導體裝置的結構〉

圖 24 是對應於圖 23A 的半導體裝置的剖面圖。圖 24 所示的半導體裝置包括電晶體 2200 以及電晶體 2100。電晶體 2100 配置於電晶體 2200 的上方。注意，雖然這裡示出作為電晶體 2100 使用圖 9A 和圖 9B 所示的電晶體 20 的例子，但是本發明的一個實施方式的半導體裝置不侷限於此。可以使用上述實施方式所示的各電晶體作為電晶體 2100。因此，關於電晶體 2100，適當地參照上述電晶體的記載。

[0414] 圖 24 所示的電晶體 2200 是使用半導體基板 450 的電晶體。電晶體 2200 包括半導體基板 450 中的區域 472a、半導體基板 450 中的區域 472b、絕緣體 462 以及導電體 454。

[0415] 在電晶體 2200 中，區域 472a 及區域 472b 具

有源極區域及汲極區域的功能。另外，絕緣體 462 具有閘極絕緣體的功能。另外，導電體 454 具有閘極電極的功能。因此，能夠由施加到導電體 454 的電位控制通道形成區域的電阻。也就是說，能夠由施加到導電體 454 的電位控制區域 472a 與區域 472b 之間的導通/非導通。

[0416] 作為半導體基板 450，例如可以使用由矽或鍺等構成的單一材料半導體基板、或者碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵等的半導體基板等。較佳的是，作為半導體基板 450 使用單晶矽基板。

[0417] 作為半導體基板 450 使用包含賦予 n 型導電性的雜質的半導體基板。注意，作為半導體基板 450，也可以使用包含賦予 p 型導電性的雜質的半導體基板。此時，在形成電晶體 2200 的區域中可以配置包含賦予 n 型導電性的雜質的井。或者，半導體基板 450 也可以為 i 型。

[0418] 半導體基板 450 的頂面較佳為具有（110）面。由此，能夠提高電晶體 2200 的導通特性。

[0419] 區域 472a 及區域 472b 是包含賦予 p 型導電性的雜質的區域。由此，電晶體 2200 具有 p 通道型的結構。

[0420] 注意，電晶體 2200 與鄰接的電晶體被區域 460 等隔開。區域 460 具有絕緣性。

[0421] 圖 24 所示的半導體裝置包括絕緣體 464、絕緣體 466、絕緣體 468、導電體 480a、導電體 480b、導電

體 480c、導電體 478a、導電體 478b、導電體 478c、導電體 476a、導電體 476b、導電體 474a、導電體 474b、導電體 474c、導電體 496a、導電體 496b、導電體 496c、導電體 496d、導電體 498a、導電體 498b、導電體 498c、絕緣體 489、絕緣體 490、絕緣體 491、絕緣體 492、絕緣體 493 以及絕緣體 494。

[0422] 絕緣體 464 配置於電晶體 2200 上。絕緣體 466 配置於絕緣體 464 上。絕緣體 468 配置於絕緣體 466 上。絕緣體 489 配置於絕緣體 468 上。電晶體 2100 配置於絕緣體 489 上。絕緣體 493 配置於電晶體 2100 上。絕緣體 494 配置於絕緣體 493 上。

[0423] 絕緣體 464 包括到達區域 472a 的開口部、到達區域 472b 的開口部以及到達導電體 454 的開口部。導電體 480a、導電體 480b 或導電體 480c 分別填充於各開口部中。

[0424] 絕緣體 466 包括到達導電體 480a 的開口部、到達導電體 480b 的開口部以及到達導電體 480c 的開口部。導電體 478a、導電體 478b 或導電體 478c 分別填充於各開口部中。

[0425] 絕緣體 468 包括到達導電體 478b 的開口部以及到達導電體 478c 的開口部。導電體 476a 或導電體 476b 分別填充於各開口部中。

[0426] 絕緣體 489 包括與電晶體 2100 的通道形成區域重疊的開口部、到達導電體 476a 的開口部以及到達導

電體 476b 的開口部。導電體 474a、導電體 474b 或導電體 474c 分別填充於各開口部中。

[0427] 導電體 474a 也可以具有電晶體 2100 的閘極電極的功能。或者，例如，也可以藉由對導電體 474a 施加固定電位，來控制電晶體 2100 的臨界電壓等的電特性。或者，例如，也可以將導電體 474a 電連接到具有電晶體 2100 的閘極電極的功能的導電體 504。由此，可以增加電晶體 2100 的通態電流。另外，由於可以抑制衝穿現象，因此可以使電晶體 2100 的飽和區域中的電特性穩定。因為導電體 474a 相當於上述實施方式的導電體 102，所以至於其詳細內容，可以參照導電體 102 的記載。

[0428] 絕緣體 490 包括到達導電體 474b 的開口部以及到達導電體 474c 的開口部。注意，因為絕緣體 490 相當於上述實施方式所示的絕緣體 103，所以至於其詳細內容，可以參照絕緣體 103 的記載。如上述實施方式所示，藉由以覆蓋開口部以外的導電體 474a 至 474c 之上的方式設置絕緣體 490，能夠防止導電體 474a 至 474c 從絕緣體 491 抽出氧。由此，能夠有效地從絕緣體 491 將氧供應到電晶體 2100 的氧化物半導體。

[0429] 絕緣體 491 包括到達導電體 474b 的開口部以及到達導電體 474c 的開口部。注意，因為絕緣體 491 相當於上述實施方式所示的絕緣體 104，所以至於其詳細內容，可以參照絕緣體 104 的記載。

[0430] 如上述實施方式所示，藉由降低絕緣體 491 的水或氫的含量，可以抑制電晶體 2100 的氧化物半導體中的缺陷能階的形成。由此，可以使電晶體 2100 的電特性穩定。

[0431] 此外，這種水或氫的含量得到降低的絕緣體不僅可用於絕緣體 491，而且可以用於其他絕緣體。例如，可以將該絕緣體用於絕緣體 466、絕緣體 468、絕緣體 489、絕緣體 493 等。

[0432] 另外，雖然在圖 24 中未圖示相當於電晶體 20 中的絕緣體 105 及絕緣體 101 的絕緣體，但是當然也可以設置這些絕緣體。例如，可以在絕緣體 468 與絕緣體 489 之間設置相當於絕緣體 101 的絕緣體，也可以在絕緣體 489 與絕緣體 490 之間設置相當於絕緣體 105 的絕緣體。尤其是，當在絕緣體 468 與絕緣體 489 之間設置有相當於絕緣體 101 的具有阻擋水或氫等的功能的絕緣體來如上述那樣降低絕緣體 491 的水或氫的含量時，可以進一步抑制電晶體 2100 的氧化物半導體中的缺陷能階的形成。

[0433] 絕緣體 492 包括穿過電晶體 2100 的源極電極和汲極電極中的一個的導電體 516b 到達導電體 474b 的開口部、到達電晶體 2100 的源極電極和汲極電極中的另一個的導電體 516a 的開口部、到達電晶體 2100 的閘極電極的導電體 504 的開口部以及到達導電體 474c 的開口部。注意，因為絕緣體 492 相當於上述實施方式的絕緣體 116，所以至於其詳細內容，可以參照絕緣體 116 的記

載。

[0434] 絕緣體 493 包括穿過電晶體 2100 的源極電極和汲極電極中的一個的導電體 516b 到達導電體 474b 的開口部、到達電晶體 2100 的源極電極和汲極電極中的另一個的導電體 516a 的開口部、到達電晶體 2100 的閘極電極的導電體 504 的開口部以及到達導電體 474c 的開口部。導電體 496a、導電體 496b、導電體 496c 或導電體 496d 分別填充於各開口部中。注意，各開口部有時夾住電晶體 2100 等的任一組件所包括的開口部。

[0435] 絕緣體 494 包括到達導電體 496a 的開口部、到達導電體 496b 及導電體 496d 的開口部以及到達導電體 496c 的開口部。導電體 498a、導電體 498b 或導電體 498c 分別填充於各開口部中。

[0436] 作為絕緣體 464、絕緣體 466、絕緣體 468、絕緣體 489、絕緣體 493 及絕緣體 494，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、鈰、鉿或鉭的絕緣體的單層或疊層。

[0437] 絕緣體 464、絕緣體 466、絕緣體 468、絕緣體 489、絕緣體 493 和絕緣體 494 中的一個以上較佳為具有阻擋氫等雜質及氧的功能。藉由在電晶體 2100 的附近配置具有阻擋氫等雜質及氧的功能的絕緣體，可以使電晶體 2100 的電特性穩定。

[0438] 作為具有阻擋氫等雜質及氧的功能的絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、

矽、磷、氯、氬、鎵、鍺、釩、鋯、鑭、鈸、鉿或鉭的絕緣體的單層或疊層。

[0439] 作為導電體 480a、導電體 480b、導電體 480c、導電體 478a、導電體 478b、導電體 478c、導電體 476a、導電體 476b、導電體 474a、導電體 474b、導電體 474c、導電體 496a、導電體 496b、導電體 496c、導電體 496d、導電體 498a、導電體 498b 及導電體 498c，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釩、鋯、鉬、釕、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，也可以使用合金或化合物，還可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體、包含鈦及氮的導電體等。

[0440] 注意，圖 25 所示的半導體裝置的與圖 24 所示的半導體裝置不同之處只在於電晶體 2200 的結構。因此，關於圖 25 所示的半導體裝置，參照圖 24 所示的半導體裝置的記載。明確而言，在圖 25 所示的半導體裝置中，電晶體 2200 為 Fin 型。藉由使電晶體 2200 成為 Fin 型，實效上的通道寬度得到增大，從而能夠提高電晶體 2200 的導通特性。另外，由於可以增大閘極電極的電場的影響，所以能夠提高電晶體 2200 的關閉特性。

[0441] 另外，圖 26 所示的半導體裝置的與圖 24 所示的半導體裝置不同之處只在於電晶體 2200 的結構。因此，關於圖 26 所示的半導體裝置，參照圖 24 所示的半導

體裝置的記載。明確而言，在圖 26 所示的半導體裝置中，電晶體 2200 設置在 SOI 基板的半導體基板 450 上。圖 26 示出區域 456 與半導體基板 450 被絕緣體 452 隔開的結構。藉由使用 SOI 基板作為半導體基板 450，可以抑制衝穿現象等，所以能夠提高電晶體 2200 的關閉特性。注意，絕緣體 452 可以藉由使半導體基板 450 絕緣體化形成。例如，作為絕緣體 452 可以使用氧化矽。

[0442] 在圖 24 至圖 26 所示的半導體裝置中，由於使用半導體基板形成 p 通道電晶體，並在其上方形成 n 通道電晶體，因此能夠減少元件所占的面積。也就是說，可以提高半導體裝置的集成度。另外，與使用同一半導體基板形成 n 通道電晶體及 p 通道電晶體的情況相比，可以簡化製程，所以能夠提高半導體裝置的生產率。另外，能夠提高半導體裝置的良率。另外，p 通道電晶體有時可以省略 LDD（Lightly Doped Drain）區域的形成、淺溝槽（Shallow Trench）結構的形成或彎曲設計等複雜的製程。因此，與使用半導體基板形成 n 通道電晶體的半導體裝置相比，圖 24 至圖 26 所示的半導體裝置有時能夠提高生產率和良率。

[0443]

〈CMOS 類比開關〉

圖 23B 所示的電路圖示出將電晶體 2100 和電晶體 2200 的各源極和汲極連接的結構。藉由採用這種結構，可以實現所謂的 CMOS 類比開關的功能。

[0444]

〈記憶體裝置 1〉

圖 27A 至圖 27C 示出半導體裝置（記憶體裝置）的一個例子，其中使用本發明的一個實施方式的電晶體，即便在沒有功率的情況下也能夠保持存儲內容，並且對寫入次數也沒有限制。

[0445] 圖 27A 所示的半導體裝置包括使用第一半導體的電晶體 3200、使用第二半導體的電晶體 3300 以及電容器 3400。另外，作為電晶體 3300 可以使用與上述電晶體 2100 相同的電晶體。

[0446] 電晶體 3300 較佳為使用關態電流小的電晶體。電晶體 3300 例如可以使用包含氧化物半導體的電晶體。由於電晶體 3300 的關態電流小，所以可以在長期間使半導體裝置的特定的節點保持存儲內容。亦即，因為不需要更新工作或可以使更新工作的頻率極低，所以能夠實現低功耗的半導體裝置。

[0447] 在圖 27A 中，第一佈線 3001 與電晶體 3200 的源極電連接，第二佈線 3002 與電晶體 3200 的汲極電連接。另外，第三佈線 3003 與電晶體 3300 的源極和汲極中的一個電連接，第四佈線 3004 與電晶體 3300 的閘極電連接。並且，電晶體 3200 的閘極及電晶體 3300 的源極和汲極中的另一個與電容器 3400 的一個電極電連接，第五佈線 3005 與電容器 3400 的另一個電極電連接。

[0448] 圖 27A 所示的半導體裝置具有能夠保持電晶

體 3200 的閘極的電位的特徵，由此可以如下所示進行資訊的寫入、保持以及讀出。

[0449] 對資訊的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定為使電晶體 3300 成為導通狀態的電位，而使電晶體 3300 處於導通狀態。由此，第三佈線 3003 的電位施加到與電晶體 3200 的閘極及電容器 3400 的一個電極電連接的節點 FG。換言之，對電晶體 3200 的閘極施加規定的電荷（寫入）。這裡，施加賦予兩種不同位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一個。然後，藉由將第四佈線 3004 的電位設定為使電晶體 3300 成為非導通狀態的電位而使電晶體 3300 處於非導通狀態，使節點 FG 保持電荷（保持）。

[0450] 因為電晶體 3300 的關態電流較小，所以節點 FG 的電荷被長時間保持。

[0451] 接著，對資訊的讀出進行說明。當在對第一佈線 3001 施加規定的電位（恆電位）的狀態下對第五佈線 3005 施加適當的電位（讀出電位）時，第二佈線 3002 具有對應於保持在節點 FG 中的電荷量的電位。這是因為：在電晶體 3200 為 n 通道電晶體的情況下，對電晶體 3200 的閘極施加高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 3200 的閘極施加低位準電荷時的外觀上的臨界電壓 V_{th_L}。在此，外觀上的臨界電壓是指為了使電晶體 3200 成為“導通狀態”所需要的第五佈線 3005 的電位。由此，藉由將第五佈線 3005 的電位設定為 V_{th_H} 與

V_{th_L} 之間的電位 V_0，可以辨別施加到節點 FG 的電荷。例如，在寫入時節點 FG 被供應高位準電荷的情況下，若第五佈線 3005 的電位為 V_0（$>V_{th_H}$），電晶體 3200 則成為“導通狀態”。另一方面，當節點 FG 被供應低位準電荷時，即便第五佈線 3005 的電位為 V_0（$<V_{th_L}$），電晶體 3200 還保持“非導通狀態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出節點 FG 所保持的資訊。

[0452] 注意，當將記憶單元設置為陣列狀時，在讀出時必須讀出所希望的記憶單元的資訊。例如，在不讀出資訊的記憶單元中，對第五佈線 3005 施加不管施加到節點 FG 的電荷如何都使電晶體 3200 成為“非導通狀態”的電位，亦即低於 V_{th_H} 的電位，來唯讀出所希望的記憶單元的資訊。或者，在不讀出資訊的記憶單元中，對第五佈線 3005 施加不管施加到節點 FG 的電荷如何都使電晶體 3200 成為“導通狀態”的電位，亦即高於 V_{th_L} 的電位，來唯讀出所希望的記憶單元的資訊。

[0453] 注意，雖然在上文中示出了兩種電荷被保持在節點 FG 的例子，但是本發明的半導體裝置不侷限於此。例如，可以將三種以上的電荷保持在半導體裝置的節點 FG。藉由採用上述結構，能夠實現該半導體裝置的多位準，而可以增大記憶容量。

[0454]

〈記憶體裝置 1 的結構〉

圖 28 是對應於圖 27A 的半導體裝置的剖面圖。圖 28

所示的半導體裝置包括電晶體 3200、電晶體 3300 以及電容器 3400。電晶體 3300 及電容器 3400 配置於電晶體 3200 的上方。關於電晶體 3300，參照上述電晶體 2100 的記載。關於電晶體 3200，參照圖 24 所示的電晶體 2200 的記載。在圖 24 中，對電晶體 2200 為 p 通道電晶體的情況進行說明，但是電晶體 3200 也可以為 n 通道電晶體。

[0455] 圖 28 所示的電晶體 3200 是使用半導體基板 450 的電晶體。電晶體 3200 包括半導體基板 450 中的區域 472a、半導體基板 450 中的區域 472b、絕緣體 462 以及導電體 454。

[0456] 圖 28 所示的半導體裝置包括絕緣體 464、絕緣體 466、絕緣體 468、導電體 480a、導電體 480b、導電體 480c、導電體 478a、導電體 478b、導電體 478c、導電體 476a、導電體 476b、導電體 474a、導電體 474b、導電體 474c、導電體 496a、導電體 496b、導電體 496c、導電體 496d、導電體 498a、導電體 498b、導電體 498c、絕緣體 489、絕緣體 490、絕緣體 491、絕緣體 492、絕緣體 493 以及絕緣體 494。

[0457] 絕緣體 464 配置於電晶體 3200 上。絕緣體 466 配置於絕緣體 464 上。絕緣體 468 配置於絕緣體 466 上。絕緣體 489 配置於絕緣體 468 上。電晶體 3300 配置於絕緣體 489 上。絕緣體 493 配置於電晶體 3300 上。絕緣體 494 配置於絕緣體 493 上。

[0458] 絕緣體 464 包括到達區域 472a 的開口部、到

達區域 472b 的開口部以及到達導電體 454 的開口部。導電體 480a、導電體 480b 及導電體 480c 分別填充於各開口部中。

[0459] 絕緣體 466 包括到達導電體 480a 的開口部、到達導電體 480b 的開口部以及到達導電體 480c 的開口部。導電體 478a、導電體 478b 及導電體 478c 分別填充於各開口部中。

[0460] 絕緣體 468 包括到達導電體 478b 的開口部以及到達導電體 478c 的開口部。導電體 476a 及導電體 476b 分別填充於各開口部中。

[0461] 絕緣體 489 包括與電晶體 3300 的通道形成區域重疊的開口部、到達導電體 476a 的開口部以及到達導電體 476b 的開口部。導電體 474a、導電體 474b 及導電體 474c 分別填充於各開口部中。

[0462] 導電體 474a 可以具有電晶體 3300 的底閘極電極的功能。或者，例如，也可以藉由對導電體 474a 施加預定的電位，來控制電晶體 3300 的臨界電壓等的電特性。或者，例如，也可以將導電體 474a 與電晶體 3300 的頂閘極電極的導電體 504 電連接。由此，可以增加電晶體 3300 的通態電流。此外，由於可以抑制衝穿現象，因此可以使電晶體 3300 的飽和區中的電特性穩定。

[0463] 絕緣體 490 包括到達導電體 474b 的開口部以及到達導電體 474c 的開口部。注意，因為絕緣體 490 相當於上述實施方式所示的絕緣體 103，所以關於其詳細內

容，可以參照絕緣體 103 的記載。如上述實施方式所示，藉由以覆蓋開口部以外的導電體 474a 至 474c 之上的方式設置絕緣體 490，能夠防止導電體 474a 至 474c 從絕緣體 491 抽出氧。由此，能夠有效地從絕緣體 491 將氧供應到電晶體 3300 的氧化物半導體。

[0464] 絕緣體 491 包括到達導電體 474b 的開口部以及到達導電體 474c 的開口部。注意，因為絕緣體 491 相當於上述實施方式所示的絕緣體 104，所以關於其詳細內容，可以參照絕緣體 104 的記載。

[0465] 如上述實施方式所示，藉由降低絕緣體 491 的水或氫的含量，可以抑制電晶體 2100 的氧化物半導體中的缺陷能階的形成。由此，可以使電晶體 2100 的電特性穩定。

[0466] 此外，這種水或氫的含量得到降低的絕緣體不僅可用於絕緣體 491，而且可以用於其他絕緣體。例如，可以將該絕緣體用於絕緣體 466、絕緣體 468、絕緣體 489、絕緣體 493 等。

[0467] 另外，雖然在圖 24 中未圖示相當於電晶體 20 中的絕緣體 105 及絕緣體 101 的絕緣體，但是當然也可以設置這些絕緣體。例如，可以在絕緣體 468 與絕緣體 489 之間設置相當於絕緣體 101 的絕緣體，也可以在絕緣體 489 與絕緣體 490 之間設置相當於絕緣體 105 的絕緣體。尤其是，當在絕緣體 468 與絕緣體 489 之間設置有相當於絕緣體 101 的具有阻擋水或氫等的功能的絕緣體來如上述

那樣降低絕緣體 491 的水或氫的含量時，可以進一步抑制電晶體 3300 的氧化物半導體中的缺陷能階的形成。

[0468] 絕緣體 492 包括穿過電晶體 3300 的源極電極和汲極電極中的一個的導電體 516b 到達導電體 474b 的開口部、到達隔著絕緣體 511 與電晶體 3300 的源極電極和汲極電極中的另一個的導電體 516a 重疊的導電體 514 的開口部、到達電晶體 3300 的閘極電極的導電體 504 的開口部以及穿過電晶體 3300 的源極電極和汲極電極中的另一個的導電體 516a 到達導電體 474c 的開口部。注意，因為絕緣體 492 相當於上述實施方式所示的絕緣體 116，所以關於其詳細內容，參照絕緣體 116 的記載。

[0469] 絕緣體 493 包括穿過電晶體 3300 的源極電極和汲極電極中的一個的導電體 516b 到達導電體 474b 的開口部、到達隔著絕緣體 511 與電晶體 3300 的源極電極和汲極電極中的另一個的導電體 516a 重疊的導電體 514 的開口部、到達電晶體 3300 的閘極電極的導電體 504 的開口部、穿過電晶體 3300 的源極電極和汲極電極中的另一個的導電體 516a 到達導電體 474c 的開口部。導電體 496a、導電體 496b、導電體 496c 及導電體 496d 分別填充於各開口部中。注意，各開口部有時夾住電晶體 3300 等的任一組件所包括的開口部。

[0470] 絕緣體 494 包括到達導電體 496a 的開口部、到達導電體 496b 的開口部以及到達導電體 496c 的開口部。導電體 498a、導電體 498b 及導電體 498c 分別填充於

各開口部中。

[0471] 絕緣體 464、絕緣體 466、絕緣體 468、絕緣體 489、絕緣體 493 和絕緣體 494 中的一個以上較佳為具有阻擋氫等雜質及氧的功能。藉由在電晶體 3300 附近配置具有阻擋氫等雜質及氧的功能的絕緣體，可以使電晶體 3300 的電特性穩定。

[0472] 電晶體 3200 的源極或汲極藉由導電體 480b、導電體 478b、導電體 476a、導電體 474b 以及導電體 496c 電連接到電晶體 3300 的源極電極和汲極電極中的一個的導電體 516b。電晶體 3200 的閘極電極的導電體 454 藉由導電體 480c、導電體 478c、導電體 476b、導電體 474c 以及導電體 496d 電連接到電晶體 3300 的源極電極和汲極電極中的另一個的導電體 516a。

[0473] 電容器 3400 包括電晶體 3300 的源極電極和汲極電極中的另一個的導電體 516a、導電體 514 以及絕緣體 511。注意，絕緣體 511 可以經過與用作電晶體 3300 的閘極絕緣體的絕緣體同一製程形成，從而可以提高生產率，所以有時是較佳的。另外，當作為導電體 514 使用經過與用作電晶體 3300 的閘極電極的導電體 504 同一製程形成的層時，可以提高生產率，所以有時是較佳的。

[0474] 其他組件的結構可以適當地參照關於圖 24 等的記載。

[0475] 注意，圖 29 所示的半導體裝置的與圖 28 所示的半導體裝置不同之處只在於電晶體 3200 的結構。因

此，圖 29 所示的半導體裝置參照圖 28 所示的半導體裝置的記載。明確而言，在圖 29 所示的半導體裝置中，電晶體 3200 為 Fin 型。Fin 型電晶體 3200 參照圖 25 所示的電晶體 2200 的記載。在圖 25 中，對電晶體 2200 為 p 通道電晶體的情況進行說明，但是電晶體 3200 也可以為 n 通道電晶體。

[0476] 另外，圖 30 所示的半導體裝置的與圖 28 所示的半導體裝置不同之處只在於電晶體 3200 的結構。因此，圖 30 所示的半導體裝置參照圖 28 所示的半導體裝置的記載。明確而言，在圖 30 所示的半導體裝置中，電晶體 3200 設置在 SOI 基板的半導體基板 450 中。設置在 SOI 基板的半導體基板 450 中的電晶體 3200 參照圖 26 所示的電晶體 2200 的記載。在圖 26 中，對電晶體 2200 為 p 通道電晶體的情況進行說明，但是電晶體 3200 也可以為 n 通道電晶體。

[0477]

〈記憶體裝置 2〉

圖 27B 所示的半導體裝置在不包括電晶體 3200 之處與圖 27A 所示的半導體裝置不同。在此情況下也可以藉由與圖 27A 所示的半導體裝置同樣的工作進行資料的寫入及保持工作。

[0478] 說明圖 27B 所示的半導體裝置中的資料讀出。在電晶體 3300 成為導通狀態時，處於浮動狀態的第三佈線 3003 和電容器 3400 導通，且在第三佈線 3003 和

電容器 3400 之間再次分配電荷。其結果是，第三佈線 3003 的電位變化。第三佈線 3003 的電位的變化量根據電容器 3400 的一個電極的電位（或積累於電容器 3400 中的電荷）而具有不同的值。

[0479] 例如，在電容器 3400 的一個電極的電位為 V，電容器 3400 的電容為 C，第三佈線 3003 所具有的電容成分為 CB，再次分配電荷之前的第三佈線 3003 的電位為 VB0 時，再次分配電荷之後的第三佈線 3003 的電位為（CB×VB0+C×V）/（CB+C）。因此，在假定記憶單元處於其電容器 3400 的一個電極的電位為兩種的狀態，亦即 V1 和 V0（V1>V0）時，可以得知保持電位 V1 時的第三佈線 3003 的電位（=（CB×VB0+C×V1）/（CB+C））高於保持電位 V0 時的第三佈線 3003 的電位（=（CB×VB0+C×V0）/（CB+C））。

[0480] 並且，藉由對第三佈線 3003 的電位和規定的電位進行比較，可以讀出資料。

[0481] 在此情況下，可以將上述使用第一半導體的電晶體用於用來驅動記憶單元的驅動電路，且將作為電晶體 3300 使用第二半導體的電晶體層疊在該驅動電路上。

[0482] 上述半導體裝置應用使用氧化物半導體的關態電流較小的電晶體來可以長期間保持存儲內容。也就是說，因為不需要更新工作或可以使更新工作的頻率極低，所以能夠實現低功耗的半導體裝置。此外，即便在沒有功率的情況下（但較佳為固定電位）也能夠長期間保持存儲

內容。

[0483] 此外，因為該半導體裝置在寫入資料時不需要高電壓，所以其中不容易產生元件的劣化。例如，不同於習知的非揮發性記憶體，不需要對浮動閘極注入電子或從浮動閘極抽出電子，因此不會發生絕緣體劣化等問題。換言之，在本發明的一個實施方式的半導體裝置中，在現有非揮發性記憶體中成為問題的重寫次數不受到限制，並且其可靠性得到極大的提高。再者，根據電晶體的導通狀態/關閉狀態進行資料的寫入，所以能夠進行高速工作。

[0484]

〈記憶體裝置 3〉

參照圖 31 所示的電路圖對圖 27A 所示的半導體裝置（記憶體裝置）的變形例子進行說明。

[0485] 圖 31 所示的半導體裝置包括電晶體 4100 至電晶體 4400、電容器 4500 及電容器 4600。在此，作為電晶體 4100 可以使用與上述電晶體 3200 同樣的電晶體，作為電晶體 4200 至 4400 可以使用與上述電晶體 3300 同樣的電晶體。注意，雖然在圖 31 中省略示出，但是多個該圖 31 所示的半導體裝置被設置為矩陣狀。圖 31 所示的半導體裝置可以根據供應到佈線 4001、佈線 4003、佈線 4005 至 4009 的信號或電位而控制資料電壓的寫入及讀出。

[0486] 電晶體 4100 的源極和汲極中的一個連接於佈線 4003。電晶體 4100 的源極和汲極中的另一個連接於佈

線 4001。注意，雖然在圖 31 中示出電晶體 4100 為 p 通道電晶體的情況，但是該電晶體 4100 也可以為 n 通道電晶體。

[0487] 圖 31 所示的半導體裝置包括兩個資料保持部。例如，第一資料保持部在連接於節點 FG1 的電晶體 4400 的源極和汲極中的一個、電容器 4600 的一個電極以及電晶體 4200 的源極和汲極中的一個之間保持電荷。另外，第二資料保持部在連接於節點 FG2 的電晶體 4100 的閘極、電晶體 4200 的源極和汲極中的另一個、電晶體 4300 的源極和汲極中的一個以及電容器 4500 的一個電極之間保持電荷。

[0488] 電晶體 4300 的源極和汲極中的另一個連接於佈線 4003。電晶體 4400 的源極和汲極中的另一個連接於佈線 4001。電晶體 4400 的閘極連接於佈線 4005。電晶體 4200 的閘極連接於佈線 4006。電晶體 4300 的閘極連接於佈線 4007。電容器 4600 的另一個電極連接於佈線 4008。電容器 4500 的另一個電極連接於佈線 4009。

[0489] 電晶體 4200 至 4400 具有控制資料電壓的寫入及電荷的保持的開關的功能。注意，作為電晶體 4200 至 4400 較佳為使用在關閉狀態下流過源極與汲極之間的電流（關態電流）較低的電晶體。作為關態電流較低的電晶體，較佳為使用在其通道形成區域中包括氧化物半導體的電晶體（OS 電晶體）。OS 電晶體具有如下優點：關態電流較低、可以以與包含矽的電晶體重疊的方式製造等。

注意，雖然在圖 31 中示出電晶體 4200 至 4400 為 n 通道電晶體的情況，但是該電晶體 4200 至 4400 也可以為 p 通道電晶體。

[0490] 即便電晶體 4200、電晶體 4300 及電晶體 4400 是使用氧化物半導體的電晶體，也較佳為將該電晶體 4200、電晶體 4300 及電晶體 4400 設置在不同的層中。也就是說，如圖 31 所示，圖 31 所示的半導體裝置較佳為由包括電晶體 4100 的第一層 4021、包括電晶體 4200 及電晶體 4300 的第二層 4022 以及包括電晶體 4400 的第三層 4023 構成。藉由層疊包括電晶體的層，能夠縮小電路面積，而能夠實現半導體裝置的小型化。

[0491] 接著，說明對圖 31 所示的半導體裝置進行的資料寫入工作。

[0492] 首先，說明對連接於節點 FG1 的資料保持部進行的資料電壓的寫入工作（以下稱為寫入工作 1）。注意，以下，寫入到連接於節點 FG1 的資料保持部的資料電壓為 V_{D1}，而電晶體 4100 的臨界電壓為 V_{th}。

[0493] 在寫入工作 1 中，在將佈線 4003 的電位設定為 V_{D1} 並將佈線 4001 的電位設定為接地電位之後，使佈線 4001 處於電浮動狀態。此外，將佈線 4005 及 4006 的電位設定為高位準。另外，將佈線 4007 至 4009 的電位設定為低位準。由此，處於電浮動狀態的節點 FG2 的電位上升，電流流過電晶體 4100。當電流流過時，佈線 4001 的電位上升。此外，電晶體 4400 及電晶體 4200 成為導通

狀態。因此，隨著佈線 4001 的電位上升，節點 FG1 及 FG2 的電位就上升。當節點 FG2 的電位上升而電晶體 4100 的閘極與源極之間的電壓（V_{gs}）成為電晶體 4100 的臨界電壓 V_{th} 時，流過電晶體 4100 中的電流變小。因此，佈線 4001、節點 FG1 及 FG2 的電位上升停止，而被固定為比 V_{D1} 低出 V_{th} 的 "$V_{D1}-V_{th}$"。

[0494] 也就是說，當電流流過電晶體 4100 時，施加到佈線 4003 的 V_{D1} 被施加到佈線 4001，而節點 FG1 及 FG2 的電位上升。當由於電位的上升而節點 FG2 的電位成為 "$V_{D1}-V_{th}$" 時，電晶體 4100 的 V_{gs} 成為 V_{th}，所以電流停止。

[0495] 接著，說明對連接於節點 FG2 的資料保持部進行的資料電壓的寫入工作（以下稱為寫入工作 2）。注意，在該說明中，寫入到連接於節點 FG2 的資料保持部的資料電壓為 V_{D2}。

[0496] 在寫入工作 2 中，在將佈線 4001 的電位設定為 V_{D2} 並將佈線 4003 的電位設定為接地電位之後，使佈線 4003 處於電浮動狀態。此外，將佈線 4007 的電位設定為高位準。另外，將佈線 4005、4006、4008 及 4009 的電位設定為低位準。將電晶體 4300 處於導通狀態，而將佈線 4003 的電位設定為低位準。因此，節點 FG2 的電位也降低到低位準，而電流流過電晶體 4100。當電流流過時，佈線 4003 的電位上升。此外，電晶體 4300 成為導通狀態。因此，隨著佈線 4003 的電位上升，節點 FG2 的電

位就上升。當節點 FG2 的電位上升而電晶體 4100 的 V_{gs} 成為電晶體 4100 的 V_{th} 時，流過電晶體 4100 中的電流變小。因此，佈線 4003 及節點 FG2 的電位的上升停止，而被固定為比 V_{D2} 低出 V_{th} 的 “$V_{D2}-V_{th}$” 。

[0497] 也就是說，當電流流過電晶體 4100 時，施加到佈線 4001 的 V_{D2} 被施加到佈線 4003，而節點 FG2 的電位上升。當由於電位的上升而節點 FG2 的電位成為 “$V_{D2}-V_{th}$” 時，電晶體 4100 的 V_{gs} 成為 V_{th}，所以電流停止。此時，電晶體 4200 和 4400 都處於關閉狀態，而節點 FG1 的電位保持在寫入工作 1 中寫入的 “$V_{D1}-V_{th}$” 。

[0498] 在圖 31 所示的半導體裝置中，在將資料電壓寫入到多個資料保持部之後，將佈線 4009 的電位設定為高位準，而使節點 FG1 及 FG2 的電位上升。然後，使各電晶體關閉以停止電荷移動，來保持所寫入的資料電壓。

[0499] 藉由如上所述的對節點 FG1 及 FG2 進行資料電壓的寫入工作，可以將資料電壓保持在多個資料保持部。注意，雖然作為所寫入的電位的例子舉出了 “$V_{D1}-V_{th}$” 及 “$V_{D2}-V_{th}$” ，但是這些電位是對應於多值的資料的資料電壓。因此，當在各資料保持部中保持 4 位元的資料時，可能會得到 16 個值的 “$V_{D1}-V_{th}$” 及 16 位的 “$V_{D2}-V_{th}$” 。

[0500] 接著，說明對圖 31 所示的半導體裝置進行的資料讀出工作。

[0501] 首先，說明對連接於節點 FG2 的資料保持部

進行的資料電壓的讀出工作（以下稱為讀出工作 1）。

[0502] 在讀出工作 1 中，對預充電後處於電浮動狀態的佈線 4003 進行放電。將佈線 4005 至 4008 的電位設定為低位準。另外，將佈線 4009 的電位設定為低位準，而使處於電浮動狀態的節點 FG2 的電位為“$V_{D2}-V_{th}$”。當節點 FG2 的電位降低時，電流流過電晶體 4100。當電流流過時，電浮動狀態的佈線 4003 的電位降低。隨著佈線 4003 的電位的降低，電晶體 4100 的 V_{gs} 就變小。當電晶體 4100 的 V_{gs} 成為電晶體 4100 的 V_{th} 時，流過電晶體 4100 的電流變小。也就是說，佈線 4003 的電位成為比節點 FG2 的電位“$V_{D2}-V_{th}$”高出 V_{th} 的值的“V_{D2}”。該佈線 4003 的電位對應於連接到節點 FG2 的資料保持部的資料電壓。對所讀出的類比值的資料電壓進行 A/D 轉換，以取得連接於節點 FG2 的資料保持部的資料。

[0503] 也就是說，使經預充電後的佈線 4003 成為浮動狀態，而將佈線 4009 的電位從高位準換到低位準，由此電流流過電晶體 4100。當電流流過時，處於浮動狀態的佈線 4003 的電位降低而成為“V_{D2}”。在電晶體 4100 中，由於節點 FG2 的“$V_{D2}-V_{th}$”與佈線 4003 的“V_{D2}”之間的 V_{gs} 成為 V_{th}，因此電流停止。然後，在寫入工作 2 中寫入的 V_{D2} 被讀出到佈線 4003。

[0504] 在取得連接於節點 FG2 的資料保持部的資料之後，使電晶體 4300 導通，而使節點 FG2 的“$V_{D2}-V_{th}$”放電。

[0505] 接著，將保持在節點 FG1 的電荷分配在節點 FG1 及節點 FG2，而將連接於節點 FG1 的資料保持部的資料電壓移動到連接於節點 FG2 的資料保持部。在此，將佈線 4001 及 4003 的電位設定為低位準。將佈線 4006 的電位設定為高位準。將佈線 4005、佈線 4007 至 4009 的電位設定為低位準。藉由使電晶體 4200 導通，節點 FG1 的電荷被分配在節點 FG1 與節點 FG2 之間。

[0506] 在此，電荷分配後的電位從所寫入的電位“$V_{D1}-V_{th}$”降低。因此，電容器 4600 的電容值較佳大於電容器 4500 的電容值。或者，寫入到節點 FG1 的電位“$V_{D1}-V_{th}$”較佳大於表示相同的資料的電位“$V_{D2}-V_{th}$”。如此，藉由改變電容值的比例而使預先寫入的電位變大，可以抑制電荷分配後的電位下降。關於電荷分配所引起的電位變動，將在後面進行說明。

[0507] 接著，說明對連接於節點 FG1 的資料保持部進行的資料電壓的讀出工作（以下稱為讀出工作 2）。

[0508] 在讀出工作 2 中，對預充電後處於電浮動狀態的佈線 4003 進行放電。將佈線 4005 至 4008 的電位設定為低位準。另外，佈線 4009 的電位在預充電時被設定為高位準，之後被設定為低位準。藉由將佈線 4009 的電位設定為低位準，使處於電浮動狀態的節點 FG2 的電位成為電位“$V_{D1}-V_{th}$”。當節點 FG2 的電位降低時，電流流過電晶體 4100。當電流流過時，電浮動狀態的佈線 4003 的電位降低。隨著佈線 4003 的電位的降低，電晶體

4100 的 V_{gs} 就變小。當電晶體 4100 的 V_{gs} 成為電晶體 4100 的 V_{th} 時，流過電晶體 4100 的電流變小。也就是說，佈線 4003 的電位成為比節點 FG2 的電位 “$V_{D1}-V_{th}$” 高出 V_{th} 的值的 “V_{D1}” 。該佈線 4003 的電位對應於連接到節點 FG1 的資料保持部的資料電壓。對所讀出的類比值的資料電壓進行 A/D 轉換，以取得連接於節點 FG1 的資料保持部的資料。以上是對連接於節點 FG1 的資料保持部進行的資料電壓的讀出工作。

[0509] 也就是說，使經預充電後的佈線 4003 成為浮動狀態，而將佈線 4009 的電位從高位準換到低位準，由此電流流過電晶體 4100。當電流流過時，處於浮動狀態的佈線 4003 的電位降低而成為 V_{D1}。在電晶體 4100 中，由於節點 FG2 的 “$V_{D1}-V_{th}$” 與佈線 4003 的 “V_{D1}” 之間的 V_{gs} 成為 V_{th}，因此電流停止。然後，在寫入工作 1 中寫入的 “V_{D1}” 被讀出到佈線 4003。

[0510] 藉由如上所述的對節點 FG1 及 FG2 進行資料電壓的讀出工作，可以從多個資料保持部讀出資料電壓。例如，藉由在節點 FG1 及節點 FG2 的每一個中保持 4 位（16 個值）的資料，總共可以保持 8 位（256 個值）的資料。另外，雖然在圖 31 中採用了由第一層 4021 至第三層 4023 構成的結構，但是藉由形成更多的層，能夠實現記憶容量的增大而無需增加半導體裝置的面積。

[0511] 注意，所讀出的電位可以作為比所寫入的資料電壓高出 V_{th} 的電壓被讀出。因此，可以藉由抵消在寫

入工作中寫入的“$V_{D1}-V_{th}$”或“$V_{D2}-V_{th}$”的 V_{th} 而讀出。其結果是，在可以提供每記憶單元的記憶容量的同時，還可以將所讀出的資料接近於正確的資料，所以可以實現較高的資料可靠性。

[0512] 圖 32 示出對應於圖 31 的半導體裝置的剖面圖。圖 32 所示的半導體裝置包括電晶體 4100 至電晶體 4400、電容器 4500 及電容器 4600。在此，電晶體 4100 形成在第一層 4021 中，電晶體 4200、4300 及電容器 4500 形成在第二層 4022 中，並且，電晶體 4400 及電容器 4600 形成在第三層 4023 中。

[0513] 在此，關於電晶體 4200 至 4400 可以參照電晶體 3300 的記載，關於電晶體 4100 可以參照電晶體 3200 的記載。另外，關於其他佈線及絕緣體等也可以適當地參照圖 28 的記載。

[0514] 注意，在圖 28 所示的半導體裝置的電容器 3400 中，以平行於基板的方式設置導電層而形成電容器，但是在電容器 4500 及 4600 中，將導電層設置為溝槽形狀而形成電容器。藉由採用這種結構，即便佔有面積相同也能夠確保較大的電容值。

[0515]

<記憶體裝置 4>

圖 27C 所示的半導體裝置的與圖 27A 所示的半導體裝置不同之處在於包括電晶體 3500 及第六佈線 3006。在此情況下也可以藉由與圖 27A 所示的半導體裝置相同的工

作進行資訊的寫入及保持工作。另外，作為電晶體3500，可以使用與上述電晶體3200相同的電晶體。

[0516] 第六佈線3006與電晶體3500的閘極電連接，電晶體3500的源極和汲極中的一個與電晶體3200的汲極電連接，電晶體3500的源極和汲極中的另一個與第三佈線3003電連接。

[0517] 圖33示出圖27C所示的半導體裝置的剖面圖的一個例子。圖34示出大致與圖33所示的B1-B2方向垂直的B3-B4方向的剖面的一個例子。圖33及圖34所示的圖27C中的半導體裝置包括層1627至層1631的5個層。層1627包括電晶體3200、電晶體3500、電晶體3600。層1628及層1629包括電晶體3300。

[0518] 層1627包括基板1400、基板1400上的電晶體3200、電晶體3500、電晶體3600、電晶體3200等上的絕緣體1464以及插頭1541等的插頭。插頭1541等例如與電晶體3200等的閘極電極、源極電極或汲極電極等連接。插頭1541較佳為以填充絕緣體1464的方式形成。

[0519] 關於電晶體3200、電晶體3500、電晶體3600，可以參照電晶體2200的記載。

[0520] 作為絕緣體1464，例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等。

[0521] 絕緣體1464可以藉由濺射法、CVD法(包括熱CVD法、MOCVD法、PECVD法等)、MBE法、ALD

法或 PLD 法等形成。尤其是，當利用 CVD 法，較佳為利用電漿 CVD 法形成該絕緣體時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0522] 另外，作為絕緣體 1464，可以使用碳氮化矽（silicon carbonitride）、氧碳化矽（silicon oxycarbide）等。此外，可以使用 USG(Undoped Silicate Glass：未摻雜矽玻璃)、BPSG(Boron Phosphorus Silicate Glass：硼磷矽玻璃)、BSG(Borosilicate Glass：硼矽玻璃)等。可以利用常壓 CVD 法形成 USG、BPSG 等。此外，例如可以利用塗布法形成 HSQ(氫倍半矽氧烷)等。

[0523] 絕緣體 1464 可以為單層或者層疊有多種材料的疊層。

[0524] 在此，圖 33 示出絕緣體 1464 包括絕緣體 1464a 和該絕緣體 1464a 上的絕緣體 1464b 的兩層的例子。

[0525] 絕緣體 1464a 較佳為具有與電晶體 3200 的區域 1476 及用作電晶體 3200 等的閘極的導電體 1454 等之間的良好的緊密性及覆蓋性。

[0526] 作為絕緣體 1464a 的一個例子，可以使用利用 CVD 法形成的氮化矽。在此，絕緣體 1464a 有時較佳為包含氫。當絕緣體 1464a 具有氫時，有時減少基板 1400 所包含的缺陷等，並且提高電晶體 3200 等的特性。例如，在作為基板 1400 使用包含矽的材料的情況下，可

以利用氫使矽的懸空鍵等的缺陷終結。

[0527] 在此，較佳的是，在導電體 1454 等位於絕緣體 1464a 下方的導電體與導電體 1511 等形成在絕緣體 1464b 上的導電體之間形成的寄生電容較小。由此，絕緣體 1464b 的介電常數較佳為低。絕緣體 1464b 的介電常數較佳為比用作電晶體 3200 等的閘極絕緣體的絕緣體 1462 低。此外，絕緣體 1464b 的介電常數較佳為比絕緣體 1464a 低。例如，絕緣體 1464b 的相對介電常數較佳低於 4，更佳低於 3。此外，例如，絕緣體 1464b 的相對介電常數較佳為絕緣體 1464a 的相對介電常數的 0.7 倍以下，更佳為 0.6 倍以下。

[0528] 在此，作為一個例子，可以使用氮化矽作為絕緣體 1464a，並可以使用 USG 作為絕緣體 1464b。

[0529] 藉由使用氮化矽及碳氮化矽等透銅性低的材料作為絕緣體 1464a 及絕緣體 1581a 等，當作為導電體 1511 等使用銅時，有時可以抑制銅擴散到絕緣體 1464a 及絕緣體 1581a 等的上下方的層中。

[0530] 另外，例如銅等雜質有可能從沒有被導電體 1511a 覆蓋的導電體 1511b 的頂面藉由絕緣體 1584 等擴散到其上方的層。因此，導電體 1511b 上的絕緣體 1584 較佳為使用對銅等雜質的透過性低的材料。例如，絕緣體 1584 可以採用與絕緣體 1581a 及絕緣體 1581b 的疊層結構同樣的疊層結構。

[0531] 層 1628 包括絕緣體 1581、絕緣體 1581 上的

絕緣體 1584、絕緣體 1584 上的絕緣體 1571 以及絕緣體 1571 上的絕緣體 1585。此外，層 1628 還包括絕緣體 1464 上的導電體 1511 等、與導電體 1511 等連接的插頭 1543 等以及絕緣體 1571 上的導電體 1513。導電體 1511 較佳為以填充絕緣體 1581 的方式形成。插頭 1543 等較佳為以填充絕緣體 1584 及絕緣體 1571 的方式形成。導電體 1513 較佳為以填充絕緣體 1585 的方式形成。

[0532] 另外，層 1628 也可以包括導電體 1413。導電體 1413 較佳為以填充絕緣體 1585 的方式形成。

[0533] 作為絕緣體 1584 及絕緣體 1585，例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等。

[0534] 絕緣體 1584 及絕緣體 1585 可以藉由濺射法、CVD 法(包括熱 CVD 法、MOCVD 法、PECVD 法等)、MBE 法、ALD 法或 PLD 法等形成。尤其是，當利用 CVD 法，較佳為利用電漿 CVD 法形成該絕緣體時，可以提高覆蓋性，所以是較佳的。此外，較佳為使用四乙氧基矽烷（TEOS：$Si(OC_2H_5)_4$）作為沉積氣體進行成膜，並且較佳為邊加熱邊進行成膜。藉由這樣的方式形成絕緣體 1584 及絕緣體 1585 等，可以降低膜中的氫濃度。在進行加熱時，較佳為以較低的溫度範圍（例如大約為 350℃以上且 445℃以下的溫度範圍）進行加熱。此外，可以將這樣膜中的氫濃度得到降低的絕緣體用作其他層間絕緣膜。

[0535] 另外，為了減少電漿所導致的損傷，較佳為

利用熱 CVD 法、MOCVD 法或 ALD 法。

[0536] 另外，作為絕緣體 1584 及絕緣體 1585，可以使用碳化矽、碳氮化矽（silicon carbonitride）、氧碳化矽（silicon oxycarbide）等。此外，可以使用 USG (Undoped Silicate Glass：未摻雜矽玻璃)、BPSG(Boron Phosphorus Silicate Glass：硼磷矽玻璃)、BSG (Borosilicate Glass：硼矽玻璃)等。可以利用常壓 CVD 法形成 USG、BPSG 等。此外，例如可以利用塗布法形成 HSQ(氫倍半矽氧烷)等。

[0537] 絕緣體 1584 及絕緣體 1585 可以為單層或者層疊有多種材料的疊層。

[0538] 絕緣體 1581 可以層疊多個層而形成。例如，如圖 33 所示，絕緣體 1581 可以包括絕緣體 1581a 及該絕緣體 1581a 上的絕緣體 1581b 的兩層。

[0539] 此外，插頭 1543 在絕緣體 1571 上具有凸部。

[0540] 作為導電體 1511、導電體 1513、導電體 1413 及插頭 1543 等，可以使用金屬材料、合金材料或金屬氧化物材料等導電性材料。例如，可以採用鋁、鈦、鉻、鎳、銅、釔、鋯、鉭、鉬、銀、鉭或鎢等金屬或者以這些金屬為主要成分的合金的單層結構或疊層結構。此外，可以使用氮化鎢、氮化鉬、氮化鈦等金屬氮化物。

[0541] 在此，導電體 1511 及導電體 1513 等的導電體較佳為被用作圖 27C 所示的半導體裝置的佈線。因此，

有時將這些導電體稱為佈線或佈線層。此外，較佳為利用插頭 1543 等的插頭連接這些導電體之間。

[0542] 關於絕緣體 1581，可以參照絕緣體 1464 的記載。此外，絕緣體 1581 可以為單層或者層疊有多種材料的疊層。在此，圖 33 示出絕緣體 1581 包括絕緣體 1581a 和該絕緣體 1581a 上的絕緣體 1581b 的兩層的例子。關於可用於絕緣體 1581a 及絕緣體 1581b 的材料及形成方法，分別可以參照可用於絕緣體 1464a 及絕緣體 1464b 的材料及形成方法的記載。

[0543] 作為絕緣體 1581a 的一個例子可以使用利用 CVD 法形成的氮化矽。當在圖 27C 的半導體裝置所包括的半導體元件，例如電晶體 3300 等中，氫擴散到該半導體元件時，該半導體元件的特性有時下降。因此作為絕緣體 1581a 較佳為使用氫的釋放量少的膜。氫的釋放量例如可以利用熱脫附譜分析法（TDS:Thermal Desorption Spectroscopy）等進行分析。絕緣體 1581a 的藉由 TDS 分析在 50℃至 500℃的範圍內換算為氫原子的氫的釋放量例如為 5×10^{20}atoms/cm^3 以下，較佳為 2×10^{20}atoms/cm^3 以下，更佳為 1×10^{20}atoms/cm^3 以下。或者，絕緣體 1581a 的單位面積中的換算為氫原子的氫的釋放量例如可以為 5×10^{15}atoms/cm^2 以下，較佳為 2×10^{15}atoms/cm^2 以下，更佳為 1×10^{15}atoms/cm^2 以下。

[0544] 這種氫原子的脫離量少的氮化矽不僅用於絕緣體 1581a，而且可以用於圖 33 所示的在絕緣體 1581a 上

方的層的絕緣體。此外，除了上述氮化矽之外，也可以使用與上述實施方式所示的含氫量及含水量得到減少的絕緣體 104 同樣的絕緣體。

[0545] 絕緣體 1581b 的介電常數較佳為比絕緣體 1581a 低。例如，絕緣體 1581b 的相對介電常數較佳低於 4，更佳低於 3。此外，例如，絕緣體 1581b 的相對介電常數較佳為絕緣體 1581a 的相對介電常數的 0.7 倍以下，更佳為 0.6 倍以下。

[0546] 絕緣體 1571 較佳為使用雜質的透過性低的絕緣材料形成。例如，絕緣體 1571 的透氧性較佳為低。此外，例如，絕緣體 1571 的透氫性較佳為低。此外，例如，絕緣體 1571 的透水性較佳為低。

[0547] 作為絕緣體 1571，例如可以使用氧化鋁、氧化鉿、氧化鉭、氧化鋯、鋯鈦酸鉛（PZT）、鈦酸鍶（$SrTiO_3$）或（Ba，Sr）TiO_3（BST）、氮化矽等的單層或疊層。或者，例如可以對這些絕緣體添加氧化鋁、氧化鉍、氧化鍺、氧化鈮、氧化矽、氧化鈦、氧化鎢、氧化釔、氧化鋯、氧化鎵。此外，可以對這些絕緣體進行氮化處理來形成氧氮化物。可以在上述絕緣體上層疊氧化矽、氧氮化矽或氮化矽。尤其是，氧化鋁對水或氫具有優良的阻擋性，所以是較佳的。

[0548] 此外，作為絕緣體 1571，例如可以使用碳化矽、碳氮化矽、氧碳化矽等。

[0549] 作為絕緣體 1571，可以層疊水或氫的透過性

低的材料的層和包含其他絕緣材料的層。例如，可以使用包含氧化矽或氧氮化矽的層、包含金屬氧化物的層等的疊層。

[0550] 在此，例如，當圖 27C 所示的半導體裝置包括絕緣體 1571 時，可以抑制導電體 1513 及導電體 1413 等所包含的元素擴散到絕緣體 1571 及其下方的層（絕緣體 1584、絕緣體 1581、層 1627 等）。

[0551] 在此，在絕緣體 1571 的介電常數比絕緣體 1584 高的情況下，絕緣體 1571 的厚度較佳為比絕緣體 1584 小。絕緣體 1584 的相對介電常數例如較佳為絕緣體 1571 的相對介電常數的 0.7 倍以下，更佳為 0.6 倍以下。此外，例如，絕緣體 1571 的厚度較佳為 5nm 以上且 200nm 以下，更佳為 5nm 以上且 60nm 以下，絕緣體 1584 的厚度較佳為 30nm 以上且 800nm 以下，更佳為 50nm 以上且 500nm 以下。例如，絕緣體 1571 的厚度較佳為絕緣體 1584 的厚度的三分之一以下。

[0552] 層 1629 包括電晶體 3300、插頭 1544 及插頭 1544b 等的插頭。插頭 1544 及插頭 1544b 等的插頭與層 1628 所包括的導電體 1513、電晶體 3300 所包括的閘極電極、源極電極或汲極電極連接。關於電晶體 3300 的結構，可以參照上述電晶體 20、電晶體 2100 等的記載。

[0553] 電晶體 3300 包括導電體 1413、絕緣體 1571a、絕緣體 1402、導電體 1416a、導電體 1416b、導電體 1404、絕緣體 1408、絕緣體 1591。關於導電體 1413、

絕緣體 1571a、絕緣體 1402、導電體 1416a、導電體 1416b、導電體 1404、絕緣體 1408 及絕緣體 1591，分別可以參照導電體 102、絕緣體 103、絕緣體 104、導電體 108a、導電體 108b、導電體 114、絕緣體 116 及絕緣體 118。

[0554] 此外，如圖 76 及圖 77 所示，可以設置相當於電晶體 20 中的絕緣體 105 的絕緣體 1402a。圖 76 及圖 77 對應於圖 33 及圖 34，並且圖 76 及圖 77 的與圖 33 及圖 34 不同之處只在於設置有絕緣體 1402a。例如，可以在絕緣體 1585 與絕緣體 1571a 之間設置有絕緣體 1402a。在絕緣體 1402a、絕緣體 1571a 及絕緣體 1402 之中，絕緣體 1571a 較佳為具有電子俘獲區域。當絕緣體 1402a 及絕緣體 1402 具有抑制電子釋放的功能時，被絕緣體 1571a 俘獲的電子像固定負電荷那樣動作。因此，藉由對絕緣體 1571a 注入電子，可以改變電晶體 3300 的臨界電壓。藉由對導電體 1413 施加正電位或負電位來可以對絕緣體 1571a 注入電子。

[0555] 另外，根據對導電體 1413 施加電位的時間或/及所施加的電位，可以調整電子注入量，因此，可以獲得所希望的電晶體的臨界電壓。可以將施加於導電體 1413 的電位設定為在絕緣體 1402a 中使穿隧電流流過的程度的電位。例如，可以施加 20V 以上且 60V 以下，較佳為 24V 以上且 50V 以下，更佳為 30V 以上且 45V 以下的電位。電位的施加時間例如可以為 0.1 秒以上且 20 秒以

下，較佳為 0.2 秒以上且 10 秒以下的範圍內。

[0556] 與上述實施方式同樣地，設置在絕緣體 1571 與相當於電晶體 20 的絕緣體 106a 的絕緣體之間的絕緣體的疊層膜（在本實施方式中，絕緣體 1585、絕緣體 1402a、絕緣體 1571a 及絕緣體 1402 的疊層膜）所包含的水或氫的含量較佳為少。如上所述，在絕緣體 1571 為具有阻擋水或氫的功能的絕緣體的情況下，當形成成為電晶體 20 的絕緣體 106a 及半導體 106b 的氧化物時，供應給該氧化物的水或氫是包含在絕緣體 1585、絕緣體 1402a、絕緣體 1571a 及絕緣體 1402 中的。由此，若當形成該氧化物時在絕緣體 1585、絕緣體 1402a、絕緣體 1571a 及絕緣體 1402 的疊層膜中，尤其在絕緣體 1402 中包含的水或氫的含量足夠少，就可以減少供應給該氧化物的水或氫。

[0557] 另外，導電體 1416a 及導電體 1416b 較佳為包含對與其頂面接觸的插頭 1544b 所包含的元素的透過性低的材料。

[0558] 導電體 1416a 及導電體 1416b 可以為疊層膜。作為一個例子，在此，導電體 1416a 及導電體 1416b 為第一層和第二層的疊層。在此，在氧化物半導體層上形成第一層，並在第一層上形成第二層。第一層例如使用鎢，第二層例如使用氮化鉭。在此，插頭 1544b 等例如使用銅。銅具有低電阻率，較佳為用於插頭或佈線等的導電體。另一方面，銅容易擴散，在擴散到電晶體的半導體層或閘極絕緣膜等時，有時引起電晶體的特性下降。當導電

體 1416a 及導電體 1416b 包含氮化鉭時，有時可以抑制插頭 1544b 等所包含的銅擴散到氧化物半導體層。

[0559] 本發明的一個實施方式的圖 27C 所示的半導體裝置較佳為具有在插頭或佈線等包含帶來半導體元件的特性下降的元素及化合物的情況下可以抑制該元素及化合物擴散到半導體元件的結構。

[0560] 層 1630 包括絕緣體 1592、導電體 1514 等的導電體以及插頭 1545 等的插頭。插頭 1545 等與導電體 1514 等的導電體連接。

[0561] 層 1631 包括電容器 3400。電容器 3400 包括導電體 1516、導電體 1517 以及絕緣體 1572。絕緣體 1572 具有夾在導電體 1516 與導電體 1517 之間的區域。層 1631 較佳為包括絕緣體 1594 及導電體 1517 上的插頭 1547。插頭 1547 較佳為以填充絕緣體 1594 的方式形成。層 1631 較佳為包括連接到層 1630 所包括的插頭的導電體 1516b 及導電體 1516b 上的插頭 1547b。

[0562] 層 1631 也可以包括連接到插頭 1547 或插頭 1547b 的佈線層。在圖 33 所示的例子中，佈線層包括連接到插頭 1547 或插頭 1547b 的導電體 1518 等、導電體 1518 上的插頭 1548、絕緣體 1595、插頭 1548 上的導電體 1519 以及導電體 1519 上的絕緣體 1599。插頭 1548 較佳為以填充絕緣體 1595 的方式形成。絕緣體 1599 在導電體 1519 上具有開口部。

[0563] 本實施方式所示的結構可以與其他實施方式

所示的結構適當地組合而使用。

[0564]

實施方式 5

在本實施方式中，對利用本發明的一個實施方式的電晶體等的攝像裝置的一個例子進行說明。

[0565]

〈攝像裝置〉

以下對本發明的一個實施方式的攝像裝置進行說明。

[0566] 圖 35A 是示出本發明的一個實施方式的攝像裝置 200 的例子的平面圖。攝像裝置 200 包括像素部 210、用來驅動像素部 210 的週邊電路 260、週邊電路 270、週邊電路 280 及週邊電路 290。像素部 210 包括配置為 p 行 q 列（p 及 q 為 2 以上的整數）的矩陣狀的多個像素 211。週邊電路 260、週邊電路 270、週邊電路 280 及週邊電路 290 分別與多個像素 211 連接，並具有供應用來驅動多個像素 211 的信號的功能。此外，在本說明書等中，有時將週邊電路 260、週邊電路 270、週邊電路 280 及週邊電路 290 等總稱為“週邊電路”或“驅動電路”。例如，週邊電路 260 也可以說是週邊電路的一部分。

[0567] 攝像裝置 200 較佳為包括光源 291。光源 291 能夠發射檢測光 P1。

[0568] 週邊電路至少包括邏輯電路、開關、緩衝器、放大電路或轉換電路中的一個。此外，也可以在形成像素部 210 的基板上製造週邊電路。另外，也可以將 IC

晶片等半導體裝置用於週邊電路的一部分或全部。注意，也可以省略週邊電路 260、週邊電路 270、週邊電路 280 和週邊電路 290 中的一個以上。

[0569] 如圖 35B 所示，在攝像裝置 200 所包括的像素部 210 中，也可以以像素 211 傾斜的方式配置。藉由以像素 211 傾斜的方式配置，可以縮短在行方向上及列方向上的像素間隔（間距）。由此，可以提高攝像裝置 200 的攝像質量。

[0570]

〈像素的結構例子 1〉

藉由使攝像裝置 200 所包括的一個像素 211 由多個子像素 212 構成，且使每個子像素 212 與使特定的波長區域的光透過的濾光片（濾色片）組合，可以獲得用來實現彩色影像顯示的資料。

[0571] 圖 36A 是示出用來取得彩色影像的像素 211 的一個例子的平面圖。圖 36A 所示的像素 211 包括設置有使紅色（R）的波長區域的光透過的濾色片的子像素 212（以下也稱為“子像素 212R”）、設置有使綠色（G）的波長區域的光透過的濾色片的子像素 212（以下也稱為“子像素 212G”）及設置有使藍色（B）的波長區域的光透過的濾色片的子像素 212（以下也稱為“子像素 212B”）。子像素 212 可以被用作光感測器。

[0572] 子像素 212（子像素 212R、子像素 212G 及子像素 212B）與佈線 231、佈線 247、佈線 248、佈線

249、佈線 250 電連接。此外，子像素 212R、子像素 212G 及子像素 212B 分別連接於獨立的佈線 253。在本說明書等中，例如將與第 n 行的像素 211 連接的佈線 248 及佈線 249 分別稱為佈線 248[n]及佈線 249[n]。此外，例如，將與第 m 列的像素 211 連接的佈線 253 稱為佈線 253[m]。此外，在圖 36A 中，將與第 m 列的像素 211 所包括的子像素 212R 連接的佈線 253 稱為佈線 253[m]R，將與子像素 212G 連接的佈線 253 稱為佈線 253[m]G，將與子像素 212B 連接的佈線 253 稱為佈線 253[m]B。子像素 212 藉由上述佈線與週邊電路電連接。

[0573] 攝像裝置 200 具有相鄰的像素 211 的設置有使相同的波長區域的光透過的濾色片的子像素 212 藉由開關彼此電連接的結構。圖 36B 示出配置在第 n 行（n 為 1 以上且 p 以下的整數）第 m 列（m 為 1 以上且 q 以下的整數）的像素 211 所包括的子像素 212 與相鄰於該像素 211 的配置在第 n+1 行第 m 列的像素 211 所包括的子像素 212 的連接例子。在圖 36B 中，配置在第 n 行第 m 列的子像素 212R 與配置在第 n+1 行第 m 列的子像素 212R 藉由開關 201 連接。此外，配置在第 n 行第 m 列的子像素 212G 與配置在第 n+1 行第 m 列的子像素 212G 藉由開關 202 連接。此外，配置在第 n 行第 m 列的子像素 212B 與配置在第 n+1 行第 m 列的子像素 212B 藉由開關 203 連接。

[0574] 用於子像素 212 的濾色片不侷限於紅色（R）濾色片、綠色（G）濾色片、藍色（B）濾色片，也可以

使用使青色（C）、黃色（Y）及洋紅色（M）的光透過的濾色片。藉由在一個像素 211 中設置檢測三種不同波長區域的光的子像素 212，可以獲得全彩色影像。

[0575] 或者，可以使用如下像素 211，該像素 211 除了包括分別設置有使紅色（R）、綠色（G）及藍色（B）的光透過的濾色片的各子像素 212 以外，還包括設置有使黃色（Y）的光透過的濾色片的子像素 212。或者，可以使用如下像素 211，該像素 211 除了包括分別設置有使青色（C）、黃色（Y）及洋紅色（M）的光透過的濾色片的各子像素 212 以外，還包括設置有使藍色（B）的光透過的濾色片的子像素 212。藉由在一個像素 211 中設置檢測四種不同波長區域的光的子像素 212，可以進一步提高所獲得的影像的顏色再現性。

[0576] 例如，在圖 36A 中，檢測紅色的波長區域的光的子像素 212、檢測綠色的波長區域的光的子像素 212 及檢測藍色的波長區域的光的子像素 212 的像素數比（或受光面積比）不侷限於 1:1:1。例如，也可以採用像素數比（受光面積比）為紅色:綠色:藍色=1:2:1 的 Bayer 排列。或者，像素數比（受光面積比）也可以為紅色:綠色:藍色=1:6:1。

[0577] 設置在像素 211 中的子像素 212 的數量可以為一個，但較佳為兩個以上。例如，藉由設置兩個以上的檢測相同的波長區域的光的子像素 212，可以提高冗餘性，由此可以提高攝像裝置 200 的可靠性。

[0578] 此外，藉由使用反射或吸收可見光且使紅外光透過的 IR（IR：Infrared）濾光片，可以實現檢測紅外光的攝像裝置 200。

[0579] 藉由使用 ND（ND：Neutral Density）濾光片（減光濾光片），可以防止大光量光入射光電轉換元件（受光元件）時產生的輸出飽和。藉由組合使用減光量不同的 ND 濾光片，可以增大攝像裝置的動態範圍。

[0580] 除了上述濾光片以外，還可以在像素 211 中設置透鏡。這裡，參照圖 37A 及圖 37B 的剖面圖說明像素 211、濾光片 254、透鏡 255 的配置例子。藉由設置透鏡 255，可以使光電轉換元件高效地受光。明確而言，如圖 37A 所示，可以使光 256 穿過形成在像素 211 中的透鏡 255、濾光片 254（濾光片 254R、濾光片 254G 及濾光片 254B）及像素電路 230 等而入射到光電轉換元件 220。

[0581] 注意，如由點劃線圍繞的區域所示，有時箭頭所示的光 256 的一部分被佈線 257 的一部分遮蔽。因此，如圖 37B 所示，較佳為採用在光電轉換元件 220 一側配置透鏡 255 及濾光片 254，而使光電轉換元件 220 高效地接收光 256 的結構。藉由從光電轉換元件 220 一側將光 256 入射到光電轉換元件 220，可以提供檢測靈敏度高的攝像裝置 200。

[0582] 作為圖 37A 及圖 37B 所示的光電轉換元件 220，也可以使用形成有 pn 接面或 pin 接面的光電轉換元件。

[0583] 光電轉換元件 220 也可以使用具有吸收輻射產生電荷的功能的物質形成。作為具有吸收輻射產生電荷的功能的物質，可舉出硒、碘化鉛、碘化汞、砷化鎵、碲化鎘、鎘鋅合金等。

[0584] 例如，在將硒用於光電轉換元件 220 時，可以實現對可見光、紫外光、紅外光、X 射線、伽瑪射線等較寬的波長區域具有光吸收係數的光電轉換元件 220。

[0585] 在此，攝像裝置 200 所包括的一個像素 211 除了圖 36A 及圖 36B 所示的子像素 212 以外，還可以包括具有第一濾光片的子像素 212。

[0586]

〈像素的結構例子 2〉

下面，對包括使用矽的電晶體及使用氧化物半導體的電晶體的像素的一個例子進行說明。

[0587] 圖 38A 及圖 38B 是構成攝像裝置的元件的剖面圖。圖 38A 所示的攝像裝置包括設置在矽基板 300 上的使用矽形成的電晶體 351、在電晶體 351 上層疊配置的使用氧化物半導體形成的電晶體 352 及電晶體 353 以及設置在矽基板 300 中的光電二極體 360。各電晶體及光電二極體 360 與各種插頭 370 及佈線 371 電連接。此外，光電二極體 360 的陽極 361 藉由低電阻區域 363 與插頭 370 電連接。

[0588] 攝像裝置包括：包括設置在矽基板 300 上的電晶體 351 及光電二極體 360 的層 310、以與層 310 接觸

的方式設置且包括佈線 371 的層 320、以與層 320 接觸的方式設置且包括電晶體 352 及電晶體 353 的層 330、以與層 330 接觸的方式設置且包括佈線 372 及佈線 373 的層 340。

[0589] 在圖 38A 的剖面圖的一個例子中，在矽基板 300 中，在與形成有電晶體 351 的面相反一側設置有光電二極體 360 的受光面。藉由採用該結構，可以確保光路而不受各種電晶體或佈線等的影響。因此，可以形成高開口率的像素。此外，光電二極體 360 的受光面也可以是與形成有電晶體 351 的面相同的面。

[0590] 在像素僅包括使用氧化物半導體的電晶體時，層 310 為包括使用氧化物半導體的電晶體的層，即可。或者，像素也可以只包括使用氧化物半導體的電晶體而省略層 310。

[0591] 在像素僅包括使用矽的電晶體時，也可以省略層 330。圖 38B 示出省略層 330 的剖面圖的一個例子。

[0592] 矽基板 300 也可以是 SOI 基板。此外，也可以使用包含鍺、矽鍺、碳化矽、砷化鎵、砷化鋁鎵、磷化銦、氮化鎵或有機半導體的基板代替矽基板 300。

[0593] 這裡，在包括電晶體 351 及光電二極體 360 的層 310 與包括電晶體 352 及電晶體 353 的層 330 之間設置有絕緣體 380。注意，絕緣體 380 的位置不侷限於此。

[0594] 設置在電晶體 351 的通道形成區域附近的絕緣體中的氫使矽的懸空鍵終結，由此可以提高電晶體 351

的可靠性。另一方面，設置在電晶體 352 及電晶體 353 等附近的絕緣體中的氫有可能成為在氧化物半導體中生成載子的原因之一。因此，有時引起電晶體 352 及電晶體 353 等的可靠性的下降。因此，當在使用矽類半導體的電晶體上層疊設置使用氧化物半導體的電晶體時，較佳為在它們之間設置具有阻擋氫的功能的絕緣體 380。藉由將氫封閉在絕緣體 380 下，可以提高電晶體 351 的可靠性。再者，由於可以抑制氫從絕緣體 380 下擴散至絕緣體 380 上，所以可以提高電晶體 352 及電晶體 353 等的可靠性。

[0595] 作為絕緣體 380 例如使用具有阻擋氧或氫的功能的絕緣體。

[0596] 在圖 38A 的剖面圖中，可以以設置在層 310 中的光電二極體 360 與設置在層 330 中的電晶體重疊的方式形成。因此，可以提高像素的集成度。就是說，可以提高攝像裝置的解析度。

[0597] 如圖 39A1 及圖 39B1 所示，可以使攝像裝置的一部分或全部彎曲。圖 39A1 示出使攝像裝置在該圖式中的點劃線 X1-X2 的方向上彎曲的狀態。圖 39A2 是沿著圖 39A1 中的點劃線 X1-X2 所示的部分的剖面圖。圖 39A3 是沿著圖 39A1 中的點劃線 Y1-Y2 所示的部分的剖面圖。

[0598] 圖 39B1 示出使攝像裝置在該圖式中的點劃線 X3-X4 的方向上彎曲且在該圖式中的點劃線 Y3-Y4 的方向上彎曲的狀態。圖 39B2 是沿著圖 39B1 中的點劃線 X3-

X4 所示的部分的剖面圖。圖 39B3 是沿著圖 39B1 中的點劃線 Y3-Y4 所示的部分的剖面圖。

[0599] 藉由使攝像裝置彎曲，可以降低像場彎曲或像散（astigmatism）。因此，可以促進與攝像裝置組合使用的透鏡等的光學設計。例如，由於可以減少用於像差校正的透鏡的數量，因此可以實現使用攝像裝置的電子裝置等的小型化或輕量化。此外，可以提高所拍攝的影像的質量。

[0600] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

[0601]

實施方式 6

在本實施方式中，對包括本發明的一個實施方式的電晶體或上述記憶體裝置等半導體裝置的 CPU 的一個例子進行說明。

[0602]

〈CPU 的結構〉

圖 40 是示出其一部分使用上述電晶體的 CPU 的一個例子的結構的方塊圖。

[0603] 圖 40 所示的 CPU 在基板 1190 上具有：ALU1191（ALU：Arithmetic logic unit：算術電路）、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面 1198、能夠重寫的 ROM1199 以及 ROM 介面

1189。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 40 所示的 CPU 只是簡化其結構而示的一個例子而已，所以實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 40 所示的 CPU 或算術電路的結構為核心，設置多個該核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以為 8 位元、16 位元、32 位元、64 位元等。

[0604] 藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼後輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195。

[0605] ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在執行 CPU 的程式時，根據其優先度或遮罩狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的地址，並根據 CPU 的狀態進行暫存器 1196 的讀出或寫入。

[0606] 另外，時序控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例

如，時序控制器 1195 具有根據基準時脈信號 CLK1 來生成內部時脈信號 CLK2 的內部時脈生成器，並將內部時脈信號 CLK2 供應到上述各種電路。

[0607] 在圖 40 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。可以將上述電晶體或記憶體裝置等用於暫存器 1196 的記憶單元。

[0608] 在圖 40 所示的 CPU 中，暫存器控制器 1197 根據來自 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇是由正反器保持資料還是由電容器保持資料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容器保持資料的情況下，對電容器進行資料的重寫，而可以停止對暫存器 1196 中的記憶單元供應電源電壓。

[0609] 圖 41 是可以用作暫存器 1196 的記憶元件 1200 的電路圖的一個例子。記憶元件 1200 包括在電源關閉時失去存儲資料的電路 1201、在電源關閉時不失去存儲資料的電路 1202、開關 1203、開關 1204、邏輯元件 1206、電容器 1207 以及具有選擇功能的電路 1220。電路 1202 包括電容器 1208、電晶體 1209 及電晶體 1210。另外，記憶元件 1200 根據需要還可以包括其他元件諸如二極體、電阻元件或電感器等。

[0610] 在此，電路 1202 可以使用上述記憶體裝置。在停止對記憶元件 1200 供應電源電壓時，GND（0V）或

使電晶體 1209 關閉的電位持續被輸入到電路 1202 中的電晶體 1209 的閘極。例如，電晶體 1209 的閘極藉由電阻器等負載接地。

[0611] 在此示出開關 1203 為具有一導電型（例如，n 通道型）的電晶體 1213，而開關 1204 為具有與此相反的導電型（例如，p 通道型）的電晶體 1214 的例子。這裡，開關 1203 的第一端子對應於電晶體 1213 的源極和汲極中的一個，開關 1203 的第二端子對應於電晶體 1213 的源極和汲極中的另一個，並且開關 1203 的第一端子與第二端子之間的導通或非導通（亦即，電晶體 1213 的導通狀態/關閉狀態）由輸入到電晶體 1213 的閘極中的控制信號 RD 選擇。開關 1204 的第一端子對應於電晶體 1214 的源極和汲極中的一個，開關 1204 的第二端子對應於電晶體 1214 的源極和汲極中的另一個，並且開關 1204 的第一端子與第二端子之間的導通或非導通（亦即，電晶體 1214 的導通狀態/關閉狀態）由輸入到電晶體 1214 的閘極中的控制信號 RD 選擇。

[0612] 電晶體 1209 的源極和汲極中的一個電連接到電容器 1208 的一對電極的一個及電晶體 1210 的閘極。在此，將連接部分稱為節點 M2。電晶體 1210 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND 線），而另一個電連接到開關 1203 的第一端子（電晶體 1213 的源極和汲極中的一個）。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）電連接到開

關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）。開關 1204 的第二端子（電晶體 1214 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈線。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）、開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）、邏輯元件 1206 的輸入端子和電容器 1207 的一對電極的一個互相電連接。在此，將連接部分稱為節點 M1。可以對電容器 1207 的一對電極的另一個輸入固定電位。例如，可以對其輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容器 1207 的一對電極的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。可以對電容器 1208 的一對電極的另一個輸入固定電位。例如，可以對其輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容器 1208 的一對電極的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。

[0613] 另外，當積極地利用電晶體或佈線的寄生電容等時，可以不設置電容器 1207 及電容器 1208。

[0614] 控制信號 WE 輸入到電晶體 1209 的閘極。開關 1203 及開關 1204 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

[0615] 對應於保持在電路 1201 中的資料的信號被輸入到電晶體 1209 的源極和汲極中的另一個。圖 41 示出從電路 1201 輸出的信號輸入到電晶體 1209 的源極和汲極中的另一個的例子。由邏輯元件 1206 使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而成為反轉信號，將其經由電路 1220 輸入到電路 1201。

[0616] 另外，雖然圖 41 示出從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號藉由邏輯元件 1206 及電路 1220 輸入到電路 1201 的例子，但是不侷限於此。也可以不使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路 1201。例如，當電路 1201 包括其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0617] 在圖 41 所示的用於記憶元件 1200 的電晶體中，作為電晶體 1209 以外的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的膜或基板 1190 中的電晶體。例如，可以使用其通道形成在矽膜或矽基板中的電晶體。此外，記憶元件 1200 中的所有電晶體都可以是其通道由氧化物半導體形成的電晶體。或者，記憶元件 1200 除了電晶體 1209 以外還可以包括其通道由氧化物半導體形成的電晶體，並且作為其餘的電晶體可以使用其通

道形成在由氧化物半導體以外的半導體構成的膜或基板1190中的電晶體。

[0618] 圖41所示的電路1201例如可以使用正反器電路。另外，作為邏輯元件1206例如可以使用反相器或時脈反相器等。

[0619] 在本發明的一個實施方式的半導體裝置中，在不向記憶元件1200供應電源電壓的期間，可以由設置在電路1202中的電容器1208保持儲存在電路1201中的資料。

[0620] 另外，其通道形成在氧化物半導體中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體中的電晶體的關態電流比其通道形成在具有結晶性的矽中的電晶體的關態電流低得多。因此，藉由將該電晶體用作電晶體1209，即便在不向記憶元件1200供應電源電壓的期間也可以長期間儲存電容器1208所保持的信號。因此，記憶元件1200在停止供應電源電壓的期間也可以保持存儲內容（資料）。

[0621] 另外，由於該記憶元件藉由使用開關1203及開關1204進行預充電工作，因此可以縮短在再次開始供應電源電壓之後直到電路1201重新保持原來的資料為止所需要的時間。

[0622] 另外，在電路1202中，電容器1208所保持的信號被輸入到電晶體1210的閘極。因此，在再次開始向記憶元件1200供應電源電壓之後，可以根據保持在電

容器 1208 的信號使電晶體 1210 處於導通狀態或關閉狀態，並從電路 1202 讀出對應於該狀態的信號。因此，即便對應於保持在電容器 1208 中的信號的電位稍有變動，也可以準確地讀出原來的信號。

[0623] 藉由將這種記憶元件 1200 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，可以在處理器整體中或構成處理器的一個或多個邏輯電路中在短時間內停止電源，從而可以抑制功耗。

[0624] 雖然說明了將記憶元件 1200 用於 CPU 的例子，但也可以將記憶元件 1200 應用於 LSI 諸如 DSP（Digital Signal Processor：數位信號處理器）、定製 LSI、PLD（Programmable Logic Device：可程式邏輯裝置）等以及 RF（Radio Frequency：射頻）裝置。

[0625] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

[0626]

實施方式 7

在本實施方式中，參照圖 42A 至圖 43B 對利用本發明的一個實施方式的電晶體等的顯示裝置進行說明。

[0627]

〈顯示裝置的結構〉

作為用於顯示裝置的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）等。發光元件在其範疇內包括其亮度由電流或電壓控制的元件，明確而言，包括無機 EL（Electroluminescence：電致發光）元件、有機 EL 元件等。下面，作為顯示裝置的一個例子對使用 EL 元件的顯示裝置（EL 顯示裝置）及使用液晶元件的顯示裝置（液晶顯示裝置）進行說明。

[0628] 另外，下面示出的顯示裝置包括密封有顯示元件的面板及在該面板中安裝有包括控制器的 IC 等的模組。

[0629] 另外，下面示出的顯示裝置是指影像顯示裝置或光源（包括照明設備）。此外，顯示裝置還包括：安裝有連接器諸如 FPC 或 TCP 的模組；在 TCP 的端部設置有印刷線路板的模組；或者藉由 COG 方式將 IC（集成電路）直接安裝到顯示元件的模組。

[0630] 圖 42A 至圖 42C 是本發明的一個實施方式的 EL 顯示裝置的一個例子。圖 42A 示出 EL 顯示裝置的像素的電路圖。圖 42B 是示出 EL 顯示裝置整體的俯視圖。此外，圖 42C 是對應於圖 42B 的點劃線 M-N 的一部分的剖面圖。

[0631] 圖 42A 是用於 EL 顯示裝置的像素的電路圖的一個例子。

[0632] 在本說明書等中，有時即使不指定主動元件（電晶體、二極體等）、被動元件（電容器、電阻元件

等）等所具有的所有端子的連接位置，所屬技術領域的通常知識者也能夠構成發明的一個實施方式。就是說，即使未指定連接位置，也可以說發明的一個實施方式是明確的，並且，當在本說明書等記載有指定連接位置的內容時，有時可以判斷為在本說明書等中記載有該方式。尤其是，在端子的連接位置有多個的情況下，不一定必須要將該端子的連接位置限於指定的部分。因此，有時藉由僅指定主動元件（電晶體、二極體等）、被動元件（電容器、電阻元件等）等所具有的一部分的端子的連接位置，就能夠構成發明的一個實施方式。

[0633] 在本說明書等中，當至少指定某個電路的連接位置時，有時所屬技術領域的通常知識者能夠指定發明。或者，當至少指定某個電路的功能時，有時所屬技術領域的通常知識者能夠指定發明。也就是說，只要指定功能，就可以說是發明的一個實施方式是明確的，而判斷為在本說明書等中記載有該方式。因此，即使只指定某個電路的連接位置而不指定其功能時，也可以判斷為該電路作為發明的一個實施方式公開而構成發明的一個實施方式。或者，即使只指定某個電路的功能而不指定其連接位置時，也可以判斷為該電路作為發明的一個實施方式公開而構成發明的一個實施方式。

[0634] 圖 42A 所示的 EL 顯示裝置包含切換元件 743、電晶體 741、電容器 742、發光元件 719。

[0635] 另外，由於圖 42A 等是電路結構的一個例

子，所以還可以追加設置電晶體。與此相反，在圖 42A 的各節點中，也可以不追加電晶體、開關、被動元件等。

[0636] 電晶體 741 的閘極與切換元件 743 的一個端子及電容器 742 的一個電極電連接。電晶體 741 的源極與電容器 742 的另一個電極及發光元件 719 的一個電極電連接。電晶體 741 的汲極被供應電源電位 VDD。切換元件 743 的另一個端子與信號線 744 電連接。發光元件 719 的另一個電極被供應恆電位。另外，恆電位為等於或低於接地電位 GND 的電位。

[0637] 作為切換元件 743，較佳為使用電晶體。藉由使用電晶體，可以減小像素的面積，由此可以提供解析度高的 EL 顯示裝置。作為切換元件 743，使用藉由與電晶體 741 同一製程形成的電晶體，由此可以提高 EL 顯示裝置的生產率。作為電晶體 741 及/或切換元件 743，例如可以適用上述電晶體。

[0638] 圖 42B 是 EL 顯示裝置的俯視圖。EL 顯示裝置包括基板 700、基板 750、密封材料 734、驅動電路 735、驅動電路 736、像素 737 以及 FPC732。密封材料 734 以包圍像素 737、驅動電路 735 以及驅動電路 736 的方式配置在基板 700 與基板 750 之間。另外，驅動電路 735 及/或驅動電路 736 也可以配置在密封材料 734 的外側。

[0639] 圖 42C 是對應於圖 42B 的點劃線 M-N 的一部分的 EL 顯示裝置的剖面圖。

[0640] 圖 42C 示出電晶體 741，該電晶體 741 包括：基板 700 上的導電體 704a；導電體 704a 上的絕緣體 712a；絕緣體 712a 上的絕緣體 712b；在絕緣體 712b 上並與導電體 704a 重疊的半導體 706a 及半導體 706b；與半導體 706a 及半導體 706b 接觸的導電體 716a 及導電體 716b；半導體 706b、導電體 716a 及導電體 716b 上的絕緣體 718a；絕緣體 718a 上的絕緣體 718b；絕緣體 718b 上的絕緣體 718c；以及在絕緣體 718c 上並與半導體 706b 重疊的導電體 714a。注意，電晶體 741 的結構只是一個例子，也可以採用與圖 42C 所示的結構不同的結構。

[0641] 因此，在圖 42C 所示的電晶體 741 中，導電體 704a 具有閘極電極的功能，絕緣體 712a 及絕緣體 712b 具有閘極絕緣體的功能，導電體 716a 具有源極電極的功能，導電體 716b 具有汲極電極的功能，絕緣體 718a、絕緣體 718b 及絕緣體 718c 具有閘極絕緣體的功能，並且導電體 714a 具有閘極電極的功能。注意，半導體 706a、706b 有時因光照射而其電特性發生變動。因此，較佳的是導電體 704a、導電體 716a、導電體 716b 和導電體 714a 中的任何一個以上具有遮光性。

[0642] 注意，以虛線表示絕緣體 718a 和絕緣體 718b 之間的介面，這意味著它們的邊界有時不明確。例如，當作為絕緣體 718a 及絕緣體 718b 使用同種絕緣體時，根據觀察方法有時無法區分它們。

[0643] 圖 42C 示出電容器 742，該電容器 742 包

括：基板上的導電體 704b；導電體 704b 上的絕緣體 712a；絕緣體 712a 上的絕緣體 712b；在絕緣體 712b 上並與導電體 704b 重疊的導電體 716a；導電體 716a 上的絕緣體 718a；絕緣體 718a 上的絕緣體 718b；絕緣體 718b 上的絕緣體 718c；以及在絕緣體 718c 上並與導電體 716a 重疊的導電體 714b，並且，電容器 742 具有在導電體 716a 與導電體 714b 重疊的區域中絕緣體 718a 的一部分及絕緣體 718b 的一部分被去除的結構。

[0644] 在電容器 742 中，將導電體 704b 及導電體 714b 用作一個電極，將導電體 716a 用作另一個電極。

[0645] 因此，可以使用與電晶體 741 相同的膜製造電容器 742。導電體 704a 及導電體 704b 較佳為使用同種導電體。此時，可以藉由同一製程形成導電體 704a 和導電體 704b。另外，導電體 714a 和導電體 714b 較佳為使用同種導電體。此時，可以藉由同一製程形成導電體 714a 和導電體 714b。

[0646] 圖 42C 所示的電容器 742 是相對於佔有面積的電容大的電容器。因此，圖 42C 是顯示質量高的 EL 顯示裝置。注意，雖然圖 42C 所示的電容器 742 具有絕緣體 718a 的一部分及絕緣體 718b 的一部分被去除以便減薄導電體 716a 與導電體 714b 重疊的區域的結構，但是本發明的一個實施方式的電容器的結構不侷限於此。例如，也可以具有絕緣體 718c 的一部分被去除以便減薄導電體 716a 與導電體 714b 重疊的區域的結構。

[0647] 在電晶體 741 及電容器 742 上配置有絕緣體 720。在此，絕緣體 720 也可以具有到達用作電晶體 741 的源極電極的導電體 716a 的開口部。在絕緣體 720 上配置有導電體 781。導電體 781 也可以藉由絕緣體 720 中的開口部與電晶體 741 電連接。

[0648] 在導電體 781 上配置有到達導電體 781 的開口部的分隔壁 784。在分隔壁 784 上配置有在分隔壁 784 的開口部中與導電體 781 接觸的發光層 782。在發光層 782 上配置有導電體 783。導電體 781、發光層 782 和導電體 783 重疊的區域被用作發光元件 719。

[0649] 至此，說明了 EL 顯示裝置的例子。接著，將說明液晶顯示裝置的例子。

[0650] 圖 43A 是示出液晶顯示裝置的像素的結構例子的電路圖。圖 43A 和圖 43B 所示的像素包括電晶體 751、電容器 752、在一對電極之間填充有液晶的元件（液晶元件）753。

[0651] 電晶體 751 的源極和汲極中的一個與信號線 755 電連接，電晶體 751 的閘極與掃描線 754 電連接。

[0652] 電容器 752 的一個電極與電晶體 751 的源極和汲極中的另一個電連接，電容器 752 的另一個電極與供應共用電位的佈線電連接。

[0653] 液晶元件 753 的一個電極與電晶體 751 的源極和汲極中的另一個電連接，液晶元件 753 的另一個電極與供應共用電位的佈線電連接。此外，供應到與上述電容

器 752 的另一個電極電連接的佈線的共用電位與供應到液晶元件 753 的另一個電極的共用電位可以不同。

[0654] 假設液晶顯示裝置的俯視圖與 EL 顯示裝置相同來進行說明。圖 42B 示出對應於沿著圖 43B 的點劃線 M-N 的液晶顯示裝置的剖面圖。在圖 43B 中，FPC732 藉由端子 731 與佈線 733a 連接。佈線 733a 也可以使用與構成電晶體 751 的導電體或半導體同種的導電體或半導體。

[0655] 電晶體 751 參照關於電晶體 741 的記載。電容器 752 參照關於電容器 742 的記載。注意，圖 43B 示出具有對應於圖 42C 所示的電容器 742 之結構的電容器 752 之結構，但是電容器 752 之結構不侷限於此。

[0656] 當將氧化物半導體用於電晶體 751 的半導體時，可以實現關態電流極小的電晶體。因此，保持在電容器 752 中的電荷不容易洩漏，而可以長期間保持施加到液晶元件 753 的電壓。因此，當顯示動作少的動態影像、靜態影像時，藉由使電晶體 751 處於關閉狀態，不需要用來使電晶體 751 工作的功率，由此可以實現低功耗的液晶顯示裝置。另外，因為可以縮小電容器 752 的佔有面積，所以可以提供一種開口率高的液晶顯示裝置或高解析度液晶顯示裝置。

[0657] 在電晶體 751 及電容器 752 上配置有絕緣體 721。在此，絕緣體 721 具有到達電晶體 751 的開口部。在絕緣體 721 上配置有導電體 791。導電體 791 藉由絕緣體 721 中的開口部與電晶體 751 電連接。

[0658] 在導電體 791 上配置有用作配向膜的絕緣體 792。在絕緣體 792 上配置有液晶層 793。在液晶層 793 上配置有用作配向膜的絕緣體 794。在絕緣體 794 上配置有間隔物 795。在間隔物 795 及絕緣體 794 上配置有導電體 796。在導電體 796 上配置有基板 797。

[0659] 藉由採用上述結構，可以提供一種包括佔有面積小的電容器的顯示裝置。或者，可以提供一種顯示質量高的顯示裝置。或者，可以提供一種高解析度顯示裝置。

[0660] 例如，在本說明書等中，顯示元件、作為包括顯示元件的裝置的顯示裝置、發光元件以及作為包括發光元件的裝置的發光裝置可以採用各種方式或者包括各種元件。顯示元件、顯示裝置、發光元件或發光裝置例如包括白色、紅色、綠色或藍色等的發光二極體（LED：Light Emitting Diode）、電晶體（根據電流而發光的電晶體）、電子發射元件、液晶元件、電子墨水、電泳元件、柵光閥（GLV）、電漿顯示器面板（PDP）、使用微機電系統（MEMS）的顯示元件、數位微鏡裝置（DMD）、數位微快門（DMS）、IMOD（干涉測量調節）元件、快門方式的 MEMS 顯示元件、光干涉方式的 MEMS 顯示元件、電潤濕（electrowetting）元件、壓電陶瓷顯示器或使用碳奈米管的顯示元件等中的至少一個。除此以外，還可以包括其對比度、亮度、反射率、透射率等因電或磁作用而變化的顯示媒體。

[0661] 作為使用 EL 元件的顯示裝置的例子，有 EL 顯示器等。作為使用電子發射元件的顯示裝置的例子，有場致發射顯示器（FED）或 SED 方式平面型顯示器（SED：Surface-conduction Electron-emitter Display：表面傳導電子發射顯示器）等。作為使用液晶元件的顯示裝置的例子，有液晶顯示器（透射式液晶顯示器、半透射式液晶顯示器、反射式液晶顯示器、直觀式液晶顯示器、投射式液晶顯示器）等。作為使用電子墨水、電子粉流體（在日本註冊的商標）或電泳元件的顯示裝置的例子，有電子紙等。注意，當實現半透射型液晶顯示器或反射式液晶顯示器時，使像素電極的一部分或全部具有作為反射電極的功能即可。例如，使像素電極的一部分或全部包含鋁、銀等即可。並且，此時也可以將 SRAM 等記憶體電路設置在反射電極下。由此，可以進一步降低功耗。

[0662] 注意，當使用 LED 時，也可以在 LED 的電極或氮化物半導體下配置石墨烯或石墨。石墨烯或石墨也可以為層疊有多個層的多層膜。如此，藉由設置石墨烯或石墨，可以更容易地在其上形成氮化物半導體，如具有結晶的 n 型 GaN 半導體等。並且，在其上設置具有結晶的 p 型 GaN 半導體等，能夠構成 LED。此外，也可以在石墨烯或石墨與具有晶體的 n 型 GaN 半導體之間設置 AlN 層。可以利用 MOCVD 形成 LED 所包括的 GaN 半導體。注意，當設置石墨烯時，可以以濺射法形成 LED 所包括的 GaN 半導體。

[0663] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

[0664]

實施方式 8

在本實施方式中，對利用本發明的一個實施方式的電晶體等的電子裝置進行說明。

[0665]

〈電子裝置〉

本發明的一個實施方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存媒體的影像再現裝置（典型的是，能夠再現如數位影音光碟（DVD：Digital Versatile Disc）等儲存媒體的內容並具有可以顯示該再現影像的顯示器的裝置）中。另外，作為可以使用本發明的一個實施方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器終端、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖 44A 至圖 44F 示出這些電子裝置的具體例子。

[0666] 圖 44A 是可攜式遊戲機，其包括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907 以及觸控筆 908 等。注意，雖然圖 44A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，

但是可攜式遊戲機所包括的顯示部的個數不限於此。

[0667] 圖 44B 是可攜式資料終端，其包括第一外殼 911、第二外殼 912、第一顯示部 913、第二顯示部 914、連接部 915、操作鍵 916 等。第一顯示部 913 設置在第一外殼 911 中，而第二顯示部 914 設置在第二外殼 912 中。而且，第一外殼 911 和第二外殼 912 由連接部 915 連接，可以藉由連接部 915 改變第一外殼 911 和第二外殼 912 之間的角度。第一顯示部 913 的影像也可以根據連接部 915 所形成的第一外殼 911 和第二外殼 912 之間的角度切換。另外，也可以對第一顯示部 913 和第二顯示部 914 中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置中設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部中設置還稱為光感測器的光電轉換元件來附加位置輸入功能。

[0668] 圖 44C 是膝上型個人電腦，其包括外殼 921、顯示部 922、鍵盤 923 以及指向裝置 924 等。

[0669] 圖 44D 是電冷藏冷凍箱，其包括外殼 931、冷藏室門 932、冷凍室門 933 等。

[0670] 圖 44E 是視頻攝影機，其包括第一外殼 941、第二外殼 942、顯示部 943、操作鍵 944、透鏡 945、連接部 946 等。操作鍵 944 及透鏡 945 設置在第一外殼 941 中，而顯示部 943 設置在第二外殼 942 中。並且，第一外殼 941 和第二外殼 942 由連接部 946 連接，可以藉由連接部 946 改變第一外殼 941 和第二外殼 942 之間的角度。顯

示部 943 的影像也可以根據連接部 946 所形成的第一外殼 941 和第二外殼 942 之間的角度切換。

[0671] 圖 44F 是汽車，其包括車體 951、車輪 952、儀表板 953 及燈 954 等。

[0672] 注意，在本實施方式中，對本發明的一個實施方式進行說明。但是，本發明的一個實施方式不侷限於此。換而言之，在本實施方式等中，記載有各種各樣的發明的方式，因此本發明的一個實施方式不侷限於特定的方式。例如，作為本發明的一個實施方式，示出了在電晶體的通道形成區域、源極區域或汲極區域等中包括氧化物半導體的情況的例子，但是本發明的一個實施方式不侷限於此。根據情形或狀況，本發明的一個實施方式中的各種各樣的電晶體、電晶體的通道形成區域或者電晶體的源極區域或汲極區域等也可以包括各種各樣的半導體。根據情形或狀況，本發明的一個實施方式中的各種各樣的電晶體、電晶體的通道形成區域或者電晶體的源極區域或汲極區域等例如也可以包含矽、鍺、矽鍺、碳化矽、砷化鎵、鋁砷化鎵、磷化銦、氮化鎵或者有機半導體等中的至少一個。或者，例如，根據情形或狀況，本發明的一個實施方式中的各種各樣的電晶體、電晶體的通道形成區域或者電晶體的源極區域或汲極區域等也可以不包括氧化物半導體。

實施例 1

[0673] 在本實施例中，形成在矽基板上層疊有氧化

矽膜、氧化鉿膜、包含氟的氧化矽膜的樣本，並說明藉由TDS及ESR對該樣本進行分析的結果。在TDS分析中，將形成包含氟的氧化矽膜時的基板溫度設定為350℃、400℃、445℃，形成三個樣本，亦即樣本1A至樣本1C，並對上述樣本進行評價。再者，在ESR的評價中，形成對具有與樣本1A至樣本1C相同的結構的樣本沒有進行加熱處理的樣本1A-1至樣本1C-1、以410℃對樣本1A至樣本1C進行加熱處理的樣本1A-2至樣本1C-2、以490℃對樣本1A至樣本1C進行加熱處理的樣本1A-3至樣本1C-3、以550℃對樣本1A至樣本1C進行加熱處理的樣本1A-4至樣本1C-4，並對上述樣本進行評價。

[0674] 說明用於TDS的評價的樣本之製造方法。首先，對矽晶圓進行熱氧化，在矽晶圓表面形成厚度為100nm的氧化矽膜。以950℃進行4小時的熱氧化，並且作為熱氧化的氛圍使用包含3vol.%的HCl的氧氛圍。

[0675] 接著，在氧化矽膜上藉由ALD法形成厚度為20nm的氧化鉿膜。在藉由ALD法的成膜中，基板溫度為200℃，使用使包含四二甲基醯胺鉿（TDMAH）的固體氣化的源氣體及作為氧化劑的O_3氣體。

[0676] 接著，在氧化鉿膜上藉由PECVD法形成厚度為30nm的包含氟的氧化矽膜。在形成包含氟的氧化矽膜之前進行以200sccm導入SiH_4的預處理20秒鐘。成膜條件為如下：作為沉積氣體使用1.5sccm的SiF_4、1000sccm的N_2O及1000sccm的Ar，RF電源頻率為60MHz，RF電

源功率為 800W，成膜壓力為 133Pa。並且，在樣本 1A 中將基板溫度設定為 350℃，在樣本 1B 中將基板溫度設定為 400℃，在樣本 1C 中將基板溫度設定為 445℃。

[0677] 圖 45A 至圖 45D、圖 46A 至圖 46D 及圖 47A 至圖 47D 示出對藉由上述步驟形成的樣本 1A 至樣本 1C 進行 TDS 分析的結果。注意，在該 TDS 分析中，測量相當於氫分子的質荷比 m/z=2 的釋放量、相當於水分子的質荷比 m/z=18 的釋放量、相當於氟原子的質荷比 m/z=19 的釋放量及相當於氧分子的質荷比 m/z=32 的釋放量。圖 45A、圖 46A 及圖 47A 示出氫的測量結果，圖 45B、圖 46B 及圖 47B 示出水的測量結果，圖 45C、圖 46C 及圖 47C 示出氟的測量結果，圖 45D、圖 46D 及圖 47D 示出氧的測量結果。在圖 45A 至圖 47D 中，橫軸表示基板加熱溫度[℃]，縱軸表示與質荷比的釋放量成正比的強度。

[0678] 另外，表 1 示出從圖 45A、圖 45B、圖 45D、圖 46A、圖 46B、圖 46D、圖 47A、圖 47B、圖 47D 所示的分佈算出的樣本 1A 至樣本 1C 的氫分子、水分子、氧分子的釋放量。注意，在假設 TDS 分佈的背景的值為最小值的情況下，算出氫分子、水分子、氧分子的釋放量。

此外，表 1 還記載有如下比較樣本 1 和比較樣本 2 的各分子的釋放量：在比較樣本 1 中，藉由 PECVD 法，使用 SiH_4，基板溫度為 400℃，來形成氧化矽膜代替包含氟的氧化矽膜；在比較樣本 2 中，藉由 PECVD 法，使用 SiH_4，基板溫度為 500℃，來形成氧化矽膜代替包含氟的

氧化矽膜。

[0679]

[表 1]

	樣本1A	樣本1B	樣本1C	比較樣本1	比較樣本2
氫[molecules/cm^2]	1.20E+15	8.58E+14	8.23E+14	1.18E+15	7.03E+14
水[molecules/cm^2]	1.78E+15	1.23E+15	1.08E+15	1.42E+16	3.19E+15
氧[molecules/cm^2]	8.33E+13	7.02E+13	8.72E+13	1.50E+14	5.41E+13

[0680] 如表 1 等所示，在樣本 1A 中，氫分子釋放量為 1.20×10^{15}molecules/cm^2，水分子釋放量為 1.78×10^{15} molecules/cm^2。在樣本 1B 中，氫分子釋放量為 8.58×10^{14} molecules/cm^2，水分子釋放量為 1.23×10^{15}molecules/cm^2。在樣本 1C 中，氫分子釋放量為 8.23×10^{14}molecules/cm^2，水分子釋放量為 1.08×10^{15}molecules/cm^2。

[0681] 在此，在基板溫度為 400℃的條件下形成氧化矽的比較樣本 1 中，氫分子釋放量為 1.18×10^{15} molecules/cm^2，水分子釋放量為 1.42×10^{16} molecules/cm^2。另一方面，在基板溫度為 500℃的條件下形成氧化矽的比較樣本 2 中，氫分子釋放量為 7.03×10^{14} molecules/cm^2，水分子釋放量為 3.19×10^{15}molecules/cm^2。如此，在基板溫度為 500℃的條件下形成的比較樣本 2 中，與在基板溫度為 400℃的條件下形成的比較樣本 1 相比，可以相當地抑制氫分子、水分子釋放量，尤其是水分子釋放量。

[0682] 雖然樣本 1A 至樣本 1C 的基板溫度為 350℃至 445℃，但是上述樣本的水分子釋放量比在基板溫度為

500℃的條件下形成的比較樣本 2 小。尤其是，與在基板溫度為 400℃的條件下形成的比較樣本 1 相比，樣本 1A 至樣本 1C 的水分子釋放量抑制到十分之一左右或更小，確認到非常顯著的效果。關於氫分子釋放量，樣本 1A 與在基板溫度為 400℃的條件下形成的比較樣本 1 大致相同，而樣本 1B 及樣本 1C 與在基板溫度為 500℃的條件下形成的比較樣本 2 大致相同。但是，在對比較樣本 1 和比較樣本 2 進行比較時，沒有觀察到比水分子釋放量的差異大的氫分子釋放量的差異。

[0683] 如此，雖然在基板溫度為 350℃至 445℃的較低的溫度的條件下利用本實施例所示的方法形成樣本 1A 至樣本 1C，但是可以將它們中的作為雜質的水和氫降低到與在基板溫度為 500℃的條件下形成的比較樣本 2 大致相同的程度。

[0684] 如上所述，在上述實施方式所示的電晶體中以接觸於氧化物半導體的底面的方式設置且用作閘極絕緣膜的絕緣體 105、絕緣體 103、絕緣體 104 的疊層膜中，藉由 TDS 分析的氫分子釋放量例如較佳為 1.2×10^{15} molecules/cm^2 以下，更佳為 9.0×10^{14}molecules/cm^2 以下。同樣地，在該疊層膜中，藉由 TDS 分析的水分子釋放量較佳為 1.4×10^{16}molecules/cm^2 以下，更佳為 4.0×10^{15} molecules/cm^2 以下，進一步較佳為 2.0×10^{15}molecules/cm^2 以下。

[0685] 另外，在本實施例中，以絕緣體 105、絕緣體

103、絕緣體 104 的疊層膜為樣本，樣本 1A 至樣本 1C 的水分子釋放量、氫分子釋放量包括從絕緣體 104 釋放的量、從絕緣體 105 及絕緣體 103 釋放且穿過絕緣體 104 的量。因此，如果對絕緣體 104 單獨進行評價，則絕緣體 104 的水分子釋放量、氫分子釋放量估計為與本實施例的疊層膜大致相同或更少。

[0686] 如上所述，具有樣本 1A 至樣本 1C 所示的結構的疊層膜可以在基板溫度為 350℃至 445℃的較低的溫度的條件下利用 PECVD 法來形成。並且，在藉由上述步驟形成的疊層膜中，可以如此充分地降低水、氫等。

[0687] 另外，如表 1 等所示，在樣本 1A 至樣本 1C 中，藉由 TDS 分析觀察到氧分子的釋放。因此，藉由將具有樣本 1A 至樣本 1C 所示的結構的疊層膜設置在氧化物半導體的下方，可以將氧供應到該氧化物半導體中。這可以認為如下緣故：當進行加熱處理時，包含氟的氧化矽中的氧被氟取代，釋放氧（SiO+F → SiF+O）。

[0688] 另外，在具有樣本 1A 至樣本 1C 所示的結構的疊層膜中，如圖 45C、圖 46C、圖 47C 所示，藉由 TDS 分析確認到氟的釋放。

[0689] 下面，對用於 ESR 的評價的樣本的製造方法進行說明。首先，準備具有與上述樣本 1A 相同的結構的樣本 1A-1 至樣本 1A-4。同樣地，準備具有與上述樣本 1B 相同的結構的樣本 1B-1 至樣本 1B-4。同樣地，準備具有與上述樣本 1C 相同的結構的樣本 1C-1 至樣本 1C-4。

[0690] 接著，在氧氛圍下以 410℃對樣本 1A-2、樣本 1B-2、樣本 1C-2 進行 1 小時的加熱處理。另外，在氧氛圍下以 490℃對樣本 1A-3、樣本 1B-3、樣本 1C-3 進行 1 小時的加熱處理。在氧氛圍下以 550℃對樣本 1A-4、樣本 1B-4、樣本 1C-4 進行 1 小時的加熱處理。此外，對樣本 1A-1、1B-1、1C-1 沒有進行加熱處理。

[0691] 圖 48 示出對藉由上述步驟形成的樣本進行 ESR 分析的結果。在 ESR 分析中，測量溫度為 10K，微波功率為 0.1mW，頻率為 9.56GHz。

[0692] 在本實施例中，藉由 ESR 分析對具有上述結構的疊層膜中是否包含上述實施方式所記載的 NO_2 進行評價。當氧化矽包含 NO_2 時，有時在 100K 以下的 ESR 中觀察到具有如下三個吸收線的信號：g 值為 2.037 以上且 2.039 以下的第一吸收線；g 值為 2.001 以上且 2.003 以下的第二吸收線；以及 g 值為 1.964 以上且 1.966 以下的第三吸收線。在 X 帶的 ESR 測量中，第一吸收線與第二吸收線的間隔及第二吸收線與第三吸收線的間隔大約為 5mT。因此，氮氧化物少的氧化矽的起因於 NO_2 的自旋密度低於 $1\times10^{18}spins/cm^3$。

[0693] 在圖 48 中，橫軸表示各樣本，縱軸表示對應於上述第一至第三吸收線的信號的自旋密度[$spins/cm^3$]。

[0694] 如圖 48 所示，在所有樣本中，對應於第一至第三吸收線的信號的自旋密度極低，因此可以認為 NO_2 幾乎不存在。另外，在除了樣本 1A-1、樣本 1B-1、樣本

1C-1、樣本 1C-4 之外的樣本中，自旋密度低於檢測下限，因此有藉由在氧氛圍下進行加熱處理可以進一步降低疊層膜中的 NO_2 的傾向。

[0695] 如此，藉由將具有與本實施例所示的樣本相同的結構的疊層膜例如用作上述實施方式所示的電晶體的絕緣體 105、絕緣體 103、絕緣體 104，絕緣體中的 NO_2 得到降低，因此可以使該電晶體具有穩定的電特性。

實施例 2

[0696] 在本實施例中，作為本發明的一個實施方式的電晶體，形成以接觸於氧化物半導體的底面的方式設置且用作閘極絕緣膜的疊層膜的氫的含量得到降低的樣本 2A。另外，作為比較例，形成該疊層膜的氫的含量沒有得到降低的樣本 2B。並且，對樣本 2A 及樣本 2B 的電晶體的電特性及可靠性進行評價。

[0697] 注意，關於電晶體的結構可以參照圖 1A 至圖 1D 等，關於電晶體的製造方法可以參照圖 13A 至圖 15D 等。

[0698] 首先，作為基板 100，準備依次層疊有厚度為 100nm 的氧化矽膜、厚度為 280nm 的氮氧化矽膜、厚度為 300nm 的氧化矽膜以及厚度為 300nm 的氧化矽膜的矽基板。

[0699] 接著，作為絕緣體 101，藉由濺射法形成厚度為 50nm 的氧化鋁膜。

[0700] 接著，藉由濺射法形成厚度為 150nm 的鎢膜。接著，在鎢膜上形成光阻劑，使用該光阻劑對該鎢膜進行加工，由此形成導電體 102。

[0701] 接著，作為絕緣體 105，利用 PECVD 法形成厚度為 10nm 的氧化矽膜。

[0702] 接著，作為絕緣體 103，藉由 ALD 法形成厚度為 20nm 的氧化鉿膜。在藉由 ALD 法的成膜中，基板溫度為 200℃，使用使包含四二甲基醯胺鉿（TDMAH）的固體氣化的源氣體及作為氧化劑的 O_3 氣體。

[0703] 接著，作為絕緣體 104，藉由 PECVD 法形成厚度為 30nm 的氧化矽膜。在此，在樣本 2A 中，將 SiF_4 用作沉積氣體形成包含氟的氧化矽膜作為絕緣體 104，在樣本 2B 中，將 SiH_4 用作沉積氣體形成氧化矽膜作為絕緣體 104。

[0704] 在樣本 2A 中，在形成包含氟的氧化矽膜之前進行以 200sccm 導入 SiH_4 的預處理 20 秒鐘。樣本 2A 中的絕緣體 104 的成膜條件為如下：作為沉積氣體使用 1.5sccm 的 SiF_4、1000sccm 的 N_2O 及 1000sccm 的 Ar，RF 電源頻率為 60MHz，RF 電源功率為 800W，成膜壓力為 133Pa，基板溫度為 400℃。

[0705] 樣本 2B 的絕緣體 104 的成膜條件為如下：作為沉積氣體使用 1sccm 的 SiH_4 及 800sccm 的 N_2O，RF 電源頻率為 60MHz，RF 電源功率為 150W，成膜壓力為 40Pa，基板溫度為 400℃。

[0706] 接著，在氧氛圍下以 410℃進行 1 小時的加熱處理。

[0707] 接著，作為成為絕緣體 106a 的氧化物膜，藉由 DC 濺射法形成厚度為 40nm 的 In-Ga-Zn 氧化物膜。作為 In-Ga-Zn 氧化物膜的成膜條件，使用 In:Ga:Zn=1:3:4[原子個數比]的靶材，作為沉積氣體使用 40sccm 的氬氣體及 5sccm 的氧氣體，成膜壓力為 0.7Pa（使用日本佳能-安內華公司製造的小型真空計 MG-2 進行測定），成膜功率為 500W，基板溫度為 200℃，靶材-基板間距離為 60mm。

[0708] 接著，作為成為半導體 106b 的氧化物膜，藉由 DC 濺射法形成厚度為 20nm 的 In-Ga-Zn 氧化物膜。作為 In-Ga-Zn 氧化物膜的成膜條件，使用 In:Ga:Zn=1:1:1[原子個數比]的靶材，作為沉積氣體使用 30sccm 的氬氣體及 15sccm 的氧氣體，成膜壓力為 0.7Pa（使用日本佳能-安內華公司製造的小型真空計 MG-2 進行測定），成膜功率為 500W，基板溫度為 300℃，靶材-基板間距離為 60mm。

[0709] 接著，在氮氛圍下以 400℃進行 1 小時的加熱處理並在氧氛圍下以 400℃進行 1 小時的加熱處理。

[0710] 接著，作為成為導電體 108a、108b 的導電體，藉由 DC 濺射法形成厚度為 50nm 的鎢膜。

[0711] 接著，在該導電體上形成光阻劑，使用該光阻劑對該導電體進行加工，由此形成導電體 108a 及導電

體 108b。

[0712] 接著，使用光阻劑、導電體 108a 及導電體 108b 對上述氧化物進行加工，由此形成絕緣體 106a 及半導體 106b。

[0713] 接著，作為成為絕緣體 106c 的氧化物膜，藉由 DC 濺射法形成厚度為 5nm 的 In-Ga-Zn 氧化物膜。作為 In-Ga-Zn 氧化物膜的成膜條件，使用 In:Ga:Zn =1:3:2[原子個數比]的靶材，作為沉積氣體使用 30sccm 的氬氣體及 15sccm 的氧氣體，成膜壓力為 0.7Pa，成膜功率為 500W，基板溫度為 200℃，靶材-基板間距離為 60mm。

[0714] 接著，作為成為絕緣體 112 的氧氮化物膜，藉由 PECVD 法形成厚度為 13nm 的氧氮化矽膜。

[0715] 接著，作為成為導電體 114 的導電體，藉由 DC 濺射法依次形成厚度為 30nm 的氮化鈦膜及厚度為 135nm 的鎢膜。接著，在該導電體上形成光阻劑，使用該光阻劑對該導電體進行加工，由此形成導電體 114。

[0716] 接著，使用光阻劑對上述氧化物及氧氮化物進行加工，由此形成絕緣體 106c 及絕緣體 112。

[0717] 接著，作為絕緣體 116，藉由 RF 濺射法形成厚度為 140nm 的氧化鋁膜。注意，作為沉積氣體使用 25sccm 的氬氣體及 25sccm 的氧氣體，成膜壓力為 0.4Pa，成膜功率為 2500W，基板溫度為 250℃，靶材-基板間距離為 60mm。

[0718] 接著，在氧氛圍下以 400℃進行 1 小時的加熱處理。

[0719] 接著，藉由 PECVD 法形成厚度為 300nm 的氧氮化矽膜。

[0720] 接著，藉由 DC 濺射法依次形成厚度為 50nm 的鈦膜、厚度為 200nm 的鋁膜及厚度為 50nm 的鈦膜。接著使用光阻劑對該疊層膜進行加工來形成導電體 120a 及導電體 120b。

[0721] 如此，形成通道長度 L 為 0.18μm 且通道寬度 W 為 0.27μm 的電晶體。

[0722] 對樣本 2A 及樣本 2B 的 Id-Vg 特性（汲極電流-閘極電壓特性）進行測定。在 Id-Vg 特性的測定中，背閘極電壓為 0V。其他測定條件為如下：汲極電壓為 0.1V 或 1.8V，以每次增加 0.1V 的方式將閘極電壓從-3.0V 掃描到 3.0V。

[0723] 圖 49A 及圖 49B 示出樣本 2A 及樣本 2B 的 Id-Vg 特性的測定結果。在此，在圖 49A 及圖 49B 中，橫軸表示閘極電壓 Vg[V]，左側的縱軸表示汲極電流 Id[A]，右側的縱軸表示場效移動率 μFE[cm^2/Vs]。另外，在圖 49A 及圖 49B 中，以實線表示汲極電流，以虛線表示場效移動率。

[0724] 使用 SiH_4 形成絕緣體 104，在膜中包含較多的水分子、氫分子的樣本 2B 中，如圖 49B 所示，觀察到電晶體特性的不均勻，在整體上汲極電流的上升時的閘極

電壓向負向漂移。另一方面，在使用 SiF_4 形成絕緣體 104 並降低膜中的水分子、氫分子的樣本 2A 中，如圖 49A 所示，顯示良好的電特性。在樣本 2A 中，在背閘極電壓為 0V 且汲極電壓 Vd=0.1V 時，場效移動率為良好的值，亦即 $3.5cm^2/Vs$，次臨界擺幅值（S 值）也是良好的值，亦即 124.2mV/dec。

[0725] 接著，計算樣本 2A 的電晶體的臨界電壓 Vth 及 Shift。

[0726] 在此，對本說明書中的臨界電壓及 Shift 進行說明。將臨界電壓定義為：在橫軸表示閘極電壓 Vg[V]且縱軸表示汲極電流的均方根 $Id^{1/2}$[A]標繪的 Vg-Id 曲線上，曲線上的傾斜度最大的點處的切線與 $Id^{1/2}=0$ 的直線（亦即 Vg 軸）的交點的閘極電壓。注意，在此，以汲極電壓 Vd=1.8V 計算臨界電壓。

[0727] 另外，將 Id-Vg 特性中的汲極電流的上升時的閘極電壓稱為 Shift。將本說明書中的漂移值（Shift）定義為：在橫軸表示閘極電壓 Vg[V]且縱軸表示汲極電流 Id[A]的對數標繪的 Vg-Id 曲線上，曲線上的傾斜度最大的點處的切線與 $Id=1.0\times10^{-12}$[A]的直線的交點的閘極電壓。注意，在此以汲極電壓 Vd=1.8V 計算 Shift。

[0728] 在樣本 2A 中，在背閘極電壓為 0V 時，電晶體的臨界電壓為 1.13V 且 Shift 為 0.17V，這說明即使背閘極電壓為 0V 電晶體也具有常關閉的電特性。

[0729] 在此，樣本 2A 的絕緣體 105、絕緣體 103 及

絕緣體 104 的疊層膜對應於實施例 1 的樣本 1A，樣本 2B 的絕緣體 105、絕緣體 103 及絕緣體 104 的疊層膜對應於實施例 1 的比較樣本 1。因此可知，藉由將絕緣體 105、絕緣體 103 及絕緣體 104 的疊層膜的水分子或氫分子的釋放量，尤其是水分子的釋放量設定為上述實施例所示的範圍內，可以得到良好的電晶體特性。另外可知，雖然該電晶體的製程中的加熱溫度為 400℃左右，但是可以獲得良好的電晶體特性。

[0730] 從上述結果可知，藉由 PECVD 法使用 SiF_4 以與氧化物半導體的底面接觸的方式形成絕緣體 104，以降低絕緣體 104 中的水、氫等，由此可以抑制水、氫等從絕緣體 104 供應到半導體 106b 等中而形成缺陷能階。如此，藉由使用缺陷能階密度得到降低的氧化物半導體，可以提供一種具有穩定的電特性的電晶體。

[0731] 接著，藉由改變形成絕緣體 104 之後的加熱處理的溫度及形成將成為半導體 106b 的氧化物膜之後的加熱處理的溫度，來形成具有與樣本 2A 相同的結構的樣本 2A-1 至樣本 2A-3，並對所形成的各基板的面內 25 點的 Shift 的不均勻進行調查。在此，在樣本 2A-1 中，形成絕緣體 104 之後的加熱處理的溫度為 550℃，形成成為半導體 106b 的氧化物之後的加熱處理的溫度為 550℃。另外，在樣本 2A-2 中，形成絕緣體 104 之後的加熱處理的溫度為 490℃，形成成為半導體 106b 的氧化物之後的加熱處理的溫度為 450℃。此外，在樣本 2A-3 中，形成絕

緣體 104 之後的加熱處理的溫度為 410℃，形成成為半導體 106b 的氧化物之後的加熱處理的溫度為 400℃。換言之，在與上述樣本 2A 相同的條件下對樣本 2A-3 進行加熱處理。

[0732] 圖 50 示出其結果。在圖 50 中，橫軸表示樣本 2A-1 至樣本 2A-3，縱軸表示 Shift[V]。

[0733] 如圖 50 所示，樣本 2A-1 至樣本 2A-3 都在基板面內的 Shift 的不均勻小。尤其是，與樣本 2A 同樣地加熱處理的溫度較低的樣本 2A-3 具有與加熱處理的溫度較高的樣本 2A-1、樣本 2A-2 大致相同的 Shift 的不均勻。

[0734] 下面，測量對於各種應力測試的樣本 2A 的電特性的變動。

[0735] 圖 51A 示出正閘極 BT（Bias-Temperature）應力測試的結果。在以下的應力測試中以基板溫度 150℃進行。在正閘極 BT 應力測試中，首先，將背閘極電壓設定為 0V，將汲極電壓設定為 0.1V 或 1.8V，以每次增加閘極電壓 0.1V 的方式從-3.0V 掃描到 3.0V，由此測定應力測試前的 Id-Vg 特性。接著，將汲極電壓設定為 0V，將背閘極電壓設定為 0V，施加 3.3V 的閘極電壓 1 小時，由此測定應力測試後的 Id-Vg 特性。注意，測定在施加應力的 100 秒後、300 秒後、600 秒後、1000 秒後、30 分後、1 小時後進行，下面記載施加應力的 1 小時後的值。如圖 51A 所示，1 小時的正閘極 BT 應力測試前後的 Shift 的變

動值（ΔShift）較小，亦即 0.19V。

[0736] 另外，圖 78A 示出：在相同的條件下施加應力的 600 秒後、1 小時後、5 小時後、12 小時後進行測量的正閘極 BT 應力測試的結果。在 12 小時後測量的ΔShift 為 0.29V，這比在 1 小時後測量的ΔShift 稍微大。

[0737] 圖 51B 示出負閘極 BT 應力測試的結果。在以下的應力測試中以基板溫度 150℃進行。在負閘極 BT 應力測試中，首先，將背閘極電壓設定為 0V，將汲極電壓設定為 0.1V 或 1.8V，以每次增加 0.1V 的方式將閘極電壓從-3.0V 掃描到 3.0V，由此測定應力測試前的 Id-Vg 特性。接著，將汲極電壓設定為 0V，將背閘極電壓設定為 0V，施加-3.3V 的閘極電壓 1 小時，由此測定應力測試後的 Id-Vg 特性。注意，測定在施加應力的 100 秒後、300 秒後、600 秒後、1000 秒後、30 分後、1 小時後進行，下面記載施加應力的 1 小時後的值。如圖 51B 所示，1 小時的負閘極 BT 應力測試前後的ΔShift 較小，亦即 0.13V。

[0738] 另外，圖 78B 示出：在相同的條件下施加應力的 600 秒後、1 小時後、5 小時後、12 小時後進行測量的負閘極 BT 應力測試的結果。在 12 小時後測量的ΔShift 為 0.15V，這與在 1 小時後測量的ΔShift 大致相同。

[0739] 圖 51C 示出正汲極 BT 應力測試的結果。在以下的應力測試中以基板溫度 150℃進行。在正汲極 BT 應力測試中，首先，將背閘極電壓設定為 0V，將汲極電壓設定為 0.1V 或 1.8V，以每次增加閘極電壓 0.1V 的方式

從-3.0V 掃描到 3.0V，由此測定應力測試前的 Id-Vg 特性。接著，將汲極電壓設定為 0V，將背閘極電壓設定為 0V，施加 1.8V 的汲極電壓 1 小時，由此測定應力測試後的 Id-Vg 特性。注意，測定在施加應力的 100 秒後、300 秒後、600 秒後、1000 秒後、30 分後、1 小時後進行，下面記載施加應力的 1 小時後的值。如圖 51C 所示，1 小時的正汲極 BT 應力測試前後的ΔShift 較小，亦即 0.01V。

[0740] 另外，圖 78C 示出：在相同的條件下施加應力的 600 秒後、1 小時後、5 小時後、12 小時後進行測量的正汲極 BT 應力測試的結果。在 12 小時後測量的ΔShift 為-0.01，這與在 1 小時後測量的ΔShift 大致相同。

[0741] 圖 51D 示出負背閘極 BT 應力測試的結果。另外，以下，在基板溫度為 150℃的條件下進行應力測試。在負背閘極 BT 應力測試中，首先，將背閘極電壓設定為-5V，將汲極電壓設定為 0.1V 或 1.8V，以每次增加 0.1V 的方式將閘極電壓從-3.0V 掃描到 3.0V，由此測量應力測試前的 Id-Vg 特性。接著，將汲極電壓設定為 0V，將閘極電壓設定為 0V，施加-5V 的背閘極電壓 1 小時，由此測量應力測試後的 Id-Vg 特性。注意，測量在施加應力的 100 秒後、300 秒後、600 秒後、1000 秒後、30 分後、1 小時後進行，下面記載施加應力的 1 小時後的值。如圖 51D 所示，1 小時的負背閘極 BT 應力測試前後的ΔShift 較小，亦即 0.02V。

[0742] 另外，圖 78D 示出：在相同的條件下施加應

力的 600 秒後、1 小時後、5 小時後、12 小時後進行測量的負背閘極 BT 應力測試的結果。在 12 小時後測量的ΔShift 為 0.05V，這與在 1 小時後測量的ΔShift 大致相同。

[0743] 如上所述，雖然藉由 PECVD 法使用 SiF_4 以與氧化物半導體的底面接觸的方式形成絕緣體 104，以降低絕緣體 104 中的水、氫等，藉由各種應力測試的電晶體的電特性的變動也小。因此，藉由採用本實施例所示的結構，可以提供一種可靠性高的電晶體。

[0744] 另外，樣本 2A 的絕緣體 105、絕緣體 103 及絕緣體 104 的疊層膜對應於實施例 1 的樣本 1A，樣本 2B 的絕緣體 105、絕緣體 103 及絕緣體 104 的疊層膜對應於實施例 1 的比較樣本 1。因此可知，藉由將絕緣體 105、絕緣體 103 及絕緣體 104 的疊層膜的水分子或氫分子的釋放量，尤其是水分子的釋放量設定為上述實施例 1 所示的範圍內，可以得到可靠性高的電晶體。另外可知，雖然該電晶體的製程中的加熱溫度為 400℃左右，但是可以獲得良好的電晶體特性。

實施例 3

[0745] 在本實施例中，藉由在矽基板上形成氧化矽膜且在其上引入 SiH_4 和 SiF_4 形成包含氟的氧化矽膜來形成樣本；並說明藉由 TDS 及 SIMS 對該樣本進行分析的結果。在本實施例中，將 SiF_4 的流量固定為 1.5sccm，改變

SiH_4的流量，由此形成樣本 3A-1 至樣本 3A-8。另外，將SiF_4的流量固定為 10sccm，改變 SiH_4的流量，由此形成樣本 3B-1 至樣本 3B-8。

[0746] 對樣本 3A-1 至樣本 3A-8、樣本 3B-1 至樣本 3B-8 的製造方法進行說明。首先，對矽晶圓進行熱氧化，在矽晶圓表面形成厚度為 100nm 的氧化矽膜。以 950℃進行 4 小時的熱氧化，並且作為熱氧化的氛圍使用包含 3vol.%的 HCl 的氧氛圍。

[0747] 接著，在氧化矽膜上藉由 PECVD 法形成厚度為 300nm 的包含氟的氧化矽膜。成膜條件為如下：作為沉積氣體使用 1000sccm 的 N_2O、1000sccm 的 Ar，RF 電源頻率為 60MHz，RF 電源功率為 800W，成膜壓力為 133Pa，基板溫度為 400℃。並且，在樣本 3A-1 至樣本 3A-8 中，SiF_4的流量為 1.5sccm，在樣本 3B-1 至樣本 3B-8 中，SiF_4的流量為 10sccm。再者，在樣本 3A-1 及樣本 3B-1 中，SiH_4為 0sccm，在樣本 3A-2 及樣本 3B-2 中，SiH_4為 0.2sccm，在樣本 3A-3 及樣本 3B-3 中，SiH_4的流量為 1sccm，在樣本 3A-4 及樣本 3B-4 中，SiH_4的流量為 2sccm，在樣本 3A-5 及樣本 3B-5 中，SiH_4的流量為 4sccm，在樣本 3A-6 及樣本 3B-6 中，SiH_4的流量為 8sccm，在樣本 3A-7 及樣本 3B-7 中，SiH_4的流量為 10sccm，在樣本 3A-8 及樣本 3B-8 中，SiH_4的流量為 20sccm。

[0748] 圖 52 示出算出藉由上述步驟形成的樣本 3A-1

至樣本 3A-8 及樣本 3B-1 至樣本 3B-8 的包含氟的氧化矽膜的沉積速度的結果。在圖 52 中，橫軸表示各樣本的 SiH_4 的流量 [sccm]，縱軸表示各樣本的沉積速度 [nm/min]。

[0749] 從圖 52 可知，有藉由在樣本 3A-1 至樣本 3A-8 及樣本 3B-1 至樣本 3B-8 中增加 SiH_4 的流量，沉積速度增高的傾向。但是，當對 SiH_4 的流量相同的樣本進行比較時，樣本 3B-1 至樣本 3B-8 的沉積速度比樣本 3A-1 至樣本 3A-8 稍微快。SiH_4 的流量越多，上述沉積速度的差異越明顯。

[0750] 圖 55A 至圖 58H 示出對樣本 3A-1 至樣本 3A-8 及樣本 3B-1 至樣本 3B-8 進行 TDS 分析的結果。注意，在該 TDS 分析中，測量相當於氫分子的質荷比 m/z=2 的釋放量及相當於水分子的質荷比 m/z=18 的釋放量。圖 55A 至圖 55H 示出樣本 3A-1 至樣本 3A-8 的氫的 TDS 測量結果，圖 56A 至圖 56H 示出上述樣本的水的 TDS 測量結果。圖 57A 至圖 57H 示出樣本 3B-1 至樣本 3B-8 的氫的 TDS 測量結果，圖 58A 至圖 58H 示出上述樣本的水的 TDS 測量結果。在圖 55A 至圖 58H 中，橫軸表示基板加熱溫度[℃]，縱軸表示與質荷比的釋放量成正比的強度。

[0751] 另外，圖 53A 和圖 53B 示出從圖 55A 至圖 55H 及圖 57A 至圖 57H 所示的氫的測量結果算出的樣本 3A-1 至樣本 3A-8 及樣本 3B-1 至樣本 3B-8 的氫分子的釋放量。在此，在圖 53A 中，橫軸表示各樣本的 SiH_4 的流

量 [sccm]，縱軸表示各樣本的氫分子的釋放量 [molecules/cm^2]。在圖 53B 中，橫軸表示各樣本的沉積速度 [nm/min]，縱軸表示各樣本的氫分子的釋放量 [molecules/cm^2]。

[0752] 另外，圖 54A 和圖 54B 示出從圖 56A 至圖 56H 及圖 58A 至圖 58H 所示的水的測量結果算出的樣本 3A-1 至樣本 3A-8 及樣本 3B-1 至樣本 3B-8 的水分子的釋放量。在此，在圖 54A 中，橫軸表示各樣本的 SiH_4 的流量 [sccm]，縱軸表示各樣本的水分子的釋放量 [molecules/cm^2]。在圖 54B 中，橫軸表示各樣本的沉積速度 [nm/min]，縱軸表示各樣本的水分子的釋放量 [molecules/cm^2]。

[0753] 從如圖 53A 和圖 53B 及圖 54A 和圖 54B 可知，有藉由在樣本 3A-1 至樣本 3A-8 及樣本 3B-1 至樣本 3B-8 中增加 SiH_4 流量或提高沉積速度，氫、水的釋放量都增加的傾向。另一方面，在圖 53A 和圖 53B 及圖 54A 和圖 54B 中，在樣本 3A-1 至樣本 3A-8 與樣本 3B-1 至樣本 3B-8 之間沒有觀察顯著的差異，因此可以認為 SiF_4 的流量的差異沒有引起顯著的差異。

[0754] 如圖 55A 至圖 55H 及圖 57A 至圖 57H 所示，在樣本 3A-1 至樣本 3A-8 及樣本 3B-1 至樣本 3B-8 中，在任何溫度下也沒有觀察氫分佈的大的峰值，釋放量也極少。

[0755] 另外，如圖 56A 至圖 56H 及圖 58A 至圖 58H

所示，在樣本 3A-1 至樣本 3A-8 及樣本 3B-1 至樣本 3B-8 中，在基板溫度為 100℃附近觀察到水分佈的大的峰值，而確認到水的釋放。此外，在樣本 3A-1 至樣本 3A-8 及樣本 3B-1 至樣本 3B-8 中，SiH_4的流量越多，越高溫度區域的峰值從 400℃附近的基板溫度開始上升。

[0756] 如圖 54A 所示，在 SiH_4的流量少的樣本 3B-1 至樣本 3B-4 中，水分子釋放量極大。另一方面，關於圖 58A 至圖 58D 所示的樣本 3B-1 至 3B-8 的水分子釋放量，在基板溫度為 100℃附近的區域確認到非常大的峰值。就是說，可以認為樣本 3B-1 至樣本 3B-4 的水分子釋放量大的原因是對應於上述 100℃附近的峰值的水分子。藉由以 100℃左右對基板進行加熱可以去除對應於該峰值的水分子，因此藉由以 100℃左右對基板進行加熱可以大幅度地降低樣本 3B-1 至樣本 3B-4 中的水分子釋放量。

[0757] 如上所述，可知：依賴於 SiH_4的流量的包含氟的氧化矽膜的沉積速度與包含於膜中的氫、水的含量具有權衡（trade-off）的關係。例如，如圖 52 及圖 54A 所示，藉由將 SiH_4的流量設定為大於 1sccm 且小於 10sccm，更佳為 2sccm 以上且 4sccm 以下，可以獲得較良好的絕緣體 104 中的水、氫的含量和沉積速度。但是，較佳為考慮包含氟的氧化矽膜中的水、氫的含量及沉積速度而適當地設定 SiH_4的流量的比例。

[0758] 接著，圖 59A 至圖 59C 及圖 60A 至圖 60C 示出對樣本 3A-1 至樣本 3A-8 及樣本 3B-1 至樣本 3B-8 進行

SSDP-SIMS 分析而檢測出 H、F、N 的結果。另外，圖 59A 至圖 59C 及圖 60A 至圖 60C 所示圖表示出：離各樣本的氧化矽膜與包含氟的氧化矽膜的介面有 50nm 的包含氟的氧化矽膜中的區域到離該介面有 100nm 的包含氟的氧化矽膜中的區域的範圍內檢測出的各元素的濃度的平均值。圖 59A 至圖 59C 示出樣本 3A-1 至樣本 3A-8 的結果，圖 59A 示出 H 的檢測結果，圖 59B 示出 F 的檢測結果，圖 59C 示出 N 的檢測結果。另外，圖 60A 至圖 60C 示出樣本 3B-1 至樣本 3B-8 的結果，圖 60A 示出 H 的檢測結果，圖 60B 示出 F 的檢測結果，圖 60C 示出 N 的檢測結果。在圖 59A 至圖 59C 及圖 60A 至圖 60C 中，橫軸表示各樣本的 SiH_4 的流量[sccm]，縱軸表示各樣本的上述平均的濃度[atoms/cm^3]。此外，在 SIMS 測量中，使用 ULVAC-PHI 公司製造的四極質譜分析儀（ADEPT1010）。

[0759] 如圖 59A 及圖 60A 所示，在上述 SIMS 測量中，觀察到：伴隨樣本 3A-1 至樣本 3A-8 及樣本 3B-1 至樣本 3B-8 的 SiH_4 流量的增加，氫濃度增高的傾向。另外，在樣本 3A-1 至樣本 3A-8 及樣本 3B-1 至樣本 3B-8 中，氫濃度在 1×10^{20}atoms/cm^3 至 1×10^{21}atoms/cm^3 的範圍內，沒有觀察大的增加。

[0760] 如圖 59B 及圖 60B 所示，觀察到：有伴隨樣本 3A-1 至樣本 3A-8 及樣本 3B-1 至樣本 3B-8 的 SiH_4 流量的增加，氟濃度減少的傾向。樣本 3A-1 至樣本 3A-8 的氟濃度在於 1×10^{20}atoms/cm^3 至 1×10^{21}atoms/cm^3 左右的範

圍，另一方面，樣本 3B-1 至樣本 3B-8 的氟濃度在於 1×10^{21}atoms/cm^3 至 1×10^{22}atoms/cm^3 左右的範圍，伴隨 SiF_4 流量的增加，膜中的氟濃度也增加。

[0761] 另外，如圖 59C 及圖 60C 所示，在樣本 3A-1 至樣本 3A-8 及樣本 3B-1 至樣本 3B-8 中，沒有觀察伴隨 SiH_4 流量的增加的氮濃度的明顯的傾向。在 SiH_4 的流量少的區域中，樣本 3A-1 至樣本 3A-8 與樣本 3B-1 至樣本 3B-8 之間的傾向不同，在 SiH_4 的流量大的區域中，樣本 3A-1 至樣本 3A-8 的濃度與樣本 3B-1 至樣本 3B-8 的濃度大致相同。

[0762] 另外，在本實施例中，形成在矽基板上層疊氧化矽膜、氧氮化矽膜、氧化鉿膜、包含氟的氧化矽膜的樣本，進行利用 X 射線光電子光譜法（XPS：X-ray Photoelectron Spectroscopy）的評價。在利用 XPS 的評價中，作為比較例，形成如下樣本：在最表面上藉由 PECVD 法形成氧化矽的樣本 3C-1；在最表面上藉由 PECVD 法形成包含氟的氧化矽的樣本 3C-2；在最表面上藉由 PECVD 法使用包含流量為 0.2sccm 的 SiH_4 的沉積氣體形成包含氟的氧化矽的樣本 3C-3；以及在最表面上藉由 PECVD 法使用包含流量為 4sccm 的 SiH_4 的沉積氣體形成包含氟的氧化矽的樣本 3C-4。

[0763] 說明用於 XPS 的評價的樣本之製造方法。首先，對矽晶圓進行熱氧化，在矽晶圓表面形成厚度為 100nm 的氧化矽膜。以 950℃ 進行 4 小時的熱氧化，並且

作為熱氧化的氛圍使用包含 3vol.%的 HCl 的氧氛圍。

[0764] 接著，在氧化矽膜上藉由 PECVD 法以 400℃的基板溫度形成厚度為 10nm 的氧氮化矽膜。

[0765] 接著，在氧氮化矽膜上藉由 ALD 法形成厚度為 20nm 的氧化鉿膜。在藉由 ALD 法的成膜中，基板溫度為 200℃，使用使包含四二甲基醯胺鉿（TDMAH）的固體氣化的源氣體及作為氧化劑的 O_3 氣體。

[0766] 接著，在氧化鉿膜上藉由 PECVD 法形成厚度為 30nm 的包含氟的氧化矽膜。另外，在作為比較例的樣本 3C-1 中，藉由 PECVD 法以 500℃的基板溫度形成氧化矽膜。

[0767] 在樣本 3C-2 至樣本 3C-4，在形成包含氟的氧化矽膜之前進行以 200sccm 導入 SiH_4 的預處理 20 秒鐘。例如，成膜條件為如下：作為沉積氣體使用 1.5sccm 的 SiF_4、1000sccm 的 N_2O 及 1000sccm 的 Ar，RF 電源頻率為 60MHz，RF 電源功率為 800W，成膜壓力為 133Pa，基板溫度為 400℃。並且，在樣本 3C-3 中，對沉積氣體還追加 0.2sccm 的 SiH_4，在樣本 3C-4 中，對沉積氣體還追加 4sccm 的 SiH_4。

[0768] 圖 61A 至圖 61C 示出對藉由上述步驟形成的樣本 3C-1 至 3C-4 進行 XPS 分析的結果。圖 61A 示出對應於 Si 的 2p 軌域的能譜，圖 61B 示出對應於 O 的 1s 軌域的能譜，圖 61C 示出對應於 F 的 1s 軌域的能譜。在圖 61A 至圖 61C 中，橫軸表示鍵能[eV]，縱軸表示能譜強

度。另外，表 2 示出樣本 3C-1 至樣本 3C-4 的 Si、O、C、F 的組成[atomic%]。

[0769]

[表 2]

	Si	O	C	F
樣本3C-1 [atomic%]	29	61.9	9	-
樣本3C-2 [atomic%]	29.1	59.1	8.5	3.3
樣本3C-3 [atomic%]	29.1	59.3	8	3.6
樣本3C-4 [atomic%]	29.3	62.5	7.9	0.3

[0770] 如圖 61A 和圖 61B 所示，在樣本 3C-1 至樣本 3C-4 中，在矽的量與氧的量之間沒有較大的差異。但是，關於氧和氟，如表 2 所示，隨著沉積氣體中的 SiH_4 的流量變小而 SiF_4 的流量相對地變大，氟的組成變大而氧的組成變小。

[0771] 另外，如圖 61C 所示，在沉積氣體中的 SiF_4 的流量相對大的樣本 3C-2 及樣本 3C-3 中，F 的 1s 軌域呈現大的峰值。該峰值包括在 SiF 的共價鍵（685.4eV 以上且 687.5eV 以下，中央值為 686.5eV）的範圍內，這示出在樣本 3C-2 及樣本 3C-3 的表面上形成有 SiF 的共價鍵。

實施例 4

[0772] 在本實施例中，形成在矽基板上藉由 ALD 法或 MOCVD 法形成氧化鉿膜的樣本，並說明藉由 TDS 對該樣本進行分析的結果。在本實施例中形成三個樣本，亦

即樣本 4A 至樣本 4C。藉由 ALD 法使用兩種氣體（包含 TDMAH 的氣體和 O_3）形成樣本 4A，藉由 ALD 法使用三種氣體（包含 TDMAH 的氣體、O_3 和 H_2O）形成樣本 4B，藉由 MOCVD 法形成樣本 4C。

[0773] 以下，對樣本 4A 至樣本 4C 的製造方法進行說明。

[0774] 在樣本 4A 中，在矽基板上藉由 ALD 法形成厚度為 20nm 的氧化鉿膜。在藉由 ALD 法的成膜中，基板溫度為 200℃，使用使包含 TDMAH 的固體氣化的源氣體及作為氧化劑的 O_3。圖 62A 示出樣本 4A 的沉積氣體的時序圖。

[0775] 在形成樣本 4A 時，如圖 62A 所示，首先使用 O_3 對處理室進行吹掃。在 O_3 吹掃中，反復進行 0.025 秒鐘的 O_3 的引入 20 次。接著，引入使包含 TDMAH 的固體氣化的源氣體 0.5 秒鐘，使用 N_2 吹掃 45 秒鐘，進行 0.1 秒鐘的 O_3 的引入，使用 N_2 吹掃 25 秒鐘。以下，以 TDMAH 的引入、N_2 的吹掃、O_3 的引入、N_2 的吹掃為一個循環，到獲得 20nm 的厚度為止反復進行該循環。

[0776] 在樣本 4B 中，在矽基板上藉由 ALD 法形成厚度為 20nm 的氧化鉿膜。在藉由 ALD 法的成膜中，基板溫度為 200℃，使用三種沉積氣體，亦即，使包含 TDMAH 的固體氣化的源氣體、作為氧化劑的 O_3 及 H_2O。圖 62B 示出樣本 4B 的沉積氣體的時序圖。

[0777] 如圖 62B 所示，在形成樣本 4B 時，引入使包

含 TDMAH 的固體氣化的源氣體 0.5 秒鐘，使用 N_2 吹掃 45 秒鐘，進行 0.03 秒鐘的 H_2O 的引入，使用 N_2 吹掃 5 秒鐘。再者，進行 0.1 秒鐘的 O_3 的引入，使用 N_2 吹掃 5 秒鐘，反復進行 O_3 的引入和 N_2 的吹掃 10 次。以下，以 TDMAH 的引入、N_2 的吹掃、H_2O 的引入、N_2 的吹掃、10 次的 O_3 的引入及 N_2 的吹掃為一個循環，直到獲得 20nm 的厚度為止反復進行該循環。

[0778] 在樣本 4C 中，在矽基板上藉由 MOCVD 法形成厚度為 20nm 的氧化鉿膜。在形成樣本 4C 時，將四（乙基甲基醯胺）鉿（TEMAH）以 0.1mol/l 的濃度溶解於乙基環己烷（ECH）中，將上述溶液以 0.1sccm 的流量供應到氣化室，將包含 TEMAH 的氣體從該氣化室引入到處理室內。其他成膜條件為如下：作為其他沉積氣體使用 1000sccm 的 O_2、1800sccm 的 Ar 和 1080sccm 的 N_2，成膜壓力為 1000Pa，基板溫度為 400℃。

[0779] 圖 63A 示出對藉由上述步驟形成的樣本 4A 至 4C 進行 TDS 分析的結果。另外，在該 TDS 分析中，測量相當於水分子的質荷比 m/z=18 的釋放量。在圖 63A 中,橫軸表示基板加熱溫度[℃]，縱軸表示與質荷比的釋放量成正比的強度。

[0780] 另外，圖 63B 示出從圖 63A 所示的分佈算出的樣本 4A 至樣本 4C 的水分子的釋放量。在圖 63B 中,橫軸表示各樣本，縱軸表示各樣本的水分子的釋放量 [molecules/cm^2]。

[0781] 圖 63A 及圖 63B 所示，在樣本 4B 及樣本 4C 中，可以將水分子的釋放量降低到樣本 4A 的四分之一左右。在此，樣本 4A 的水分子的釋放量為 1.1×10^{16} molecules/cm^2，樣本 4B 的水分子的釋放量為 2.8×10^{15} molecules/cm^2，樣本 4C 的水分子的釋放量為 2.5×10^{15} molecules/cm^2。如上述實施方式所示，在樣本 4B 及樣本 4C 中，藉由 TDS 分析測量的水分子的釋放量滿足 1.0×10^{13} molecules/cm^2 以上且 1.0×10^{16}molecules/cm^2 以下的範圍，還滿足 1.0×10^{13}molecules/cm^2 以上且 3.0×10^{15} molecules/cm^2 以下的範圍。

[0782] 在樣本 4B 中，藉由在較短的時間內反復進行用作氧化劑的 O_3 的引入和 N_2 吹掃多次，可以從附著於基板表面的 TEMAH 確實地去除多餘的氫原子等，將其排除到處理室的外部。另外，可以估計：藉由引入兩種氧化劑（O_3 和 H_2O），可以從附著於基板表面的 TEMAH 去除更多的多餘的氫原子等。如此，藉由防止在成膜時氫原子被引入到膜中，可以降低包含在所形成的氧化鉿膜中的水。

[0783] 另外，與在 ALD Window 的溫度範圍內進行成膜的樣本 4A 相比，樣本 4C 可以較容易地在高溫（例如，200℃以上）下進行成膜，所以可以估計容易地降低膜中的氫、水。

[0784] 如此，可以藉由 ALD 法或 MOCVD 法形成膜中的氫、水得到降低的氧化鉿膜。

實施例 5

[0785] 在本實施例中，藉由 TDS 分析對氮化矽膜的成膜條件與來自氮化矽膜的氫分子及水分子的釋放量之間的關係進行評價。

[0786]

〈成膜流程〉

對氮化矽的成膜的流程進行說明。在成膜中利用 PECVD 法。

[0787] 首先，進行用來成膜的準備。該準備包括步驟 S001 及步驟 S002。在步驟 S001 中，對處理室進行清洗。藉由進行清洗，可以去除例如形成在處理室的內壁等的膜。作為清洗氣體使用 NF_3 氣體，使用 RF 電源施加電壓。接著，在步驟 S002 中，作為 Pre-coating 形成厚度為 0.89μm 的膜。

[0788] 接著，形成樣本。樣本的形成製程包括步驟 S101 至步驟 S106。關於步驟 S101 至步驟 S106，將在後面進行說明。在形成第一樣本之後，依次形成第二樣本、第三樣本等多個樣本，在處理室的累積厚度達到規定的量（在此，20μm）時，再次進行步驟 S001 及步驟 S002。

[0789] 對樣本的形成進行詳細說明。在形成樣本時，進行步驟 S101 至步驟 S106。在步驟 S101 至步驟 S106 中，基板溫度為 400℃。

[0790] 在步驟 S101 中，使 RF 電源關閉，使 APC（Auto Pressure Controller：自動壓力控制器）關閉，電

極間距離為 17mm，作為氣體使用矽烷，進行處理 2 分鐘。矽烷的流量為 800sccm。在此，有時將步驟 S101 稱為“矽烷沖洗（Silane Flush）”。

[0791] 接著，在步驟 S102 中，使 RF 電源關閉，作為壓力、電極間距離及氣體流量的條件採用與步驟 S103 相同的條件，為了穩定氣體流量和壓力進行處理 20 秒鐘。

[0792] 接著，在步驟 S103 中，作為 RF 電源的功率、壓力、電極間距離及氣體流量採用將在後面說明的條件，形成氮化矽膜。在此，步驟 S103 的處理時間根據所希望的厚度決定即可。

[0793] 接著，在步驟 S104 中，使 RF 電源關閉，壓力為 133Pa，電極間距離為 15mm，作為氣體使用氮，進行處理 15 秒鐘。氮的流量為 2000sccm。

[0794] 接著，在步驟 S105 中，RF 電源的功率為 10W，壓力為 133Pa，電極間距離為 15mm，作為氣體使用氮，進行處理 1 分鐘。氮的流量為 2000sccm。

[0795] 接著，在步驟 S106 中，使 RF 電源關閉，壓力為 133Pa，電極間距離為 65mm，將基板移動到基板傳送位置，作為氣體使用氫，進行處理 20 秒鐘。氫的流量為 250sccm。

[0796]

〈樣本的形成〉

下面，在藉由 PECVD 法形成氮化矽膜的情況下，對

成膜流程與所得到的氮化矽膜的氫及水的釋放量之間的關係進行調查。

[0797] 首先，準備 126.6mm 平方且厚度為 0.7mm 的 p 型矽晶圓。接著，對矽晶圓進行熱氧化，形成厚度為 100nm 的氧化矽膜。接著，分割該矽晶圓，準備四個分割成 35mm 平方的尺寸的樣本（樣本 A01 至樣本 A04）。

[0798] 接著，在氧化矽膜上藉由 PECVD 法形成厚度為 100nm 的氮化矽膜。

[0799] 關於樣本 A01 及樣本 A02，進行上述步驟 S101 至步驟 S106，形成氮化矽（with S101/S104/S105）。

[0800] 關於樣本 A03 及樣本 A04，進行上述步驟 S102，進行步驟 S103，然後進行步驟 S106，由此形成氮化矽（w/o S101/S104/S105）。

[0801] 在此，在步驟 S103 中，RF 電源的功率為 900W，壓力為 40Pa，電極間距離為 17mm，作為氣體使用矽烷、氮及氨。另外，矽烷的流量為 20sccm，氮的流量為 500sccm，氨的流量為 10sccm。

[0802] 另外，形成樣本 A01 及樣本 A03 之前的處理室的累積厚度大約為 0.9μm。此外，形成樣本 A02 及樣本 A04 之前的處理室的累積厚度大約為 2.8μm。

[0803]

〈TDS 分析〉

接著，對所形成的樣本 A01 至樣本 A04 進行 TDS 測

量。另外，在進行 TDS 測量時，將樣本 A01 至樣本 A04 分割成 1cm 平方的尺寸。

[0804] 圖 64A 和圖 64B 示出樣本 A01 及樣本 A03 的 TDS 分析。圖 64A 示出質荷比的 m/z=2（H_2 等）的結果，圖 64B 示出 m/z=18（H_2O 等）的結果。另外，圖 65A 和圖 65B 示出在整個溫度範圍內藉由 TDS 分析結果的累計而算出的樣本 A01 至樣本 A04 的釋放量。在此，在圖 65A 和圖 65B 中，假設 m/z=2 的結果都起因於氫且 m/z=18 的結果都起因於水。

[0805] 從圖 64A 至圖 65B 可知，在進行步驟 S101、S104 及 S105 的樣本 A01 及樣本 A02 中，可以降低氫的釋放量。所得到的氫釋放量都為 2.0×10^{15}molecules/cm^2 以下。這可以認為因為步驟 S101（Silane Flush）有助於氫的釋放的抑制的緣故。

[0806] 另外，伴隨累積厚度的增大，在沒有進行步驟 S101、S104 及 S105 的樣本中也氫的量得到降低，樣本 A04 的氫釋放量為 9.0×10^{15}molecules/cm^2。

實施例 6

[0807] 在本實施例中，藉由 TDS 分析對來自氮化矽膜的氫及水的量進行評價。

[0808]

〈樣本的形成〉

以下，對樣本的製造方法進行說明。首先，準備兩個

126.6mm 平方的 p 型矽晶圓。接著，對各矽晶圓進行熱氧化，形成厚度為 100nm 的氧化矽膜。然後，分割形成有氧化膜的兩個矽晶圓。從兩個矽晶圓形成 17 個分割為 35mm 平方的尺寸的樣本。將所得到的 17 個 35mm 平方的樣本稱為樣本 B01 至樣本 B17。

[0809] 接著，在樣本 B01 至樣本 B17 的每一個的氧化矽膜上形成厚度為 100nm 的氮化矽膜。在成膜中利用 PECVD 法。在成膜中，使用實施例 5 所示的步驟 S101 至步驟 S106。

[0810] 以下，關於樣本 B01 至樣本 B17，對用於步驟 S103 的條件進行說明。基板溫度為 400℃。RF 電源的頻率為 27MHz。電極間距離為 17mm。氨的流量為 500sccm。矽烷的流量為 A[sccm]，氨的流量為 B[sccm]，RF 電源的功率為 C[W]，成膜時的壓力為 D[Pa]。以下示出用於樣本 B01 至樣本 B17 的成膜的 A 至 D 的值。

[0811] 樣本 B01 的條件為如下：功率 C 為 900[W]，壓力 D 為 40[Pa]，氨的流量 B 為 10[sccm]。矽烷的流量 A 為 20[sccm]。

[0812] 在樣本 B02 至樣本 B05 的條件下，改變樣本 B01 的條件下的矽烷的流量。樣本 B02 至樣本 B05 的成膜條件為如下：關於矽烷的流量 A[sccm]，樣本 B02 為 12，樣本 B03 為 16，樣本 B04 為 24，樣本 B05 為 28。功率 C 為 900[W]，壓力 D 為 40[Pa]，氨的流量 B 為 10[sccm]。

[0813] 在樣本 B06 至樣本 B09 的條件下，改變樣本

B01 的條件下的氨的流量。樣本 B06 至樣本 B09 的成膜條件為如下：關於氨的流量 B[sccm]，樣本 B06 為 0，樣本 B07 為 20，樣本 B08 為 30，樣本 B09 為 40。功率 C 為 900[W]，壓力 D 為 40[Pa]，矽烷的流量 A 為 20[sccm]。

[0814] 在樣本 B10 至樣本 B13 的條件下，改變樣本 B01 的條件下的功率。樣本 B10 至樣本 B13 的成膜條件為如下：關於功率 C[W]，樣本 B10 為 600，樣本 B11 為 700，樣本 B12 為 800，樣本 B13 為 1000。壓力 D 為 40[Pa]，矽烷的流量 A 為 20[sccm]，氨的流量 B 為 10[sccm]。

[0815] 在樣本 B14 至樣本 B17 的條件下，改變樣本 B01 的條件下的壓力。樣本 B14 至樣本 B17 的成膜條件為如下：關於壓力 D[Pa]，樣本 B14 為 30，樣本 B15 為 50，樣本 B16 為 100，樣本 B17 為 150。功率 C 為 900[W]，矽烷的流量 A 為 20[sccm]，氨的流量 B 為 10[sccm]。

[0816] 藉由上述製程，得到形成有氮化矽膜的樣本 B01 至樣本 B17。

[0817]

〈TDS 分析〉

接著，對所形成的樣本 B01 至樣本 B17 進行 TDS 測量。另外，在進行 TDS 測量時，將樣本 B01 至樣本 B17 分割成 1cm 平方的尺寸。

[0818] 作為改變矽烷的流量的結果，圖 66A 和圖

66B 示出樣本 B01 至樣本 B05 的 TDS 分析。圖 66A 示出質荷比的 m/z=2（H_2 等）的結果，圖 66B 示出 m/z=18（H_2O 等）的結果。圖式中的數字示出矽烷的流量。

[0819] 作為改變氨的流量的結果，圖 67A 和圖 67B 示出樣本 B01 及樣本 B06 至樣本 B09 的 TDS 分析。圖 67A 表示 m/z=2（H_2 等）的結果，圖 67B 示出 m/z=18（H_2O 等）的結果。圖式中的數字表示氨的流量。

[0820] 作為改變 RF 電源的功率的結果，圖 68A 和圖 68B 示出樣本 B01 及樣本 B10 至樣本 B13 的 TDS 分析。圖 68A 示出 m/z=2（H_2 等）的結果，圖 68B 示出 m/z=18（H_2O 等）的結果。圖式中的數字表示功率的值。

[0821] 作為改變成膜壓力的結果，圖 69A 和圖 69B 示出樣本 B01 及樣本 B14 至樣本 B17 的 TDS 分析。圖 69A 示出 m/z=2（H_2 等）的結果，圖 69B 示出 m/z=18（H_2O 等）的結果。圖式中的數字表示壓力的值。

[0822] 圖 70A、圖 71A、圖 72A 及圖 73A 示出在整個溫度範圍內累計圖 66A、圖 67A、圖 68A 及圖 69A 的 TDS 分析結果而算出的釋放量。圖 70A、圖 71A、圖 72A 及圖 73A 的橫軸分別表示矽烷的流量、氨的流量、壓力及功率。在此，假設 m/z=2 的結果都起因於氫。

[0823] 圖 70B、圖 71B、圖 72B 及圖 73B 示出在全溫度範圍內累計圖 66B、圖 67B、圖 68B 及圖 69B 的 TDS 分析結果而算出的釋放量。圖 70B、圖 71B、圖 72B 及圖 73B 的橫軸分別為矽烷的流量、氨的流量、壓力及功率。

在此，假設 m/z=18 的結果都起因於水。

[0824]

[m/z=2 的結果]

首先，對 m/z=2 的結果進行說明。從圖 66A 及圖 70A 可知，與矽烷的流量為 12sccm 的條件相比，在矽烷的流量為 16sccm 以上的條件下，有在更高的溫度下氫分子開始釋放，並且氫分子的釋放量也變小的傾向。從圖 67A 及圖 71A 可知，氫分子的釋放量大幅度依賴於氨的流量的條件，氨的流量為 0sccm 的條件下的氫分子的釋放量最小，有伴隨氨的流量的增加氫分子的釋放量也增加的傾向。氨的流量為 0sccm 的條件下的氫分子的釋放量為 1.3×10^{15}molecules/cm^2。從圖 68A、圖 69A、圖 72A 及圖 73A 可知，氫分子的釋放量的對於 RF 電源的功率及成膜壓力的依賴性小。由此可知，藉由將形成氮化矽時的矽烷的流量設定為 16sccm 以上，可以提高氫分子開始釋放時的溫度。另外可知，藉由減少氨的流量，氫分子的釋放量得到抑制。

[0825]

[m/z=18 的結果]

接著，對 m/z=18 的結果進行說明。從圖 66B 可知，在矽烷的流量為 28sccm 的條件下，在 300℃附近確認到水分子的釋放量稍微增加。從圖 67B 可知，在氨的流量為 40sccm 的條件下，在 300℃附近確認到水分子的釋放稍微增加。從圖 68B 可知，在功率為 700W 的條件下，

在 300℃附近水分子的釋放量顯著增加，在功率為 800W 以上的條件下，釋放量得到抑制。有可能可以在功率為 800W 以上的條件下抑制水分子的釋放。從圖 72B 可知，在功率為 800W 的條件下，水分子的釋放量的累計值為低，亦即 $4.2\times10^{14}molecules/cm^2$。

實施例 7

[0826] 在本實施例中，形成在矽基板上形成有氮化矽膜的樣本 7A 及在矽基板上形成有氧化矽膜的樣本 7B，並說明對上述樣本進行 TDS 分析的結果。

[0827] 對用於 TDS 的評價的樣本的製造方法進行說明。在樣本 7A 中，在矽晶圓上藉由 PECVD 法形成厚度為 50nm 的氮化矽。成膜條件為如下：作為沉積氣體使用 20sccm 的 SiH_4、10sccm 的 NH_3、500sccm 的 N_2，RF 電源頻率為 27MHz，RF 電源功率為 900W，成膜壓力為 40Pa，基板溫度為 400℃。

[0828] 另外，在樣本 7B 中，在矽晶圓上藉由 PECVD 法形成厚度為 50nm 的氧化矽。成膜條件為如下：作為沉積氣體使用 15sccm 的四乙氧基矽烷（TEOS：$Si(OC_2H_5)_4$）、750sccm 的 O_2，RF 電源頻率為 27MHz，RF 電源功率為 300W，成膜壓力為 100Pa，基板溫度為 400℃。

[0829] 圖 79A 和圖 79B 及圖 80A 和圖 80B 示出對藉由上述步驟形成的樣本 7A 及樣本 7B 進行 TDS 分析的結

果。另外，在該 TDS 分析中，測量相當於氫分子的質荷比 m/z=2 的釋放量和相當於水分子的質荷比 m/z=18 的釋放量。圖 79A 及圖 80A 示出氫的測量結果，圖 79B 及圖 80B 示出水的測量結果。在圖 79A 和圖 79B 及圖 80A 和圖 80B 中，橫軸表示基板加熱溫度[℃]，縱軸表示與質荷比的釋放量成正比的強度。

[0830] 另外，從圖 79A 和圖 79B 及圖 80A 和圖 80B 所示的分佈算出樣本 7A 及樣本 7B 的氫分子及水分子的釋放量。其結果，在樣本 7A 中，氫分子的釋放量為 1.7×10^{15}molecules/cm^2，水分子的釋放量為 6.3×10^{14} molecules/cm^2。此外，在樣本 7B 中，氫分子的釋放量為 1.3×10^{15}molecules/cm^2，水分子的釋放量為 2.1×10^{15} molecules/cm^2。如此，包含在樣本 7A 及樣本 7B 中的氫分子和水分子較少。

[0831] 如圖 79A 及圖 80A 和圖 80B 所示，在基板溫度為 400℃以下的範圍內沒有觀察氫分子及水分子的分佈的大的峰值。另外，在圖 79B 中，雖然在基板溫度為 400℃以下的範圍內觀察到水分子的分佈的峰值，但是整體上的峰值強度小。因此，可以估計：在上述實施方式所示的形成絕緣體 104 時的基板加熱溫度（例如，350℃以上且 445℃以下左右的溫度）下，從本實施例所示的氮化矽膜及氧化矽膜釋放的氫分子和水分子較少。因此，即使將本實施例所示的氮化矽膜及氧化矽膜設置在上述實施方式所示的絕緣體 104 的下方，在形成絕緣體 104 時或形成絕緣

體 104 之後的加熱處理中也幾乎不將氫或水等雜質供應到氧化物半導體中。

[0832] 因此，可以將樣本 7A 的氮化矽膜例如設置在上述實施方式中的圖 33 及圖 34 所示的絕緣體 1581a 等中作為氫擴散抑制膜。另外，可以將樣本 7B 的氧化矽膜例如設置在上述實施方式中的圖 33 及圖 34 所示的絕緣體 1584 等中作為層間絕緣膜。

實施例 8

[0833] 在本實施例中，形成在矽基板上形成 In-Ga-Zn 氧化物且在對該氧化物的一部分進行蝕刻之後進行加熱處理的樣本，並說明藉由 SIMS 及硬 x 射線光電子能譜（Hard X-ray Photoelectron Spectroscopy：HX-PES）對該樣本進行分析的結果。

[0834] 首先，對用於 SIMS 分析的樣本的製造方法進行說明。在 SIMS 分析中，形成八個樣本，亦即樣本 8A 至樣本 8H。

[0835] 首先，在矽晶圓上藉由 DC 濺射法形成厚度為 100nm 的 In-Ga-Zn 氧化物。另外，在形成 In-Ga-Zn 氧化物時，使用 In:Ga:Zn=1:1:1[原子數比]的靶材，以下有時將該氧化物稱為 In-Ga-Zn 氧化物（111）。此外，作為沉積氣體使用 30sccm 的氬氣體及 15sccm 的氧氣體，成膜壓力為 0.7Pa（使用日本佳能-安內華公司製造的小型真空計 MG-2 測量），成膜功率為 500W，基板溫度為 300℃，靶

材-基板間距離為 60mm。

[0836] 接著，對於樣本 8B 至樣本 8H，在氮氛圍下以 450℃進行 1 小時的加熱處理，並且在氧氛圍下以 450℃進行 1 小時的加熱處理。

[0837] 接著，對於樣本 8B 至樣本 8H，藉由 ICP 乾蝕刻法使 In-Ga-Zn 氧化物（111）的厚度減少 20nm 左右。藉由 ICP 乾蝕刻法，以三個步驟對 In-Ga-Zn 氧化物（111）進行蝕刻。第一步驟的處理條件為：壓力為 1.2Pa，上部一側的 RF 電源的功率為 1000W 且下部一側的 RF 電源的功率為 400W，作為蝕刻氣體使用 20sccm 的甲烷、80sccm 的氫，處理時間為 53sec。第二步驟的處理條件為：壓力為 5.2Pa，上部一側的 RF 電源的功率為 500W 且下部一側的 RF 電源的功率為 50W，作為蝕刻氣體使用 200sccm 的氧，處理時間為 3sec。第三步驟的處理條件為：壓力為 2.6Pa，上部一側的 RF 電源的功率為 500W 且下部一側的 RF 電源的功率為 50W，作為蝕刻氣體使用 200sccm 的氧，處理時間為 60sec。

[0838] 接著，對於樣本 8C 至樣本 8E，在氮氛圍下進行 1 小時的加熱處理，對於樣本 8F 至樣本 8H，在氧氛圍下進行 1 小時的加熱處理。在此，對於樣本 8C 及樣本 8F，以 300℃進行加熱處理，對於樣本 8D 及樣本 8G，以 350℃進行加熱處理，對於樣本 8E 及樣本 8H，以 400℃進行加熱處理。

[0839] 就是說，樣本 8A 是到形成 In-Ga-Zn 氧化物

（111）為止的階段的樣本，樣本 8B 是到對 In-Ga-Zn 氧化物（111）進行蝕刻為止的階段的樣本，樣本 8C 至樣本 8E 是蝕刻之後在氮氛圍下進行加熱處理的樣本，樣本 8F 至樣本 8H 是蝕刻之後在氧氛圍下進行加熱處理的樣本。

[0840] 圖 81A 和圖 81B 示出對藉由上述步驟形成的樣本 8A 至樣本 8H 進行 SIMS 分析的結果。圖 81A 是樣本 8A 至樣本 8E 的圖表，圖 81B 是樣本 8A、樣本 8B 及樣本 8F 至樣本 8H 的圖表。在圖 81A 和圖 81B 中，橫軸表示 Depth（以 In-Ga-Zn 氧化物（111）的表面為基準的深度）[nm]，縱軸表示氫濃度[atoms/cm^3]。另外，在該 SIMS 分析中，從 In-Ga-Zn 氧化物（111）的表面（Depth：0nm）向矽晶圓的方向進行分析，從 In-Ga-Zn 氧化物（111）的表面到 60nm 的深度為定量範圍。另外，在 SIMS 測量中，使用 ULVAC-PHI 公司製造的四極質譜分析儀（ADEPT1010）。

[0841] 如圖 81A 和圖 81B 所示，在樣本 8A 中，氫濃度示出相當近於背景值。另一方面，在樣本 8B 中，氫濃度在 In-Ga-Zn 氧化物（111）的表面附近成為 1×10^{22}atoms/cm^3 左右，在離表面 50nm 左右的深度的區域中成為與樣本 8A 相同的氫濃度。如此，在樣本 8B 中，確認到：氫擴散到離表面 50nm 左右的深度。該氫被認為起因於用於形成樣本 8B 時的蝕刻氣體的甲烷。

[0842] 另外，如圖 81A 所示，與樣本 8B 相比，在樣本 8C 至樣本 8E 中，至少在離 In-Ga-Zn 氧化物（111）的

表面 30nm 左右的深度的區域中，氫濃度得到降低。這意味著：由於蝕刻擴散到 In-Ga-Zn 氧化物（111）中的氫經過之後在氮氛圍下進行的加熱處理被脫離。

[0843] 但是，在 300℃下進行加熱處理的樣本 8C 的氫濃度為 1×10^{20}atoms/cm^3 左右，在 350℃下進行加熱處理的樣本 8D 的氫濃度為 1.2×10^{19}atoms/cm^3 左右。另一方面，在 400℃下進行加熱處理的樣本 8E 的氫濃度與樣本 8A 大致相等。這可以認為如下緣故：在樣本 8C 及樣本 8D 中，由於加熱溫度較低，所以在 In-Ga-Zn 氧化物（111）中的氧缺陷位點中氫的俘獲與脫離彼此阻礙而使膜中的氫濃度成為平衡狀態。再者，在氮氛圍下進行加熱處理時，氧脫離而氧缺陷增加，因此被氧缺陷位點俘獲的氫原子的量進一步增加。

[0844] 另外，如圖 81B 所示，與樣本 8B 相比，在樣本 8F 至樣本 8H 中，至少在離 In-Ga-Zn 氧化物（111）的表面 40nm 左右的深度的區域中，氫濃度得到降低。這意味著：由於蝕刻擴散到 In-Ga-Zn 氧化物（111）中的氫經過之後在氧氛圍下進行的加熱處理被脫離。

[0845] 注意，在 300℃下進行加熱處理的樣本 8F 的氫濃度為 1.1×10^{19}atoms/cm^3 左右。另一方面，在 350℃下進行加熱處理的樣本 8G 及在 400℃下進行加熱處理的樣本 8H 的氫濃度與樣本 8A 大致相等。這可以認為如下緣故：在樣本 8F 中，由於加熱溫度較低，所以在 In-Ga-Zn 氧化物（111）中的氧缺陷位點中氫的俘獲與釋放彼此阻

礙而使膜中的氫濃度成為平衡狀態。

[0846] 在此，對於氧氛圍下進行加熱處理的樣本 8F 至樣本 8H，雖然在比在氮氛圍下進行加熱處理的樣本 8C 至 8E 低的溫度下進行加熱處理，但是可以進一步降低氫濃度。這可以認為如下緣故：在樣本 8F 至樣本 8H 中，藉由在氧氛圍下進行加熱處理供應氧而可以減少氧缺陷，因此可以減少在加熱處理中被氧缺陷俘獲的氫的量。

[0847] 下面，對 HX-PES 分析結果進行說明。用於 HX-PES 分析的樣本是如下三個樣本：藉由與樣本 8A 同樣的方法形成的樣本 8I；藉由與樣本 8B 同樣的方法製造的樣本 8J；以及藉由與樣本 8G 同樣的方法形成的樣本 8K。

[0848] 圖 82 示出對樣本 8I 至樣本 8K 進行 HX-PES 分析的結果。在圖 82 中，橫軸表示鍵能 [eV]，縱軸表示信號的強度（任意單位）。另外，圖 82 所示的資料是以 Au 的費米能階為基準進行定量化的資料，橫軸 0eV 是近於 In-Ga-Zn 氧化物（111）的費米能階的能量。此外，橫軸的 0eV 至 3.2eV 的區域對應於 In-Ga-Zn 氧化物（111）的能隙。

[0849] 如圖 82 所示，在 0eV 至 3.2eV 的區域中，樣本 8J 的信號的強度比樣本 8I 大。在圖表中，樣本 8J 在 2.8eV 附近及 0eV 至 0.5eV 的區域具有峰值。如上所述，0eV 至 3.2eV 的區域對應於 In-Ga-Zn 氧化物（111）的能隙，因此可知，具有 2.8eV 附近及 0eV 至 0.5eV 附近的峰

值的樣本 8J 在能隙內形成有缺陷能階。另外，上述峰值的位置等例如根據圖表的分析方法可能變化。

[0850] 樣本 8J 的 2.8eV 附近的峰值位於能隙的深能階處，這估計為來源於與 In-Ga-Zn 氧化物（111）的氧缺陷對應的缺陷能階。另外，樣本 8J 的 0eV 至 0.5eV 的區域的峰值位於能隙的淺能階處，估計為與被 In-Ga-Zn 氧化物（111）的氧缺陷俘獲的氫對應的缺陷能階。如此可知，在進行上述蝕刻的 In-Ga-Zn 氧化物（111）中，形成氧缺陷及被氧缺陷俘獲的氫原子。

[0851] 另一方面，在圖表中，蝕刻之後在氧氛圍下進行加熱處理的樣本 8K 具有與樣本 8I 大致相同的形狀，與樣本 8J 不同，樣本 8K 的 2.8eV 附近及 0eV 至 0.5eV 的區域的信號的強度也顯著地變低。但是，在樣本 8K 中也稍微出現 2.8eV 附近的峰值，其部分中的信號的強度比樣本 8I 稍微高。如此，可知，藉由上述蝕刻形成在 In-Ga-Zn 氧化物（111）中的氧缺陷及被氧缺陷俘獲的氫經過加熱處理得到降低。

[0852] 如此，可知，在上述實施方式中，藉由在對半導體 106b 進行圖案化之後進行加熱處理，可以使擴散到半導體 106b 中的氫脫離。由此，可以抑制氫等擴散到半導體 106b 中而形成缺陷能階。如此，藉由使用缺陷能階密度得到降低的氧化物半導體，可以提供一種具有穩定的電特性的電晶體。

實施例 9

[0853] 在本實施例中，作為在絕緣體 103 中具有電子俘獲區域的電晶體，形成樣本 9A 及樣本 9B，對藉由將電子注入到絕緣體 103 中發生變化的該電晶體的臨界電壓進行評價。

[0854] 另外，關於電晶體的結構，可以參照圖 9A 和圖 9B 等，關於電晶體的製造方法，可以參照圖 13A 至圖 15D 等。

[0855] 首先，作為基板 100，準備依次層疊有厚度為 100nm 的氧化矽膜、厚度為 280nm 的氮氧化矽膜、厚度為 300nm 的氧化矽膜、厚度為 300nm 的氧化矽膜的矽基板。

[0856] 接著，作為絕緣體 101，藉由濺射法形成厚度為 35nm 的氧化鋁膜。

[0857] 接著，藉由 PECVD 法形成厚度為 150nm 的氧化矽膜。在該氧化矽膜上形成光阻劑，使用該光阻劑進行加工，由此形成絕緣體 107。

[0858] 接著，藉由 CVD 法形成厚度為 5nm 的氮化鈦膜，在其上形成厚度為 250nm 的鎢膜。之後，進行 CMP 處理，以填充在絕緣體 107 的方式形成導電體 102。

[0859] 接著，作為絕緣體 105，藉由 PECVD 法形成厚度為 10nm 的氧化矽膜。成膜條件為：作為沉積氣體使用 1sccm 的 SiH_4、800sccm 的 N_2O，RF 電源頻率為 60MHz，RF 電源功率為 150W，成膜壓力為 40Pa，基板溫度為 500℃。

[0860] 接著，作為絕緣體 103，藉由 ALD 法形成厚度為 20nm 的氧化鉿膜。在藉由 ALD 法的成膜中，基板溫度為 200℃，使用使包含四二甲基醯胺鉿（TDMAH）的固體氣化的源氣體及作為氧化劑的 O_3 氣體。

[0861] 接著，作為絕緣體 104，藉由 PECVD 法形成厚度為 30nm 的氧化矽。成膜條件為：作為沉積氣體使用 1sccm 的 SiH_4、800sccm 的 N_2O，RF 電源頻率為 60MHz，RF 電源功率為 150W，成膜壓力為 40Pa，基板溫度為 500℃。

[0862] 接著，在氧氛圍下以 490℃進行 1 小時的加熱處理。

[0863] 接著，作為成為絕緣體 106a 的氧化物，藉由 DC 濺射法形成厚度為 20nm 的 In-Ga-Zn 氧化物。另外，在形成 In-Ga-Zn 氧化物時，使用 In:Ga:Zn=1:3:4[原子數比]的靶材，作為沉積氣體使用 40sccm 的氬氣體及 5sccm 的氧氣體，成膜壓力為 0.7Pa（使用由日本佳能-安內華公司製造的小型真空計 MG-2 測量），成膜功率為 500W，基板溫度為 200℃，靶材-基板間距離為 60mm。

[0864] 接著，作為成為半導體 106b 的氧化物，藉由 DC 濺射法形成厚度為 15nm 的 In-Ga-Zn 氧化物。另外，在形成 In-Ga-Zn 氧化物時，使用 In:Ga:Zn=1:1:1[原子數比]的靶材，作為沉積氣體使用 30sccm 的氬氣體及 15sccm 的氧氣體，成膜壓力為 0.7Pa（使用由日本佳能-安內華公司製造的小型真空計 MG-2 測量），成膜功率為

500W，基板溫度為 300℃，靶材-基板間距離為 60mm。

[0865] 接著，在氮氛圍下以 450℃進行 1 小時的加熱處理，並且在氧氛圍下以 450℃進行 1 小時的加熱處理。

[0866] 接著，作為成為導電體 108a、導電體 108b 的導電體，藉由 DC 濺射法形成厚度為 20nm 的鎢膜。

[0867] 接著，在該導電體上形成光阻劑，使用該光阻劑進行加工，由此形成絕緣體 106a、半導體 106b 及島狀導電體。

[0868] 接著，在該島狀導電體上形成光阻劑，使用該光阻劑進行加工，由此形成導電體 108a 及導電體 108b。

[0869] 接著，作為成為絕緣體 106c 的氧化物，藉由 DC 濺射法形成厚度為 5nm 的 In-Ga-Zn 氧化物。另外，在形成 In-Ga-Zn 氧化物時，使用 In:Ga:Zn=1:3:2[原子數比]的靶材，作為沉積氣體使用 30sccm 的氬氣體及 15sccm 的氧氣體，成膜壓力為 0.7Pa，成膜功率為 500W，基板溫度為 200℃，靶材-基板間距離為 60mm。

[0870] 接著，作為成為絕緣體 112 的氧氮化物，藉由 PECVD 法形成厚度為 10nm 的氧氮化矽膜。

[0871] 接著，作為成為導電體 114 的導電體，藉由 DC 濺射法依次形成厚度為 10nm 的氮化鈦膜、厚度為 30nm 的鎢膜。接著，在該導電體上形成光阻劑，使用該光阻劑進行加工，形成導電體 114。

[0872] 接著，使用光阻劑對上述氧化物及氧氮化物

進行加工，由此形成絕緣體 106c 及絕緣體 112。

[0873] 接著，作為絕緣體 116，藉由 RF 濺射法形成厚度為 40nm 的氧化鋁。另外，作為沉積氣體使用 25sccm 的氬氣體及 25sccm 的氧氣體，成膜壓力為 0.4Pa，成膜功率為 2500W，基板溫度為 250℃，靶材-基板間距離為 60mm。

[0874] 接著，在氧氛圍下以 400℃進行 1 小時的加熱處理。

[0875] 接著，藉由 PECVD 法形成厚度為 150nm 的氧氮化矽膜。

[0876] 接著，藉由 DC 濺射法依次形成厚度為 50nm 的鈦膜、厚度為 200nm 的鋁膜、厚度為 50nm 的鈦膜。接著，使用光阻劑對上述膜進行加工，由此形成導電體 120a 及導電體 120b。

[0877] 藉由上述製程，作為樣本 9A 形成通道長度 L 為 64nm 且通道寬度 W 為 51nm 的電晶體。另外，作為樣本 9B，藉由同樣的方法形成通道長度 L 為 43nm 且通道寬度 W 為 44nm 的電晶體。

[0878] 在本實施例中，如圖 83E 所示，對樣本 9A 及樣本 9B 的背閘極（導電體 102）施加電位而將電子注入到絕緣體 103 中，使電晶體的臨界電壓發生變化。在此，在背閘極電壓 Vbg=40V，汲極電壓 Vd=0V，源極電壓 =0V，頂閘極（導電體 114）電壓 Vg=0V 的情況下將電子注入到絕緣體 103 中。另外，背閘極電壓的施加時間為 0

秒、0.4 秒、0.8 秒、1.2 秒、1.6 秒、2.0 秒及 2.4 秒，在各電子注入條件下測量 Id-Vg 特性。在 Id-Vg 特性的測量中，將背閘極電壓設定為 0V，將汲極電壓設定為 1.8V，以每次增加 0.1V 的方式將閘極電壓從-3.0V 掃描到 3.0V。

[0879] 圖 83A 及圖 83C 示出樣本 9A 及樣本 9B 的 Id-Vg 特性的測量結果。在圖 83A 及圖 83C 中，橫軸表示閘極電壓 Vg[V]，縱軸表示汲極電流 Id[A]。另外，圖 83B 示出從圖 83A 的圖表算出的樣本 9A 的臨界電壓 Vth 及 Shift。同樣地，圖 83D 示出從圖 83C 的圖表算出的樣本 9B 的臨界電壓 Vth 及 Shift。

[0880] 從圖 83A 至圖 83D 可知：在樣本 9A 及樣本 9B 中，藉由對背閘極施加電位而將電子注入到絕緣體 103 中，臨界電壓發生變化。另外，可知：根據對背閘極施加電壓的時間，可以調整臨界電壓。

【符號說明】

[0881]

10：電晶體

12：電晶體

14：電晶體

16：電晶體

18：電晶體

20：電晶體

22：電晶體

24：電晶體

26：電晶體

28：電晶體

29：電晶體

100：基板

101：絕緣體

102：導電體

102a：導電體

102b：導電體

103：絕緣體

104：絕緣體

105：絕緣體

106a：絕緣體

106b：半導體

106c：絕緣體

107：絕緣體

108：導電體

108a：導電體

108b：導電體

109：低電阻區域

109a：低電阻區域

109b：低電阻區域

110：絕緣體

110a：導電體

110b：導電體

111：金屬氧化物

111a：金屬氧化物

111b：金屬氧化物

112：絕緣體

113：絕緣體

114：導電體

116：絕緣體

117：絕緣體

118：絕緣體

120a：導電體

120b：導電體

126a：絕緣體

126b：半導體

126c：絕緣體

128：導電體

132：絕緣體

134：導電體

186：氧

200：攝像裝置

201：開關

202：開關

203：開關

210：像素部

211：像素

212：子像素

212B：子像素

212G：子像素

212R：子像素

220：光電轉換元件

230：像素電路

231：佈線

247：佈線

248：佈線

249：佈線

250：佈線

253：佈線

254：濾色片

254B：濾色片

254G：濾色片

254R：濾色片

255：透鏡

256：光

257：佈線

260：週邊電路

270：週邊電路

280：週邊電路

290：週邊電路

291：光源

300：矽基板

310：層

320：層

330：層

340：層

351：電晶體

352：電晶體

353：電晶體

360：光電二極體

361：陽極

363：低電阻區域

370：插頭

371：佈線

372：佈線

373：佈線

380：絕緣體

450：半導體基板

452：絕緣體

454：導電體

456：區域

460：區域

462：絕緣體

464：絕緣體

466：絕緣體

468：絕緣體

472a：區域

472b：區域

474a：導電體

474b：導電體

474c：導電體

476a：導電體

476b：導電體

478a：導電體

478b：導電體

478c：導電體

480a：導電體

480b：導電體

480c：導電體

489：絕緣體

490：絕緣體

491：絕緣體

492：絕緣體

493：絕緣體

494：絕緣體

496a：導電體

496b：導電體

496c：導電體

496d：導電體

498a：導電體

498b：導電體

498c：導電體

504：導電體

511：絕緣體

514：導電體

516a：導電體

516b：導電體

700：基板

704a：導電體

704b：導電體

706a：半導體

706b：半導體

712a：絕緣體

712b：絕緣體

714a：導電體

714b：導電體

716a：導電體

716b：導電體

718a：絕緣體

718b：絕緣體

718c：絕緣體

719：發光元件

720：絕緣體

721：絕緣體

731：端子

732：FPC

733a：佈線

734：密封材料

735：驅動電路

736：驅動電路

737：像素

741：電晶體

742：電容器

743：切換元件

744：信號線

750：基板

751：電晶體

752：電容器

753：液晶元件

754：掃描線

755：信號線

781：導電體

782：發光層

783：導電體

784：分隔壁

791：導電體

792：絕緣體

793：液晶層

794：絕緣體

795：間隔物

796：導電體

797：基板

901：外殼

902：外殼

903：顯示部

904：顯示部

905：麥克風

906：揚聲器

907：操作鍵

908：觸控筆

911：外殼

912：外殼

913：顯示部

914：顯示部

915：連接部

916：操作鍵

921：外殼

922：顯示部

923：鍵盤

924：指向裝置

931：外殼

932：冷藏室門

933：冷凍室門

941：外殼

942：外殼

943：顯示部

944：操作鍵

945：透鏡

946：連接部

951：車體

952：車輪

953：儀表板

954：燈

1000：成膜裝置

1002：搬入室

1004：搬出室

1006：傳送室

1008：成膜室

1009：成膜室

1010：成膜室

1014：傳送臂部

1020：處理室

1021a：原料供應部

1021b：原料供應部

1022a：高速閥

1022b：高速閥

1023a：原料引入口

1023b：原料引入口

1024：原料排出口

1025：排氣裝置

1026：基板支架

1028：電漿產生裝置

1030：基板

1189：ROM 介面

1190：基板

1191：ALU

1192：ALU 控制器

1193：指令解碼器

1194：中斷控制器

1195：時序控制器

1196：暫存器

1197：暫存器控制器

1198：匯流排介面

1199：ROM

1200：記憶元件

1201：電路

1202：電路

1203：開關

1204：開關

1206：邏輯元件

1207：電容器

1208：電容器

1209：電晶體

1210：電晶體

1213：電晶體

1214：電晶體

1220：電路

1400：基板

1402：絕緣體

1402a：絕緣體

1404：導電體

1408：絕緣體

1413：導電體

1416a：導電體

1416b：導電體

1454：導電體

1462：絕緣體

1464：絕緣體

1464a：絕緣體

1464b：絕緣體

1476：區域

1511：導電體

1511a：導電體

1511b：導電體

1513：導電體

1514：導電體

1516：導電體

1516b：導電體

1517：導電體

1518：導電體

1519：導電體

1541：插頭

1543：插頭

1544：插頭

1544b：插頭

1545：插頭

1547：插頭

1547b：插頭

1548：插頭

1571：絕緣體

1571a：絕緣體

1581：絕緣體

1581a：絕緣體

1581b：絕緣體

1584：絕緣體

1585：絕緣體

1591：絕緣體

1592：絕緣體

1594：絕緣體

1595：絕緣體

1599：絕緣體

1627：層

1628：層

1629：層

1630：層

1631：層

2100：電晶體

2200：電晶體

2700：製造裝置

2701：大氣側基板供應室

2702：大氣側基板傳送室

2703a：負載鎖定室

2703b：卸載閉鎖室

2704：傳送室

2706a：處理室

2706b：處理室

2706c：處理室

2706d：處理室

2761：盒式介面

2762：對準介面

2763a：傳送機器人

2763b：傳送機器人

2801：氣體供應源

2802：閥

2803：高頻產生器

2804：波導管

2805：模式轉換器

2806：氣體管

2807：波導管

2808：縫隙天線板

2809：電介質板

2810：高密度電漿

2811：基板

2812：基板載物台

2813：加熱機構

2815：匹配器

2816：高頻電源

2817：真空泵

2818：閥

2819：排氣口

2820：燈

2821：氣體供應源

2822：閥

2823：氣體導入口

2824：基板

2825：基板載物台

2826：加熱結構

2828：真空泵

2829：閥

2830：排氣口

3001：佈線

3002：佈線

3003：佈線

3004：佈線

3005：佈線

3006：佈線

3200：電晶體

3300：電晶體

3400：電容器

3500：電晶體

3600：電晶體

4001：佈線

4003：佈線

4005：佈線

4006：佈線

4007：佈線

4008：佈線

4009：佈線

4021：層

4022：層

4023：層

4100：電晶體

4200：電晶體

4300：電晶體

4400：電晶體

4500：電容器

4600：電容器

第 105111498 號　　民國 108 年 10 月 9 日修正

申請專利範圍

1.一種半導體裝置，包括：

基板上的第一絕緣體；

該第一絕緣體上的第二絕緣體；

與該第二絕緣體的頂面的至少一部分接觸的氧化物半導體；

與該氧化物半導體的頂面的至少一部分接觸的第三絕緣體；

與該氧化物半導體電連接的第一導電體及第二導電體；

該第三絕緣體上的第四絕緣體；

該第四絕緣體上且其至少一部分位於該第一導電體與該第二導電體之間的第三導電體；

該第三導電體上的第五絕緣體；

該第一絕緣體下的第六絕緣體；以及

該第六絕緣體與該第一絕緣體之間的第四導電體；

其中，該第一絕緣體包含鹵素元素，

其中該第六絕緣體的氫及水的透過性比該第一絕緣體低，

其中該第四導電體的至少一部分與該氧化物半導體重疊。

2.根據申請專利範圍第 1 項之半導體裝置，其中藉由熱脫附譜分析測量的從該第一絕緣體釋放的水分子的個數為 1.0×10^{13}molecules/cm^2 以上且 1.4×10^{16}molecules/cm^2 以

下。

3.根據申請專利範圍第 1 項之半導體裝置，還包括該第四導電體與該第一絕緣體之間的第七絕緣體，其中該第七絕緣體包含鉿。

4.根據申請專利範圍第 3 項之半導體裝置，其中藉由熱脫附譜分析測量的從該第一絕緣體和該第七絕緣體的疊層膜釋放的水分子的個數為 1.0×10^{13}molecules/cm^2 以上且 1.4×10^{16}molecules/cm^2 以下。

5.根據申請專利範圍第 3 項之半導體裝置，其中藉由熱脫附譜分析測量的從該第一絕緣體和該第七絕緣體的疊層膜釋放的氫分子的個數為 1.0×10^{13}molecules/cm^2 以上且 1.2×10^{15}molecules/cm^2 以下。

6.根據申請專利範圍第 1 項之半導體裝置，其中該鹵素元素是氟、氯或溴。

7. 一種半導體裝置，包括：

基板上的第一絕緣體；

該第一絕緣體上的第二絕緣體；

與該第二絕緣體的頂面的至少一部分接觸的氧化物半導體；

與該氧化物半導體的頂面的至少一部分接觸的第三絕緣體；

與該氧化物半導體電連接的第一導電體及第二導電體；

該第三絕緣體上的第四絕緣體；

該第一導電體下的第五絕緣體；以及

位於該第五絕緣體與該第一絕緣體之間的第三導電體；

其中，該第一絕緣體包含鹵素元素；

其中，該第五絕緣體與該第一絕緣體相比不容易使氫及水透過；

其中，該第三導電體的至少一部分與該氧化物半導體重疊。

8. 根據申請專利範圍第 7 項之半導體裝置，其中藉由熱脫附譜分析測量的從該第一絕緣體釋放的水分子的個數為 1.0×10^{13}molecules/cm^2 以上且 1.4×10^{16}molecules/cm^2 以下。

9. 根據申請專利範圍第 7 項之半導體裝置，還包括該第三導電體與該第一絕緣體之間的第六絕緣體，其中該第六絕緣體包含鉿。

10. 根據申請專利範圍第 9 項之半導體裝置，其中藉由熱脫附譜分析測量的從該第一絕緣體和該第六絕緣體的疊層膜釋放的水分子的個數為 1.0×10^{13}molecules/cm^2 以上且 1.4×10^{16}molecules/cm^2 以下。

11. 根據申請專利範圍第 9 項之半導體裝置，其中藉由熱脫附譜分析測量的從該第一絕緣體和該第六絕緣體的疊層膜釋放的氫分子的個數為 1.0×10^{13}molecules/cm^2 以上且 1.2×10^{15}molecules/cm^2 以下。

12. 根據申請專利範圍第 7 項之半導體裝置，其中該

鹵素元素是氟、氯或溴。

13. 一種半導體裝置，包括：

第一絕緣體中的開口中填充的第一導電體；

與該第一導電體的頂面及該第一絕緣體的頂面接觸的第二絕緣體；

該第二絕緣體上的第一氧化物半導體；

該第一氧化物半導體上的第二氧化物半導體；

該第二氧化物半導體上的第三氧化物半導體；

該第三氧化物半導體上的閘極絕緣體；

該閘極絕緣體上的第二導電體；

與該第三氧化物半導體電連接的源極電極及汲極電極；

該源極電極及該汲極電極上的第三絕緣體；以及

與該第二導電體的頂面及該第三絕緣體的頂面接觸的第四絕緣體；

其中該閘極絕緣體具有插入於該第三絕緣體及該第二導電體之間的區域。

14. 一種半導體裝置，包括：

第一絕緣體中的開口中填充的第一導電體；

與該第一導電體的頂面及該第一絕緣體的頂面接觸的第二絕緣體；

該第二絕緣體上的第一氧化物半導體；

該第一氧化物半導體上的第二氧化物半導體；

該第二氧化物半導體上的第三氧化物半導體；

該第三氧化物半導體上的閘極絕緣體；

該閘極絕緣體上的第二導電體；

與該第三氧化物半導體電連接的源極電極及汲極電極；

該源極電極及該汲極電極上的第三絕緣體；以及

與該第二導電體的頂面及該第三絕緣體的頂面接觸的第四絕緣體；

其中該閘極絕緣體及該第三氧化物半導體具有插入於該第三絕緣體及該第二導電體之間的區域。

15. 根據申請專利範圍第 13 或 14 項之半導體裝置，其中該第三絕緣體包含氟。

16. 根據申請專利範圍第 13 或 14 項之半導體裝置，其中該第四絕緣體是氮化物絕緣膜或氧化鋁膜。

17. 根據申請專利範圍第 13 或 14 項之半導體裝置，其中該源極電極及該汲極電極覆蓋該第二氧化物半導體的側面。

圖式

圖 1A

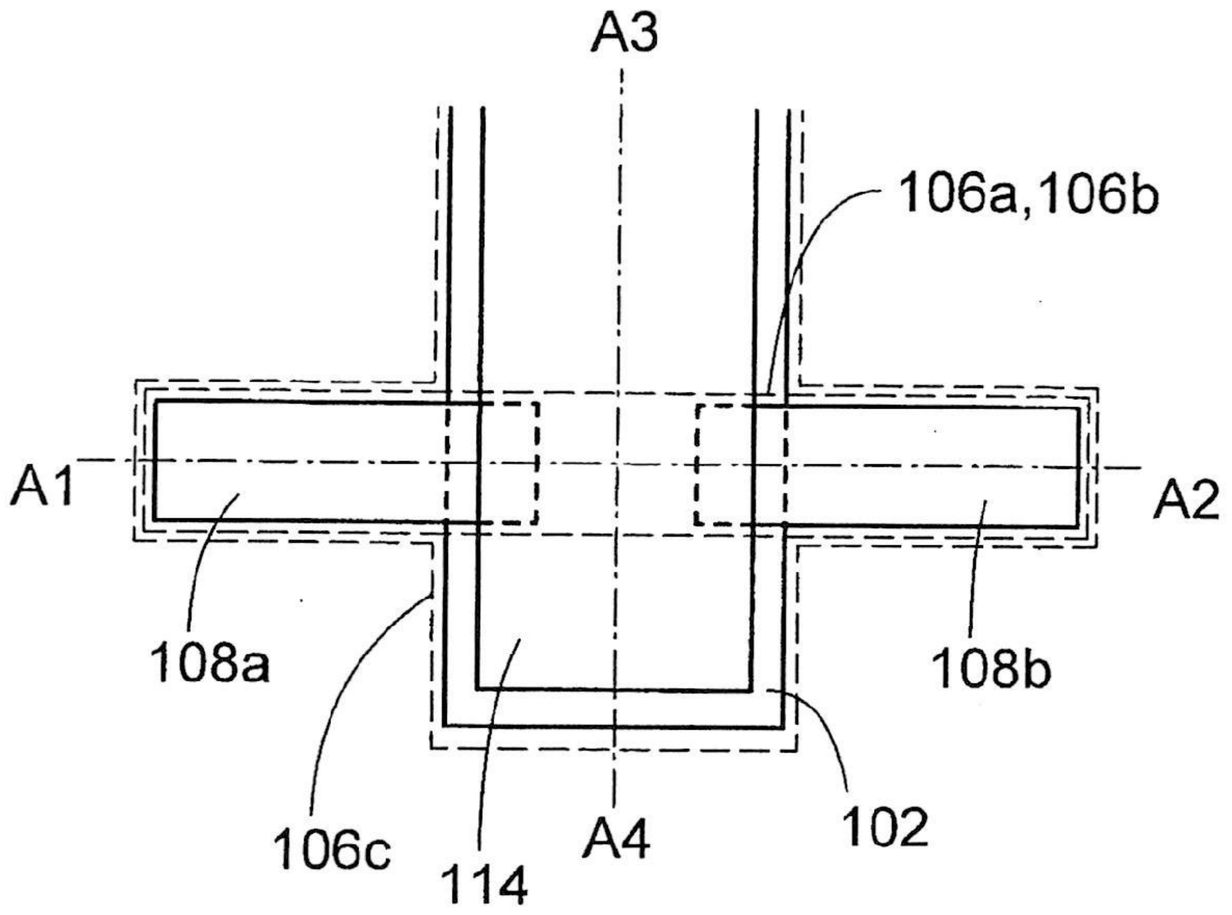


圖 1B

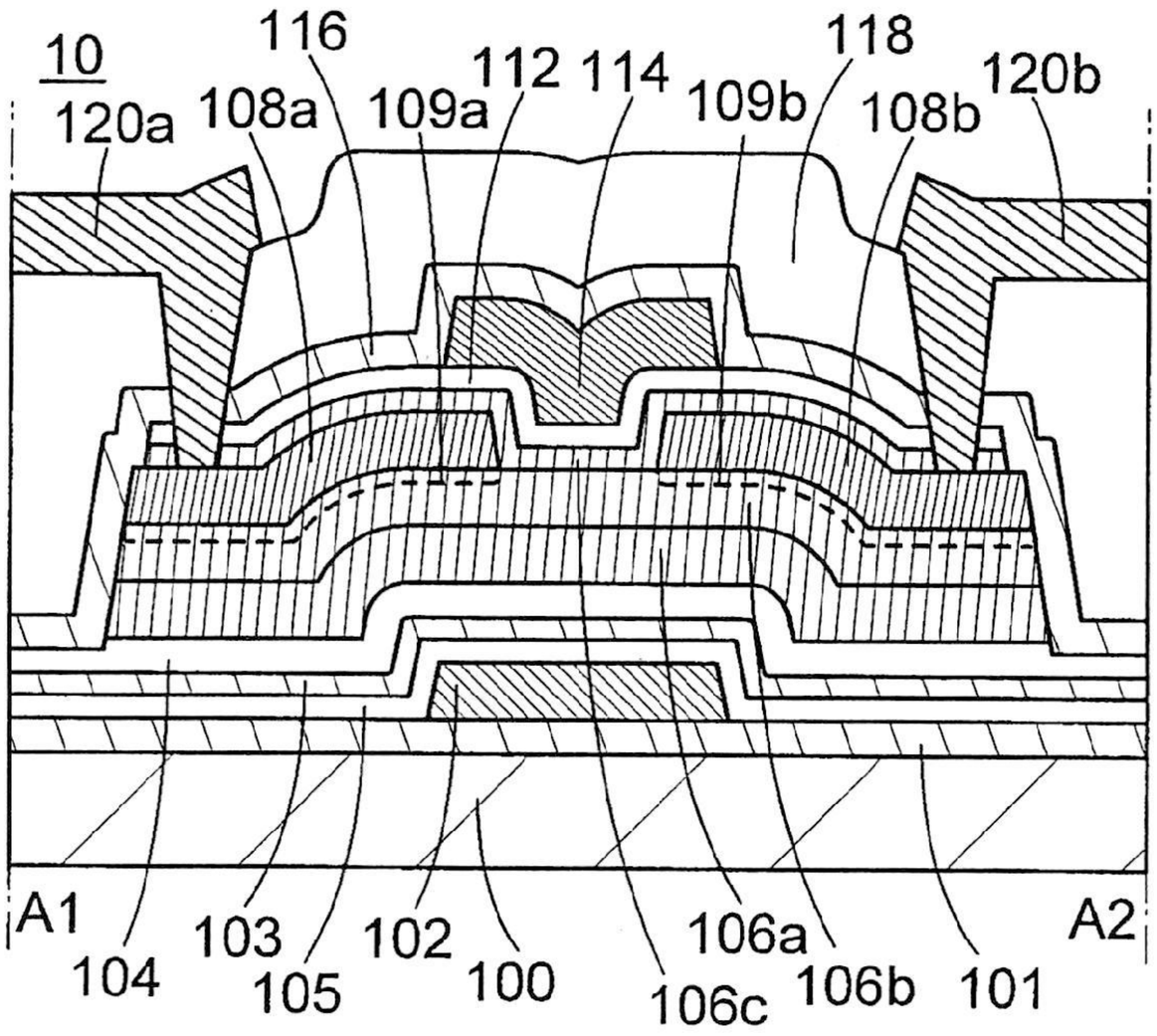


圖 1C

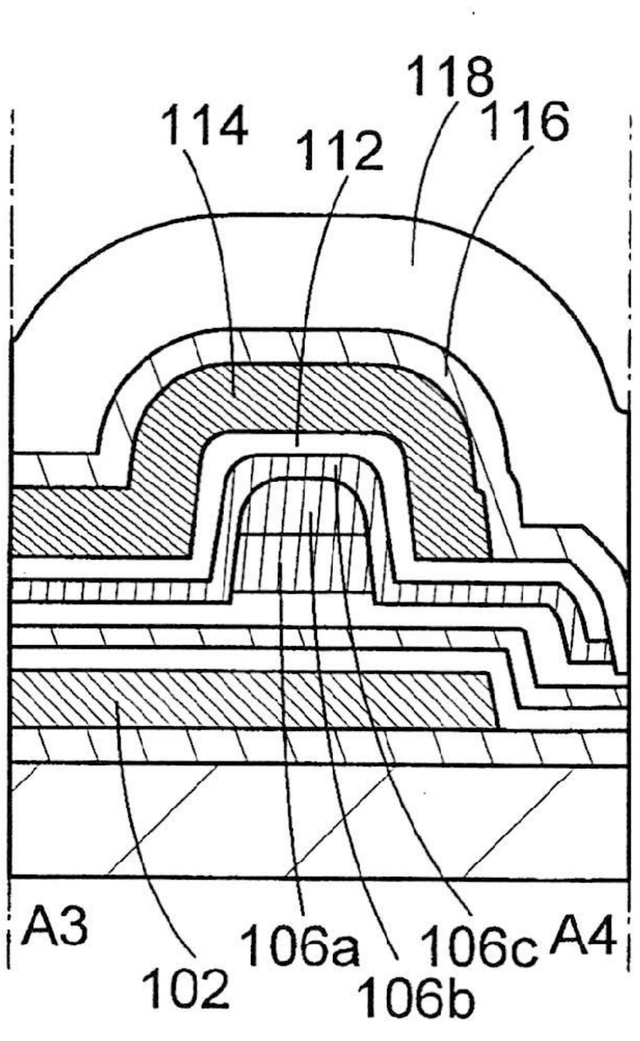


圖 1D

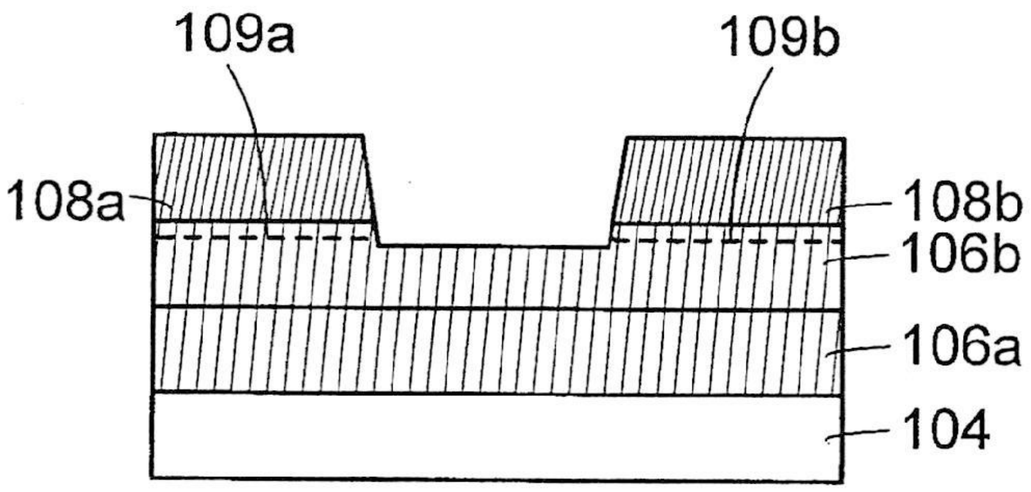


圖 2A

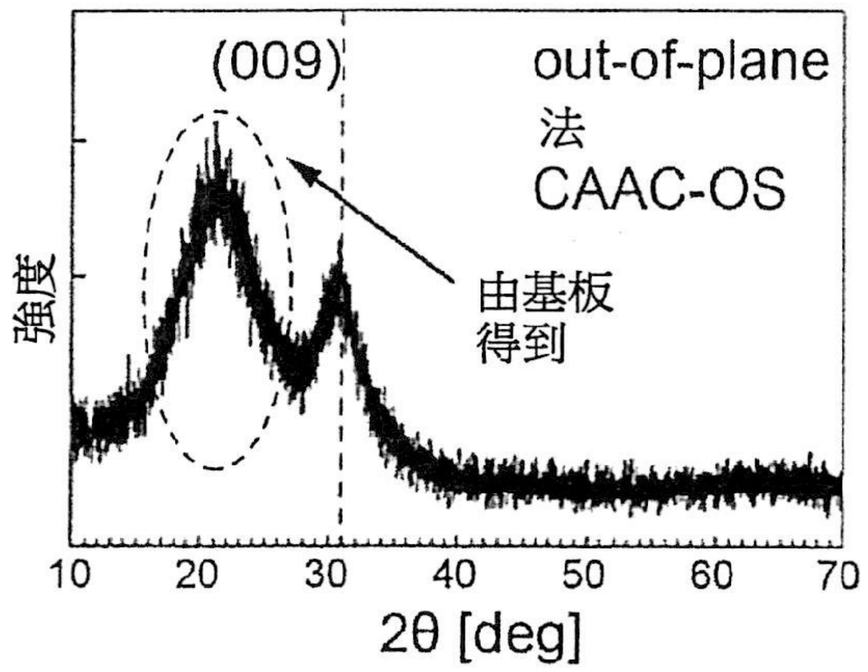


圖 2B

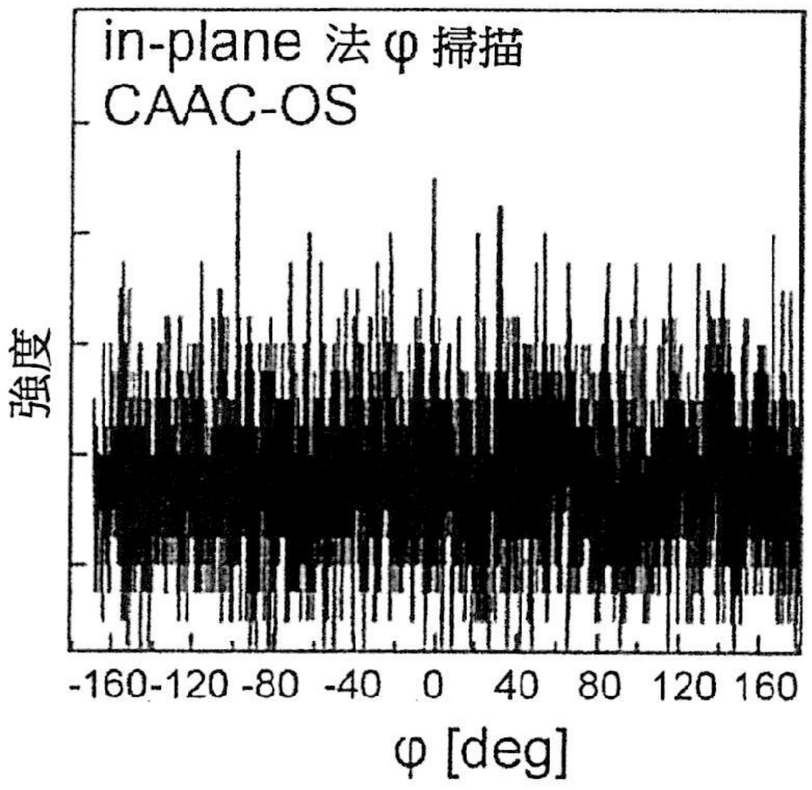


圖 2C

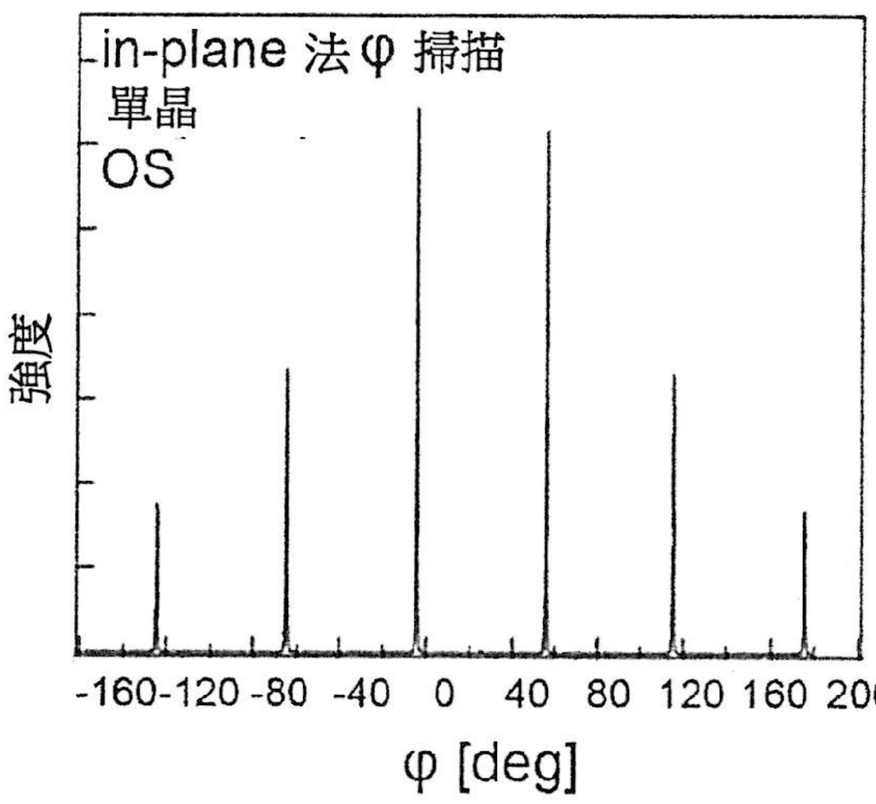


圖 2D

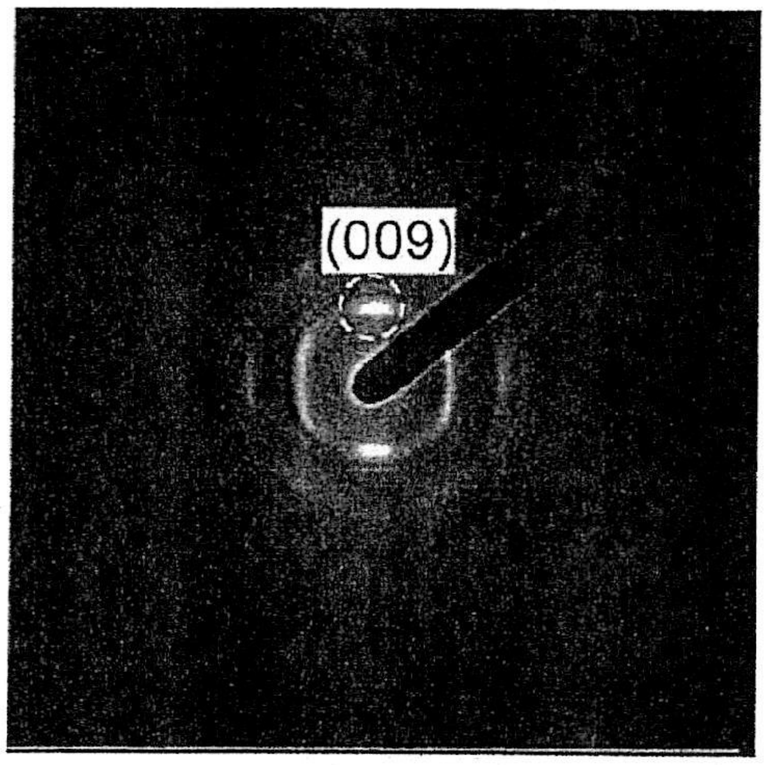


圖 2E

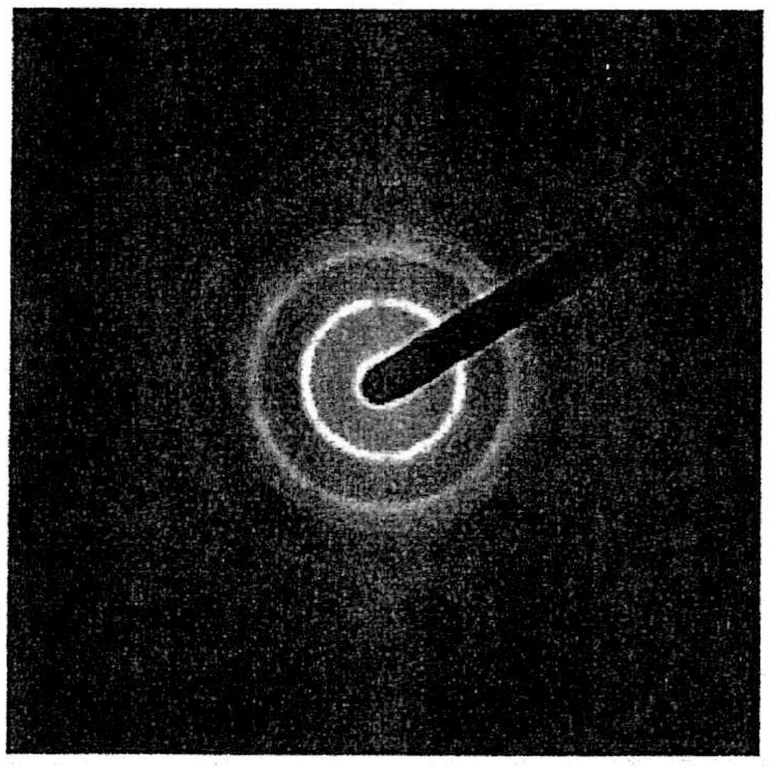


圖 3A

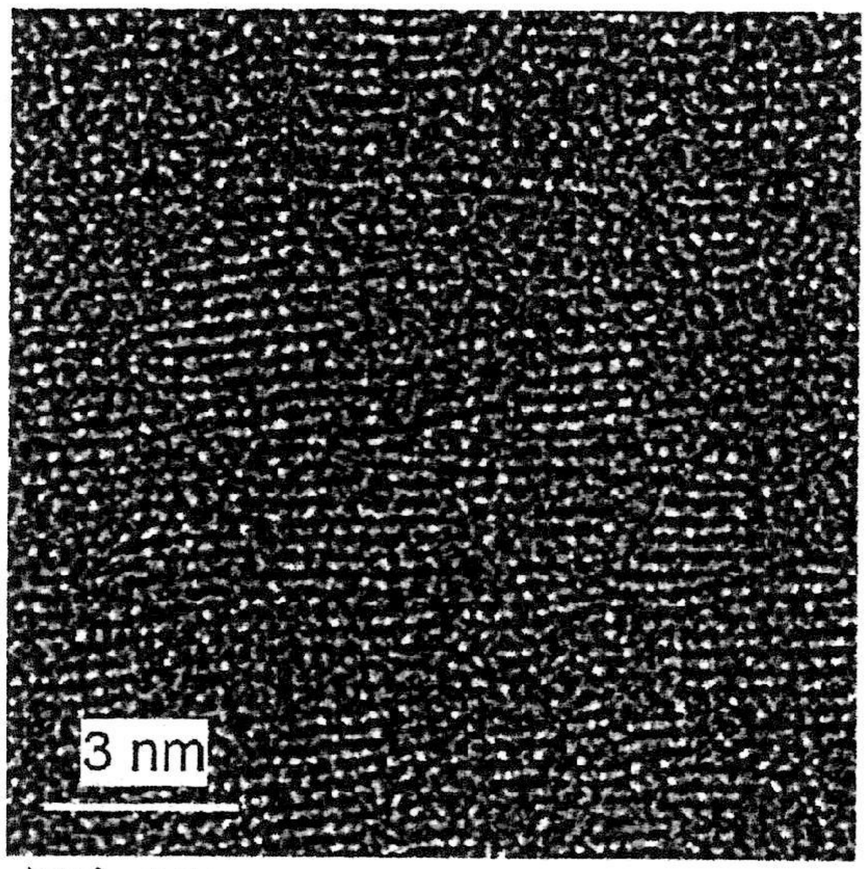


圖 3B

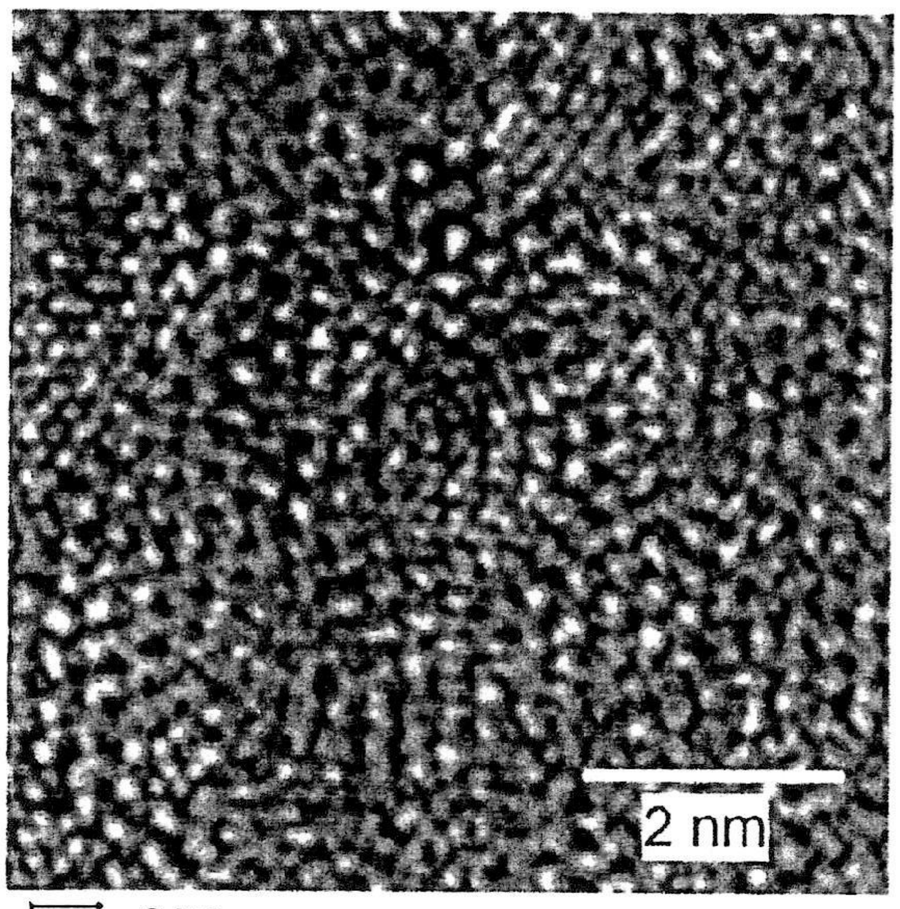


圖 3C

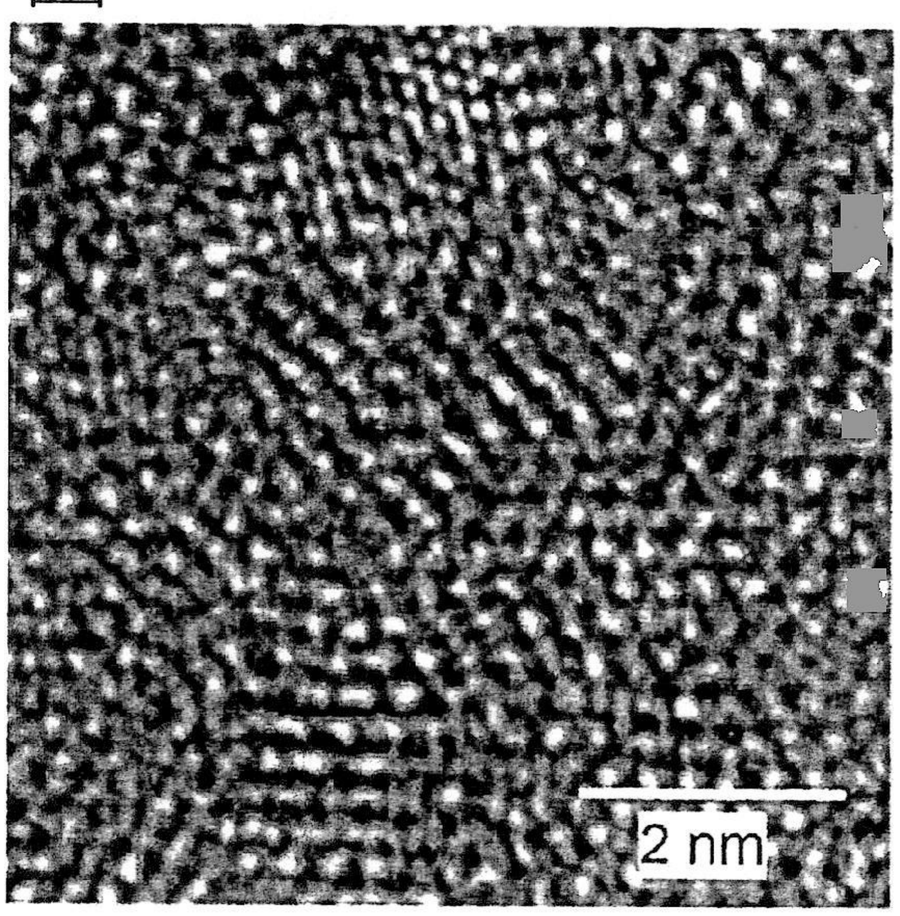


圖 3D

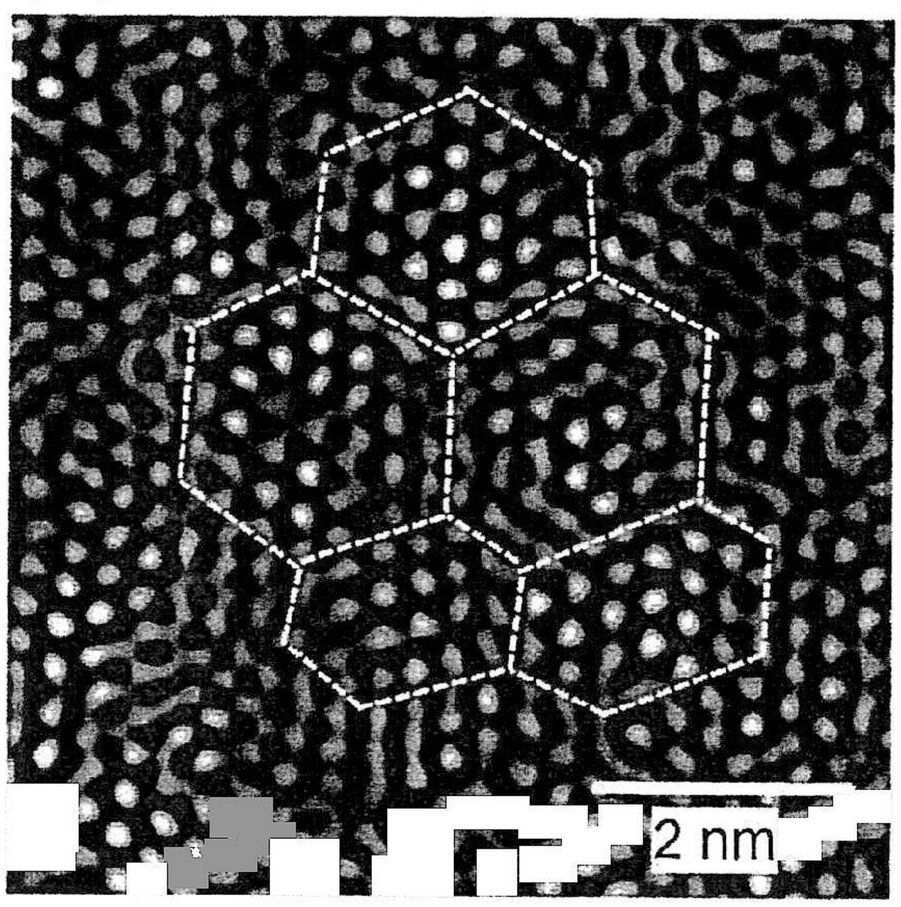


圖 3E

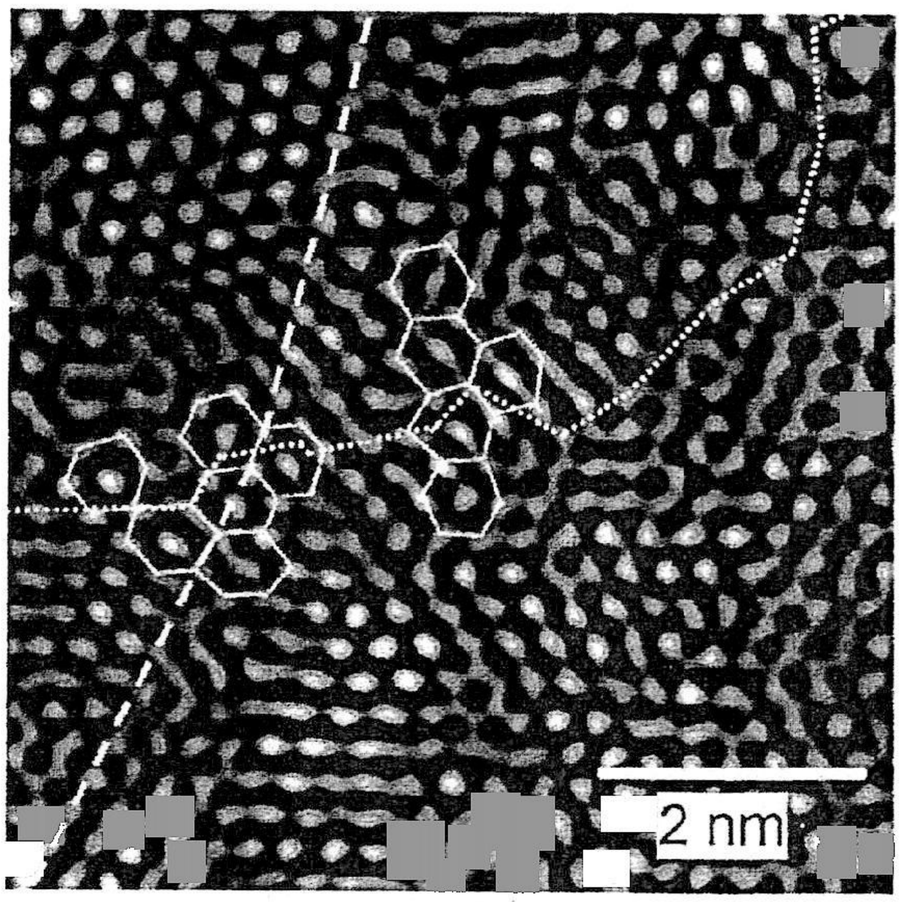


圖 4A

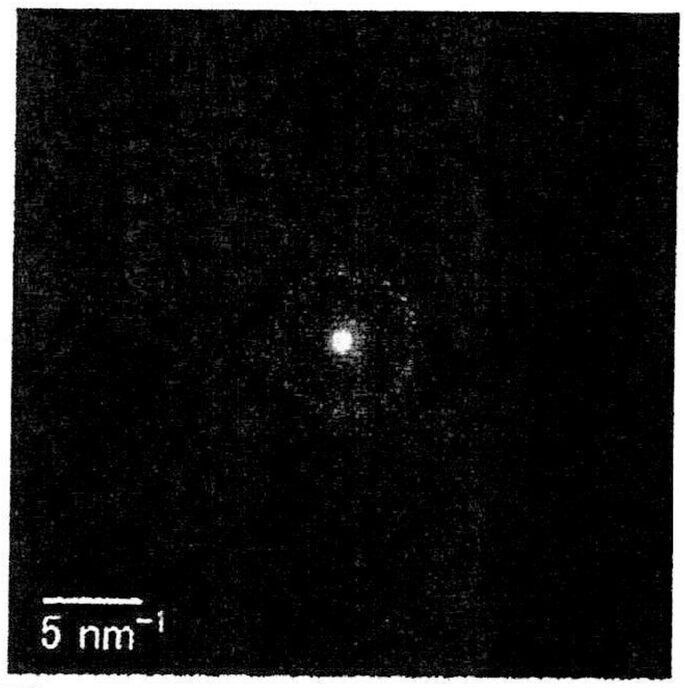


圖 4B

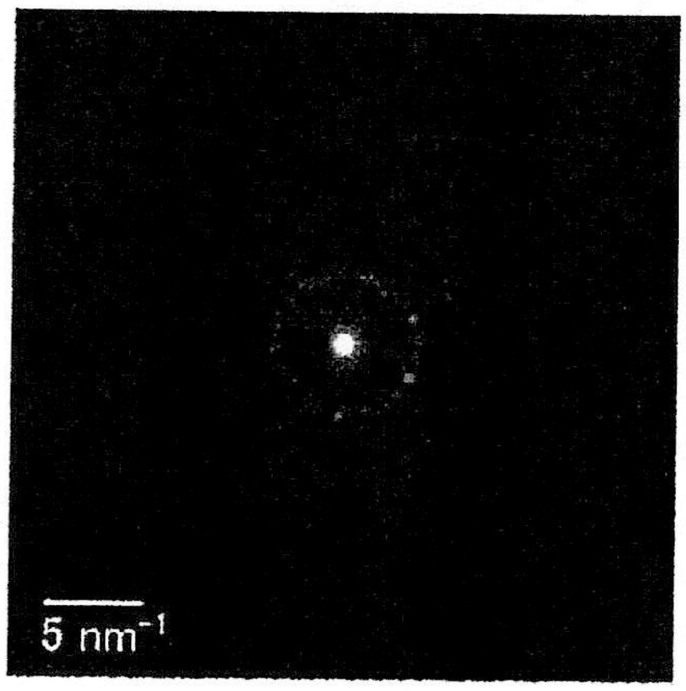


圖 4C

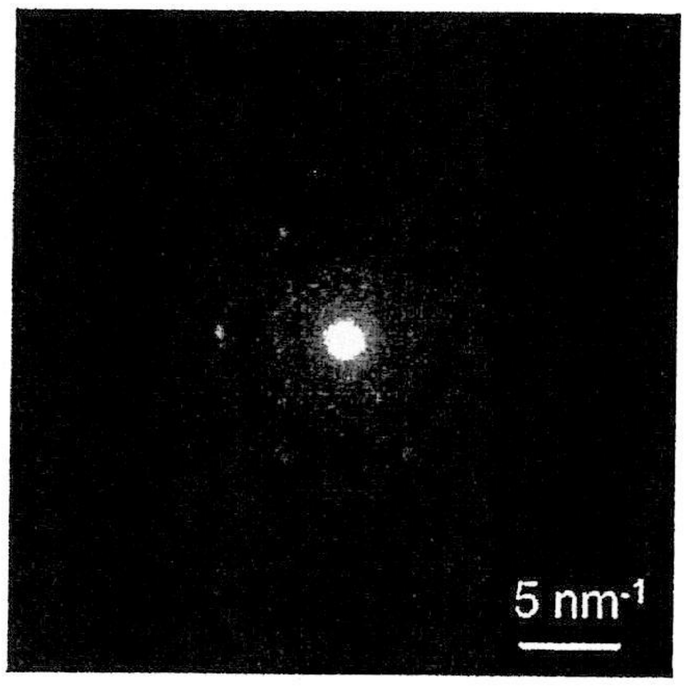


圖 4D

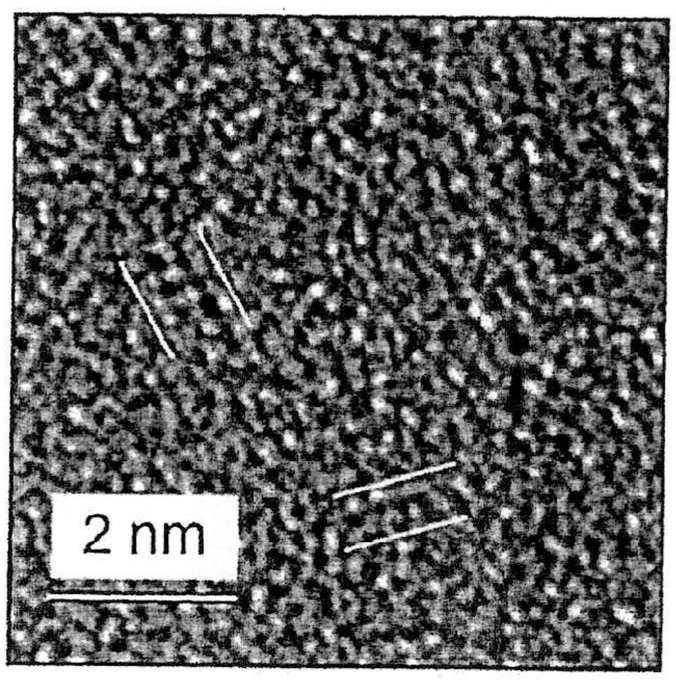


圖 5A

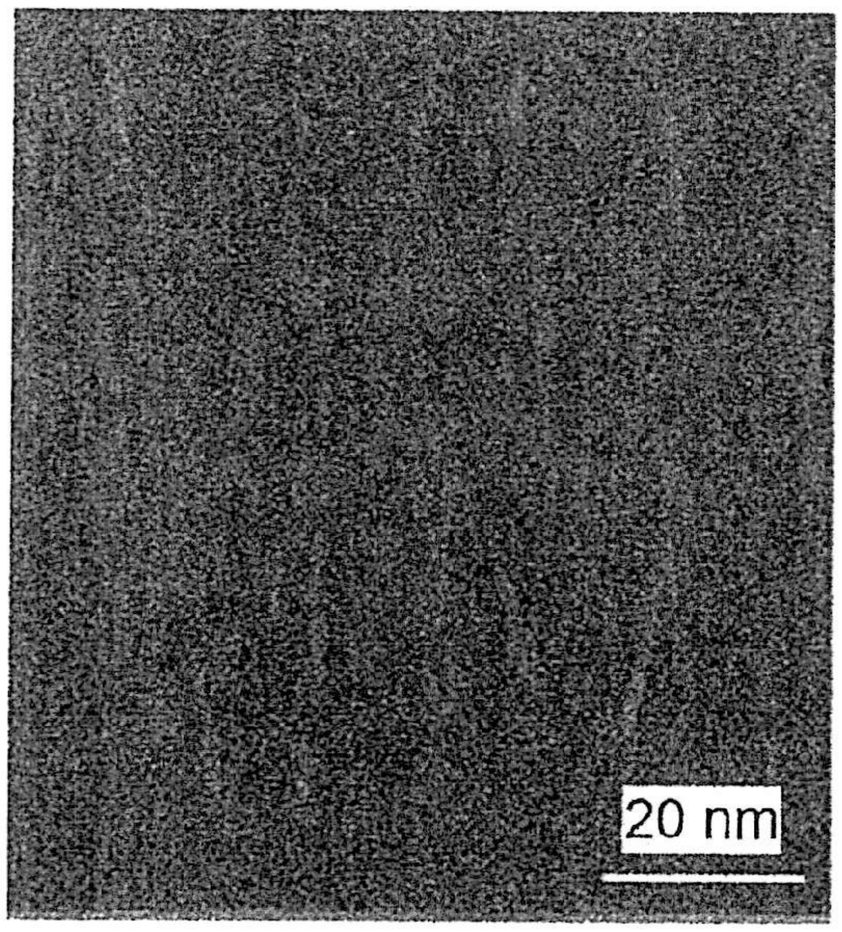


圖 5B

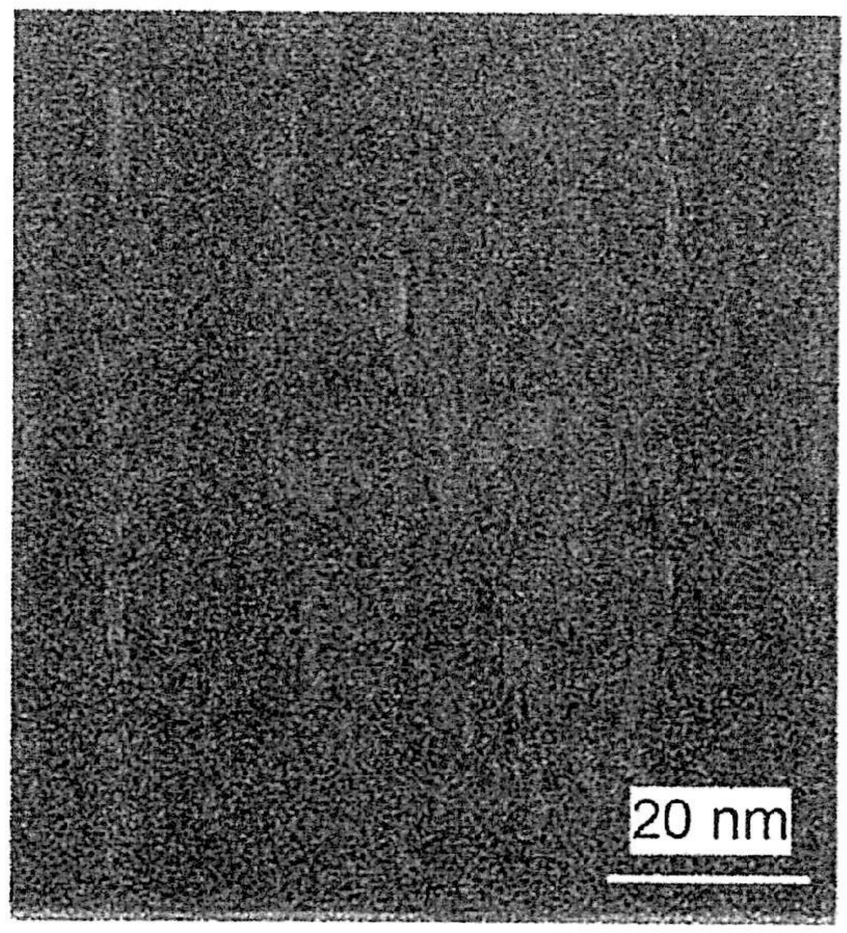


圖 6

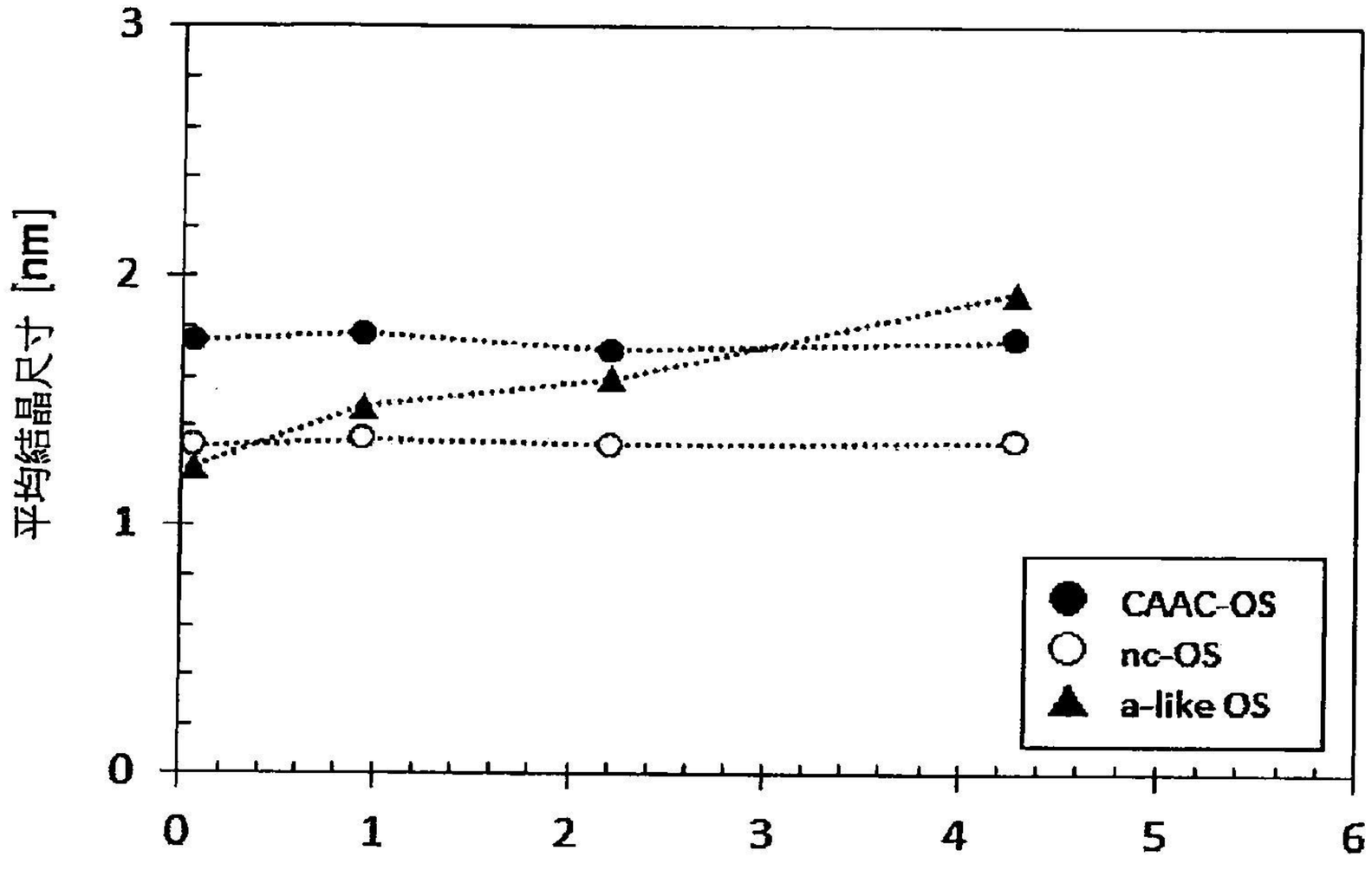


圖 7A

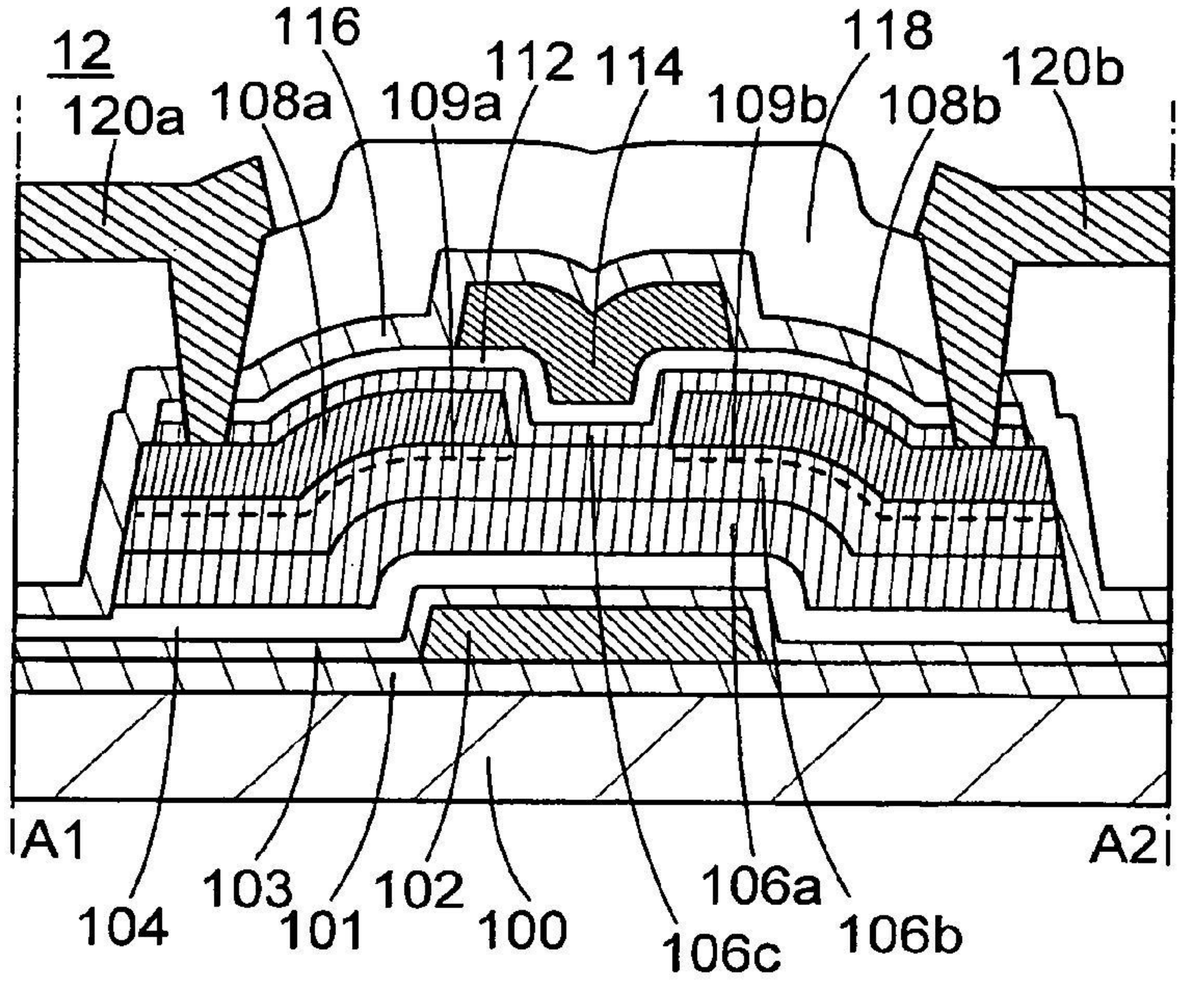


圖 7B

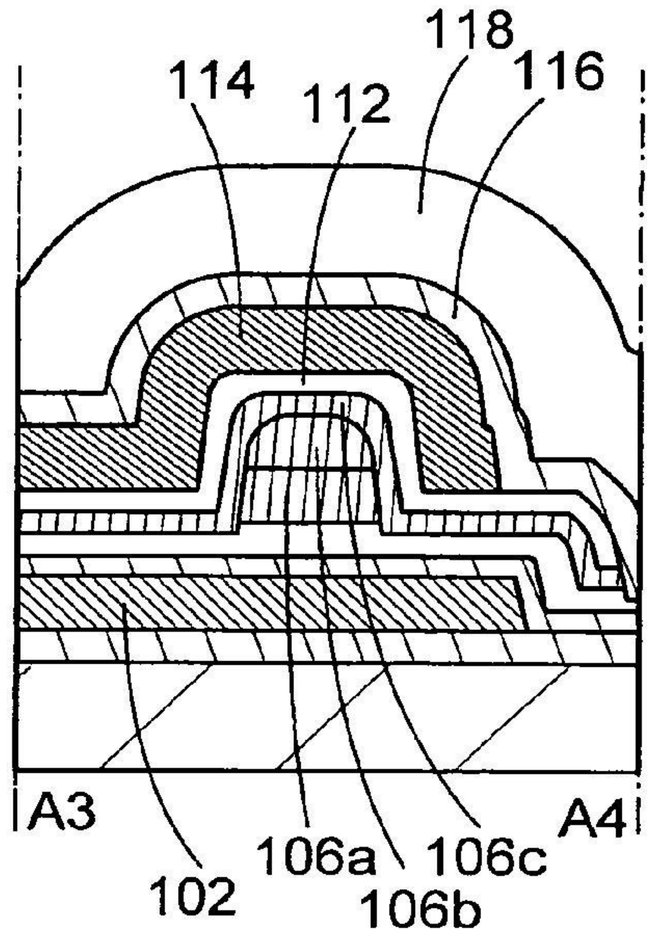


圖 7C

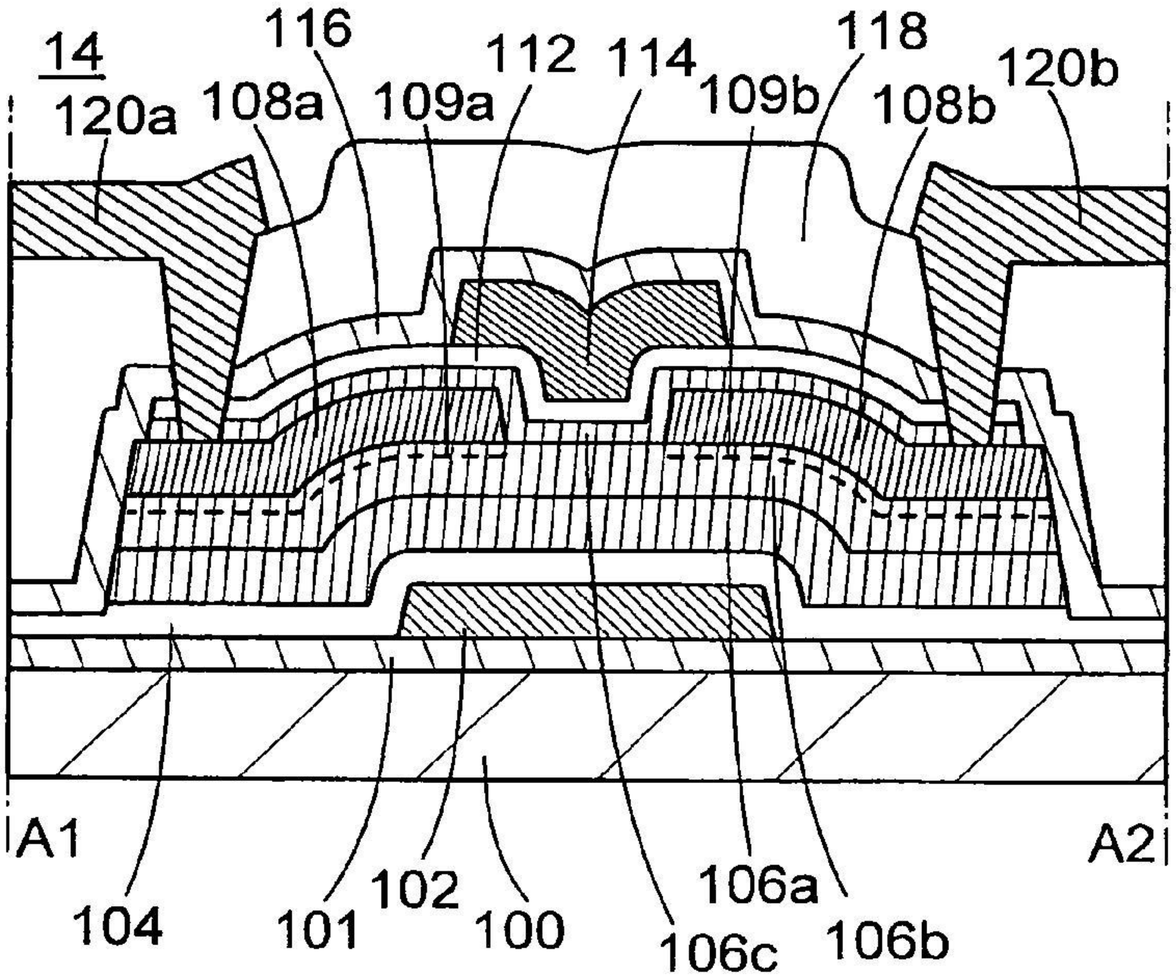


圖 7D

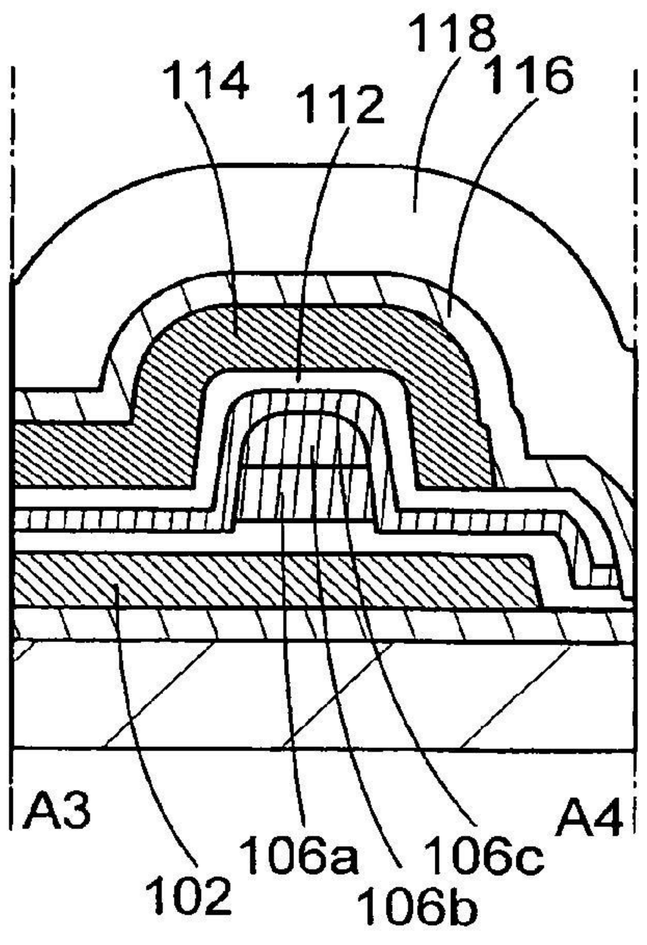


圖 8A

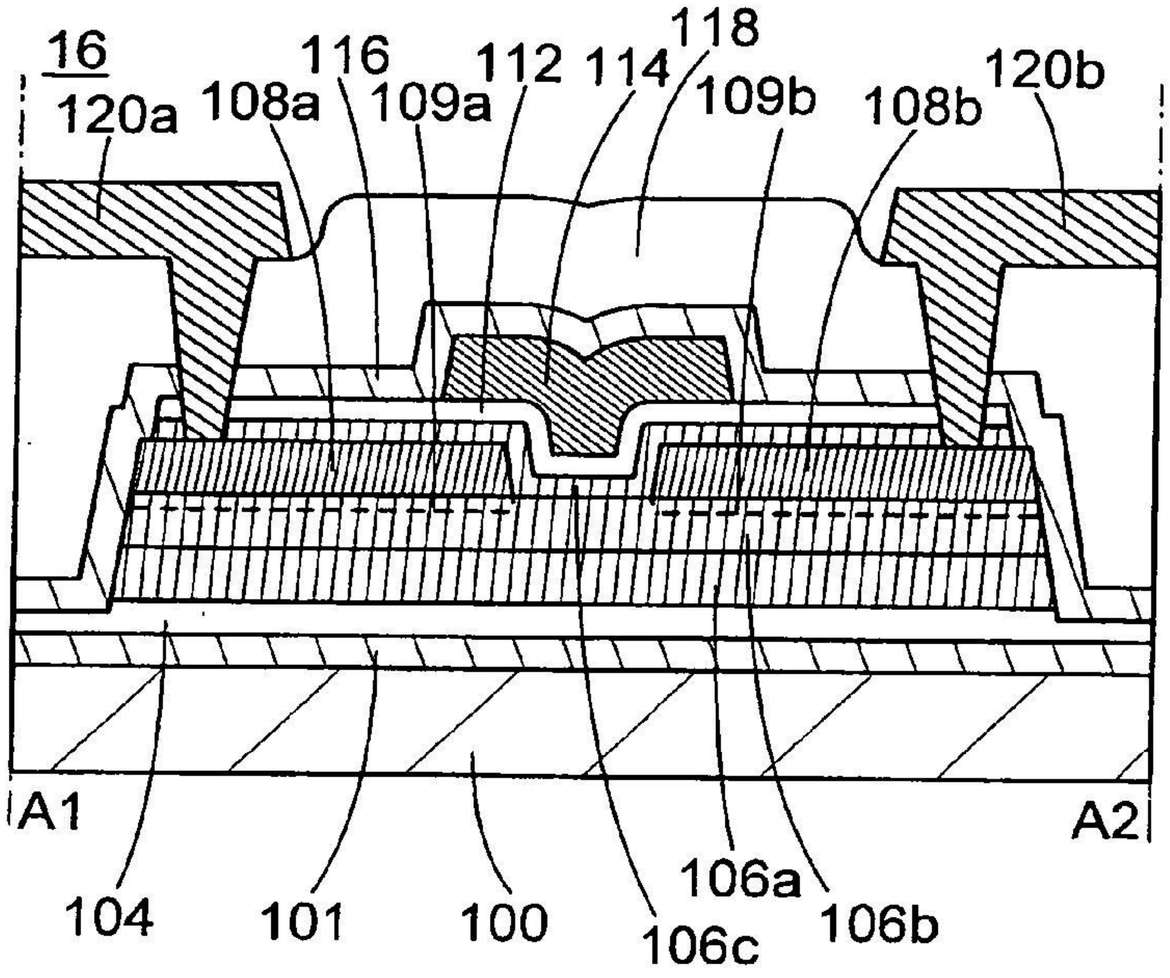


圖 8B

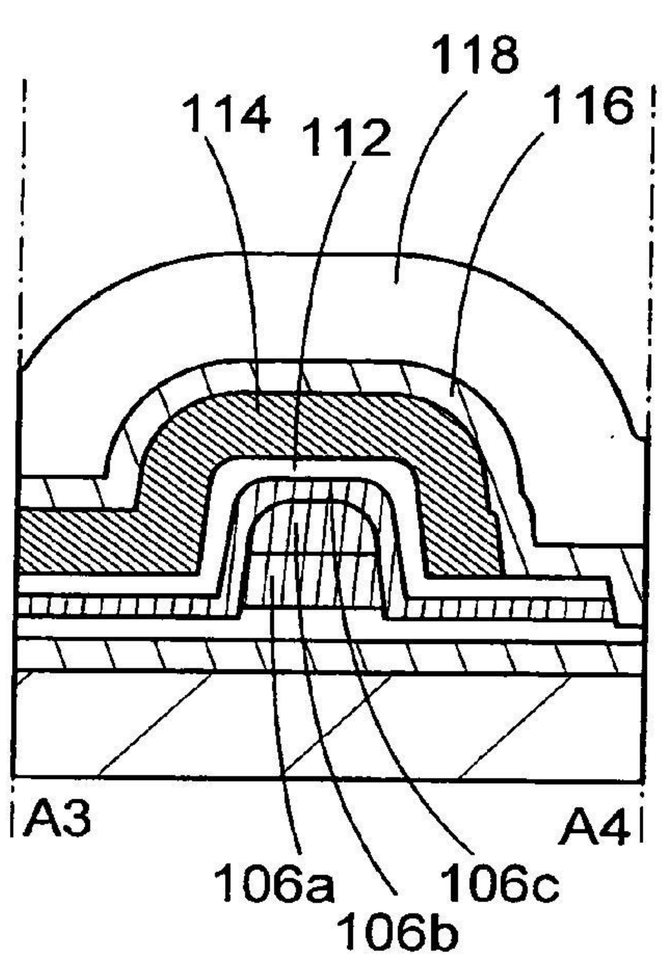


圖 8C

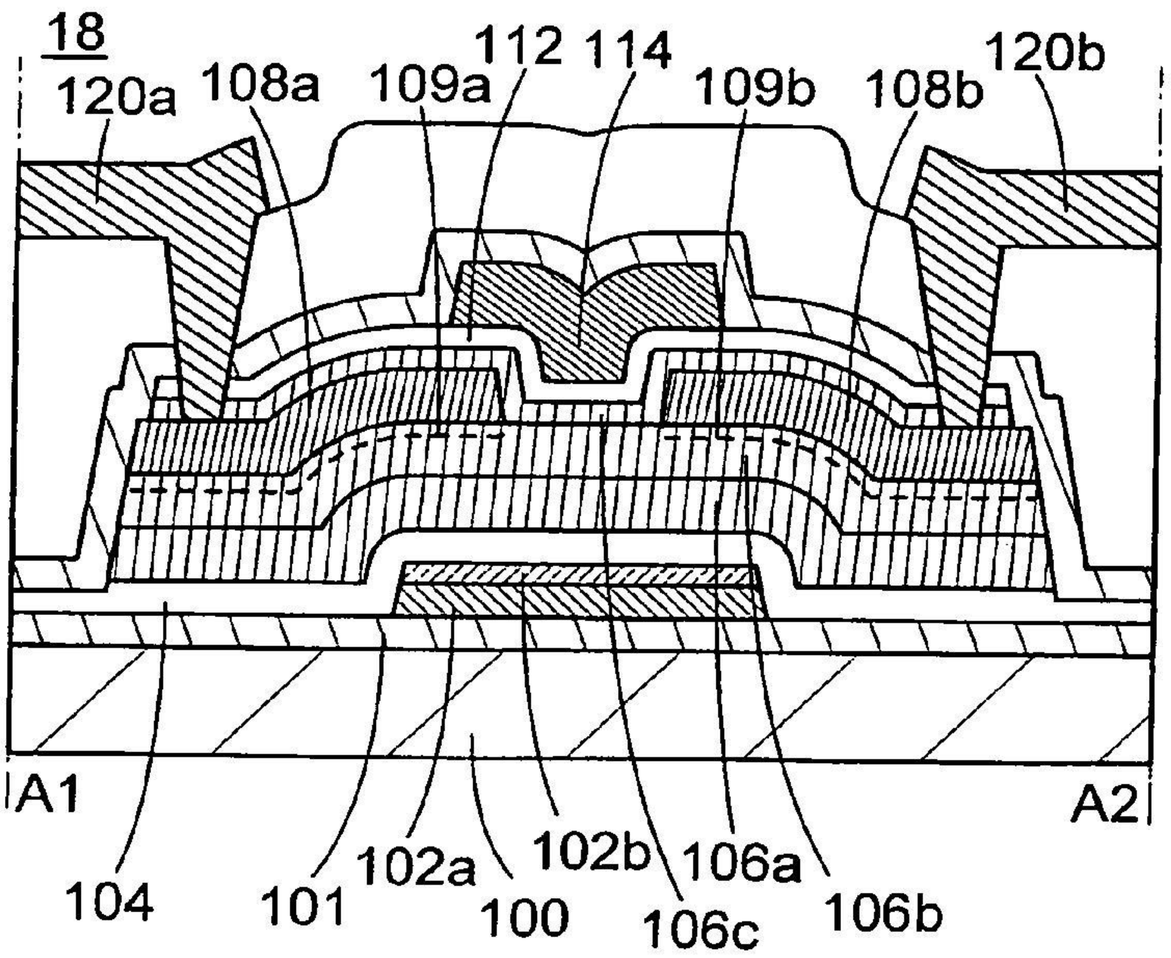
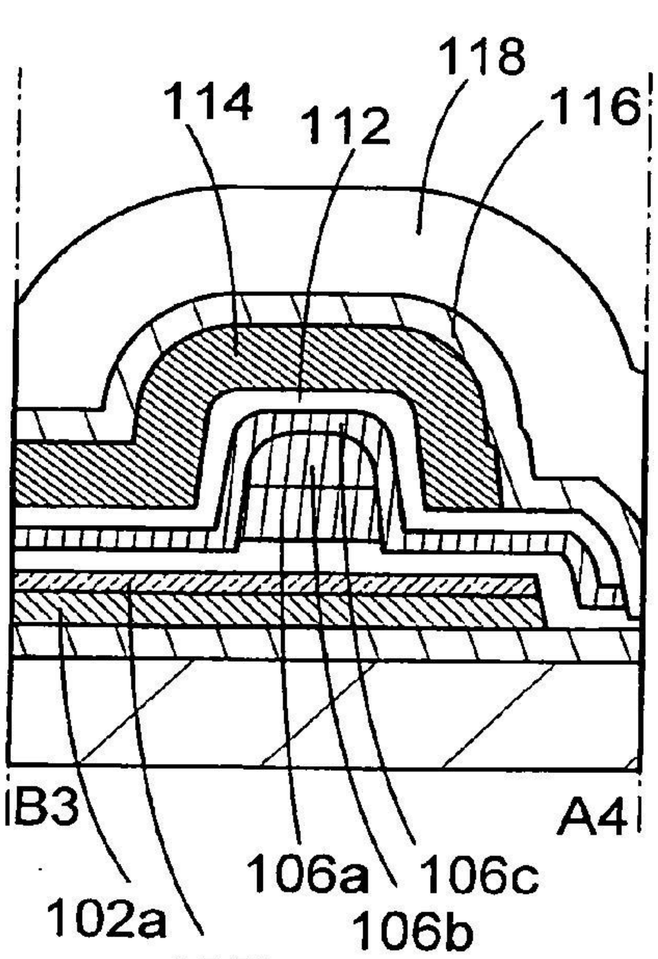


圖 8D



S

圖 9A

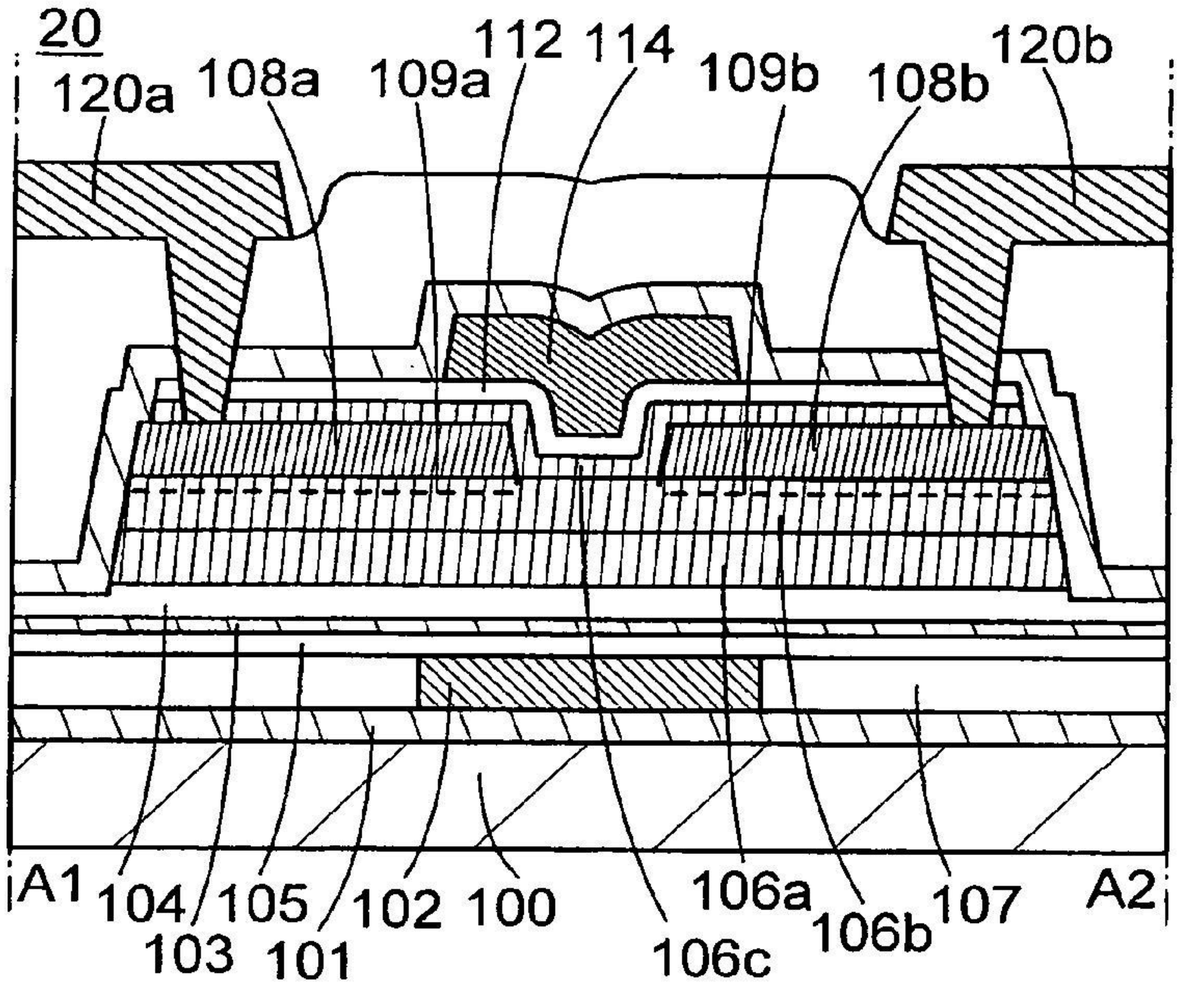

20
120a
108a
109a
112
114
109b
108b
120b
A1
104
105
102
100
106a
107
A2
103
101
106c
106b

圖 9B

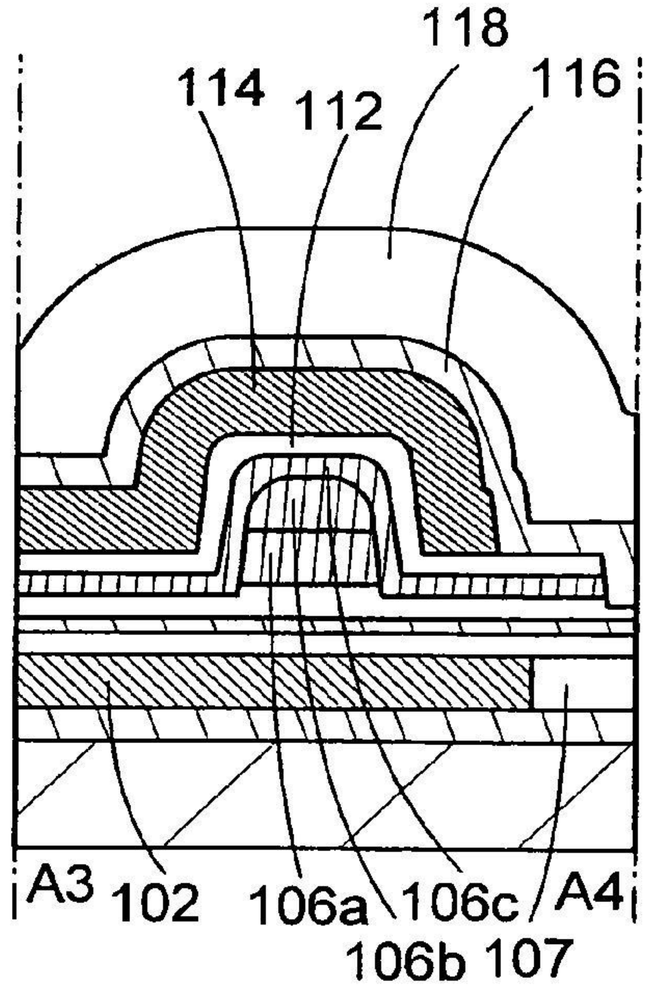

118
114
112
116
A3
102
106a
106c
A4
106b
107

圖 10A

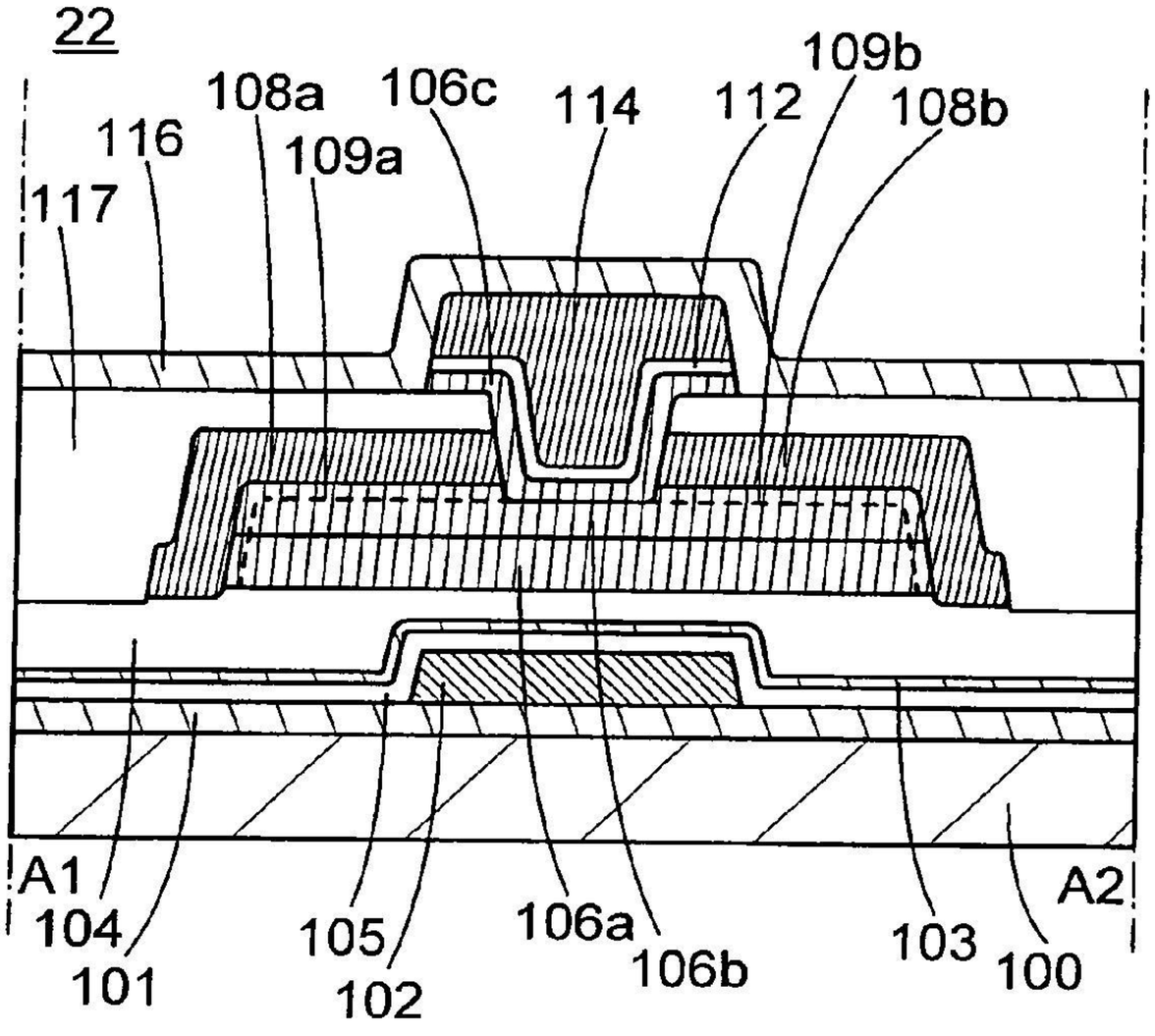


圖 10B

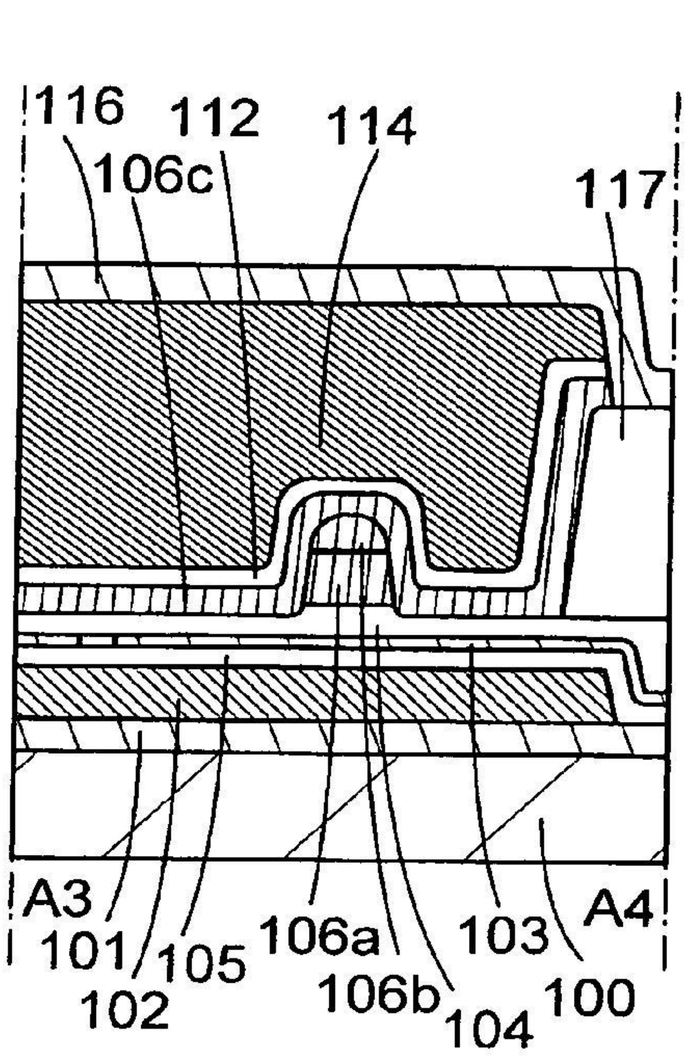


圖 10C

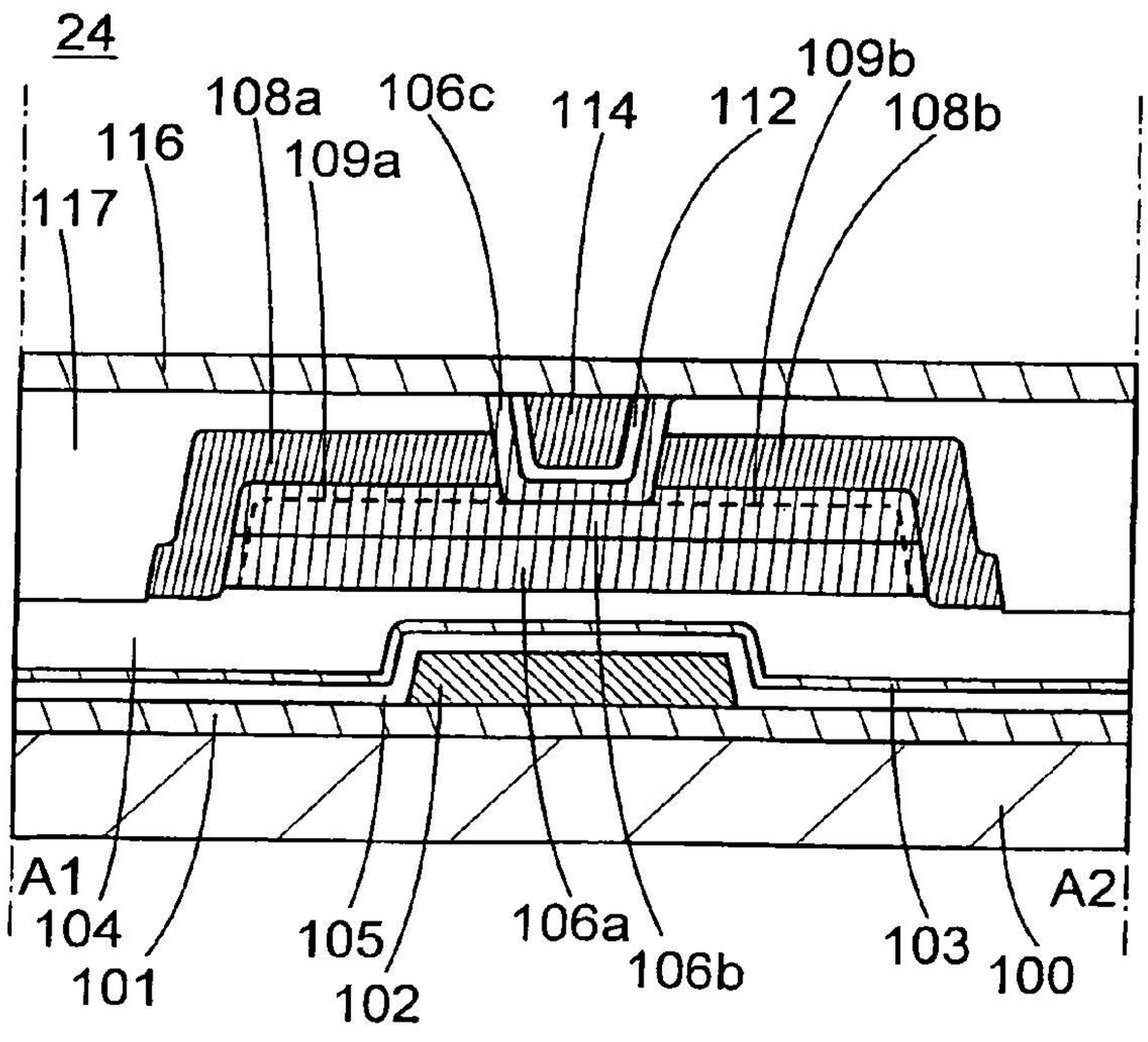
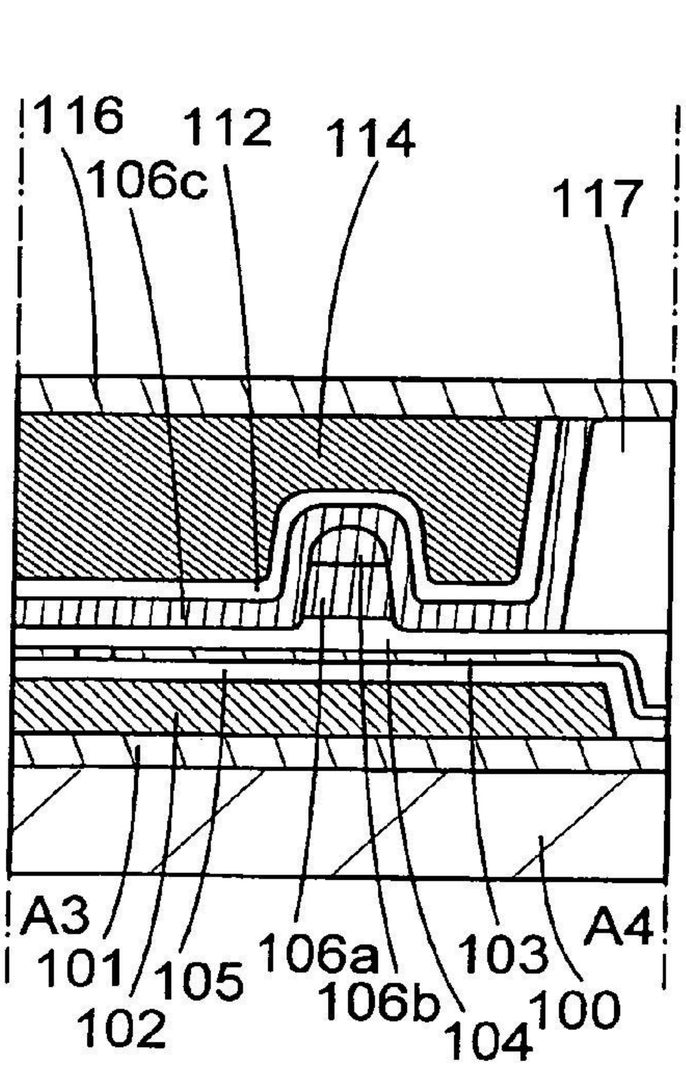


圖 10D



S

圖 11A

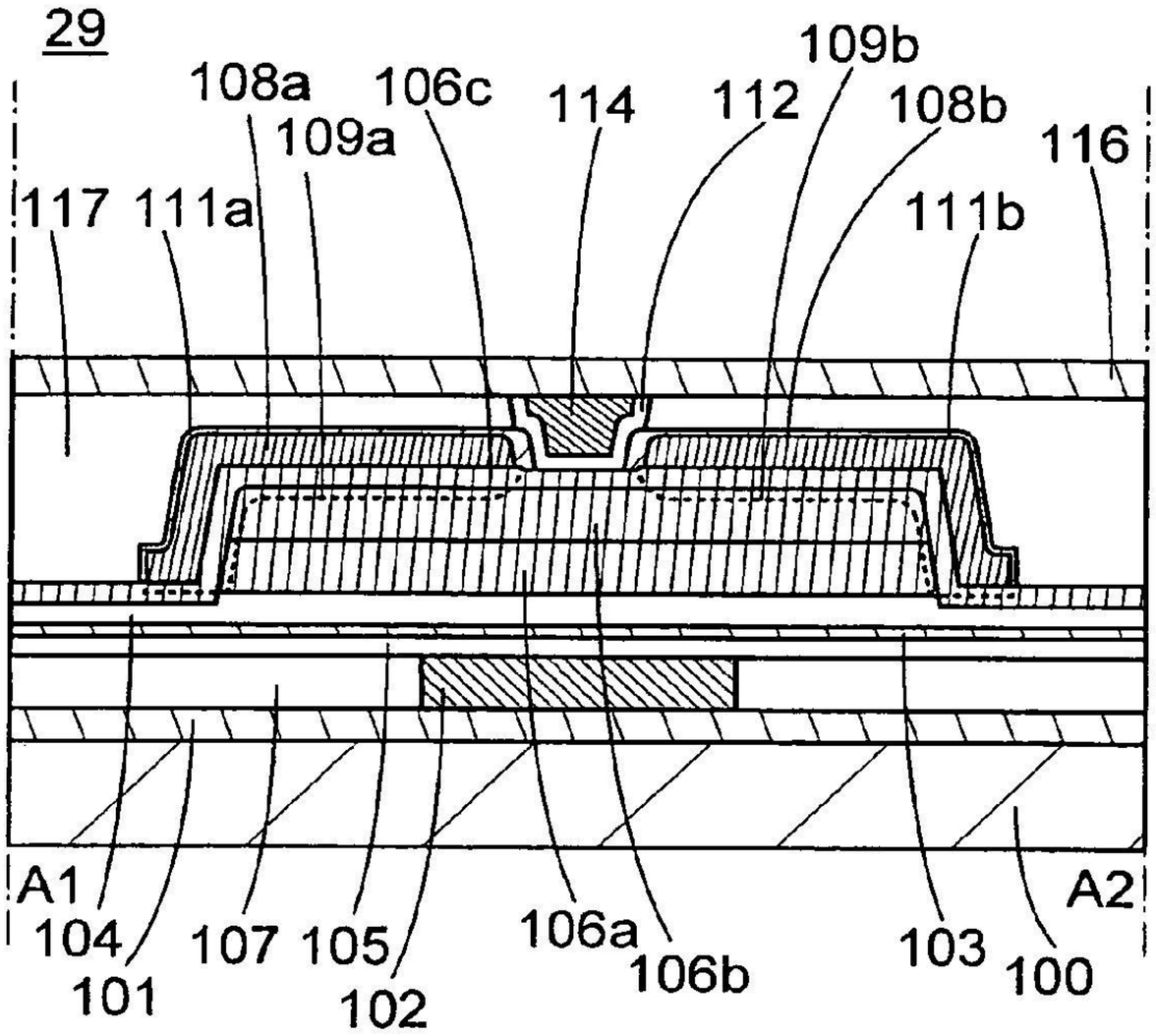

29
108a
106c
114
112
109b
108b
116
109a
117
111a
111b
A1
A2
104
107
105
106a
103
101
102
106b
100

圖 11B

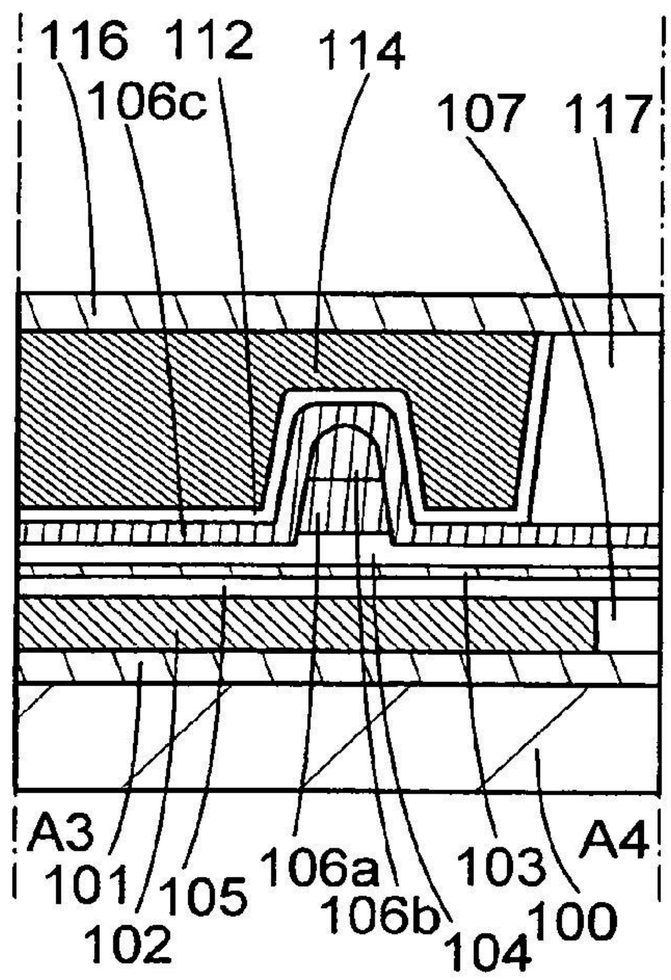

116
112
114
106c
107
117
A3
A4
101
105
106a
103
102
106b
104
100

圖 12A

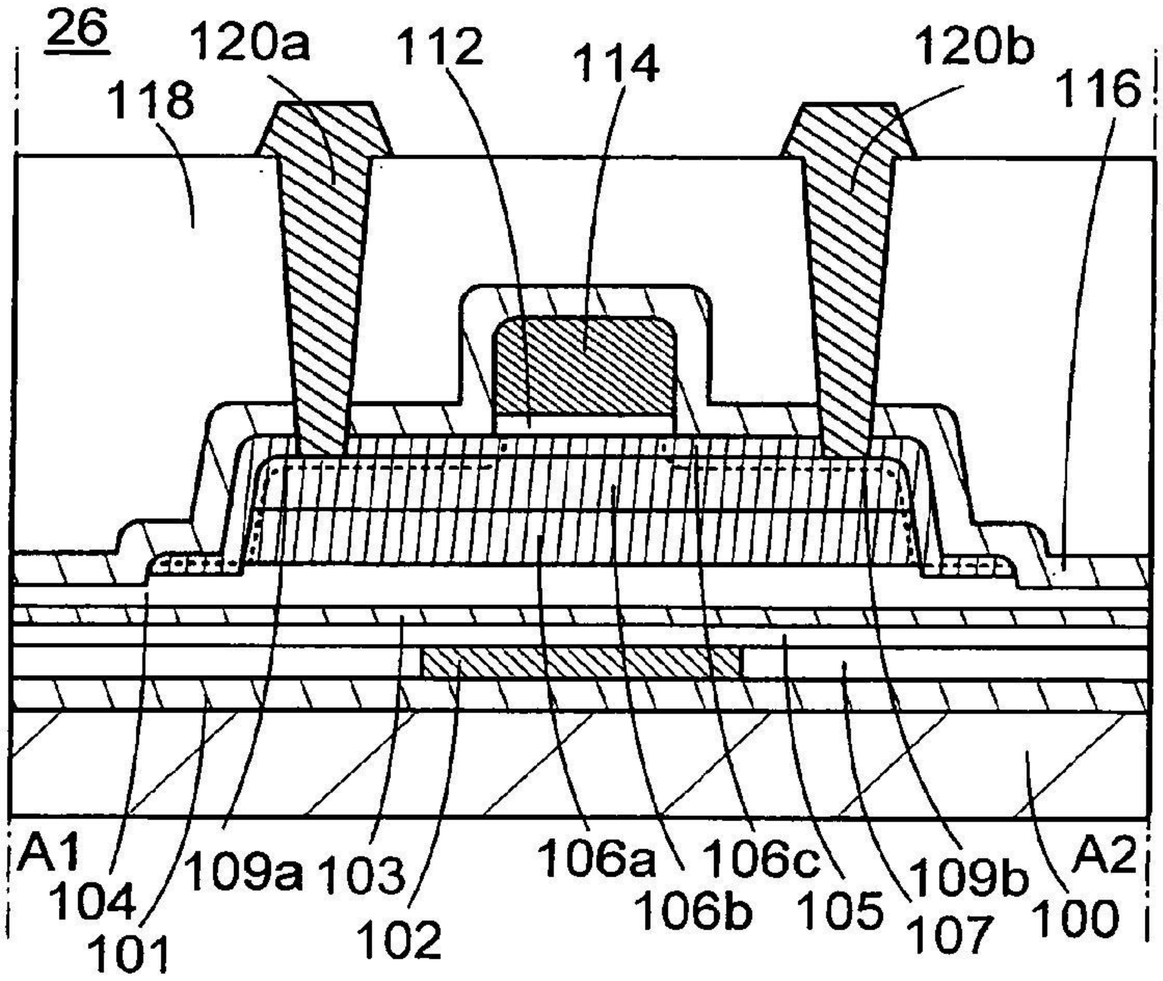


圖 12B

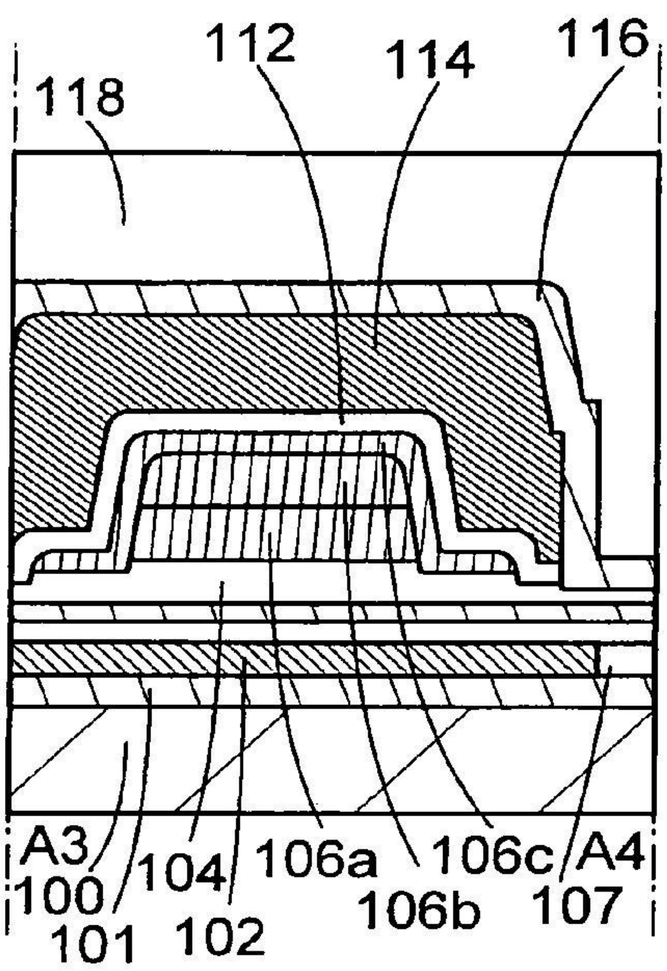


圖 12C

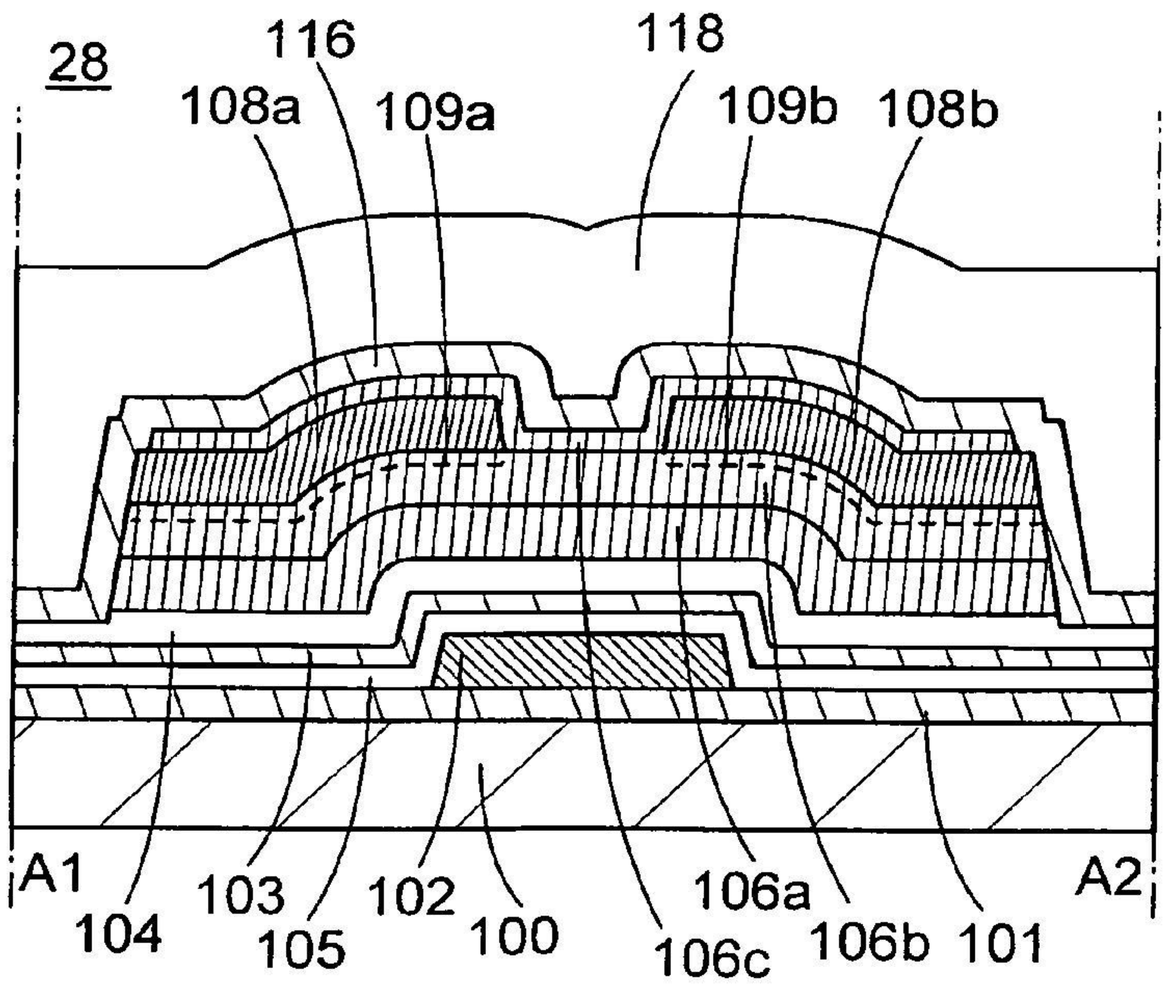
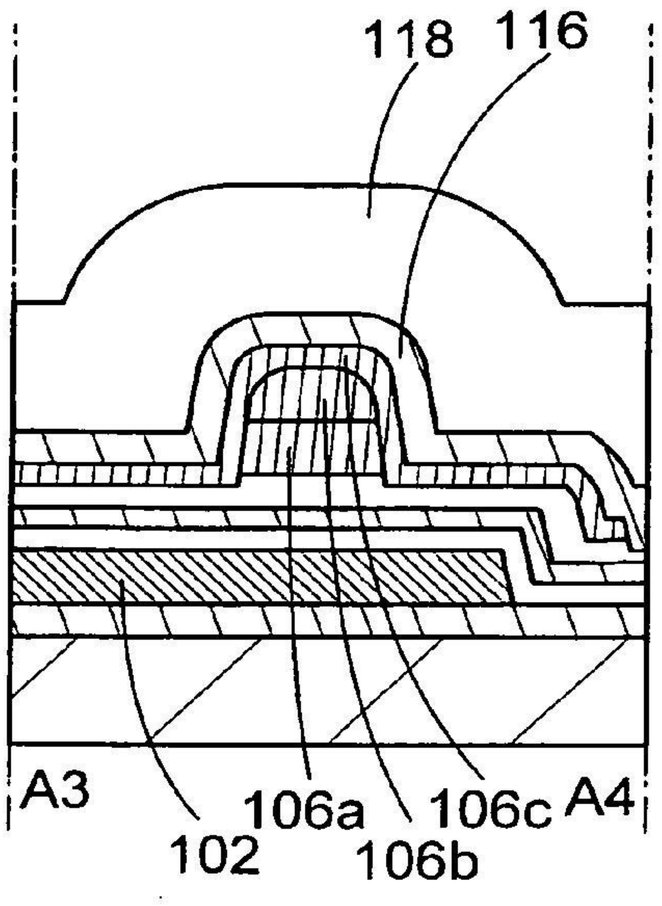


圖 12D



S

圖 13A

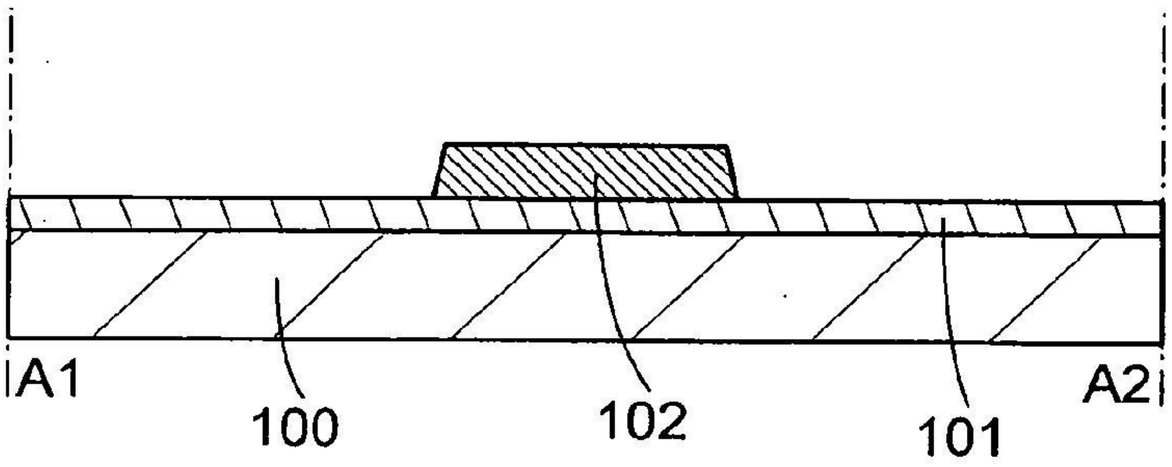


圖 13B

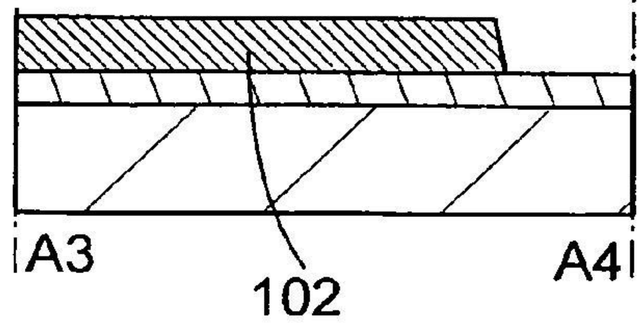


圖 13C

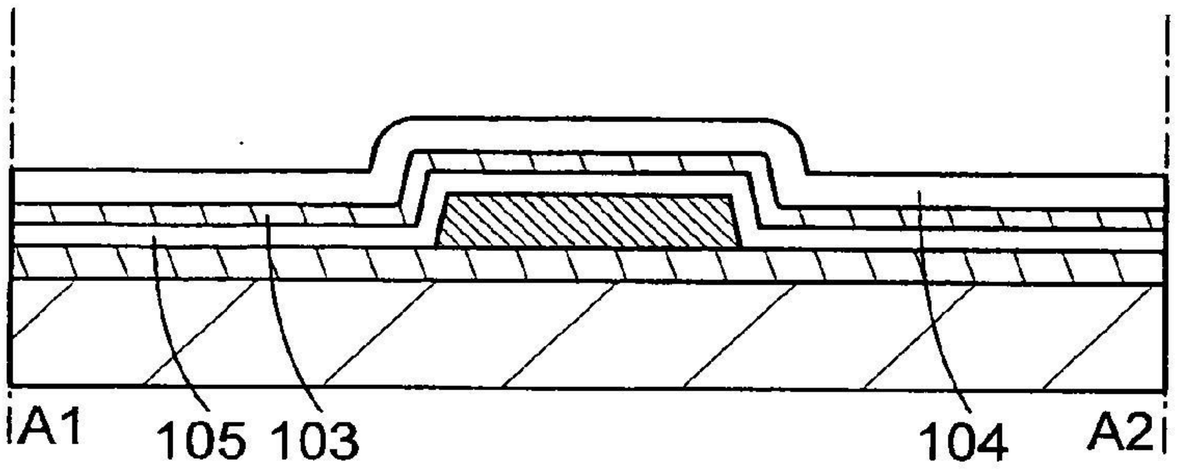


圖 13D

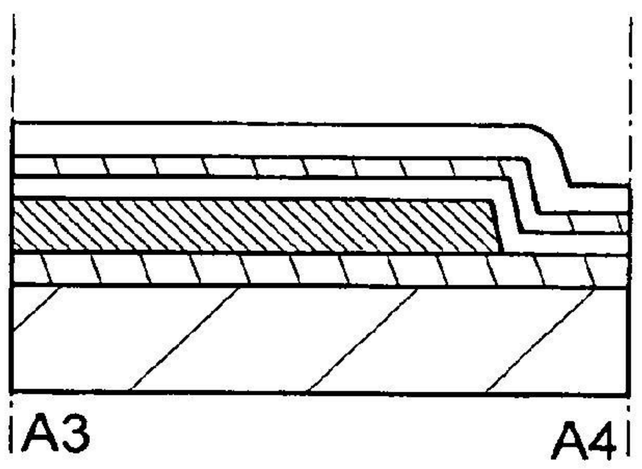


圖 13E

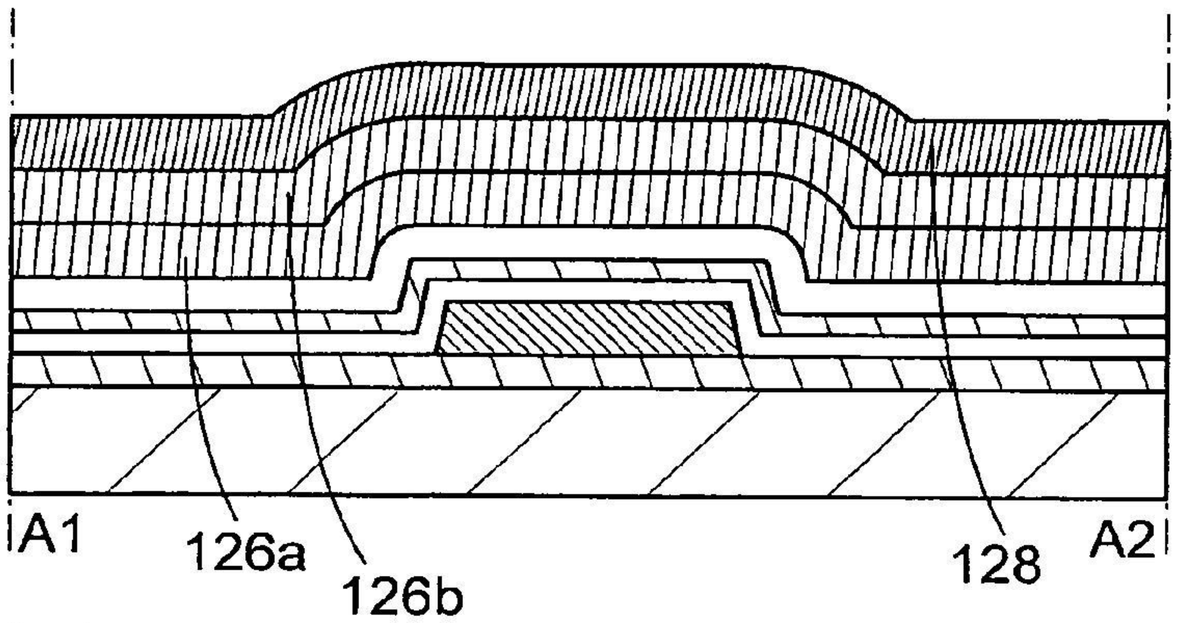


圖 13F

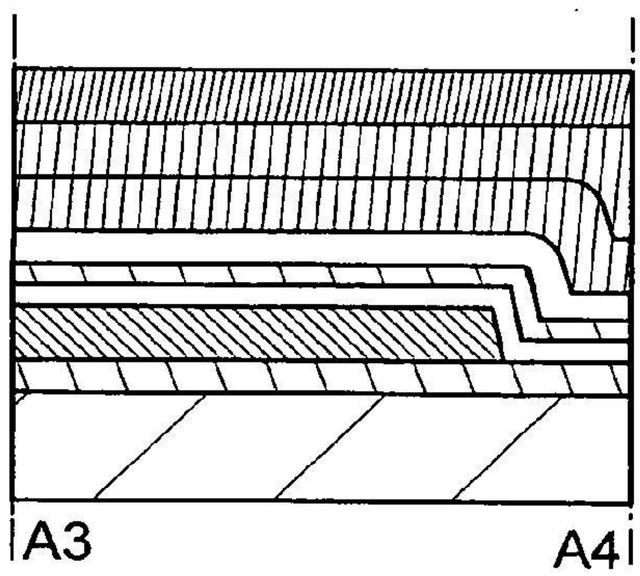


圖 13G

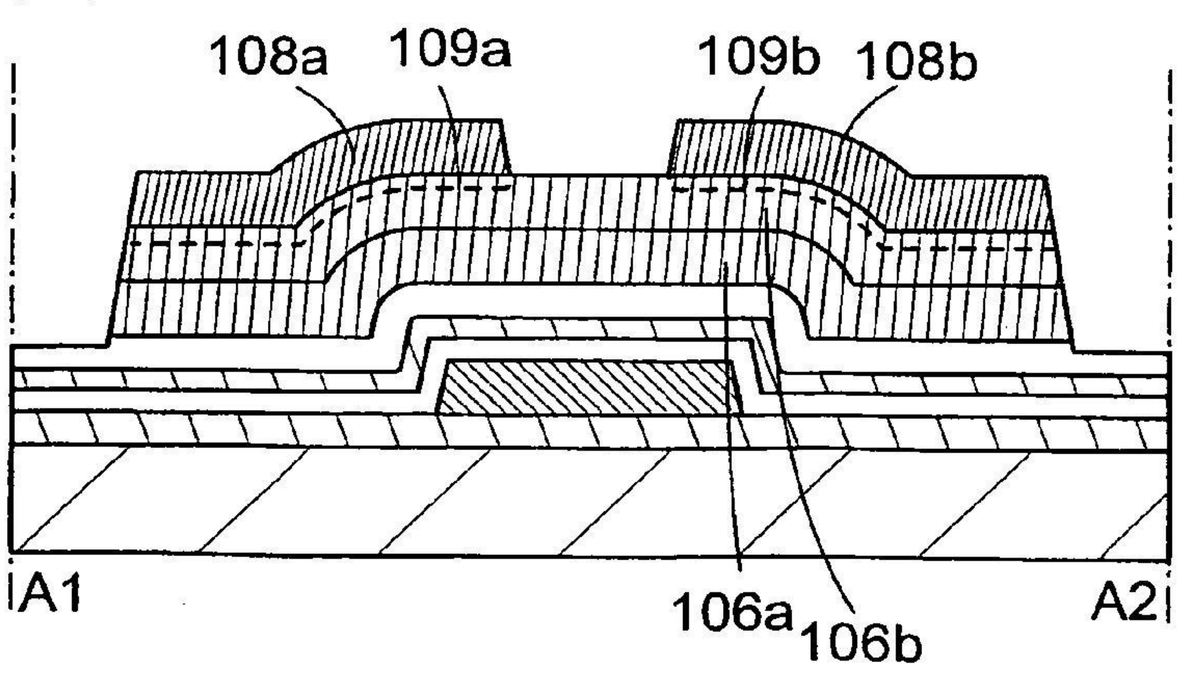


圖 13H

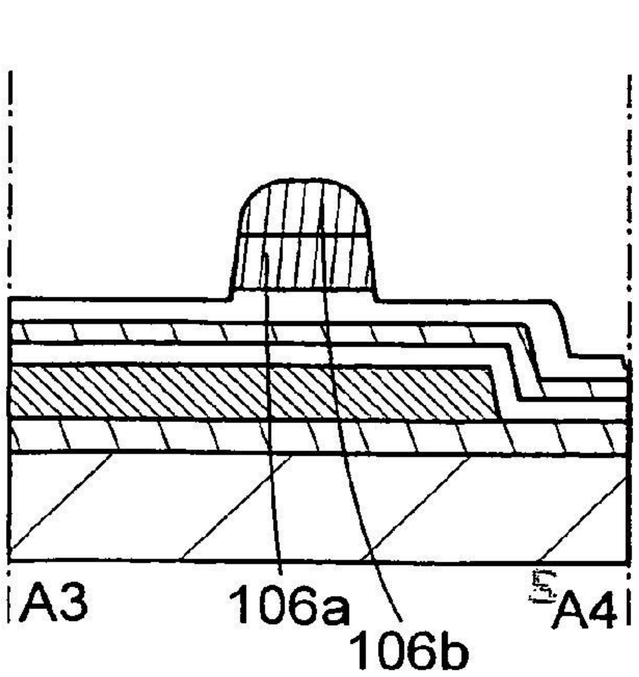


圖 14A

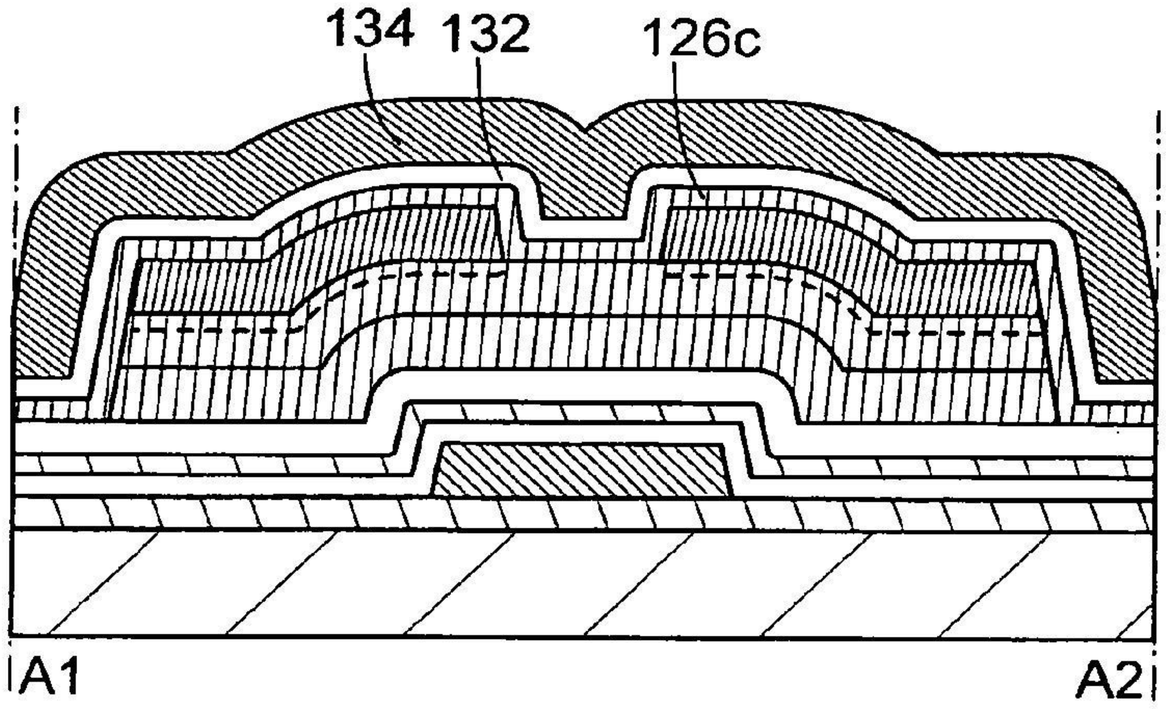


圖 14B

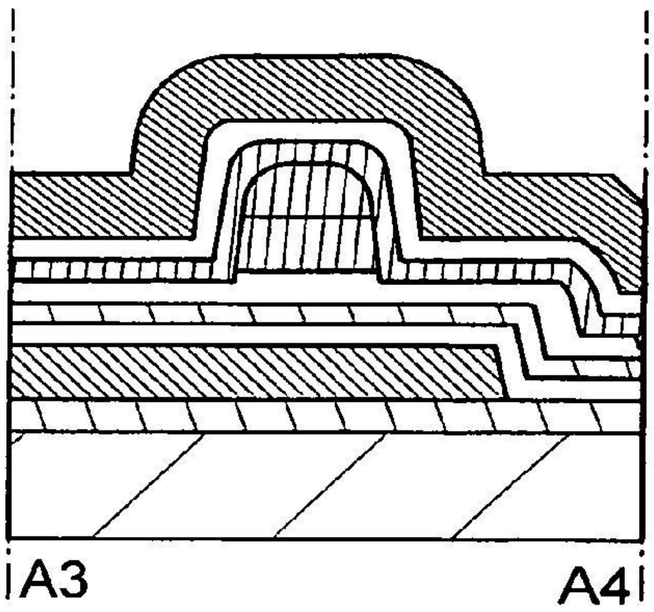


圖 14C

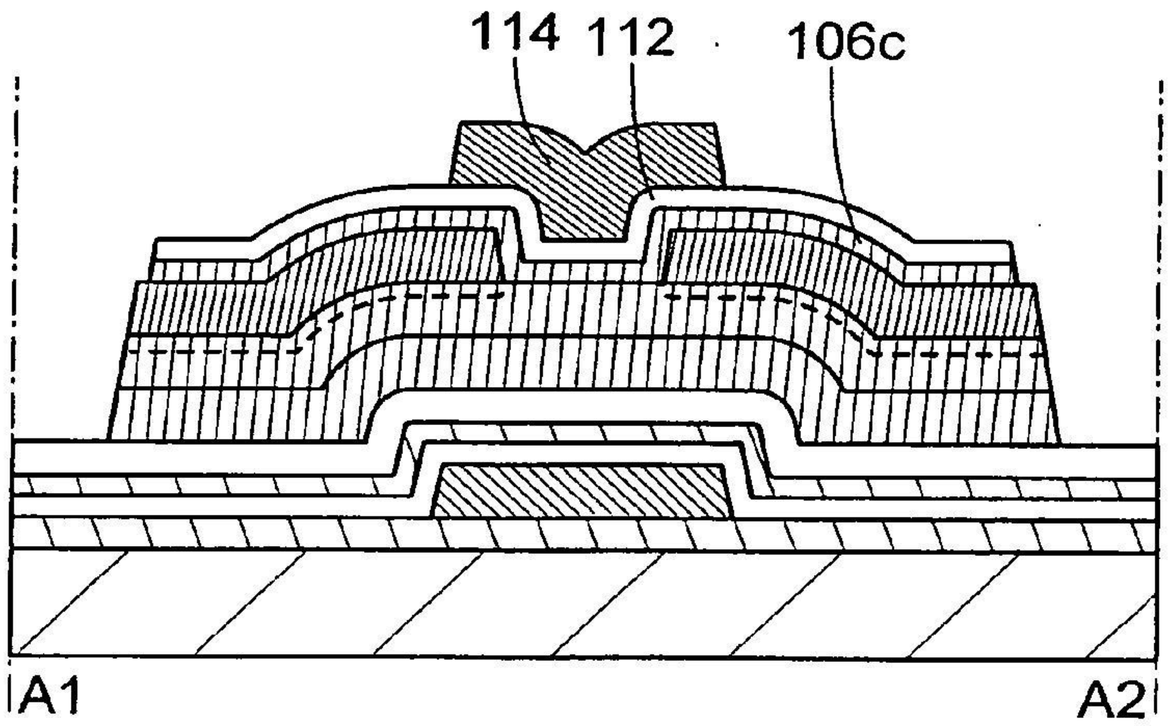


圖 14D

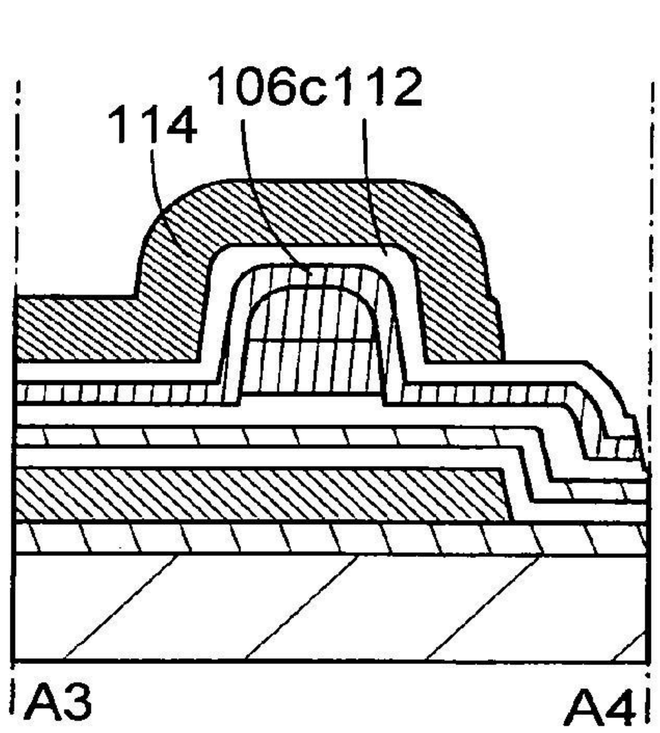


圖 14E

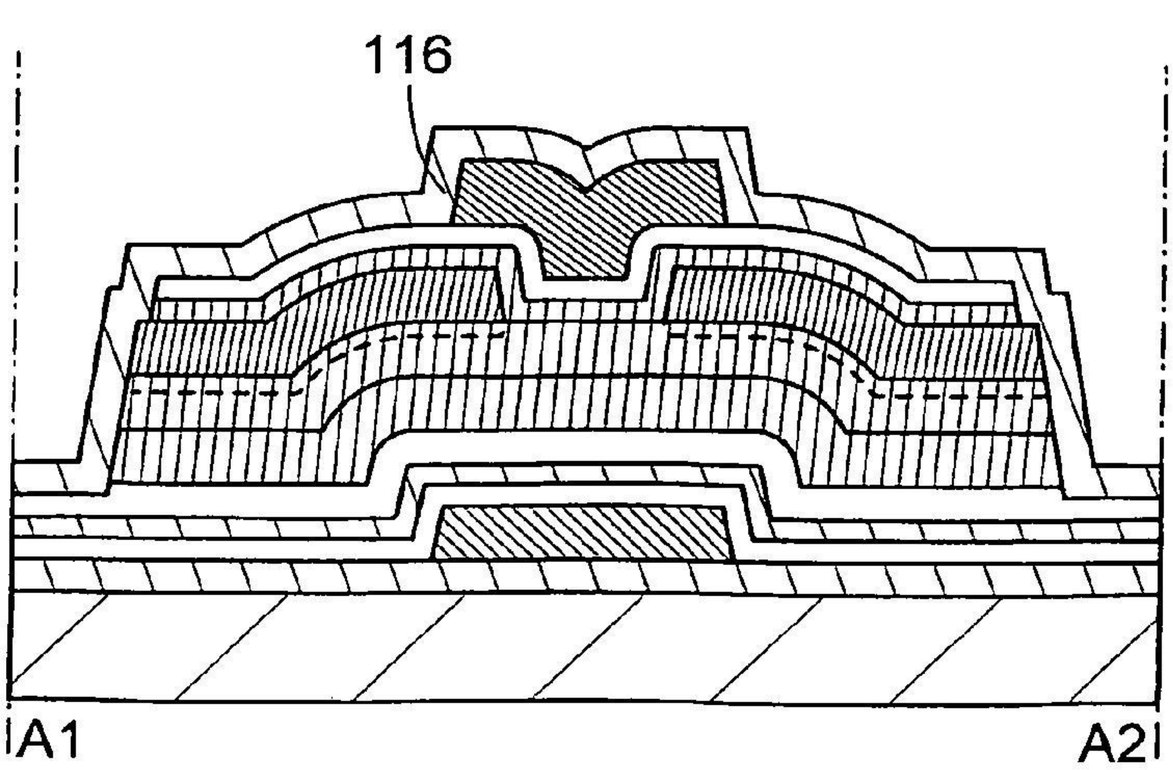
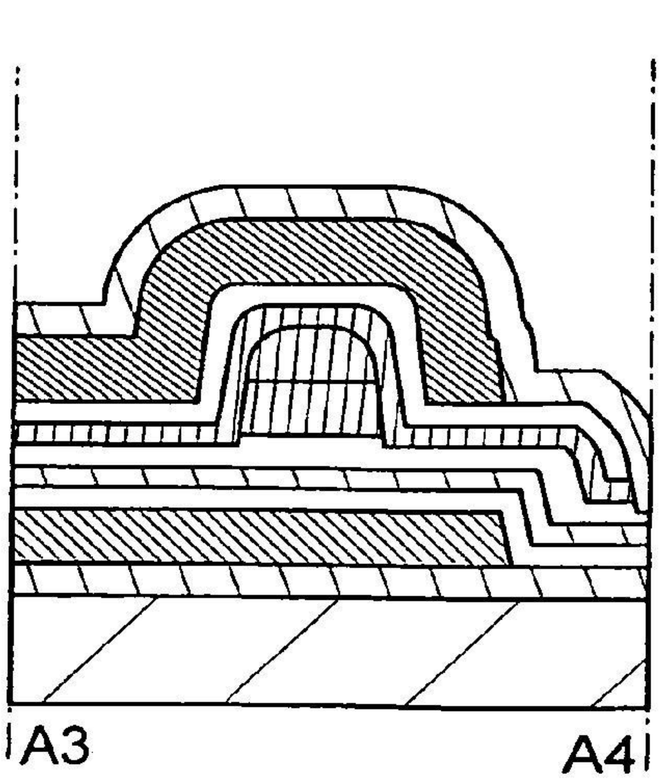


圖 14F



S

圖 15A

圖 15B

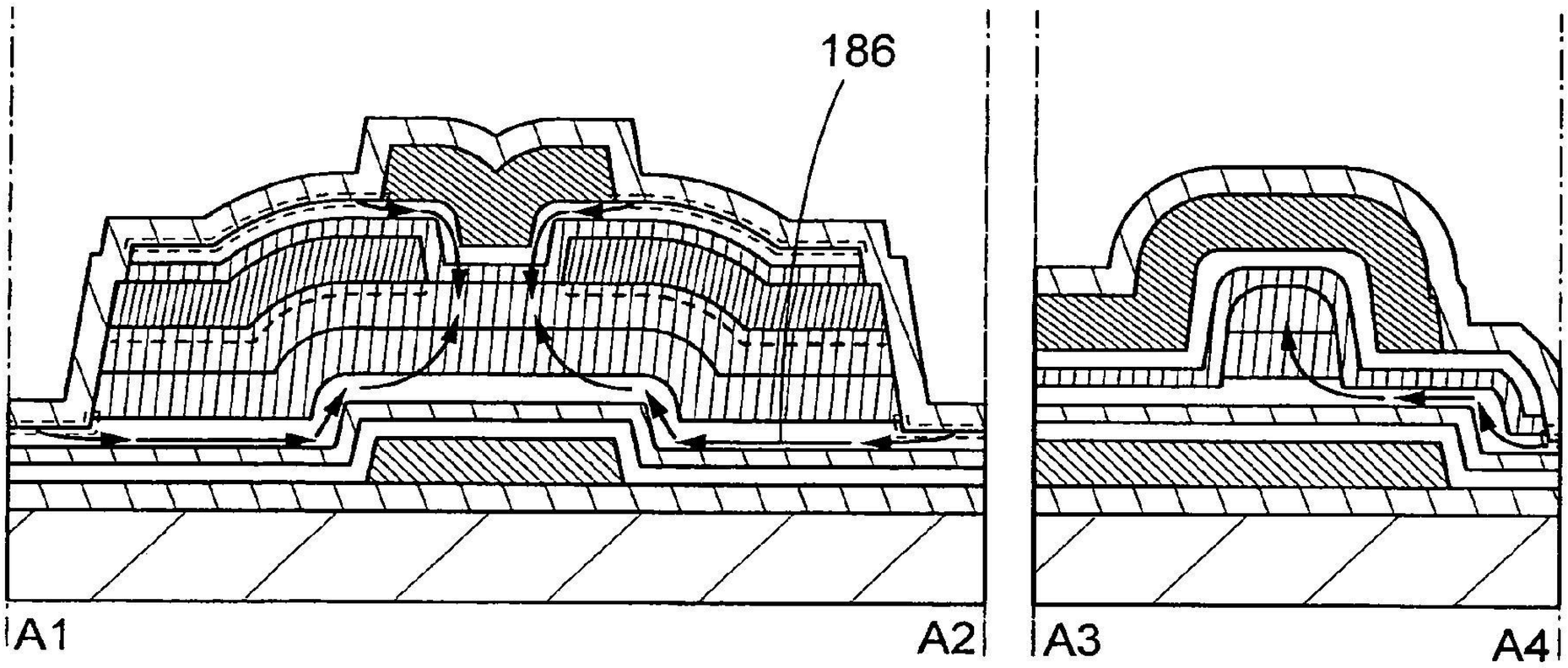


圖 15C

圖 15D

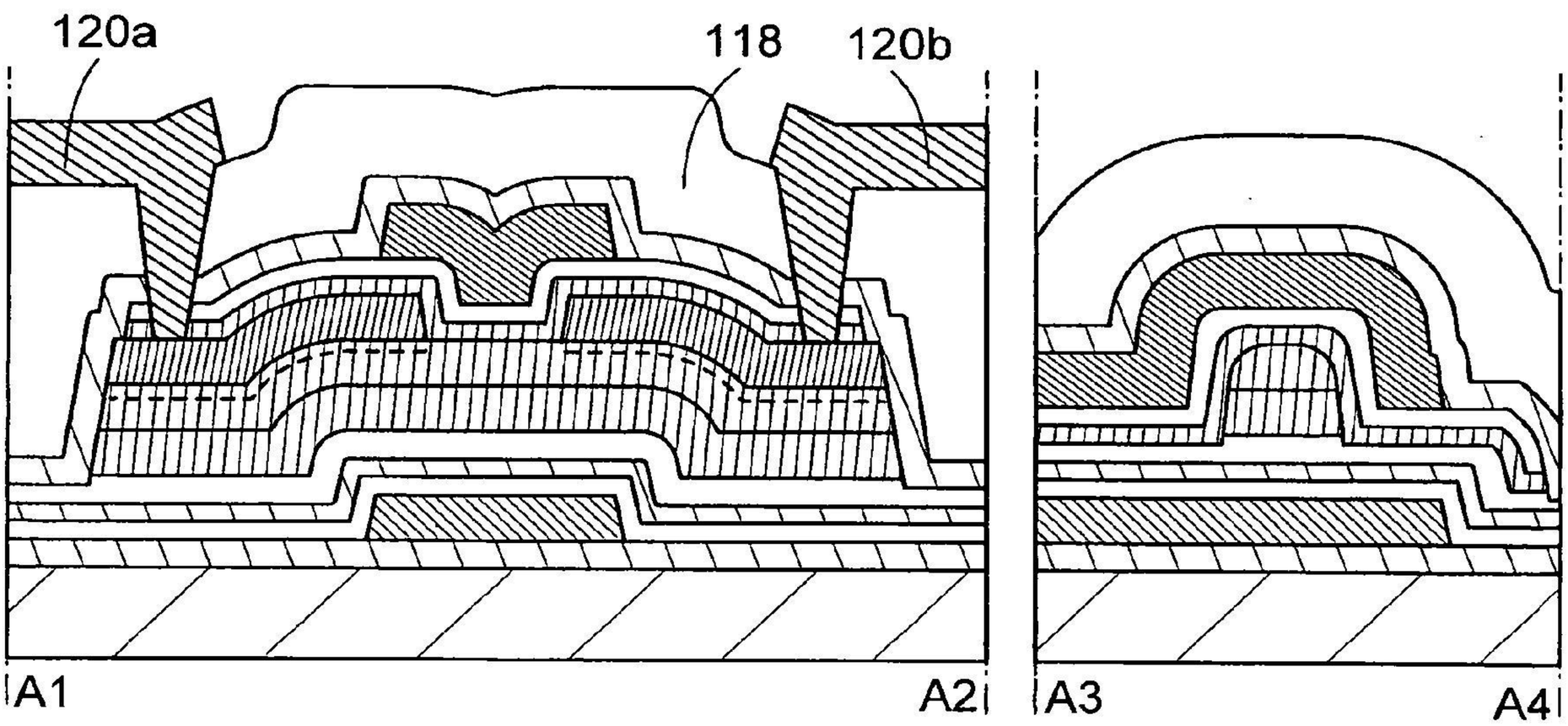


圖 16A

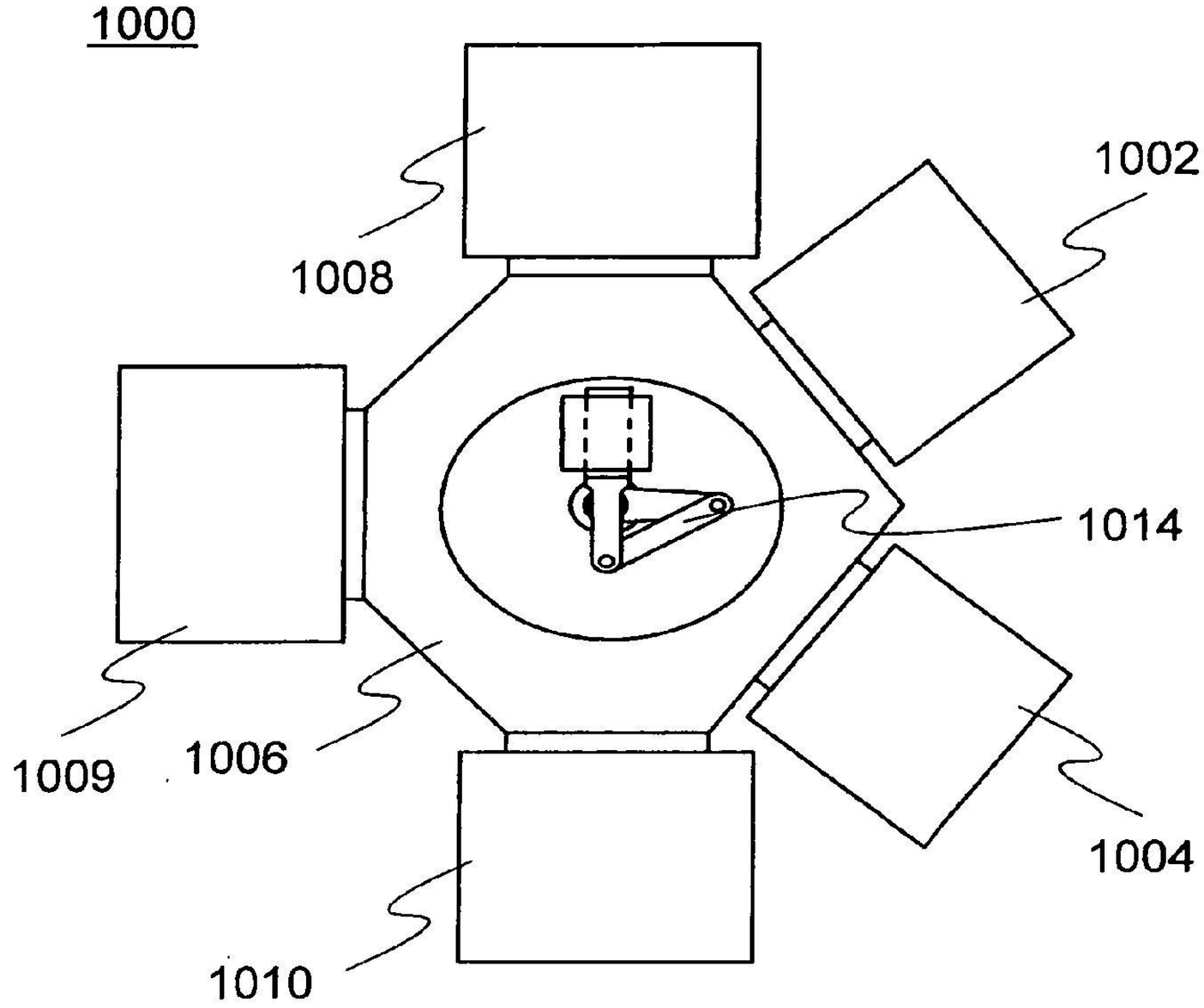
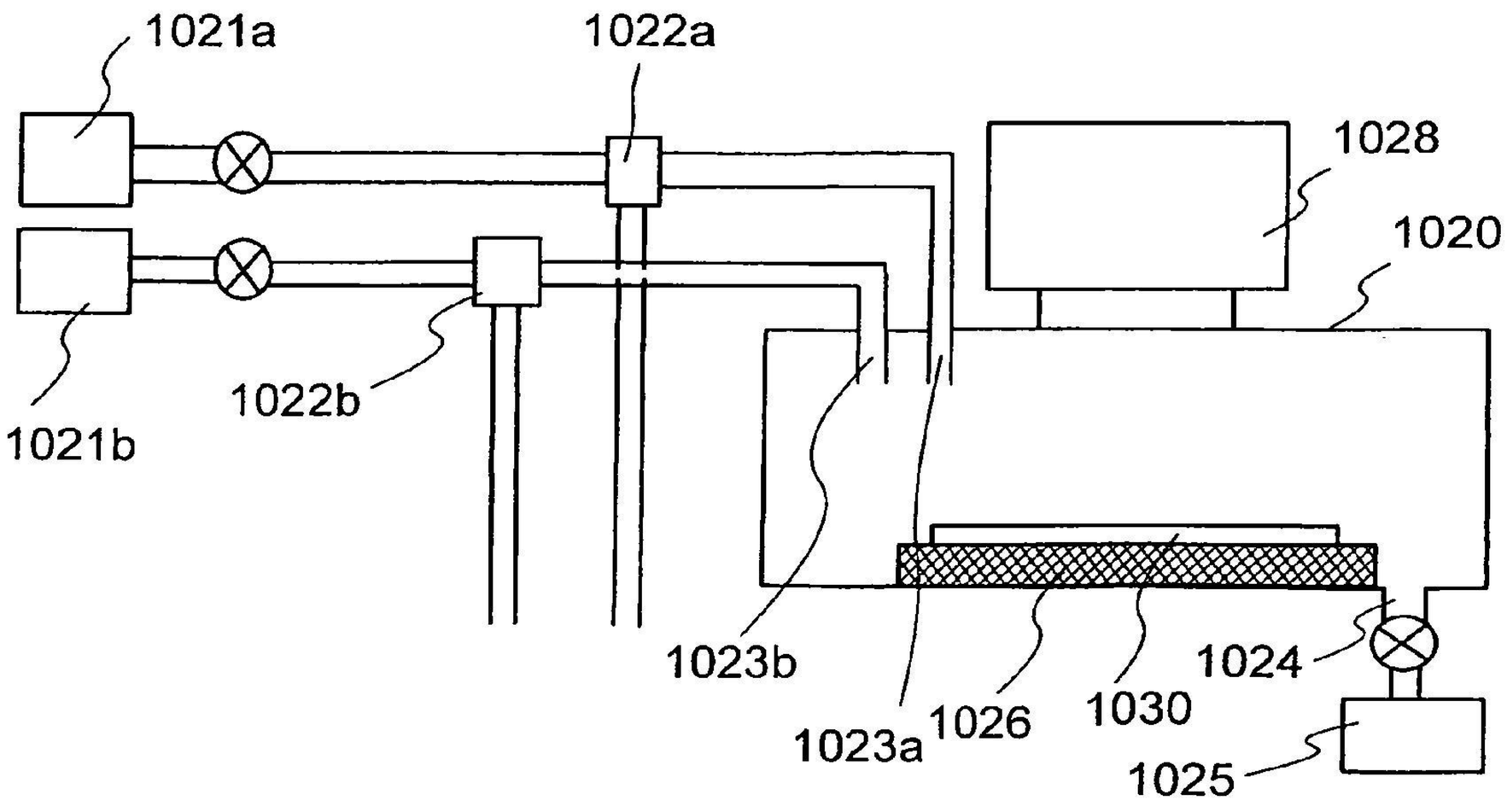

1000
1008
1002
1014
1009
1006
1004
1010

圖 16B


1021a
1022a
1028
1020
1021b
1022b
1023b
1023a
1026
1030
1024
1025

S

圖 17A

圖 17B

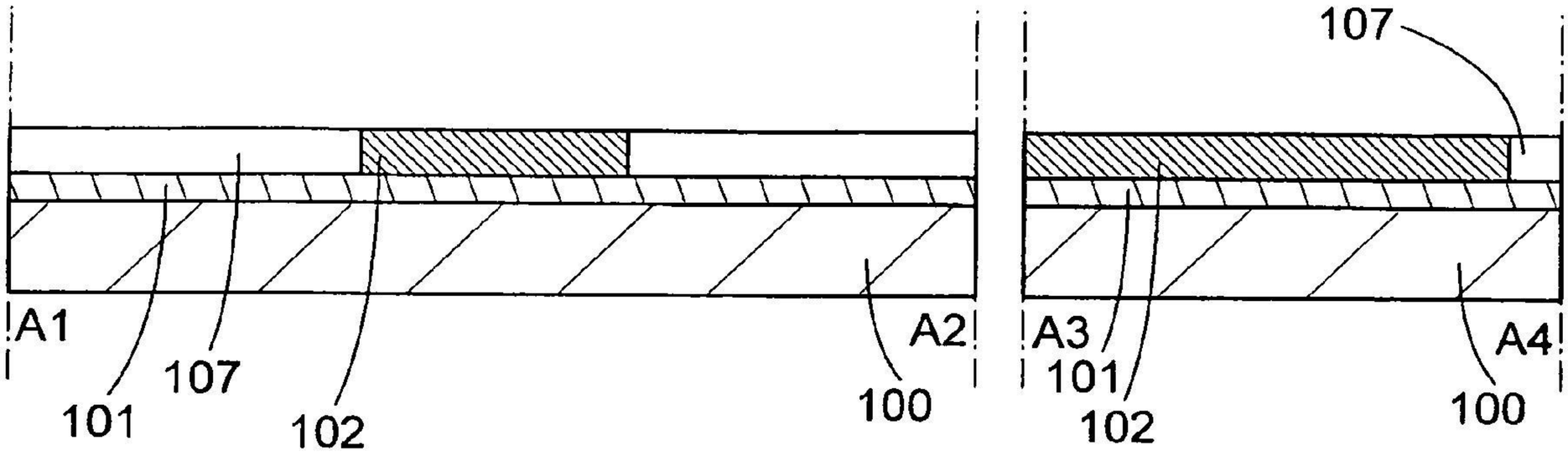


圖 17C

圖 17D

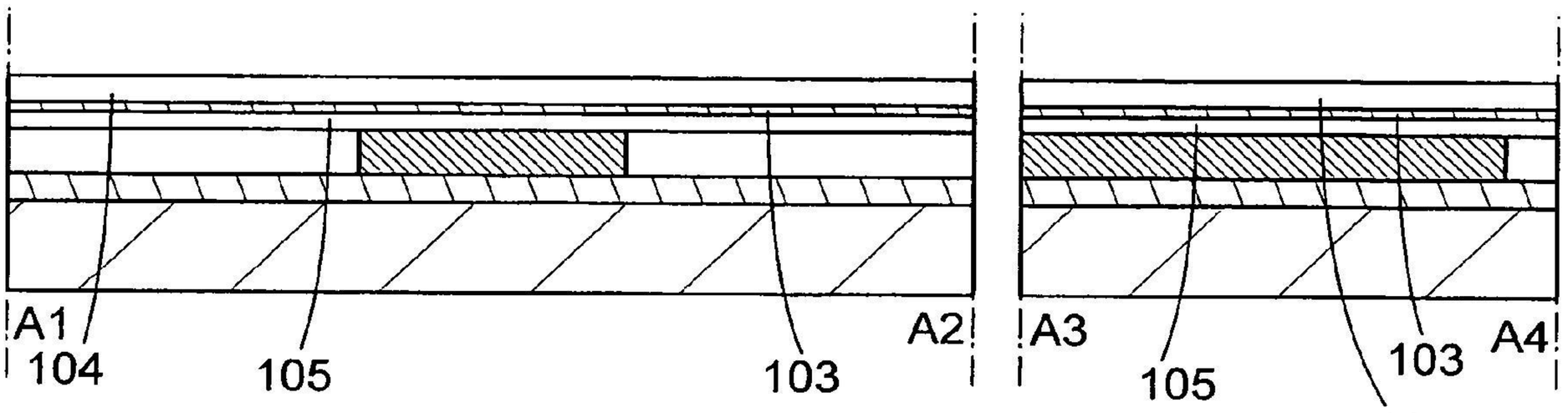


圖 17E

圖 17F

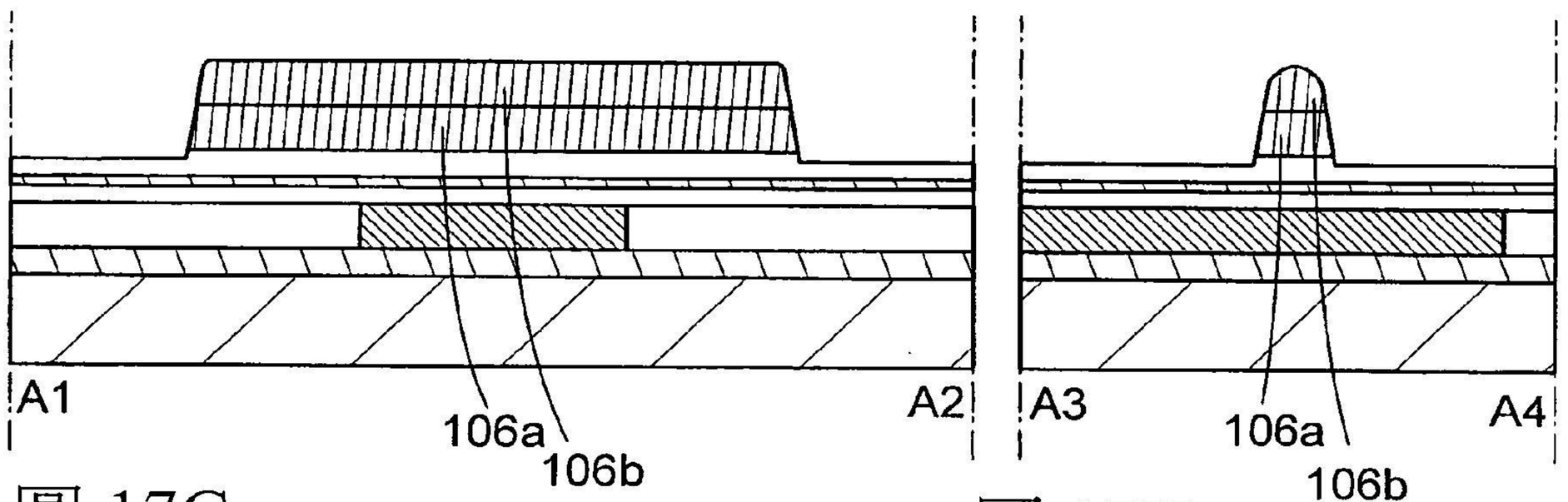


圖 17G

圖 17H

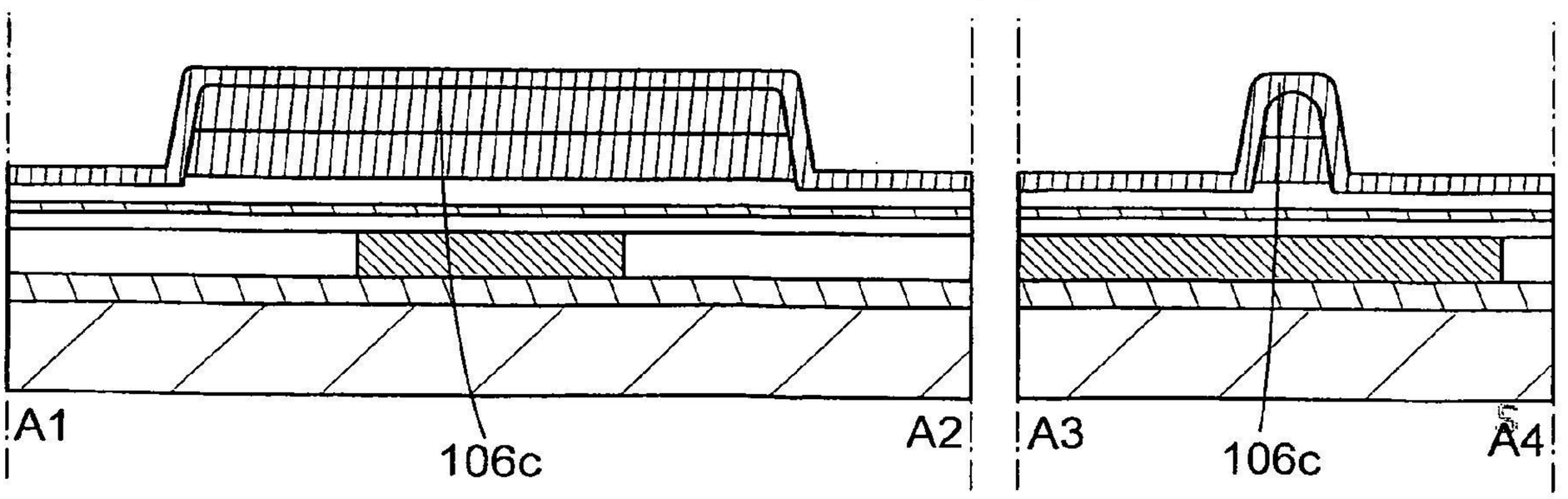


圖 18A

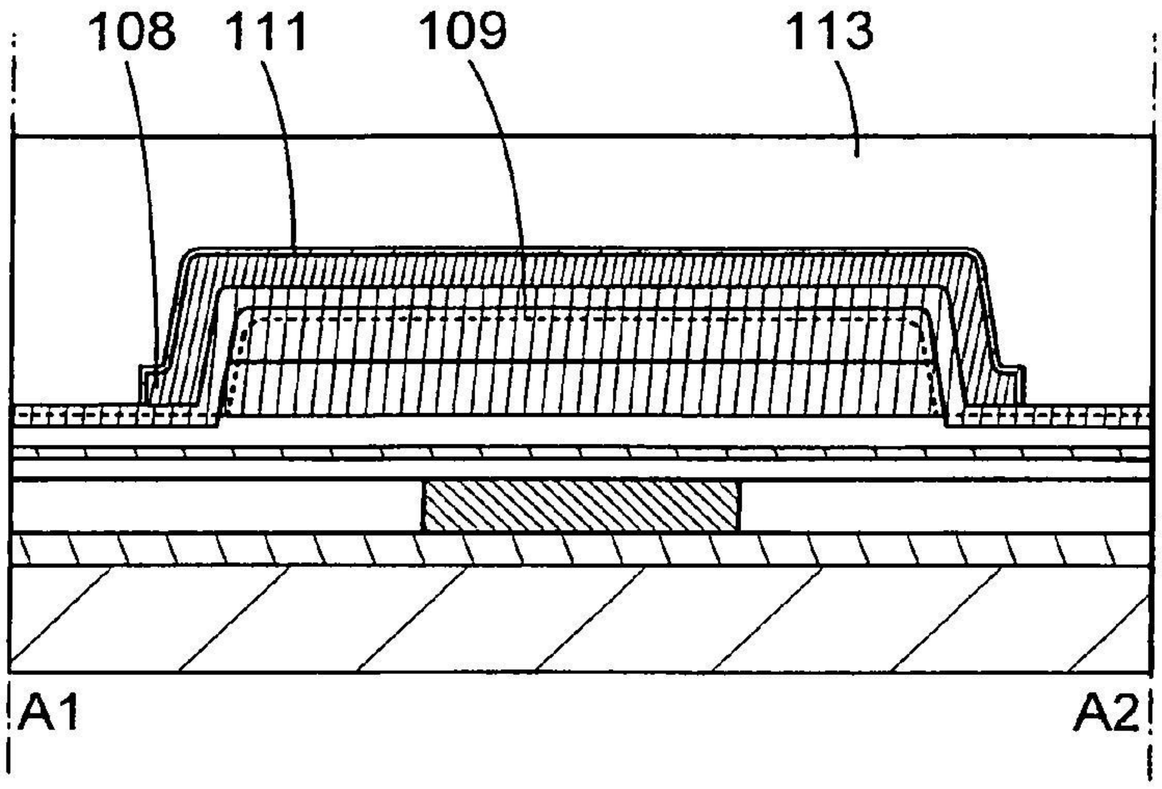


圖 18B

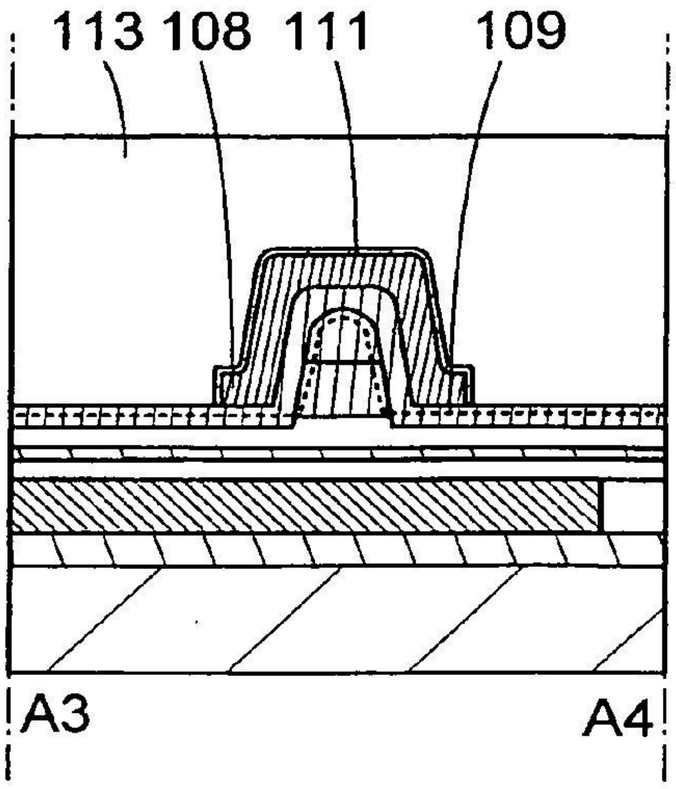


圖 18C

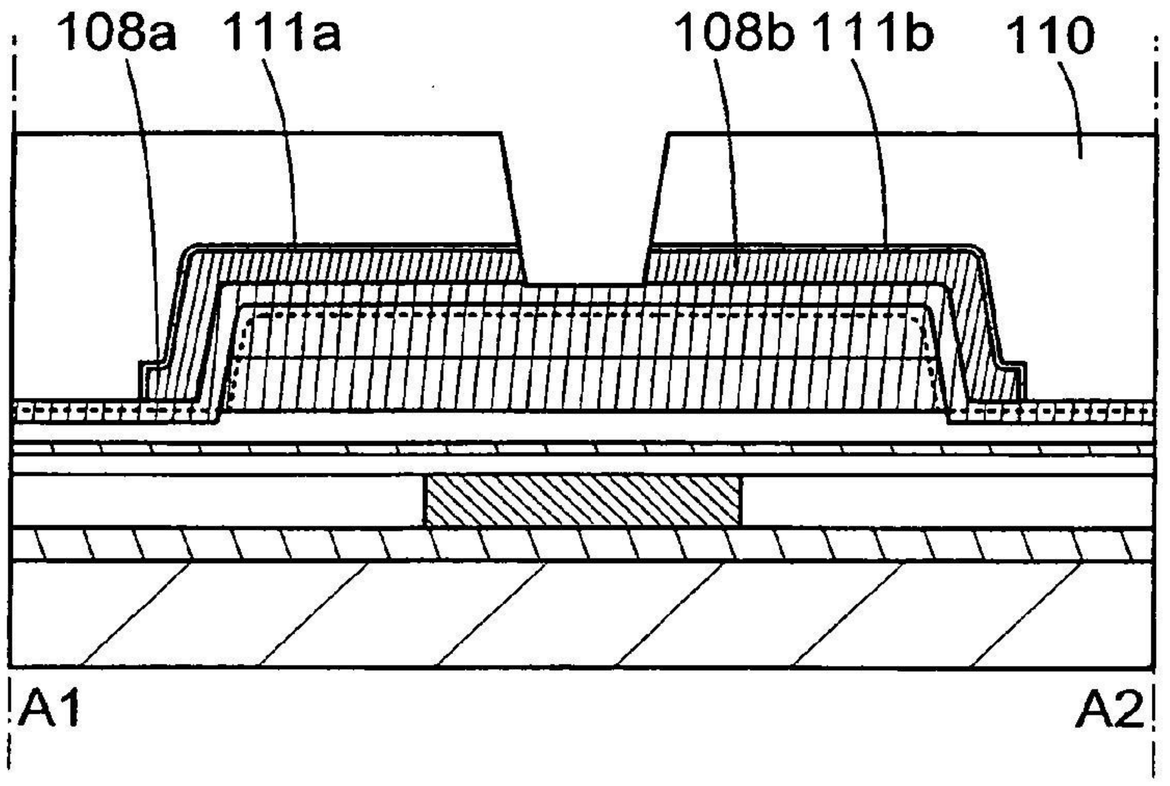


圖 18D

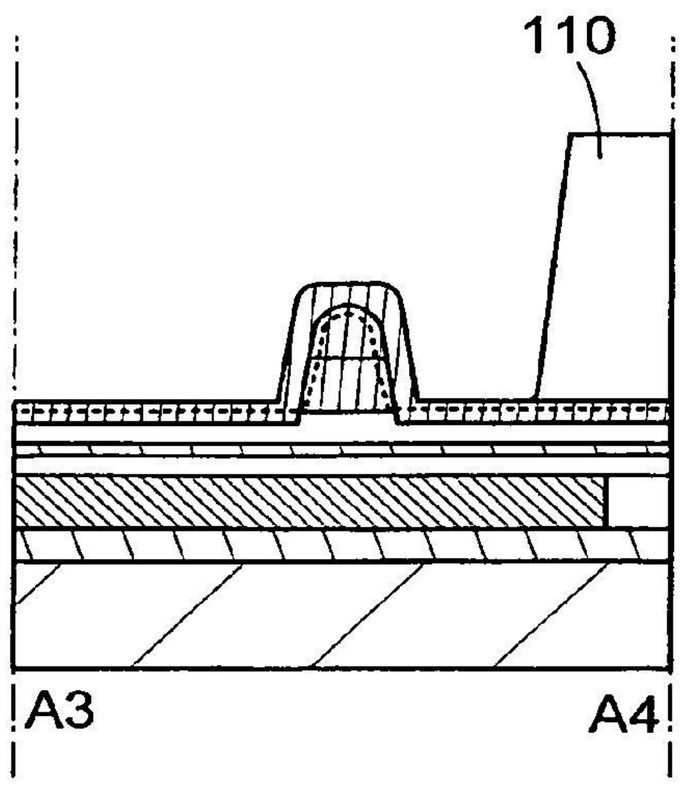


圖 18E

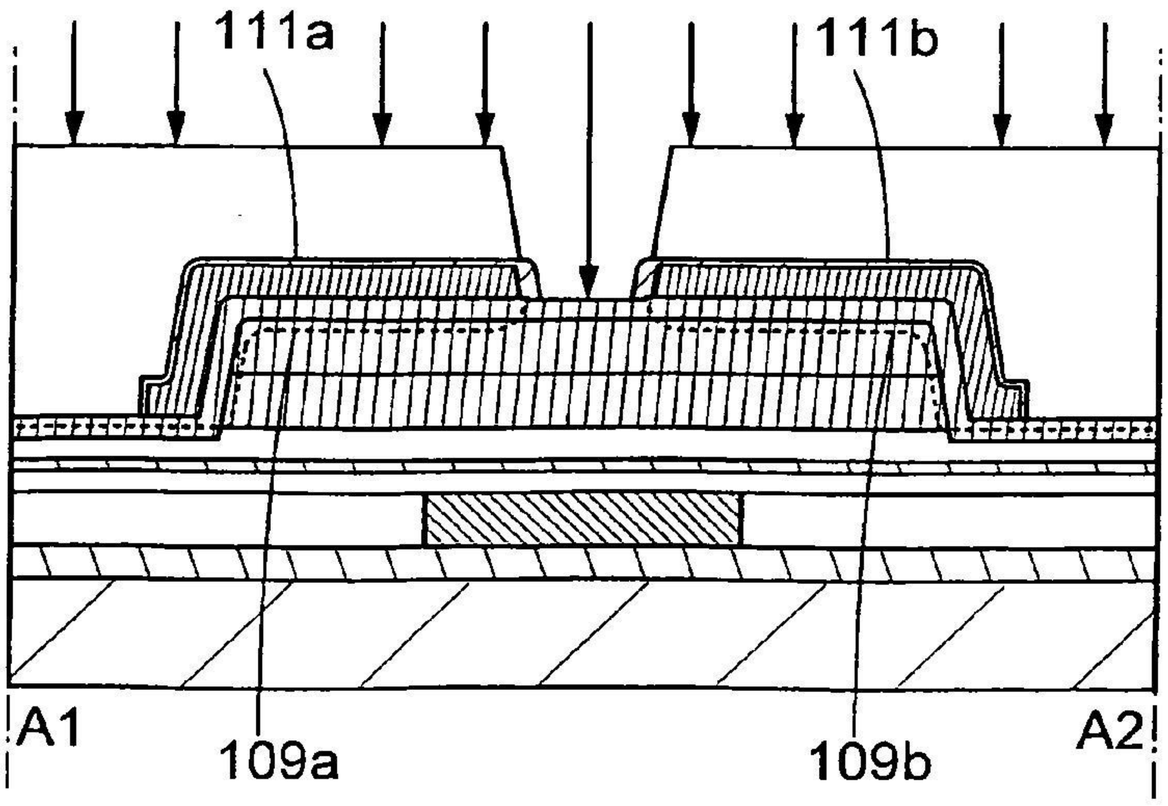
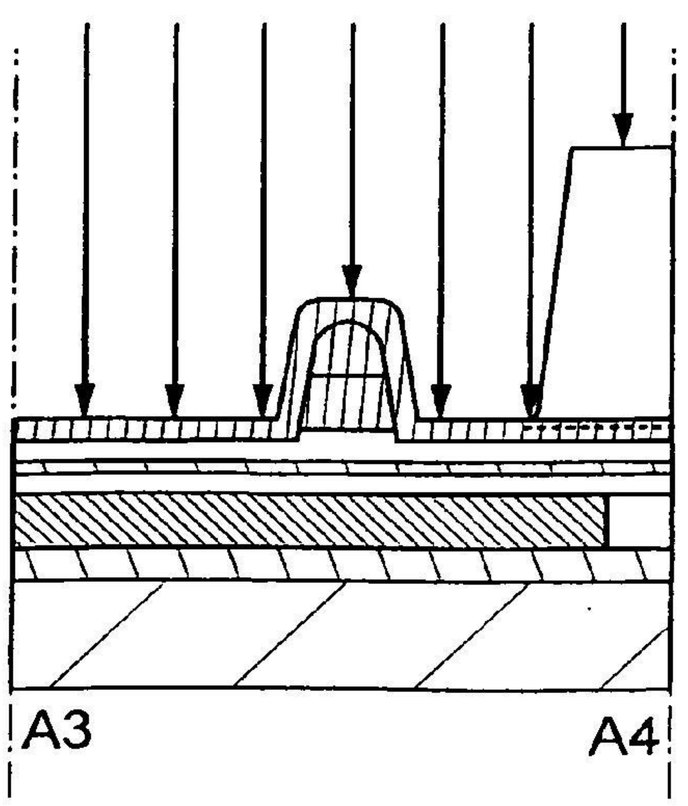


圖 18F



S

圖 19A

圖 19B

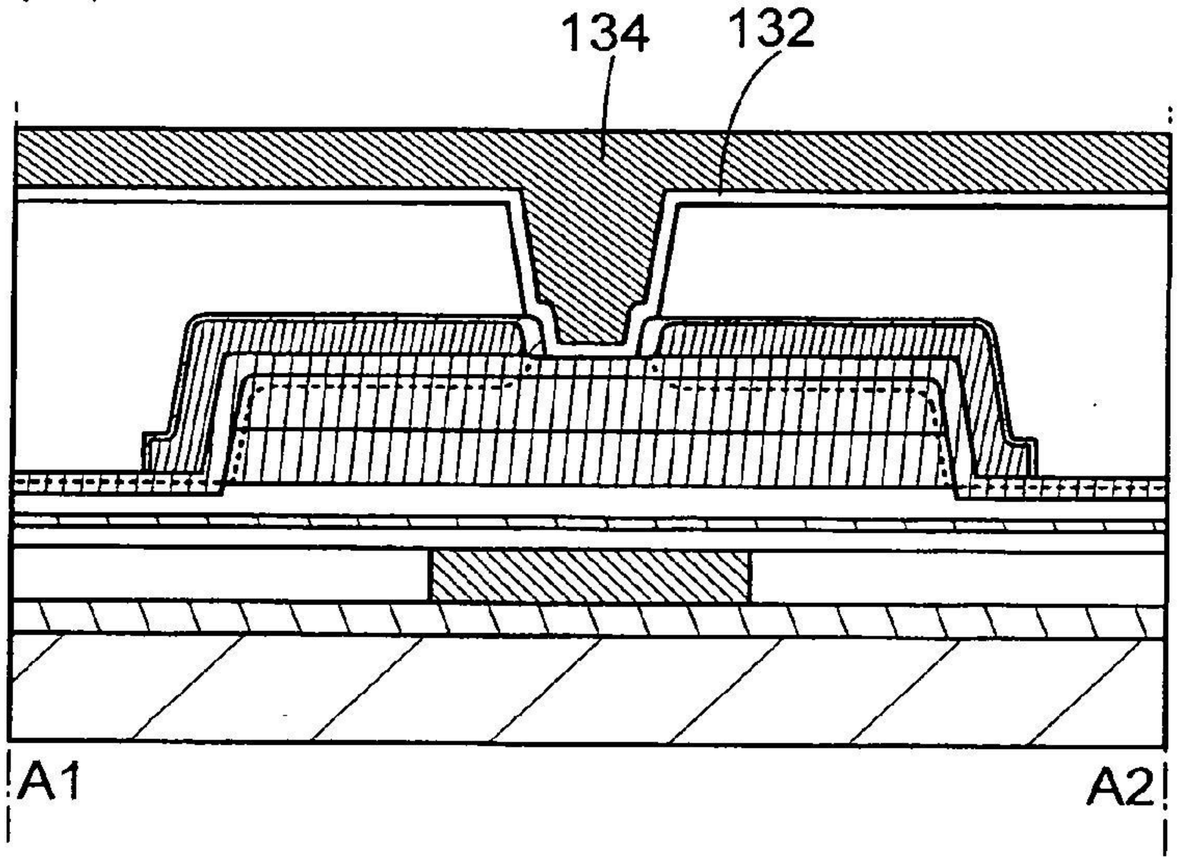


圖 19C

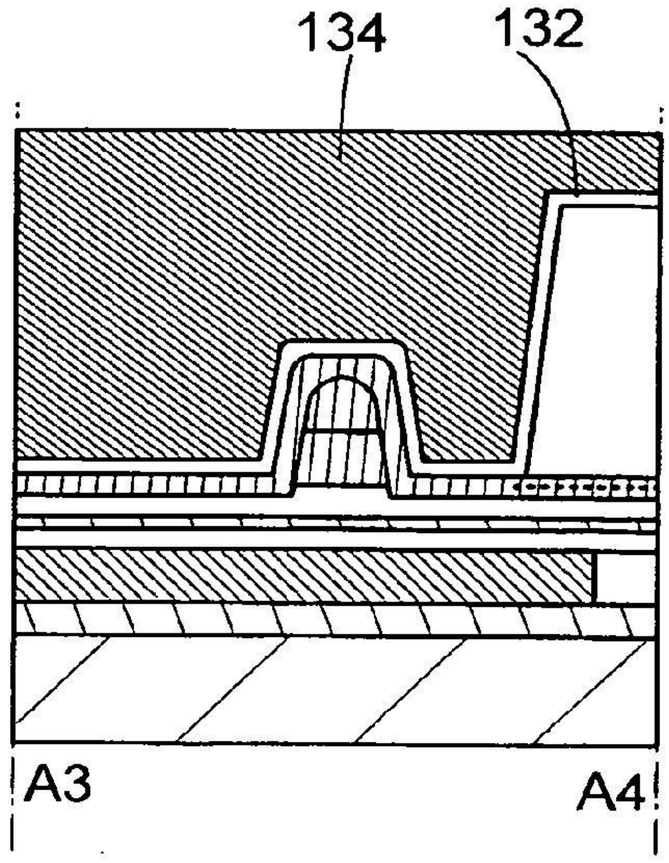


圖 19D

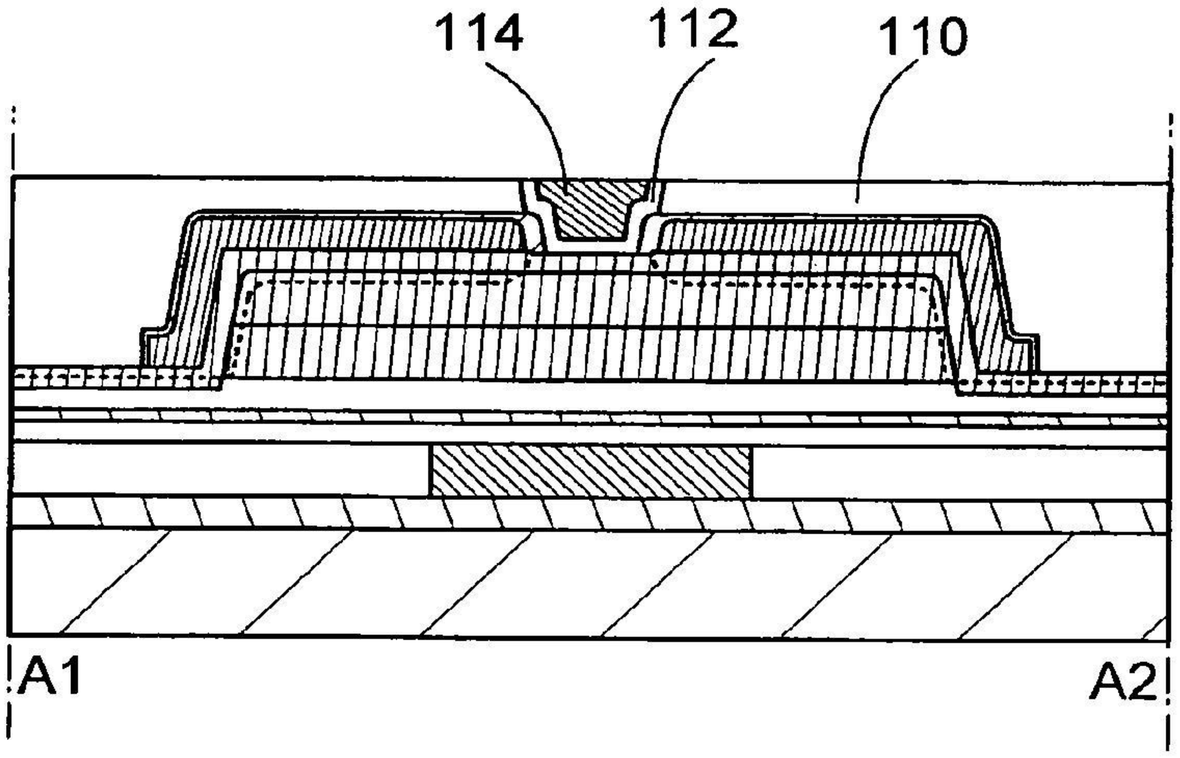


圖 19E

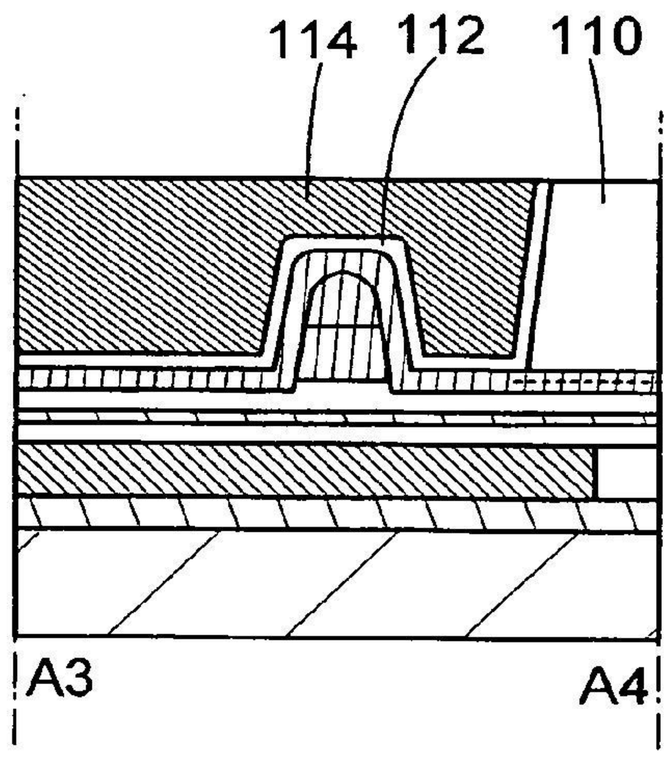
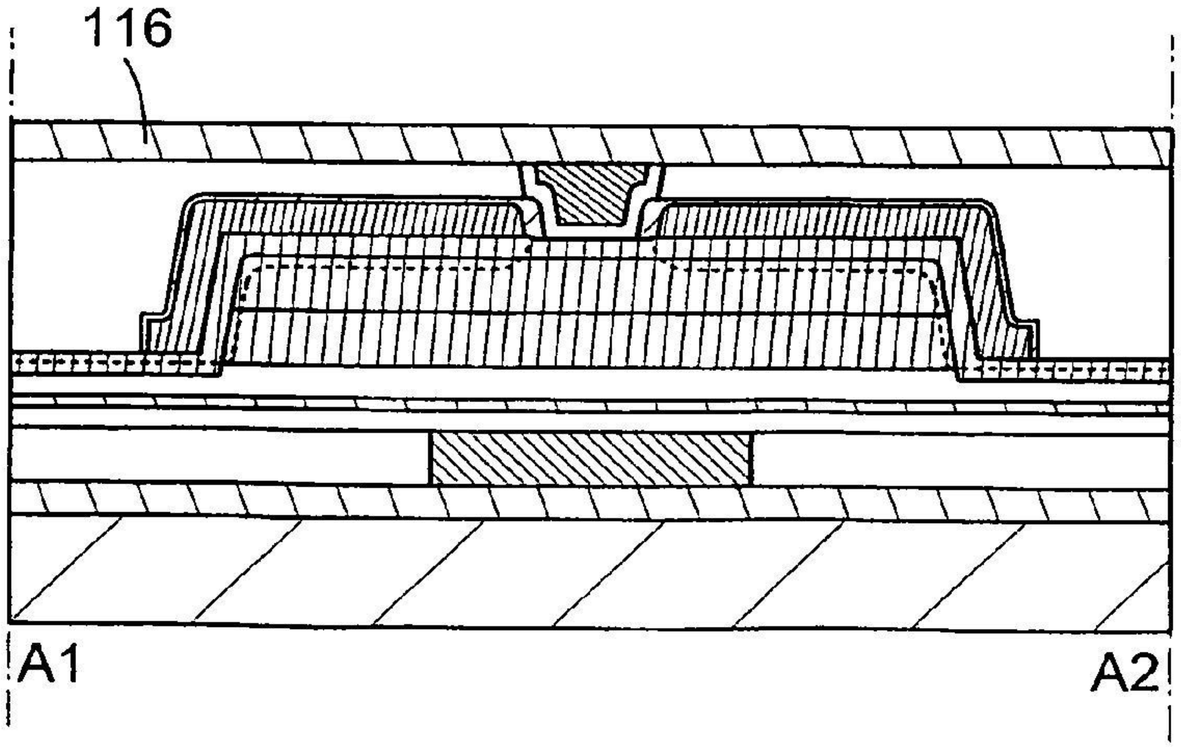


圖 19F



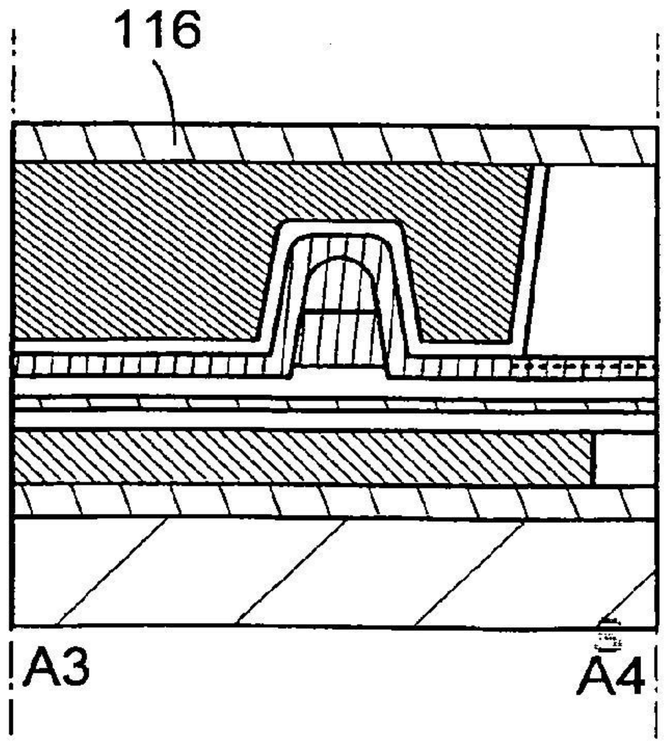
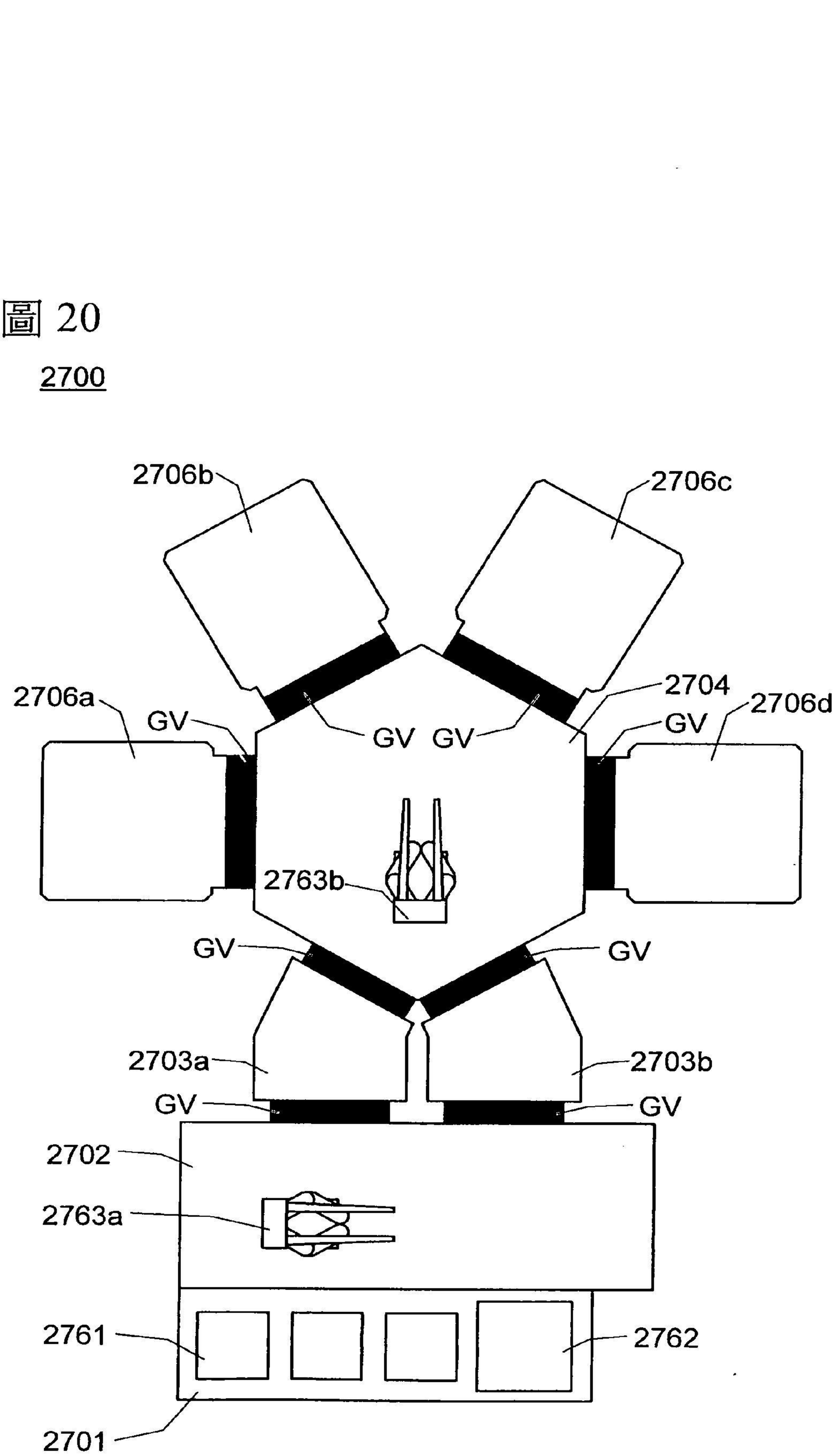


圖 20


2700
2706b
2706c
2706a
GV
GV
GV
2704
2706d
GV
2763b
GV
GV
2703a
2703b
GV
GV
2702
2763a
2761
2762
2701

S

圖 21

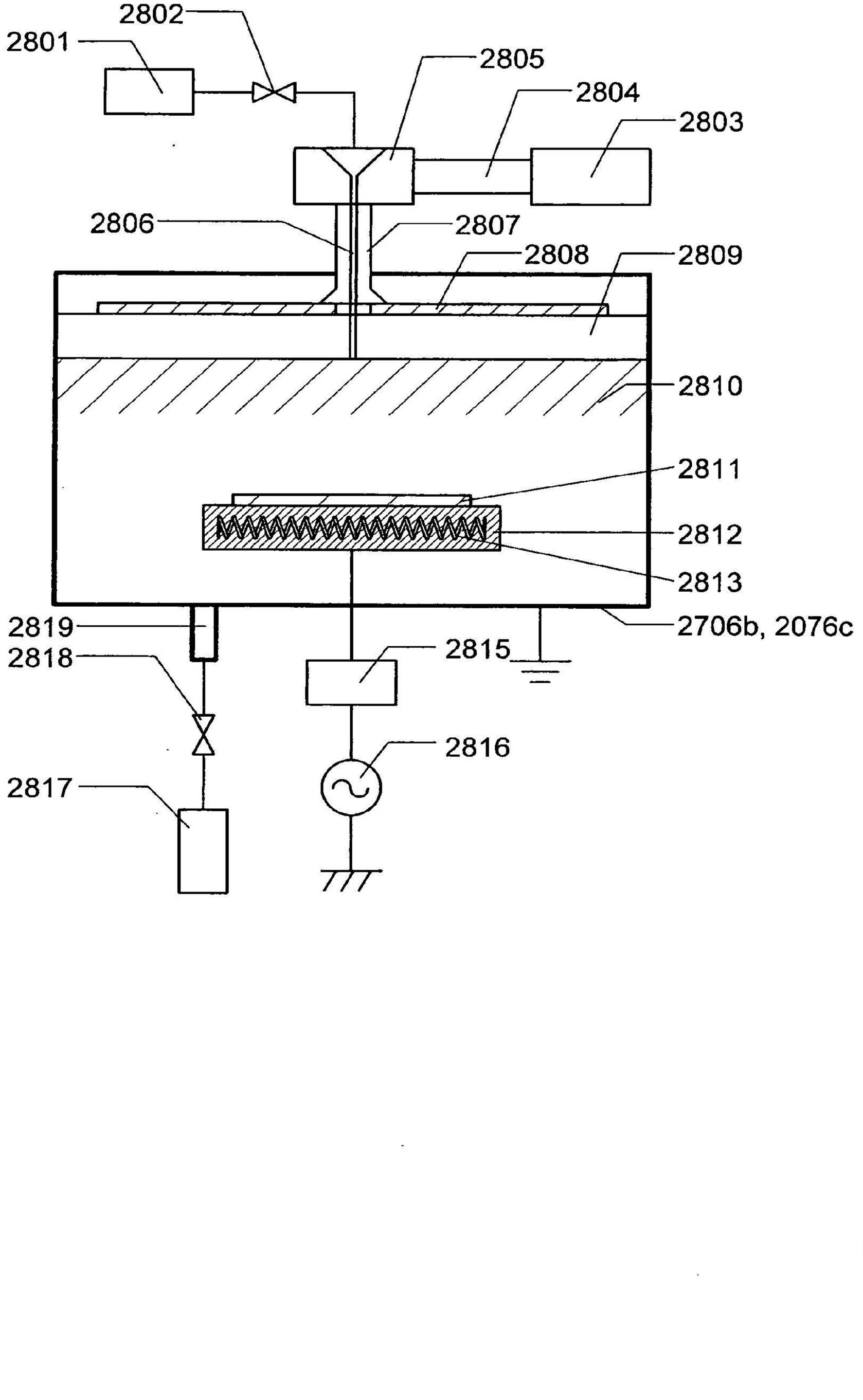

2802
2801
2805
2804
2803
2806
2807
2808
2809
2810
2811
2812
2813
2706b, 2076c
2819
2818
2815
2816
2817

圖 22

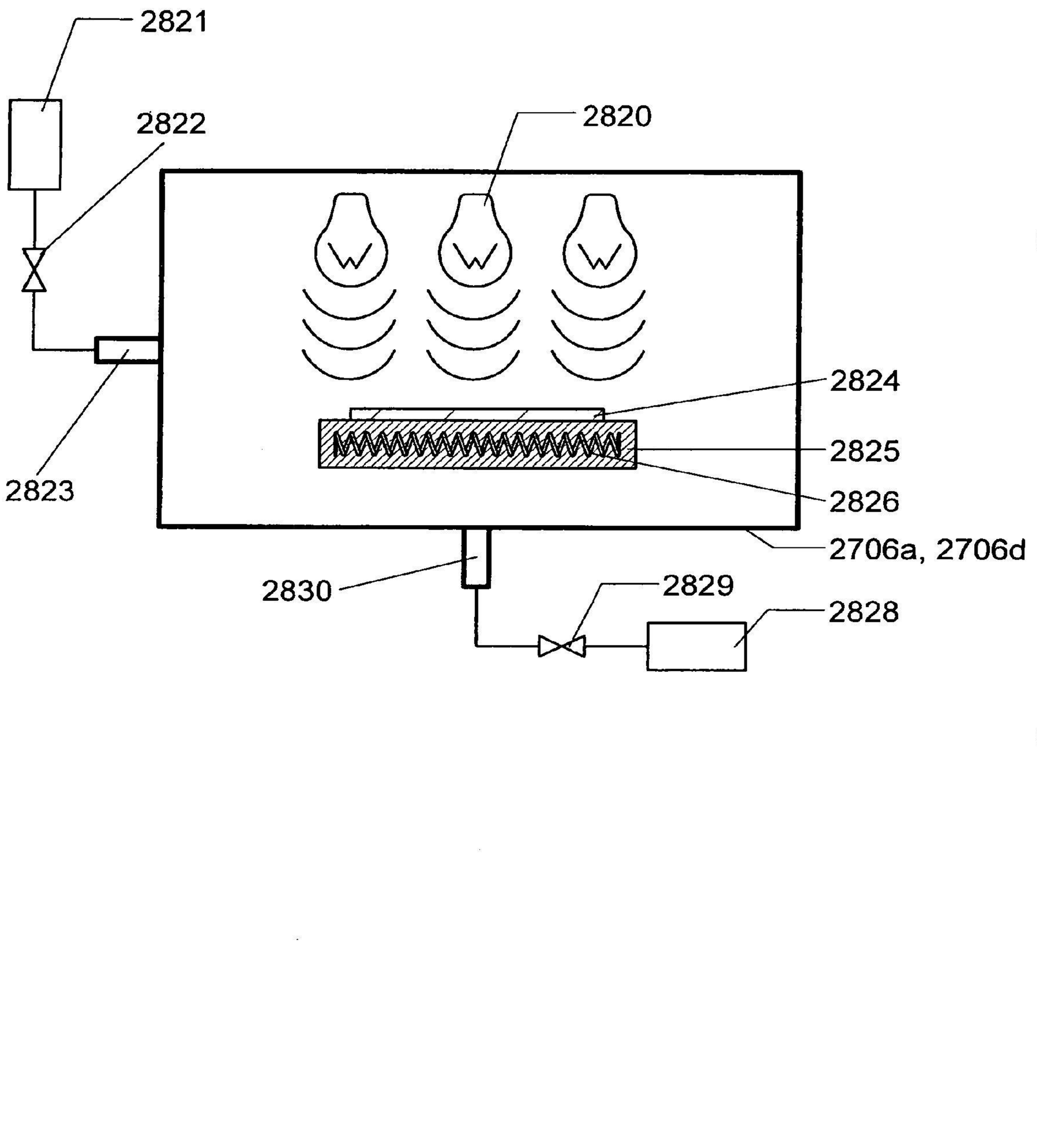

2821
2822
2820
2824
2825
2826
2823
2706a, 2706d
2830
2829
2828

圖 23A

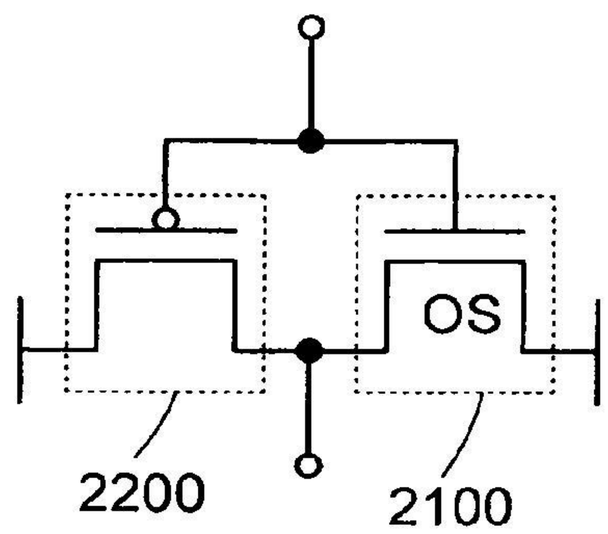


圖 23B

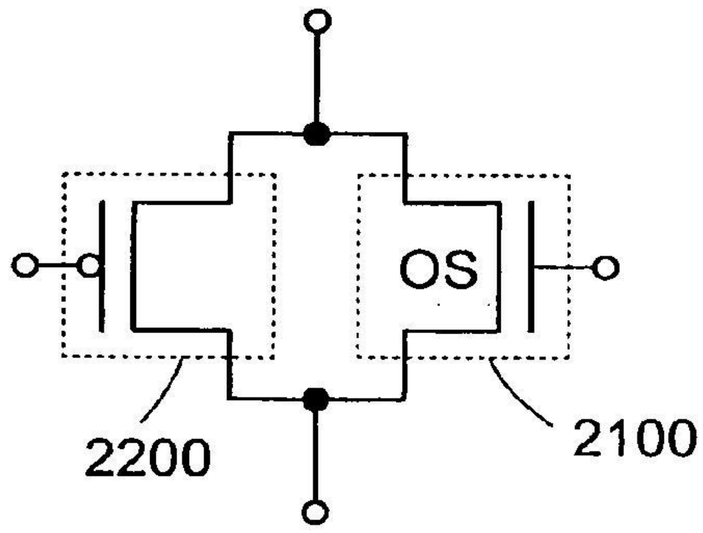


圖 24

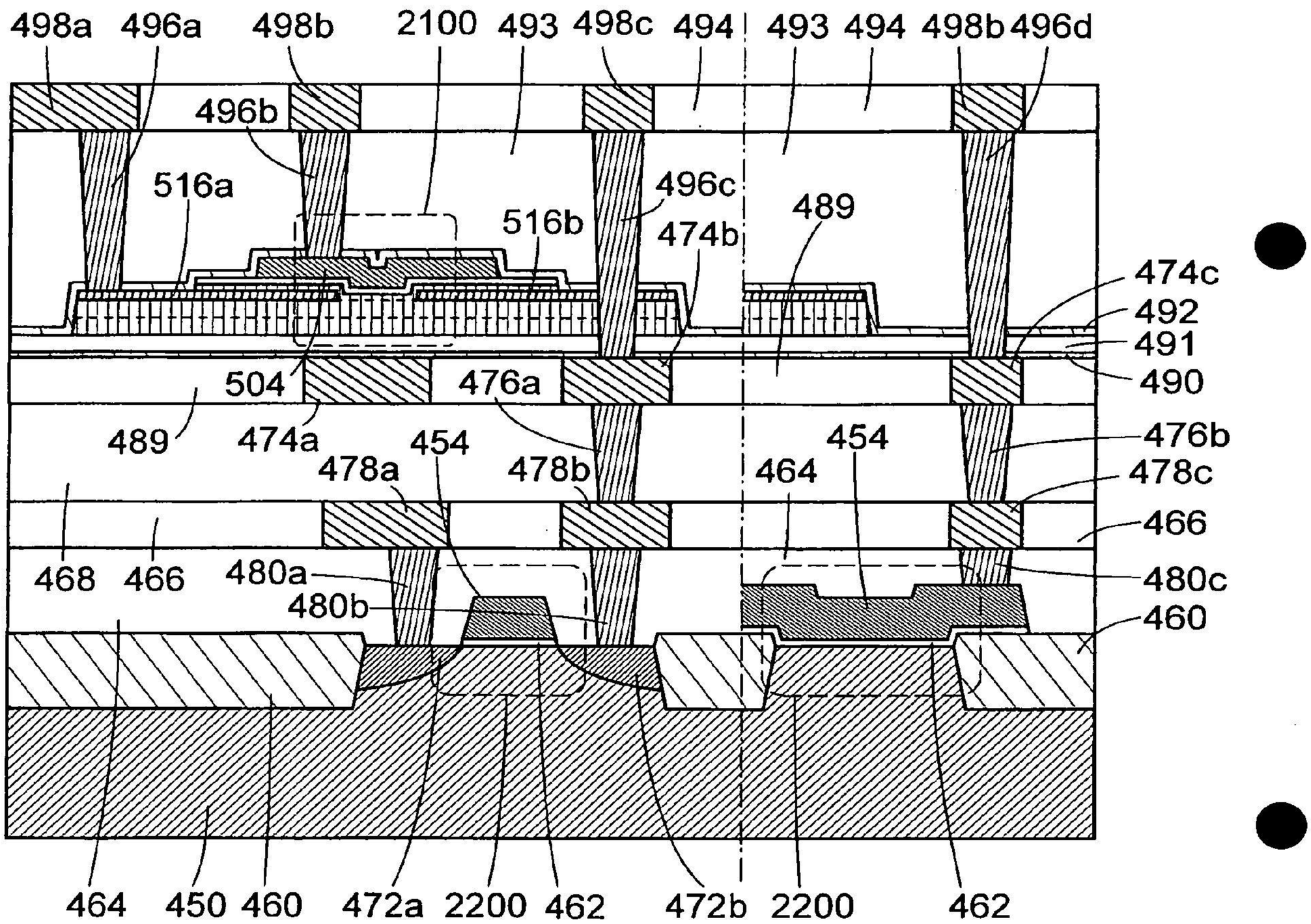

498a
496a
498b
2100
493
498c
494
493
494
498b
496d
496b
516a
516b
496c
489
474b
474c
492
491
490
504
476a
489
474a
454
478a
478b
454
464
476b
478c
466
468
466
480a
480b
480c
460
464
450
460
472a
2200
462
472b
2200
462

圖 25

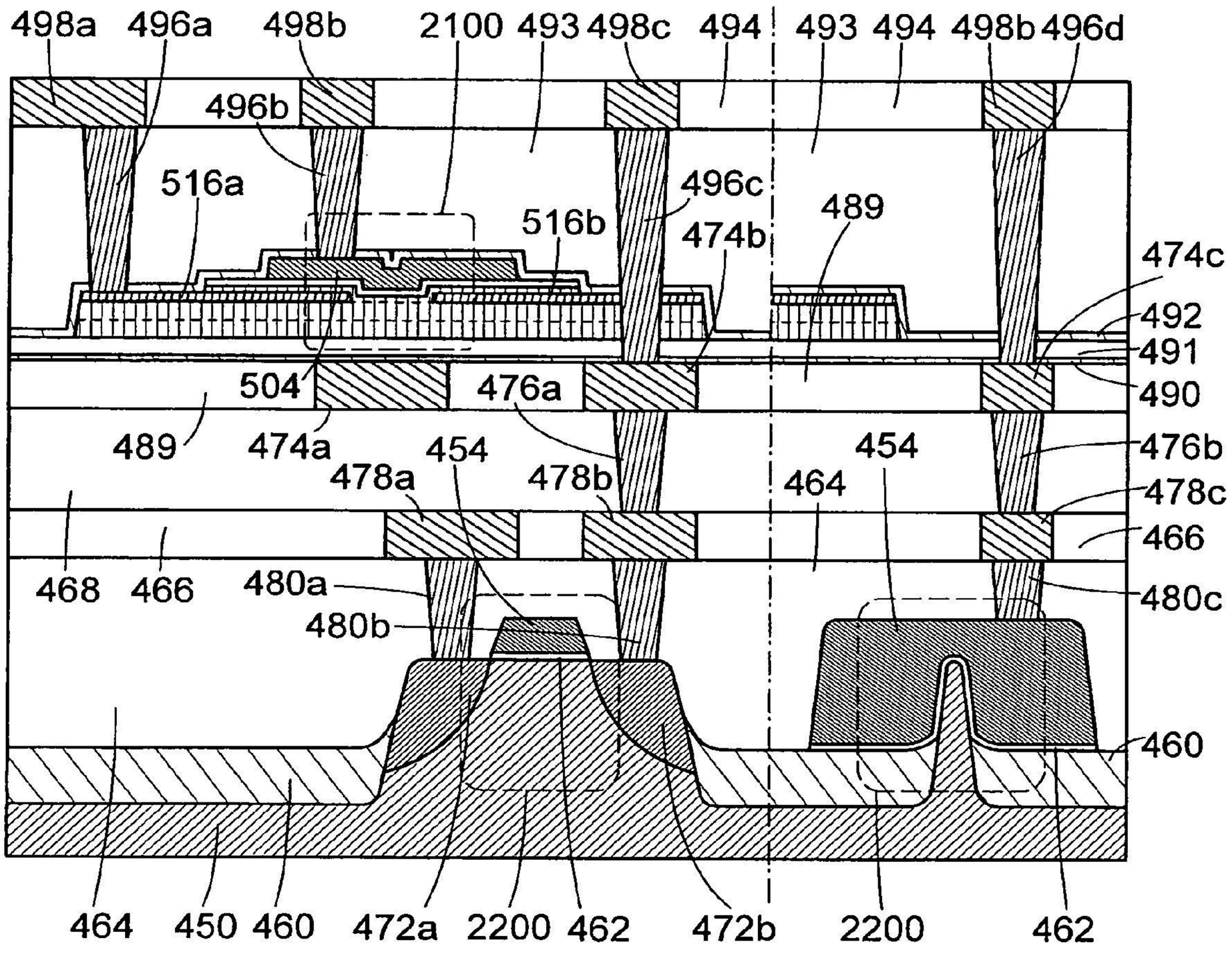
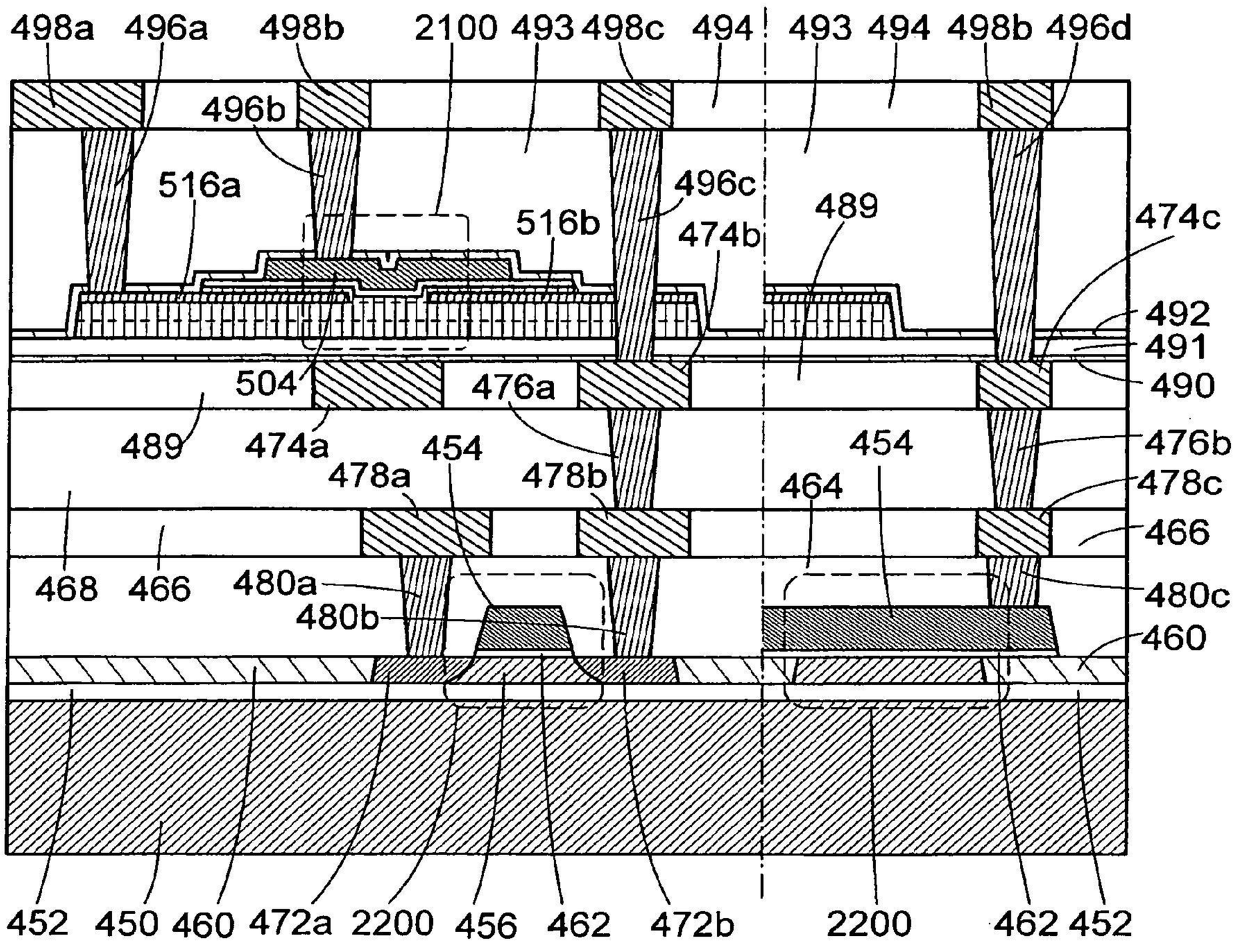

498a
496a
498b
2100
493
498c
494
493
494
498b
496d
496b
516a
516b
496c
489
474b
474c
492
491
490
504
476a
489
474a
454
454
476b
478a
478b
464
478c
466
468
466
480a
480b
480c
460
464
450
460
472a
2200
462
472b
2200
462

圖 26


498a
496a
498b
2100
493
498c
494
493
494
498b
496d
496b
516a
516b
496c
489
474b
474c
492
491
490
504
476a
489
474a
454
454
476b
478a
478b
464
478c
466
468
466
480a
480b
480c
460
452
450
460
472a
2200
456
462
472b
2200
462
452

S

圖 27A

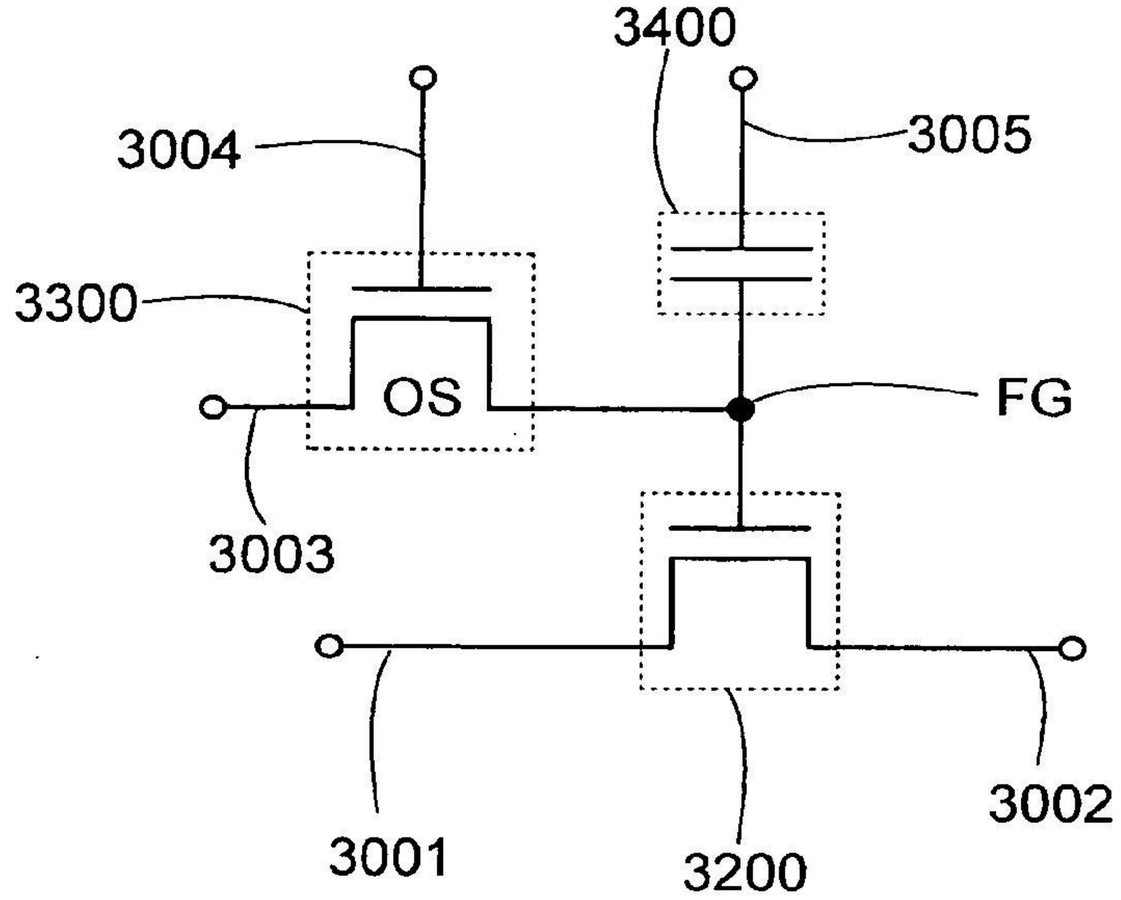


圖 27B

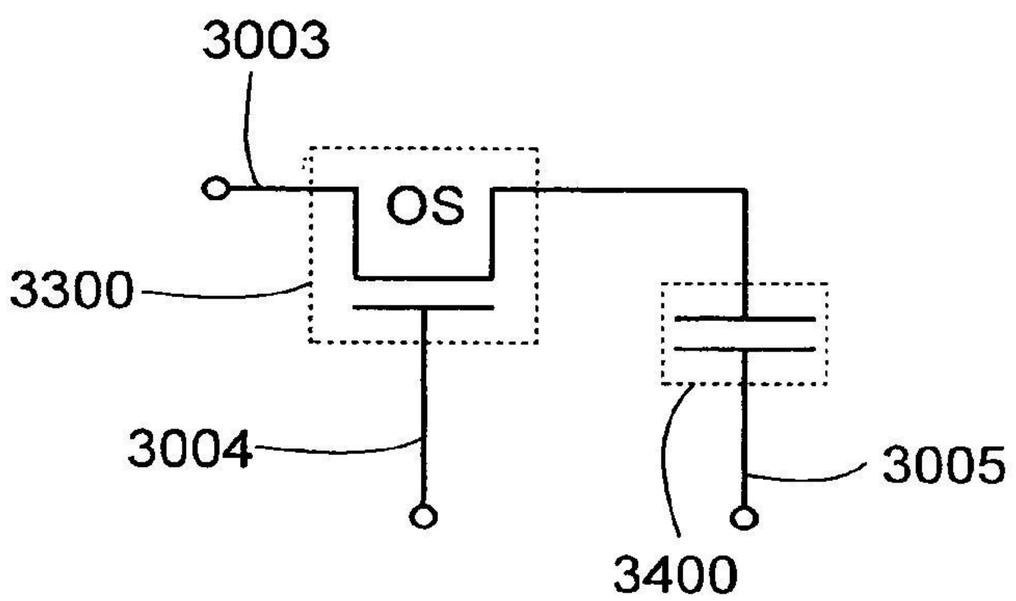


圖 27C

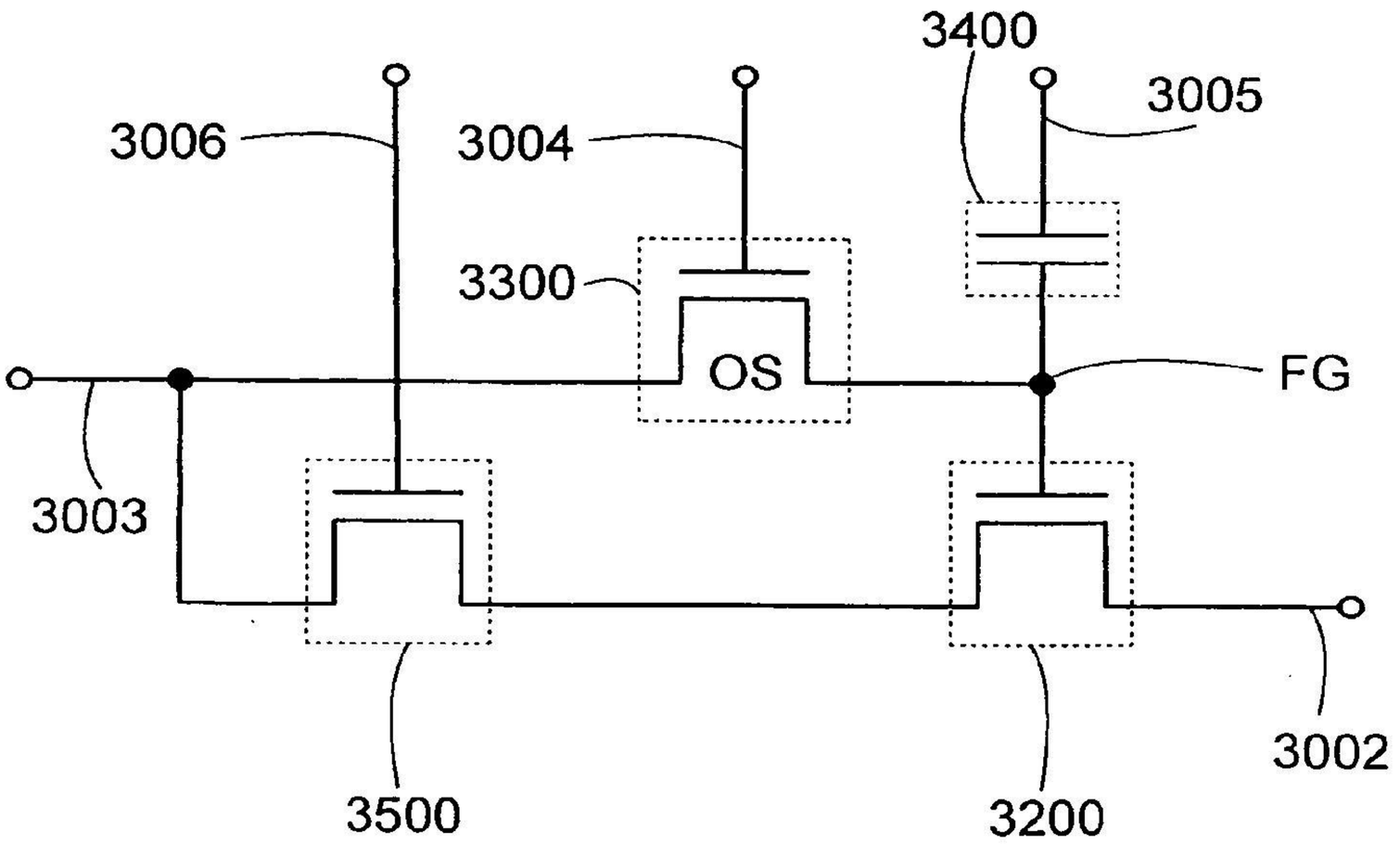


圖 28

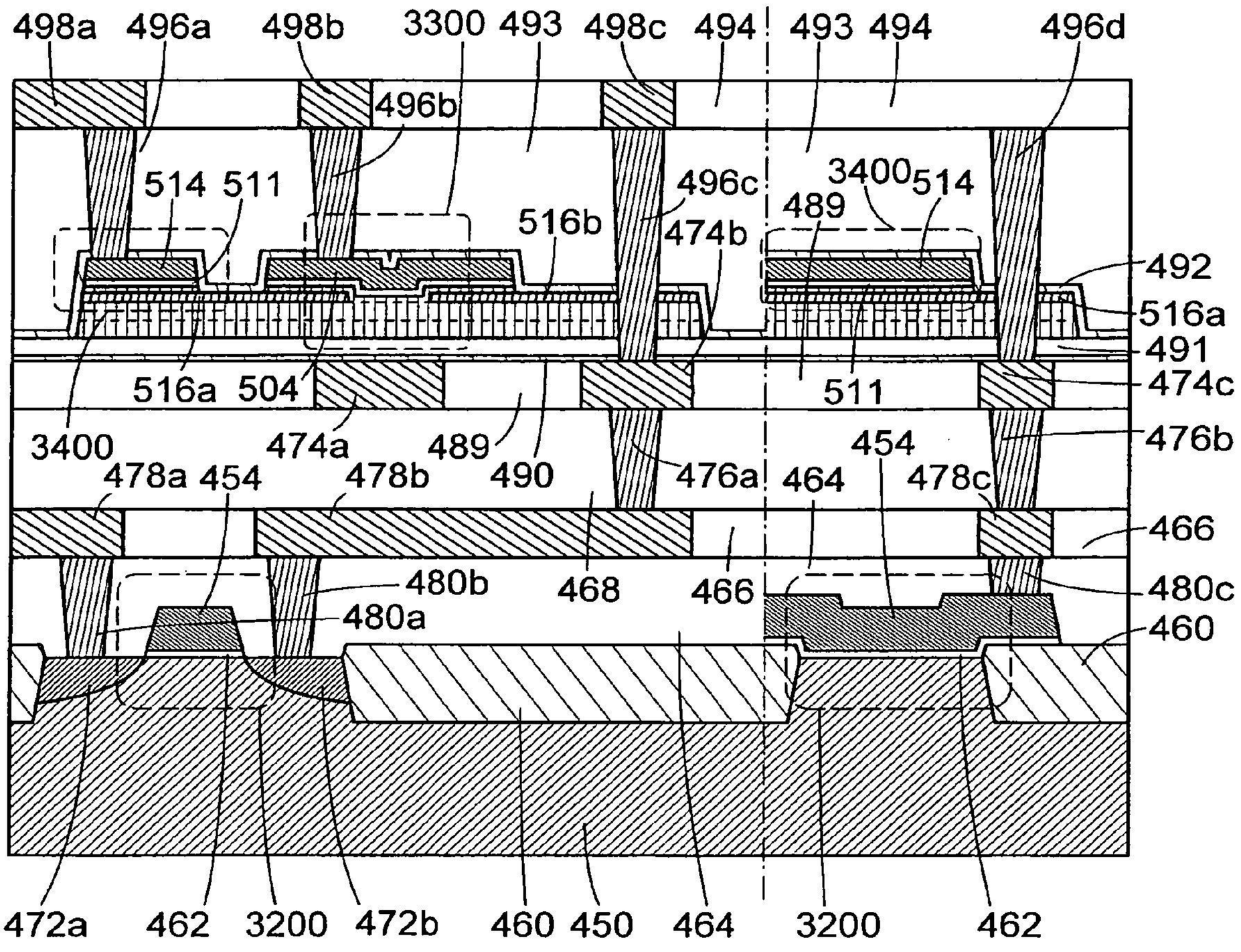

498a
496a
498b
3300
493
498c
494
493
494
496d
496b
514
511
496c
3400
514
489
516b
474b
492
516a
491
474c
516a
504
511
3400
474a
489
490
476a
454
476b
478a
454
478b
464
478c
466
480b
468
466
480c
480a
460
472a
462
3200
472b
460
450
464
3200
462

圖 29

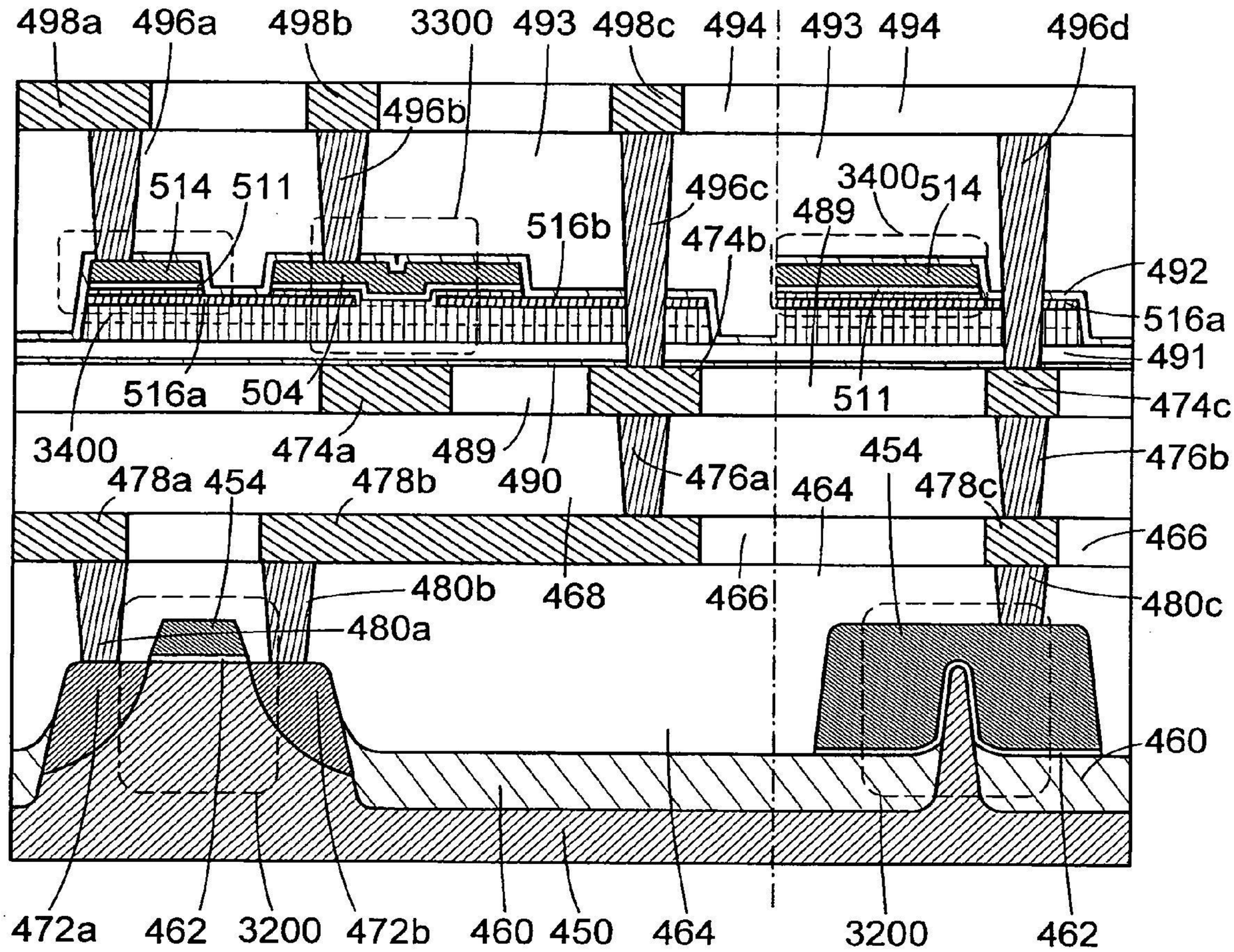

498a
496a
498b
3300
493
498c
494
493
494
496d
496b
514
511
496c
3400
514
516b
489
474b
492
516a
491
504
511
474c
3400
474a
489
490
476a
454
476b
478a
454
478b
464
478c
466
480b
468
466
480c
480a
460
472a
462
3200
472b
460
450
464
3200
462

圖 30

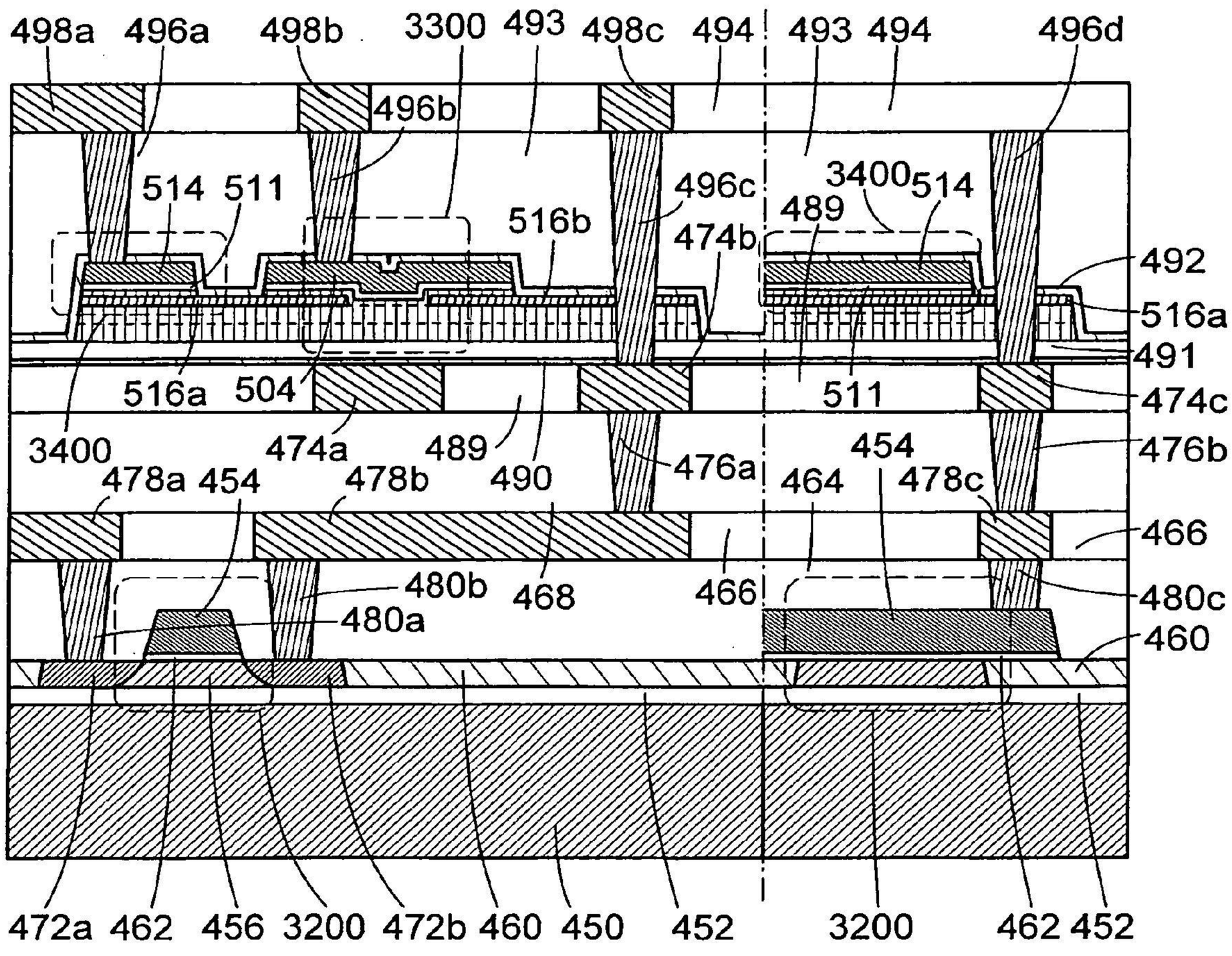

498a
496a
498b
3300
493
498c
494
493
494
496d
496b
514
511
496c
3400
514
516b
489
474b
492
516a
491
516a
504
511
474c
3400
474a
489
490
476a
454
476b
478a
454
478b
464
478c
466
480b
468
466
480c
480a
460
472a
462
456
3200
472b
460
450
452
3200
462
452

圖 31

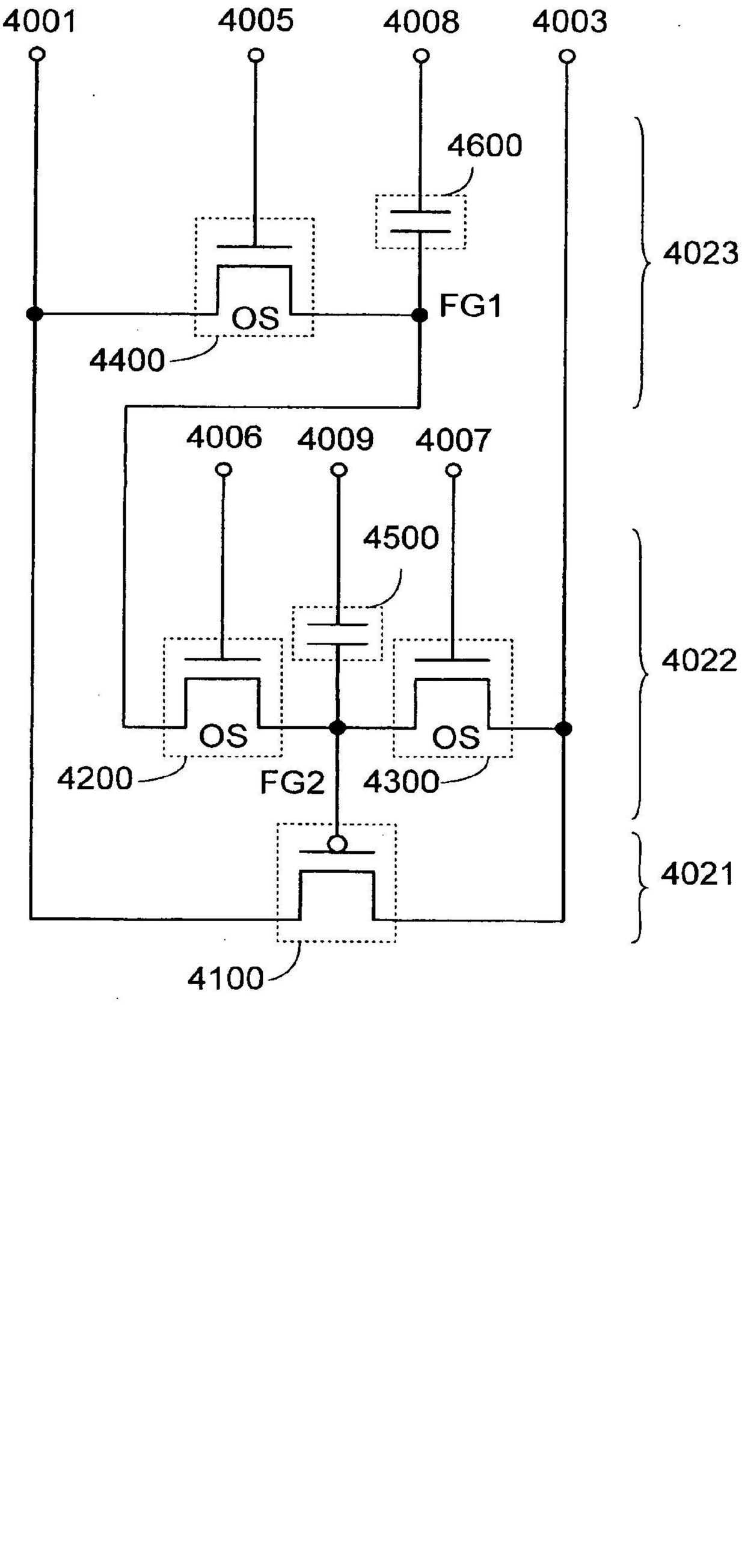

4001
4005
4008
4003
4600
4023
FG1
OS
4400
4006
4009
4007
4500
4022
OS
OS
4200
FG2
4300
4021
4100

圖 32

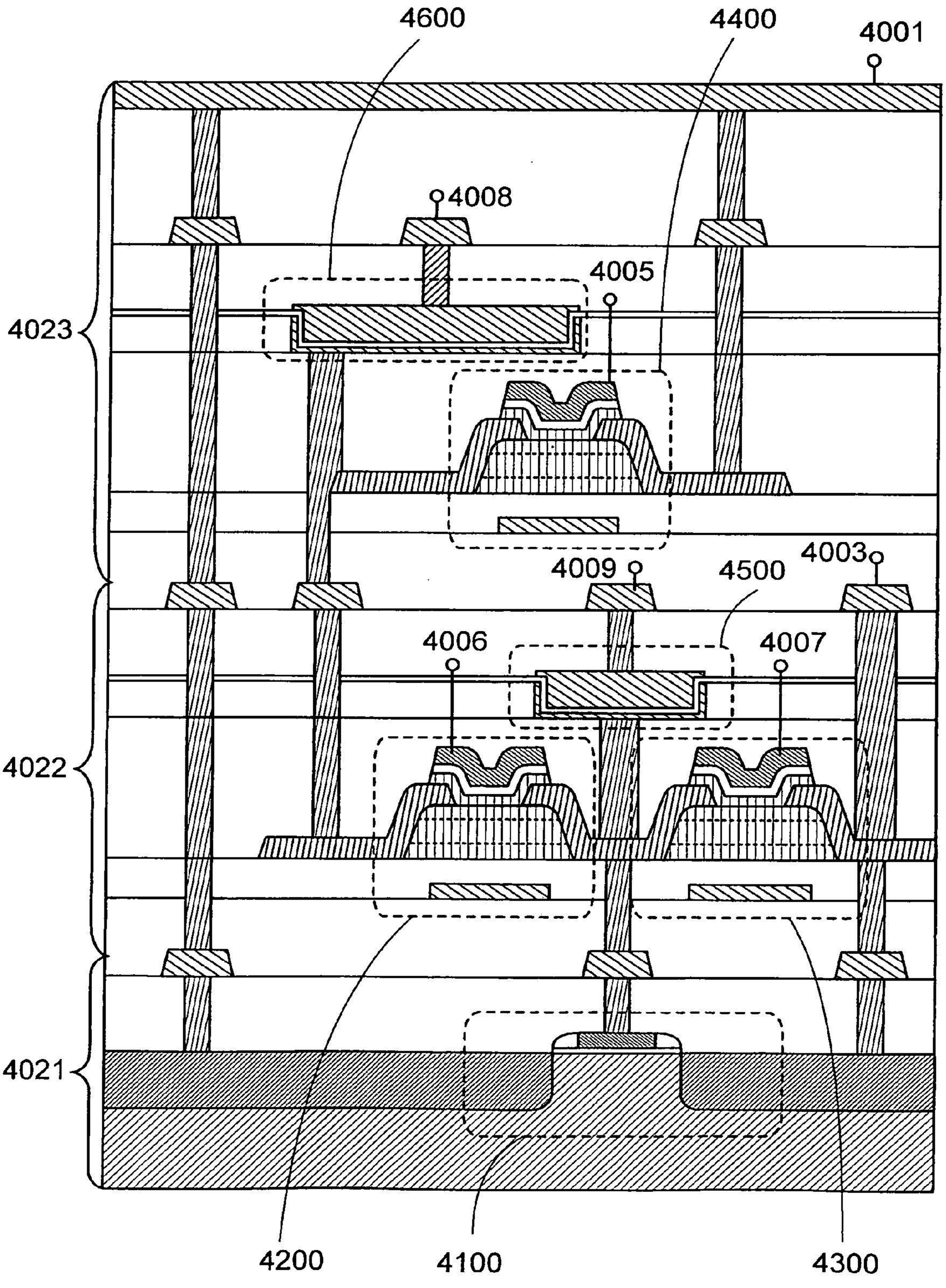

4600
4400
4001
4008
4005
4023
4009
4500
4003
4006
4007
4022
4021
4200
4100
4300

圖 33

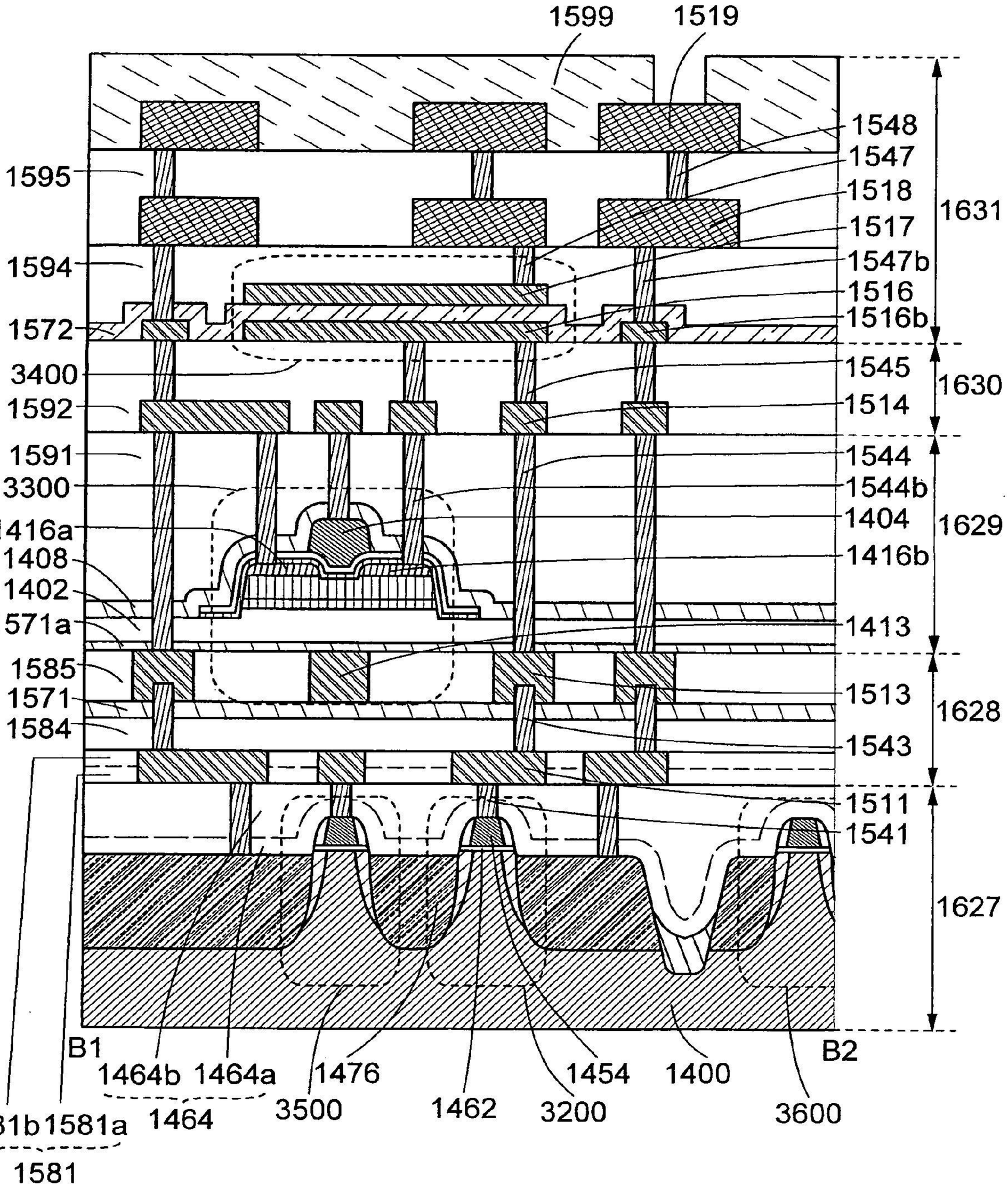

1599
1519
1595
1594
1572
3400
1592
1591
3300
1416a
1408
1402
1571a
1585
1571
1584
1581b
1581a
1581
1464b
1464a
1464
B1
1476
3500
1462
3200
1454
1400
3600
B2
1548
1547
1518
1517
1547b
1516
1516b
1545
1514
1544
1544b
1404
1416b
1413
1513
1543
1511
1541
1631
1630
1629
1628
1627

圖 34

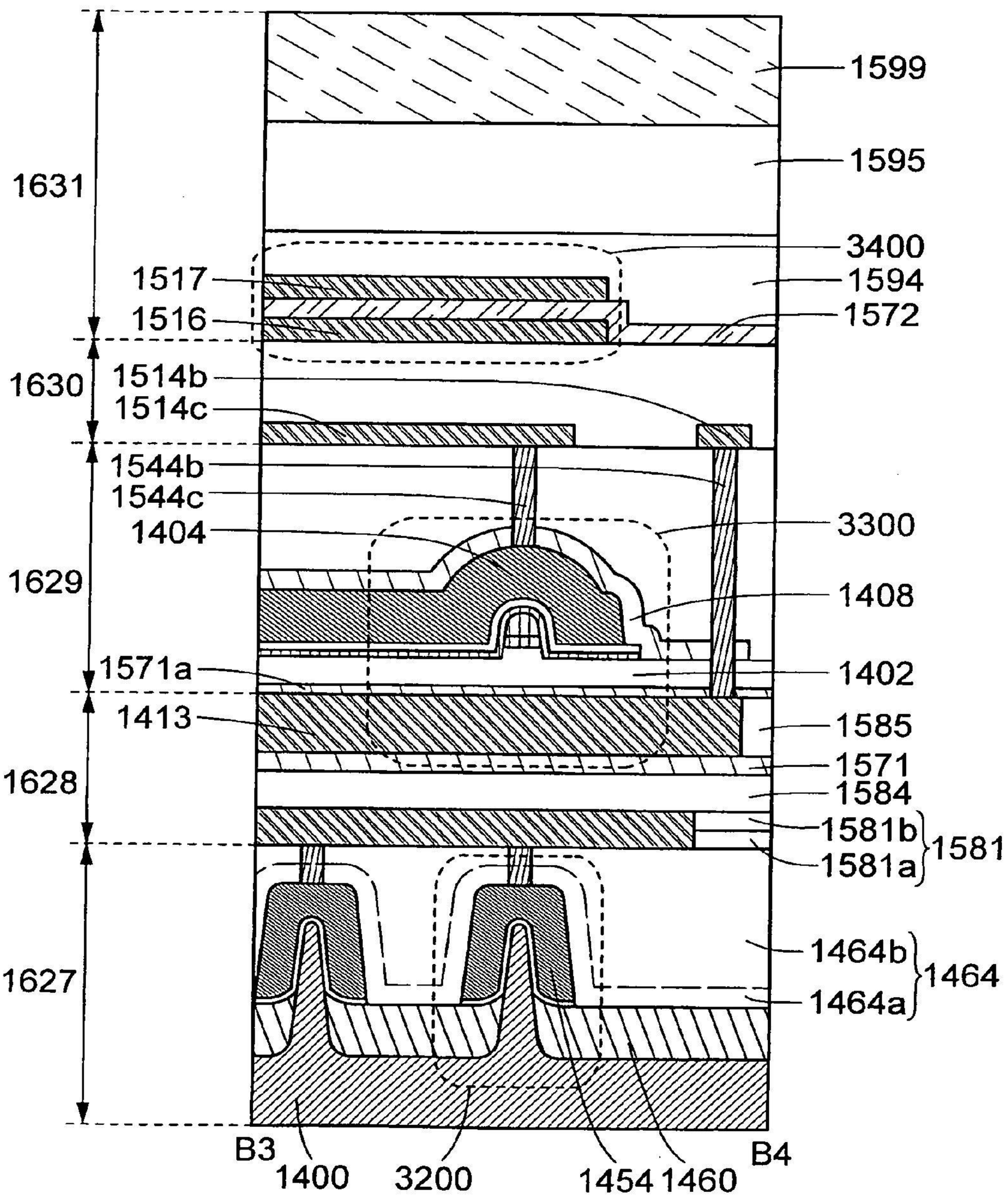

1631
1630
1629
1628
1627
1599
1595
3400
1517
1516
1594
1572
1514b
1514c
1544b
1544c
1404
3300
1408
1571a
1402
1413
1585
1571
1584
1581b
1581a
1581
1464b
1464a
1464
B3
B4
1400
3200
1454
1460

圖 35A

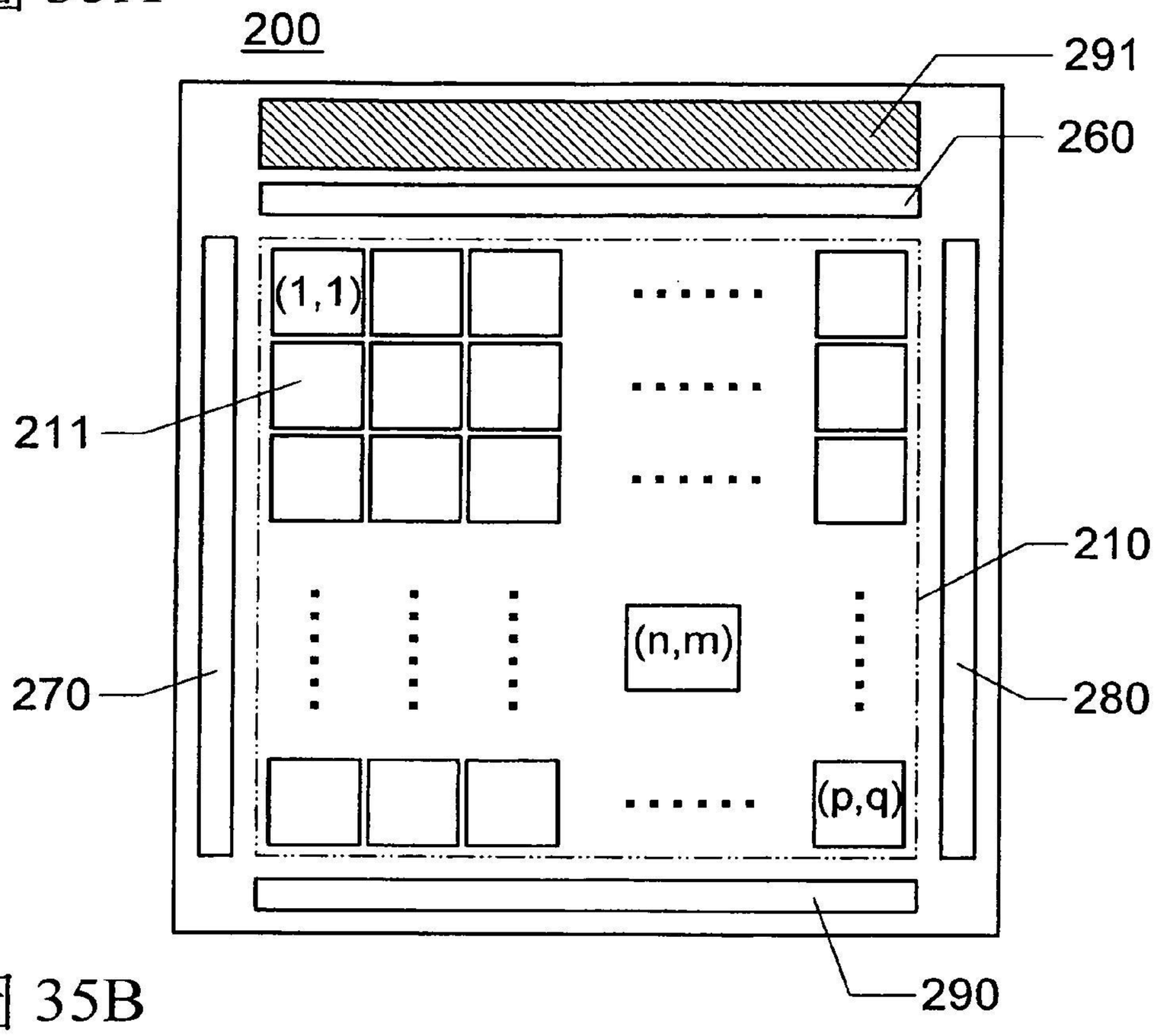

200
291
260
(1,1)
211
210
(n,m)
270
280
(p,q)
290

圖 35B

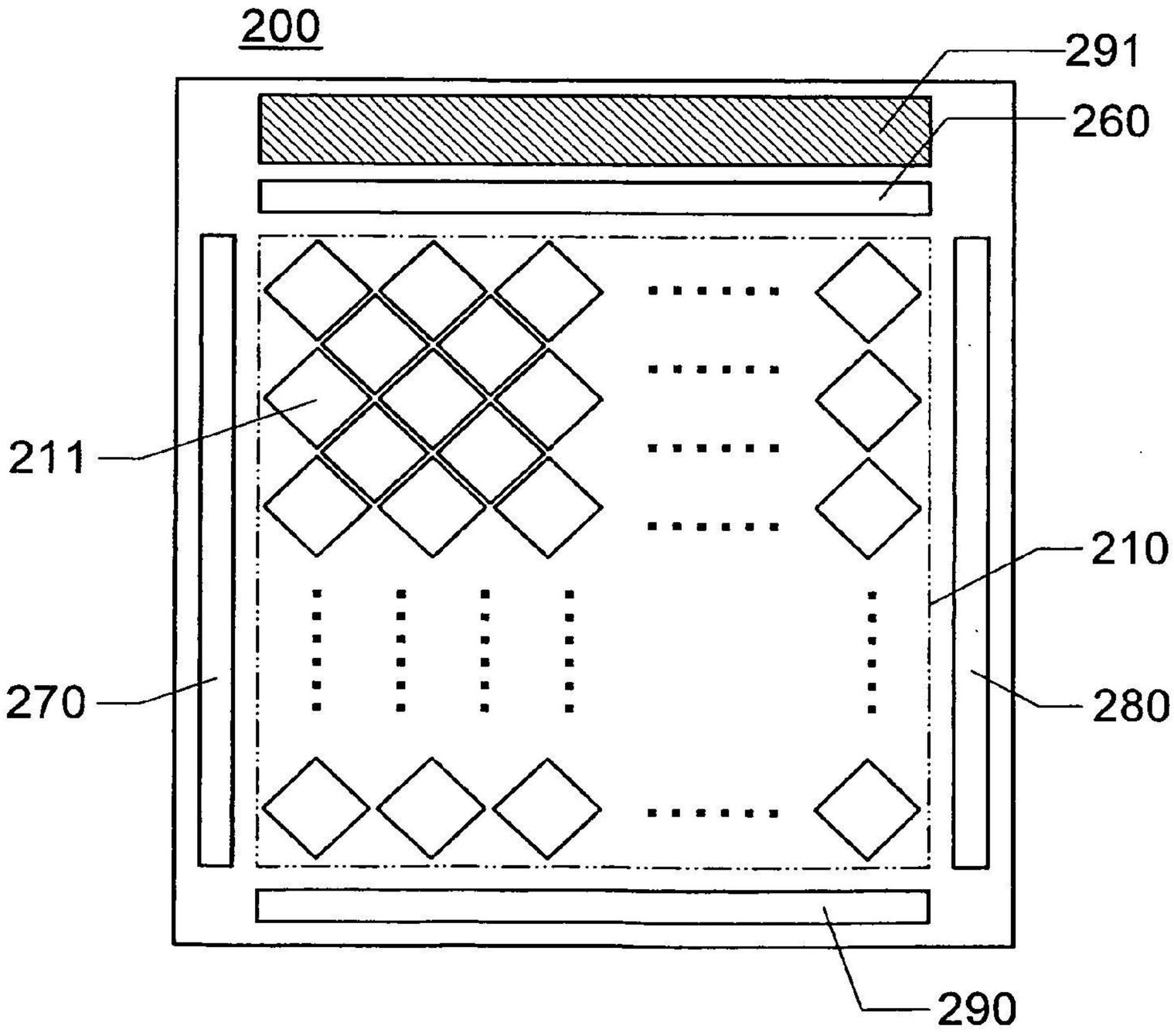

200
291
260
211
210
270
280
290

圖 36A

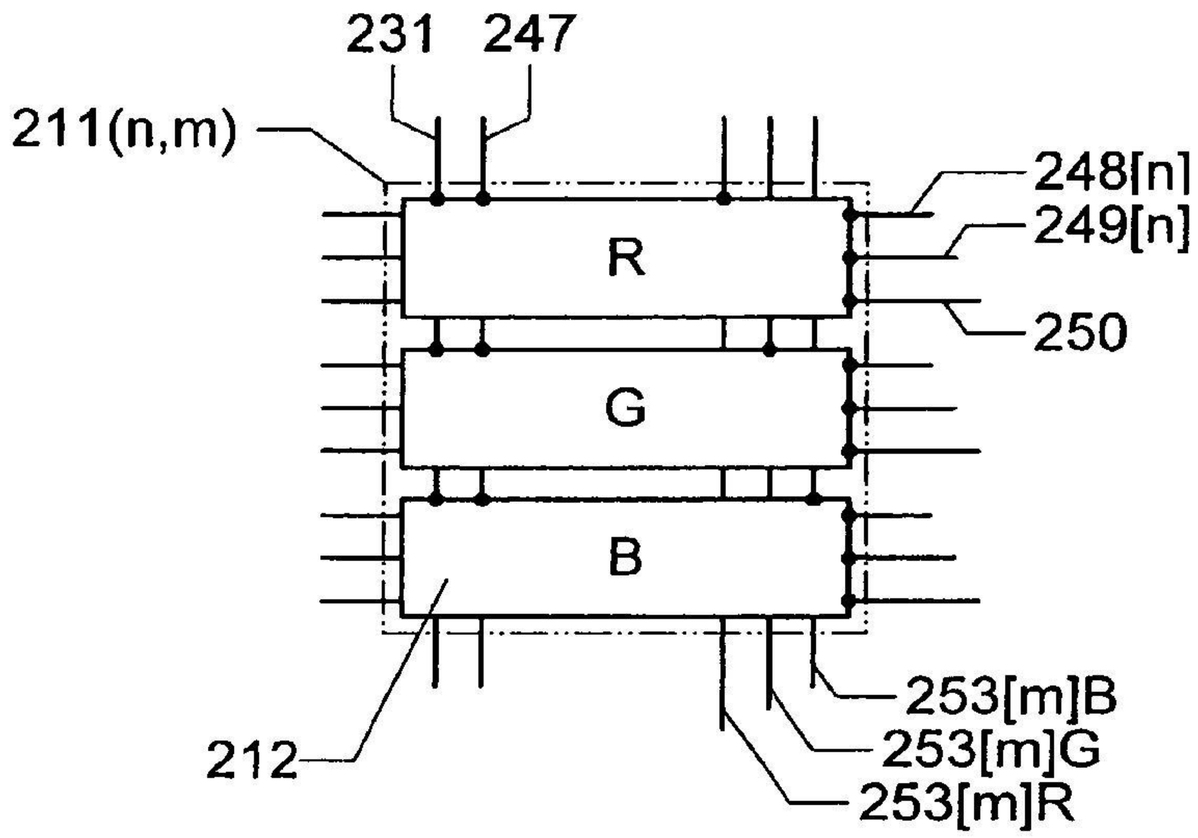

231
247
211(n,m)
248[n]
249[n]
250
R
G
B
212
253[m]B
253[m]G
253[m]R

圖 36B

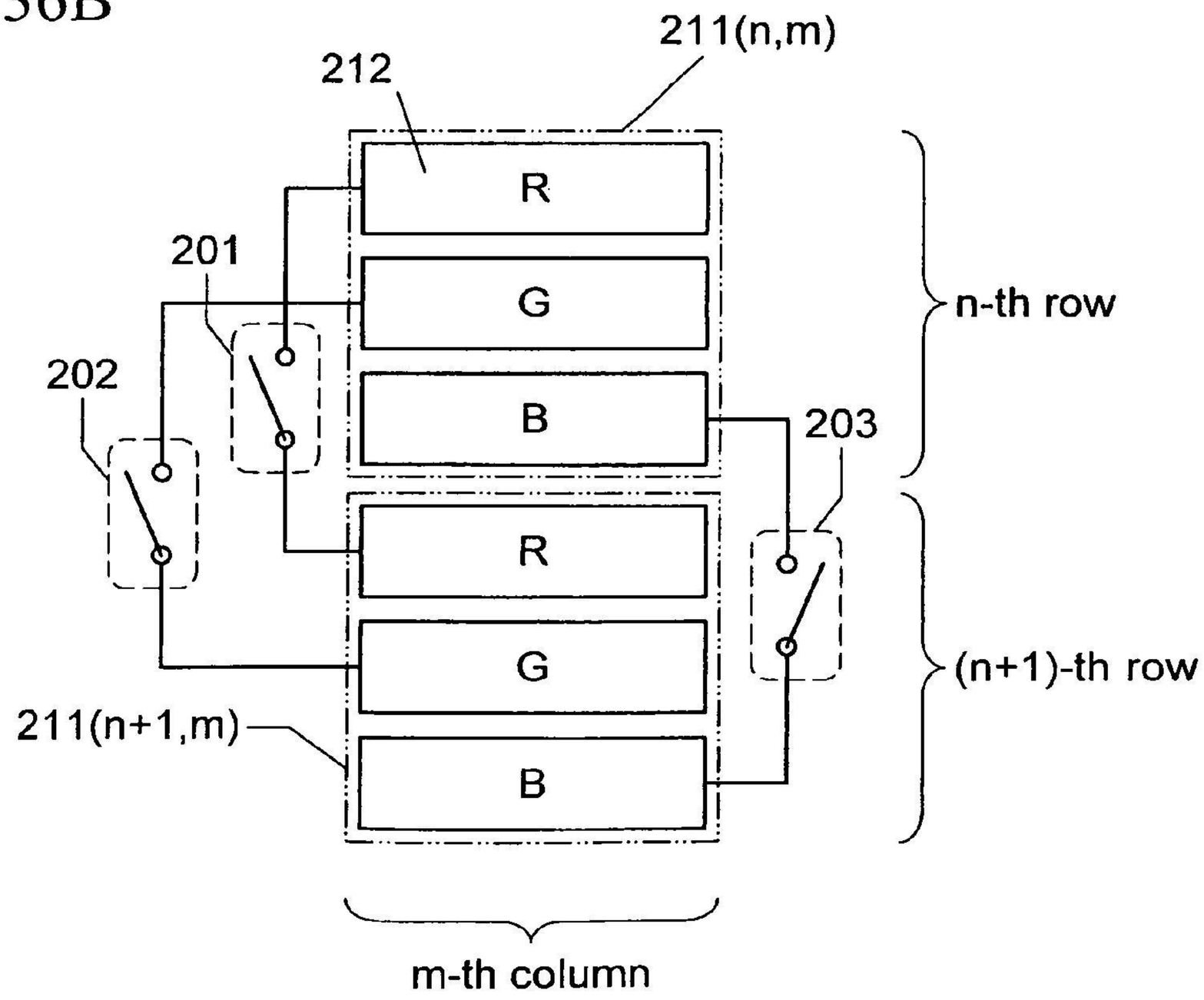

211(n,m)
212
R
G
B
201
202
203
n-th row
R
G
B
211(n+1,m)
(n+1)-th row
m-th column

圖 37A

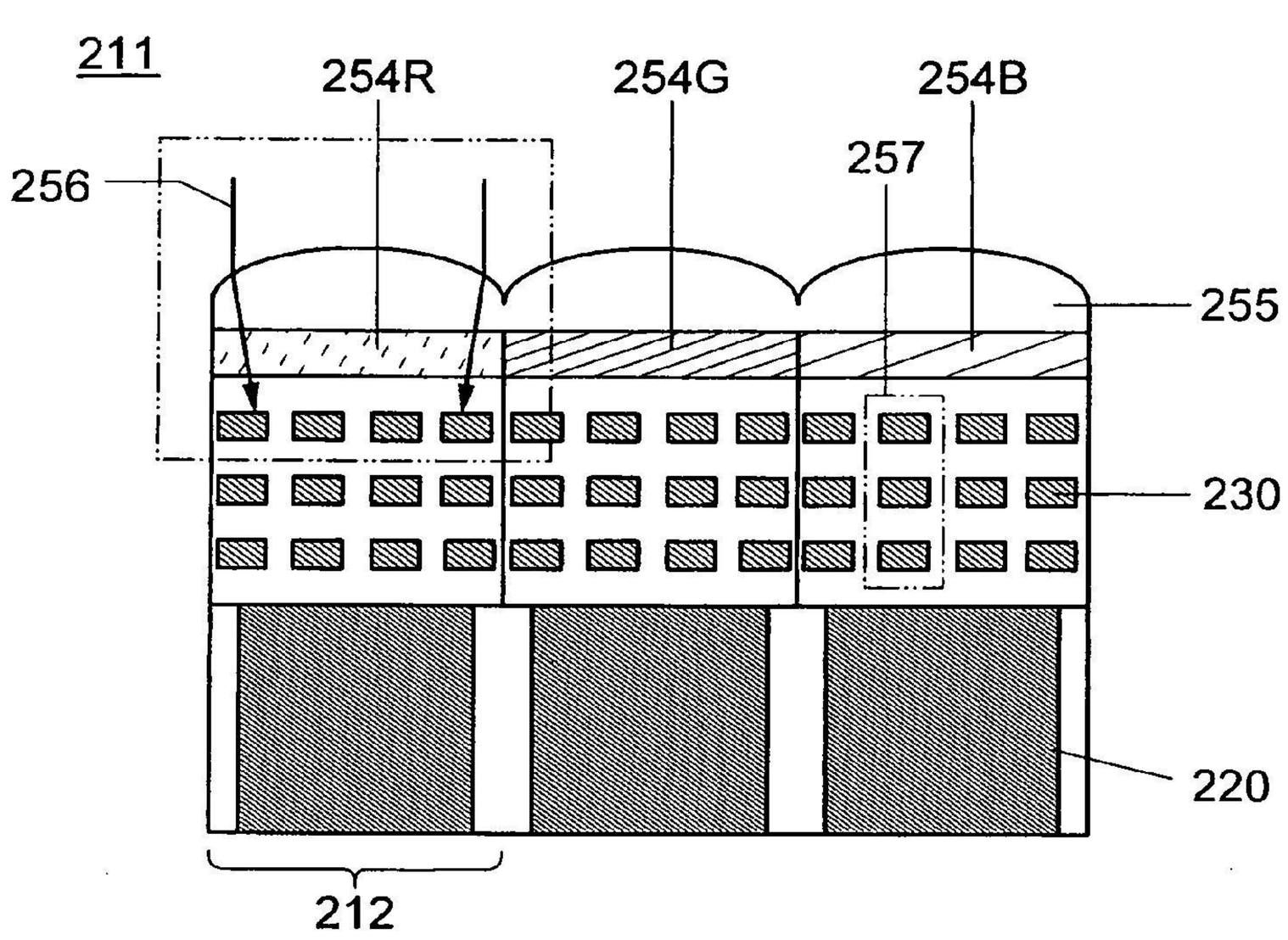

211
254R
254G
254B
256
257
255
230
220
212

圖 37B

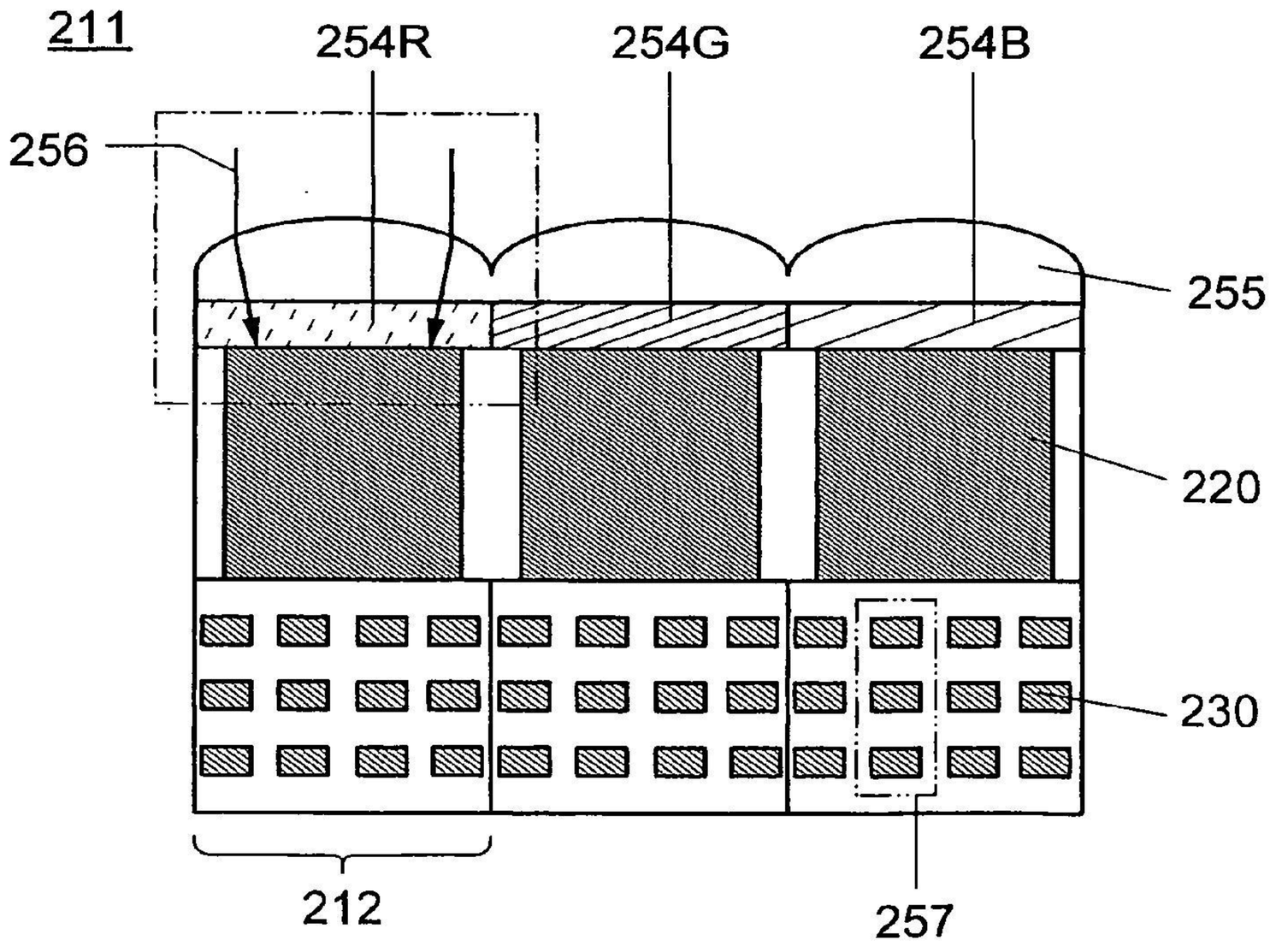

211
254R
254G
254B
256
255
220
230
212
257

圖 38A

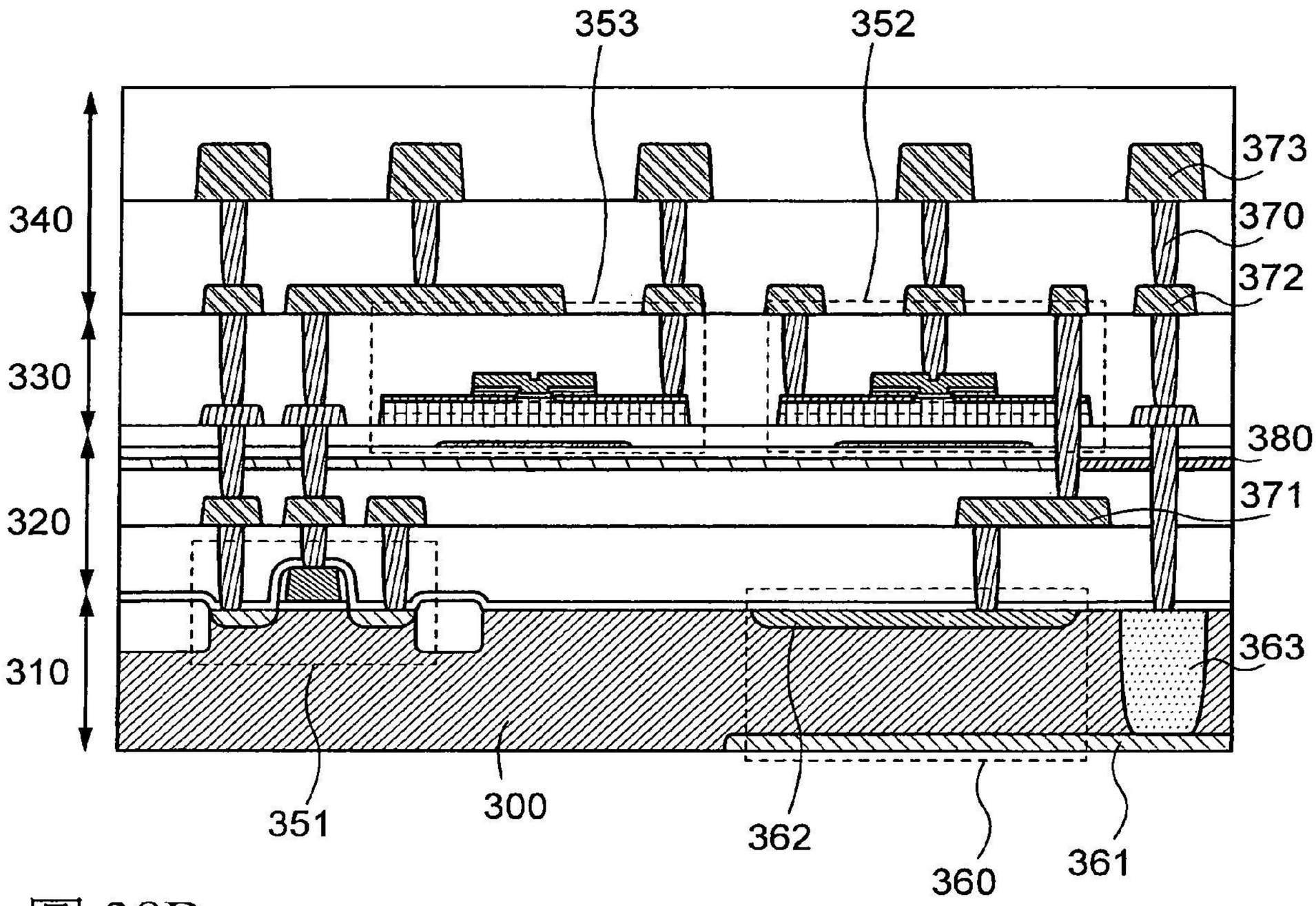

353
352
373
370
372
340
330
380
371
320
363
310
351
300
362
360
361

圖 38B

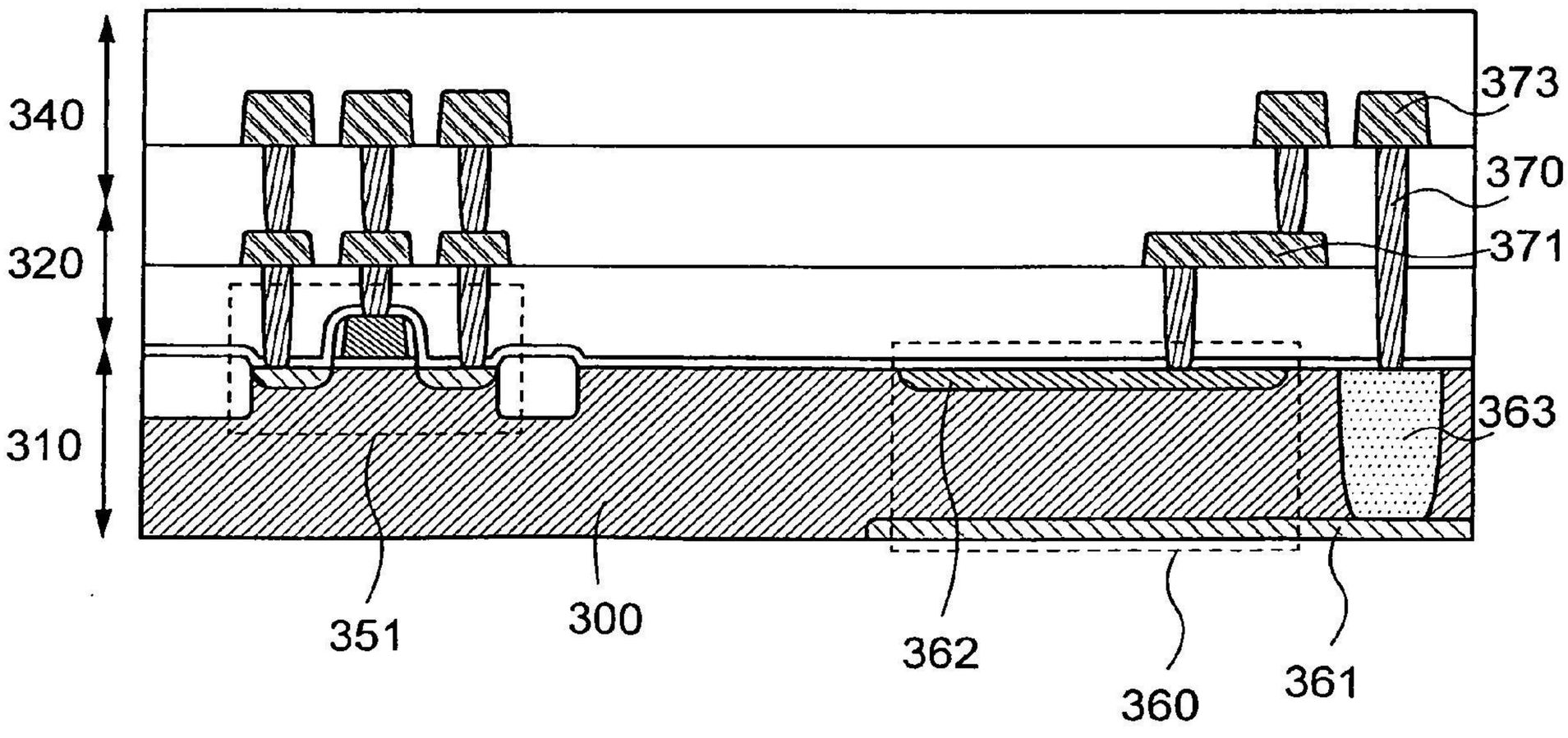

373
370
371
340
320
363
310
351
300
362
360
361

圖 39A1

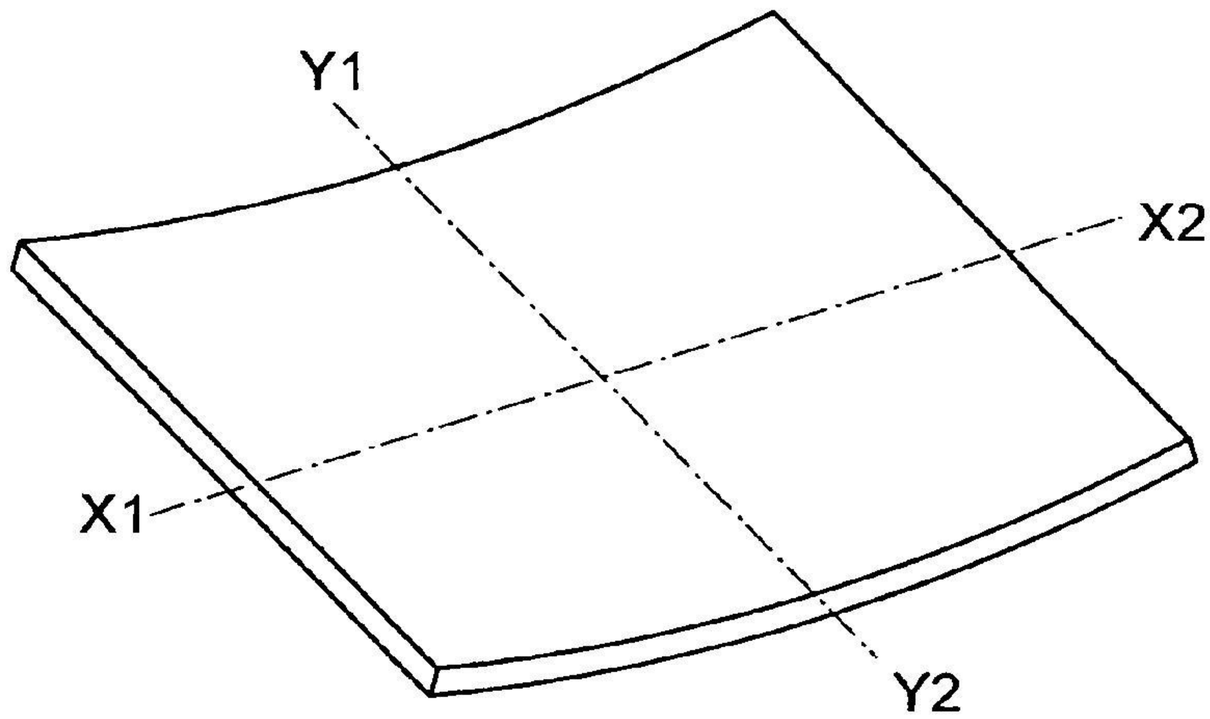


圖 39A2



圖 39A3

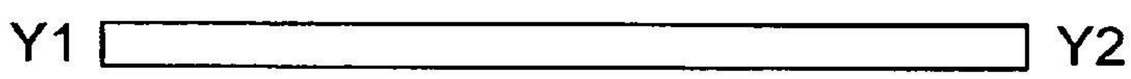


圖 39B1

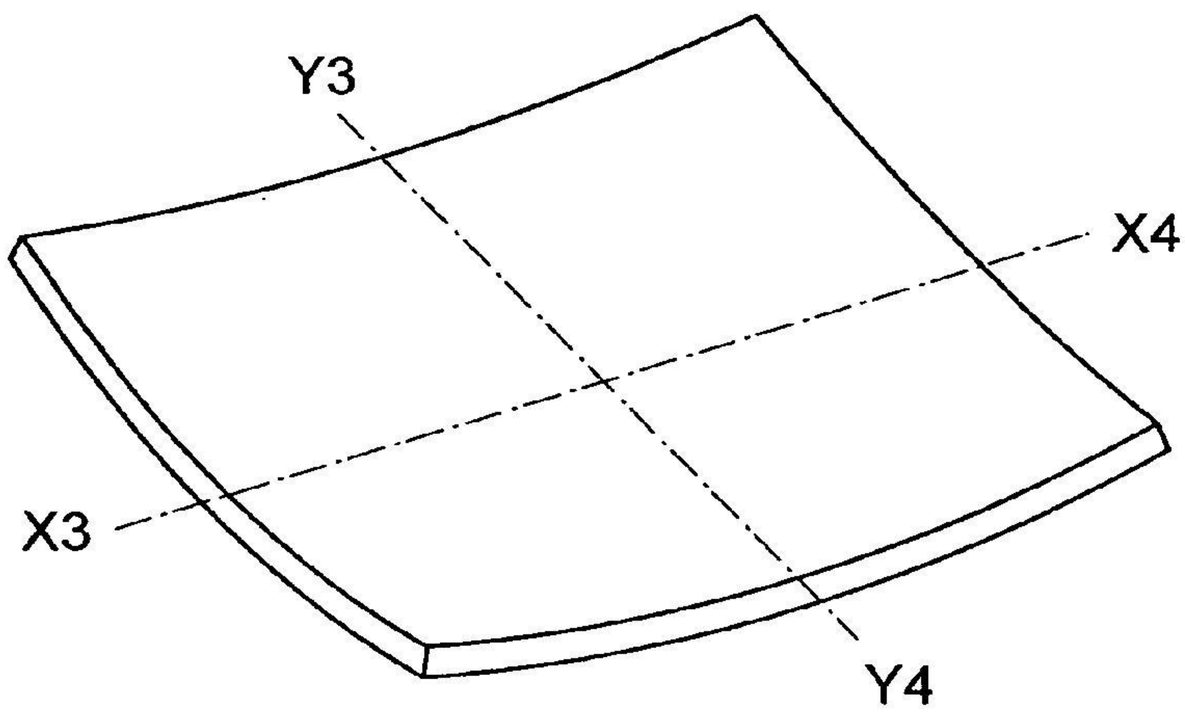


圖 39B2



圖 39B3



圖 40

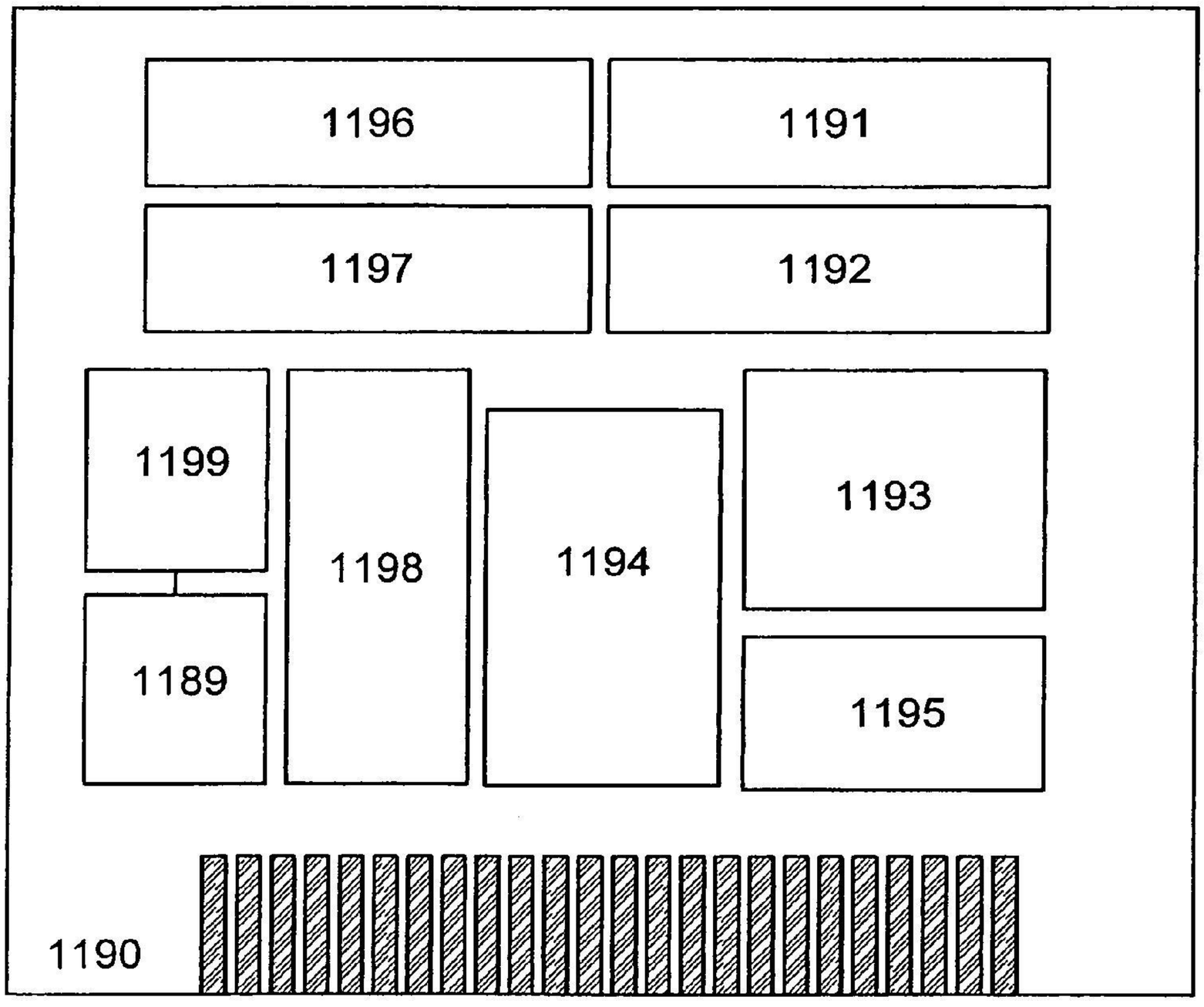


圖 41

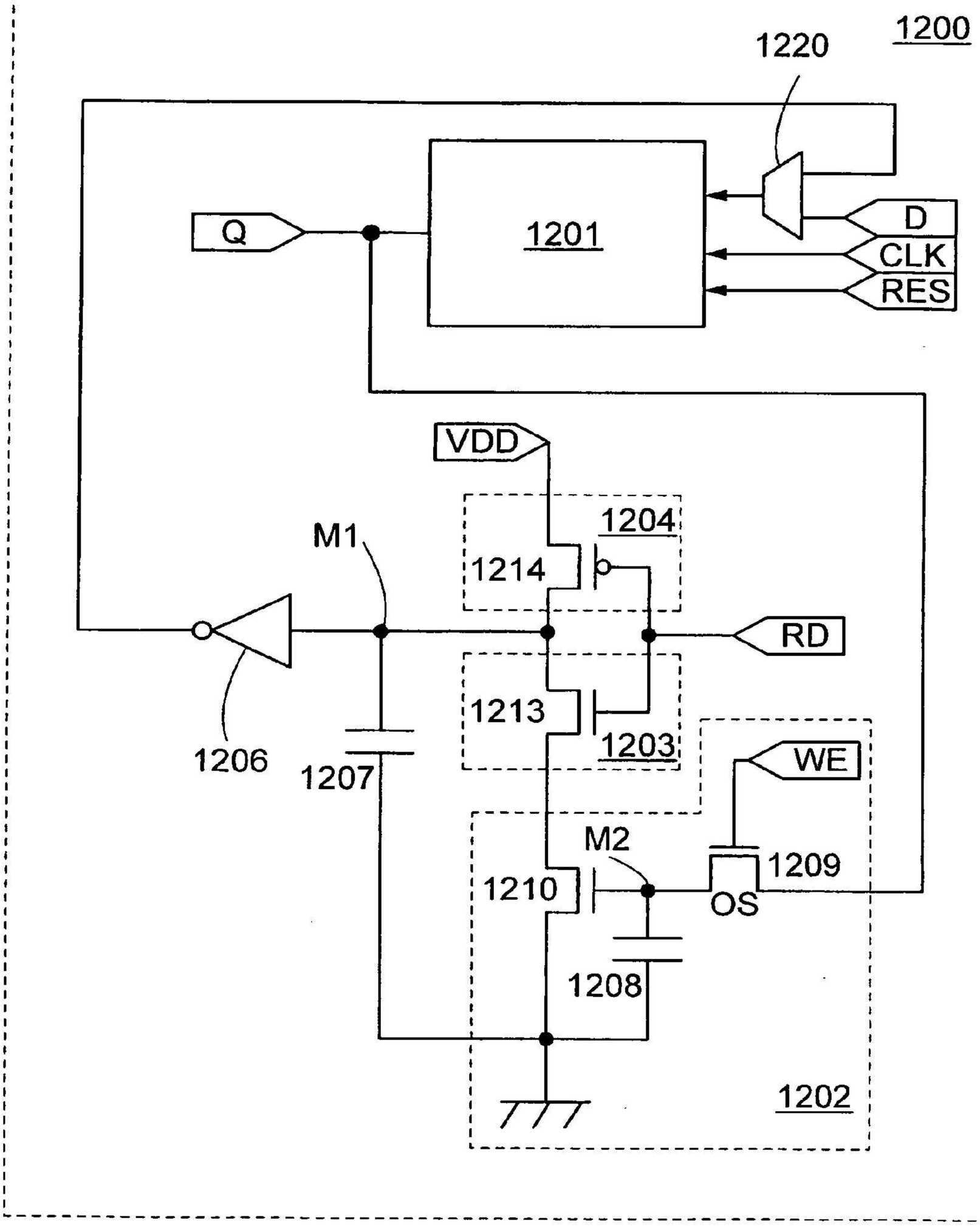

1200
1220
1201
Q
D
CLK
RES
VDD
1204
1214
M1
RD
1213
1203
1206
1207
WE
M2
1209
1210
OS
1208
1202

圖 42A

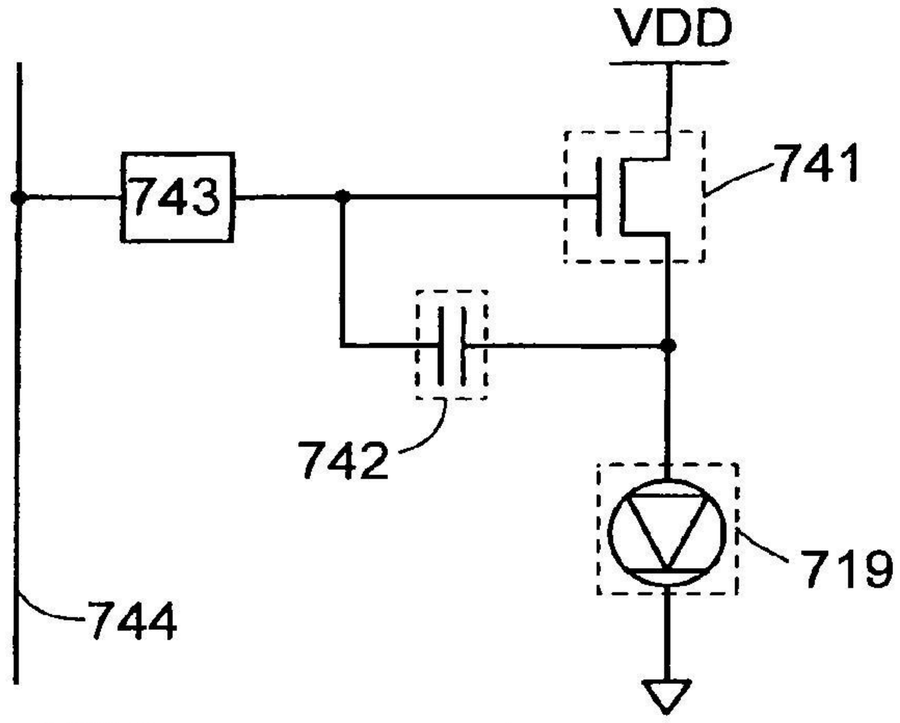


圖 42B

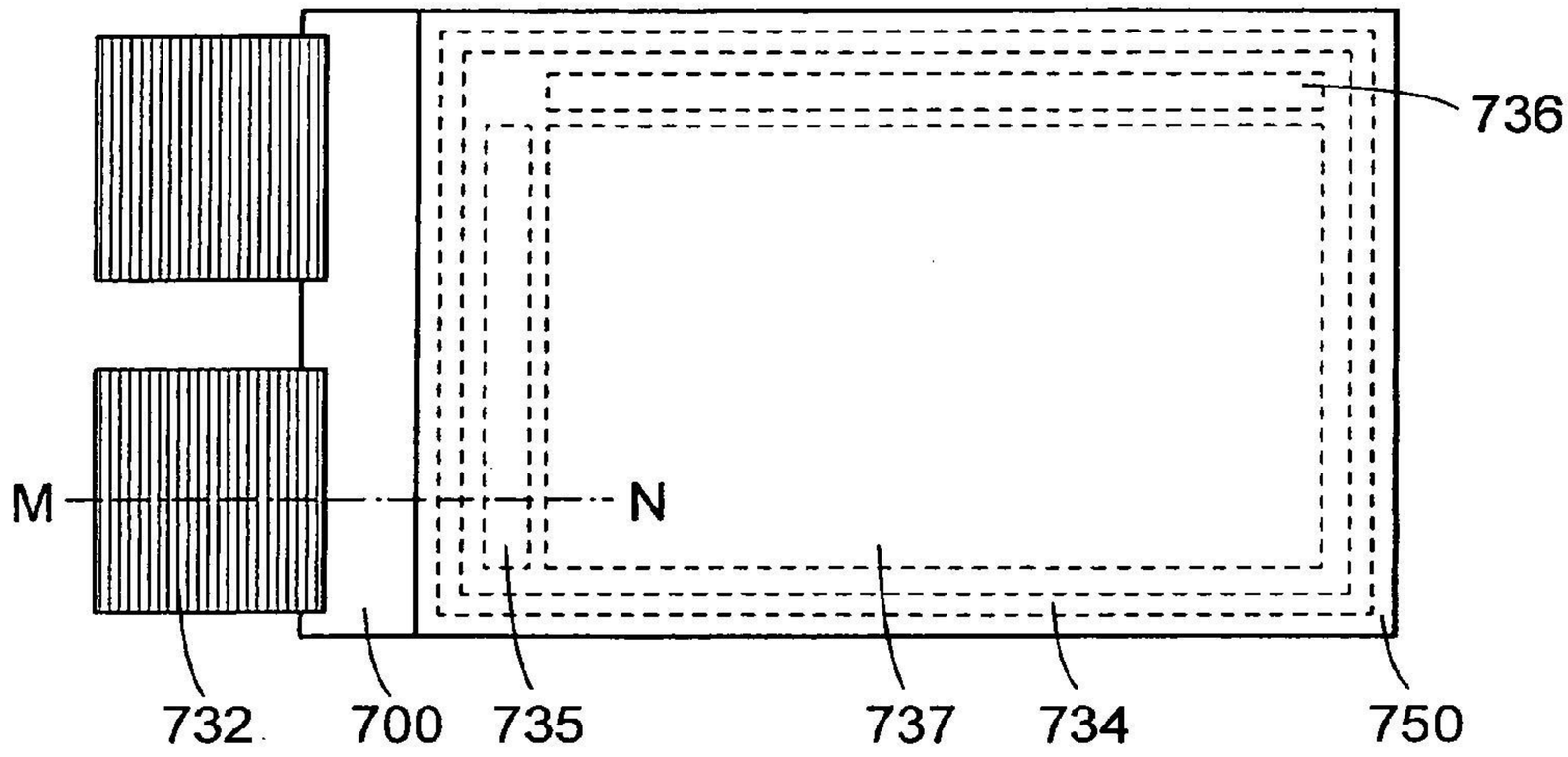
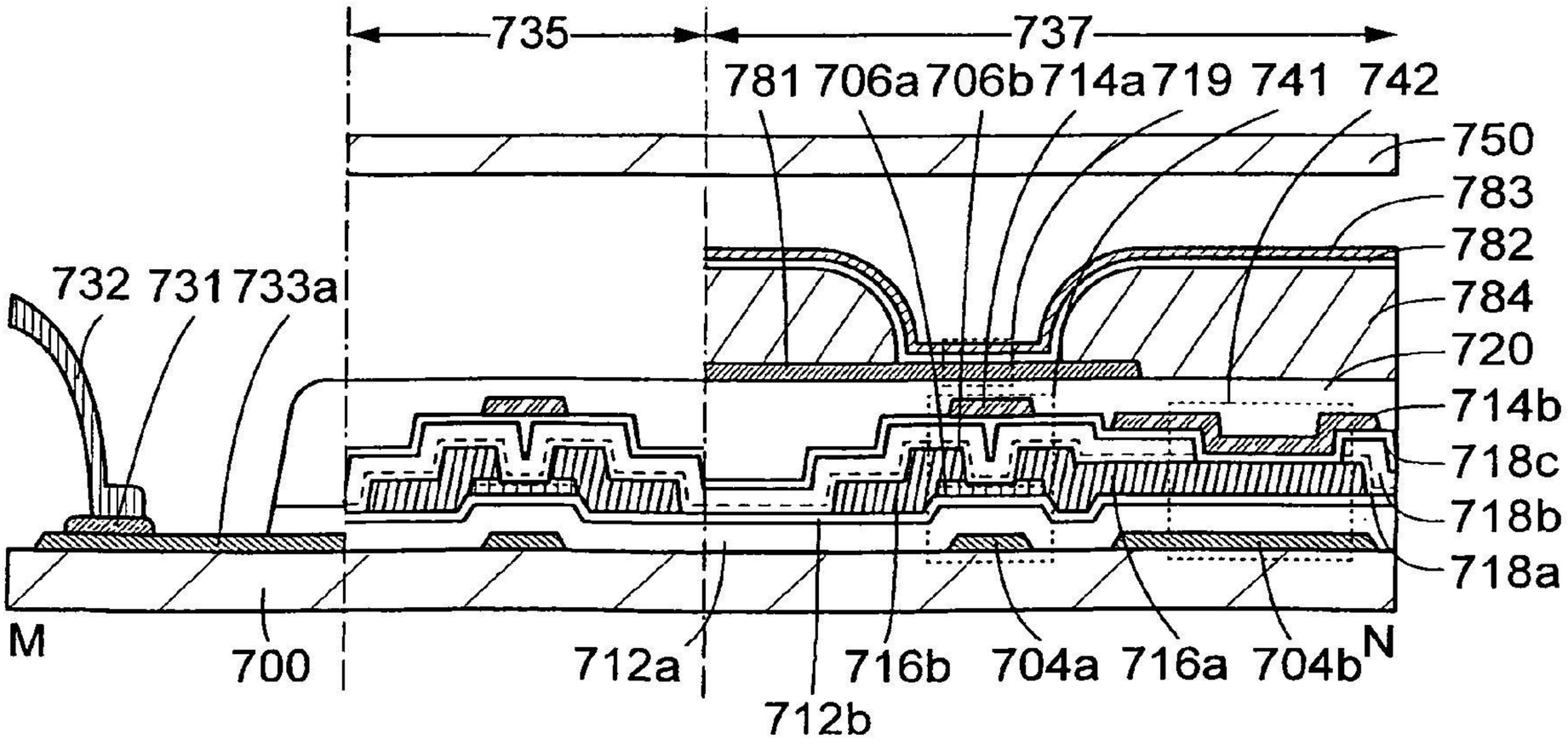


圖 42C



S

圖 43A

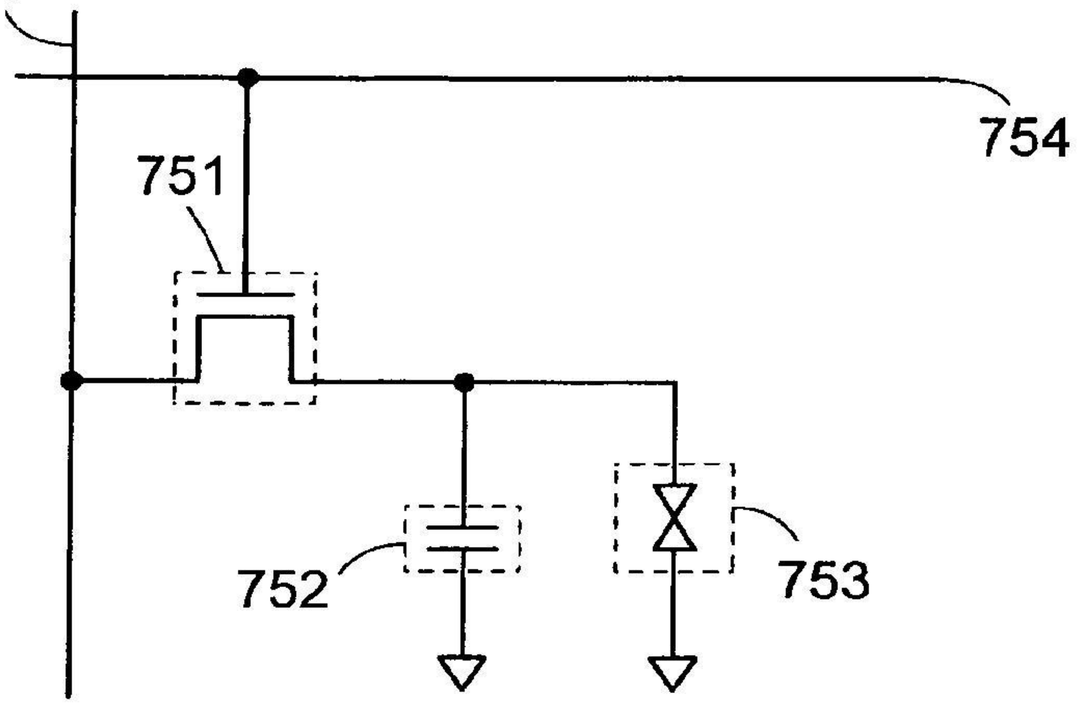

755
754
751
752
753

圖 43B

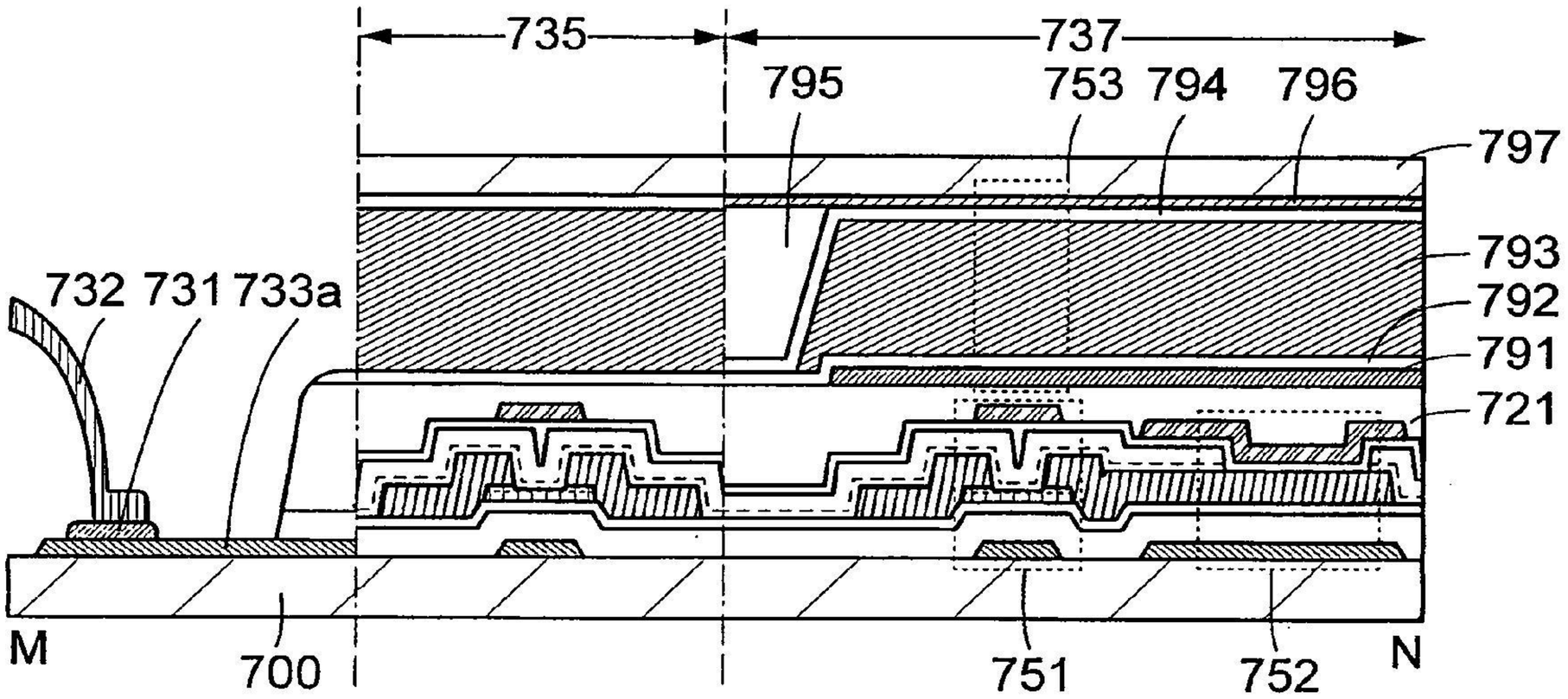

735
737
795
753
794
796
797
793
792
791
721
732
731
733a
M
700
751
752
N

圖 44A

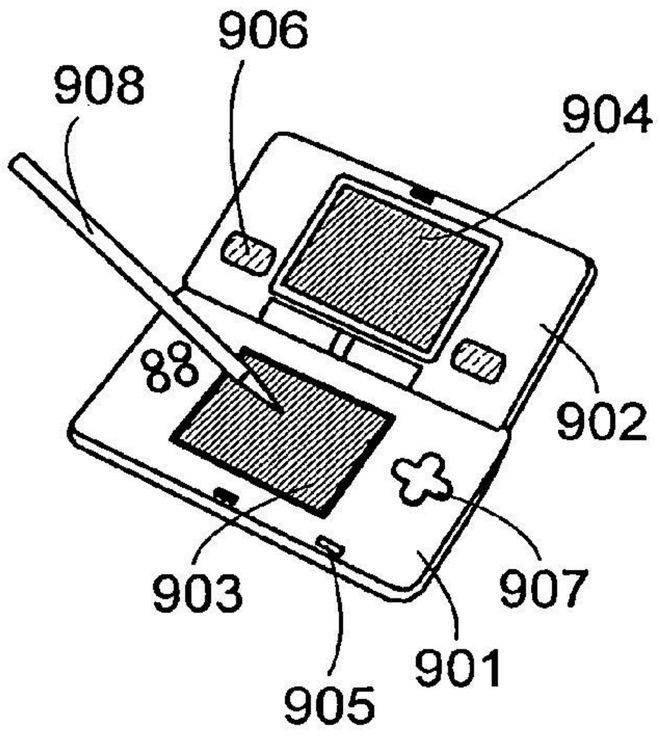


圖 44B

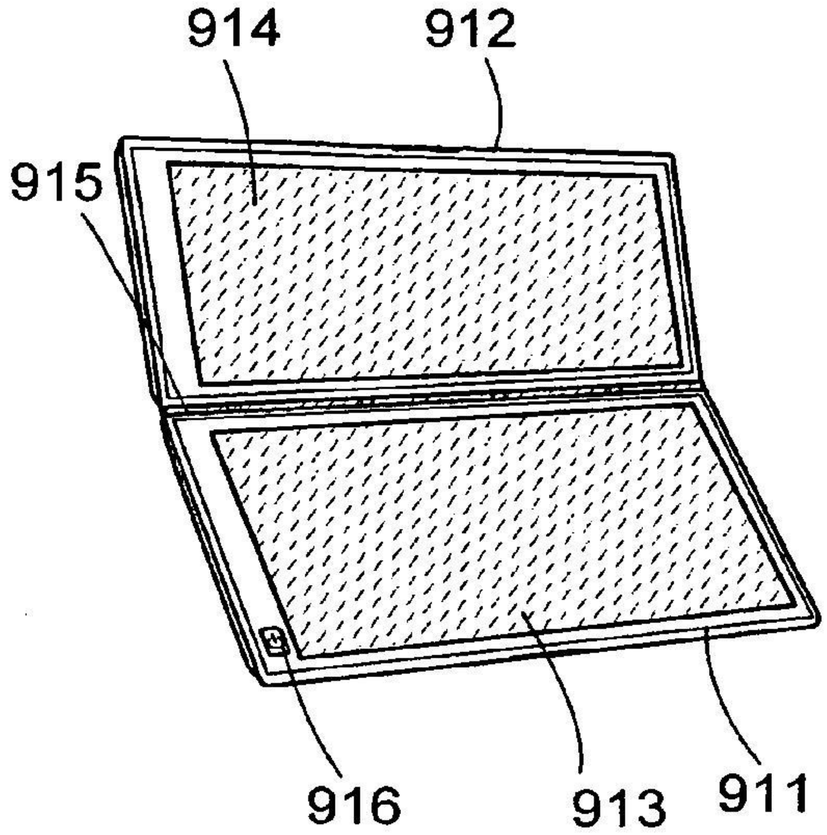


圖 44C

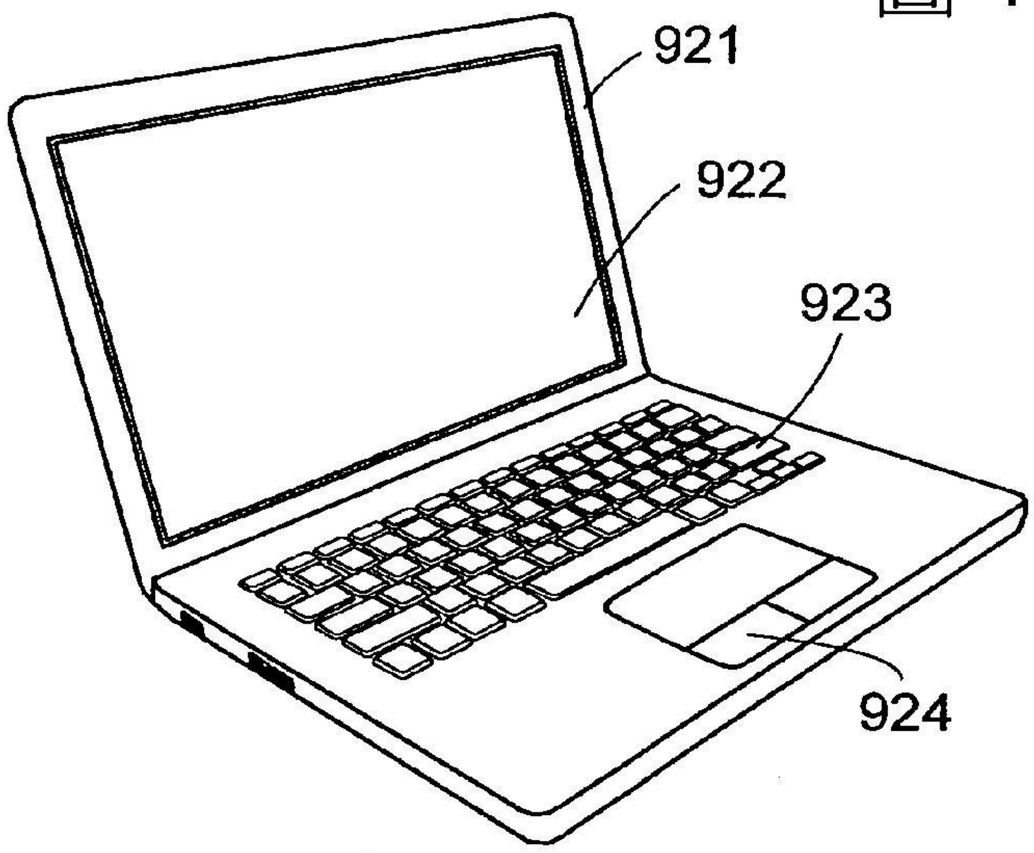


圖 44D

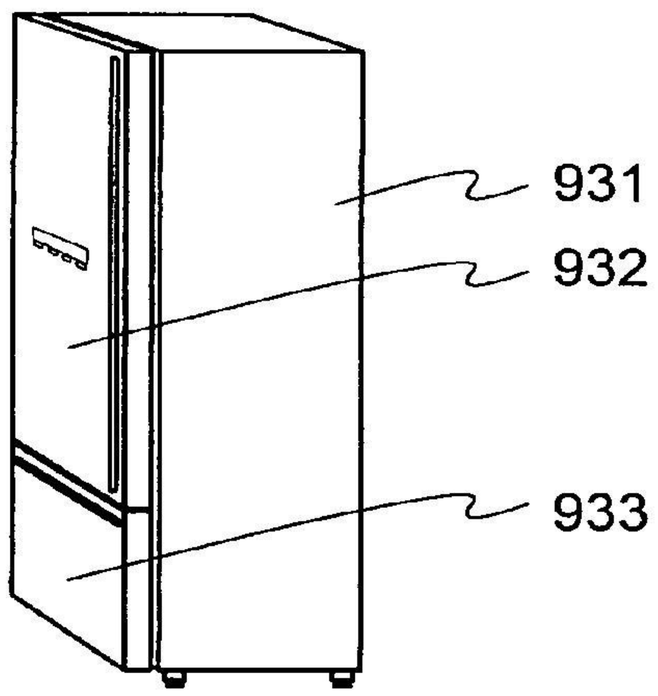


圖 44E

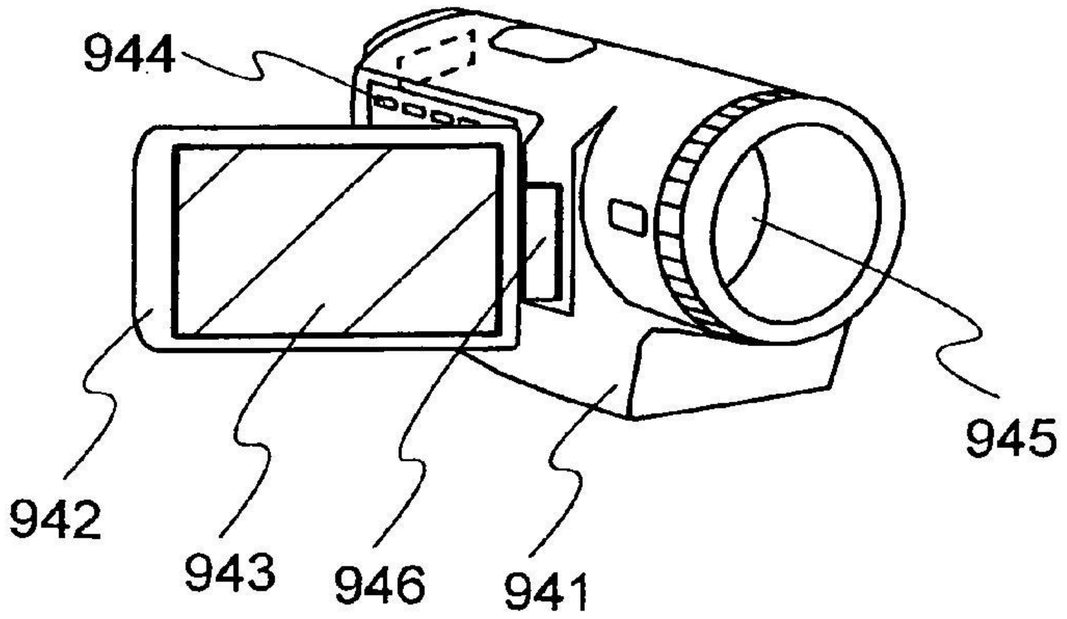


圖 44F

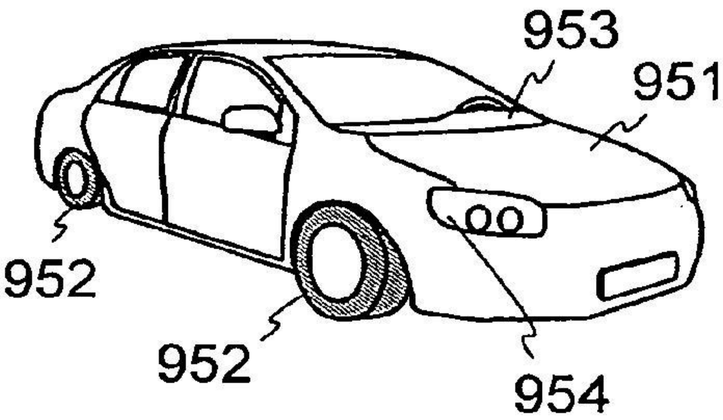


圖 45A

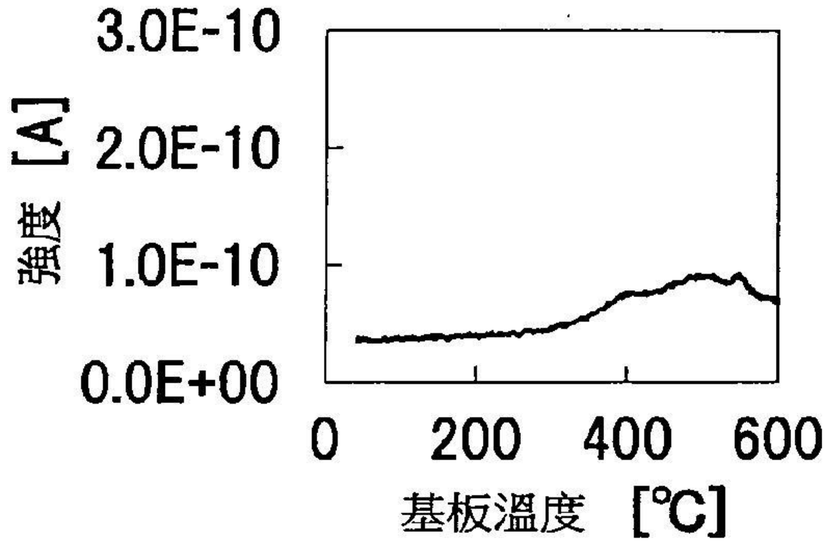


圖 45B

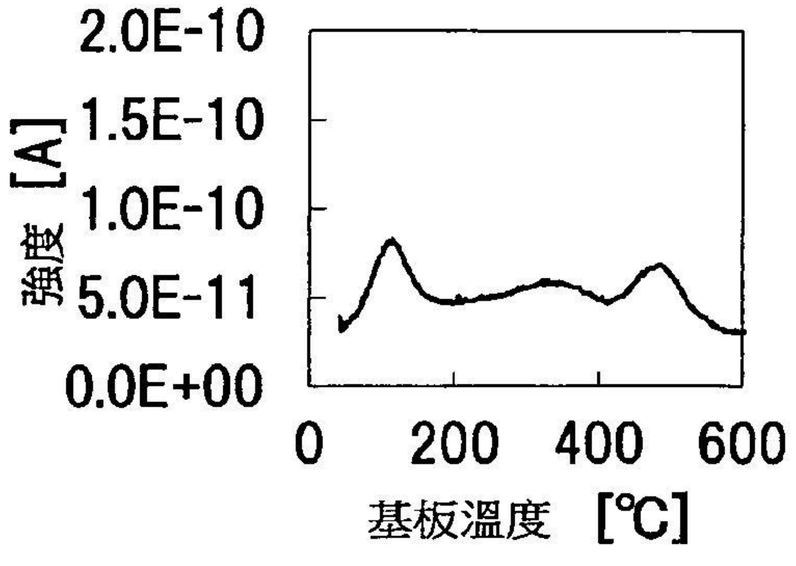


圖 45C

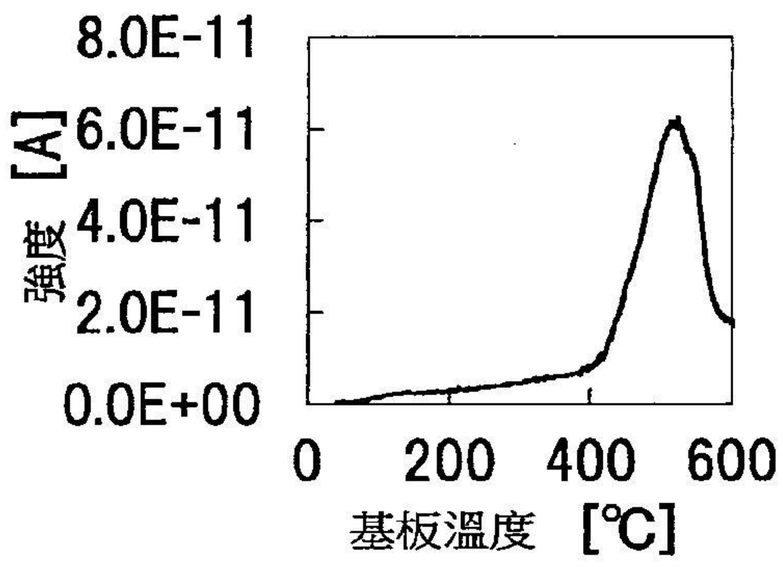


圖 45D

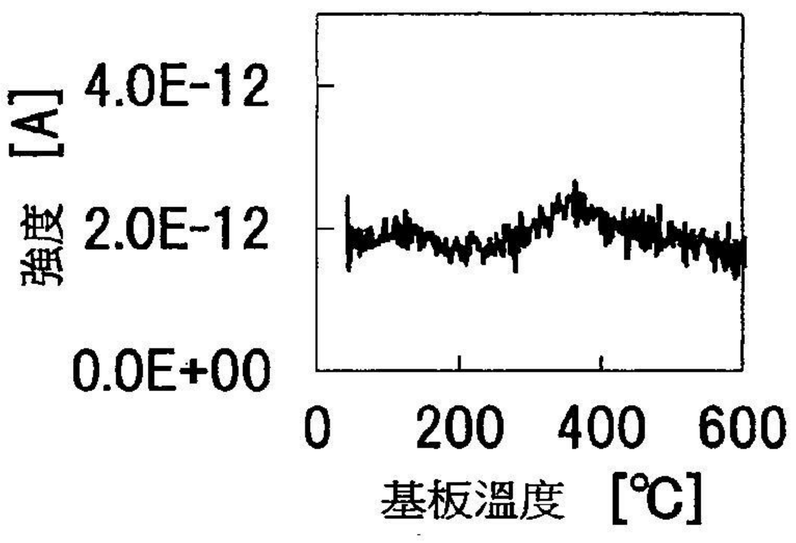


圖 46A

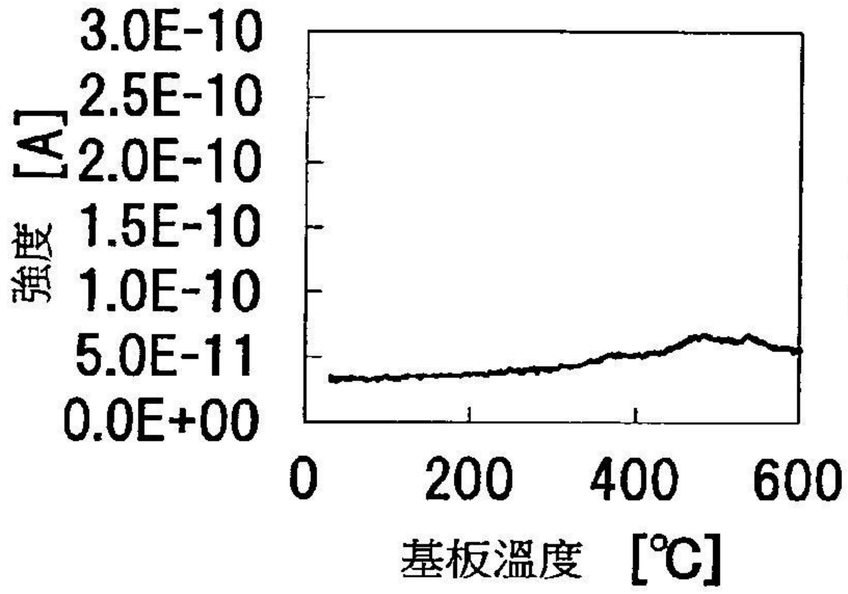


圖 46B

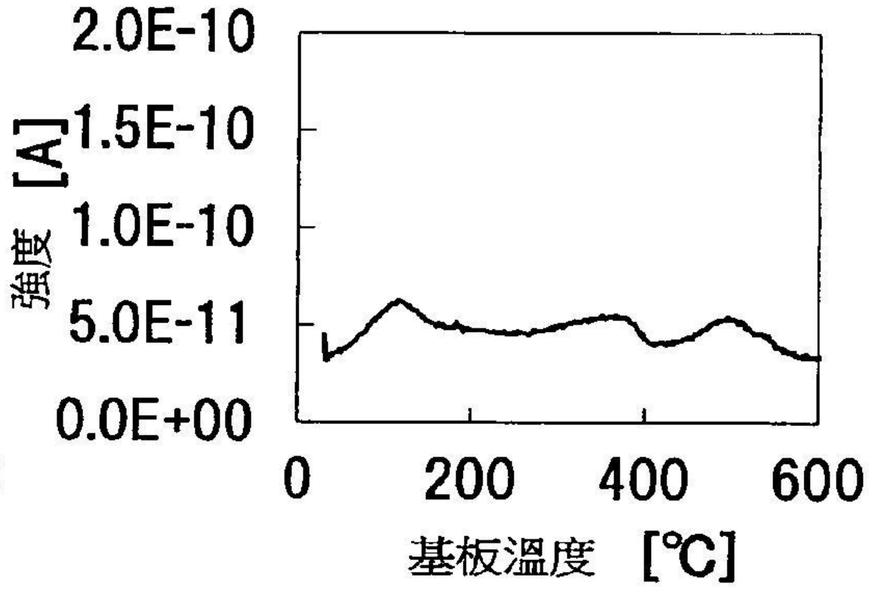


圖 46C

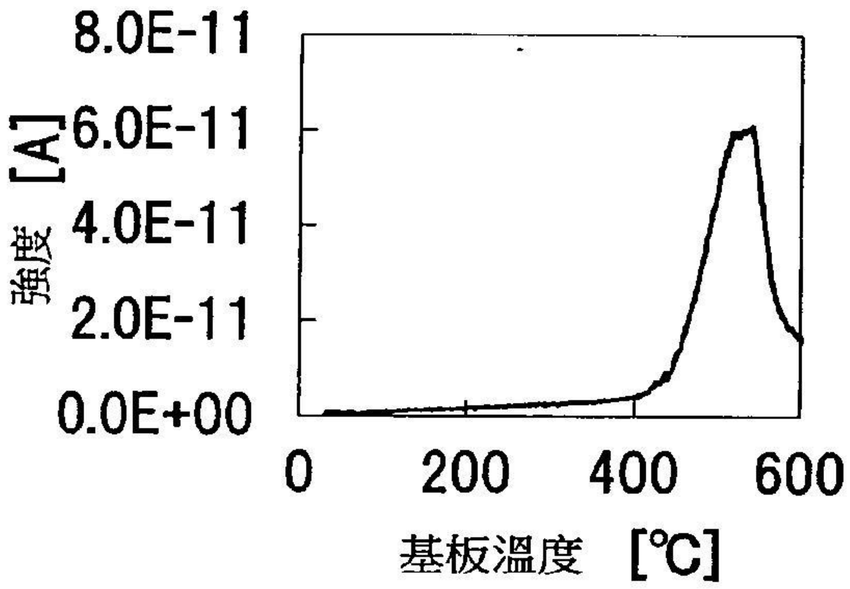


圖 46D

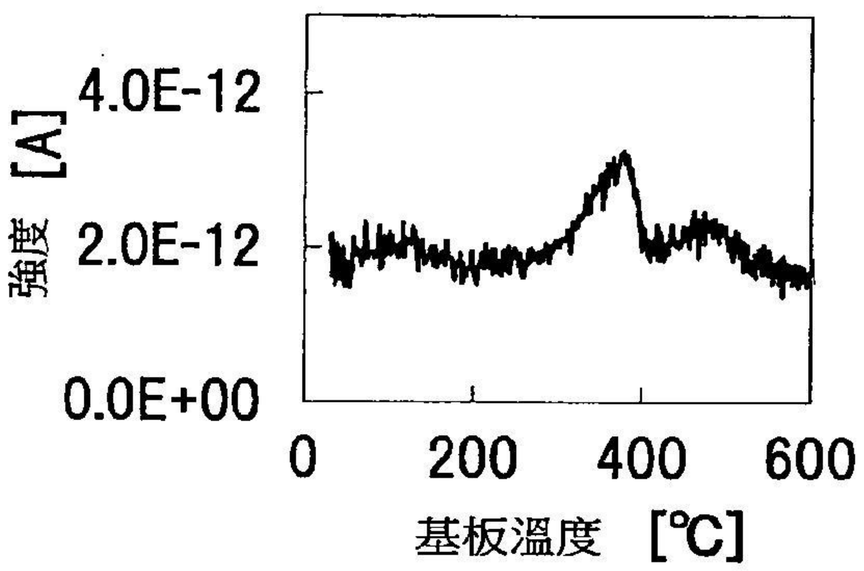


圖 47A

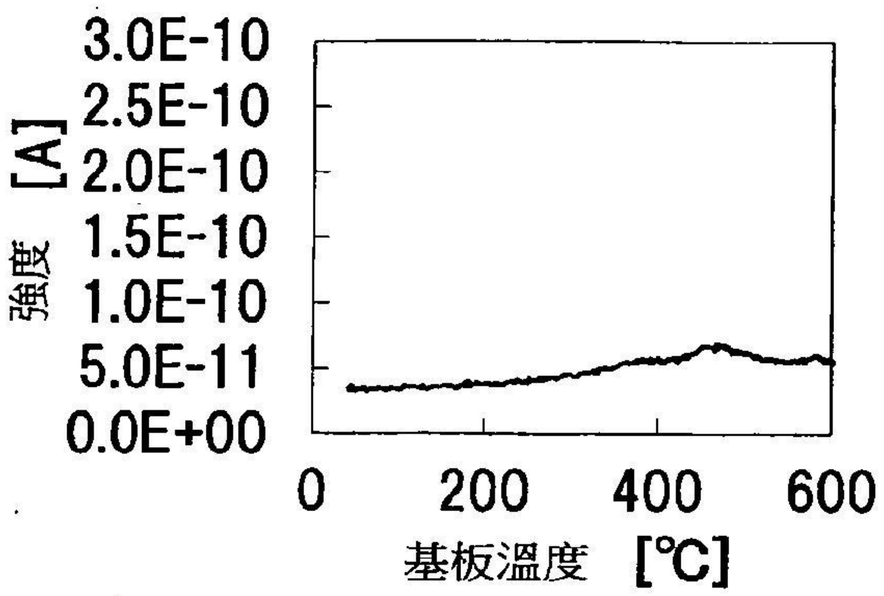


圖 47B

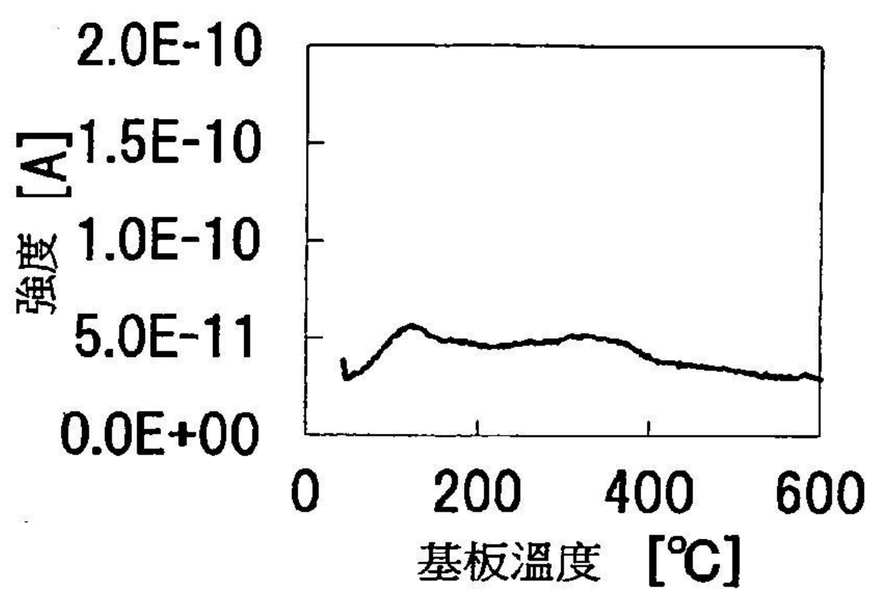


圖 47C

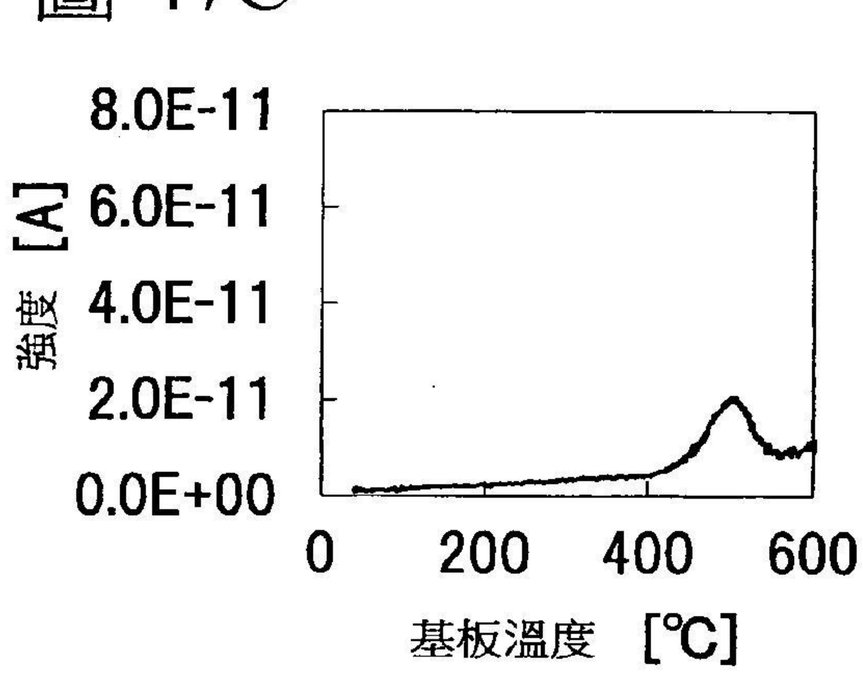


圖 47D

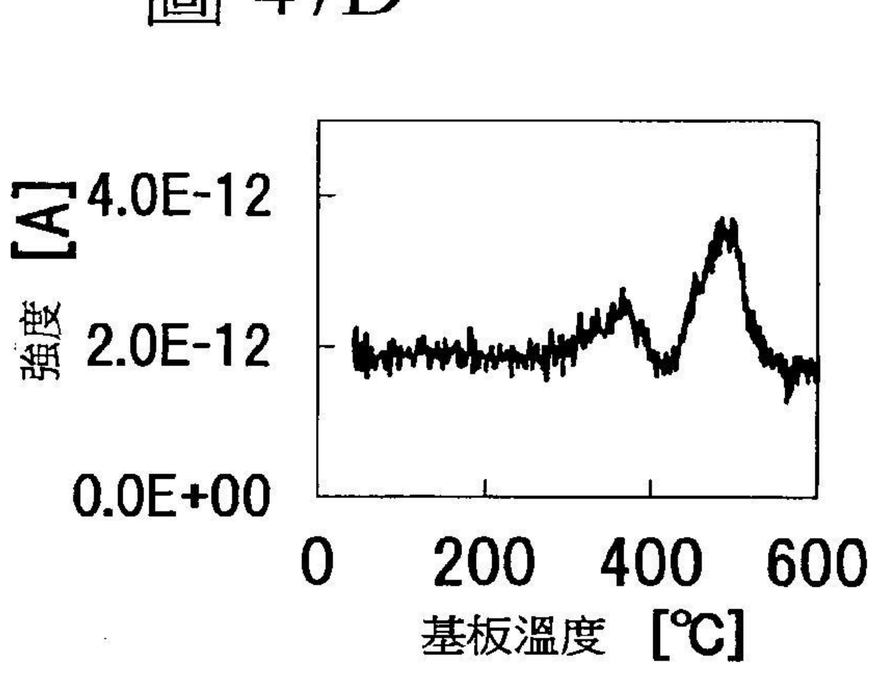


圖 48

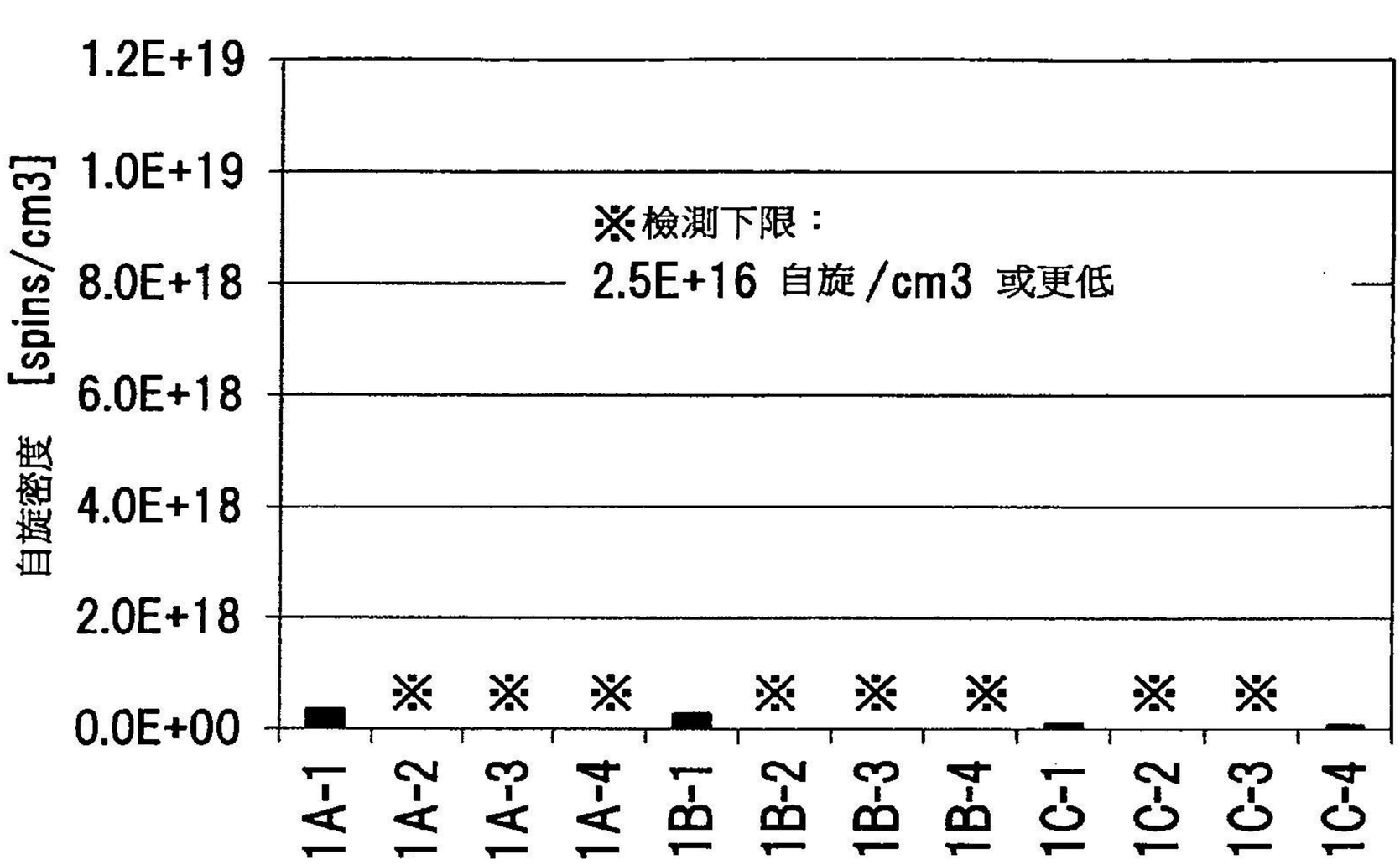

1.2E+19
1.0E+19
8.0E+18
6.0E+18
4.0E+18
2.0E+18
0.0E+00
自旋密度 [spins/cm3]
※檢測下限：
2.5E+16 自旋/cm3 或更低
※
1A-1
1A-2
1A-3
1A-4
1B-1
1B-2
1B-3
1B-4
1C-1
1C-2
1C-3
1C-4

圖 49A

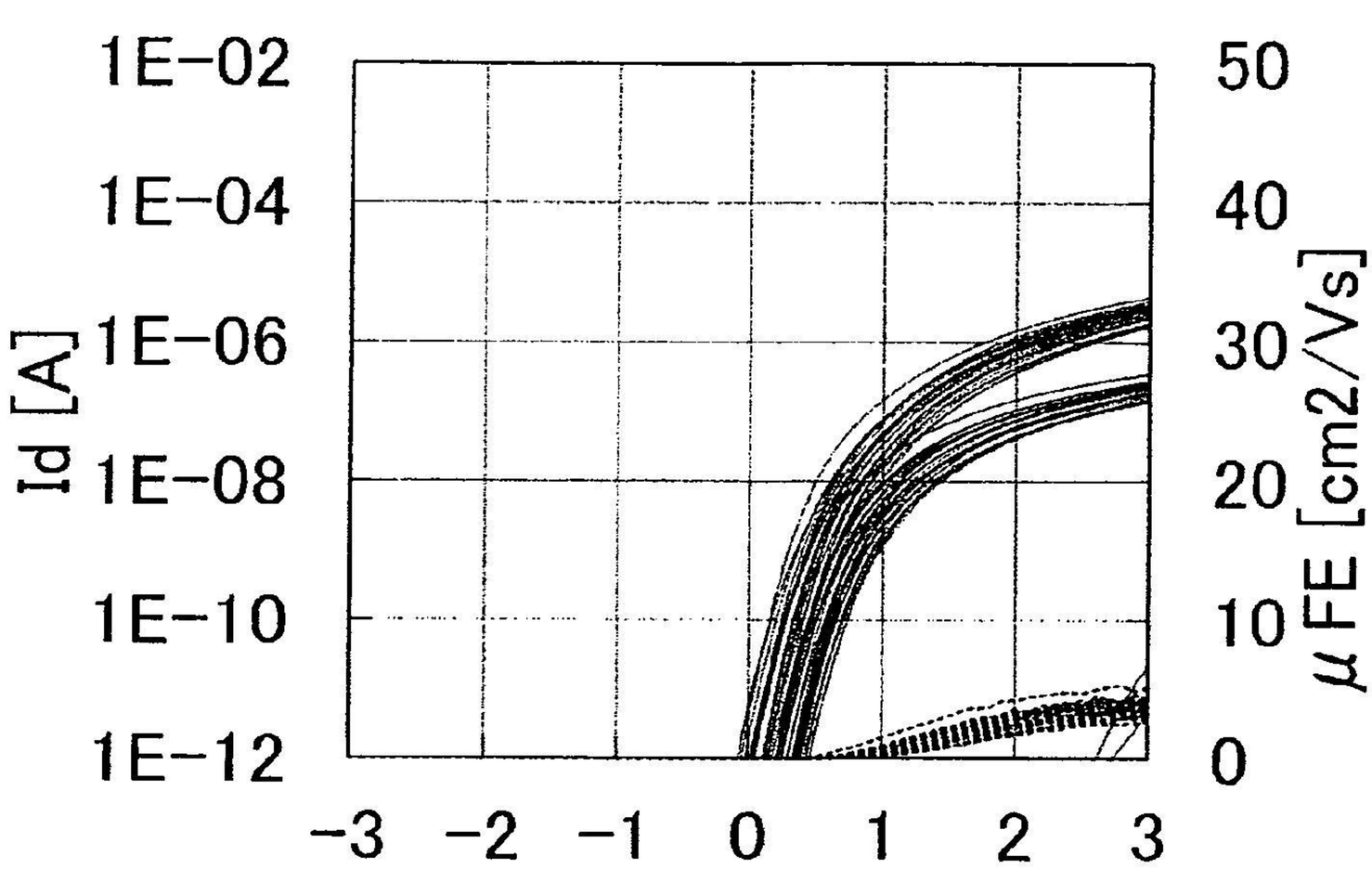

1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
Id [A]
50
40
30
20
10
0
μFE [cm2/Vs]
-3
-2
-1
0
1
2
3
Vg [V]

圖 49B

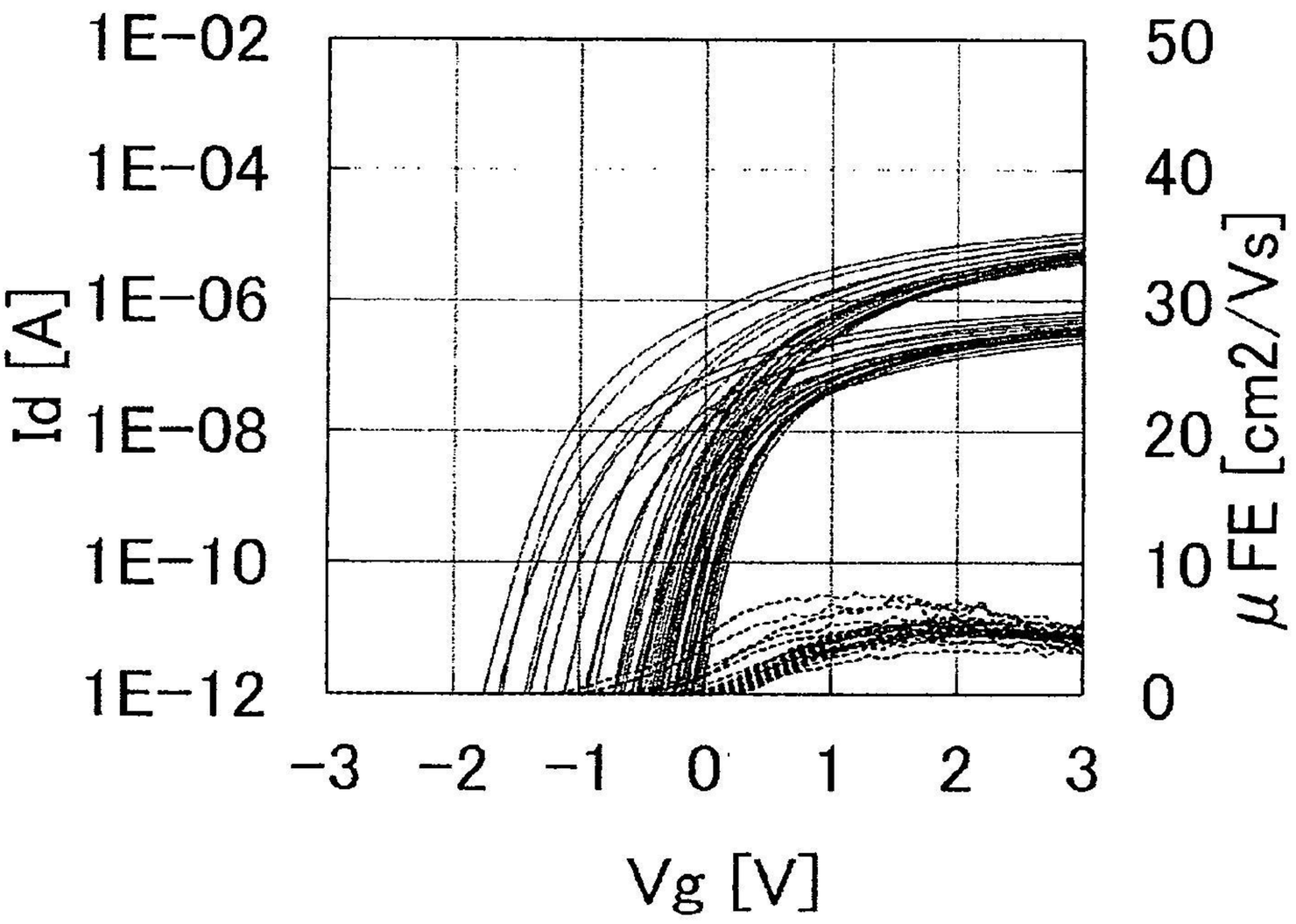

1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
Id [A]
50
40
30
20
10
0
μFE [cm2/Vs]
-3
-2
-1
0
1
2
3
Vg [V]

圖 50

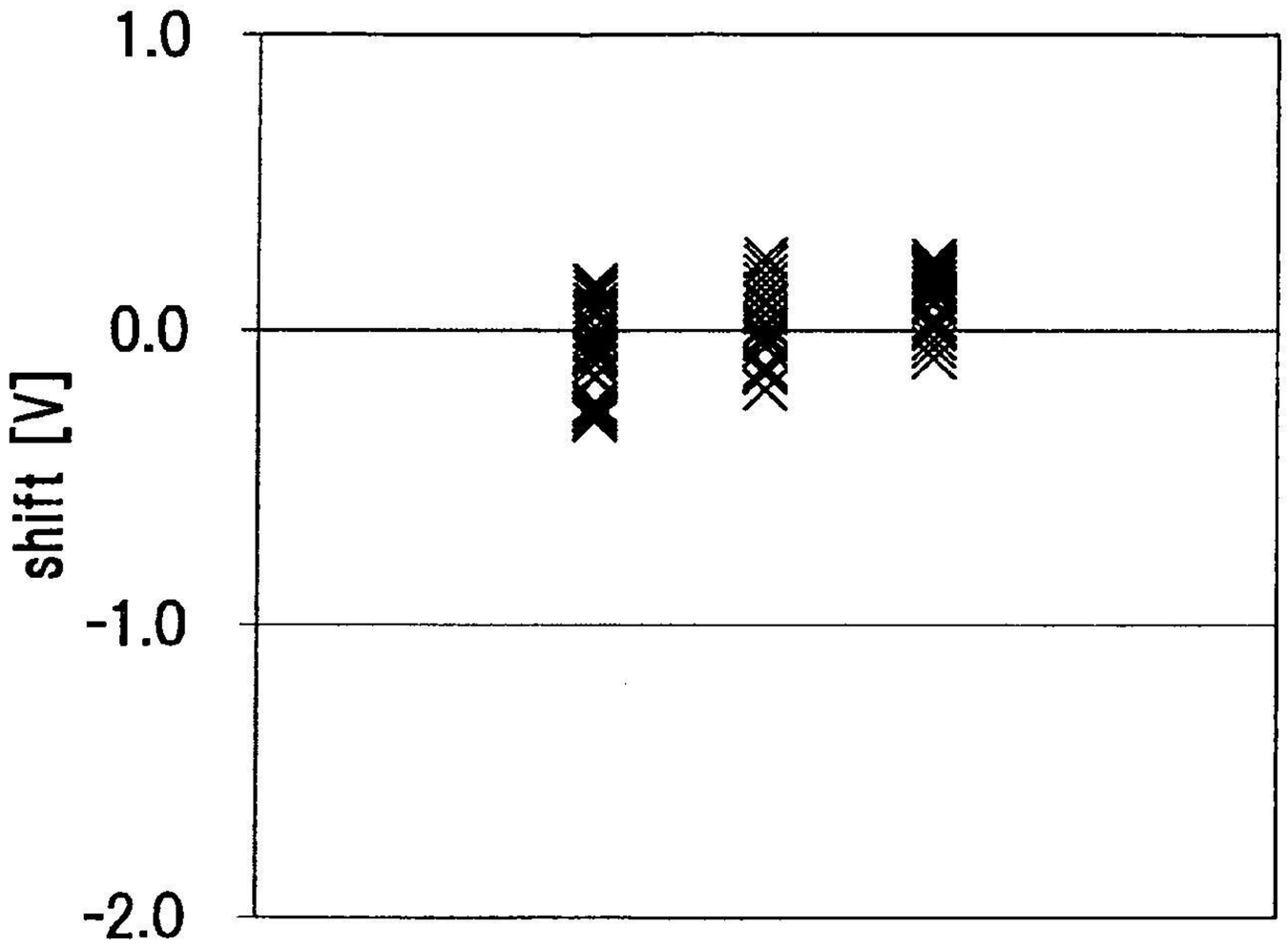


圖 51A

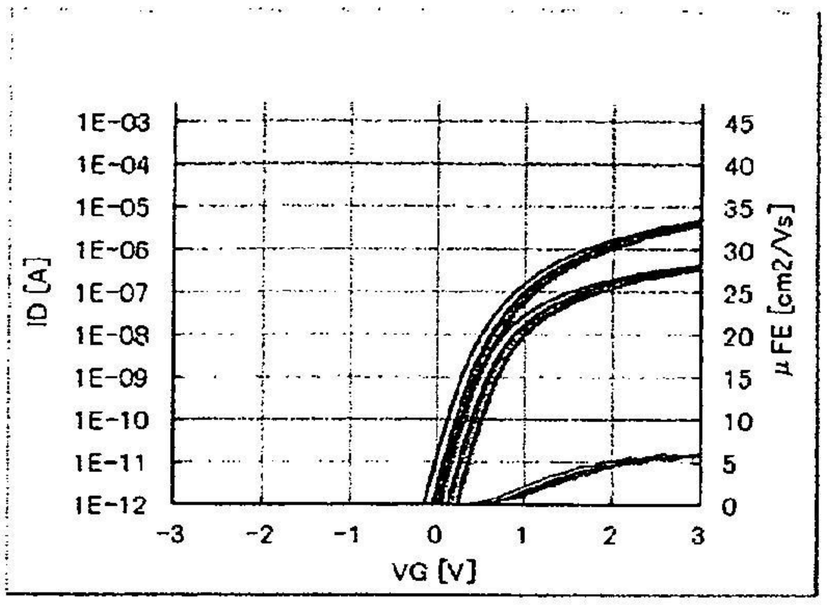


圖 51B

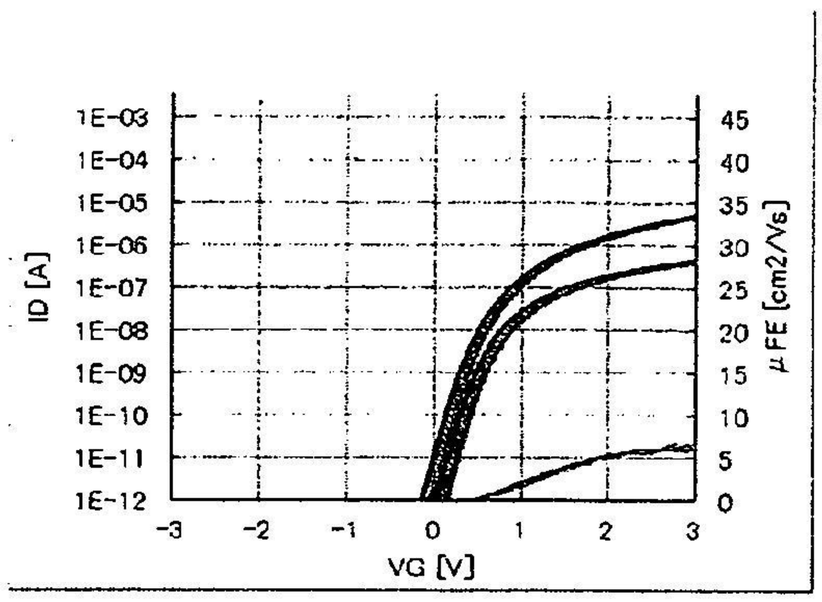


圖 51C

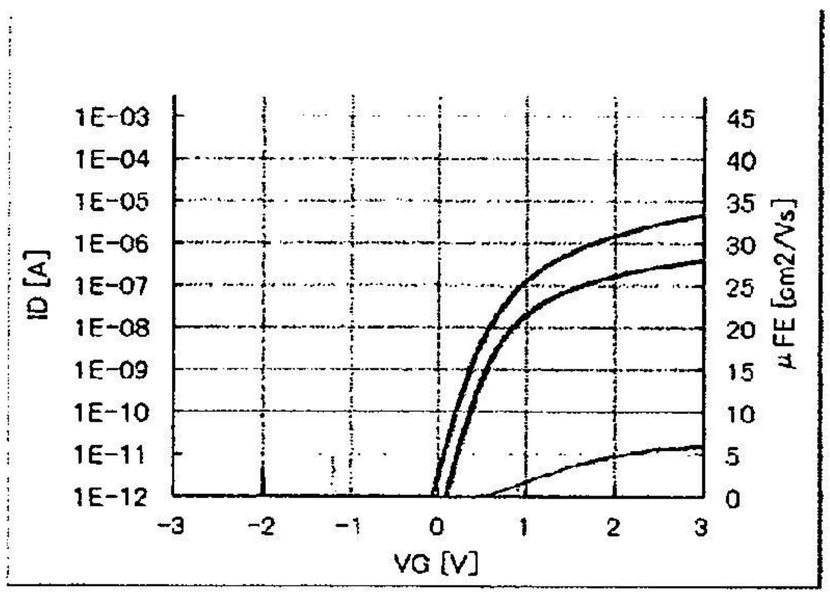


圖 51D

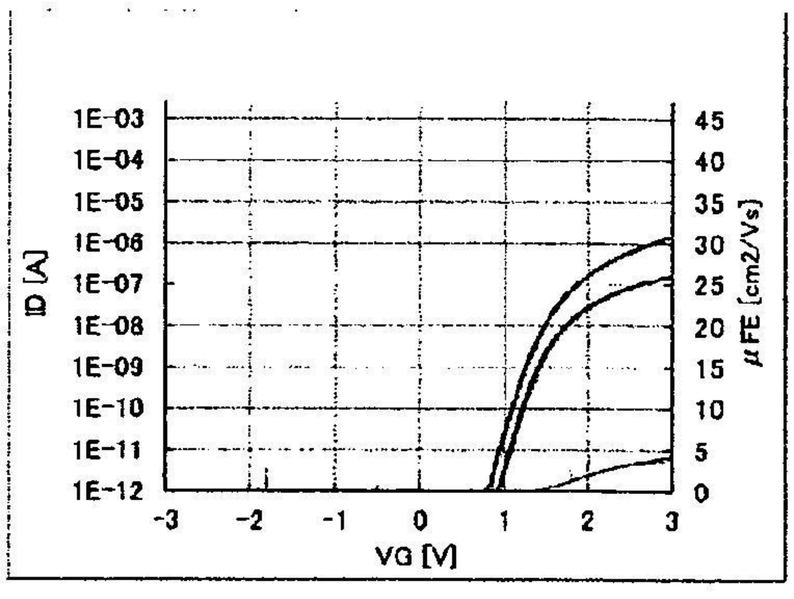


圖 52

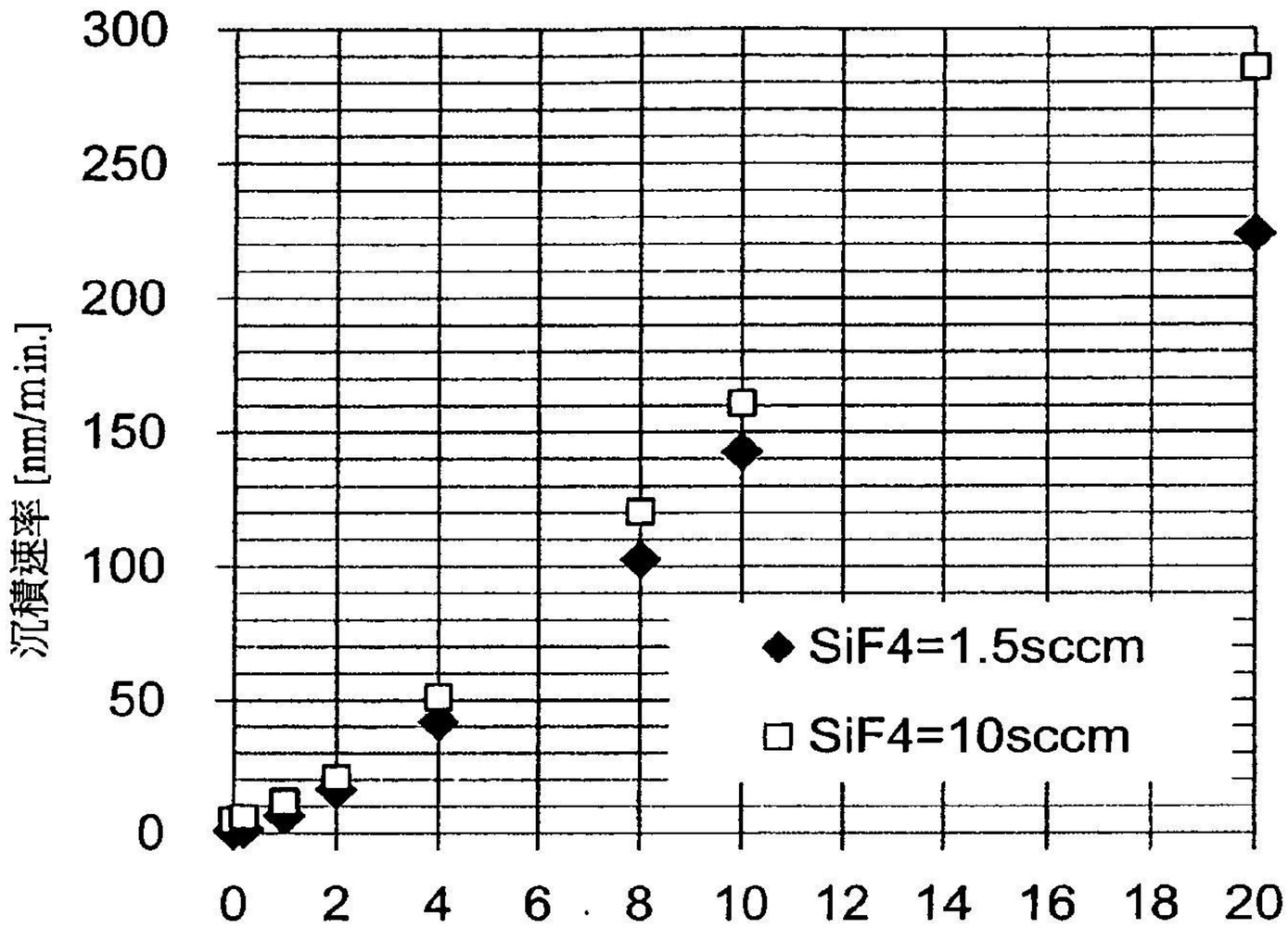

300
250
200
150
100
50
0
沉積速率 [nm/min.]
0
2
4
6
8
10
12
14
16
18
20
SiH4 流量[sccm]
SiF4=1.5sccm
SiF4=10sccm

圖 53A

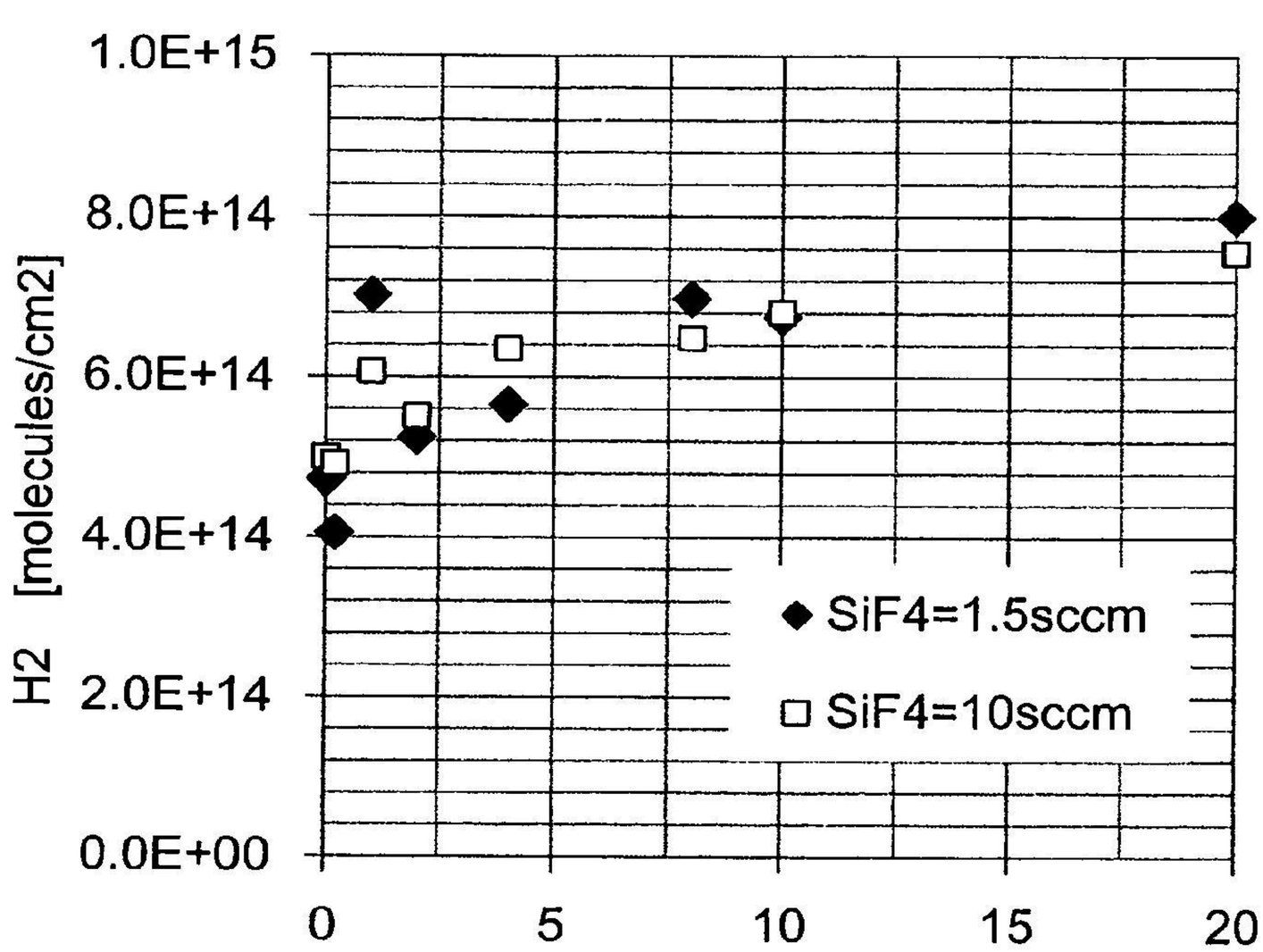

1.0E+15
8.0E+14
6.0E+14
4.0E+14
2.0E+14
0.0E+00
H2 [molecules/cm2]
SiF4=1.5sccm
SiF4=10sccm
0
5
10
15
20
SiH4 流量[sccm]

圖 53B

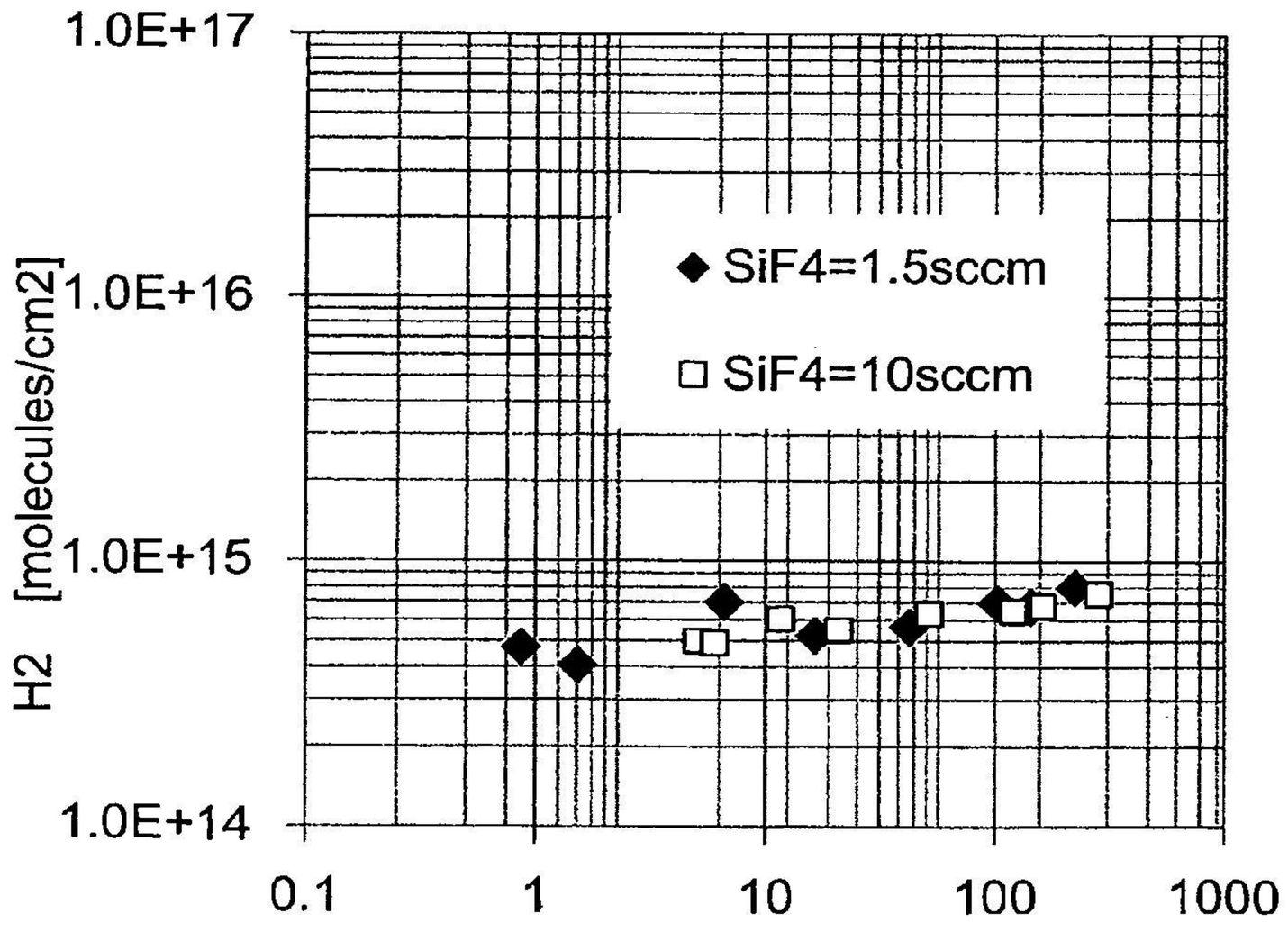

1.0E+17
1.0E+16
1.0E+15
1.0E+14
H2 [molecules/cm2]
SiF4=1.5sccm
SiF4=10sccm
0.1
1
10
100
1000
沉積速率 [nm/min.]

圖 54A

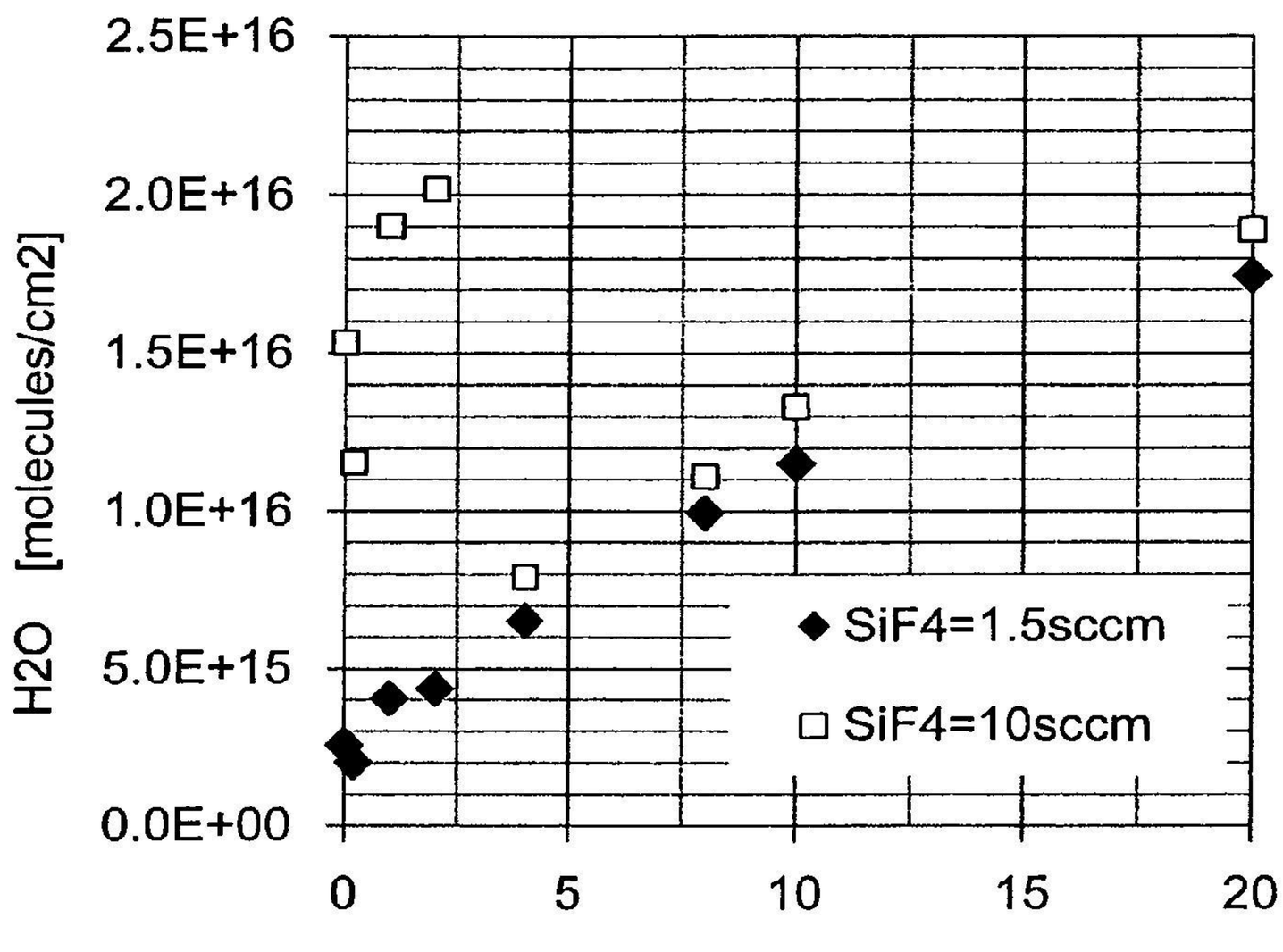

2.5E+16
2.0E+16
1.5E+16
1.0E+16
5.0E+15
0.0E+00
H2O [molecules/cm2]
0
5
10
15
20
SiH4 流量[sccm]
SiF4=1.5sccm
SiF4=10sccm

圖 54B

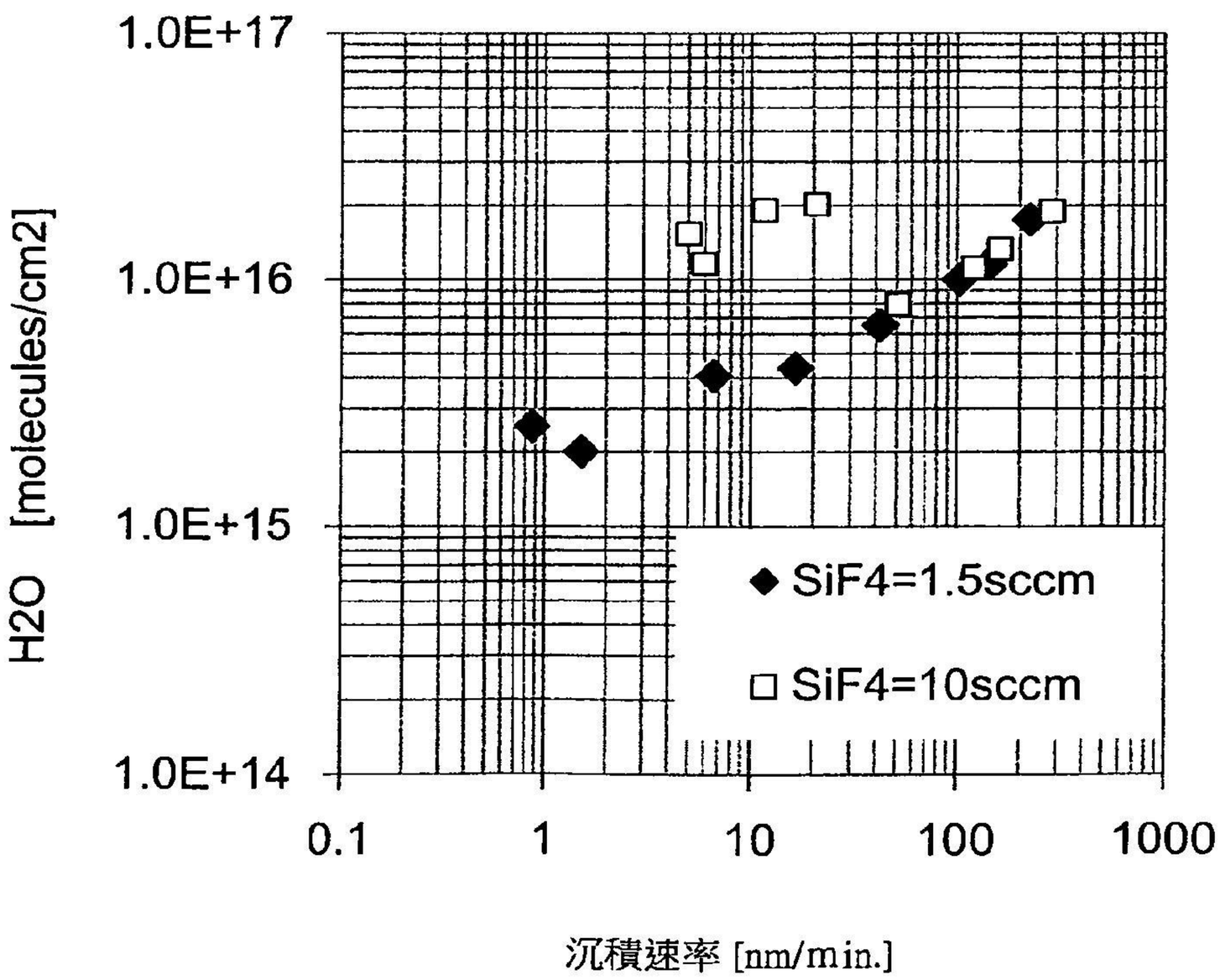

1.0E+17
1.0E+16
1.0E+15
1.0E+14
H2O [molecules/cm2]
0.1
1
10
100
1000
沉積速率 [nm/min.]
SiF4=1.5sccm
SiF4=10sccm

圖 55A

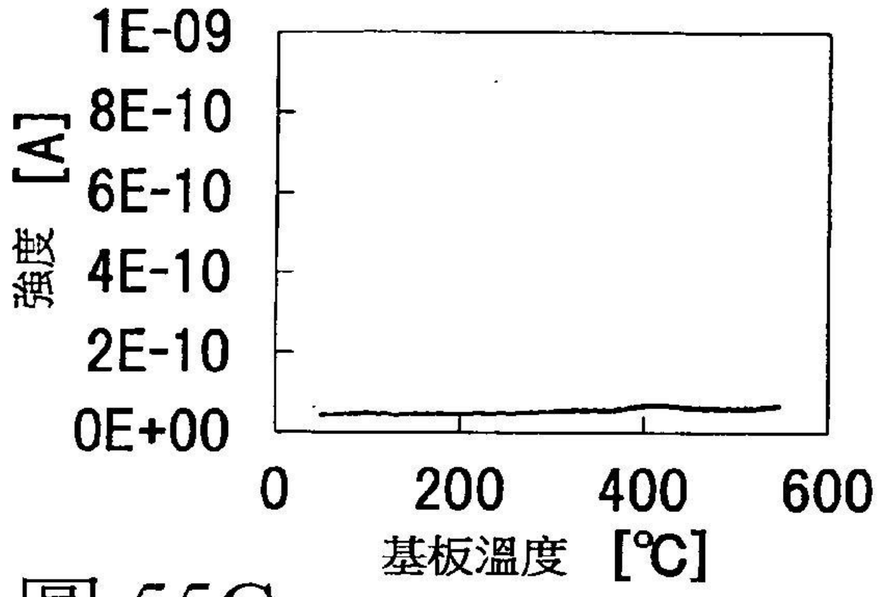


圖 55B

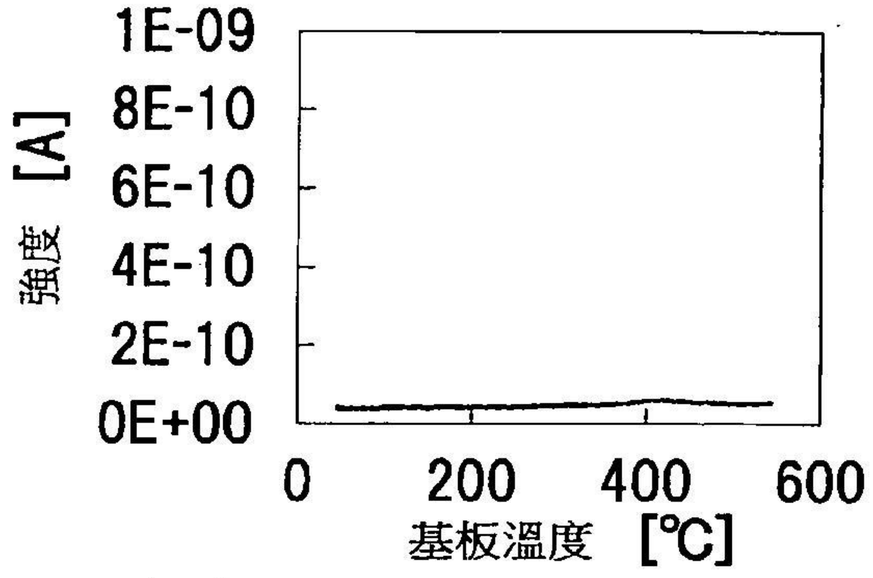


圖 55C

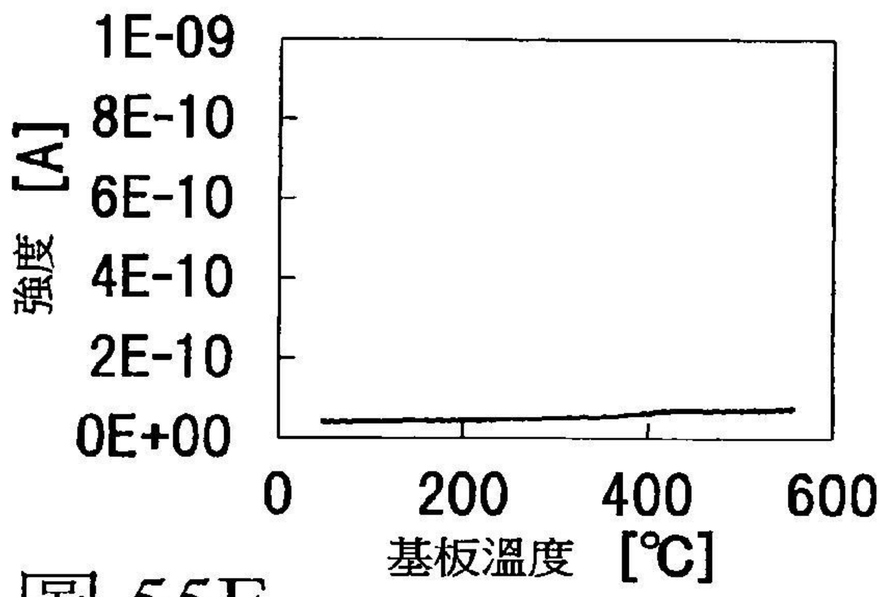


圖 55D

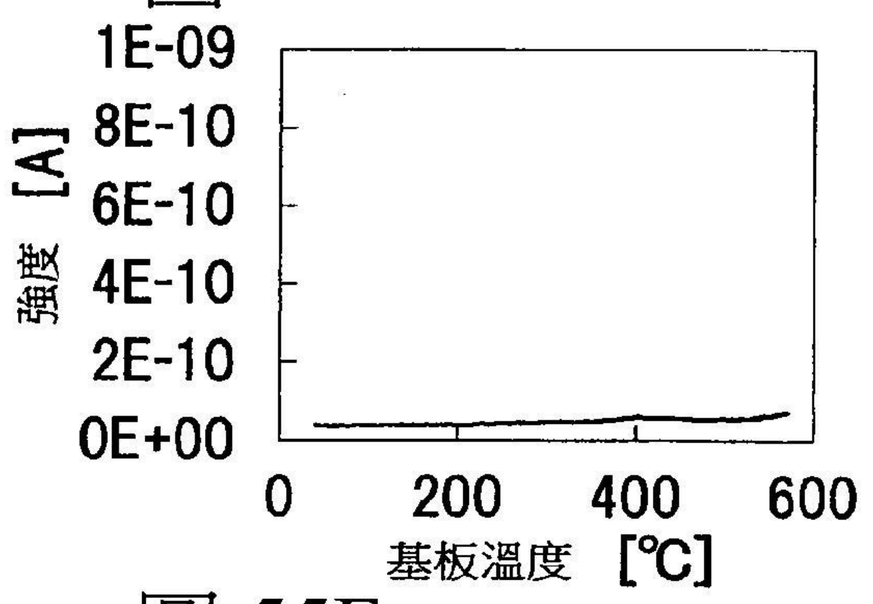


圖 55E

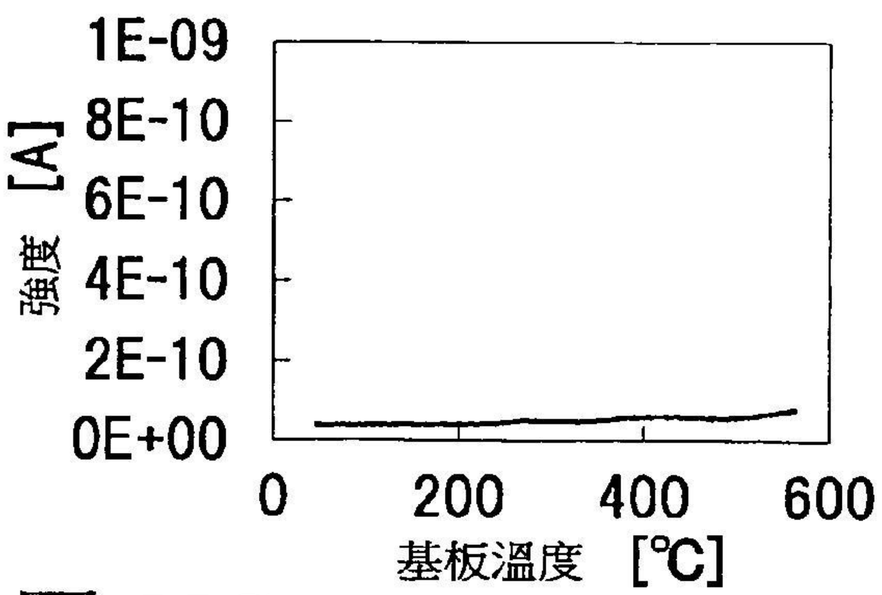


圖 55F

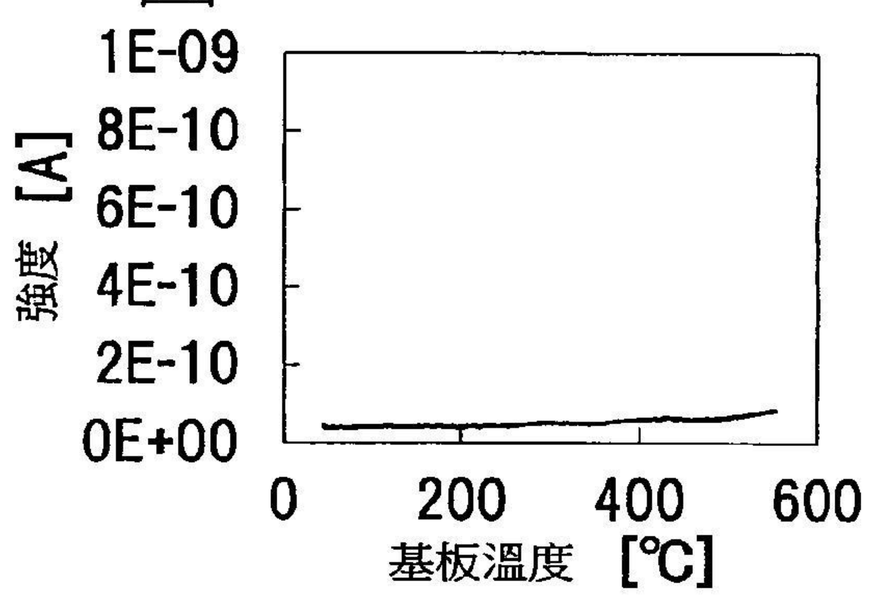


圖 55G

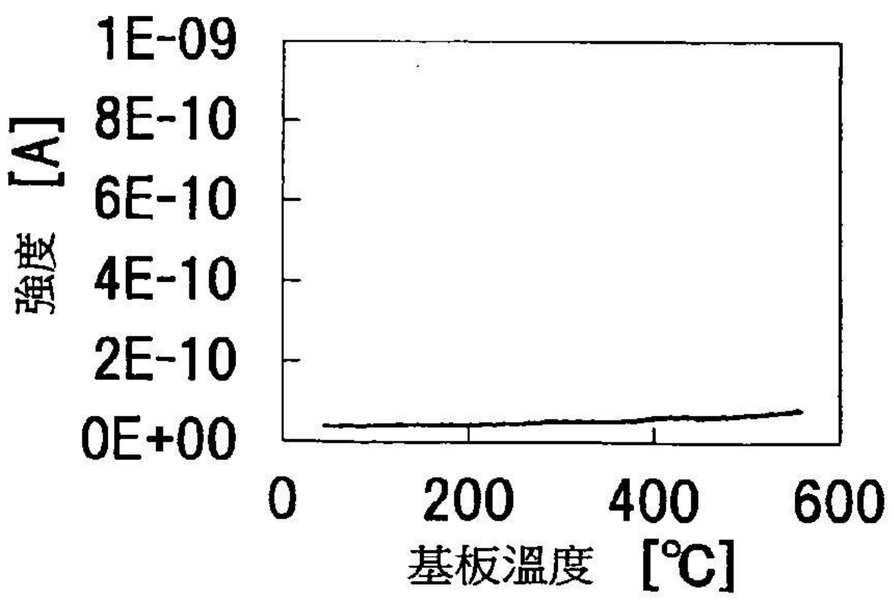


圖 55H

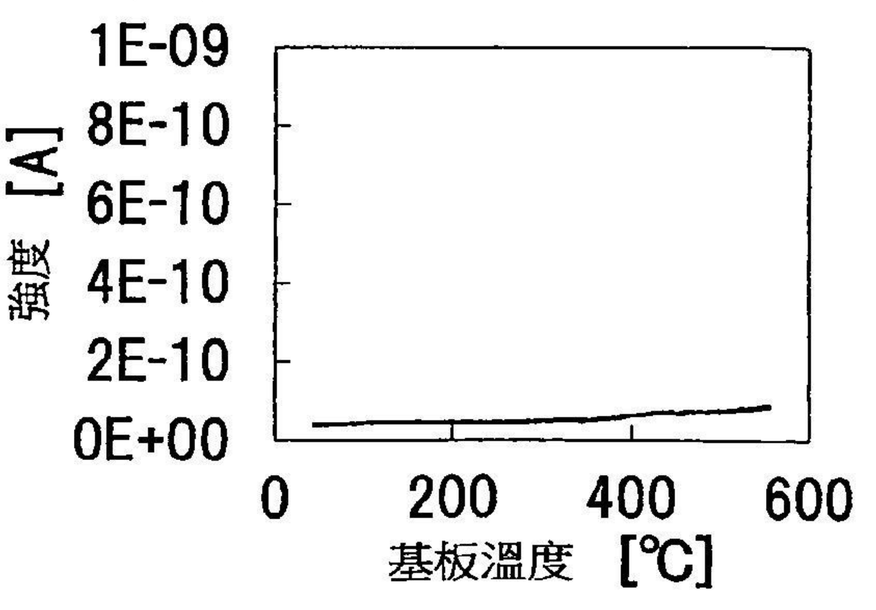


圖 56A

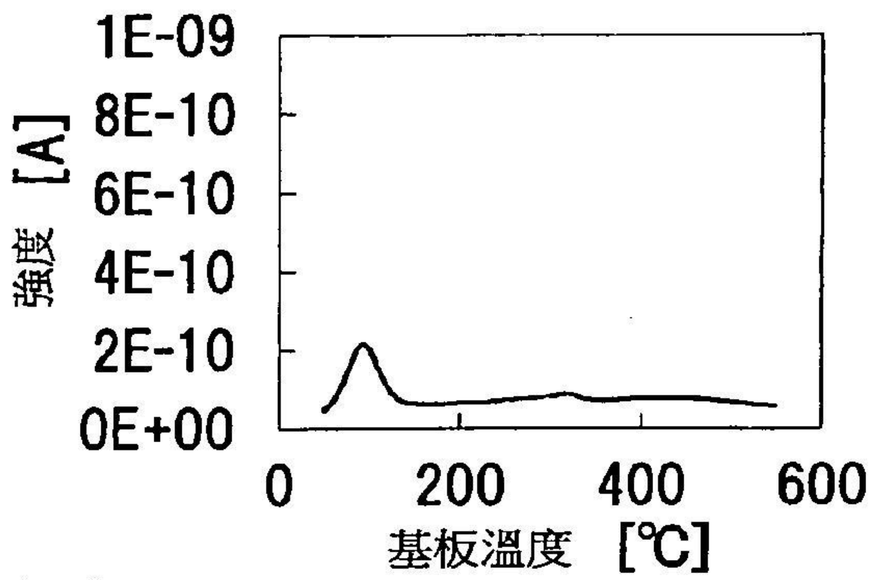


圖 56B

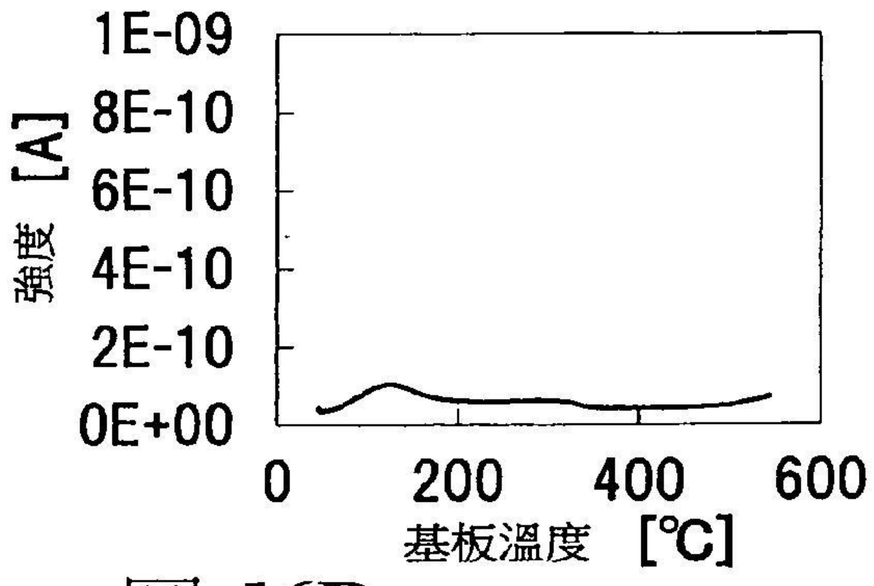


圖 56C

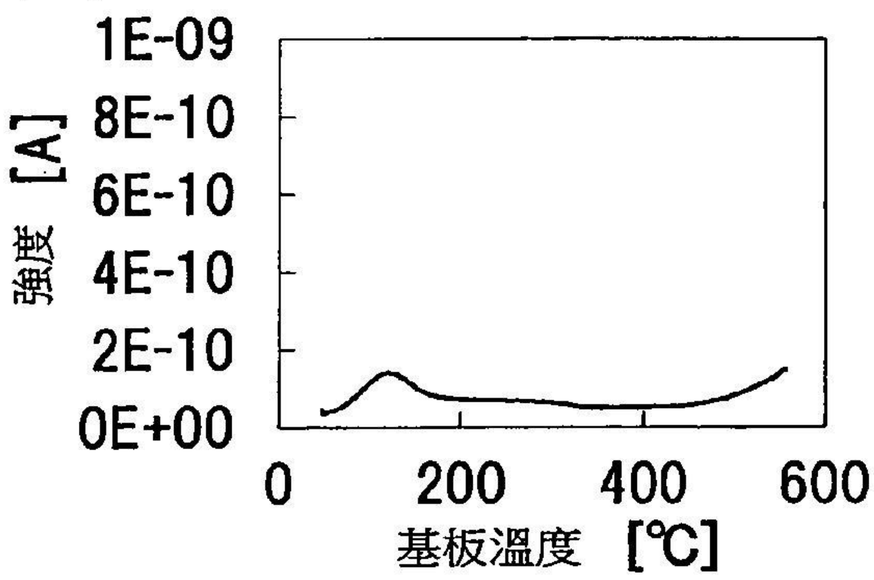


圖 56D

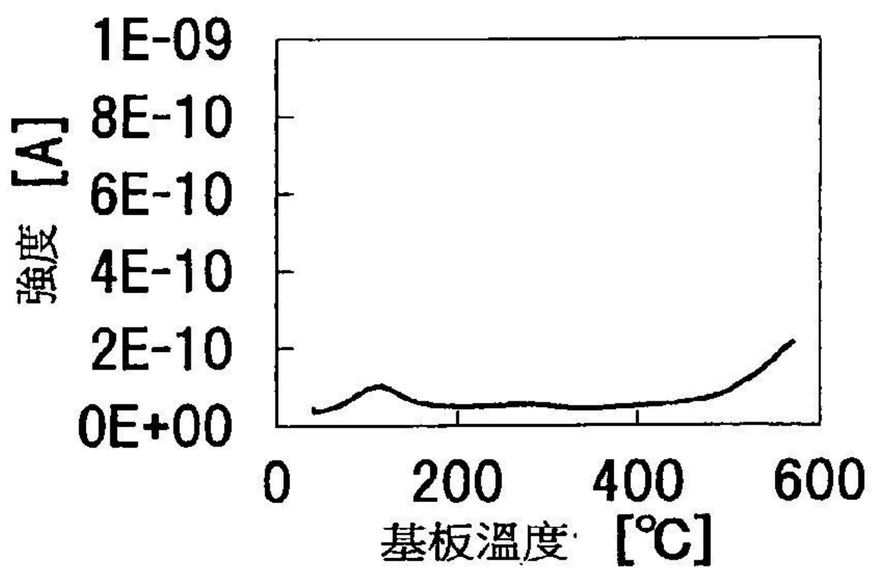


圖 56E

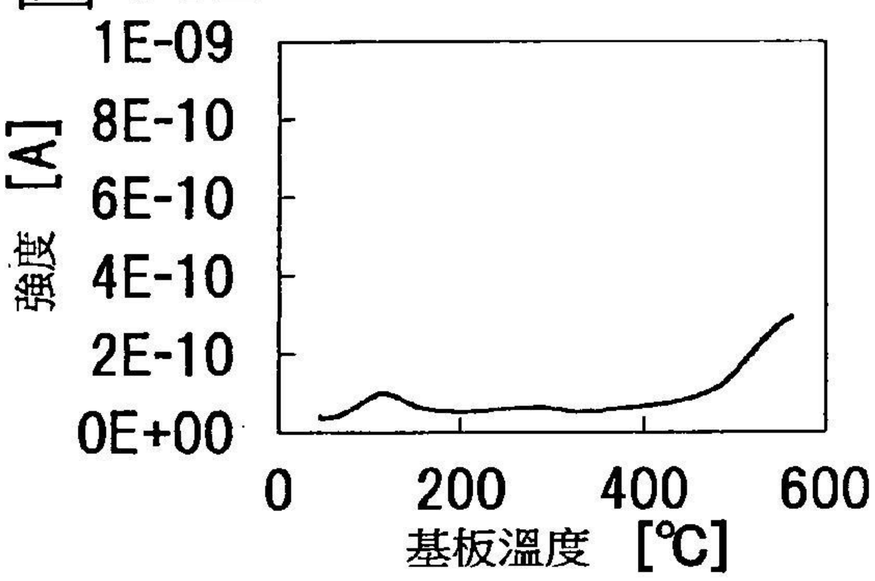


圖 56F

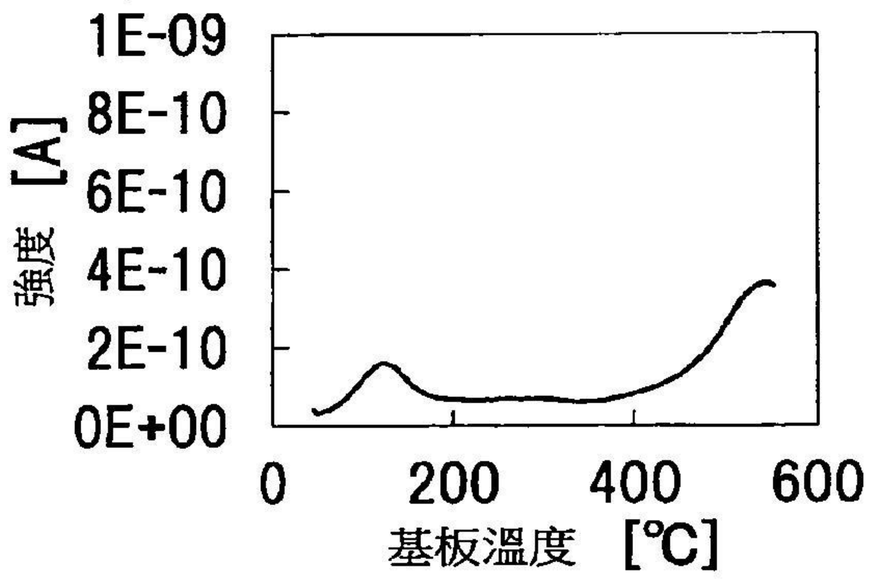


圖 56G

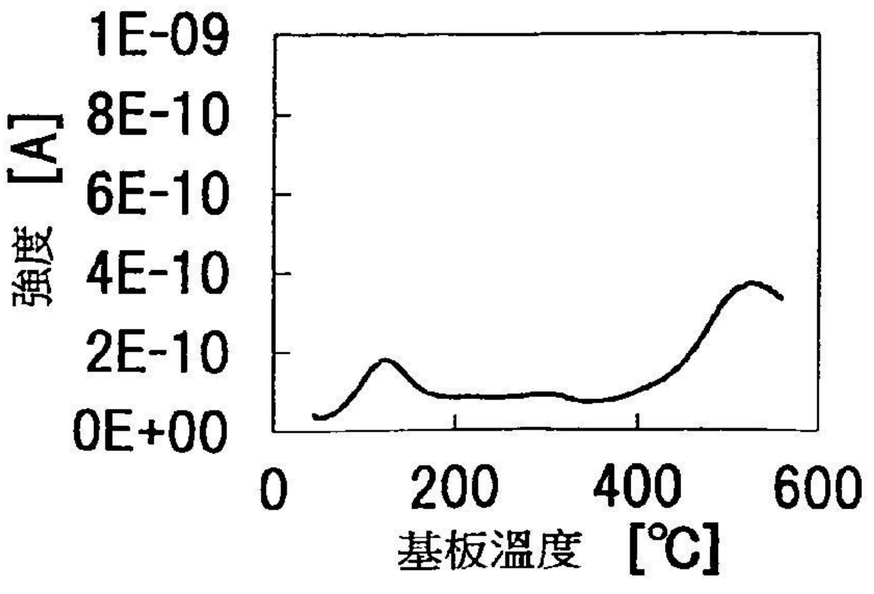


圖 56H

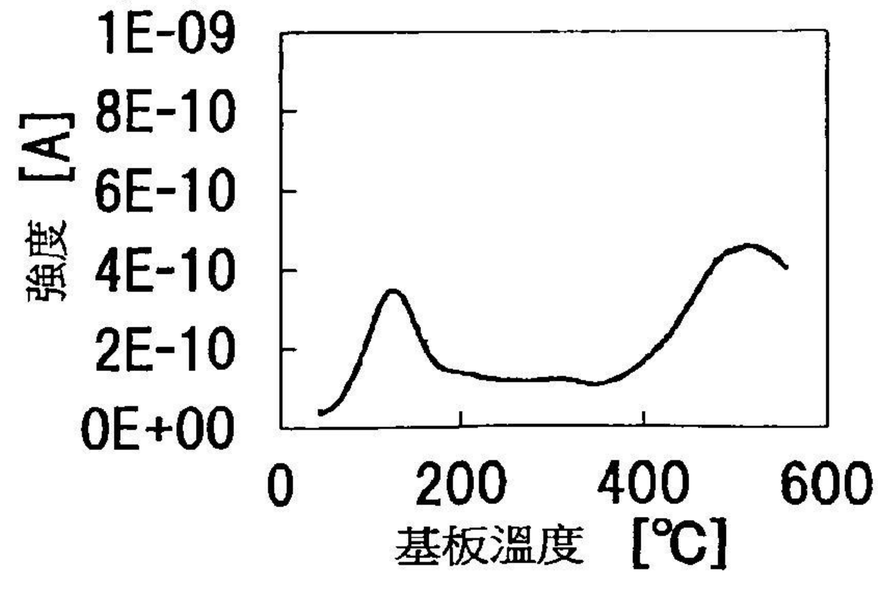


圖 57A

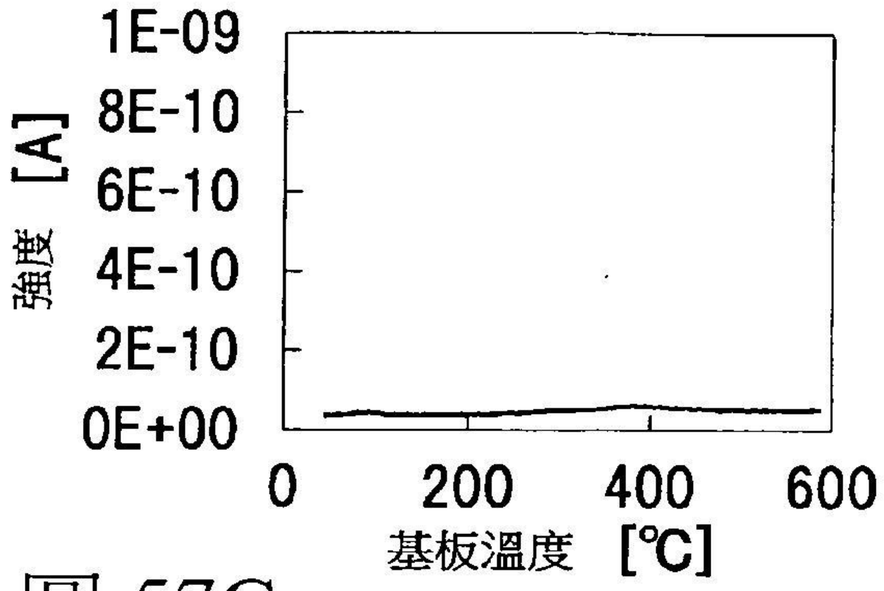


圖 57B

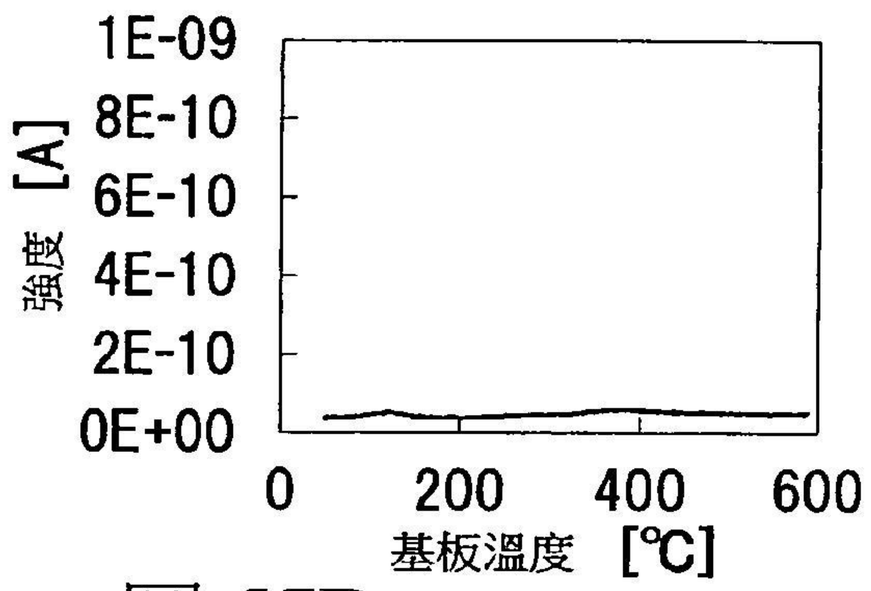


圖 57C

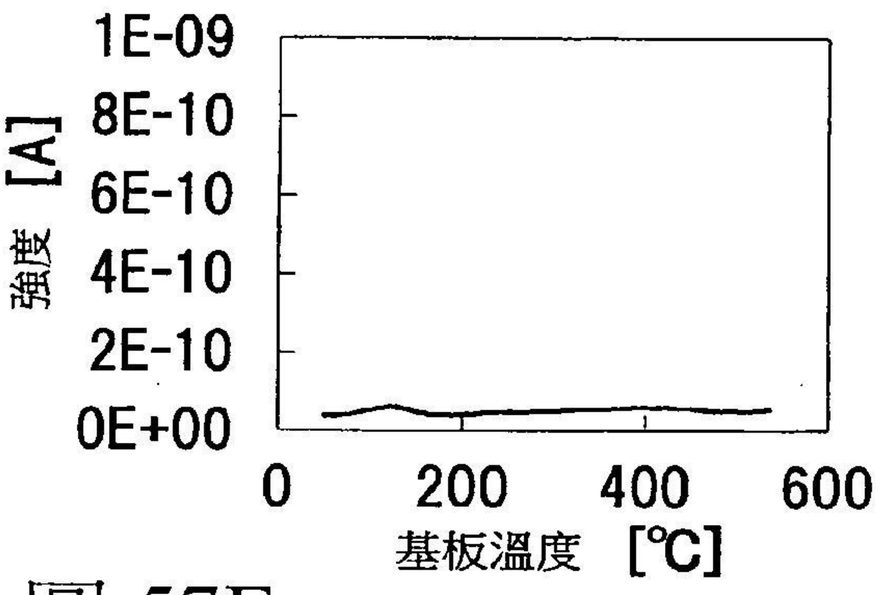


圖 57D

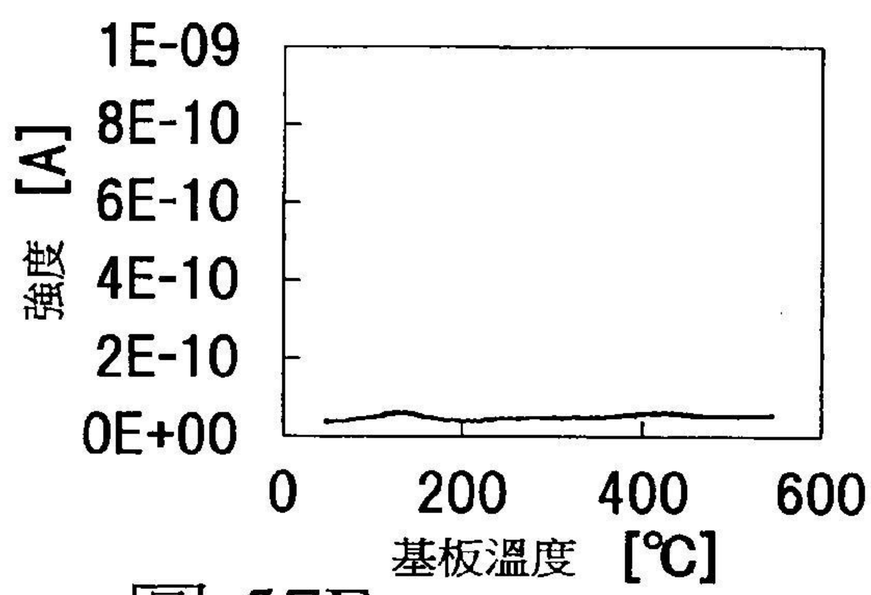


圖 57E

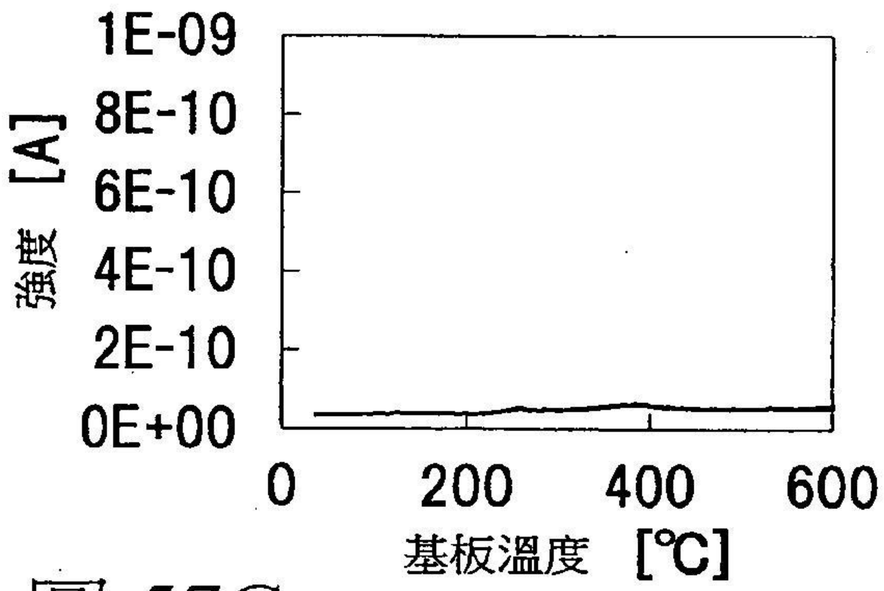


圖 57F

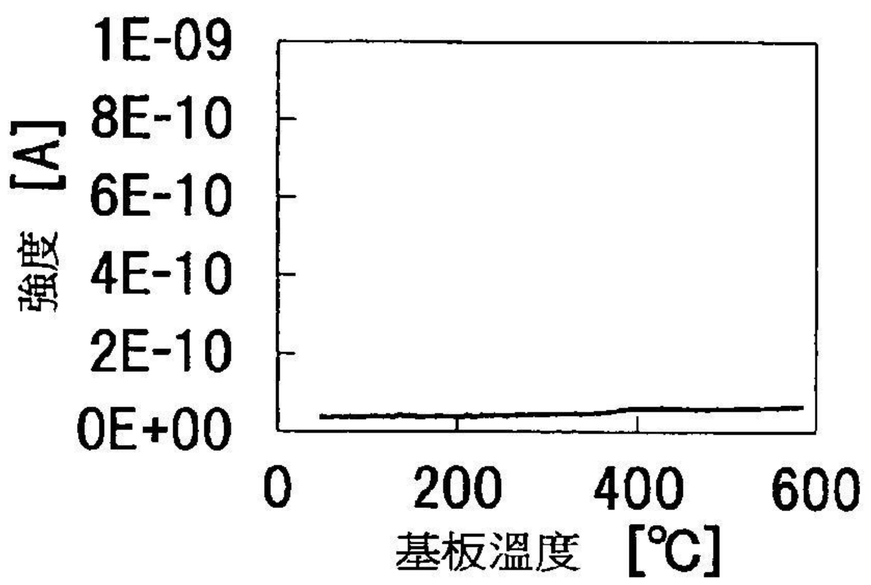


圖 57G

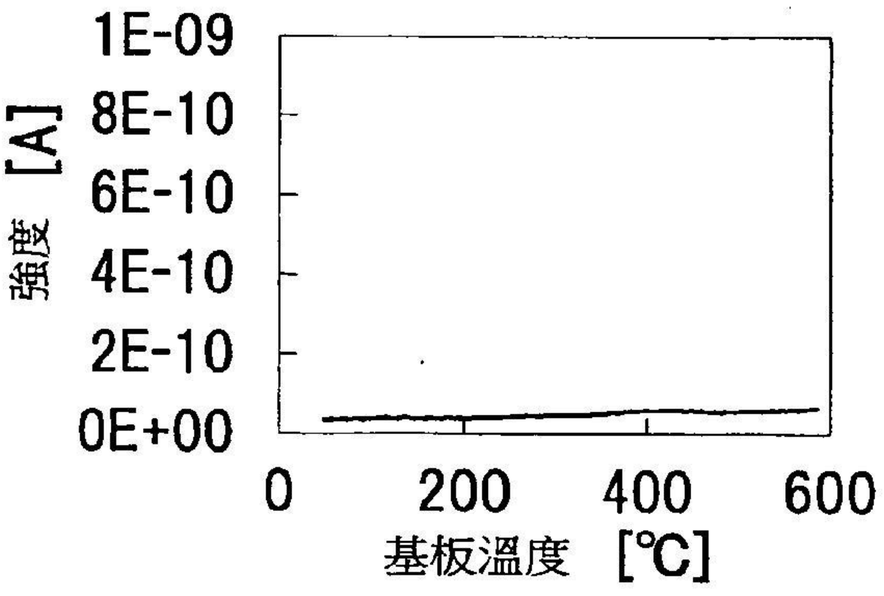


圖 57H

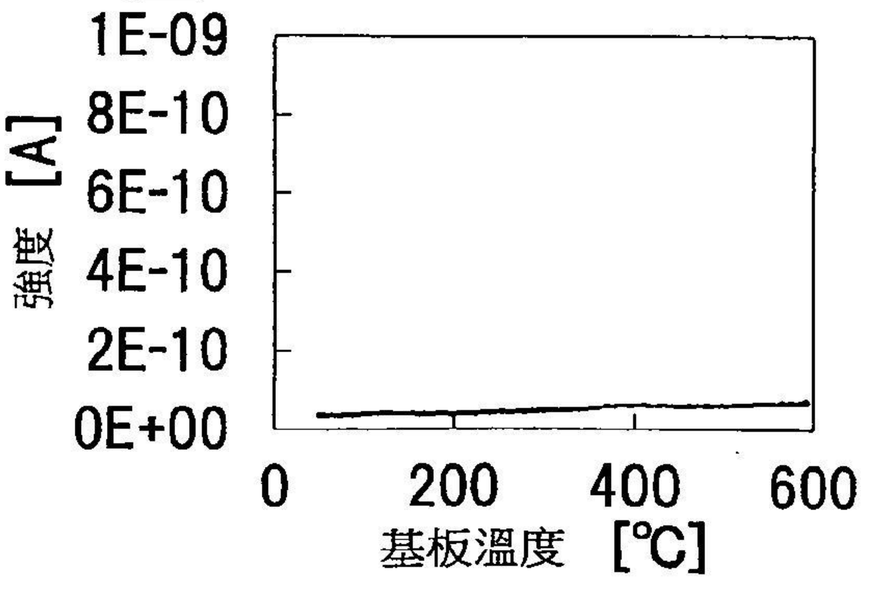


圖 58A

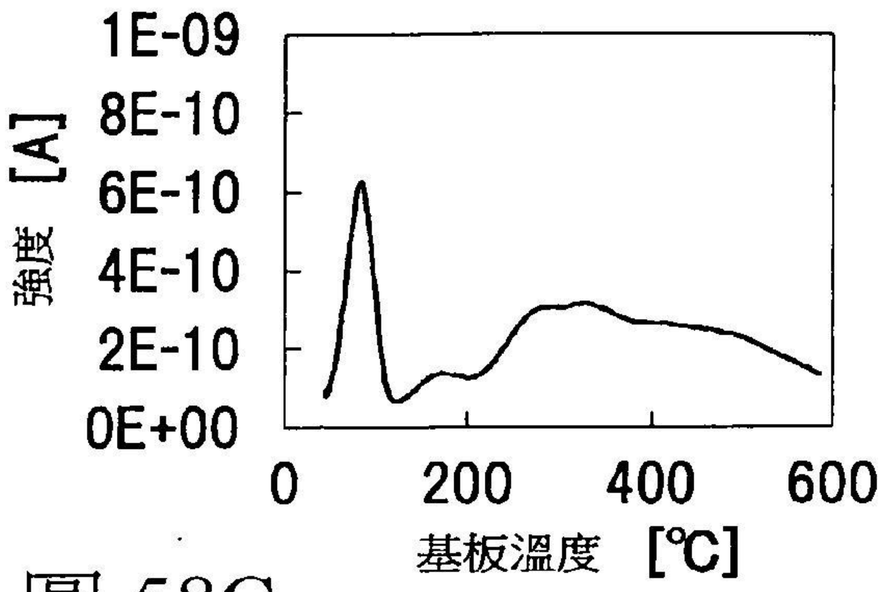


圖 58B

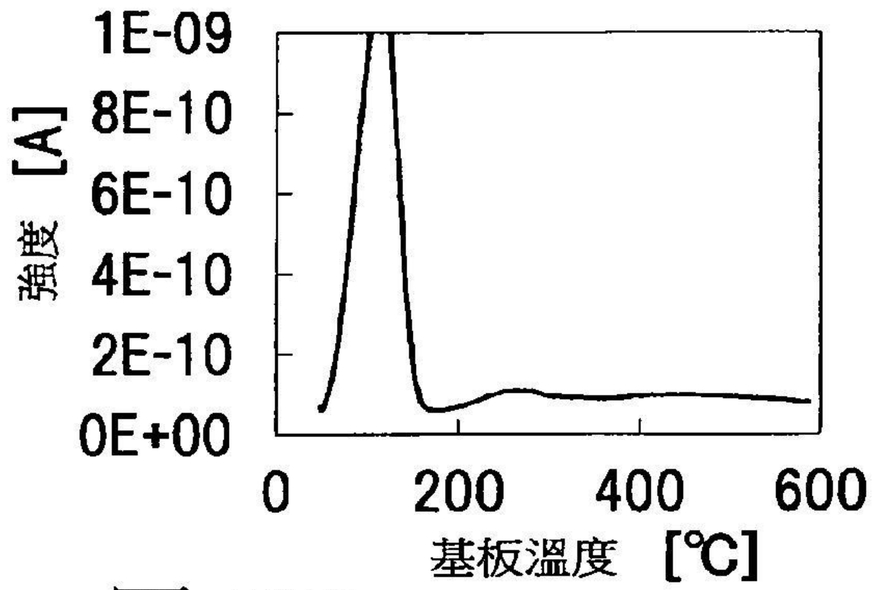


圖 58C

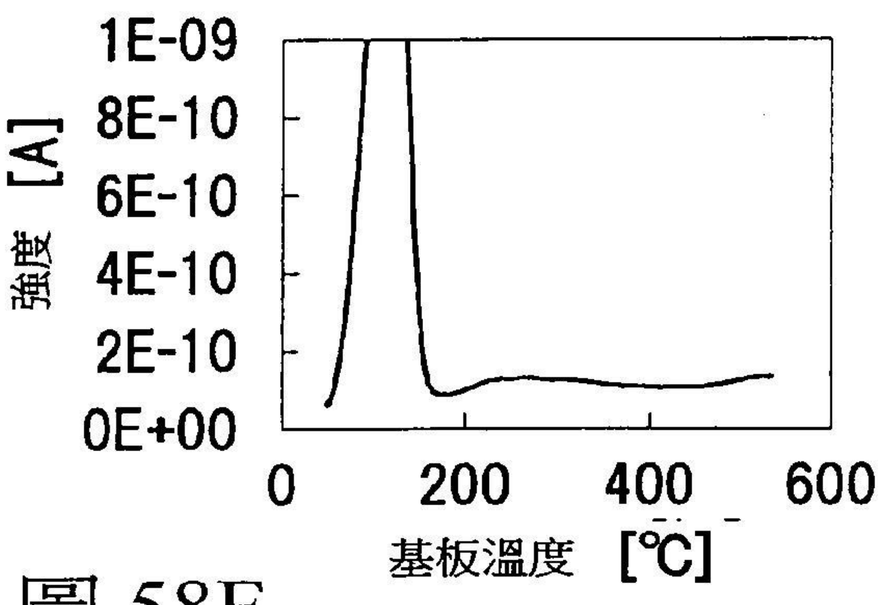


圖 58D

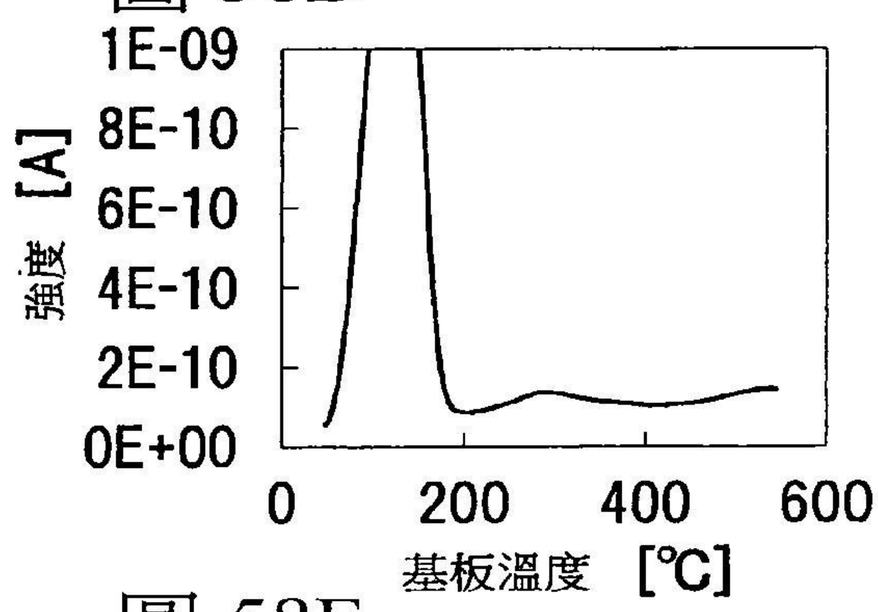


圖 58E

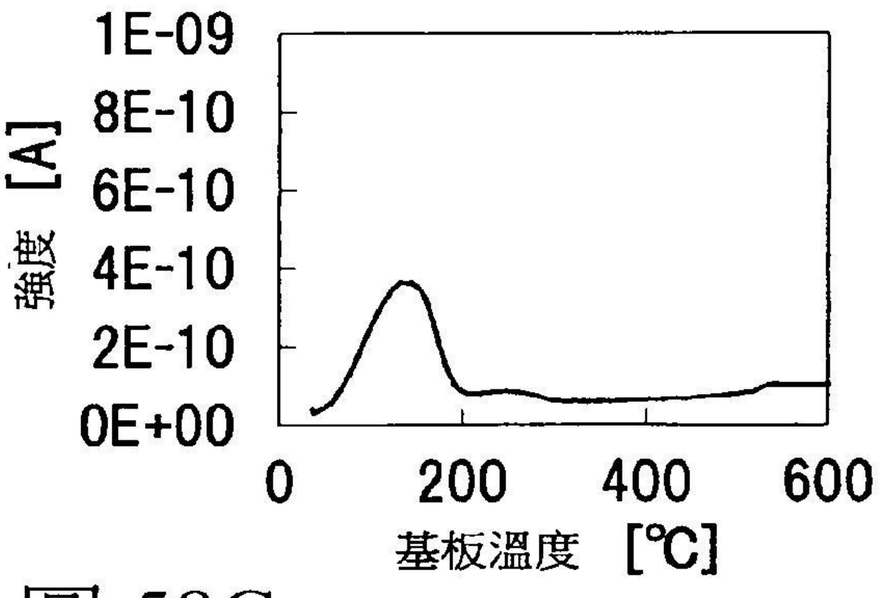


圖 58F

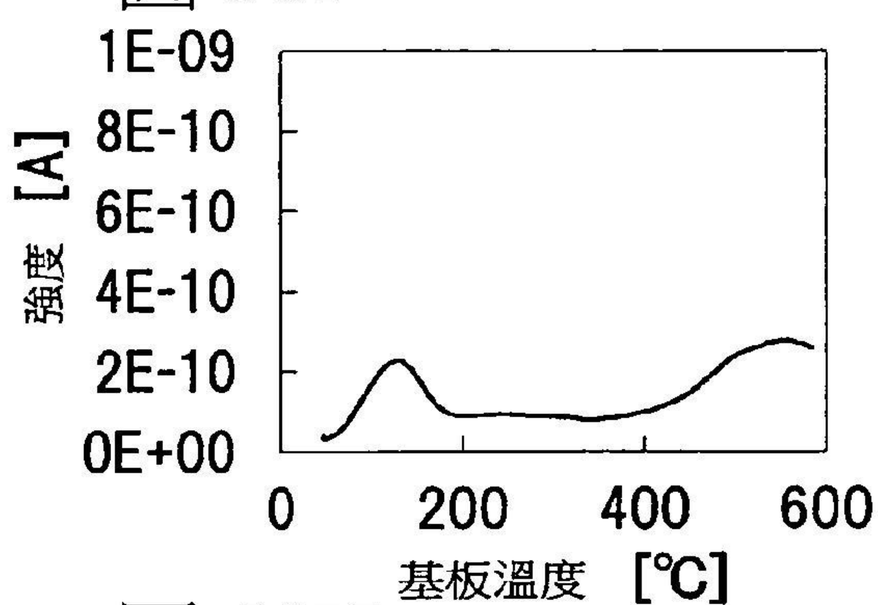


圖 58G

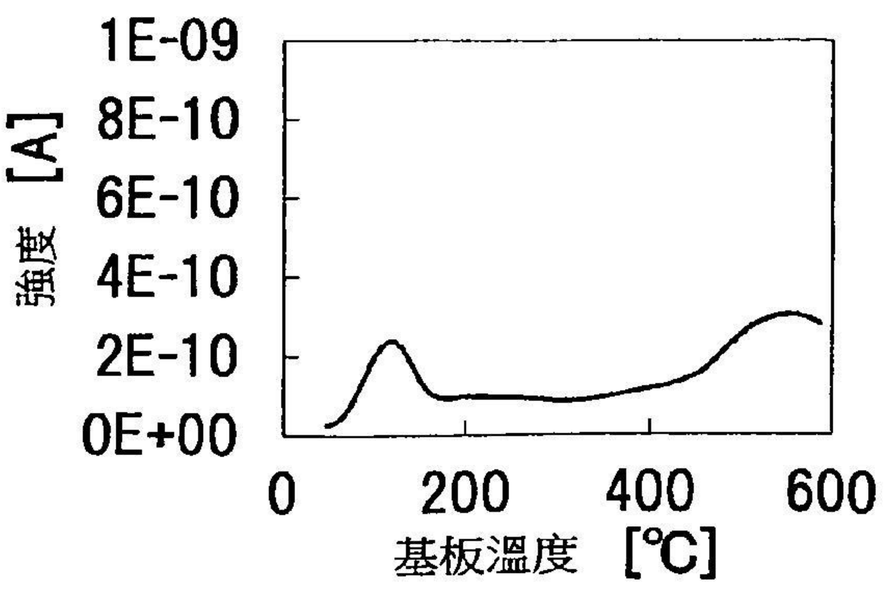


圖 58H

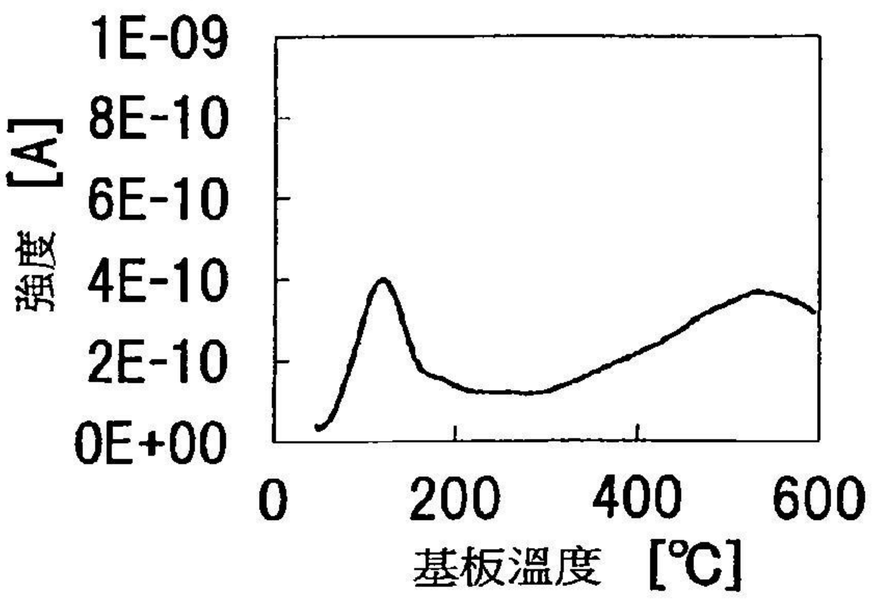


圖 59A

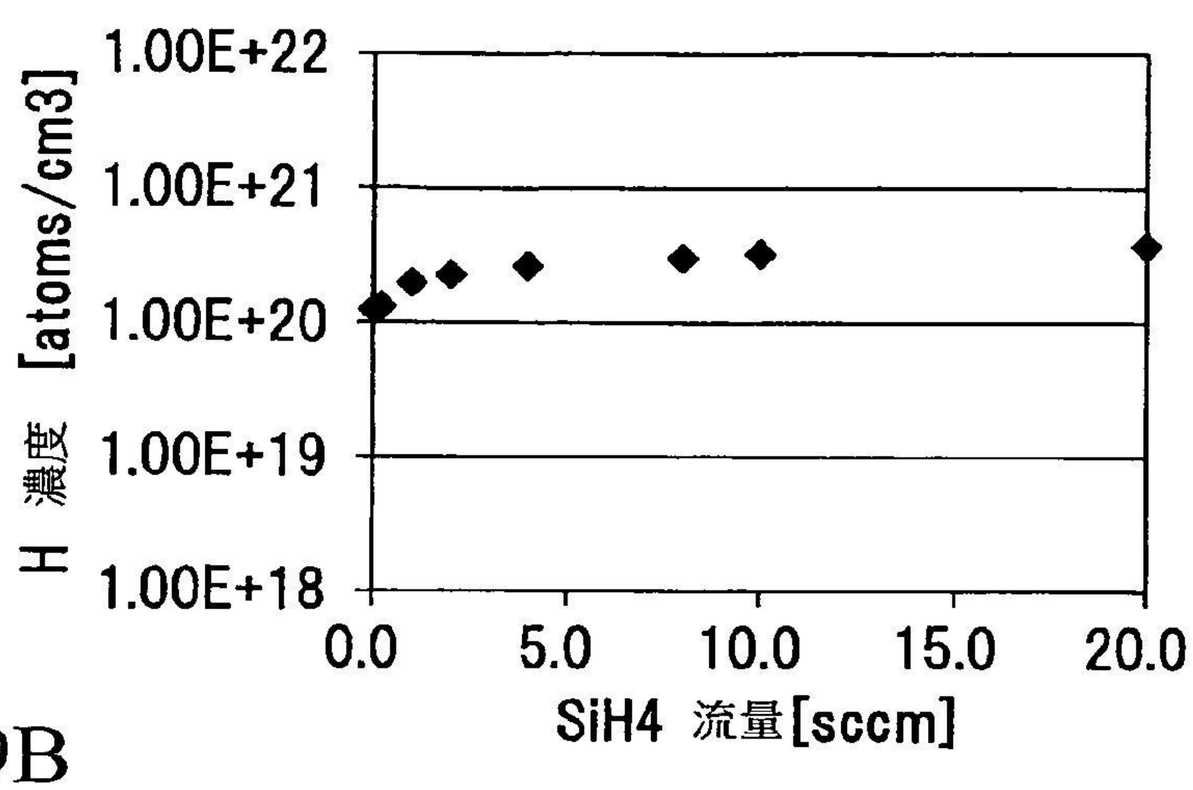


圖 59B

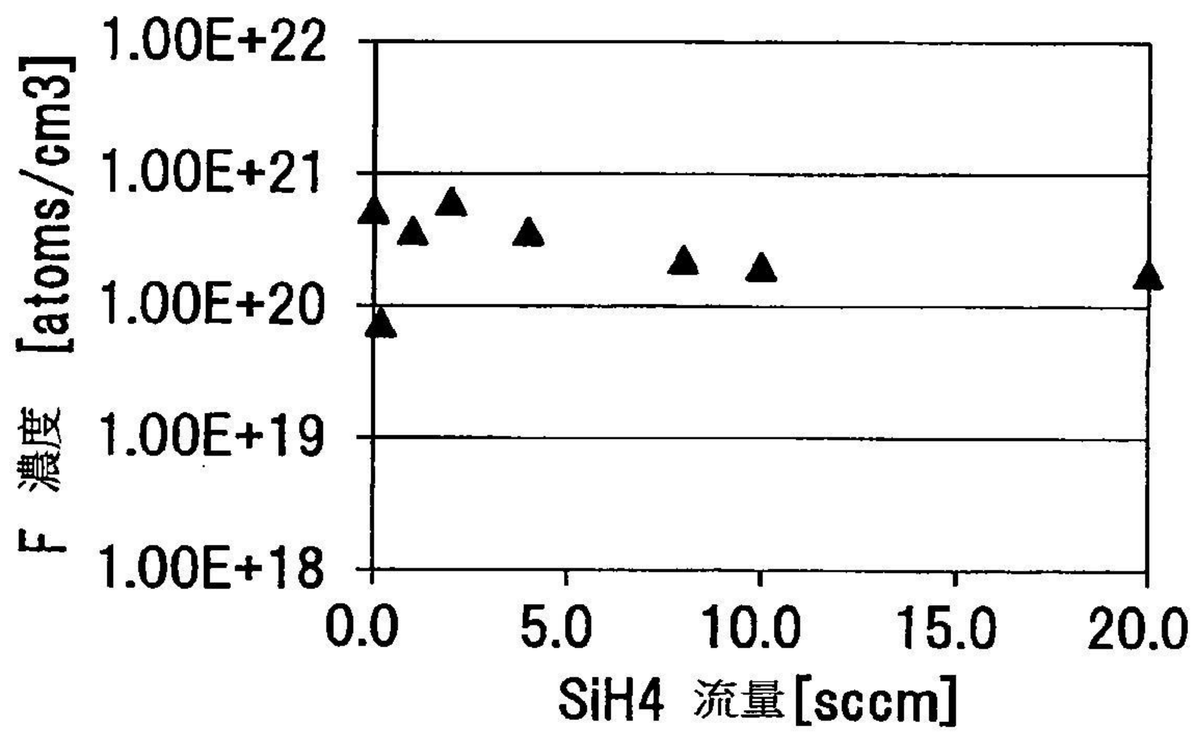


圖 59C

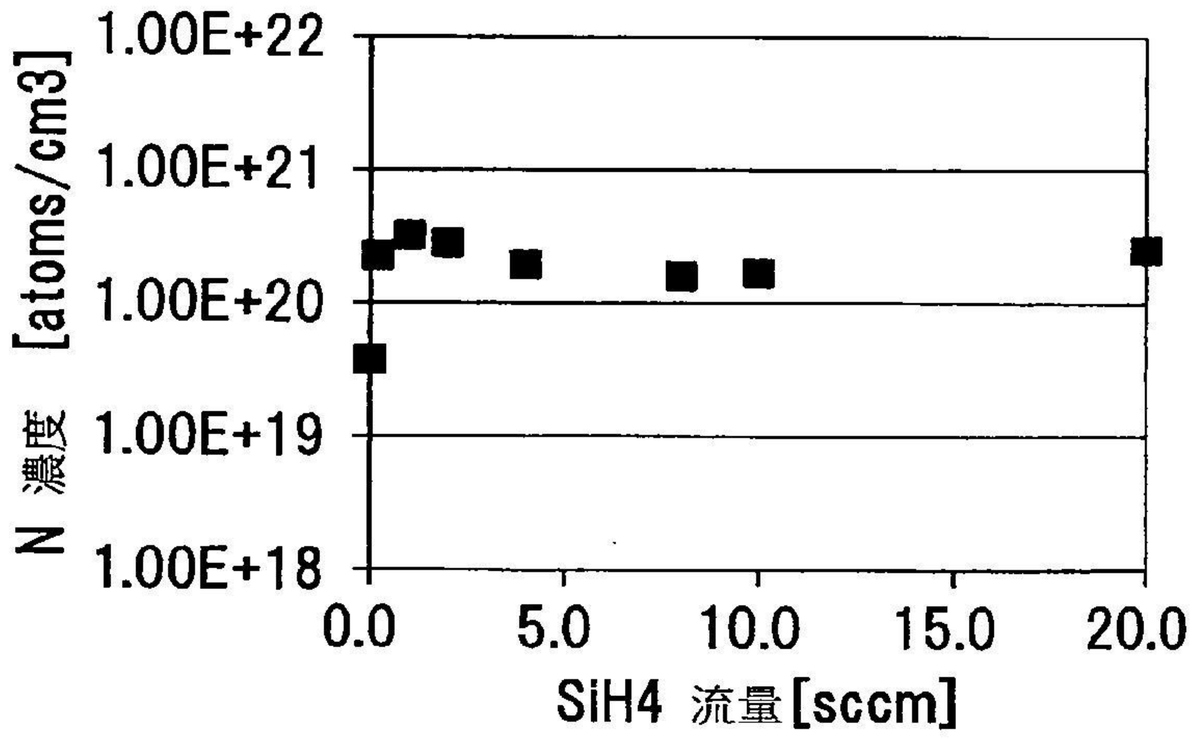


圖 60A

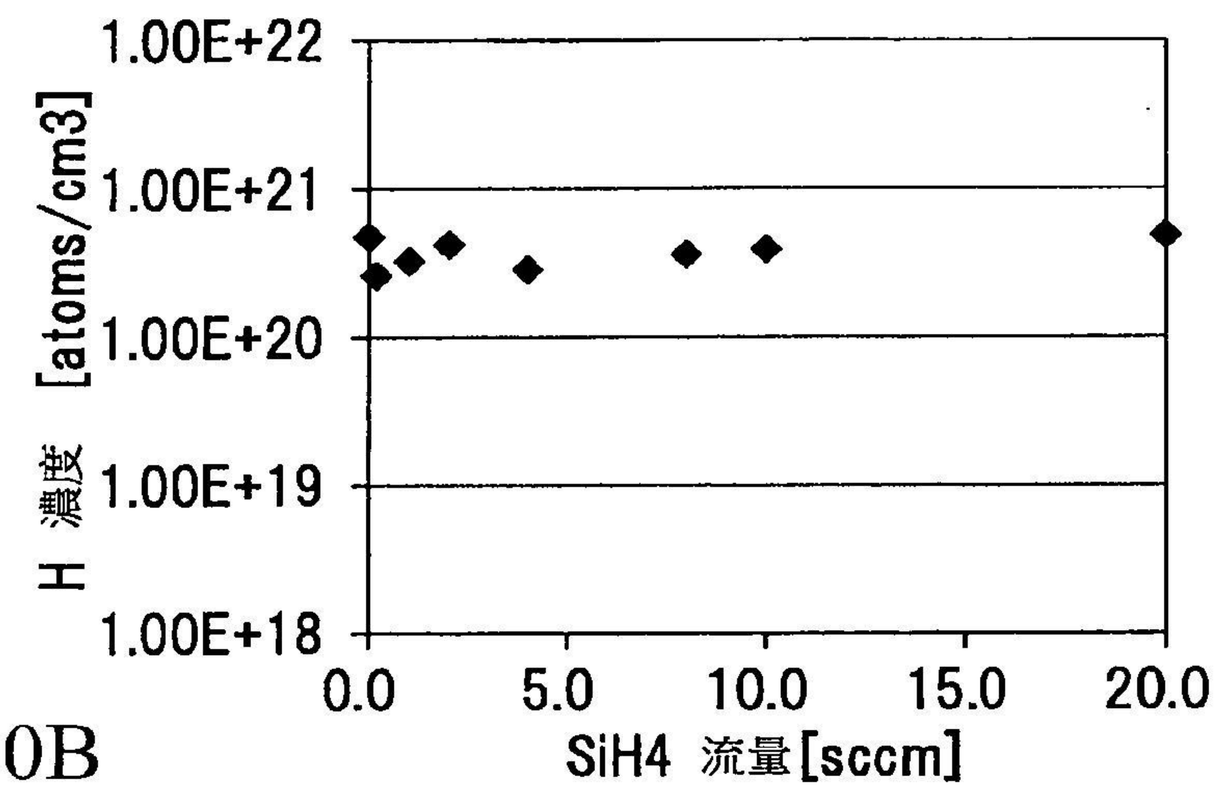


圖 60B

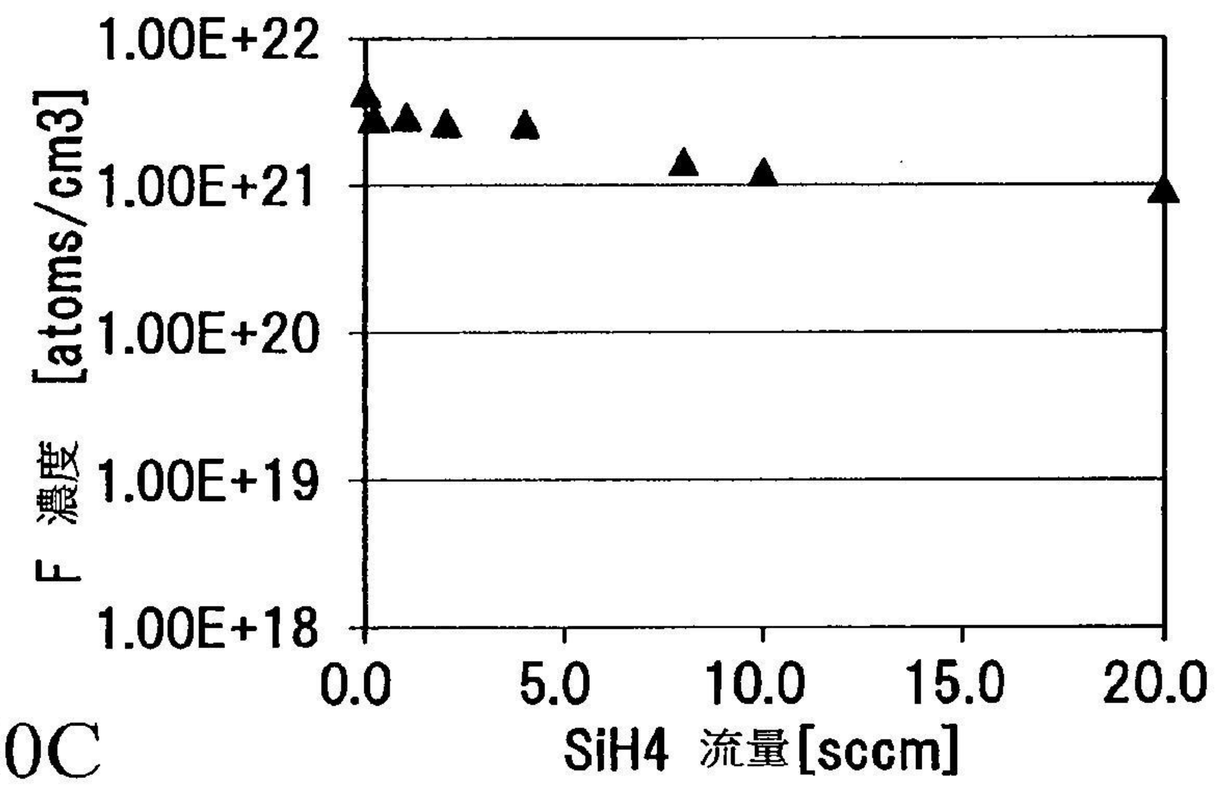
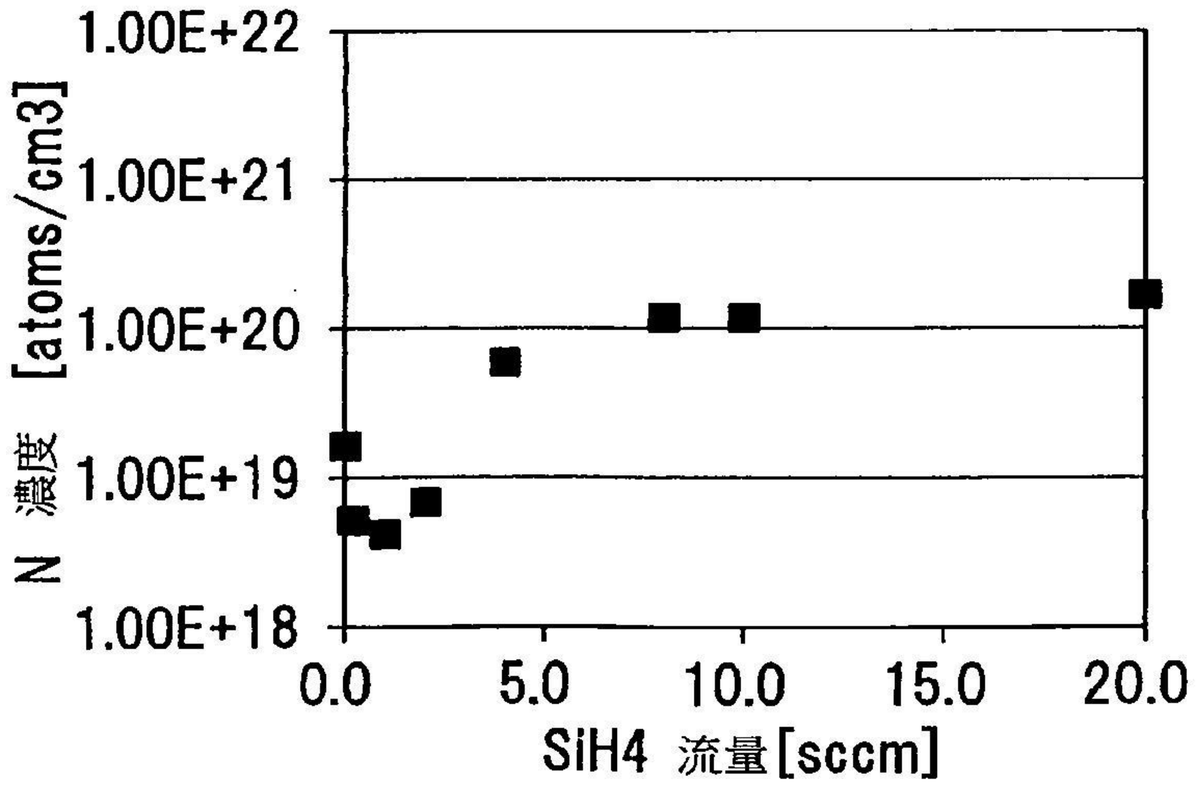


圖 60C



S

圖 61A

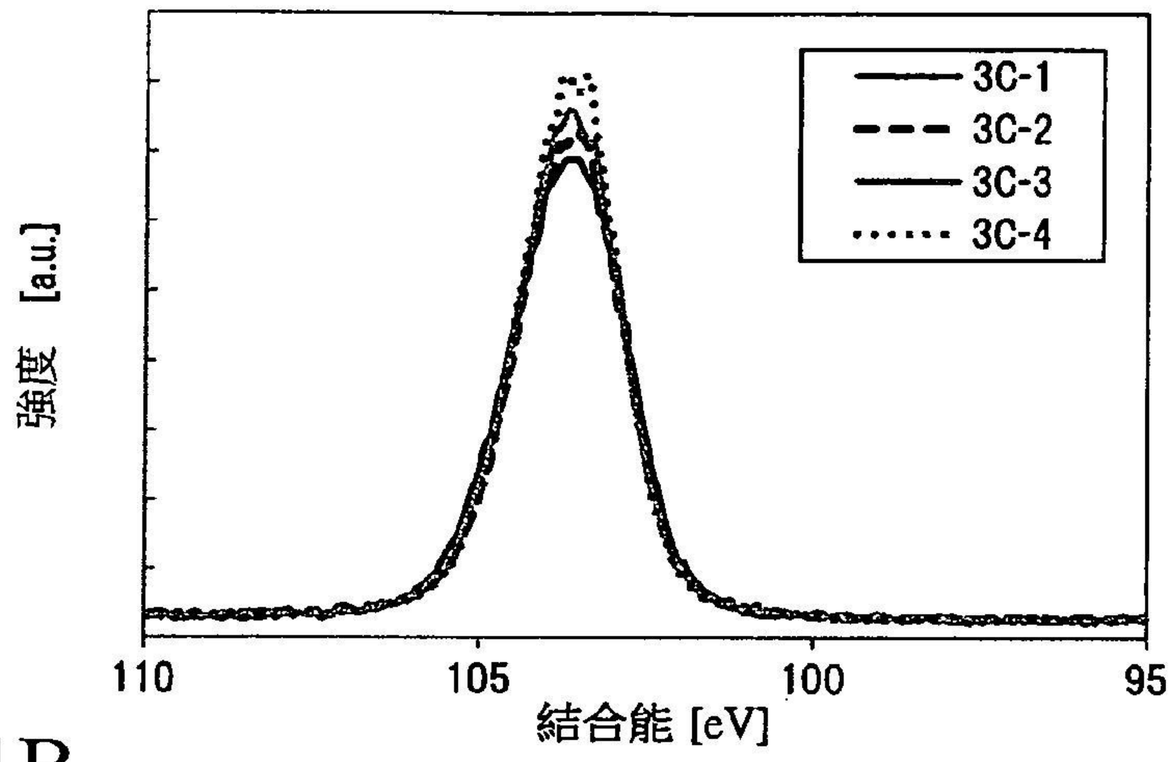


圖 61B

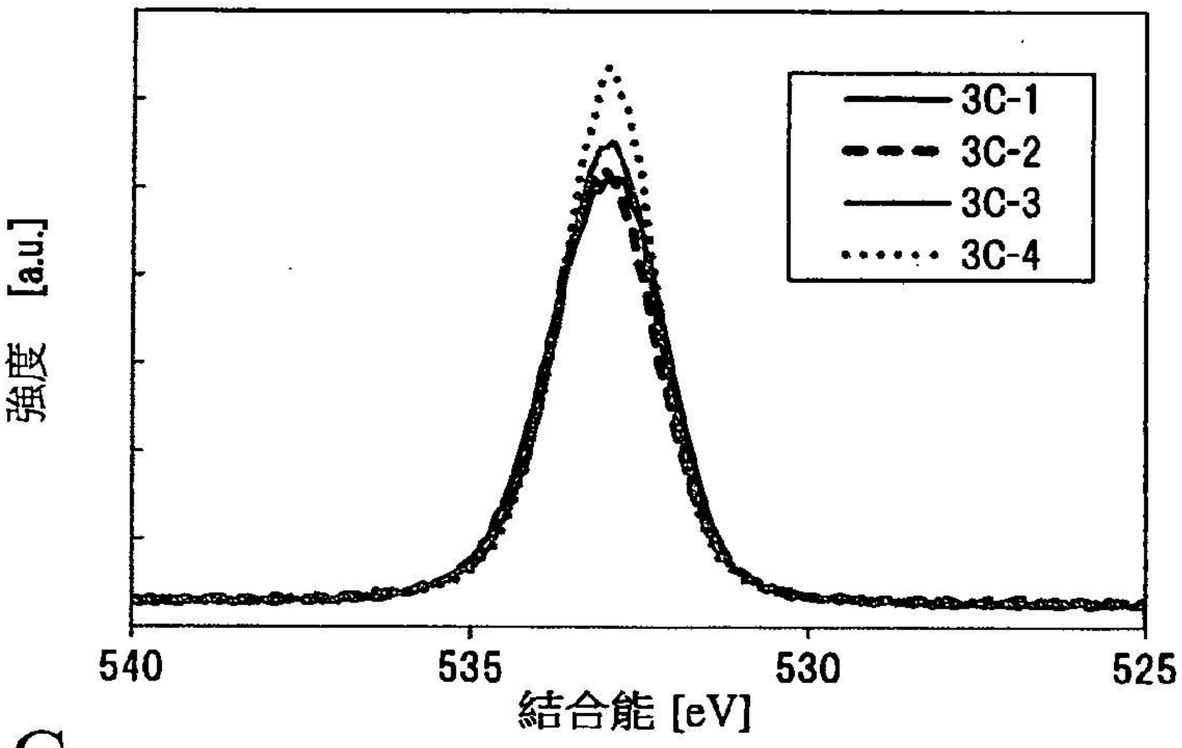


圖 61C

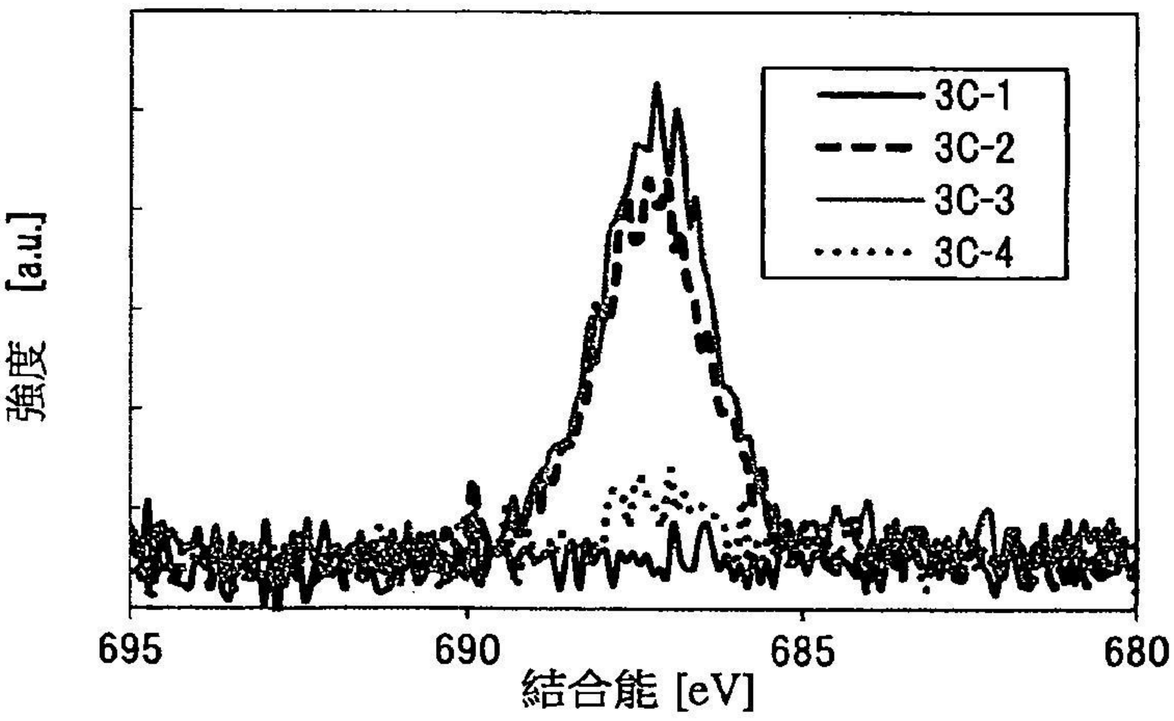


圖 62A

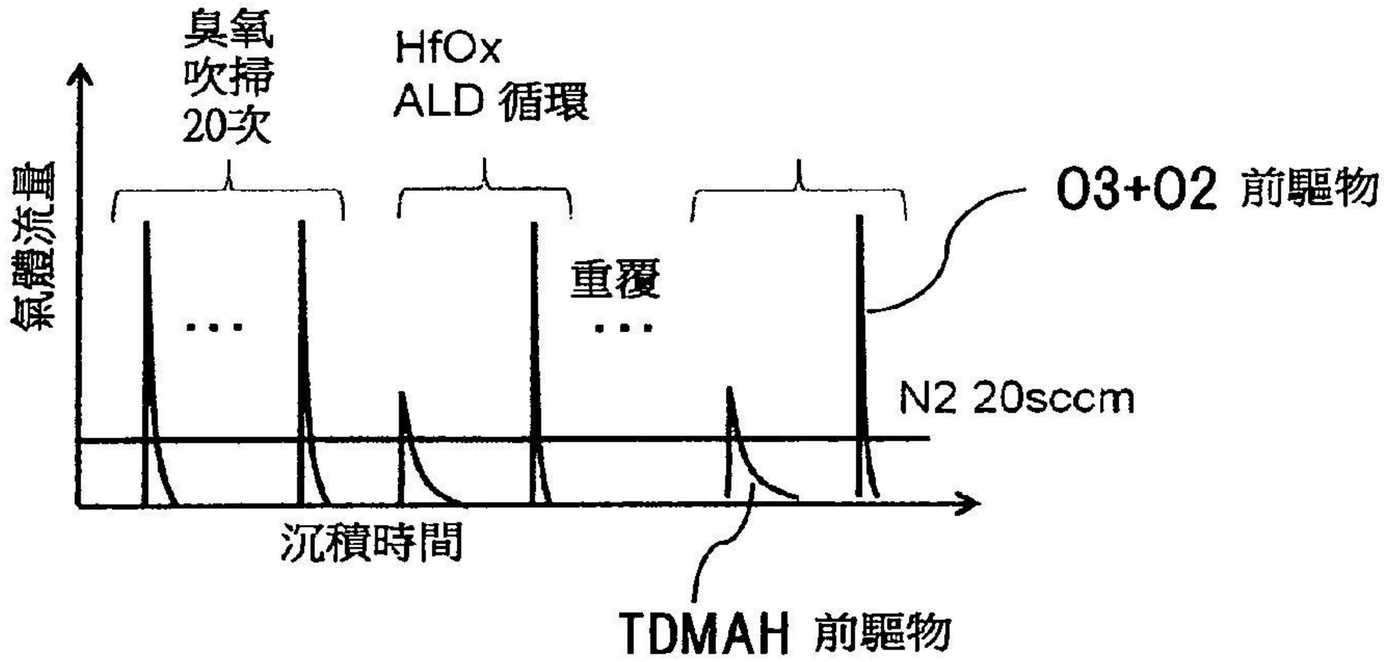
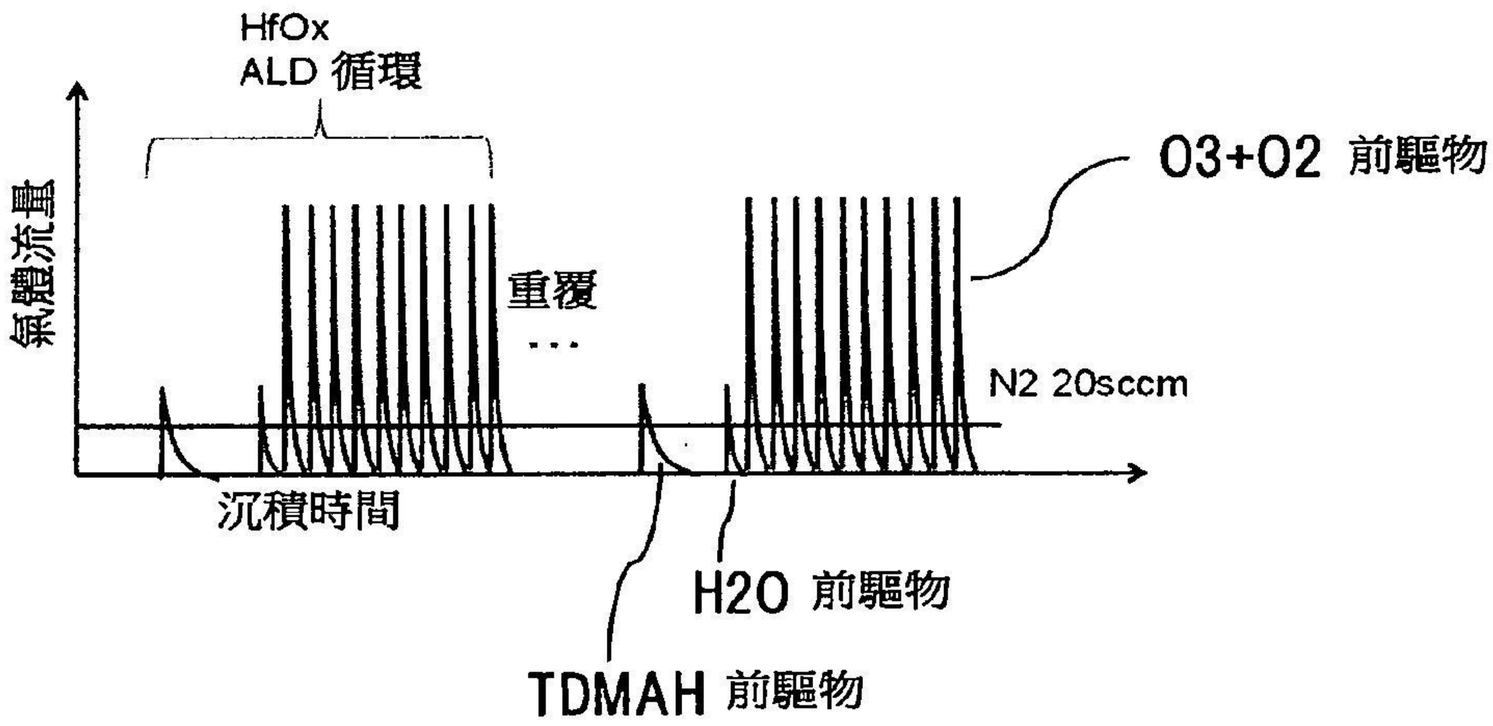

臭氧
吹掃
20次
HfOx
ALD 循環
重覆
03+02 前驅物
氣體流量
N2 20sccm
沉積時間
TDMAH 前驅物

圖 62B


HfOx
ALD 循環
03+02 前驅物
氣體流量
重覆
N2 20sccm
沉積時間
H20 前驅物
TDMAH 前驅物

S

圖 63A

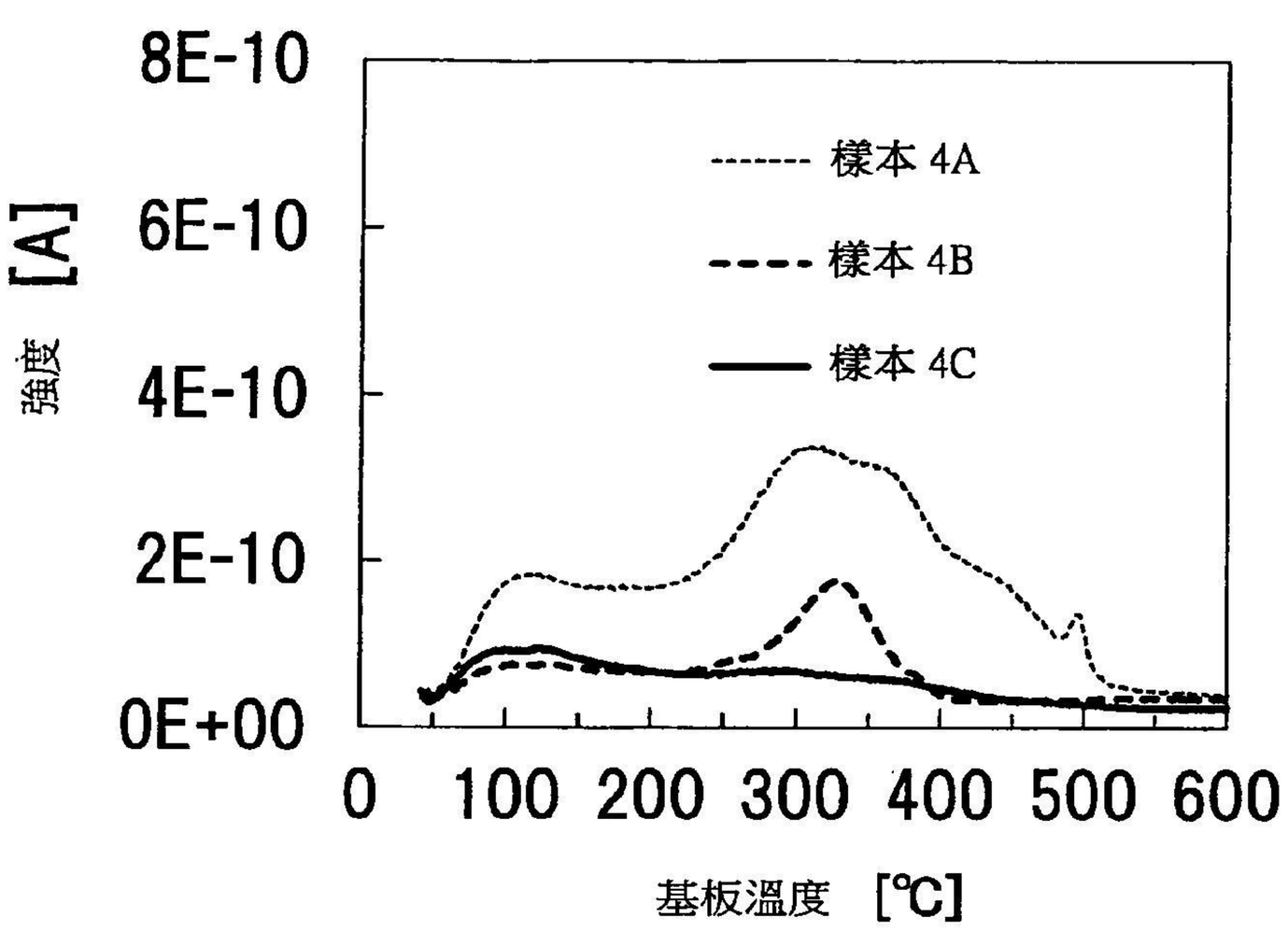

8E-10
6E-10
4E-10
2E-10
0E+00
強度 [A]
0
100
200
300
400
500
600
基板溫度 [℃]
樣本 4A
樣本 4B
樣本 4C

圖 63B

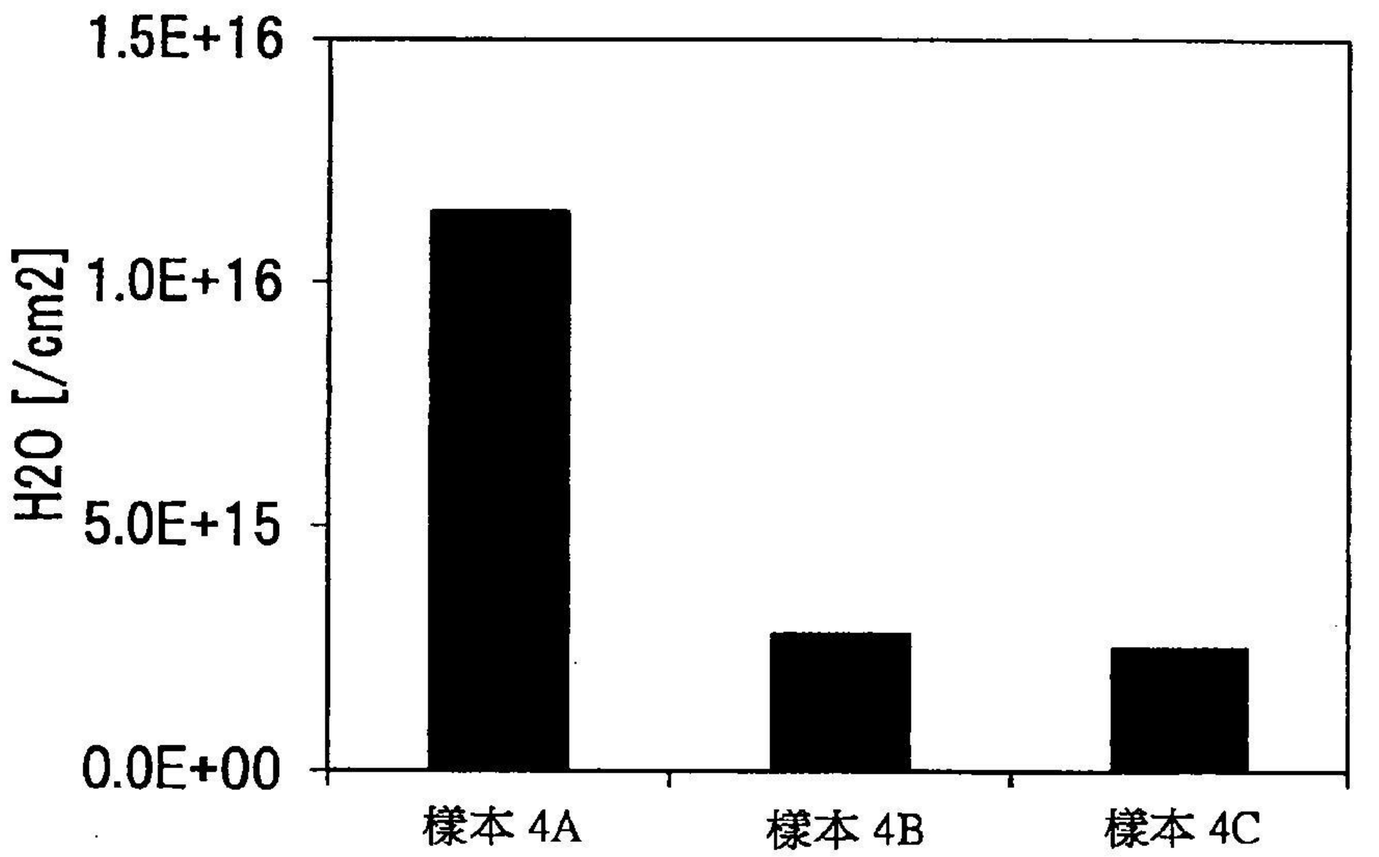

1.5E+16
1.0E+16
5.0E+15
0.0E+00
H2O [/cm2]
樣本 4A
樣本 4B
樣本 4C

圖 64A

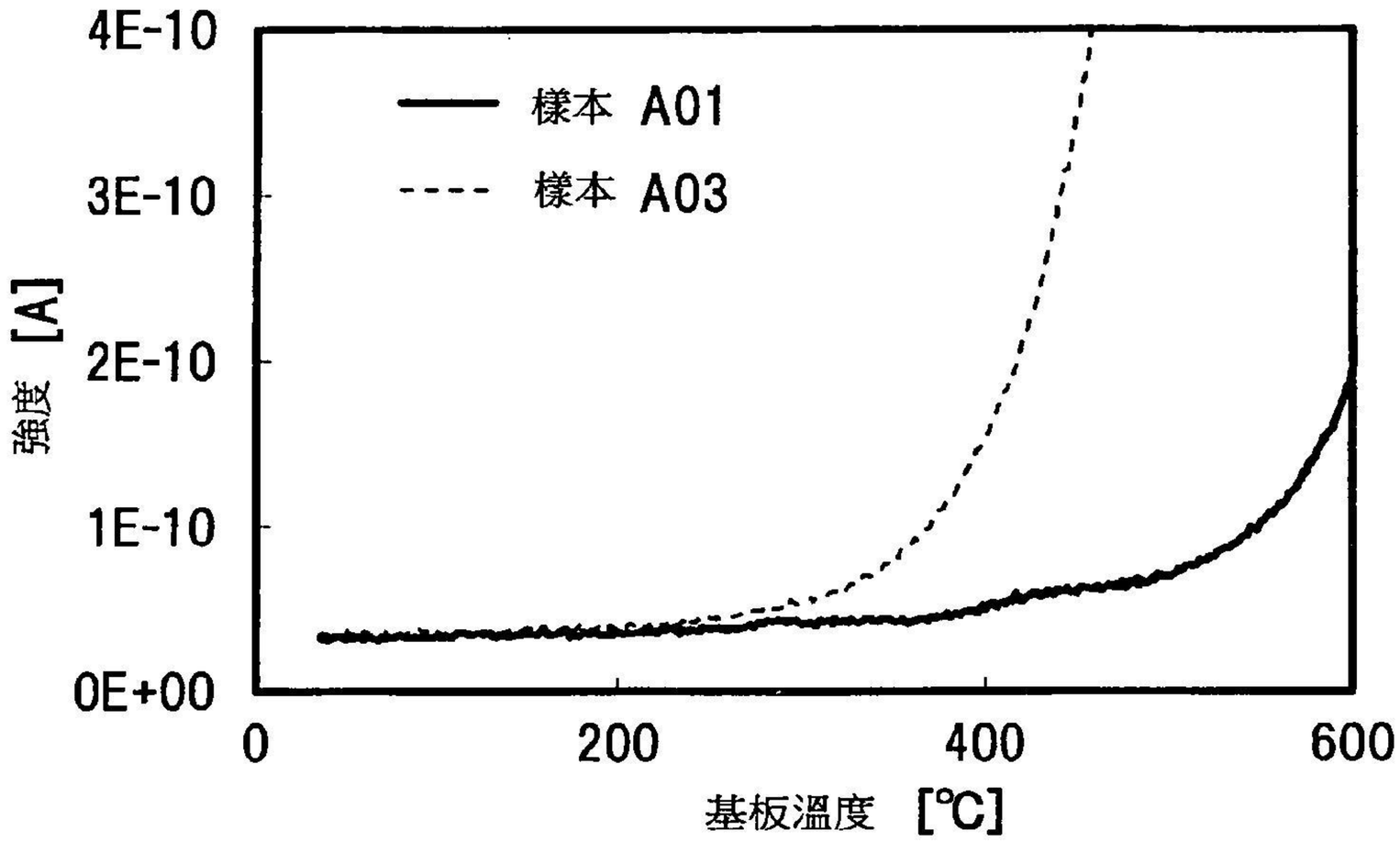

4E-10
3E-10
2E-10
1E-10
0E+00
強度 [A]
樣本 A01
樣本 A03
0
200
400
600
基板溫度 [℃]

圖 64B

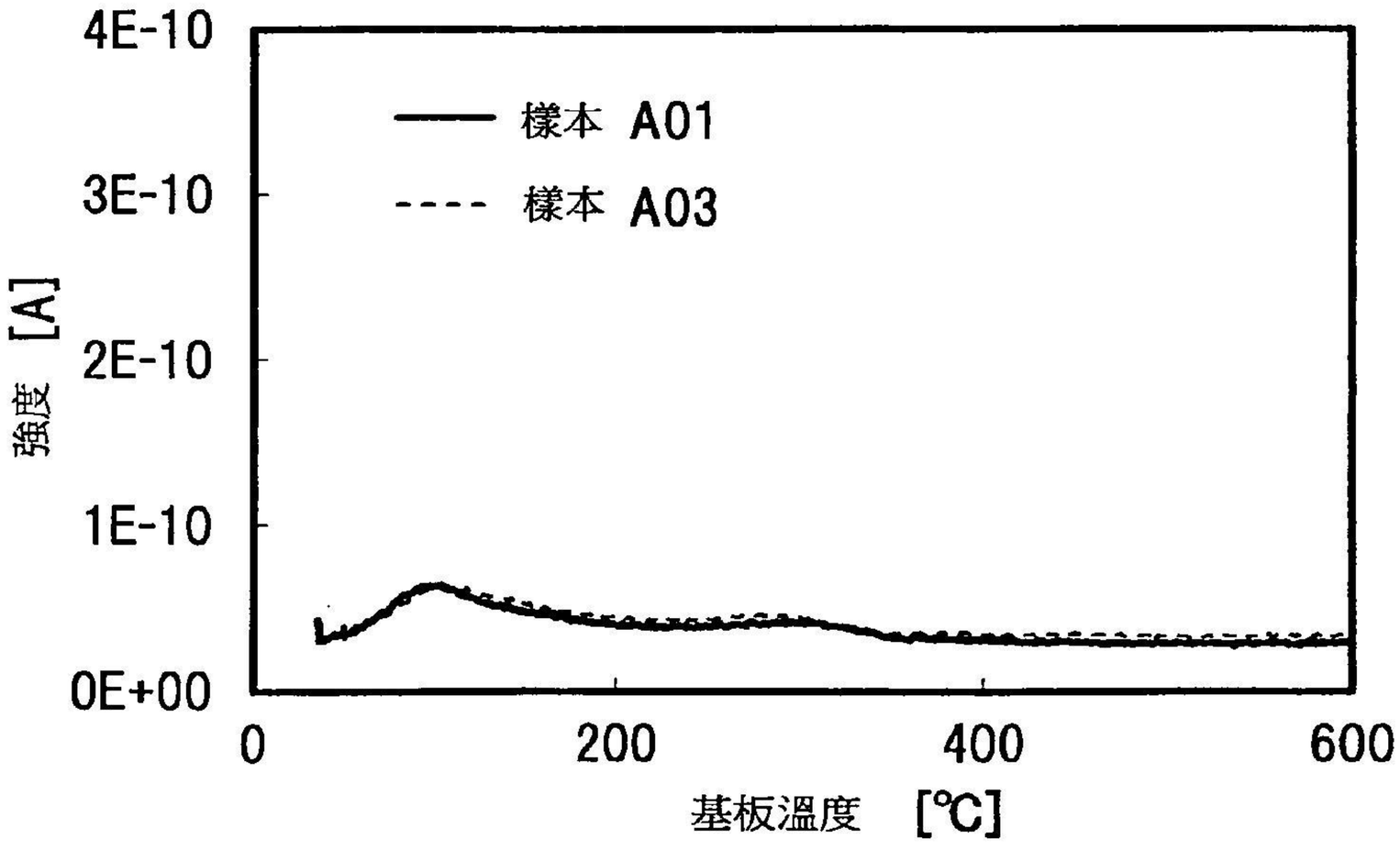

4E-10
3E-10
2E-10
1E-10
0E+00
強度 [A]
樣本 A01
樣本 A03
0
200
400
600
基板溫度 [℃]

圖 65A

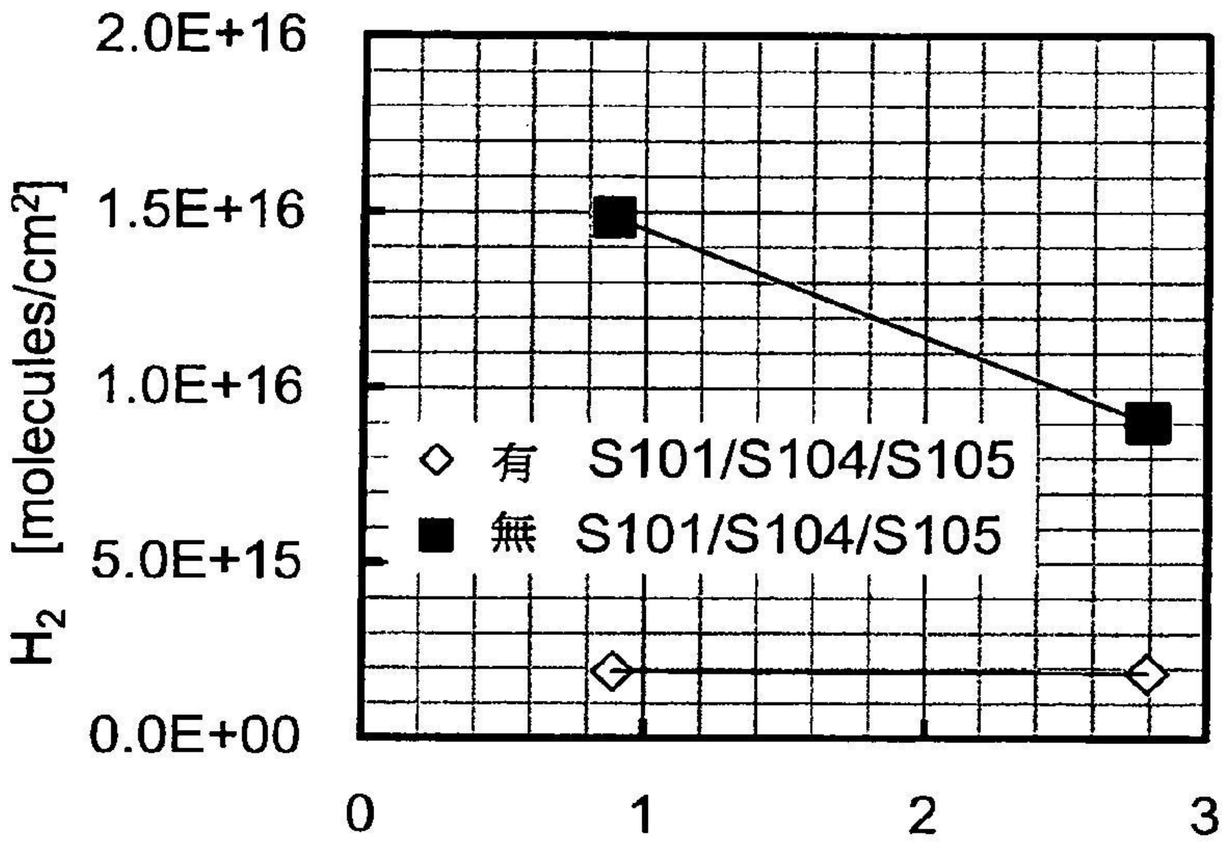

2.0E+16
1.5E+16
1.0E+16
5.0E+15
0.0E+00
H_2 [molecules/cm^2]
◇ 有 S101/S104/S105
■ 無 S101/S104/S105
0
1
2
3
累積電子劑量 [μm]

圖 65B

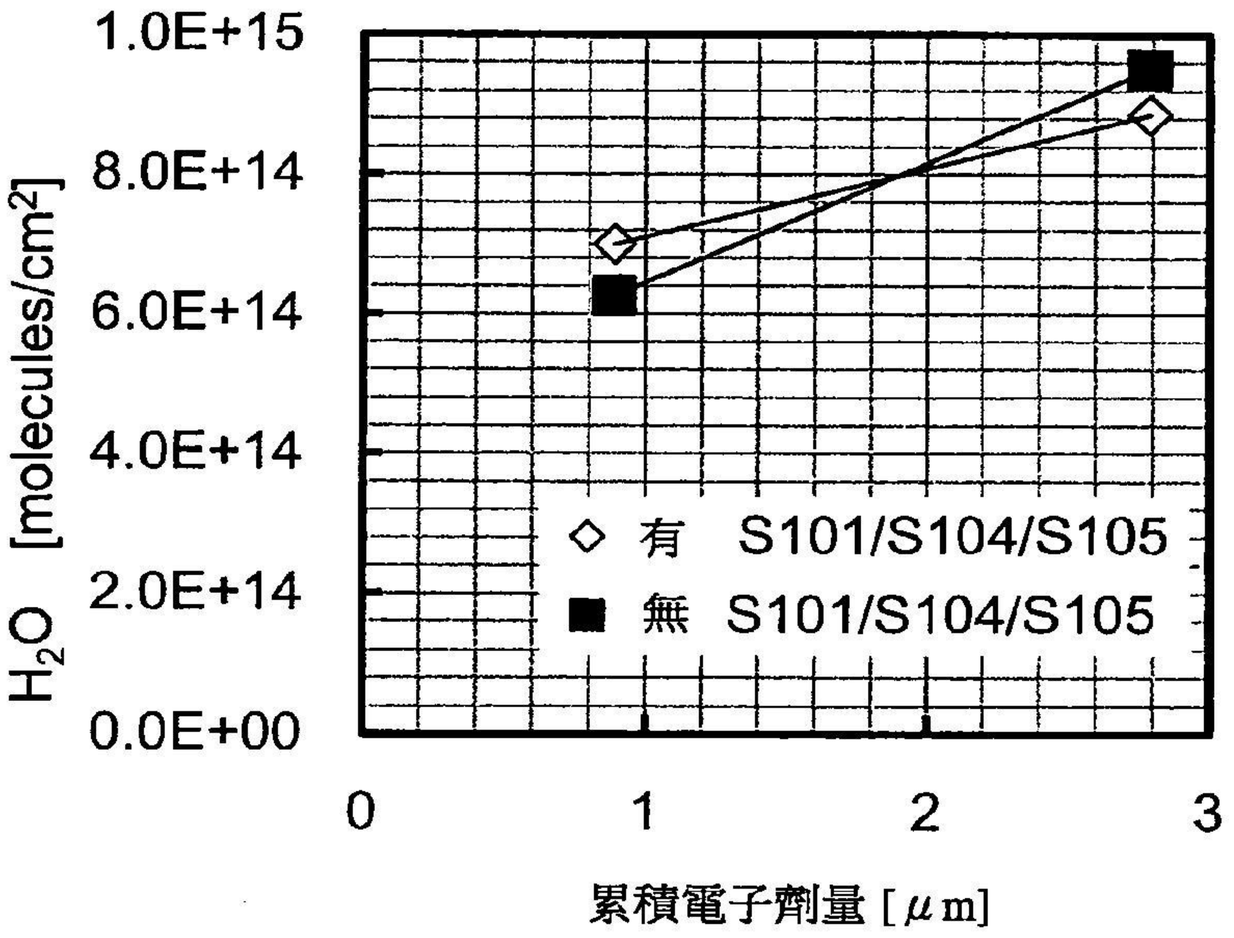

1.0E+15
8.0E+14
6.0E+14
4.0E+14
2.0E+14
0.0E+00
H_2O [molecules/cm^2]
◇ 有 S101/S104/S105
■ 無 S101/S104/S105
0
1
2
3
累積電子劑量 [μm]

圖 66A

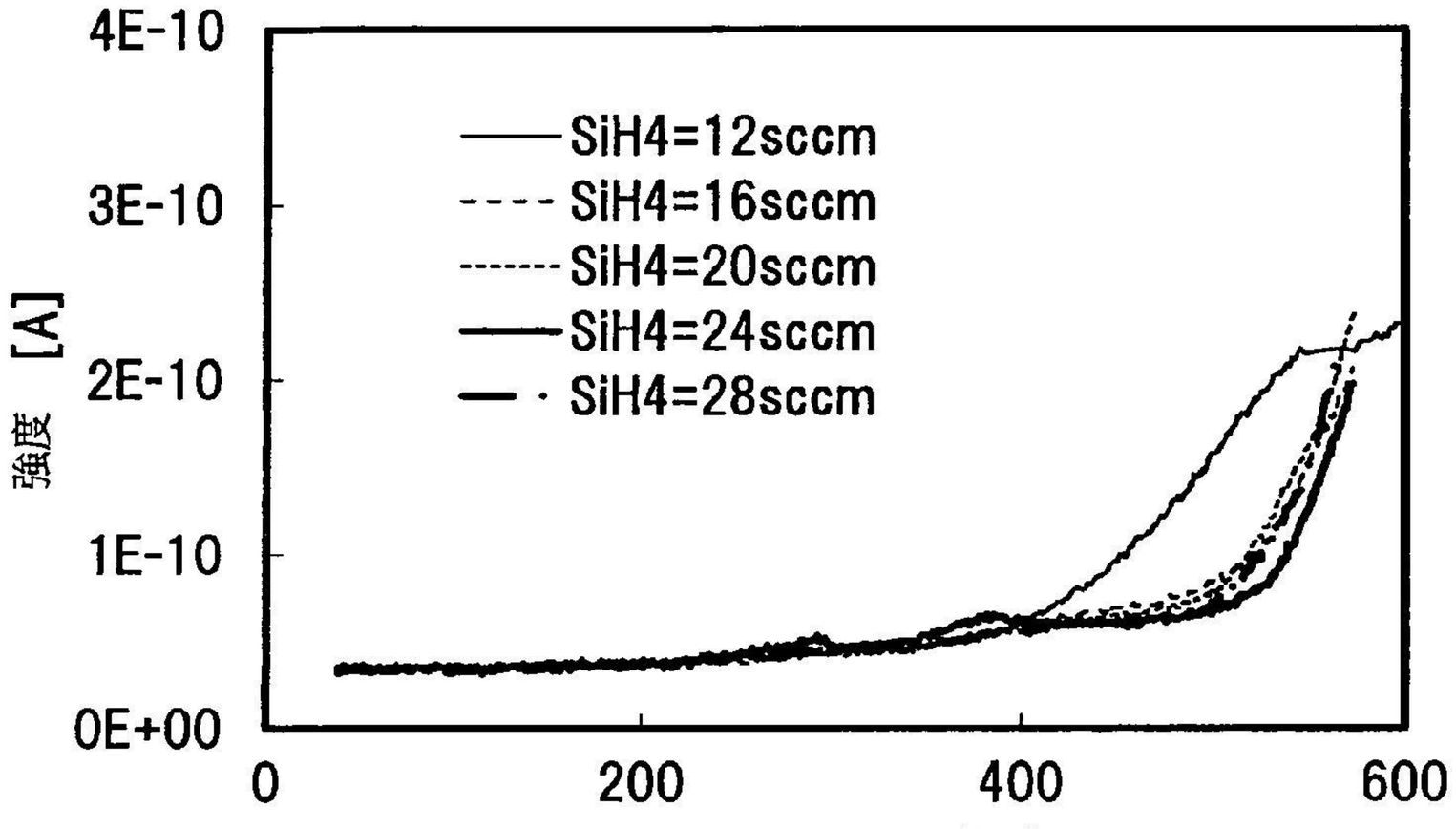

4E-10
3E-10
2E-10
1E-10
0E+00
強度 [A]
SiH4=12sccm
SiH4=16sccm
SiH4=20sccm
SiH4=24sccm
SiH4=28sccm
0
200
400
600
基板溫度 [℃]

圖 66B

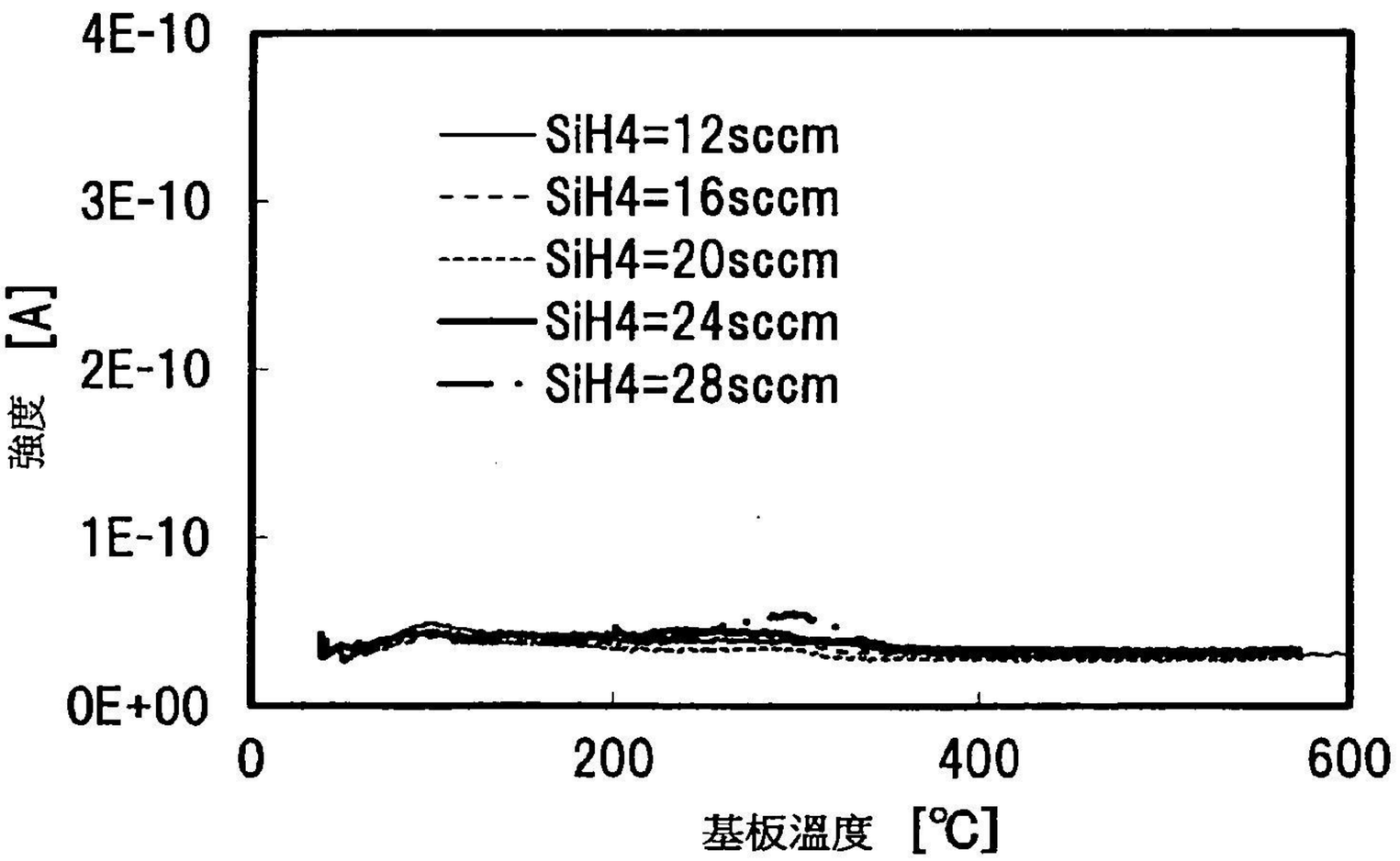

4E-10
3E-10
2E-10
1E-10
0E+00
強度 [A]
SiH4=12sccm
SiH4=16sccm
SiH4=20sccm
SiH4=24sccm
SiH4=28sccm
0
200
400
600
基板溫度 [℃]

圖 67A

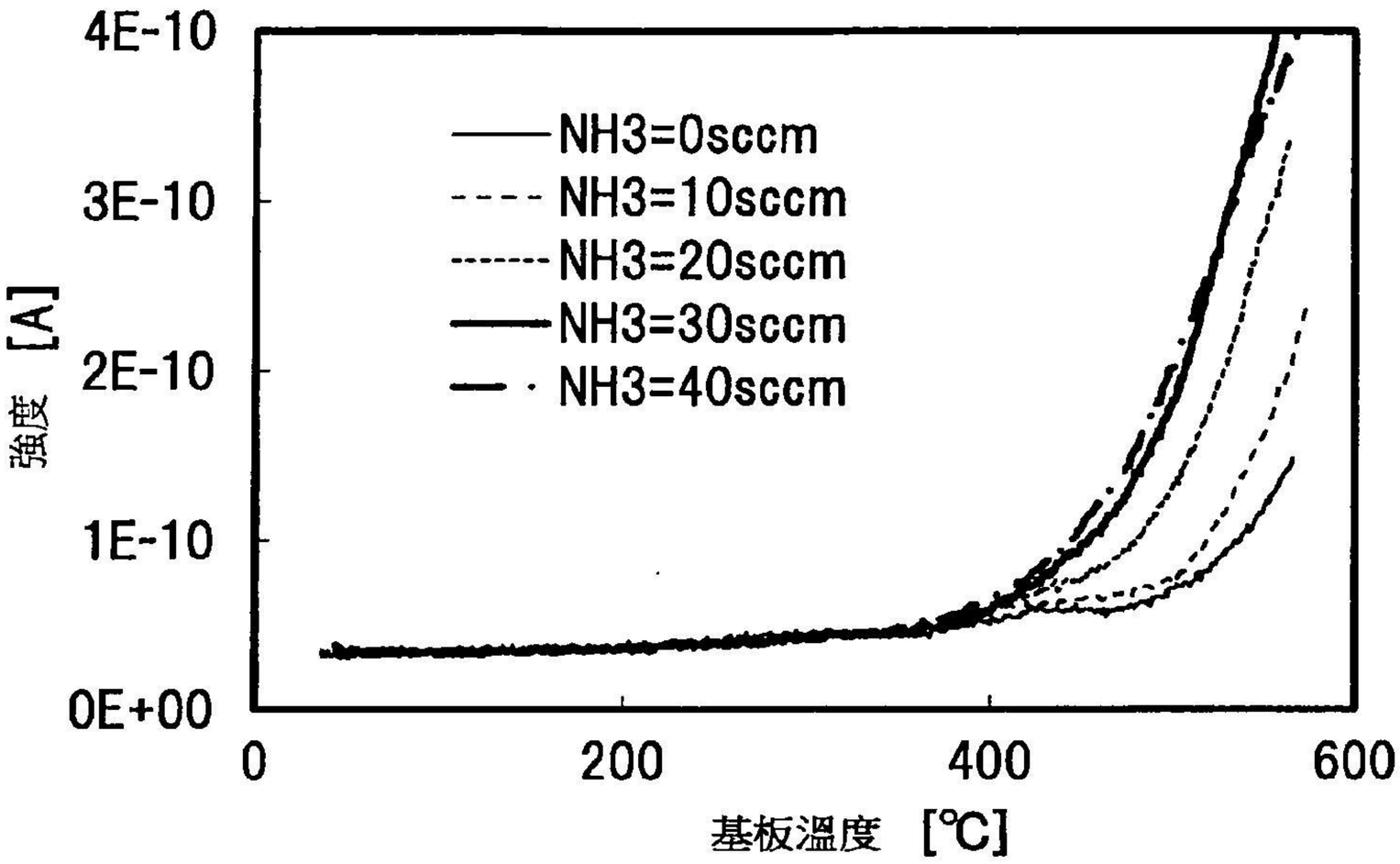

4E-10
3E-10
2E-10
1E-10
0E+00
強度 [A]
NH3=0sccm
NH3=10sccm
NH3=20sccm
NH3=30sccm
NH3=40sccm
0
200
400
600
基板溫度 [℃]

圖 67B

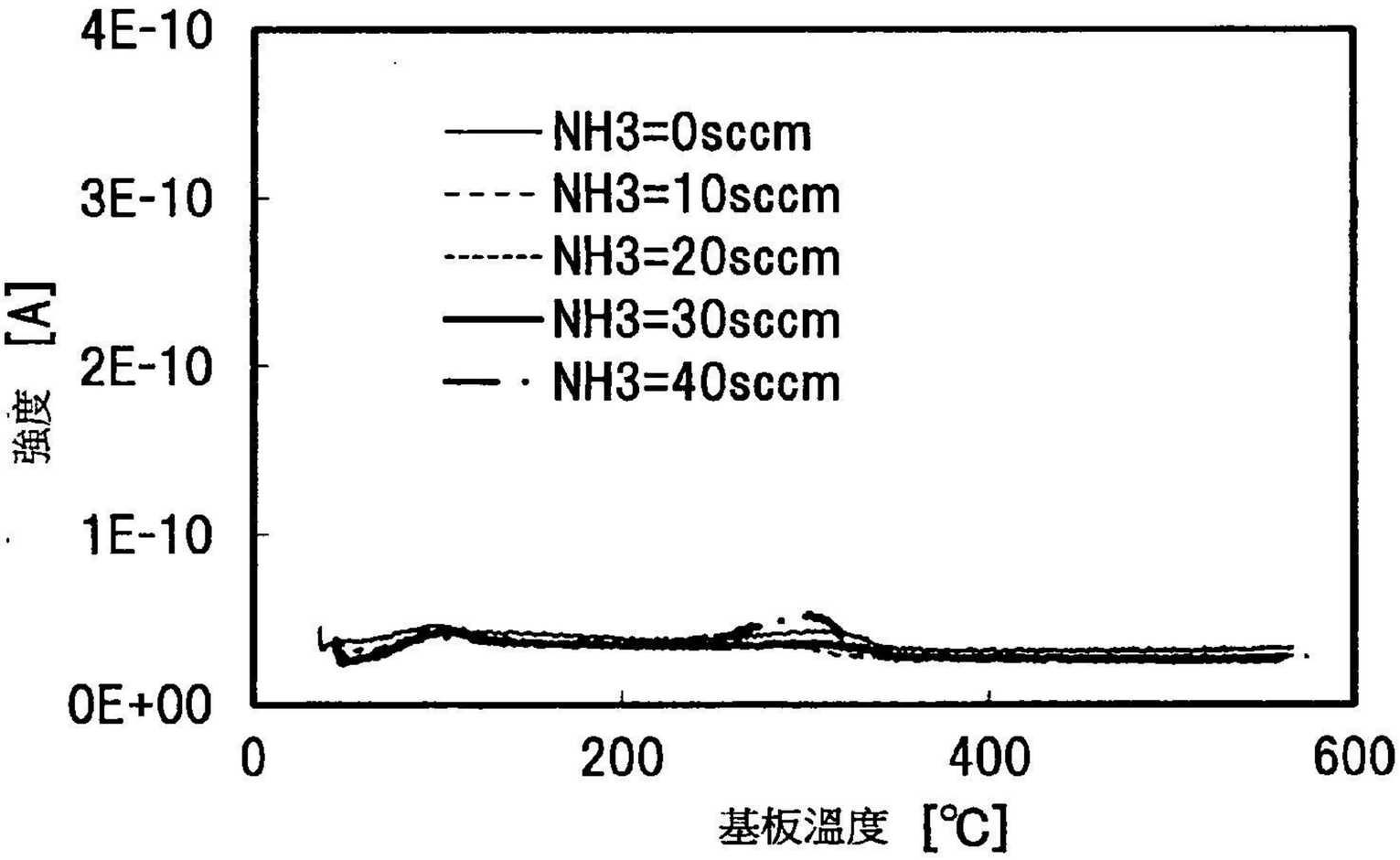

4E-10
3E-10
2E-10
1E-10
0E+00
強度 [A]
NH3=0sccm
NH3=10sccm
NH3=20sccm
NH3=30sccm
NH3=40sccm
0
200
400
600
基板溫度 [℃]

圖 68A

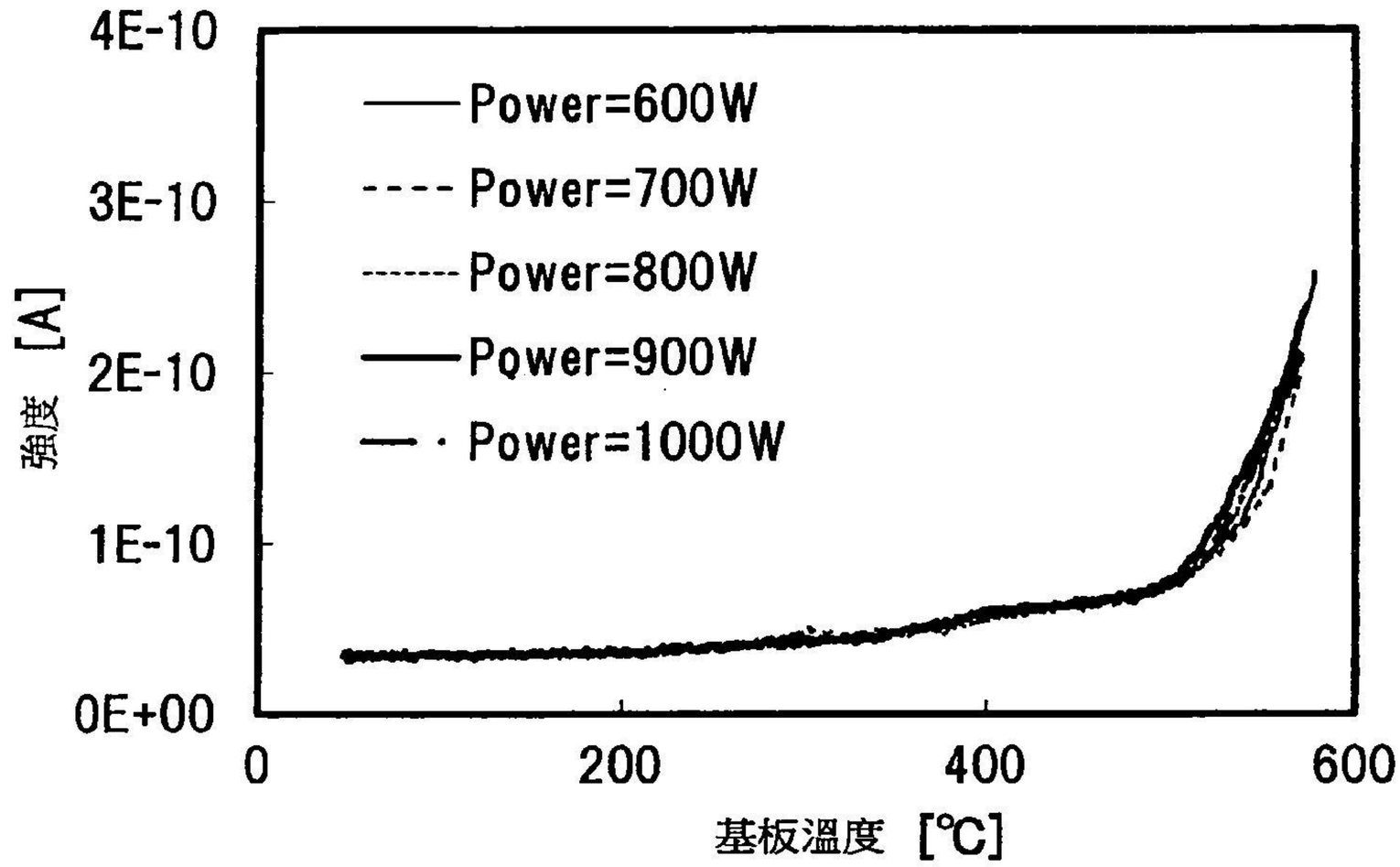

4E-10
3E-10
2E-10
1E-10
0E+00
強度 [A]
Power=600W
Power=700W
Power=800W
Power=900W
Power=1000W
0
200
400
600
基板溫度 [℃]

圖 68B

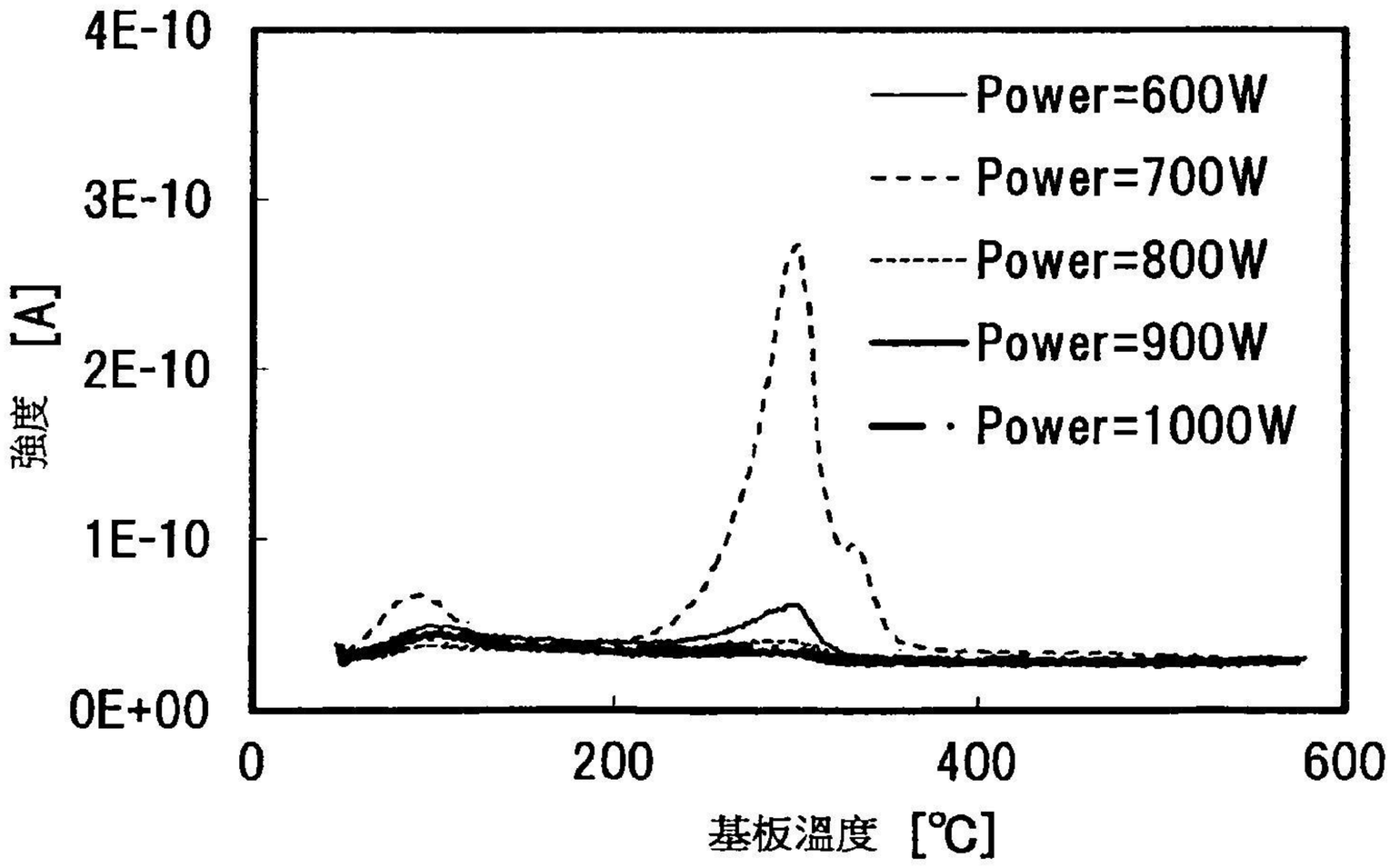

4E-10
3E-10
2E-10
1E-10
0E+00
強度 [A]
Power=600W
Power=700W
Power=800W
Power=900W
Power=1000W
0
200
400
600
基板溫度 [℃]

圖 69A

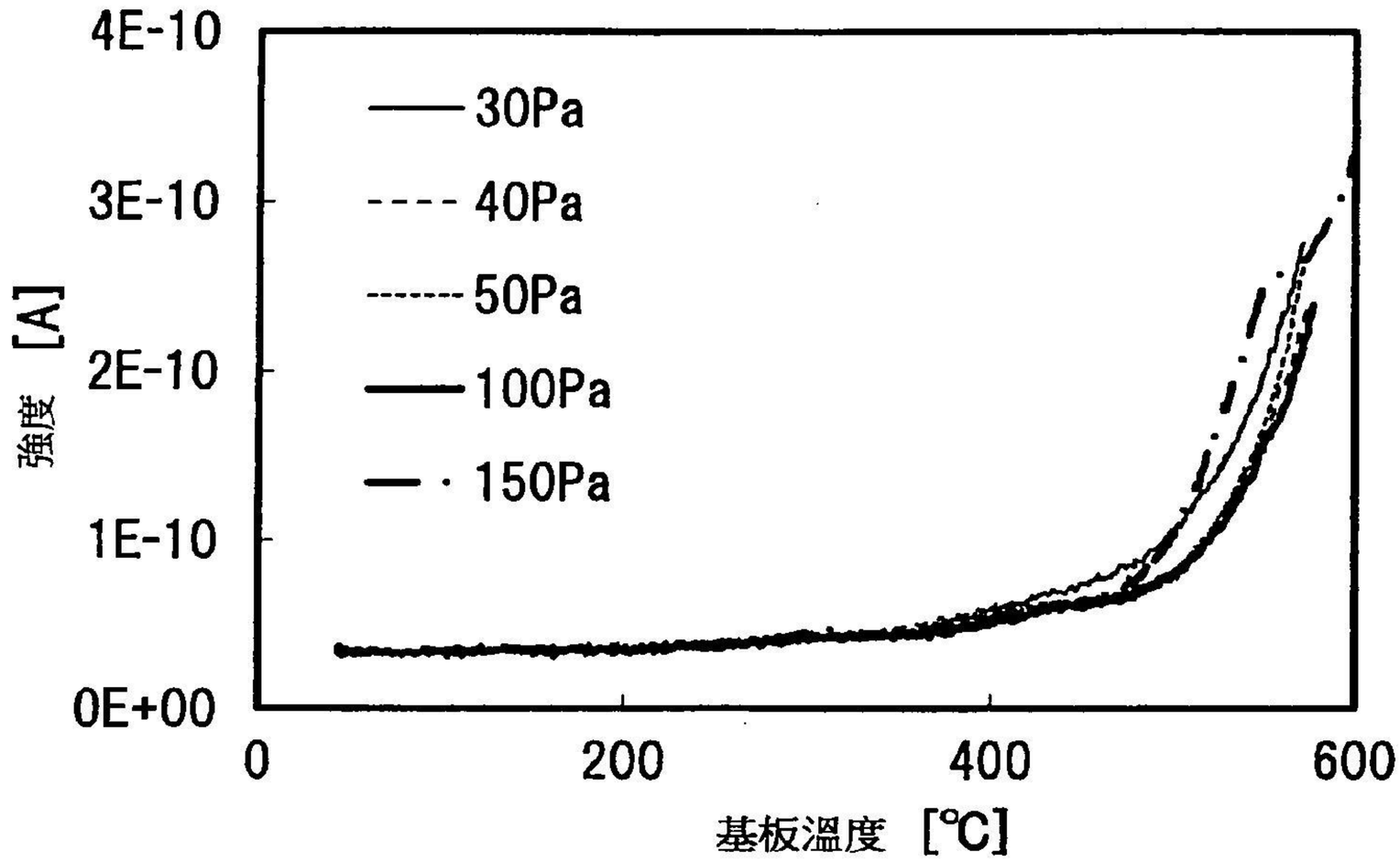

4E-10
3E-10
2E-10
1E-10
0E+00
強度 [A]
30Pa
40Pa
50Pa
100Pa
150Pa
0
200
400
600
基板溫度 [℃]

圖 69B

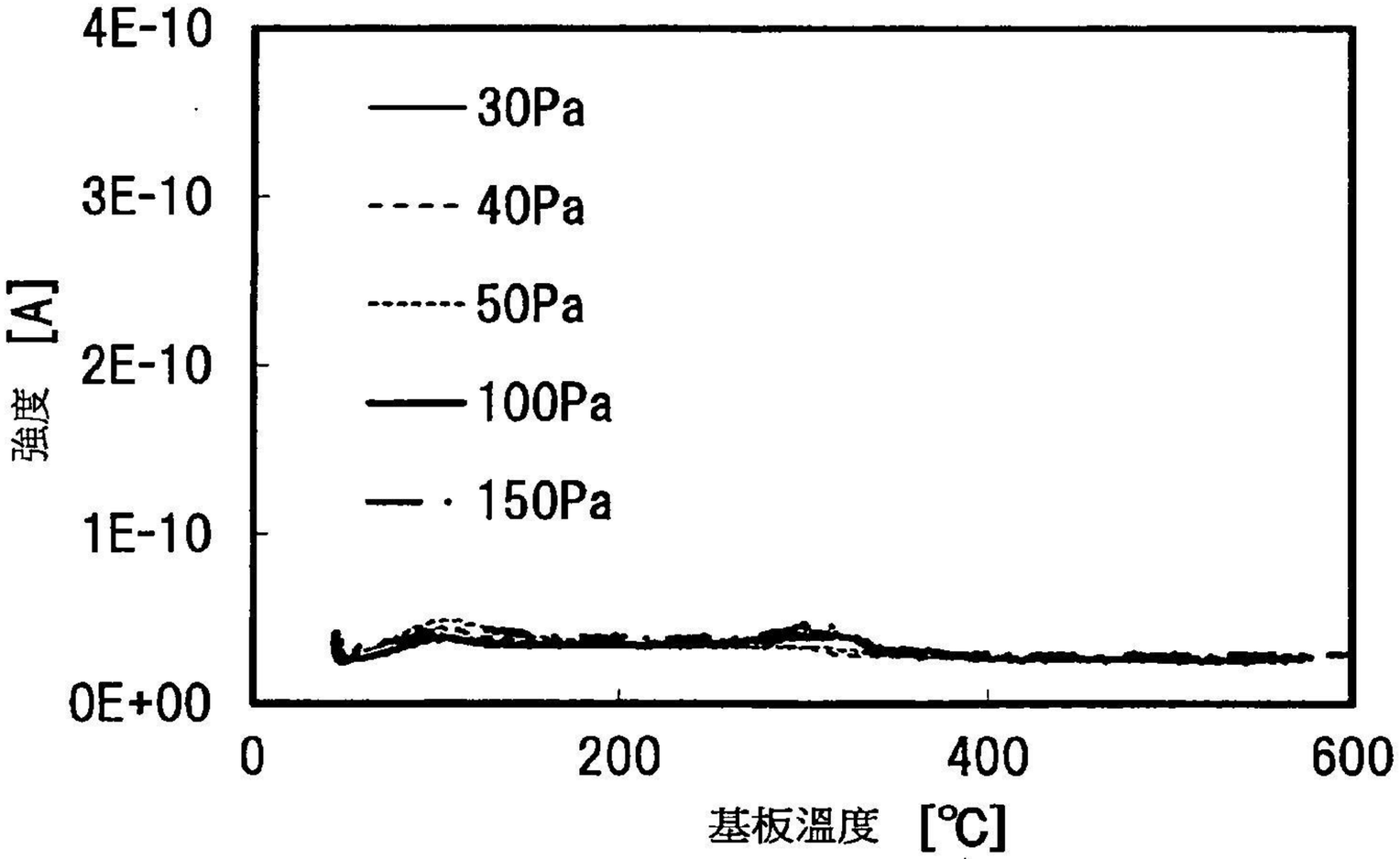

4E-10
3E-10
2E-10
1E-10
0E+00
強度 [A]
30Pa
40Pa
50Pa
100Pa
150Pa
0
200
400
600
基板溫度 [℃]

圖 70A

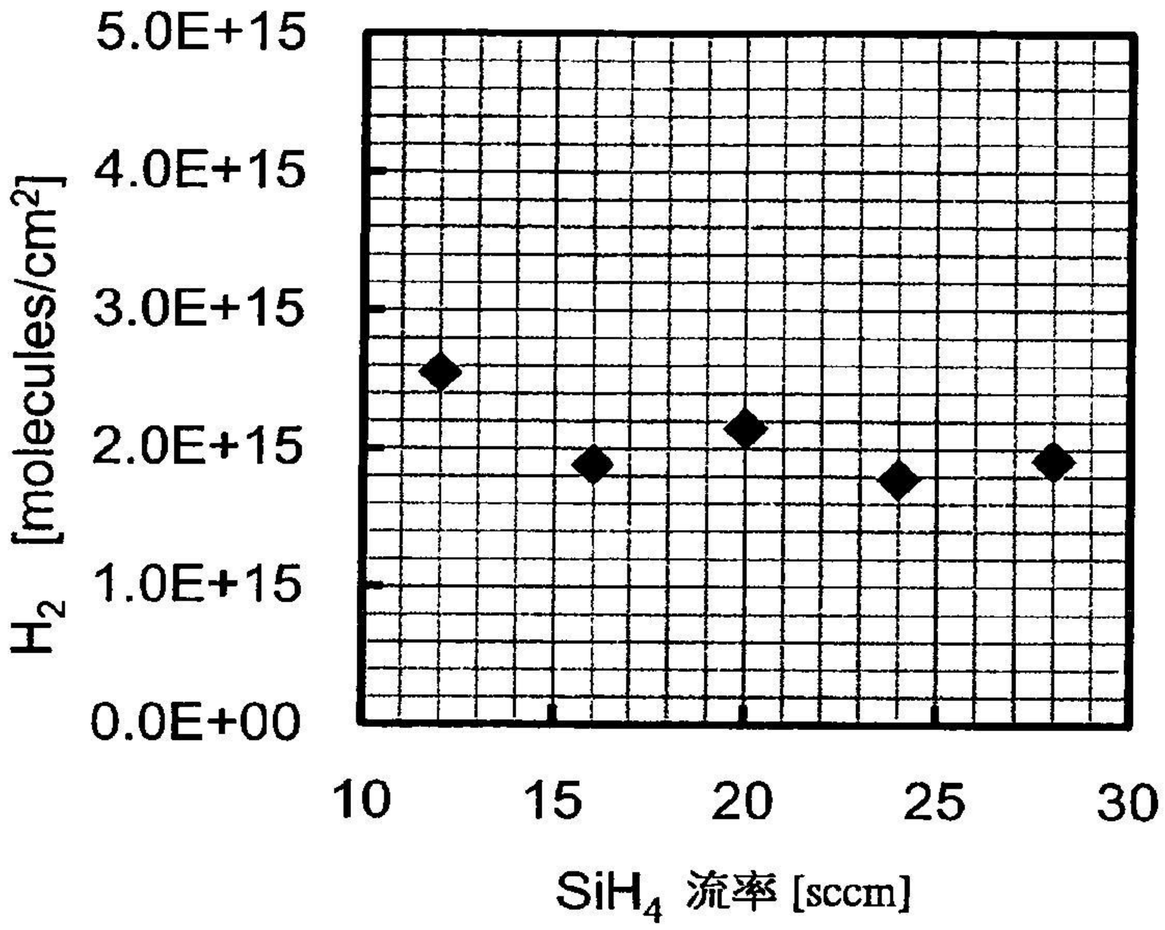

5.0E+15
4.0E+15
3.0E+15
2.0E+15
1.0E+15
0.0E+00
H_2 [molecules/cm^2]
10
15
20
25
30
SiH_4 流率 [sccm]

圖 70B

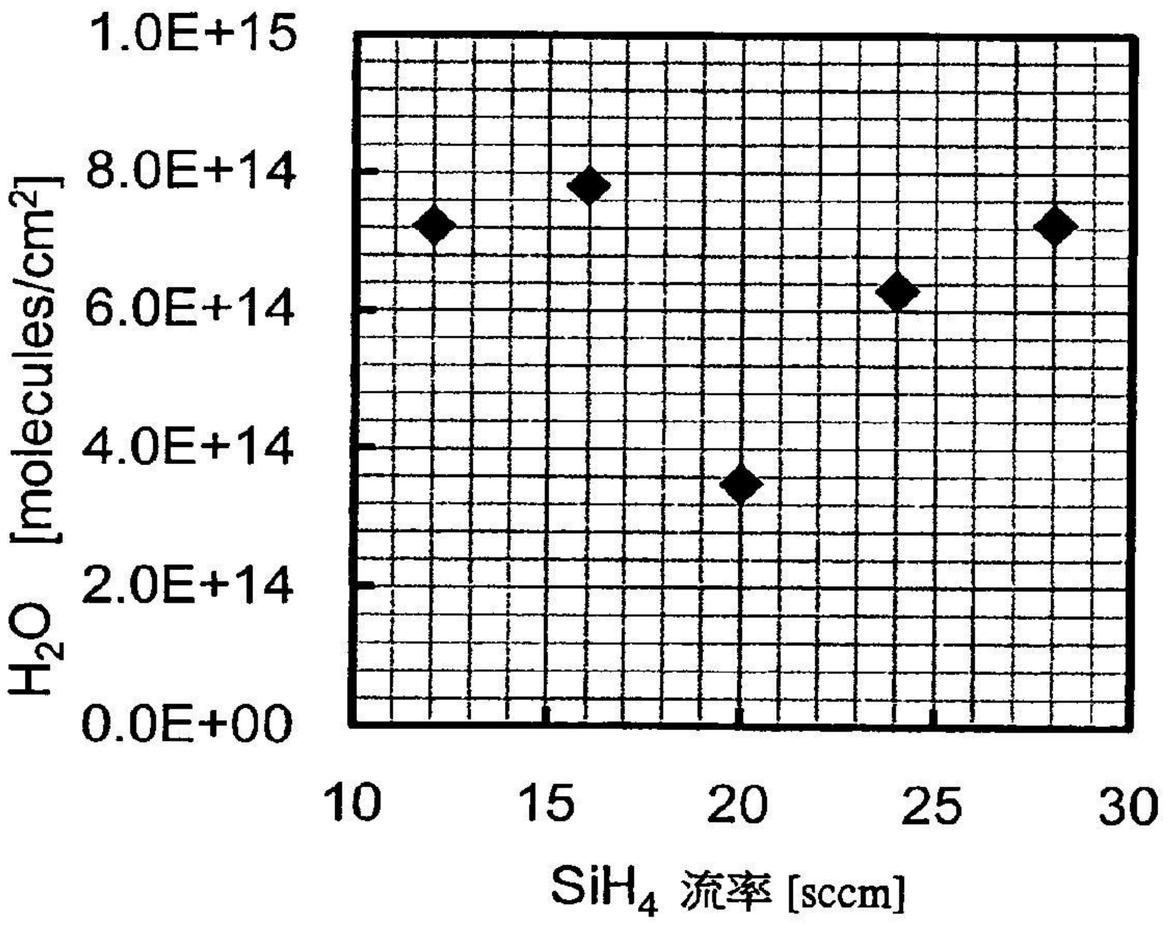

1.0E+15
8.0E+14
6.0E+14
4.0E+14
2.0E+14
0.0E+00
H_2O [molecules/cm^2]
10
15
20
25
30
SiH_4 流率 [sccm]

圖 71A

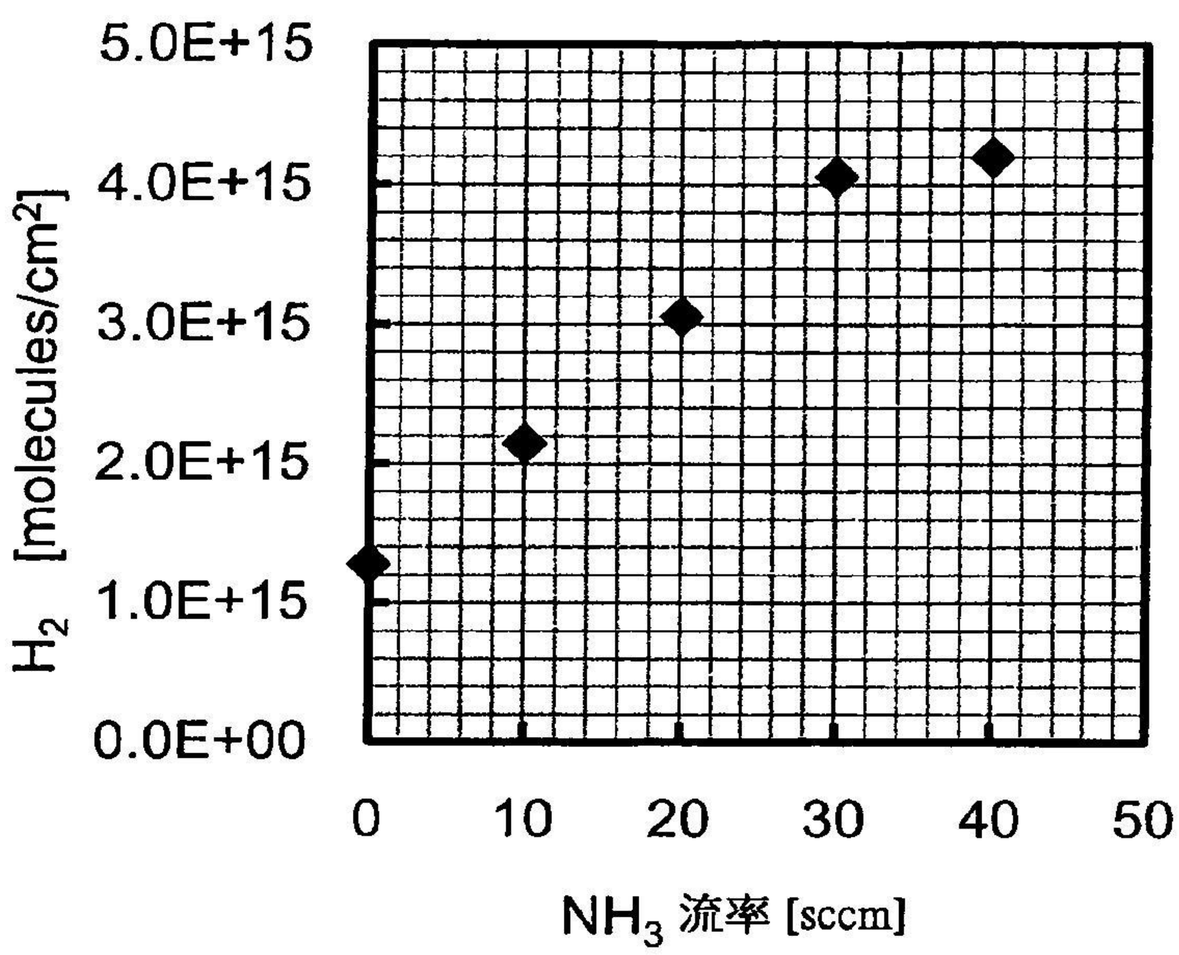

5.0E+15
4.0E+15
3.0E+15
2.0E+15
1.0E+15
0.0E+00
H_2 [molecules/cm^2]
0
10
20
30
40
50
NH_3 流率 [sccm]

圖 71B

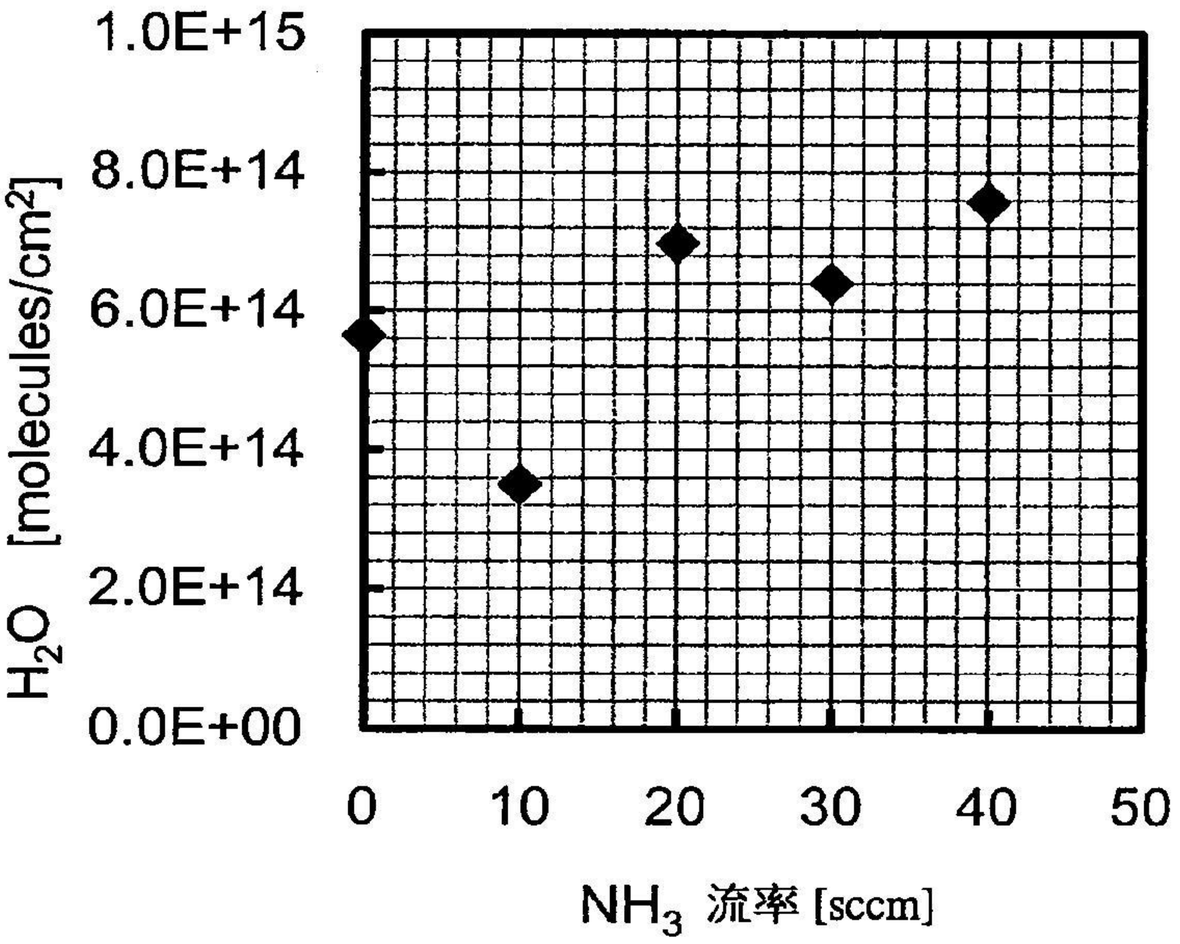

1.0E+15
8.0E+14
6.0E+14
4.0E+14
2.0E+14
0.0E+00
H_2O [molecules/cm^2]
0
10
20
30
40
50
NH_3 流率 [sccm]

圖 72A

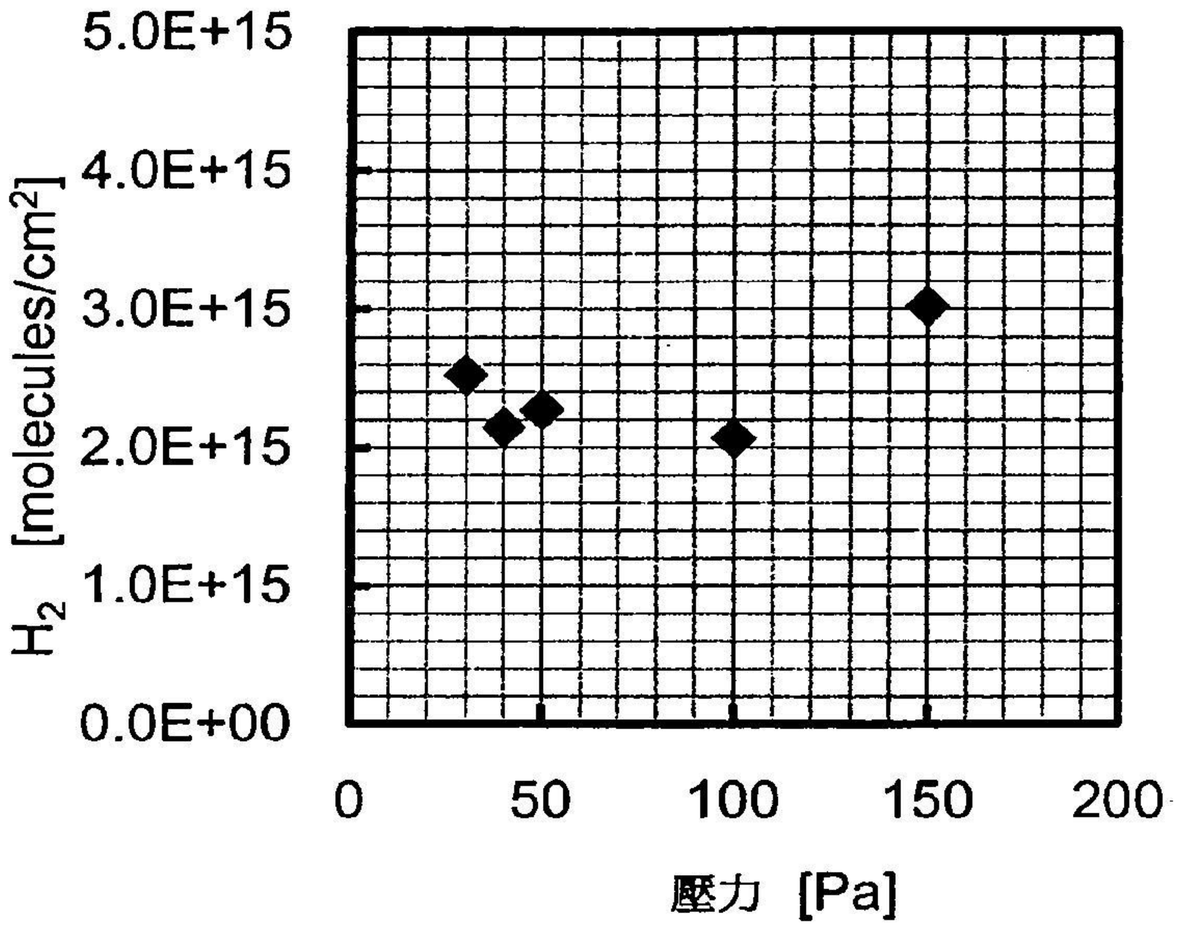

5.0E+15
4.0E+15
3.0E+15
2.0E+15
1.0E+15
0.0E+00
H_2 [molecules/cm^2]
0
50
100
150
200
壓力 [Pa]

圖 72B

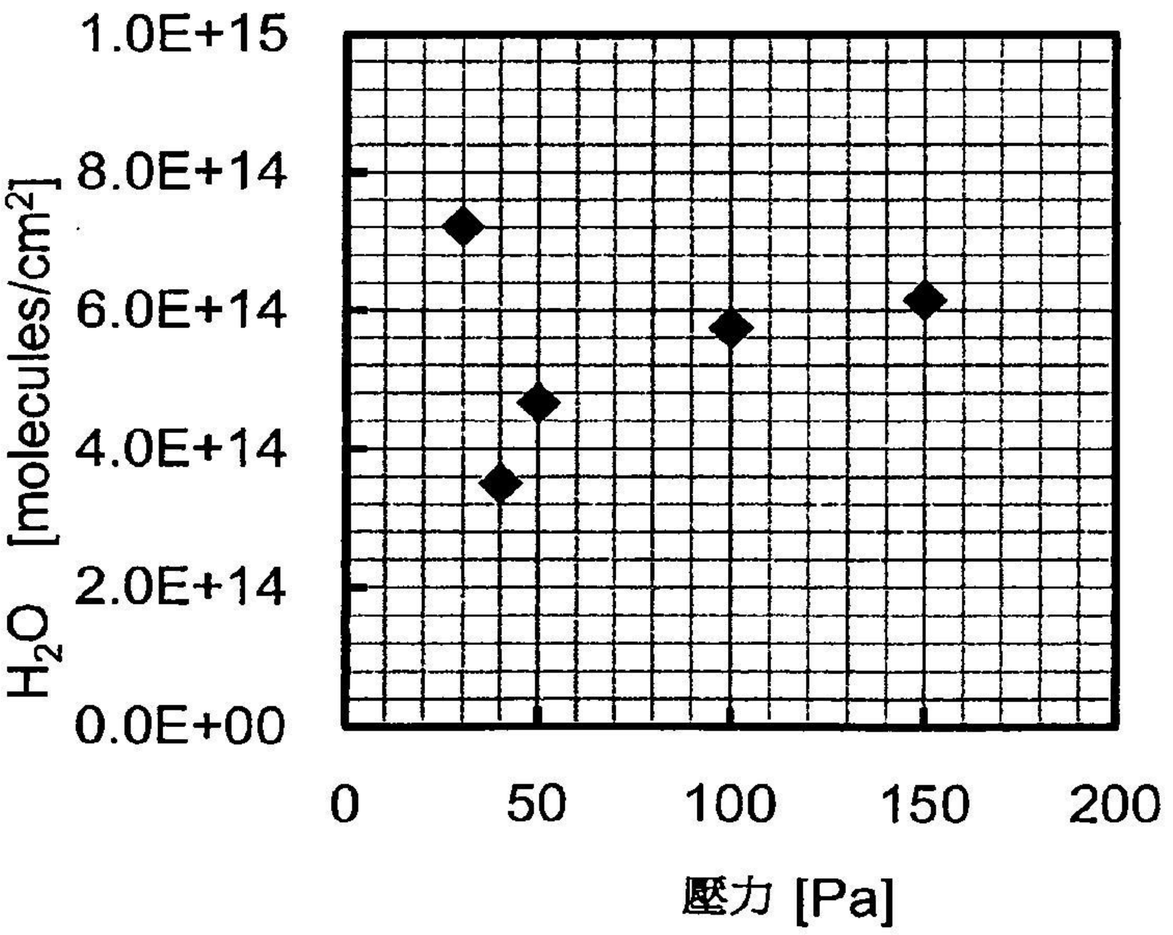

1.0E+15
8.0E+14
6.0E+14
4.0E+14
2.0E+14
0.0E+00
H_2O [molecules/cm^2]
0
50
100
150
200
壓力 [Pa]

圖 73A

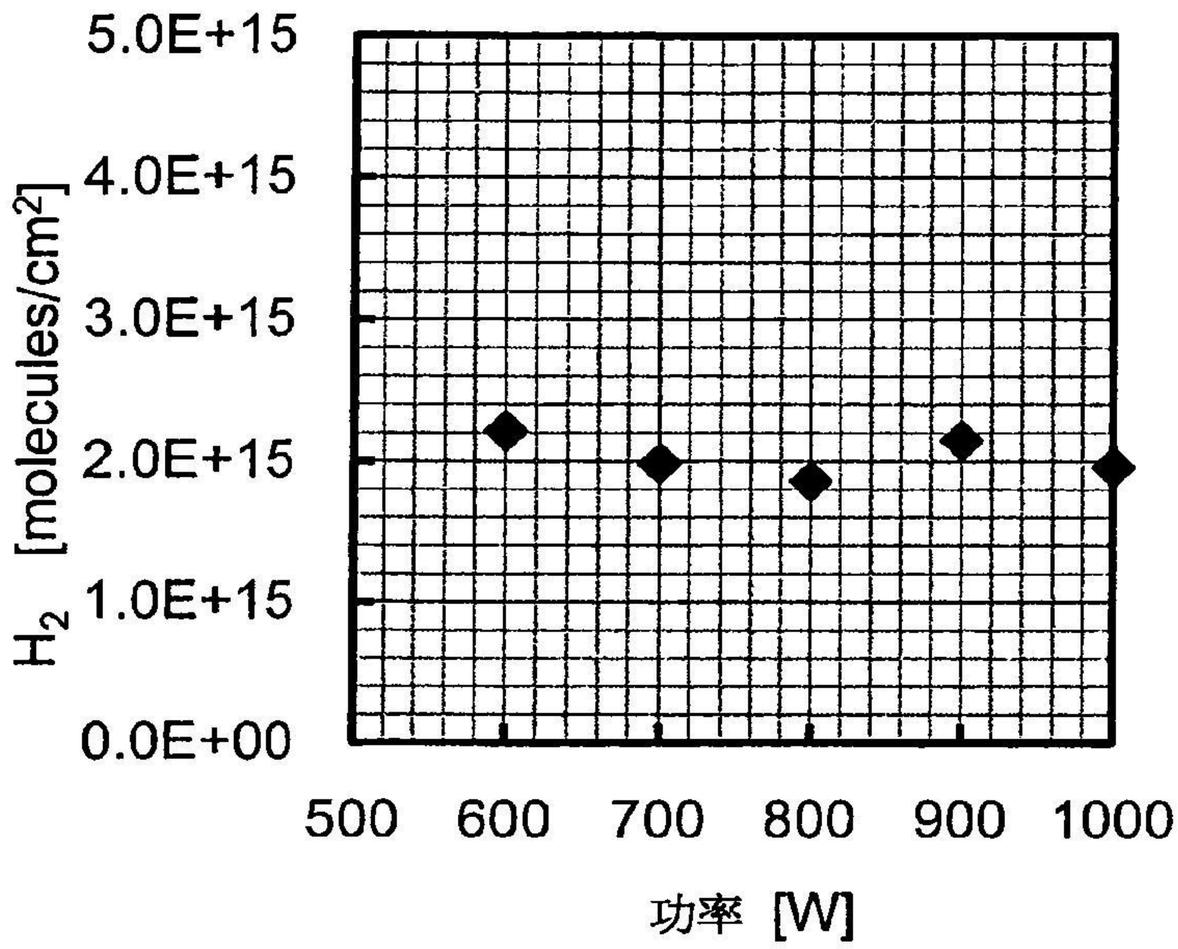

5.0E+15
4.0E+15
3.0E+15
2.0E+15
1.0E+15
0.0E+00
H_2 [molecules/cm^2]
500
600
700
800
900
1000
功率 [W]

圖 73B

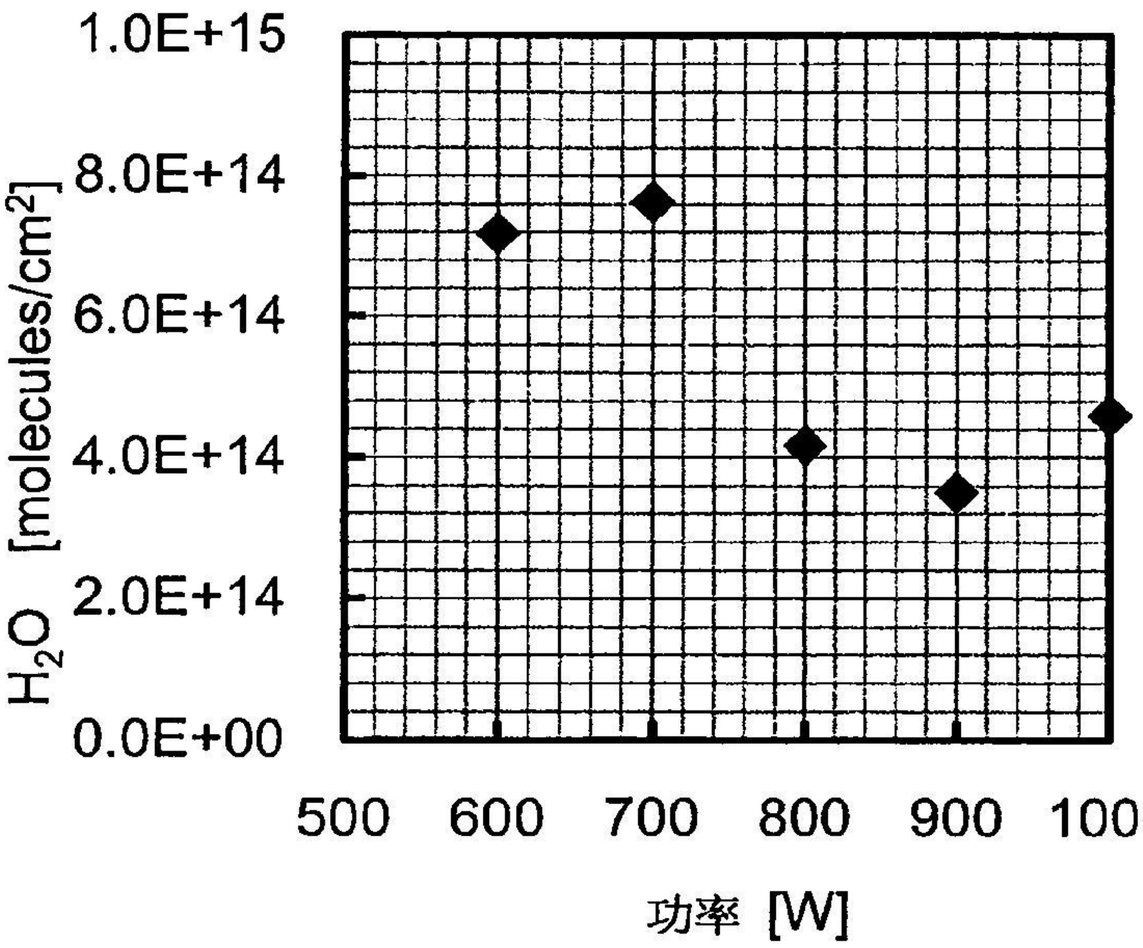

1.0E+15
8.0E+14
6.0E+14
4.0E+14
2.0E+14
0.0E+00
H_2O [molecules/cm^2]
500
600
700
800
900
1000
功率 [W]

圖 74A

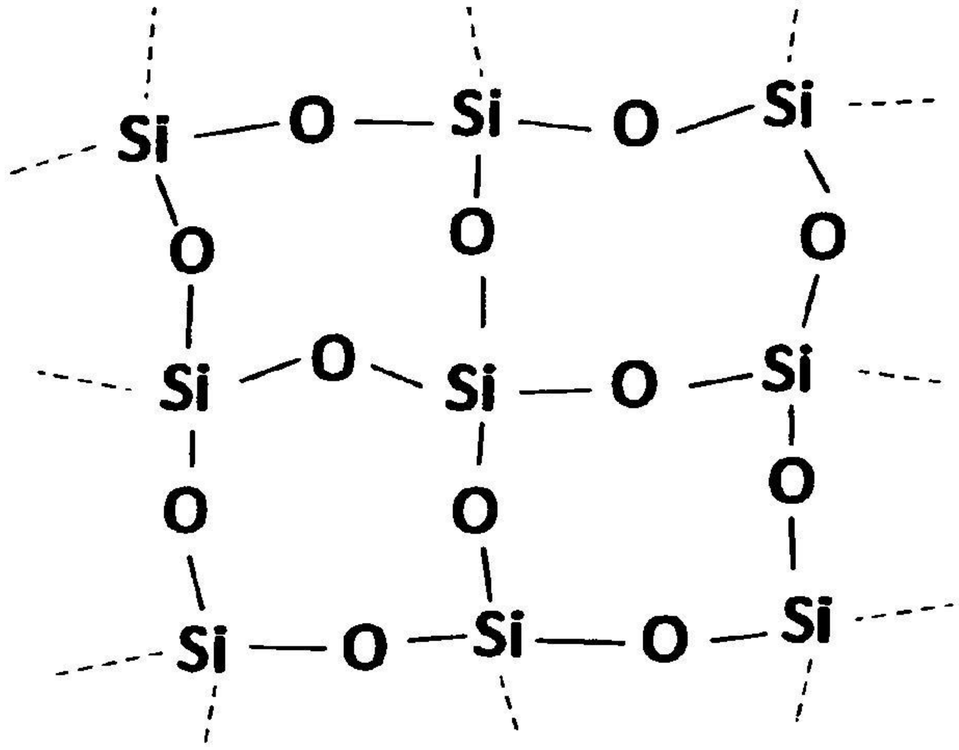


圖 74B

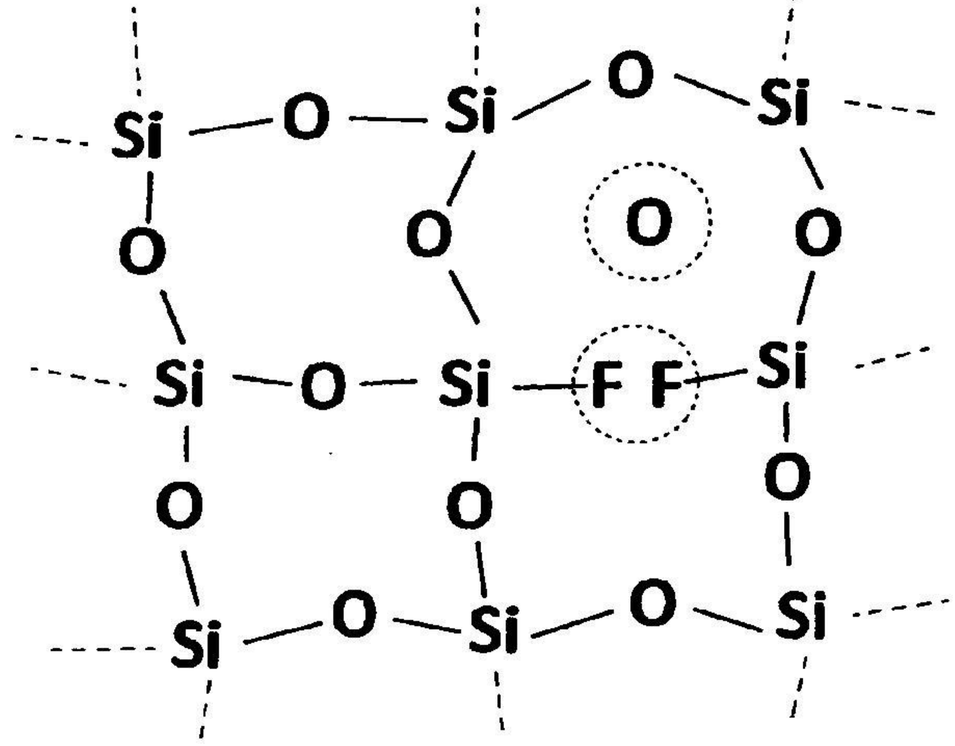


圖 75A

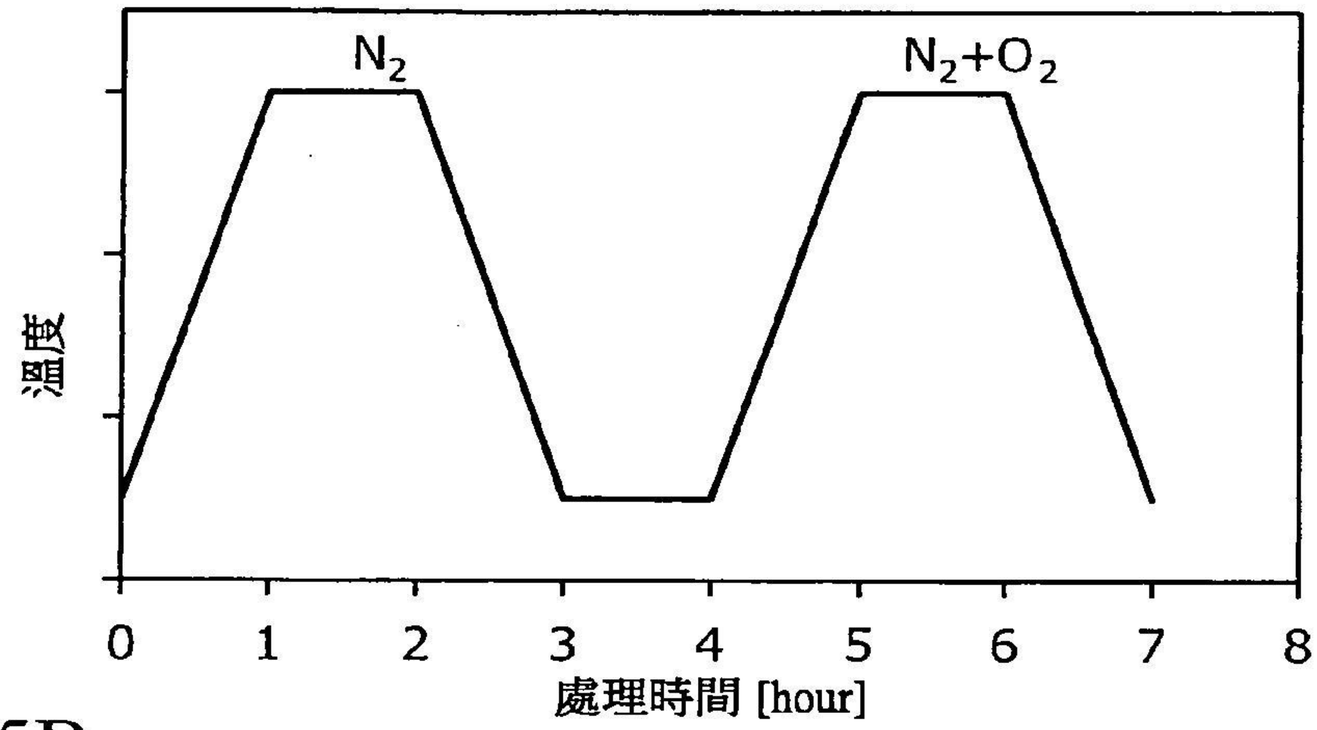


圖 75B

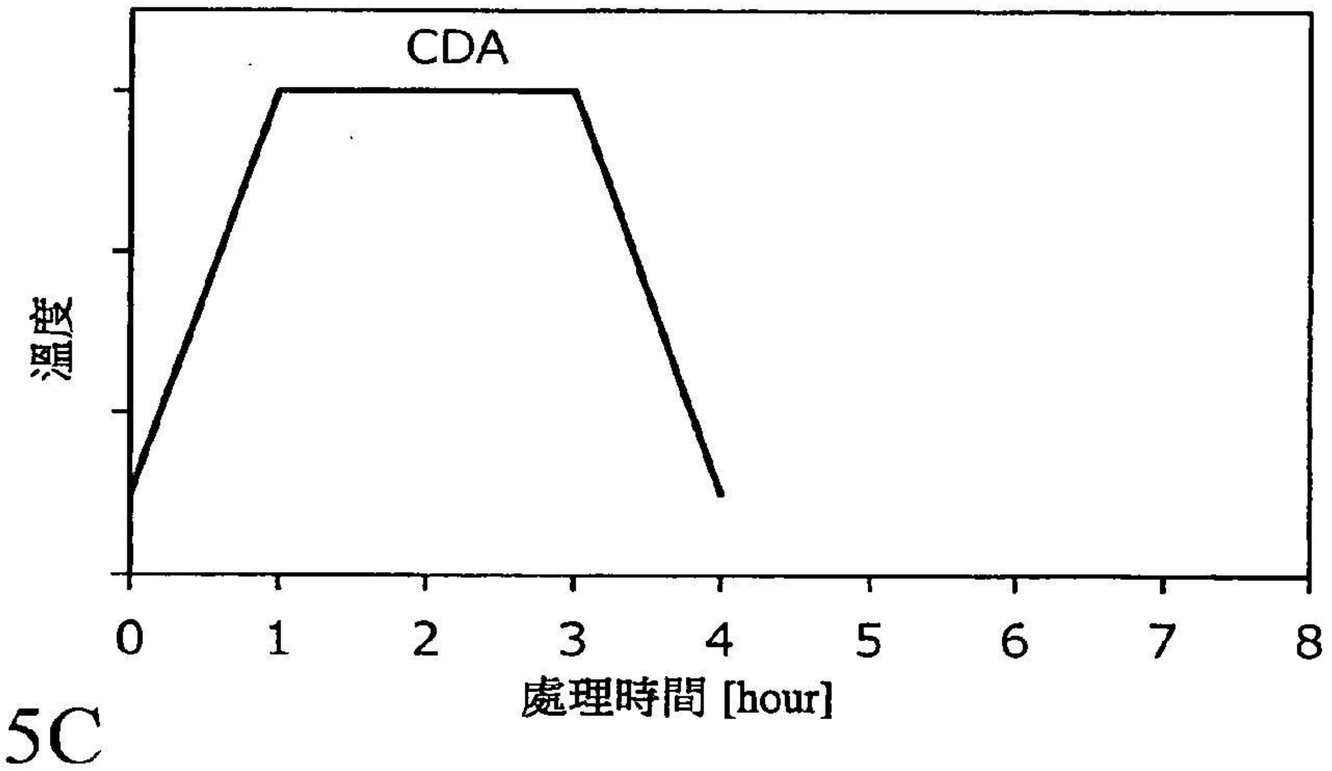


圖 75C

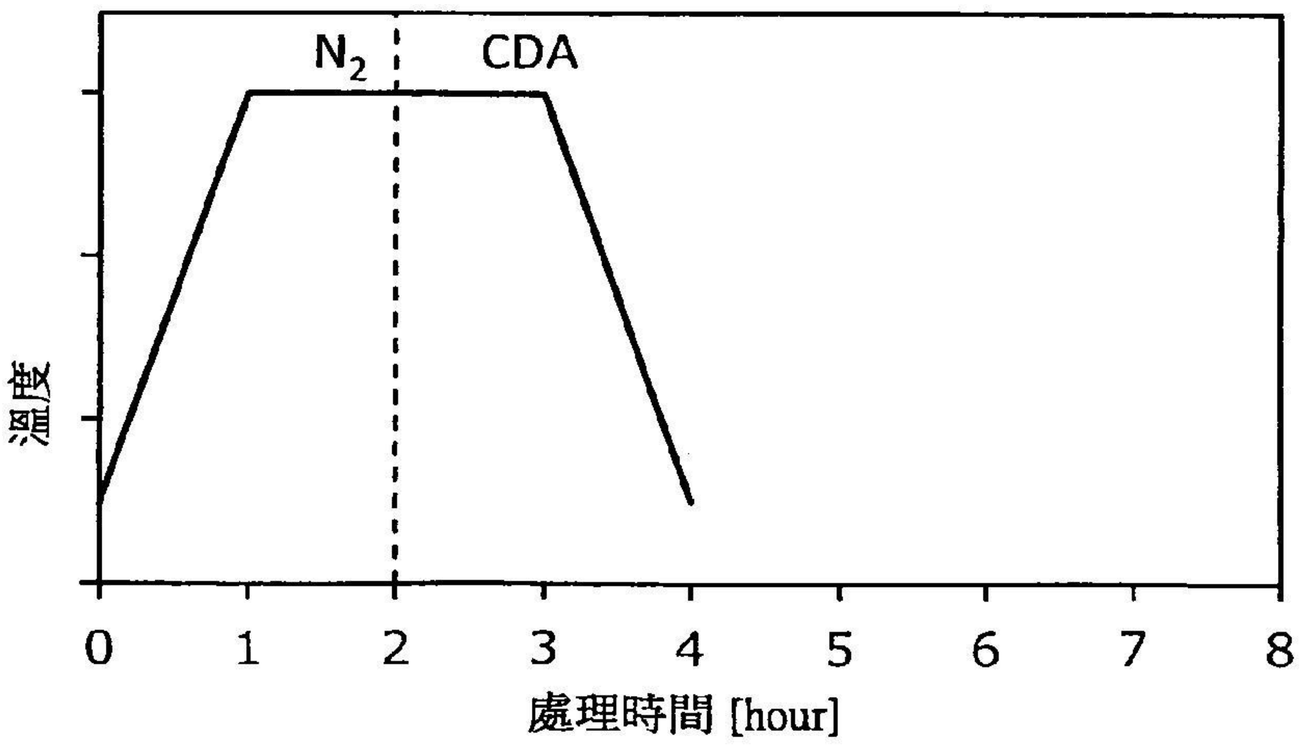
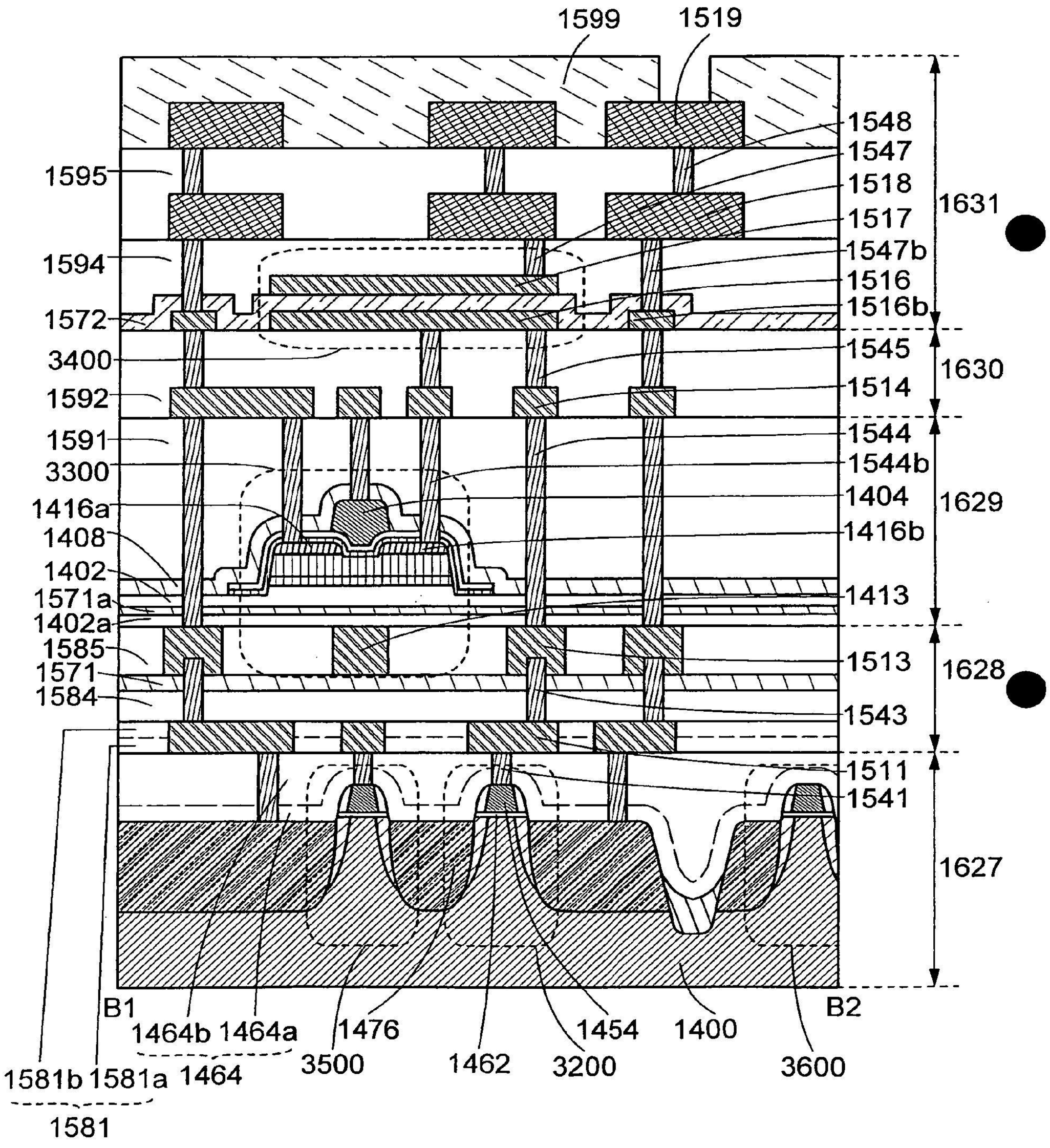


圖 76


1599
1519
1595
1594
1572
3400
1592
1591
3300
1416a
1408
1402
1571a
1402a
1585
1571
1584
1581b
1581a
1581
1464b
1464a
1464
B1
1476
3500
1462
1454
3200
1400
3600
B2
1548
1547
1518
1517
1547b
1516
1516b
1545
1514
1544
1544b
1404
1416b
1413
1513
1543
1511
1541
1631
1630
1629
1628
1627

S

圖 77

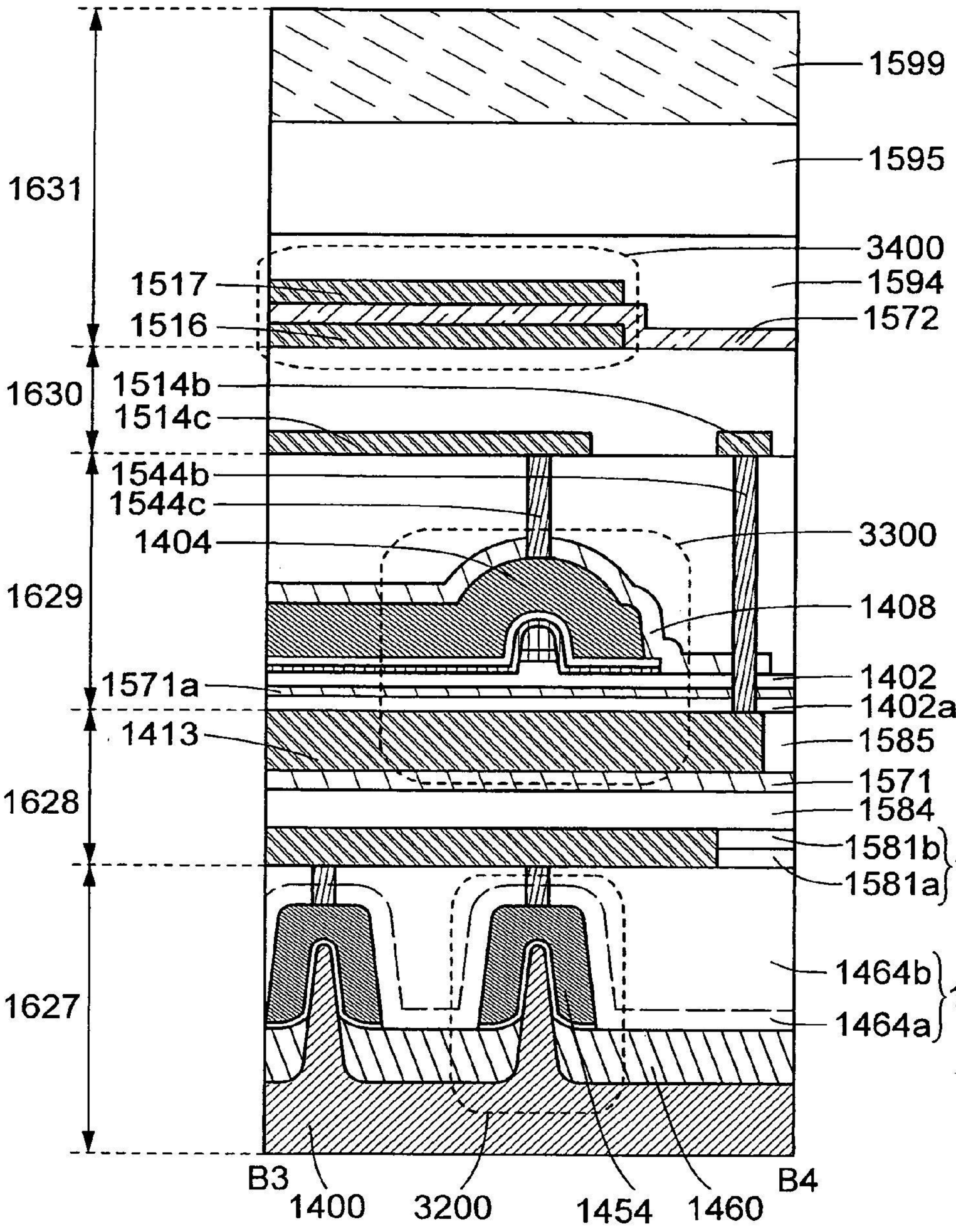

1631
1630
1629
1628
1627
1599
1595
3400
1594
1572
1517
1516
1514b
1514c
1544b
1544c
1404
3300
1408
1402
1571a
1402a
1413
1585
1571
1584
1581b
1581a
1581
1464b
1464a
1464
B3
B4
1400
3200
1454
1460

圖 78A

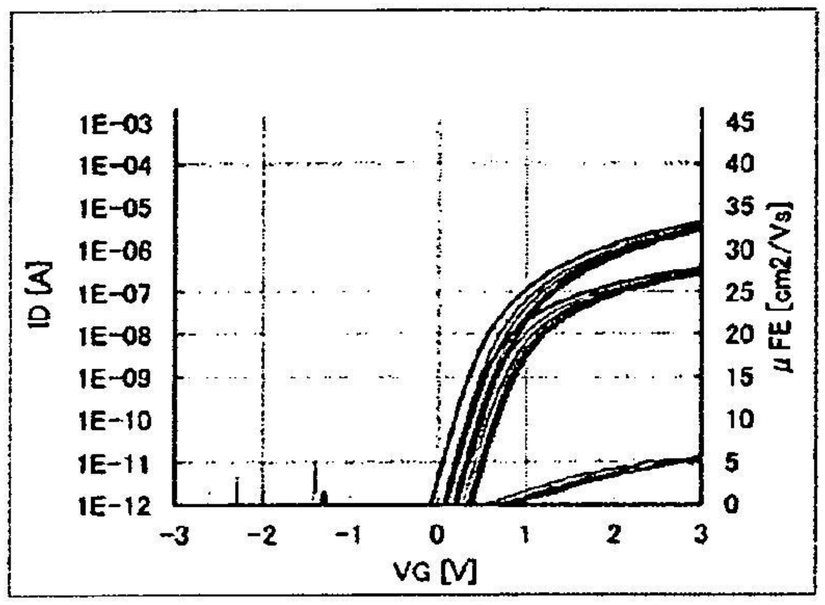


圖 78B

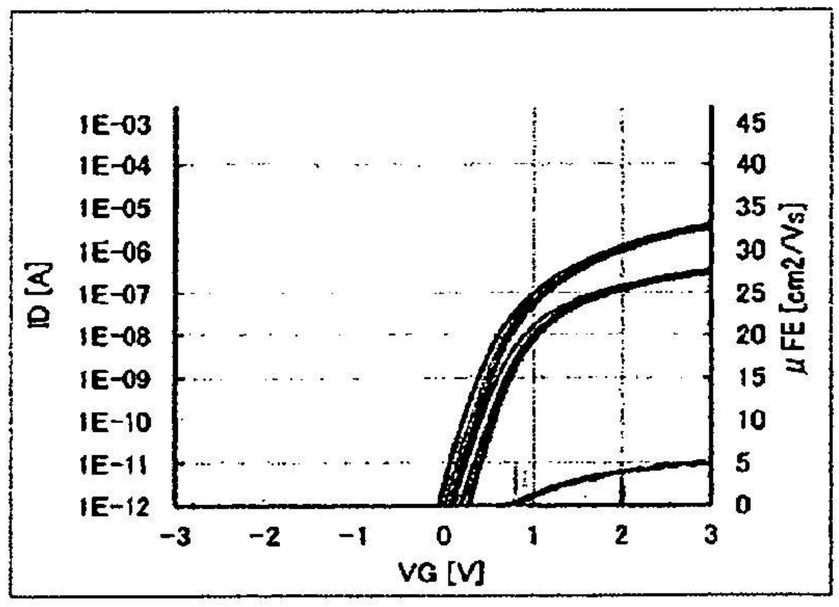


圖 78C

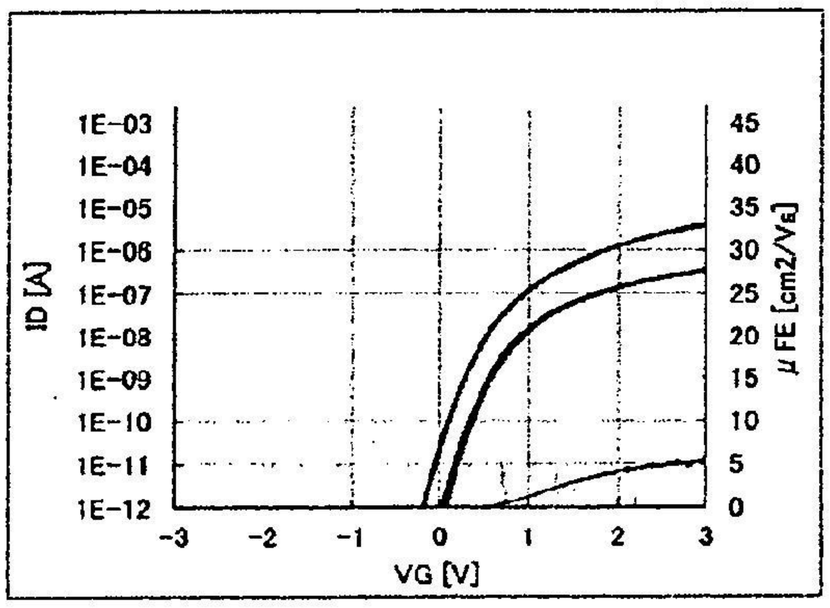


圖 78D

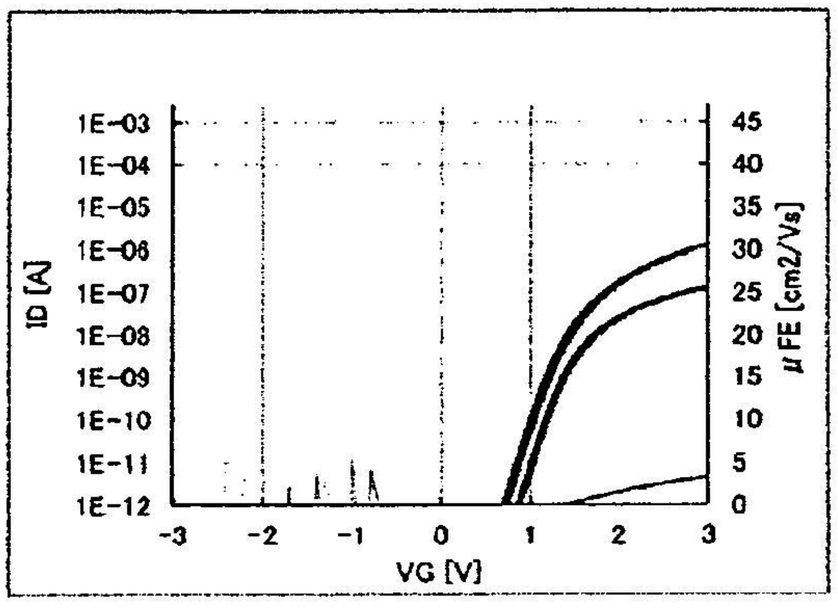


圖 79A

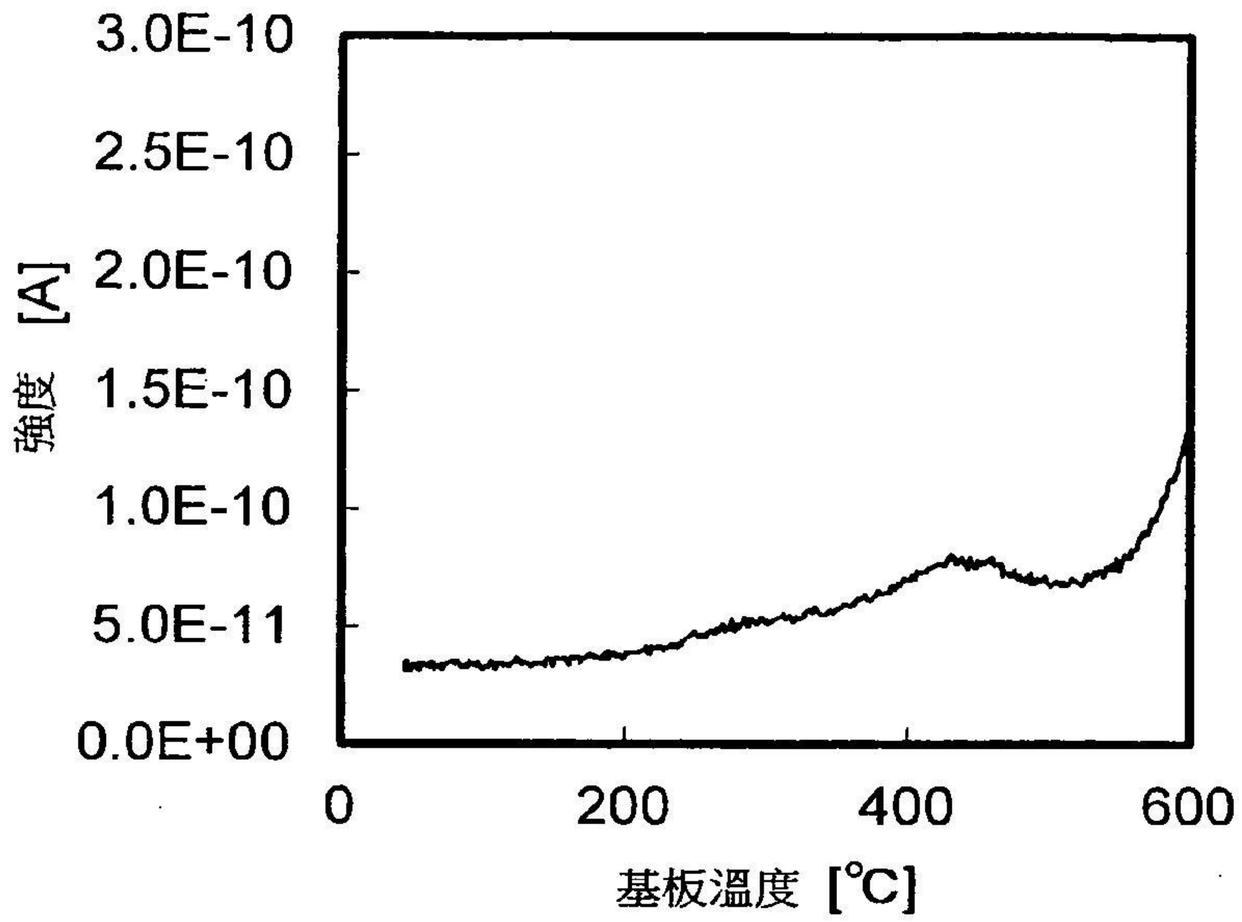

3.0E-10
2.5E-10
2.0E-10
1.5E-10
1.0E-10
5.0E-11
0.0E+00
強度 [A]
0
200
400
600
基板溫度 [°C]

圖 79B

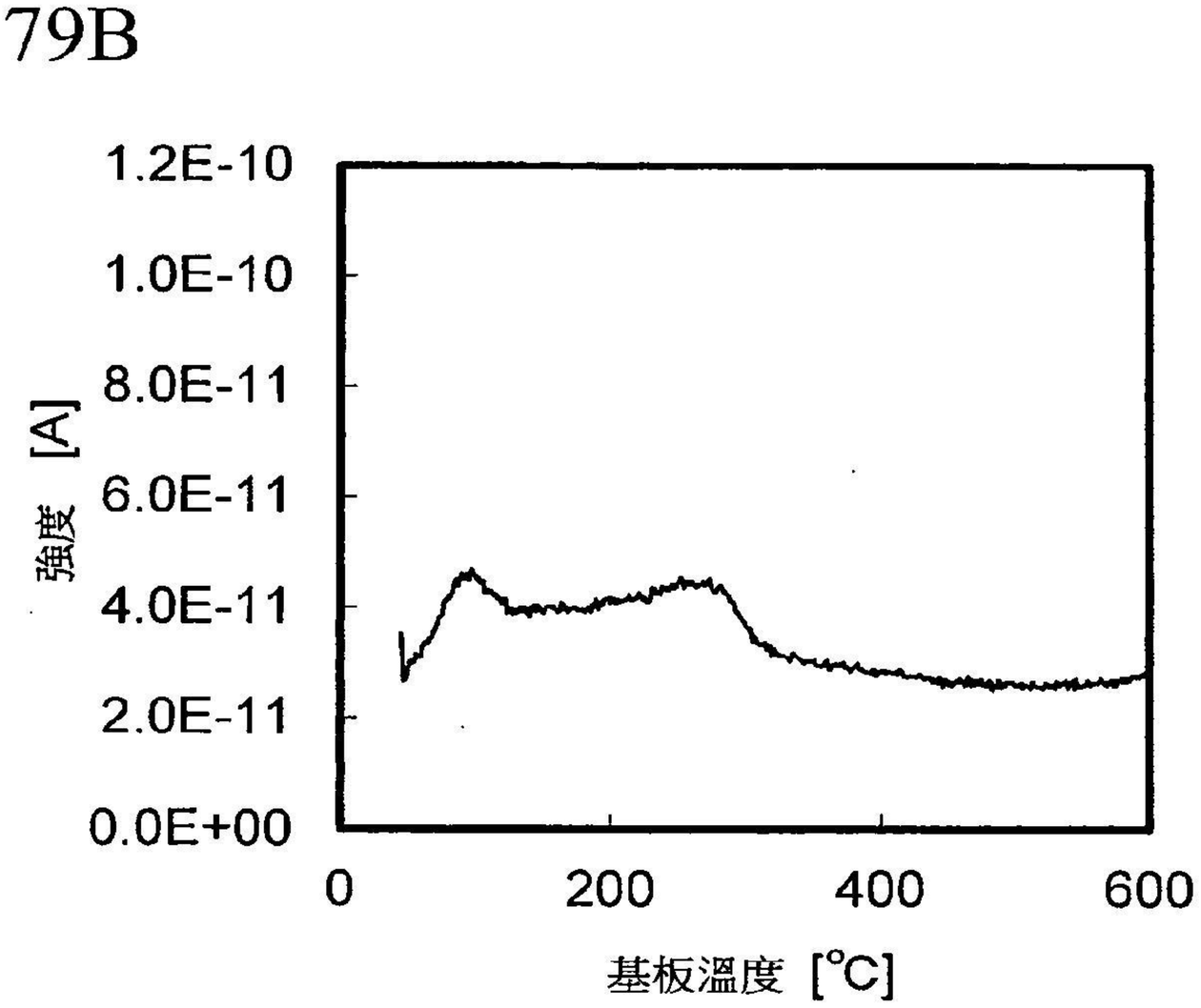

1.2E-10
1.0E-10
8.0E-11
6.0E-11
4.0E-11
2.0E-11
0.0E+00
強度 [A]
0
200
400
600
基板溫度 [°C]

圖 80A

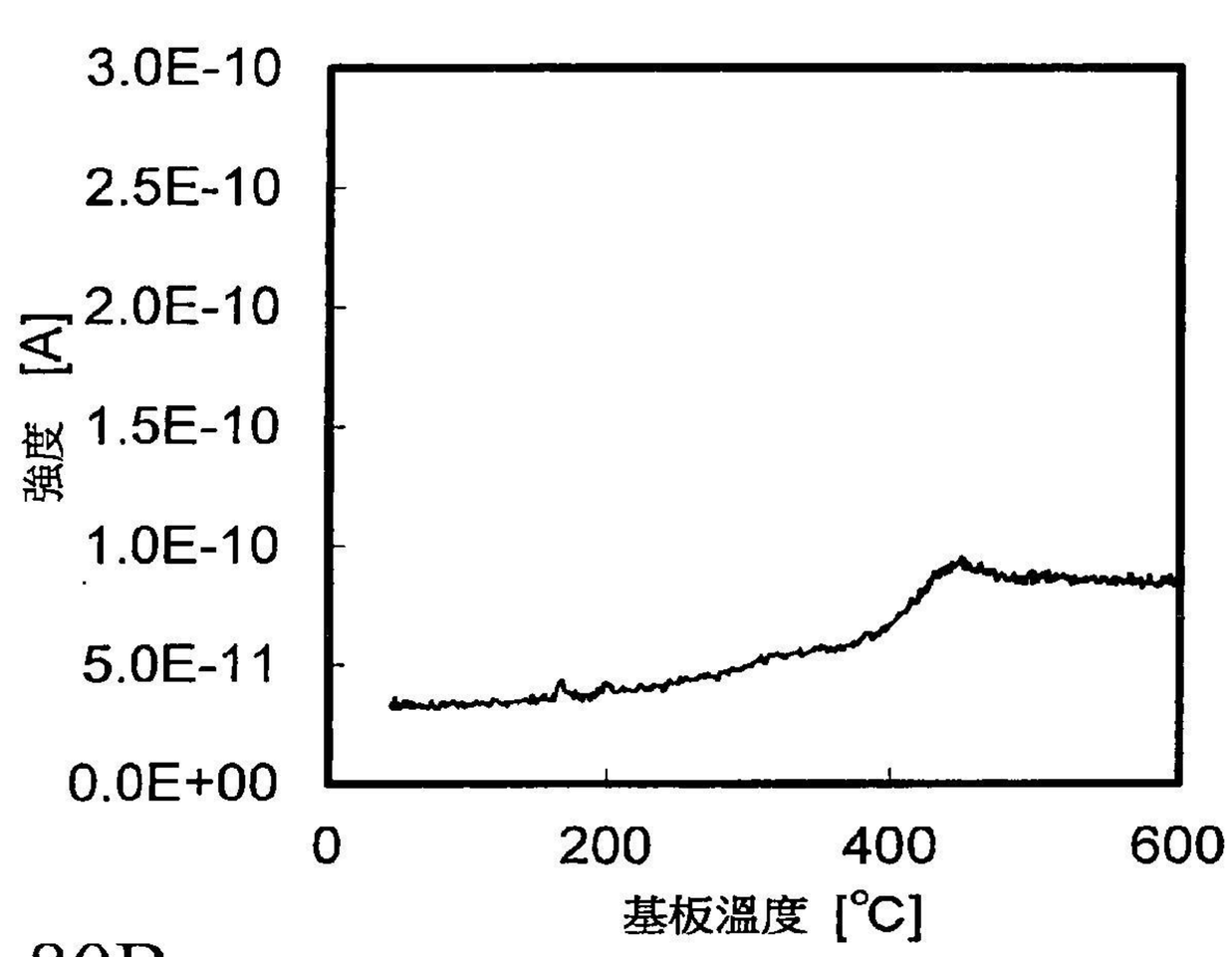
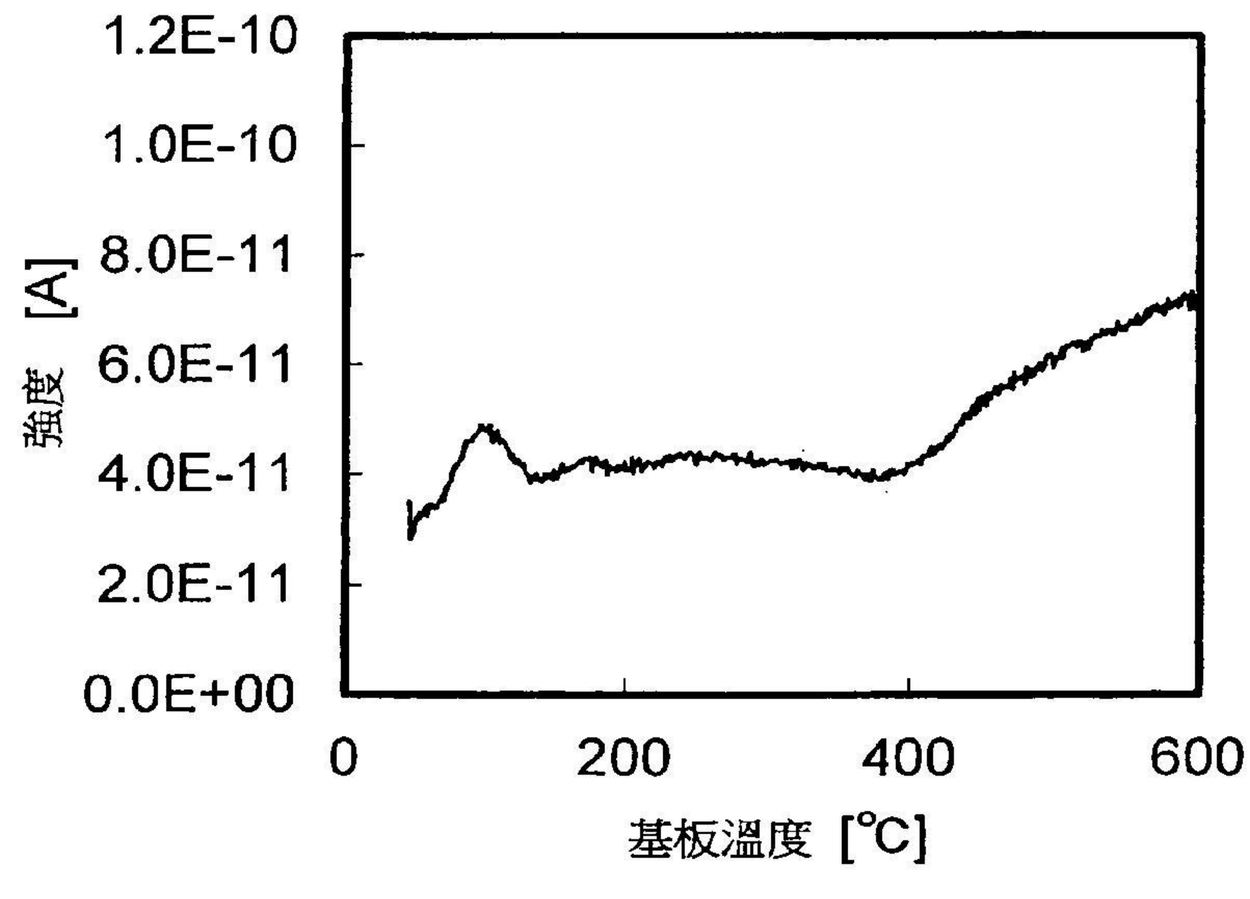

3.0E-10
2.5E-10
2.0E-10
1.5E-10
1.0E-10
5.0E-11
0.0E+00
強度 [A]
0
200
400
600
基板溫度 [°C]

圖 80B


1.2E-10
1.0E-10
8.0E-11
6.0E-11
4.0E-11
2.0E-11
0.0E+00
強度 [A]
0
200
400
600
基板溫度 [°C]

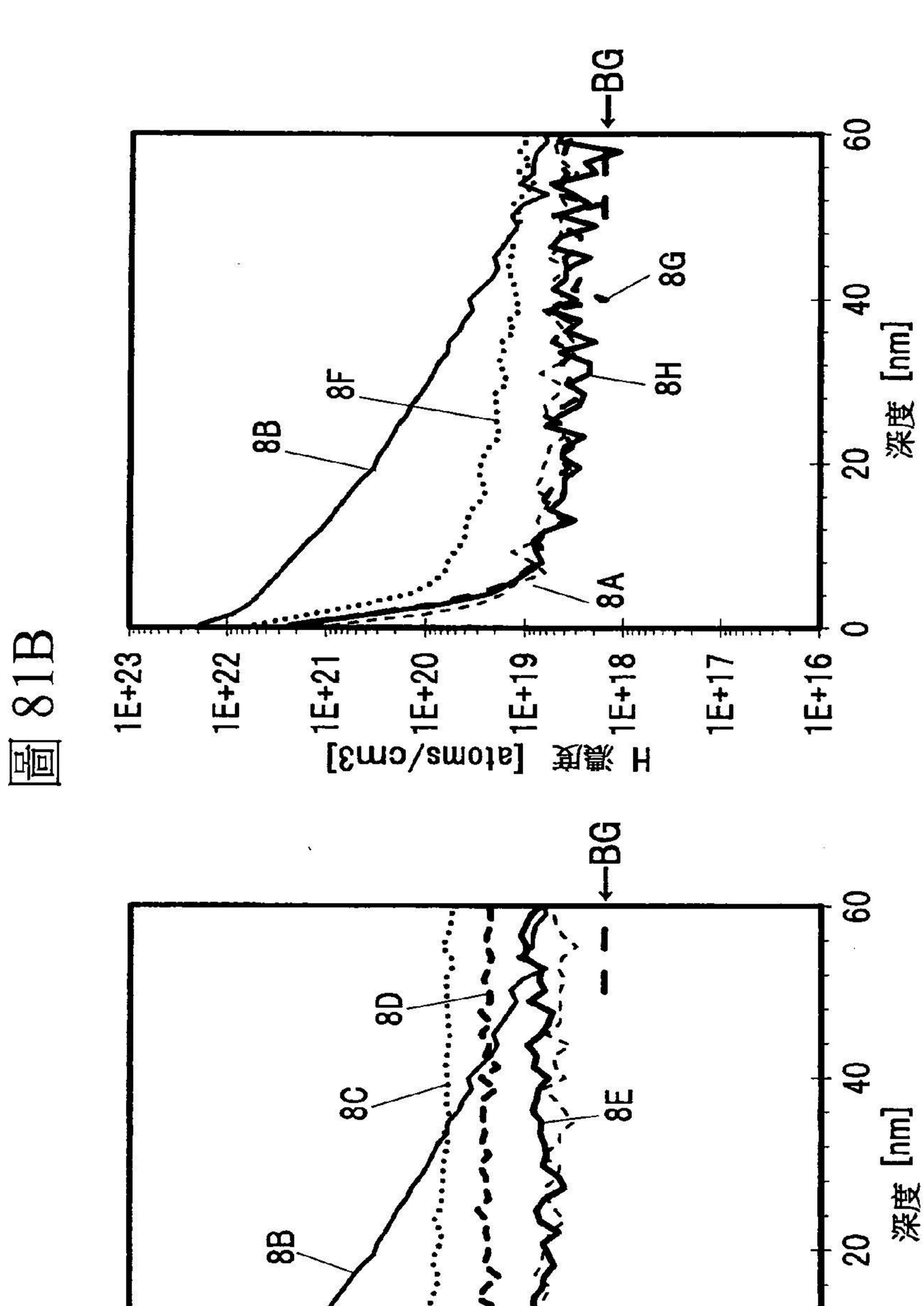

B
1E+23
1E+22
1E+21
1E+20
1E+19
1E+18
1E+17
1E+16
H 濃度 [atoms/cm3]
0
20
40
60
深度 [nm]
←BG
8A
8B
8F
8G
8H

圖 81B

1E+23
1E+22
1E+21
1E+20
1E+19
1E+18
1E+17
1E+16
H 濃度 [atoms/cm3]
0
20
40
60
深度 [nm]
←BG
8A
8B
8C
8D
8E

圖 81A

圖 82

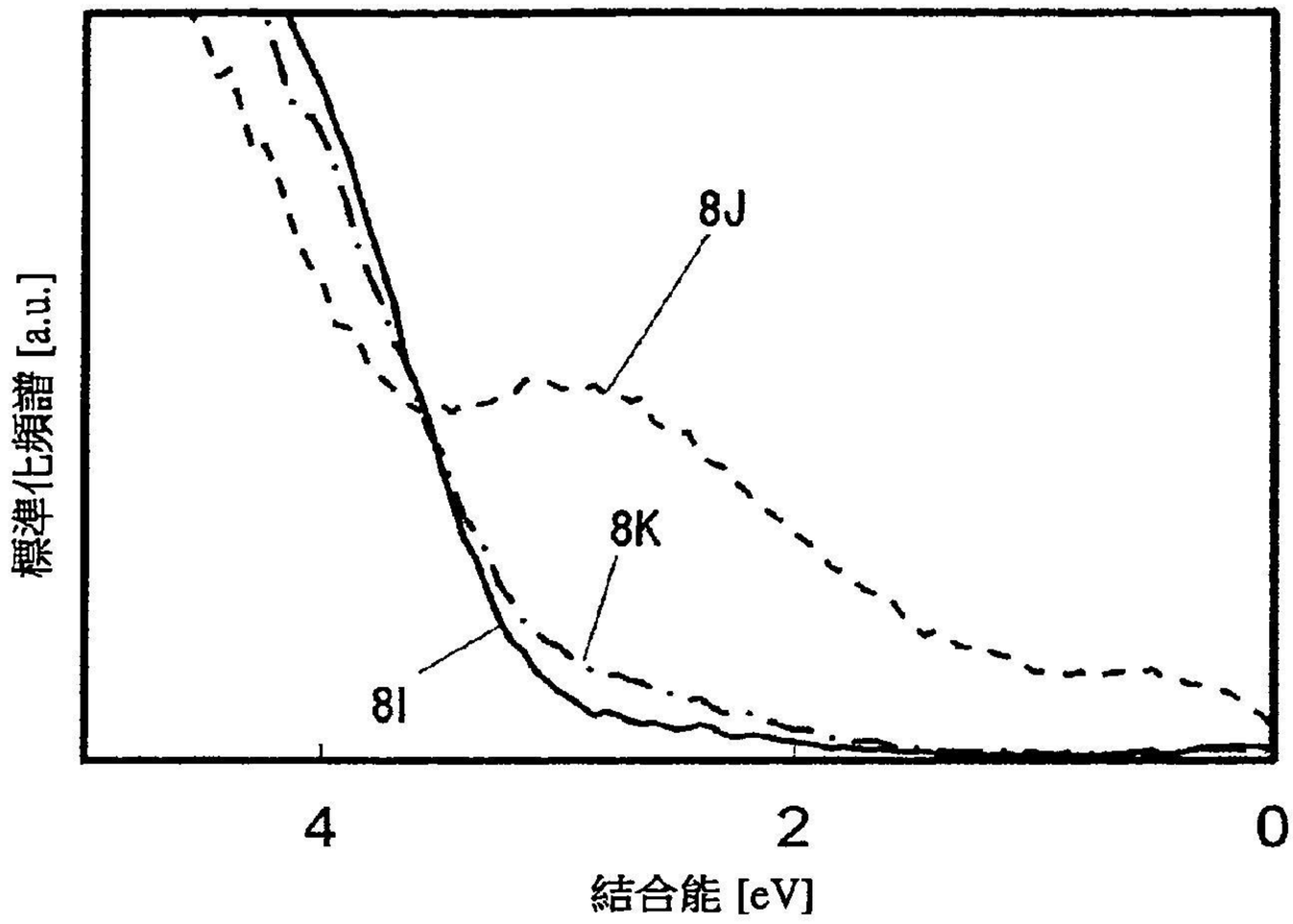


圖 83A

圖 83B

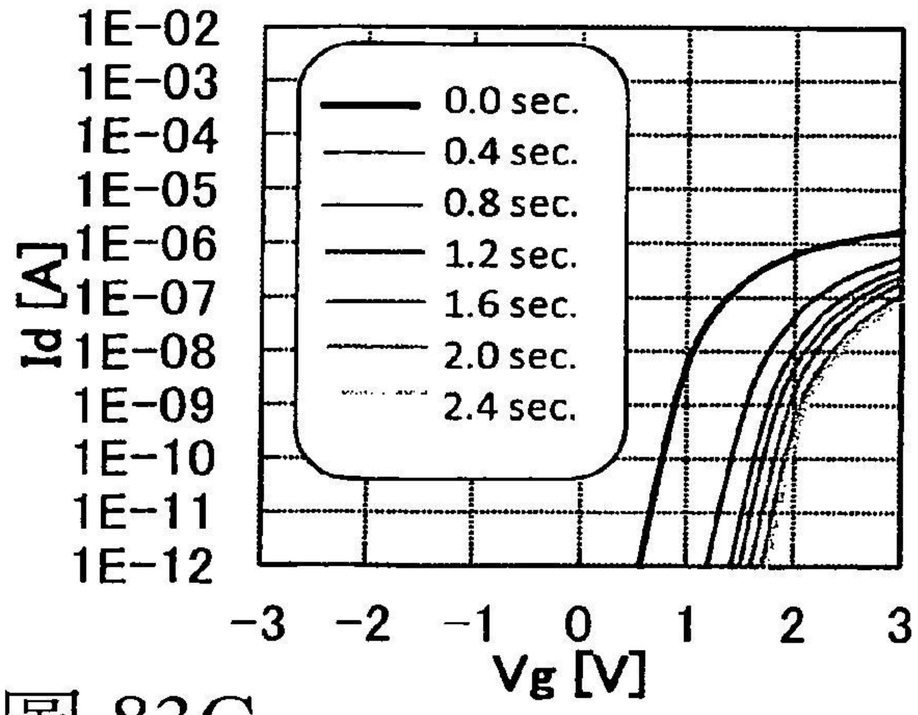


圖 83C

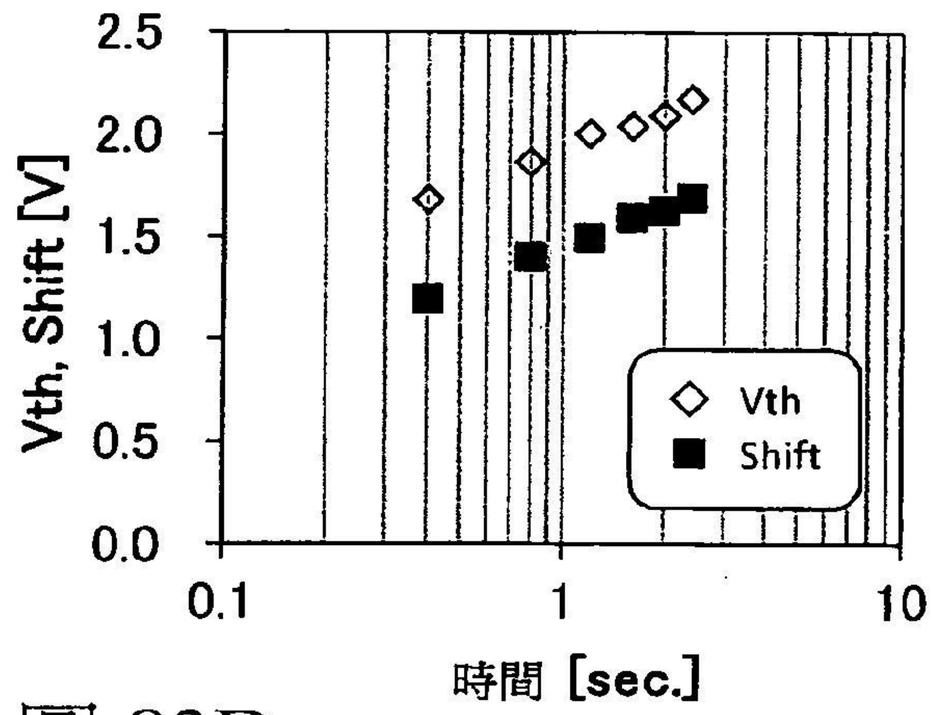


圖 83D

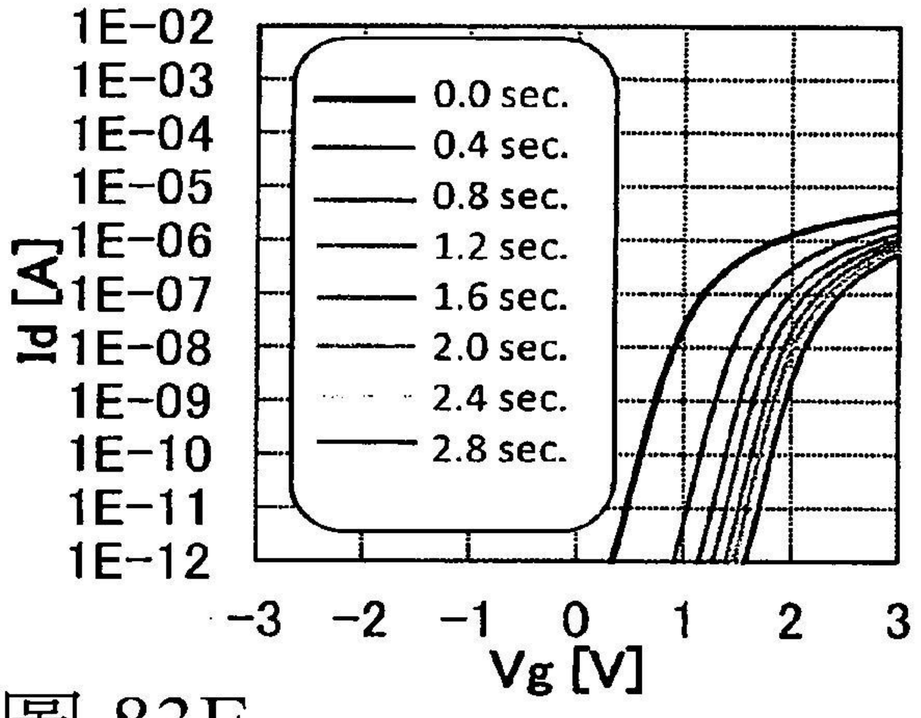


圖 83E

