

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2012년 12월 13일 (13.12.2012)



(10) 국제공개번호
WO 2012/169731 A2

- (51) 국제특허분류:
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
- (21) 국제출원번호: PCT/KR2012/003784
- (22) 국제출원일: 2012년 5월 15일 (15.05.2012)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2011-0054440 2011년 6월 7일 (07.06.2011) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **한양대학교 산학협력단 (INDUSTRY-UNIVERSITY CO-OPERATION FOUNDATION HANYANG UNIVERSITY)** [KR/KR]; 서울특별시 성동구 행당동 17번지, 133-791 Seoul (KR).
- (72) 발명자; 겸
- (75) 발명자/출원인 (US 에 한하여): **김태환 (KIM, Tae Whan)** [KR/KR]; 서울 강남구 도곡동 527 (25/6) 도곡렉슬아파트 405-1804, 135-270 Seoul (KR). **유주형 (YOU, Joo Hyung)** [KR/KR]; 서울특별시 화곡동 102-22 102호, 157-010 Seoul (KR). **진준 (JIN, Jun)** [KR/KR]; 서울특별시 성동구 행당 1동 128-447, 133-071 Seoul (KR).

(74) 대리인: 특허법인 이상 (E-SANG PATENT & TRADE-MARK LAW FIRM); 서울 서초구 양재동 82-2 우도빌딩 3층, 137-890 Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

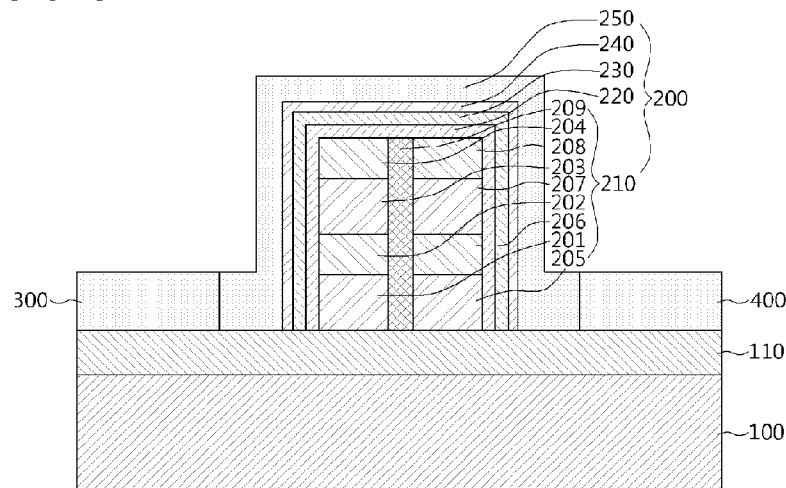
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: NAND FLASH MEMORY HAVING 3-DIMENSIONAL STRUCTURE

(54) 발명의 명칭 : 3 차원 구조를 가지는 낸드 플래시 메모리

[Fig. 1]



(57) Abstract: Disclosed is a NAND flash memory which is vertically elongated from a substrate and has a multi-layered lamination structure. A control gate is formed by alternating with an interlayer insulating film. In addition, the control gate is separated in a direction parallel to the substrate through a barrier insulating film. Therefore, only one side of the control gate is in contact with a blocking insulating film. As a result, independent charge-trapping is enabled from one stack structure to both sides thereof. Consequently, the density of flash memory is increased and charge controllability is improved.

(57) 요약서:

[다음 쪽 계속]

WO 2012/169731 A2

**공개:**

- 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

기판으로부터 수직방향으로 신장되고, 다층의 적층구조를 가지는 낸드 플래시 메모리가 개시된다. 제어 게이트는 층간 절연막과 번갈아가며 형성된다. 또한, 제어 게이트는 차단 절연막을 통해 기판과 수평한 방향으로 분리된다. 따라서, 제어 게이트의 일측면만이 블로킹 절연막과 접촉한다. 이를 통해 하나의 스택 구조에서 양측으로 독립적인 전하의 트랩 동작이 가능해진다. 따라서, 플래시 메모리의 집적도는 향상되며, 전하의 제어 능력은 향상된다.

명세서

발명의 명칭: 3차원 구조를 가지는 낸드 플래시 메모리

기술분야

- [1] 본 발명은 비휘발성 메모리에 관한 것으로, 더욱 상세하게는 3차원 구조를 가지는 낸드 플래시 메모리에 관한 것이다.

배경기술

- [2] 낸드 플래시 메모리는 대표적인 비휘발성 메모리이다. 특히, 최근에는 셀 사이즈의 축소를 통한 고집적화에 대한 연구가 활발히 진행되고 있다. 그러나, 셀의 크기가 축소됨에 따라 단채널 효과에 의한 실리콘 기판의 누설 전류가 증가하는 문제가 발생한다. 또한, 셀과 셀 사이의 간격이 줄어들음에 따라 인접한 셀들 사이의 간섭효과(coupling effect)가 커지고, 인접 셀의 문턱전압이 변화되어 메모리 소자 동작의 신뢰성이 희박해지는 문제가 발생한다.
- [3] 이러한 문제들을 해결하기 위해 최근에는 3차원 셀 구조를 가지는 낸드 플래시 메모리 소자에 대한 연구가 활발히 진행되고 있다. 3차원 셀 구조의 메모리 소자는 2차원 셀 구조의 메모리 소자에 비해 집적도를 크게 증가시키며, 단채널 효과와 간섭효과를 해결할 수 있는 장점을 가진다. 그러나, 3차원 셀 구조의 메모리 소자는 2차원 셀 구조의 메모리 소자에 비해 제조공정이 복잡하고, 주변 회로와의 전기적 연결이 어려우며, 금속 접촉에 필요한 면적이 넓게 요구되는 단점을 가진다.
- [4] 상술한 문제점을 해결하기 위해 VSAT(Vertical Stacked Array Transistor) 구조를 가지는 3차원 셀 구조의 낸드 플래시 메모리 소자가 제안되었다. VSAT 구조는 종래의 3차원 셀 구조를 가지는 낸드 플래시 메모리 소자에 비해 제작방법이 간단하고, 금속접촉이 용이하며, 금속접촉에 필요한 면적이 작다는 장점을 가진다. 그러나, VSAT 구조 또한 수직으로 적층한 셀의 개수가 증가하거나, 스트링의 개수가 증가할수록 드레인 전류량이 감소하고, 문턱 전압 이하에서의 소자의 동작특성이 저하되는 단점을 가진다. 또한, 프로그램과 소거 동작시, 게이트 양쪽의 전하 트랩층에 전자와 정공이 비효율적으로 포획되는 문제점을 가지고 있다.

발명의 상세한 설명

기술적 과제

- [5] 상술한 문제점을 해결하기 위한 본 발명의 목적은 집적도를 증가할 수 있는 3차원 셀 구조를 가지는 낸드 플래시 메모리 소자를 제공하는데 있다.

과제 해결 수단

- [6] 상기 목적을 달성하기 위한 본 발명은, 절연막 상에 형성된 게이트 스택 영역; 상기 절연막 상에 형성되고, 상기 게이트 스택 영역의 일측에 형성된 소스 영역; 및 상기 절연막 상에 형성되고, 상기 게이트 스택 영역을 중심으로 상기 소스

영역에 대향하는 드레인 영역을 포함하고, 상기 게이트 스택 영역은, 중심부위의 차단 절연막에 의해 분리되고, 상기 차단 절연막을 중심으로 서로 대향하는 다수의 제어 게이트들을 포함하는 것을 특징으로 하는 3차원 구조를 가지는 낸드 플래시 메모리를 제공한다.

- [7] 또한, 본 발명의 상기 목적은, 기판 상에 형성된 절연막; 상기 절연막 상에 형성된 소스 영역; 상기 절연막 상에 형성되고 상기 소스 영역에 대향하는 드레인 영역; 및 상기 절연막 상에 형성되고, 상기 소스 영역과 상기 드레인 영역 사이에 배치되며, 다수의 제어 게이트들이 상기 기판에 수직한 방향으로 적층되고, 인접한 상기 제어 게이트들은 상기 기판에 수직한 방향 및 상기 기판에 수평한 방향으로 상호간에 분리된 게이트 스택 영역을 포함하는 3차원 구조를 가지는 낸드 플래시 메모리의 제공을 통해서도 달성된다.

발명의 효과

- [8] 본 발명에 따르면, 다수의 제어 게이트들은 층간 절연막을 사이에 두고 순차적으로 적층된다. 또한, 기판에 수직한 방향으로 차단 절연막은 제어 게이트들을 관통한다. 따라서, 게이트 스택 영역은 기판에 수평한 방향으로 서로 대향하며 분리되고, 기판에 수직한 방향으로 층간 절연막과 번갈아가며 적층된 양상을 가진다.
- [9] 따라서, 각각의 분리된 제어 게이트를 중심으로 하나의 셀 트랜지스터가 형성된다. 이는 차단 절연막이 개재되지 않은 구조에 비해 2배의 셀 집적도를 가져온다. 이를 통해 높은 집적도를 얻을 수 있다.
- [10] 또한, 게이트 스택 영역에서 기판에 수평한 방향으로 제어 게이트에 바이어스를 인가하더라도, 이와 대향하는 반대편 제어 게이트에 바이어스가 인가되어 비효율적인 전자-정공의 트랩동작이 발생되지 않는 잇점이 있다.

도면의 간단한 설명

- [11] 도 1은 본 발명의 바람직한 실시예에 따른 3차원 구조를 가지는 낸드 플래시 메모리의 단면도이다.
- [12] 도 2 내지 도 5는 본 발명의 바람직한 실시예에 따라 상기 도 1에 도시된 3차원 구조를 가지는 낸드 플래시 메모리의 제조방법을 설명하기 위한 단면도들이다.
- [13] 도 6은 본 발명의 바람직한 실시예에 따른 3차원 구조의 플래시 메모리의 전기적 특성을 도시한 그래프이다.
- [14] 도 7은 본 발명의 바람직한 실시예에 따른 3차원 구조의 플래시 메모리에서 적층되는 제어 게이트의 수에 따른 플래시 메모리의 문턱전압의 변화량을 도시한 그래프이다.
- [15] 도 8은 본 발명의 바람직한 실시예에 따른 3차원 구조의 플래시 메모리에서 적층되는 제어 게이트의 수에 따른 전압스윙과 온-전류 레벨을 도시한 그래프이다.

발명의 실시를 위한 최선의 형태

- [16] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [17] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [18] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [19]
- [20] 실시예
- [21] 도 1은 본 발명의 바람직한 실시예에 따른 3차원 구조를 가지는 낸드 플래시 메모리의 단면도이다.
- [22] 도 1을 참조하면, 본 실시예에 따른 낸드 플래시 메모리는 기판(100) 상에 형성된 게이트 스택 영역(200), 소스 영역(300) 및 드레인 영역(400)을 가진다.
- [23] 먼저, 기판(100) 상에는 절연막(110)이 구비된다. 기판(100)은 통상의 실리콘 기판이 사용된다. 또한, 절연막(110)은 기판(100)과 게이트 스택 영역(200)사이의 전기적 절연을 달성하기 위한 것이라면 어느 재질이나 사용가능할 것이다.
- [24] 본 실시예에서는 실리콘 산화물이 절연막(110)으로 사용된다.
- [25] 계속해서, 절연막(110) 상부에는 게이트 스택 영역(200)이 구비되고, 게이트 스택 영역(200)의 양 측면에는 소스 영역(300) 및 드레인 영역(400)이 구비된다. 게이트 스택 영역(200)은 다층 제어 게이트(210), 블로킹 절연막(220), 전하 트랩층(230), 터널링 절연막(240) 및 채널(250)을 포함한다.
- [26] 다층 제어 게이트(210)는 기판(100)으로부터 수직인 방향으로 적층된 다수의 제어 게이트들(201, 203, 205, 207)을 포함한다. 즉, 제1 제어 게이트(201) 상부에는 제1 층간 절연막(202)이 구비되고, 제1 층간 절연막(202) 상부에는 제2 제어 게이트(203)가 구비된다. 또한, 다층 제어 게이트(210)의 중심 부위는 차단 절연막(209)으로 구획된다. 따라서, 상기 도 1에서 좌측의 제1 제어 게이트(201) 및 제2 제어 게이트(203)는 우측의 제3 제어 게이트(205) 및 제4 제어 게이트(207)와 분리된다. 상기 제어 게이트들(201, 203, 205, 207)은 다결정 실리콘 또는 금속을 포함함이 바람직하며, 상기 층간 절연막들(202, 204, 206, 208)은 실리콘 질화물을 포함함이 바람직하다.
- [27] 따라서, 기판(100)에 수직인 방향으로 다수의 제어 게이트들(201, 203, 205,

207)이 적층되며, 기판에 수평한 방향으로는 차단 절연막(209)이 구획한다. 따라서, 차단 절연막(209)을 중심으로 기판(100)에 수평한 방향으로 제어 게이트들(201, 203, 205, 207)이 대향하는 구조가 형성되며, 기판(100)에 수직인 방향으로는 층간 절연막(202, 204, 206, 208)을 중심으로 제어 게이트들(201, 203, 205, 207)이 대향하는 양상이 개시된다.

[28] 본 실시예의 도 1에서는 제어 게이트(201, 203, 205, 207)의 적층이 2층으로 이루어진 것을 도시하나, 실시의 형태에 따라 다수개의 적층 구조들이 구비될 수 있다.

[29] 다층 제어 게이트(210) 상에는 블로킹 절연막(220)이 구비된다. 블로킹 절연막(220)은 통상의 증착방법을 통해 형성될 수 있으며, 고유전율의 산화막들로 구성됨이 바람직하다. 상기 블로킹 절연막(220)은 다층 제어 게이트(210)의 상부와 측면을 감싸는 양상으로 구비된다.

[30] 따라서, 층간 절연막(202, 204, 206, 208) 및 차단 절연막(209)으로 구획된 각각의 제어 게이트들(201, 203, 205, 207)은 일측면에서만 블로킹 절연막(220)과 접촉하게 된다. 특히, 각각의 제어 게이트들(201, 203, 205, 207)은 기판(100)에 수직인 방향의 일측면에서만 블로킹 절연막(220)과 접하는 구조가 된다.

[31] 또한, 블로킹 절연막(220) 상에는 전하 트랩층(230)이 구비된다. 상기 전하 트랩층(230)은 실리콘 질화물 등이 바람직하다. 또한, 전하 트랩층(230)은 블로킹 절연막(220)의 측면과 상부를 감싸는 형상으로 구비된다.

[32] 전하 트랩층(230) 상에는 터널링 절연막(240)이 구비된다. 상기 터널링 절연막(240)은 실리콘 산화물을 포함함이 바람직하다. 또한, 터널링 절연막(240)은 전하 트랩층(230)의 상부와 측면을 감싸는 양상으로 구비된다.

[33] 계속해서 터널링 절연막(240) 상에는 채널(250)이 구비된다. 상기 채널(250)은 다결정 실리콘을 포함한다. 상기 채널(250)은 터널링 절연막(240)의 상부와 측면을 감싸는 양상으로 구비된다. 또한, 상기 채널(250)은 소스 영역(300) 및 드레인 영역(400)을 향해 신장된 형태로 구비될 수 있다. 따라서, 채널(250)의 일부는 기판(100) 상의 절연막(110)의 일부를 커버하는 양상으로 구비될 수 있다. 즉, 상기 채널(250)은 소스 영역(300) 및 드레인 영역(400)과 일체로 형성된다. 따라서, 절연막(110) 상의 채널에 대한 이온 주입 공정을 통해 소스 영역(300) 및 드레인 영역(400)이 형성될 수 있다.

[34] 상술한 게이트 스택 영역(200)의 양측면에는 소스 영역(300) 및 드레인 영역(400)이 구비된다. 특히, 소스 영역(300)과 드레인 영역(400)은 도판트에 의해 고농도로 도핑된 영역임이 바람직하다.

[35] 도 2 내지 도 5는 본 발명의 바람직한 실시예에 따라 상기 도 1에 도시된 3차원 구조를 가지는 낸드 플래시 메모리의 제조방법을 설명하기 위한 단면도들이다.

[36] 도 2를 참조하면, 기판(100)상에 절연막(110)이 형성된다. 상기 기판(100)은 실리콘 기판임이 바람직하다. 다만, 게이트 구조물의 형성에 적합한 재질이라면 어느 것이나 가능할 것이다. 또한, 상기 절연막(110)은 기판(100)과의 전기적

절연을 수행할 수 있는 재질이라면, 어느 것이나 사용가능할 것이다. 예컨대, 공정이 안정화된 실리콘산화물이 절연막(110)으로 사용될 수 있다.

- [37] 도 3을 참조하면, 상기 절연막(110) 상에는 제어 게이트(201, 203, 205, 207)와 층간 절연막(202, 204, 206, 208)이 교대로 적층된 구조가 형성된다. 예컨대, 다결정 실리콘의 재질을 가지는 제어 게이트(201, 203, 205, 207)와 실리콘 질화물의 재질을 가지는 층간 절연막(202, 204, 206, 208)은 번갈아가며 적층된다. 적층의 횟수는 구현하고자 하는 비트수에 따라 결정된다. 계속해서 적층된 구조물에 대한 통상의 선택적 식각공정이 수행된다. 선택적 식각공정은 포토리소그래피 공정을 이용하여 수행된다. 식각공정을 통해 적층된 구조물의 중심부위는 개방되고, 다층 제어 게이트(210)의 외곽은 정의된다.
- [38] 이어서 적층된 구조물의 중심부위는 절연물로 매립되어 차단 절연막(209)이 형성된다. 이를 통해 다층 제어 게이트(210)는 2개의 구조물로 구획된다. 상기 차단 절연막(209)의 형성은 식각공정을 통해 형성된 구조물에 대해 절연물의 증착과 통상의 식각공정을 통해 형성될 수 있다. 또한, 상기 차단 절연막(209)은 절연체라면 어느 것이나 사용가능할 것이나, 본 실시예에서는 실리콘산화물을 포함함이 바람직하다.
- [39] 또한, 하부의 기판(100)이 절연물로 이루어진 경우, 기판(100) 상의 별도의 절연막(110)은 형성되지 않아도 무방하다. 즉, 절연성 기판 상에 직접 다층 제어 게이트(210)가 구비될 수 있다.
- [40] 도 4를 참조하면, 다층 제어 게이트(210) 상에 블로킹 절연막(220), 전하 트랩층(230) 및 터널링 절연막(240)을 순차적으로 형성한다.
- [41] 먼저, 다층 제어 게이트(210)의 측면과 상부를 감싸는 블로킹 절연막(220)이 형성된다. 상기 블로킹 절연막(220)은 전하 트랩층(230)에 트랩된 전하의 이동을 방지하기 위해 구비된다. 특히, 상기 블로킹 절연막(220)은 고유전율(high-k)을 가지는 물질을 포함함이 바람직하다. 따라서, 상기 블로킹 절연막(220)은 알루미늄옥사이드(Al_2O_3), hafnium옥사이드(HfO_2), zirconium옥사이드(ZrO_2), hafnium알루미늄옥사이드(HfAlO) 또는 hafnium실리콘옥사이드(HfSiO) 등이 사용될 수 있다.
- [42] 또한, 블로킹 절연막(220)의 상부 및 측면에는 전하 트랩층(230)이 형성된다. 상기 전하 트랩층(230)은 실리콘질화물을 포함함이 바람직하다.
- [43] 전하 트랩층(230)의 상부 및 측면에는 터널링 절연막(240)이 형성된다. 상기 터널링 절연막(240)은 전하 트랩층(230) 상에 통상의 증착 공정을 통해서 형성될 수 있다. 상기 터널링 절연막(240)은 실리콘산화물을 포함함이 바람직하다.
- [44] 또한, 상기 도 4에서는 블로킹 절연막(220)이 절연막(110) 상에 적층되지 않고, 절연막(110) 상부에서 식각을 통해 제거된 것으로 도시된다. 이는 전하 트랩층(230) 및 터널링 절연막(240)에서도 동일하게 도시된다. 다만, 본 실시예에서는 블로킹 절연막(220), 전하 트랩층(230) 및 터널링 절연막(240)을 기판(100) 및 다층 제어 게이트(210)의 전면에 순차적으로 형성하고, 일괄적인

- 식각을 통해 절연막(110) 상의 블로킹 절연막(220), 전하 트랩층(230) 및 터널링 절연막(240)을 선택적으로 제거할 수도 있다.
- [45] 도 5를 참조하면, 도 4에 도시된 구조물 상에 다결정 실리콘을 도포하여 채널(250)을 형성한다. 따라서, 상기 채널(250)은 터널링 절연막(240)의 상부와 측면 및 절연막(110)의 상부에 도포된다.
- [46] 이어서, 포토레지스트 공정을 이용하여 절연막(110) 상부의 다결정 실리콘을 노출시키는 포토레지스트 패턴을 형성한 후, 이온 주입 공정을 수행하면, 게이트 스택 영역(200)의 양 측면에 소스 영역(300) 및 드레인 영역(400)이 형성된다. 상술한 과정을 통해 상기 도 1에 도시된 3차원 입체구조를 가지는 플래시 메모리를 제조할 수 있다.
- [47] 도 6은 본 발명의 바람직한 실시예에 따른 3차원 구조의 플래시 메모리의 전기적 특성을 도시한 그래프이다.
- [48] 도 6을 참조하면, 상기 도 1에서 기판(100) 상에 절연막(110)으로는 실리콘산화물이 사용된다. 또한, 제어 게이트(201, 203, 205, 207)는 다결정 실리콘이며, 중간 절연막(202, 204, 206, 208)으로는 실리콘 질화물이 사용된다. 다층 제어 게이트(210)의 상부와 측면에 형성되는 막질들의 재질 및 두께는 다음과 같다.
- [49] 블로킹 절연막(220)으로는 실리콘산화물이 이용되며, 8nm의 두께를 가진다. 또한, 전하 트랩층(230)은 실리콘질화물을 포함하고, 8nm의 두께를 가진다. 이외에 터널링 절연막(240)으로는 실리콘산화물이 사용되고, 4nm의 두께를 가진다. 채널(250)은 다결정실리콘을 포함하고 20nm의 두께로 형성된다.
- [50] 상기 도 6에서 "○"는 도 1에서 차단 절연막(209)이 형성되지 않은 경우의 초기화 상태의 전압-전류 특성을 도시한 것이며, "●"는 도 1에서 차단 절연막(209)의 도입을 통해 하나의 다층 제어 게이트(210)가 차단 절연막(209)에 의해 분리된 경우의 초기화 상태에서의 전압-전류 특성을 도시한 것이다.
- [51] 이를 살펴보면, 동일한 제어 게이트 전압의 인가에 대해 차단 절연막(209)이 개시되지 않은 경우의 I_{ds} 가 상대적으로 높음을 알 수 있다. 이는 초기화 상태에서 전류의 차단능력이 향상되었음을 의미한다. 즉, 동일한 I_{ds} 를 형성하기 위해 차단 절연막(209)이 도입된 경우는 낮은 역바이어스의 인가만으로도 이를 실현할 수 있음을 알 수 있다.
- [52] 또한, 도 6에서 "□"는 상기 도 1에서 차단 절연막(209)이 도입되지 않은 경우, 프로그램 상태에서의 전압-전류 특성을 도시한 그래프이다. 또한, "■"는 차단 절연막(209)이 도입된 경우, 프로그램 상태에서의 전압-전류 특성을 도시한 그래프이다. 이를 살펴보면, 동일한 제어 게이트 전압이 인가되는 경우, 차단 절연막(209)이 도입된 경우가 낮은 I_{ds} 를 나타낸다. 이는 전하 트랩층(230)에 효율적으로 전하가 트랩된 상태임을 의미한다. 따라서, 차단 절연막(209)이 도입되지 않은 경우에 비해 동일한 I_{ds} 를 얻기 위해서는 높은 제어 게이트 전압이 인가되어야 함을 의미한다. 이는 프로그램 동작을 통해 차단

절연막(209)이 도입된 본 발명의 플래시 메모리가 전류의 높은 차단 능력을 가짐을 나타낸다.

- [53] 또한, 본 발명에 따른 3차원 구조의 플래시 메모리는 차단 절연막의 개시가 없는 종래의 플래시 메모리의 동작특성과 유사한 동작특성을 가진다. 즉, 정상적인 플래시 메모리로의 동작특성을 확보하고 있음을 알 수 있다. 이는 본 발명의 메모리의 프로그램 및 소거 동작의 양상이 종래 플래시 메모리와 유사한 특성 그래프를 보이고 있음을 통해 알 수 있다.
- [54] 도 7은 본 발명의 바람직한 실시예에 따른 3차원 구조의 플래시 메모리에서 적층되는 제어 게이트의 수에 따른 플래시 메모리의 문턱전압의 변화량을 도시한 그래프이다.
- [55] 도 7을 참조하면, 블로킹 절연막의 재질 및 두께, 전하 트랩층의 재질 및 두께, 터널링 절연막의 재질 및 두께, 채널의 재질 및 두께는 상기 도 6에서 설명된 바와 동일하다. 또한, 제어 게이트와 층간 절연막의 재질도 상기 도 6에서 설명된 바와 동일하다.
- [56] 적층되는 제어 게이트의 수가 2에서 16까지 변화하더라도, 트랜지스터를 형성하는 플래시 메모리의 문턱 전압(V_{th})의 변화량은 일정한 것을 알 수 있다. 즉, 전하 트랩층에 전자를 트랩시키는 동작에 의해 증가되는 문턱전압의 변화량은 3.4V 내지 3.5V로 거의 변화없이 일정하게 유지되고 있음을 알 수 있다.
- [57] 따라서, 다수의 제어 게이트가 층상 구조로 구현된다 하더라도, 프로그램 동작과 소거 동작에 따른 플래시 메모리의 데이터의 저장 및 읽기 동작에서는 문제가 발생하지 않으며, 다수의 제어 게이트의 적층에 의해 용이하게 멀티 레벨을 구현할 수 있음을 알 수 있다.
- [58] 도 8은 본 발명의 바람직한 실시예에 따른 3차원 구조의 플래시 메모리에서 적층되는 제어 게이트의 수에 따른 전압스윙과 온-전류 레벨을 도시한 그래프이다.
- [59] 도 8을 참조하면, 블로킹 절연막의 재질 및 두께, 전하 트랩층의 재질 및 두께, 터널링 절연막의 재질 및 두께, 채널의 재질 및 두께는 상기 도 6에서 설명된 바와 동일하다. 또한, 제어 게이트와 층간 절연막의 재질도 상기 도 6에서 설명된 바와 동일하다.
- [60] 적층되는 제어 게이트의 수가 2에서 16까지 변화하는 경우, 서브스레쉬홀드 스윙(Subthreshold Swing : SS)은 제어 게이트가 증가함에 따라 다소 증가함을 알 수 있다. 서브스레쉬홀드 스윙은 드레인-소스 간의 전류 I_{ds} 의 변화에 대한 게이트 전압 V_g 의 변화를 의미한다. 즉, 드레인-소스간의 전압이 고정된 상태에서 게이트 전압 V_g 를 변경하는 경우, I_{ds} 가 급준하게 변하는 경우, SS는 낮은 값을 유지하고, I_{ds} 의 변화가 작은 경우, SS는 높은 값을 유지한다. 상기 도 8에서 적층되는 제어 게이트의 수가 2에서 16까지 변경되더라도, SS의 변화는 미미하다. 이는 제어 게이트의 적층수가 V_g 와 I_{ds} 사이의 동작특성에 영향을 미치지 않음을 알 수 있다.

- [61] 또한, 온-전류(On-current) 특성은 "□"로 표시된다. 온-전류는 플래시 메모리의 턴온 조건에서 특정의 드레인-소스 간의 전압 인가에 대해 채널을 통해 흐르는 온 전류를 의미한다. 턴온 상태에서 드레인-소스 사이에 일정한 바이어스를 인가한다. 또한, 적층되는 제어 게이트의 수가 증가할수록 채널의 길이는 증가한다. 따라서, 온 전류는 채널의 증가에 의해 감소하는 특성을 나타낸다. 다만, 차단 절연막이 구비되지 않은 종래의 플래시 메모리는 낮은 온 전류 특성을 나타내었다. 예컨대, 상기 도 6과 같은 조건에서 적층 제어 게이트의 수가 2인 경우, 차단 절연막이 구비되지 않은 종래의 플래시 메모리의 온 전류는 0.85×10^{-4} A로 측정된다. 반면, 본 실시예에 따른 플래시 메모리는 동일한 적층 제어 게이트를 가진다 하더라도, 온 전류가 1.8×10^{-4} A로 측정된다. 이는 동일 조건에서 온 전류가 2배 이상 상승함을 나타낸다.
- [62] 또한, 본 발명에서는 하나의 게이트 스택 영역은 차단 절연막을 통해 2 그룹의 제어 게이트들로 구분된다. 각각의 제어 게이트들은 각각의 셀 트랜지스터를 형성한다. 따라서, 동일한 면적에 차단 절연막이 도입되지 않은 경우에 비해 2배의 집적도를 획득할 수 있는 잇점을 가진다.

청구범위

- [청구항 1] 절연막 상에 형성된 게이트 스택 영역;
 상기 절연막 상에 형성되고, 상기 게이트 스택 영역의 일측에 형성된 소스 영역; 및
 상기 절연막 상에 형성되고, 상기 게이트 스택 영역을 중심으로 상기 소스 영역에 대향하는 드레인 영역을 포함하고,
 상기 게이트 스택 영역은,
 중심부위의 차단 절연막에 의해 분리되고, 상기 차단 절연막을 중심으로 서로 대향하는 다수의 제어 게이트들을 포함하는 것을 특징으로 하는 3차원 구조를 가지는 낸드 플래시 메모리.
- [청구항 2] 제1항에 있어서, 상기 게이트 스택 영역은,
 상기 제어 게이트와 층간 절연막이 순차적으로 적층된 다층 제어 게이트;
 상기 다층 제어 게이트의 측면과 상면에 형성된 블로킹 절연막;
 상기 블로킹 절연막의 측면과 상면에 형성된 전하 트랩층;
 상기 전하 트랩층의 측면과 상면에 형성된 터널링 절연막; 및
 상기 터널링 절연막의 측면과 상면에 형성된 채널을 포함하는 것을 특징으로 하는 3차원 구조를 가지는 낸드 플래시 메모리.
- [청구항 3] 제2항에 있어서, 상기 다층 제어 게이트는 상기 차단 절연막을 더 포함하고, 상기 차단 절연막에 의해 상기 기판의 수평 방향으로 분리되는 것을 특징으로 하는 3차원 구조를 가지는 낸드 플래시 메모리.
- [청구항 4] 제2항에 있어서, 상기 소스 영역 또는 상기 드레인 영역은, 다결정 실리콘을 포함하고, 상기 채널과 일체로 형성되는 것을 특징으로 하는 3차원 구조를 가지는 낸드 플래시 메모리.
- [청구항 5] 제4항에 있어서, 상기 소스 영역 또는 상기 드레인 영역은 상기 절연막 상의 채널에 대한 이온주입에 의해 형성되는 것을 특징으로 하는 3차원 구조를 가지는 낸드 플래시 메모리.
- [청구항 6] 제2항에 있어서, 상기 차단 절연막은 상기 제어 게이트들 및 상기 층간 절연막을 관통하여 형성되고, 상기 절연막 상부까지 신장되는 것을 특징으로 하는 3차원 구조를 가지는 낸드 플래시 메모리.
- [청구항 7] 기판 상에 형성된 절연막;
 상기 절연막 상에 형성된 소스 영역;
 상기 절연막 상에 형성되고 상기 소스 영역에 대향하는 드레인 영역; 및
 상기 절연막 상에 형성되고, 상기 소스 영역과 상기 드레인 영역

사이에 배치되며, 다수의 제어 게이트들이 상기 기판에 수직한 방향으로 적층되고, 인접한 상기 제어 게이트들은 상기 기판에 수직한 방향 및 상기 기판에 수평한 방향으로 상호간에 분리된 게이트 스택 영역을 포함하는 3차원 구조를 가지는 낸드 플래시 메모리.

[청구항 8]

제7항에 있어서, 상기 게이트 스택 영역은,
상기 제어 게이트와 층간 절연막이 순차적으로 적층된 다층 제어 게이트;

상기 다층 제어 게이트의 측면과 상면에 형성된 블로킹 절연막;
상기 블로킹 절연막의 측면과 상면에 형성된 전하 트랩층;
상기 전하 트랩층의 측면과 상면에 형성된 터널링 절연막; 및
상기 터널링 절연막의 측면과 상면에 형성된 채널을 포함하는
것을 특징으로 하는 3차원 구조를 가지는 낸드 플래시 메모리.

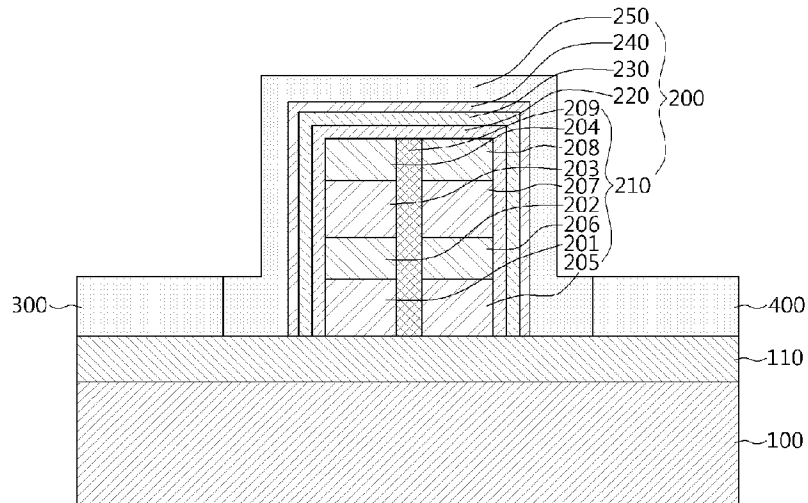
[청구항 9]

제8항에 있어서, 상기 다층 제어 게이트는 상기 제어 게이트들 및
상기 층간 절연막을 관통하여 형성되는 차단 절연막을 더
포함하고, 상기 차단 절연막은 상기 절연막 상부까지 신장되는
것을 특징으로 하는 3차원 구조를 가지는 낸드 플래시 메모리.

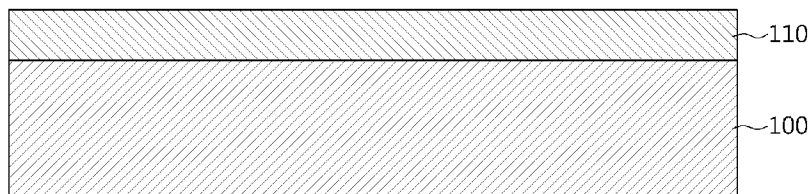
[청구항 10]

제9항에 있어서, 상기 제어 게이트들은 상기 기판에 수평한 방향의
일측면으로만 상기 블로킹 절연막과 접하는 것을 특징으로 하는
3차원 구조를 가지는 낸드 플래시 메모리.

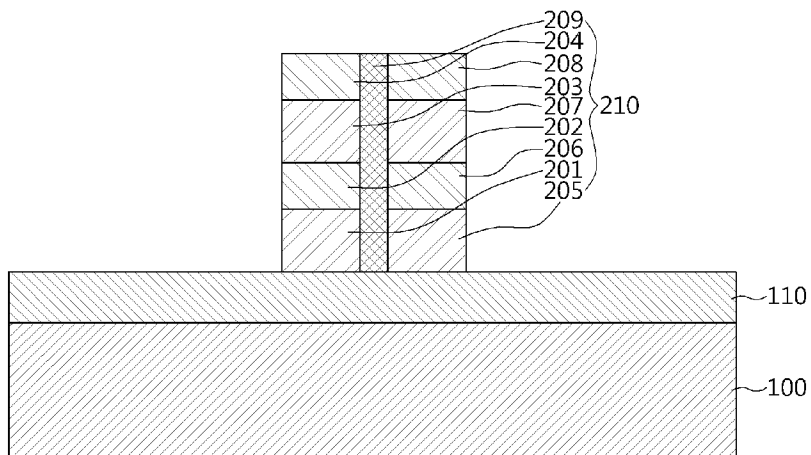
[Fig. 1]



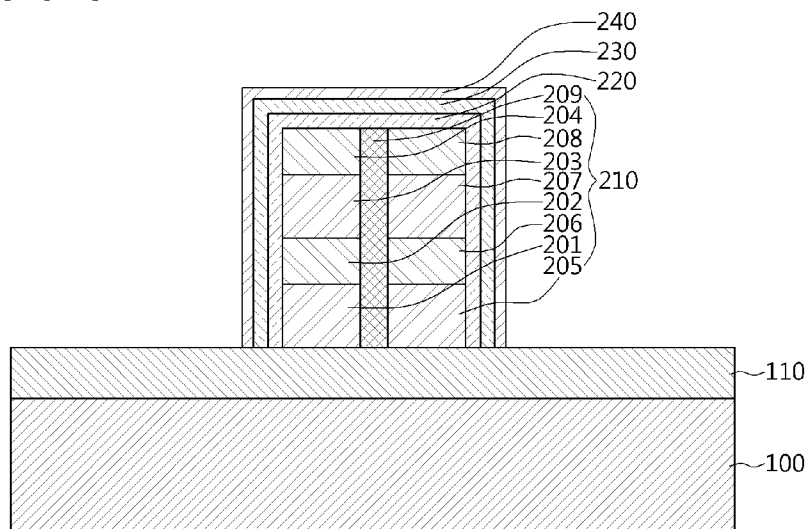
[Fig. 2]



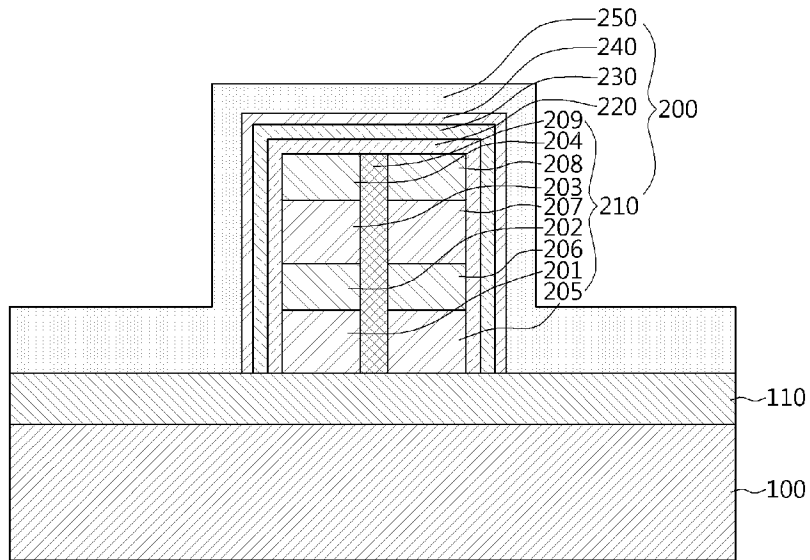
[Fig. 3]



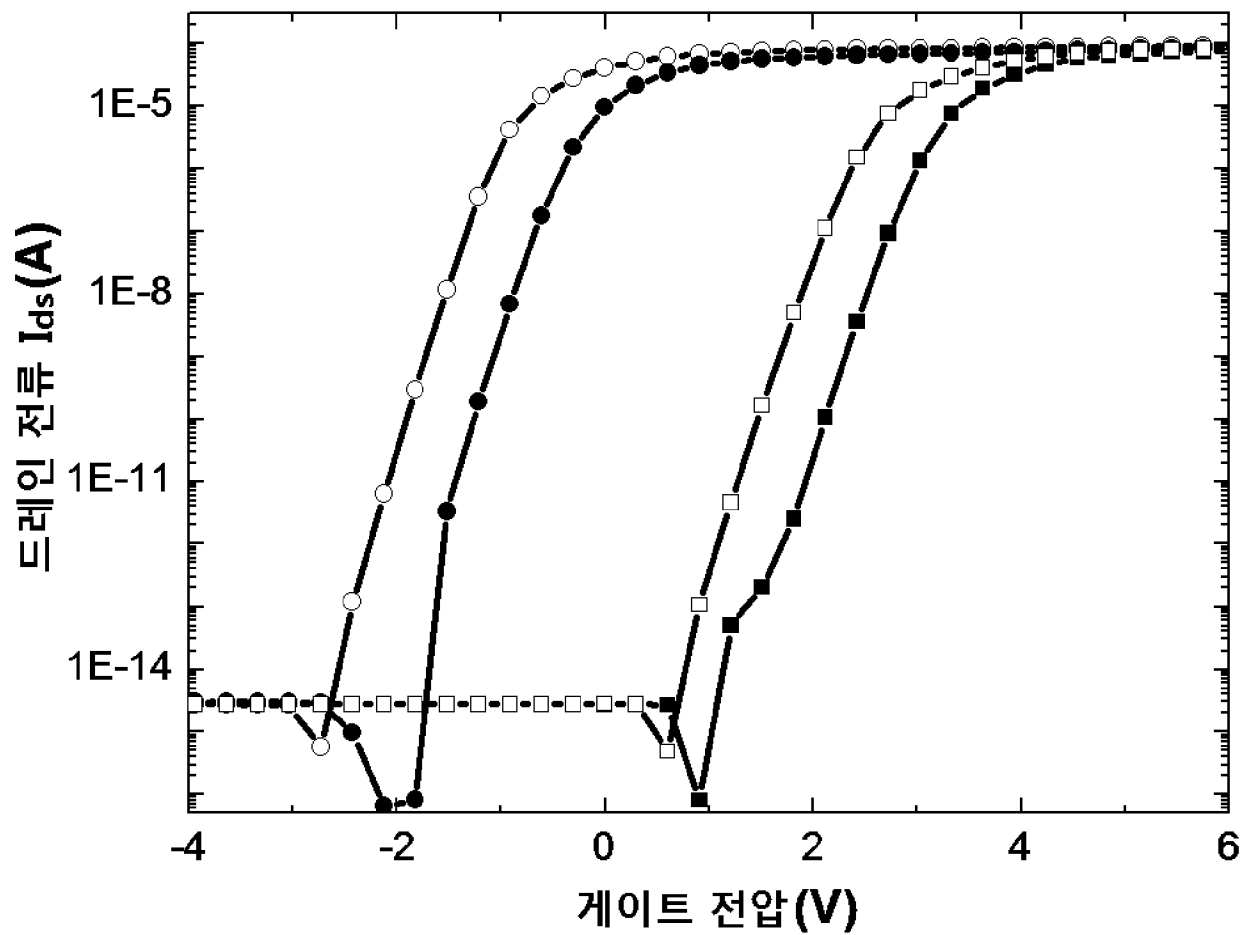
[Fig. 4]



[Fig. 5]

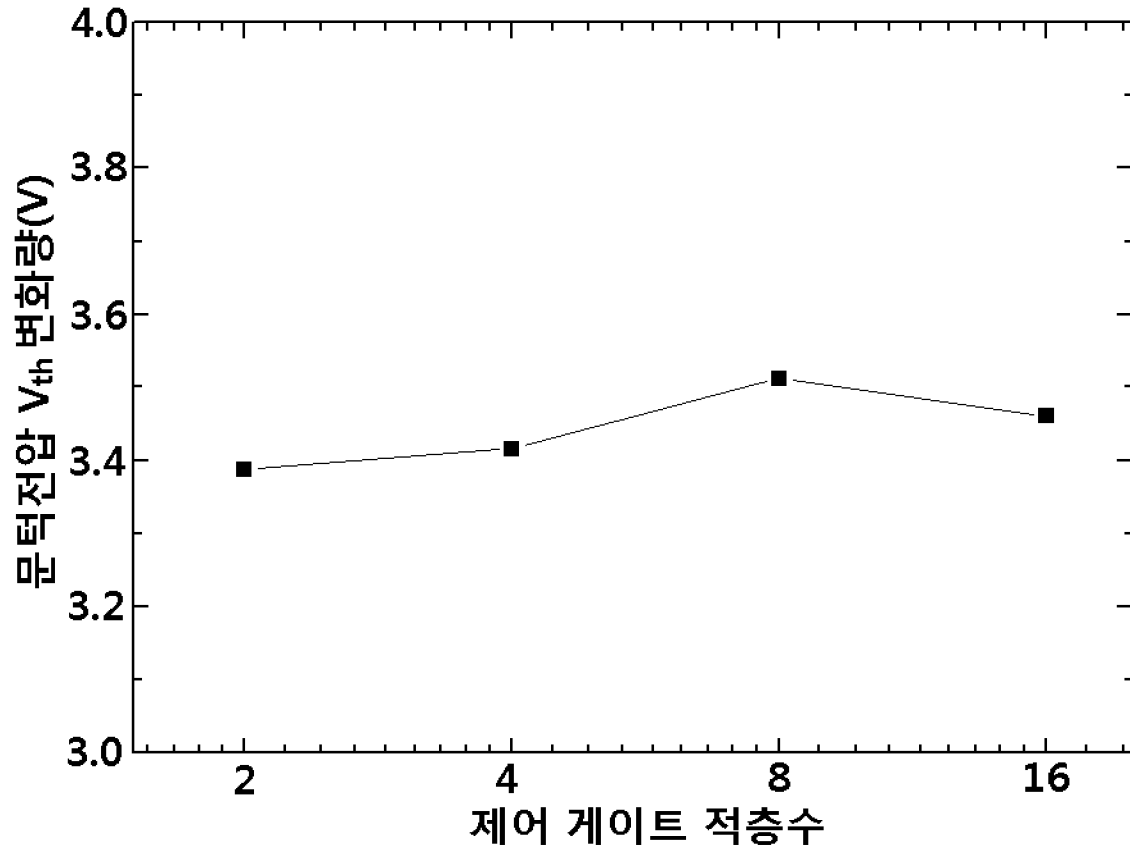


[Fig. 6]



- : 차단 절연막이 형성되지 않은 경우의 초기화 상태의 전압-전류
- : 차단 절연막이 도입된 경우의 초기화 상태의 전압-전류
- : 차단 절연막이 없는 경우 프로그램 상태의 전압-전류
- : 차단 절연막이 도입된 경우의 프로그램 상태의 전압-전류

[Fig. 7]



[Fig. 8]

