



## [12] 发明专利申请公开说明书

G11C 11/412 H01L 21/8244  
H01L 27/11

[21] 申请号 01805996.1

[43] 公开日 2003 年 4 月 2 日

[11] 公开号 CN 1408118A

[22] 申请日 2001.3.5 [21] 申请号 01805996.1

[30] 优先权

[32] 2000.3.3 [33] CA [31] 2,299,991

[86] 国际申请 PCT/CA01/00273 2001.3.5

[87] 国际公布 WO01/65565 英 2001.9.7

[85] 进入国家阶段日期 2002.9.3

[71] 申请人 睦塞德技术公司

地址 加拿大安大略省

[72] 发明人 里卡德·福斯 科马克·奥康奈尔

[74] 专利代理机构 中科专利商标代理有限责任公司

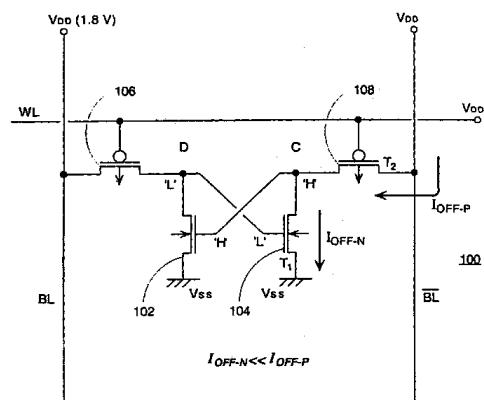
代理人 龚海军

权利要求书 4 页 说明书 14 页 附图 14 页

[54] 发明名称 一种改进的高密度存储单元

[57] 摘要

一种存储器单元，包括：一反向级；一耦合在一数据线和反向级的输入端之间的存取晶体管，该存取晶体管与控制信号相对应，用于有选择地耦合数据线和反向级的输入；一耦合在反向级输入端并与反向级的输出端相对应的反馈部件，用于在第一逻辑状态下锁定反向级，从而利用流经存取晶体管的、大于流经反馈晶体管的电流的泄漏电流把所述单元保持在一第二逻辑状态。



1、一种存储器单元，包括：

- 5 (a) 具有一输入节点和一输出节点的 CMOS 反向级；  
10 (b) 一耦合在一位线和所述反向层级的输入节点之间的存取晶体管，  
用于根据沿控制线接收的控制信号有选择地把所述位线耦合到所述反向级  
的输入节点；  
15 (c) 一耦合在所述反向级输入节点和一供电导线之间的反馈部件，  
用于根据所述反向层级的输入节点处的信号、在第一逻辑状态下锁定所述  
反向级，从而利用流经所述存取晶体管的、大于流经所述反馈晶体管的电  
流的漏电流把所述单元保持在一第二逻辑状态。

2、如权利要求 1 所述的存储器，所述控制线是一字线。

3、如权利要求 1 所述的存储器，所述数据线是一位线。

- 15 4、如权利要求 4 所述的存储器元件，所述晶体管是 PMOS 元件，而所  
述存取晶体管是 NMOS 元件。

5、一种存储器单元，包括：

- 20 (a) 一包括第一和第二晶体管的 CMOS 反向器；  
(b) 一以栅极对漏极、漏极对栅极的结构形式交叉耦合到所述第一  
晶体管的第三晶体管；  
(c) 一与所述第三晶体管的极性类型相反的第四晶体管，把所述第  
三晶体管的漏极耦合到一位线，并把相应的字线控制信号耦合到其栅极。

- 25 6、如权利要求 5 所述的存储器单元，其特征在于设有将该单元耦合  
到位线的晶体管，该晶体管在其断开情况下漏极至源极的泄漏电流大于与  
其连接的单元节点处的电流，从而在该单元不能积极地拉动与其状态相反  
的那个节点时，可确保在那个节点上保持逻辑电位。

7、一种存储器单元，包括：

- 30 一 CMOS 反向器，从一固定电源线和一字线给 CMOS 反向器输入信号，  
所述字线代替一第二电源线；  
一与固定电源连接的晶体管、以栅极对漏极、漏极对栅极的结构形式

交叉耦合的第三晶体管，第三晶体管与固定电源连接的晶体管有相同极性类型；

一与所述第三晶体管的极性类型相反的第四晶体管，在与其栅极耦合的所述字线的控制下，把所述第三晶体管的漏极耦合到一位线。

5 8、如权利要求 7 所述的存储器电源，其特征在于设有将该单元耦合到位线的晶体管，该晶体管在其断开情况下漏极至源极的泄漏电流大于与其连接的单元节点处的电流，从而在该单元不能积极地拉动与其状态相反的那个节点时，可确保在那个节点上保持逻辑电位。

10 9、如权利要求 5 所述的存储器电源，在一条字线或多条字线的控制下，将把该单元的一节点耦合到一辅助位线或多条位线的一个或多个辅助晶体管加到该存储器单元上，从而构成一多端口类型的存储器单元。

10、如权利要求 7 所述的存储器单元，在一条字线或多条字线的控制下，将把该单元的一节点耦合到一辅助位线或多条位线的一个或多个辅助晶体管加到该存储器单元上，从而构成一多端口类型的存储器单元。

15 11、如权利要求 5 所述的存储器单元，在该单元上增加四个晶体管，其中两个连接到存储器单元的节点，而且这两个晶体管并联；其栅极被与位线平行的 SEARCH 和  $\overline{\text{SEARCH}}$  条形线驱动的那两个晶体管构成一“同”门，该“同”输出驱动一与字线平行的匹配条形线，从而构成一二进制 CAM 单元。

20 12、如权利要求 7 所述的存储器单元，在该单元上增加四个晶体管，其中两个连接到存储器单元的节点，而且这两个晶体管并联；其栅极被与位线平行的 SEARCH 和  $\overline{\text{SEARCH}}$  条形线驱动的那两个晶体管构成一“同”门，该“同”门的输出驱动一与字线平行的匹配条形线，从而构成一二进制 CAM 单元。

25 13、如权利要求 5 所述的存储器单元，包括一如权利要求 1 所述的第二存储器单元，共用一条字线，这对单元的每一个单元都设有一与晶体管

的栅极连接的等效节点，所述晶体管与分别由 SEARCH 和 SEARCH 条形线驱动的那个晶体管的栅极串联，构成一“同”门，该“同”门的输出驱动一与工作线平行的匹配条形线，从而构成一三进制 CAM 单元。

14、如权利要求 7 所述的存储器单元，包括一第二存储器单元，共用  
5 一条字线，这对单元的每一个单元都设有一与晶体管的栅极连接的等效节  
点，所述晶体管与分别由 SEARCH 和 SEARCH 条形线驱动的那个晶体管的栅  
极串联，构成“同”门，该“同”门的输出驱动一与字线平行的匹配条形  
线，从而构成一三进制 CAM 单元。

15、如权利要求 7 所述的存储器单元，其中在字线电位的非激活状态  
10 极性其进行控制，从而在单元节点不能积极地拉动供电导线时，可确保存  
取晶体管向耦合到节点 上的所述节点提供充足的电荷，以保持逻辑电位。

16、如权利要求 7 所述的存储器单元，其中控制非激活状态的字线电  
位，从而在与存取晶体管连接的节点积极地拉动供电导线的状态下进行写  
入时，写入电位更加接近所述供电导线。

17、如权利要求 7 所述的存储器单元，其中制作成的存取晶体管的阀  
值电压低于反向器负载元件的电压。

18、如权利要求 7 所述的存储器单元，包括一第二存储器单元，并共  
用一条字线，这对单元的每一个单元都设有一晶体管，该晶体管的源极与  
反向器的节点连接，它们的栅极分别连接 SEARCH 和 SEARCH 条形线，它们  
20 的漏极连接到与字线平行的匹配条形线，从而构成一三进制 CAM 单元。

19、如权利要求 19 所述的存储器单元，包括用于读出匹配和不匹配  
状态之间的差别、并用于利用三进制 CAM 单元中的匹配条形线上的近似值  
 $V_t$  进行区分的部件。

20、一种存储器单元，只需要一位线、一字线以及一能够在动态模式  
25 下进行操作并能够在静态模式下保持数据的 Vss 电源，只能使用一规则的  
CMOS 逻辑过程制作这种 Vss 电源，从而能够达到高质量的性能，比 DRAM

的制作成本更低，比传统 SRAM 的密度更高。

21、一种用于存储器电源的结构，包括：

- (a) 限定一硬节点的第一区域；
- (b) 基本上环绕所述第一节点并限定一软节点的第二区域，每一  
5 节点由多个触点组成，每一触点包括至少一层金属，其中该单元包括一由第一和第二晶体管组成的 CMOS 反向器；
- (c) 一以栅极对漏极、漏极对栅极的结构形式交叉耦合到所述第一晶体管的第三晶体管；
- (d) 一与所述第三晶体管的极性类型相反的第四晶体管，所述第四  
10 晶体管在软节点处将所述第三晶体管的漏极耦合到一位线，并把相应的字线控制信号耦合到其栅极。

## 一种改进的高密度存储单元

5

### 发明领域

本发明涉及一种存储设备，更具体地说，涉及一种用于嵌入存储器应用程序的存储单元。本文所讨论的特殊应用程序组成可用于嵌入存储系统的按内容寻址的存储器（CAM）。

10

### 发明背景

由于晶体管最小特征尺寸的减小和半导体元件制作能力的提高，技术上有很多改进，使半导体存储器的密度持续增加。无论是静态随机存储器（SRAM）还是动态随机存储器（DRAM）都得益于产品的改进和嵌入方法的实施。嵌入式存储器的应用一般涉及到将存储器和其他逻辑功能组合到在单个半导体元件上，从而可在存储器部分和其他电路之间进行很高的带宽操作。嵌入式存储器系统的一般应用程序包括微处理器超高速缓冲存储器、微控制器存储器和各种芯片式系统的应用程序。

在网络工业中，通常来说，存储器在增加网络系统的性能方面起到非常重要的作用，具体来说，例如在 Layer 3 Fast Ethernec 以及 Gigabit 转换的领域中。在这种转换中，存储器起到的特殊作用就是加快地址查询。一般来说，这种类型的操作涉及到输入数据包的地址信息与现有数据库的比较，该数据库是由表示将把输入的数据包引向何处的可能地址组成的。特别是在改变网络协议而且用于存储这种信息的数据库连续增加时，这种类型的操作就非常适用于采用按内容寻址的存储器（CAM）实现。

历史上，由于需要较大尺寸的单元实现 CAM，因此 CAM 没有广泛地用作 DRAM 或 SRAM。但是，在应用具体的电路（ASIC）时，经常使用 CAM 实现应用具体的存储器，例如用作表格查询和联合计算。

对于网络应用来说，CAM 最适用于需要实现高性能宽字节检索算法的应用中。在此情况下，基于 CAM 的检索比其他检索算法有优势，例如，基

于检索的软件实现的二进制树。这是由于 CAM 能够使用非常宽的字节进行检索，并可平行检索多个位置。一般来说，根据其单元中的内容而不是根据物理位置访问 CAM 中的数据。CAM 通过将所要检索的信息（称作检索数据）与 CAM 中的内容进行比较而进行操作。当（如果）发现匹配的内容时，  
5 就作为输出返回匹配的地址。

一般的技术背景是，在发表在 VLSI 期刊 23 期（1997）(VLSI journal 23(1997)) 上第 171—188 页的 INTEGRATION 中的、由 Kenneth Schultz 所著的文章“内容可寻址存储器核心单元——纵览 (Content-addressable memory core cells—A survey)”中讨论了关于各种类型的 CAM 单元及其  
10 操作过程的一般背景技术。正如在此文章中所述，可利用 SRAM 和 DRAM 类型的存储器单元实现 CAM 单元。使用这两类存储器构造 CAM 有明显的优点和缺点。一般来说，与基于 CAM 的 SRAM 相比较，由于降低了构成一单元所需的元件数量，因此基于 CAM 的 DRAM 具有更高密度的容量，但是为了保持所存储的数据，需要进行周期性地更新，其复杂性增加了。例如在 Mundy  
15 的美国专利 US3701980、以及美国专利 US4831585、Wade Sodini 和 Lines 等人的美国专利 US4799192 转让给 MOSAID Technologies 的申请号 US09/533128 的美国专利申请中都提出了各种基于 CAM 的 DRAM。

例如，如图 1 简要所示，是一种多年来广泛应用的 CMOS 6 晶体管 (6T) SRAM 单元。这是一种简单耐用的结构，而且根据存取晶体管 Ta 和反向元件 Tn 的比值以及它们的辅助负载 Tp，可以在非破坏和破坏情况下进行读出，在后者情况下，必须感应出所存储的数据，并写回该单元。破坏性读出甚至比一类 1T 单元 DRAM 的相应操作简单得多。这种单元的缺点是，对于 6 晶体管、以及目前来说在现代操作过程中非常重要的晶体管的触点和内部交叉耦合互接，都需要相对很大的面积。当需要向每一单元提供供电电源 Vdd 和 Vss 时，也需要每一单元的辅助位线和位线受到数据包密度的  
25 进一步约束。

多年来，还知道非对称的 5T 单元，如图 2 简要所示。这比图 1 所示的 6T 单元有很小的改进，但是在确保可靠地写入方面增加了难度，而且在很少使用的单个不平衡位线元件上进行感应时更慢了。

30 最后，还有多种结构的 4T 单元。通常的结构是采用阻值非常高的电

阻代替交叉耦合的 PMOS 负载，如图 3 所示。这样仅仅是克服了单元存储节点的泄漏。每次存取单元时，还要从位线恢复逻辑高电位，而且在动态模式下，才能进行这种操作。

也曾作过多种尝试，当负载电阻从位线输送电荷、以保持“1”电位时，使存取晶体管发挥许多相同的功能。在 20 世纪 70 年代中期，Intel 介绍了一种采用 4 晶体管单元的“二维更新 (Planar Refresh)”1K DRAM，可周期性地脉动字线以便同时更新所有的单元。更近的 4 晶体管 (4T) 方法是，由 NEC 在 2001 年 2 月提出的“A 16Mb 400Hz Loadless CMOS Four-Transister SRAM Macro (16 兆位 400 赫兹无负载 CMOS 4 晶体管 SRAM 宏 )”ISSCC，就使用了比 N 沟道交叉耦合元件泄漏更大的 P 沟道存取晶体管。

上述电路的一些缺点在于，对于许多存储器应用程序来说，对单个芯片处理或者所谓的在芯片上的系统 (system-on-a-chip) 处理的要求增加了，这种处理要求在单个半导体芯片上把存储器和逻辑功能合并起来。对于 DRAM 单元来说，制作 DRAM 一般需要特定的处理步骤，以组成单元电容结构，例如叠层或者道沟单元电容。相反，可通过标准的逻辑过程或者所谓的“非 DRAM 过程”很容易地实现 SRAM 存储器单元。但是，SRAM 存储器的缺点在于，SRAM 单元一般包括 6T 或 4T 加上 2 个电阻，与一般 DRAM 单元中发现的单个晶体管加电容的结构相比，占用了相当大的硅面积。当用来组成三进制的 CAM (三种逻辑状态) 存储器单元时，由于实现一般三进制 CAM 单元所需的异或 NOR 功能需要求另外的复杂性，致使需要相对大的 CAM 存储器单元，进而使 DRAM 和 SRAM 的这些特征被放大了。还有，尽管基于 CAM 的 DRAM 比基于 CAM 的 SRAM 具有密度优势，但是，基于技术上的 DRAM 一般所需的特殊制作步骤，在嵌入式存储器的应用中，限制了基于 CAM 的 DRAM 电流势能。

虽然提出把 DRAM 的操作步骤和规则的逻辑性能结合在一起的方法更可行了，但是要更多地考虑到复杂性和成本，证明它们只能在有限的应用场合使用。更重要的是，对于给定的几何结构来说，相对于更简单的全逻辑操作过程，这种操作过程在工业上的有效性有时间延迟，这种时间延迟进一步地影响到嵌入 DRAM 的经济情况。因此，对于一个模片上的给定的

存储器与逻辑的比例来说，在使用合并有 DRAM/逻辑的 0.25 微米的工序实现存储器部分与在全逻辑 0.18 微米的工序上使用 SRAM 实现存储器部分相比的情况下，模片实际上更大。在应用中，这就产生了特殊问题，例如在嵌入时，即便在招致甚至更大的面积损失的独特结构中，CAM 也具有很高的逻辑值。  
5

正如进一步地考虑的那样，不同铸造过程之间的可移植性对于合并过  
程来说比较差，而且此时的 CAD 工具不很适当。

因此，尽管最初没有专用的嵌入式存储器的应用程序，但很希望提供  
一种存储器单元，这种单元得益于基于高密度特征并能够实现纯逻辑过程  
10 的 DRAM，这种纯逻辑过程不需要用于组成电容性结构的辅助制作过程。最好  
是，这种新的单元由比一般 SRAM 存储器单元有更少的晶体管组成，而  
且不需要存储电荷的单元电容。进一步地，需要采用这种类型的高密度存  
储器单元组成用于 CAM 的嵌入式单元。

## 15 发明概述

本发明试图提供一种用于高密度单元应用程序的存储器单元，比传统  
SRAM 单元的尺寸更小，并且能够存储静态数据，也就是说，不需要更新单  
元中的数据。

本发明的一个优点是代替了规则和嵌入式 SRAM 和 DRAM 单元。特别是，  
20 可采用规则的逻辑过程构成存储器单元，需要与复杂的电容结构有关的辅  
助步骤。另外，该存储器特别适用于复杂的功能，需要独立的读出和写入  
途径以及内容可寻址存储器（CAM）。

根据本发明所述，提供一种存储器单元，包括：

- (a) 具有一输入节点和一输出节点的 CMOS 反向层级；
- 25 (b) 一耦合在一位线和所述反向级的输入节点之间的存取晶  
体管，用于根据沿控制线接收的控制信号有选择地把所述位线耦合  
到所述反向级输入节点；
- (c) 一耦合在所述反向层级输入节点和一供电导线之间的反  
馈部件，用于根据所述反向层级的输入节点处的信号、在第一逻辑  
30 状态下锁定所述反向层级。

## 附图简要说明

在下面参照附图所作的详细说明中，可更清楚地理解本发明的最佳实施例所述的这些和其它特征。

5 图 1 是根据现有技术所述的一 6T SRAM 单元的简要结构图；

图 2 是根据现有技术所述的一 5T SRAM 单元的简要结构图；

图 3 是根据现有技术所述的一带有负载电阻的 4T SRAM 单元的简要结构图；

图 4 是根据现有技术所述的一“无负载”4T SRAM 单元的简要结构图；

10 图 5 是根据本发明的一实施例所述的存储器单元；

图 6 是根据本发明进一步的实施例所述的一三进制 CAM 单元；

图 7 是根据本发明的一实施例所述的一 N 沟道四元结构的简要结构图；

图 8 是根据本发明的另一实施例所述的一三进制 CAM 单元的简要结构图；

图 9 是根据进一步的实施例所述的一非对称 4T 存储器单元的简要结构图；

图 10 是根据另一实施例所述的一存储器单元的简要结构图；

图 11 是采用图 10 所示的单元的一二进制 CAM 单元的简要结构图；

20 图 12 是采用图 10 所示的单元的一全三进制 CAM 单元的简要结构图；

图 13 是图 12 所示一放大的三进制单元的简要结构图；

图 14 是图 12 所示 1/2 三进制 CAM 单元结构的简要结构图。

## 最佳实施例的说明

25 参照图 4，该图表示根据现有技术所述的无负载 CMOS 4T SRAM 单元 100。该 SRAM 单元 100 包括一对用于驱动晶体管的交叉耦合 NMOS 元件 102 和 104 以及一对耦合到各自的节点 C 和 D 以便访问晶体管的 PMOS 元件 106 和 108。除了与现有技术中的实施方式不同之外，这种结构与 20 世纪 70 年代使用的无负载 CMOS 四晶体管 (4T) DRAM 单元十分相似，交叉耦合元件是 NMOS，存取元件是 PMOS。存取晶体管 106 和 108 与各自的位线(BL/BL)

连接，它们的栅极与字线（WL）连接。电路结构 100 是由具有这样特征的晶体管组成的，从而使位线（BL/ $\overline{BL}$ ）是预充电的逻辑高位（VDD）而且控制制作过程和/或 P 沟道栅极电压以确保 PMOS 元件的漏电流大于 NMOS 时，  
5 单元 100 的工作过程类似于标准加载电阻 SRAM 单元。换句话说，为了不用更新周期就能保持数据，PMOS 元件的关状态电流  $I_{OFF-P}$  必须大于 NMOS 元件的  $I_{OFF-N}$ 。

单元 100 采用 PMOS 存取晶体管 106 和 108 作为单元中保持数据的负载元件，而不需更新操作。更具体地说，在保持状态下，向位线（BL/ $\overline{BL}$ ）预充电到 VDD 电压（高电位），而也向字线 WL 预充电到 VDD。

10 假设单元中的数据存储为逻辑高电位（‘H’）或者 VDD 电位在节点 C、以及逻辑低电位（‘L’）或者 Vss 电位在节点 D（当然，对于相反的状态，即也可存储为在节点 D 时为 ‘H’ 并在节点 C 时为 ‘L’），该单元可保持所存储的数据，即通过确保流过 PMOS 存取晶体管 108 的漏电流或者断开状态电流大于流过 NMOS 晶体管 104 的断开状态电流、即  $I_{OFF-P} > I_{OFF-N}$  时，在  
15 节点 C 为 ‘H’。通过相对于 PMOS 元件的阈值电压增加 PMOS 元件的阈值电压可实现这种状态，从而使流过 PMOS 元件 108 的漏电流大于流过 NMOS 元件 104 的漏电流。因此， $VDS = 1.8V$ （即其漏—源极之间的电压）时，NMOS 晶体管 104 的断开状态电流低于  $VDS = 0.05V$  时 PMOS 晶体管 108 的断开状态电流大约两个数量级的幅值。

20 图 4 所示的电路中，有许多种方法可偏置“漏电流线路（race）”。一种方法是通过选择栅极离子植入方式而简单地控制晶体管阈值电压  $V_T$ 。由于反向工作效应影响到建立掩埋通道，因此利用 N 型多晶硅门电路制成的 P 沟道沟道元件可能发生泄漏。如果问题主要是次级阈值泄漏，调整宽度和/或长度则可能产生所需阈值电压的相对差值。另一种解决方法是向晶体管或衬底（根据元件的极性）施加偏置电压，来调整阈值电压。例如，  
25 对于设有 PMOS 交叉耦合和 NMOS 存取元件并且目的在于使 NMOS 漏电流大于 PMOS 漏电流的电路来说，通过向 N 型管（即存在于 PMOS 元件中的管）施加（或者输入）一电压，使电压高于 VDD，会增加 PMOS 元件的阈值电压  $V_{TP}$ ，从而降低 P 的子阈值电流。如果从 PMOS 晶体管的源极或漏极向 N 型

管的漏电流 没有增加很多，进而降低了  $V_{TP}$  的增益，则这种方法只是有效。

参照图 5，根据本发明的一种实施例，该图通常用标记 200 表示改进的存储单元。单元 200 包括：一对交叉耦合的 PMOS 晶体管 202 和 204，每一晶体管的源极分别耦合到一 VDD 电源，而且晶体管 204 的漏极在节点 A 5 耦合到一 NMOS 下拉晶体管 208，从而形成一反向级，而晶体管 202 的源极在节点 B 耦合到一 NMOS 存取晶体管 206，该晶体管 206 将节点 B 耦合到位线 BL，同时其栅极耦合到一字线 WL。NMOS 晶体管 208 的源极耦合到字线 WL，而其栅极耦合到一交叉耦合对的节点 A。

因此，可以看出，图 5 所示的单元 200 比图 4 简要所示的单元 100 的 10 改进之处在于：减少了一根位线和地线 VSS。另外，单元 200 设置了至少一个“硬节点”A（即只要 WL 保持启用状态，该节点不会显著地衰减就可保持电压电位），从而在 CAM 操作中提供可能检索询问情况的地线。就象规则的 4T SRAM 可进行动态或静态工作那样，如果由电阻负载或其它类似的元件提供保持电流，单元 200 则可在动态或静态工作模式下进行工作。

15 简单地说，与图 4 的单元 100 相比较，所示出的单元 200 是“倒置”的，其中交叉耦合元件和存取元件的晶体管类型是相反的。但是，根据 P 和 N 之间的泄漏控制方式，当 N 沟道沟道元件作为交叉耦合晶体管 202 和 204 并把 P 沟道晶体管作为存取元件 206 和 208、而位线保持正常高电位时，同样可很好地实现单元 200。下面参照图 9 和 10 进一步地详细说明这种替代的实施例。

再回头参照图 5，单元结构 200 的字线 (WL) 正常情况下保持在逻辑低电位或者接地电位，并在其恢复到接地电压电位之后，只是波动到高电位，以简单地打开存取元件 206。因此，可把字线 (WL) 用作用于电路的反转阶段的地线。增加字线容量存在缺点，但是优点是减少了穿经 CAM 单元的金属线，并简化了向单元的写入过程。

25 下面解释单元的工作过程：在写入操作中，根据要写入的数据的逻辑值设定字线 BL 的高电位或低电位。之后在一预定的时间期间给字线提供脉冲。在此时间期间内，当 WL 为低电位时，数据通过存取元件 206 传递到“软”节点 B（即除非进行节点更新，都将经历信号衰减的节点）。一旦 WL 恢复到逻辑低电位，数据就存储在“软”节点 B 以及相反或者“硬”节

点 A。

存在两种有可能改变单元 200 的状态的写入操作情况。第一种是把逻辑低电位写入目前存储逻辑高电位的单元。第二种是把逻辑高电位写入目前存储逻辑低电位的单元。另两种可能性是把逻辑低电位写入已存储逻辑低电位的单元并把逻辑高电位写入已存储逻辑高电位的单元。也可以支持后两种可能性，但是由于在单元中状态并没有发生变化，因此不进行详细说明。  
5

首先，考虑把逻辑低电位写入存储逻辑高电位的单元的情况。在开始写入操作之前，“软节点” B 是逻辑高电位，或者“硬节点” A 是逻辑低电位。如上所述，字线 WL 在“备用”期间保持逻辑低电位。下一步，把逻辑低电位加载到位线 BL 上，并且开始升高 WL，接通存取单元 206，因此，使节点 B 变成逻辑低电位，之后，在反转阶段，通过上拉 PMOS 晶体管，把节点 A 设定为逻辑高电位。从而把连接到“软节点” B 的 PMOS 晶体管 202 断开。一旦 WL 断开，存取元件 206 就断开，从而使存取元件 206 和上拉 PMOS 晶体管 202 都断开。在此状态下，只是通过泄漏电流保持节点 B 上的逻辑低电位数据。具体地说，流经 NMOS 存取元件 206 的漏电流或 OFF 状态的电流大于流经与节点 B 连接的 PMOS 上拉晶体管 202 的 OFF 状态的电流。例如，通过使 NMOS 晶体管 206 的阈值电压设定为比 PMOS 晶体管 202 的阈值电压更低，就可以实现上述状态。这样就使存取 NMOS 晶体管 206 比 PMOS 元件 202 导电更多。替代地，通过向设有 PMOS 元件的 N 型管上施加高于 VDD 电压的电压，可改变 NMOS 和 PMOS 元件的阈值电压。  
10  
15  
20

其次，考虑把逻辑高电位写入存储低电位的单元的这种情况。执行本质上很相似的上述过程。把逻辑高电位加在位线 BL 上，字线 WL 变成接通存取 NMOS 元件 206 的逻辑高电位。这要经过一  $V_{DD}-V_{TN}$  电位到达节点 B(在 NMOS 元件 206 上产生阈值电压压降  $V_{TN}$ )。NMOS 控制元件 208 正准备接通，当位线 BL 为逻辑高电位时，在存取晶体管 206 处产生 VDD 电位。当 WL 再次变成逻辑低电位时，NMOS 元件 208 完全导通，并使节点 A 变成逻辑低电位。这样完全导通 PMOS 元件 202，从而把很多节点 B 锁定为高电位。在此状态下，由于节点 A 上的逻辑低电位可确保节点 B 保持在高电位，因此不需要有泄漏电流来保持存储在节点 B 和 A 的数据。  
25  
30

下面说明读出操作过程。为了读出存储在节点 B 上的逻辑高电位(以及节点 A 上的逻辑低电位), 位线 BL 开始预充电低电位, 并使字线 WL 的电位升高。当在位线上利用存取晶体管 206 上的阀值电压压降将存储在节点 B 上的高电位读到位线中, 脉动电流开始流入位线, 从而使位线上的电压最终到达  $VDD - V_{TN}$ 。可利用公知的 DRAM 型传感器, 通过将另一半位线与其单元的尺寸为普通单元的一半的、附加在一虚拟单元上的位线相比较, 可检测位线上的这种压差。由于使在位线 BL 上感应到的数据必须存储在节点 B 上 (“软节点”), 使单元保持在正确的数据, 一旦在位线上感应并放大数据, 就把这种逻辑高电位值写回节点 B, 同时把字线保持在高电位。当字线下降时, 就完成写回。

对于读出存储在节点 B 上的逻辑低电位(和节点 A 上的逻辑高电位)的情况来说, 位线开始预充电, 字线电位上升。由于在预充电成低电位的位线和存储在节点 B 上的值之间不存在压差, 因此不会产生电流, 而且节点 B 上的值保持不变。一旦字线电位下降, 就如上所述, 通过确保流经 NMOS 存取元件 206 的漏电流大于流经 PMOS 反馈晶体管 202 的漏电流, 即  $I_{OFF} - N \gg I_{OFF} - P$ , 来保持节点 B 上的值。可如上所述, 通过向 NMOS 元件 206 的 p-well 施加低于 VSS 的电压(例如, 单片产生的负电源电压 VBB), 可以实现上述情况。这将相对于 PMOS 元件 202 的阀值电压有效地降低 NMOS 元件 206 的阀值电压, 并确保流经 NMOS 元件 206 的漏电流大于流经 PMOS 元件 202 的漏电流, 从而保持节点 B 上的逻辑低电位。

必须记住, 如果: (a) 操作单元是一动态 CAM (DCAM) 单元, 或者 (b) 相对于静态模式操作的动态备份模式, 或者 (c) 不需要读出单元的内容(例如在测试或内容读出操作模式下), 则在一 CAM 的读出操作中, 只需要这种读出一恢复功能。但是, 一般来说, 对于 CAM 一般进行的普通检索和比较操作来说, 就不需要读出操作。

在组成本发明所述的单元 200 的过程中, 利用了 P 型和 N 型元件, 因此, 带紧密的  $P^+$  向  $N^+$  间隔(tight  $P^+$  to  $N^+$  spacing) 的道沟绝缘过程会是优选的。

在本发明的进一步实施例中, 可利用本发明所述的单元结构实现一种三进制的 CAM 单元。任何三元 CAM 单元都能够存储“不注意”状态并利用

屏蔽位进行检索。因此，对于每一个，CAM 单元必须具有三种状态，实际上需要两个二进制单元，即该单元必须能够存储逻辑值“0”、逻辑值“1”和逻辑值“不注意”，而且必须能够屏蔽这三个值。

参照图 6，该图示出了本发明的一实施例所述的一 10T 三进制 CAM 单元 300 的结构，该单元 300 包括：一对上述参照图 5 所述的存储单元 200，以及用于实现检索和比较操作所需的异（或）（XOR）功能 304 的辅助元件 306 和 308。有许多方法可实现给定 NMOS 和/或 PMOS 元件的 XOR 功能，每一种实现方法都设有电路，而且其结构都有优缺点。在图 6 中，示出了位于 P 沟道沟道元件 306 和 308 的源极和栅极之间的与门。具体地说，PMOS 晶体管 306 和 308 都分别设有它们自己的连接在各自的“硬”节点 A 和 A' 之间源极一漏极电路以及匹配线  $\overline{MATCH}$ 。它们各自的栅极连接到分别作用于晶体管 306 和 308 的栅极的互补检索线 SEARCH 和  $\overline{SEARCH}$ 。操作 AND 门，使 SEARCH 和  $\overline{SEARCH}$  与所存储的数据进行比较。如果“硬”节点 A 和 SEARCH 都为低电位（而且“硬”节点 A' 和  $\overline{SEARCH}$  为高电位）、或者 A 和 A' 都为低电位、或者 SEARCH 和  $\overline{SEARCH}$  都为高电位（或者当然，A 和 A' 都为低电位而且 SEARCH 和  $\overline{SEARCH}$  都为高电位），则  $\overline{MATCH}$  线只保持在低电位。但是仅仅对  $VDD - V_{TP}$  来说，所有其他组合都会导致  $\overline{MATCH}$  上拉，其中，当其为 源极跟随时， $V_{TP}$  随源极管的偏置而增加。这就需要一种匹配读出电路，检测流入  $VSS$  和  $VSS - V_{TP}$  之间的电位的电流和不流入  $VSS$  和  $VSS - V_{TP}$  之间的电位的电流之间的差别。

在不必冒分布“软”节点 B 和 B' 的风险的情况下，就可以 N 沟道元件实现检索/匹配晶体管 306 和 308 N 沟道。但是，现在的检索线把电流引入了处于低电位的字线，因此匹配检测电路必须响应从匹配线电压流出的电流，该电压为  $VDD$  和  $VDD - V_{TN}$  之间的电压，其中  $V_{TN}$  为源极跟随增强电

压。这样实现的困难在于：基本单元可能需要大于  $V_{TN}$  的电压  $V_{TP}$

此外，可实现更多的传统 4—晶体管 XOR 电路。但是，除一般情况外，与电路 300 相比较，这种电路需要两个附加晶体管，这些晶体管需要非常小的附加面积。参照图 7，示出了 N 沟道 4 晶体管电路结构 400。这两个附加的元件作为共用栅极、共用源极连接到“硬”节点下拉晶体管 404，并且与检索元件 406 和 408 共用源极—漏极。这种结构仍然可使某些漏电流流动到低电位的字线，但是对匹配线没有读出限制。在极性问题上，最好的解决办法是用 P 沟道代替所有四个晶体管。为了避免任何到软节点 B 的耦合，这些晶体管可以是共用栅极、共用源极的，而且这些晶体管的栅检分别连接到节点 A、A' 和 B、B'。这样就可使写入和检索操作几乎能够单独进行。

应当指出的是，一个二进制 CAM 单元只需要一个存储有由两个节点四点驱动的 P 沟道 XOR 的 4T 单元。因此，这种单元设有 8 个晶体管和 6 条引线，而且仍然能够通过不存储“不注意”而进行屏蔽检索。

很明显，在电路的简化、面积和稳定操作之间进行最佳折衷选择时，有许多因素需要衡量。

参照图 8，示出了根据本发明的一个最佳实施例的一三进制 CAM 结构 500 的完整结构。电路 500 以 P 沟道存取晶体管 T1 和 T1' 为基础，因此假设 P 沟道漏电流大于 N 沟道，或者假设单元操作是动态的。字线 WL 通常 20 是逻辑高电位，而由不匹配出现的所有单元而下拉匹配线。存储在“硬”节点 A 和 A' 上的逻辑低电位可防止下拉成存储在 SEARCH 和  $\overline{SEARCH}$  线上的逻辑低电位。由于实际上存在四种状态，因此也可能有其他功能。“硬”节点 A 和 A' 上的逻辑高电位可禁止与检测到与检索字无关的匹配，除非 SEARCH 和  $\overline{SEARCH}$  线上的逻辑低电位屏蔽了检索字。

25 在一包括上述反向单元的响应元件的晶体管中，结构图可能是一族 T1、T1' 和 T2、T2'。T1 和 T1' 共用栅极触点，T3、T4 和 T5 显然是其匹配线可能低于 VSS 的一族。VSS 可能共同连接到下面的反向行单元。

作为一种图 8 所示实施例的另一种改进，尽管采用与上述 Intel 1K DRAM 中采用的平面更新操作相类似的简单更新方式进行读出操作，这种方法仍然能够确保保持数据。如果当与其相应的位线为逻辑高电位时，所选单元的字线（在这种 PMOS 存取设备时，一般保持在 VDD）周期性地下降到 5  $VDD - V_{TP}$ ，这将会通过电流镜象加法子阀值动作，将在存储逻辑高电位在它们的“软”节点 B 上的这些单元中“加满（top up）”至逻辑高电位。可在导通时，利用 NMOS 下拉晶体管很容易地克服这种“加满”电流。这样就可利用图 4 所示的 4T SRAM 单元的对称结构、或者利用一种非对称结构，很可能地进行良好的工作，如图 8 所示，由于 WL 的下降会使驱动结果降低，在“软”节点上保持 N 沟道下降到一逻辑值“0”，因此在这种非 10 对称结构中，下降一半（in the half-flop）（T2 或 T2'）时的 P 沟道的源极为 VDD 而不是 WL。通过参照图 4 所作的说明，这种更新过程将会和静态操作一样清楚，而且这样会误产生多个字线。

图 5 所示的基本单元结构 200 可用于实现 SRAM 的用途，例如作为微 15 处理器/微控制器中的高速缓冲存储器。

在上下文中，如果是静态，单元可以与连接到其上的检索逻辑是“只读”单元。替代地，能够进行破坏性的读出，其读出和恢复状态退化（back in），即怎样进行动态操作。

图 9 示出了本发明的一种进一步地实施例，一种基本非对称的 4T 单元 900。它包括一由一对晶体管 906 和 905 构成的规则的 CMOS 反向器，设有一单个 P 沟道存取晶体管和一 N 下拉到“软”节点的晶体管 904。就象规则的 4T 单元那样，这种“软”节点需要一种以规则 4T 单元而著称的元件来保持逻辑值“1”。这就意味着，通过波动低电位字线或者元件，控制 P 沟道的漏电大于存储逻辑值 1 的节点下拉的漏电，可进行有规则地更新。 20 例如，可把字线的逻辑高电位值调节成一低于 Vdd 的值，或者可把低阀值 PMOS 元件用作存取晶体管。

在某些应用中，有可能进一步地简化图 9 所示的电路。在图 10 中用标记 1000 示出。图 10 所示的实施例中，除了有小脉冲启动存取晶体管 1002 之外，通过把反向器的供电电源节点连接到通常保持在逻辑高电位的字 30 线，可不需要 Vdd 供电电源。还去除了连接存储器单元的金属线，这种方

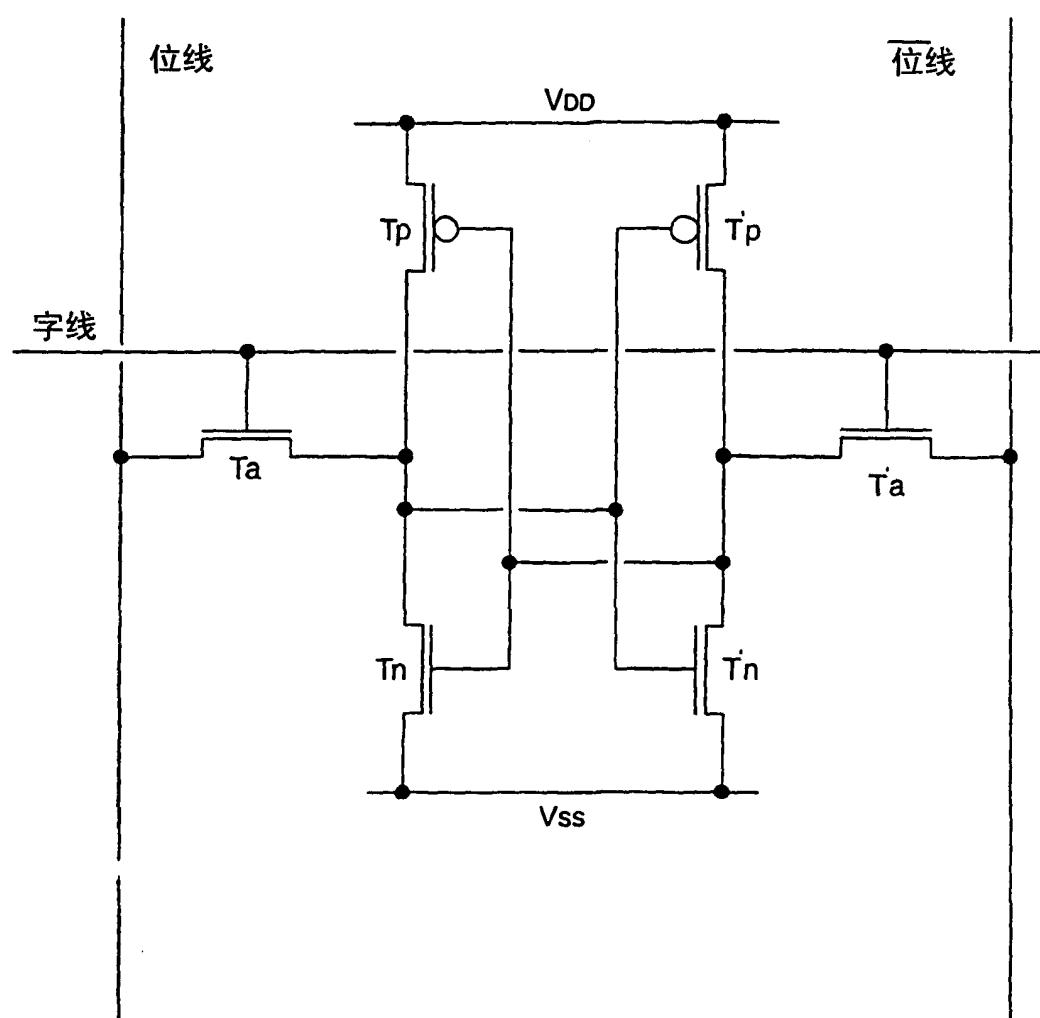
法很容易写入数据，由于对 N 沟道的驱动是自动去除的，在存储逻辑值 0 时，就不再需要 P 沟道存取晶体管 1002 克服 N 沟道 1004 保持降低“软节点”的作用了。这种代价是更难进行读出了。现在单元只能在 N 沟道断开之前接收有限数量的电荷。因此，通过利用一可能有几十毫微微法(10's of fF)的有效电容把一位线预充电成逻辑高电位，可使该单元的作用很象 1T 单元 DRAM 的操作。同样地，需要进行读出和恢复。但是，在例如使用 CAM 的应用中，实际上不需要通过位线读单元。替代地，单元控制对异(或)门的输入，将单元的内容与检索数据进行比较。同样地，在读 WL 控制存取时，单独读 BL 可得到对单元进行独立读和写入的端口。并在这 10 种多端口应用中，减少信号线的数量是很有用的。

参照图 11，示出了一种二进制 CAM 单元 100，其中存储器单元的节点 A 和 B 都作为输入连接到“同”门。如果在所存储的数据与 SEARCH 和  $\overline{\text{SEARCH}}$  线上的数据之间产生任何不匹配的情况，该门的输出就作为一在线或 连接到  $\overline{\text{MATCH}}$  线，该  $\overline{\text{MATCH}}$  线设有一通向地的路径。双逻辑值“0”会使单元的数据被忽略，但是在存储器单元中，不存在存储“不注意”的状态。在图 12 所示的电路 1200 中，存储三种状态需要两字节的存储器。

在图 13 所示的电路 1300 中，进一步简化这种单元，有可能减去“同”门 中的两个晶体管。现在，可在检索晶体管的栅极和源极之间实现单元内容与 SEARCH 和  $\overline{\text{SEARCH}}$  线之间的门功能。这种结构的缺点是需要放在匹配 20 读出电路上。如果单元表示是匹配的，在检索晶体管在相反方向上导电之前，匹配线的高电位只能下降到  $V_{dd} - V_t$ 。因此，需要在电位  $V_{dd} - V_t$  之间区别电路读出和其它部件的某些形式。

参照图 14，示出了在典型的 0.18 微米逻辑过程中的结构，一般表示为标记 1400，该过程可用于图 12 所示的一三进制 CAM 的电路。

25 参照图 14，示出了一三进制 CAM 单元的一般结构，其电路图示在图 12 中。请注意，所示的结构只是图 12 所示电路的一半。为了方便起见，图 14



中的结构用标签标在图上。在此结构中，虚线围住的区域表示金属层，阴影线表示与活动区域（active region）相对应的区域，而连续线围住多硅区域。具体地说，已经指出，软节点部分地或者基本地围住硬节点，因此可确保紧密打包的设计结构(tightly packed layout)。进一步地，由  
5 多个触点组成硬和软节点，每一节点由至少一层金属组成。

尽管参照特定的具体实施例对本发明进行了说明，对于本领域的技术人员来说，不超出在附属权利要求书中所概括的本发明的精神实质和保护范围，很明显，本发明还有许多改进。

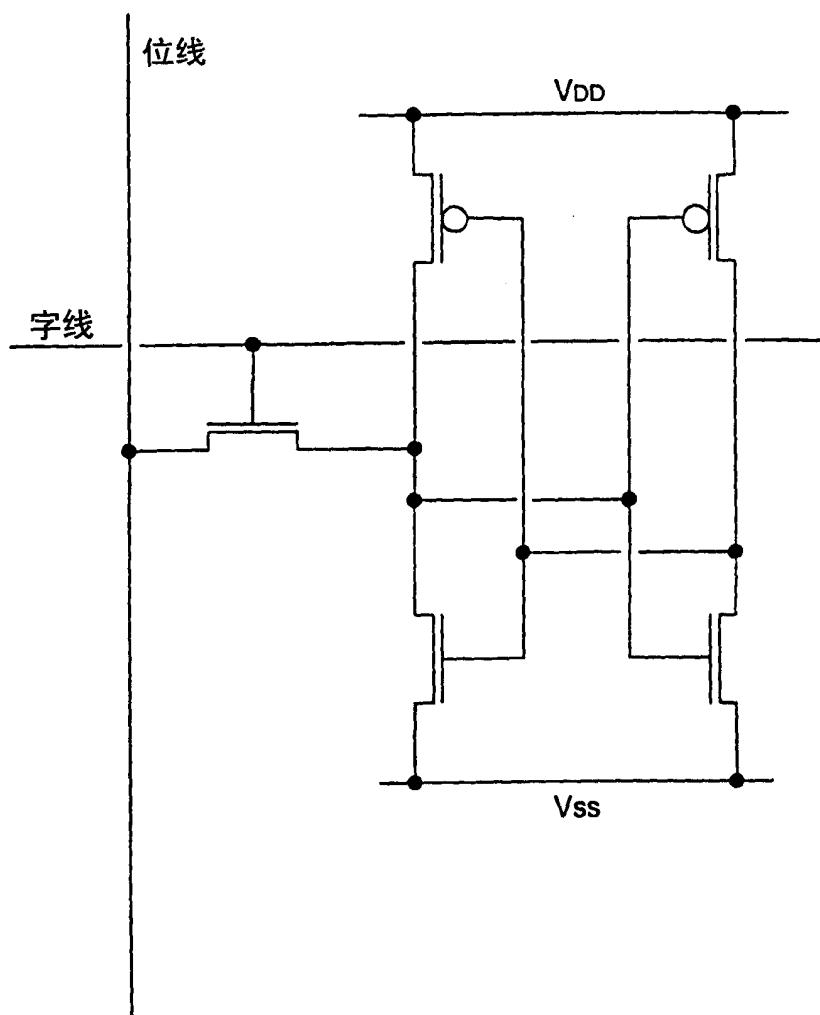


图 2

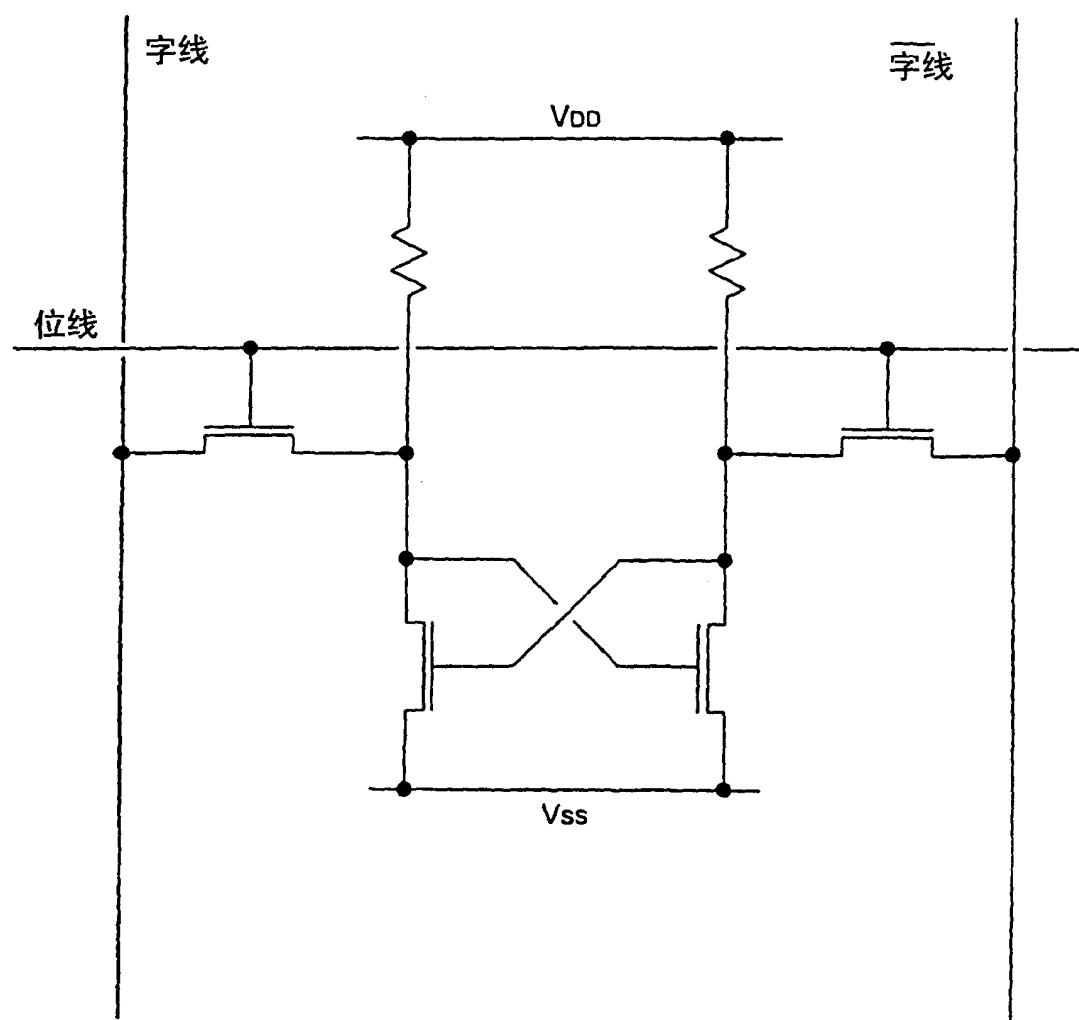


图 3

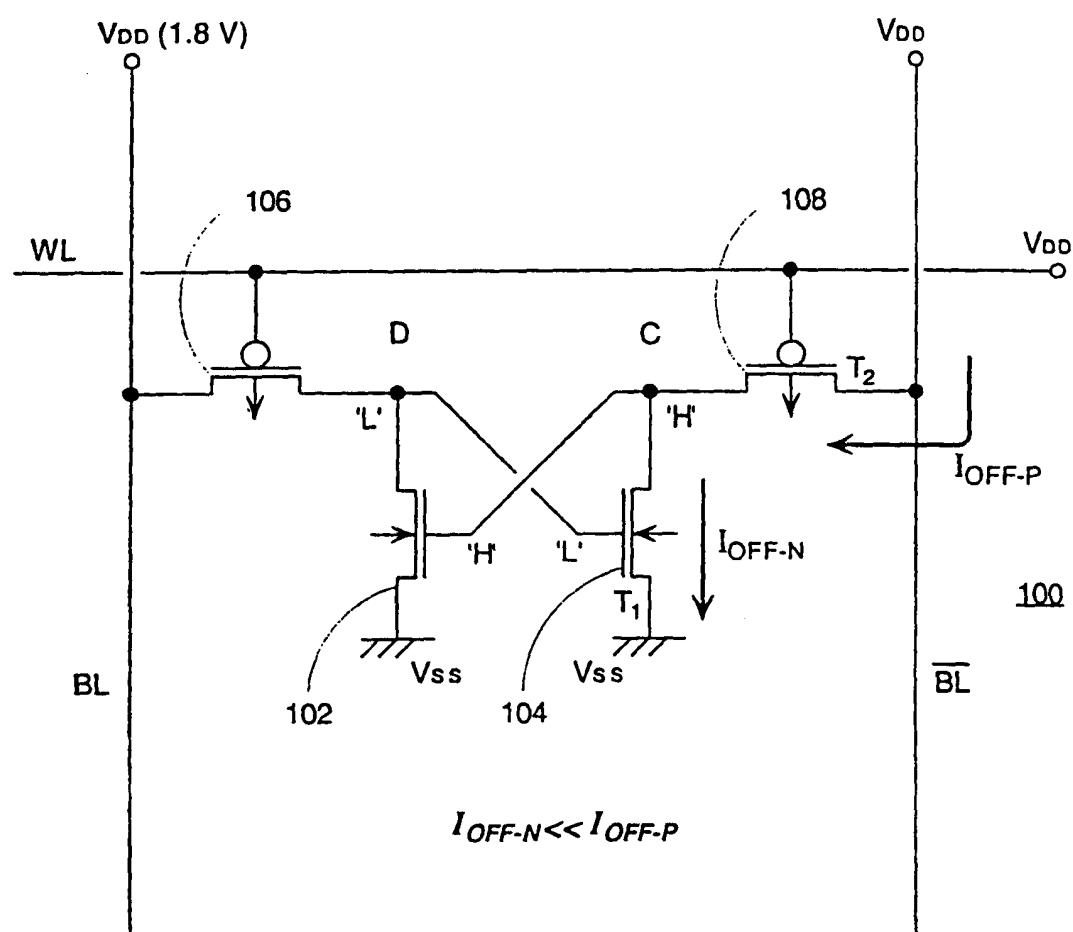


图 4

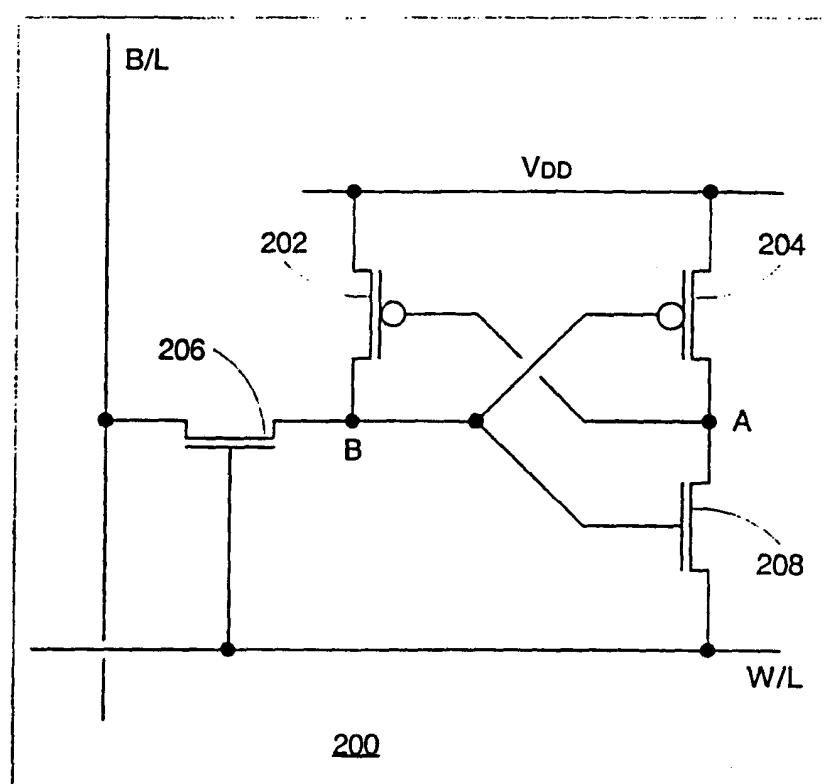


图 5

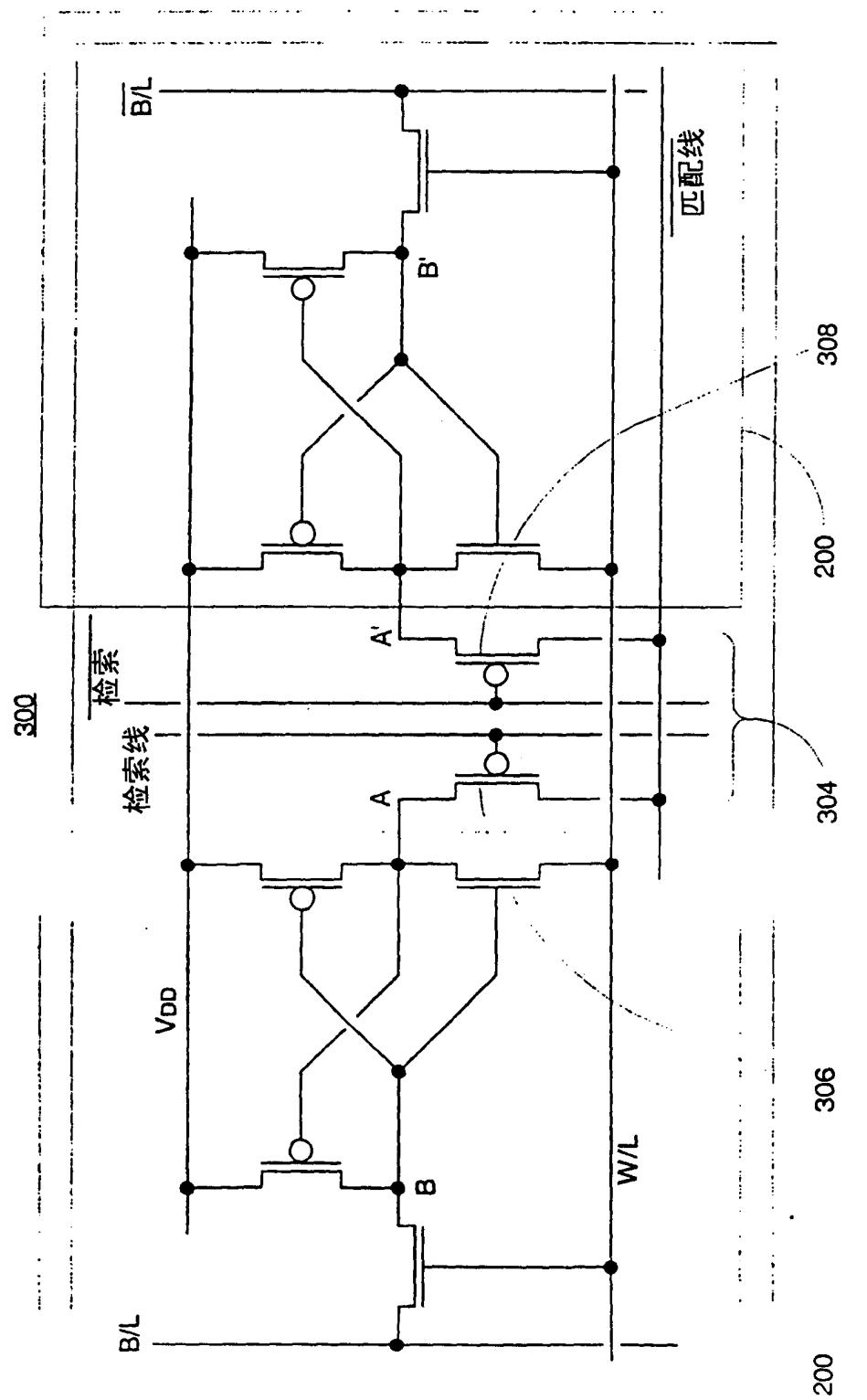


图 6

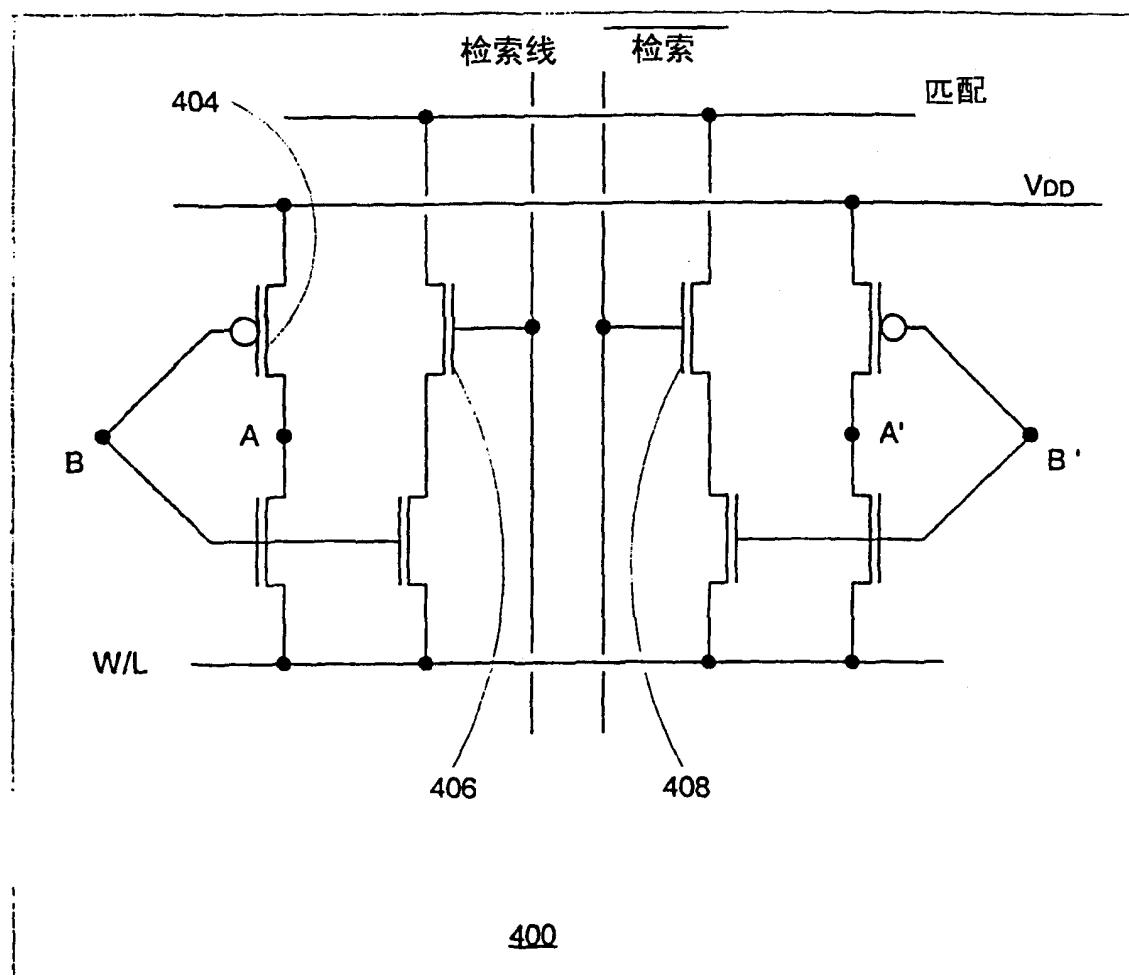


图 7

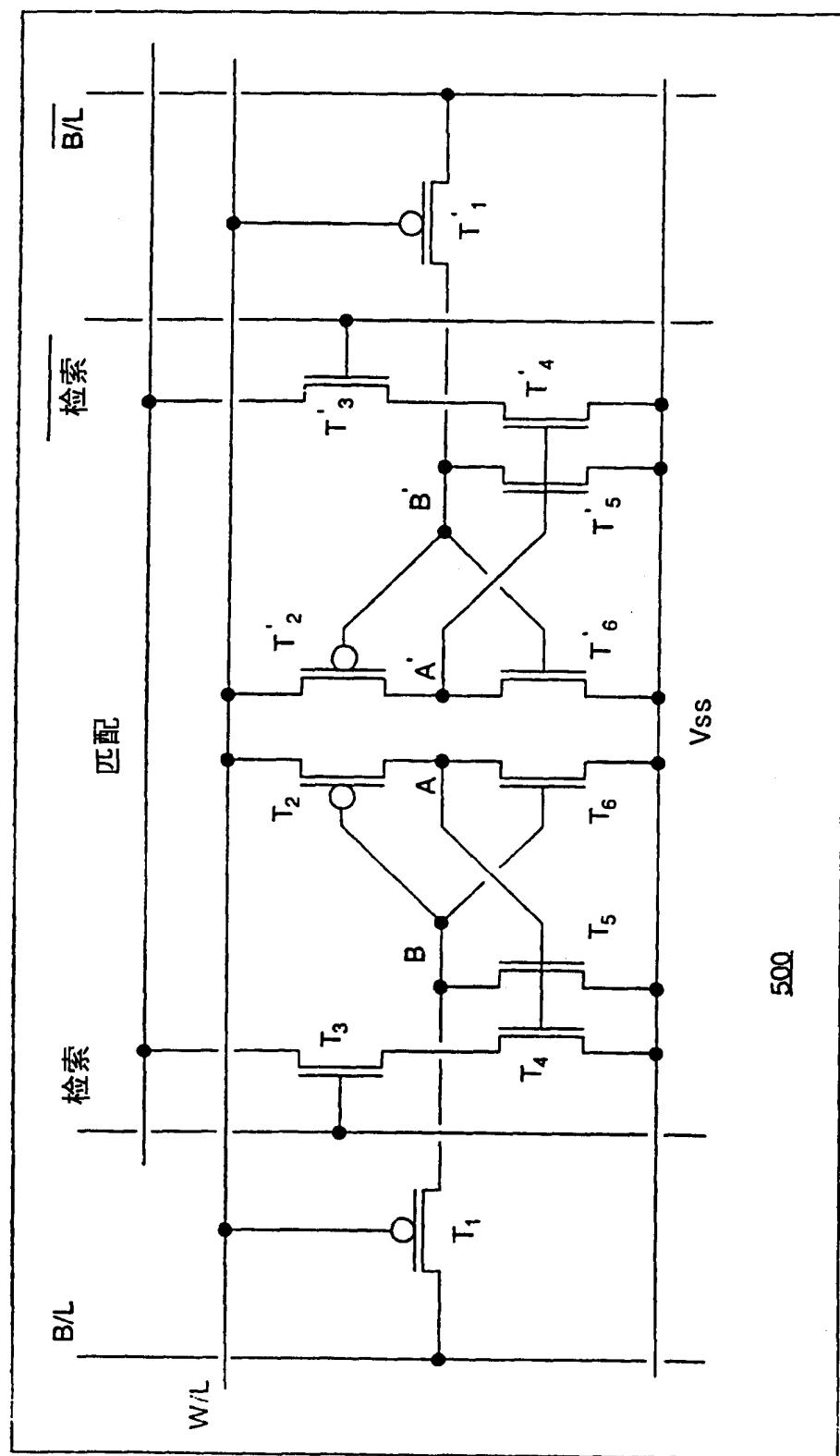


图 8

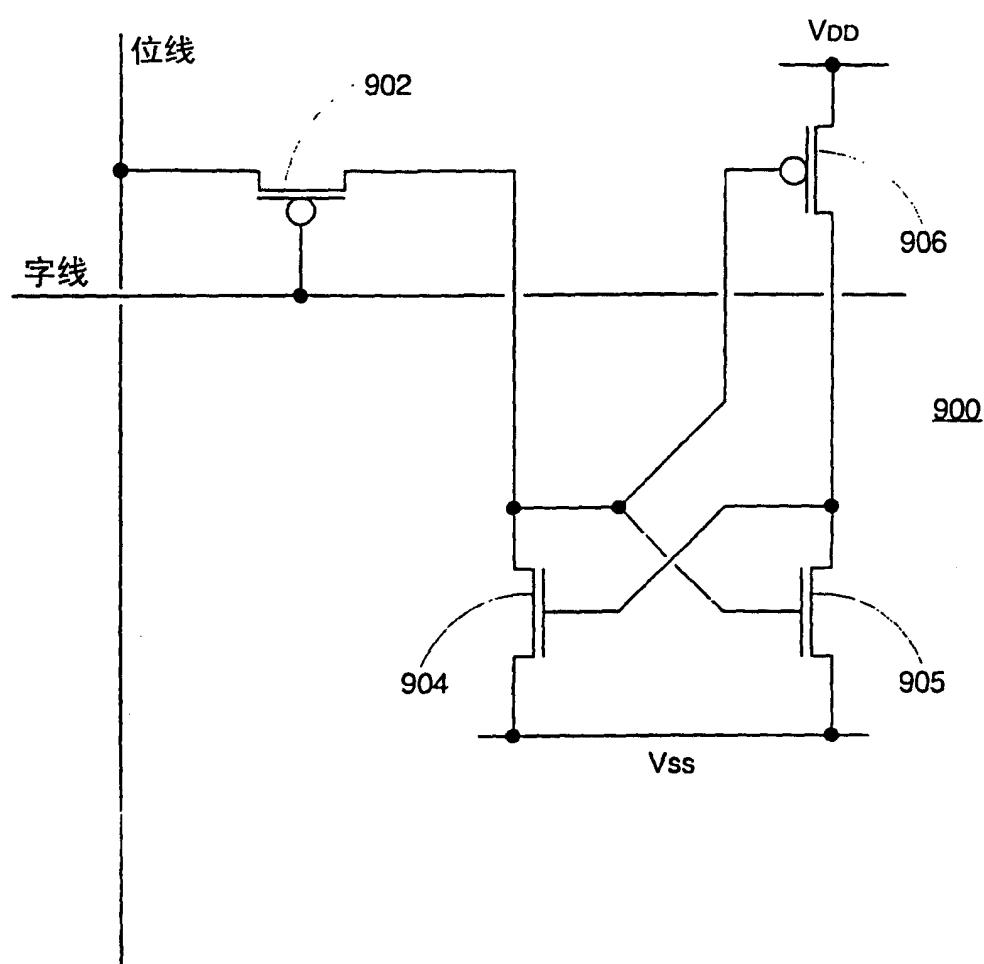


图 9

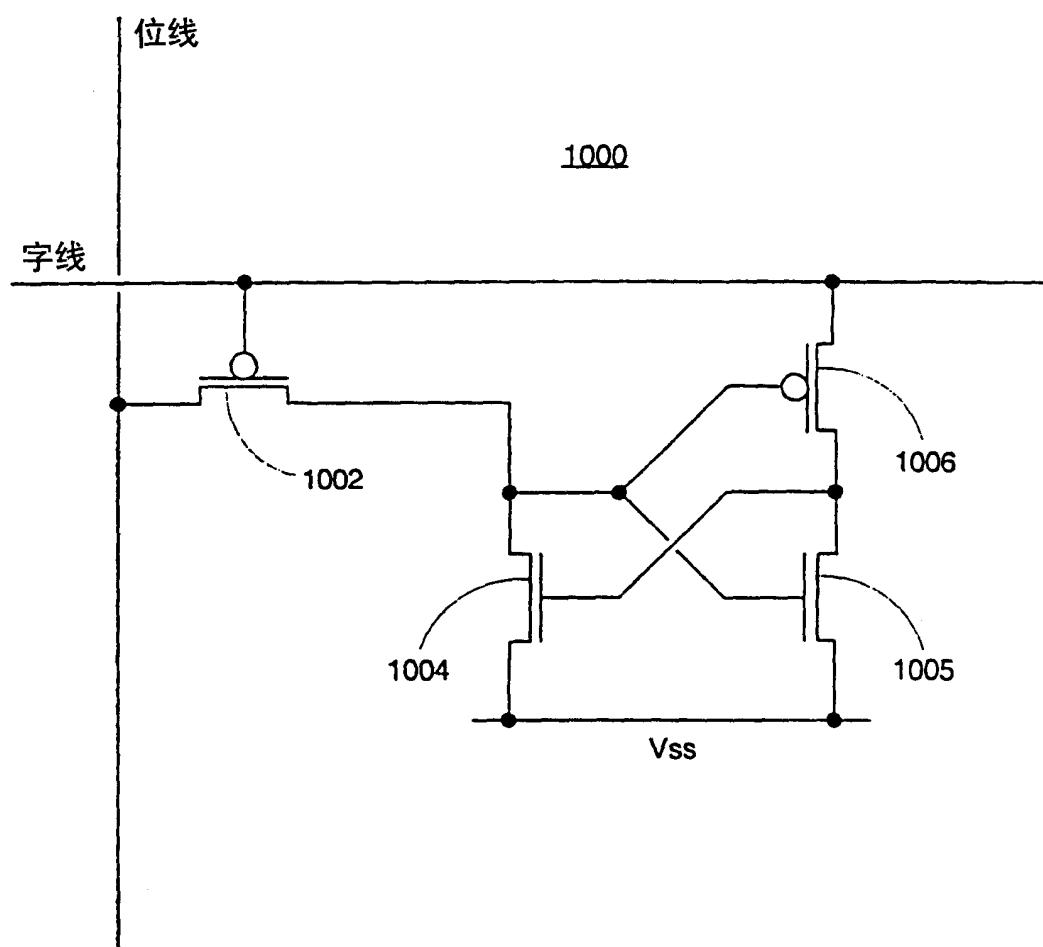


图 10

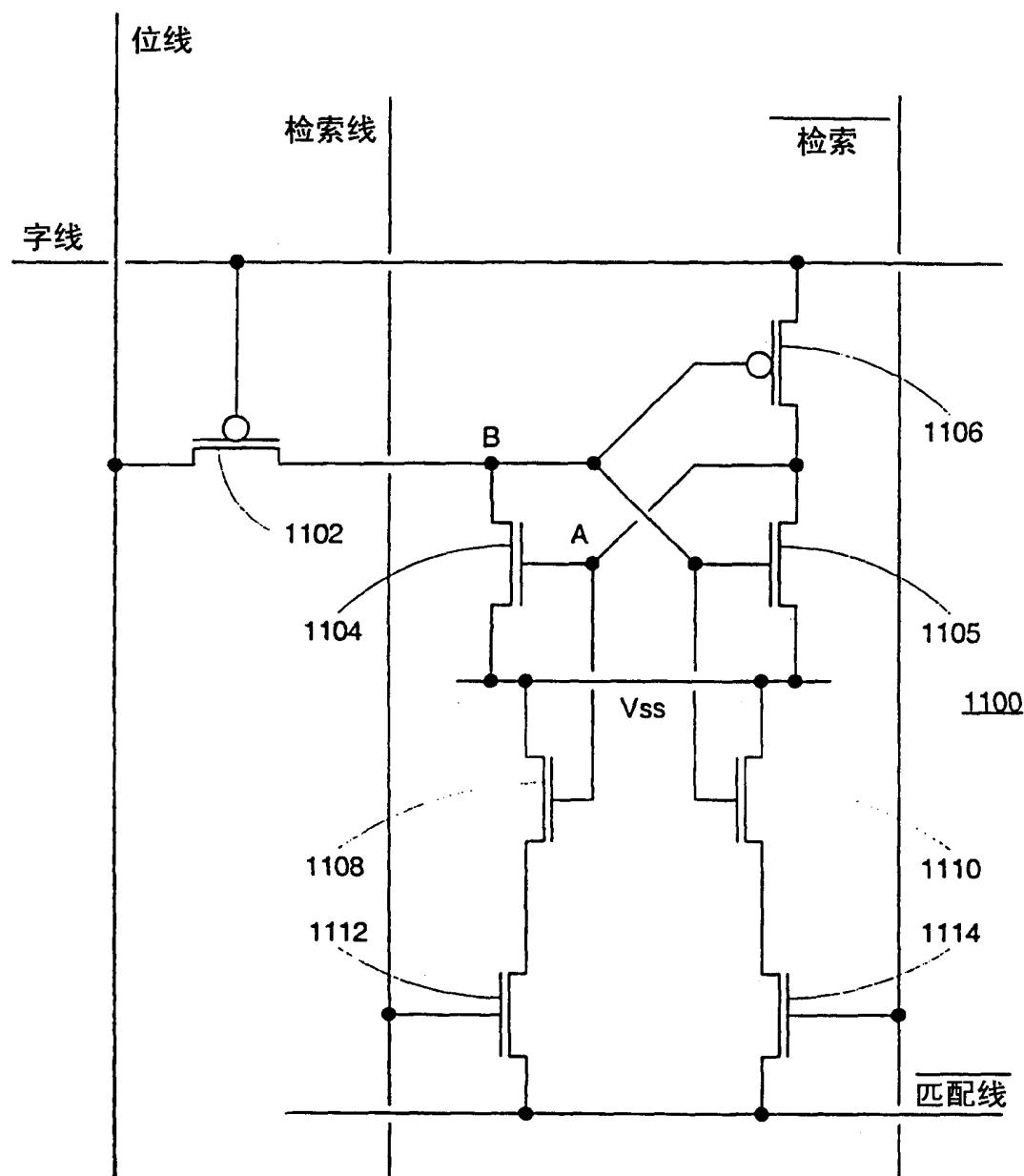


图 11

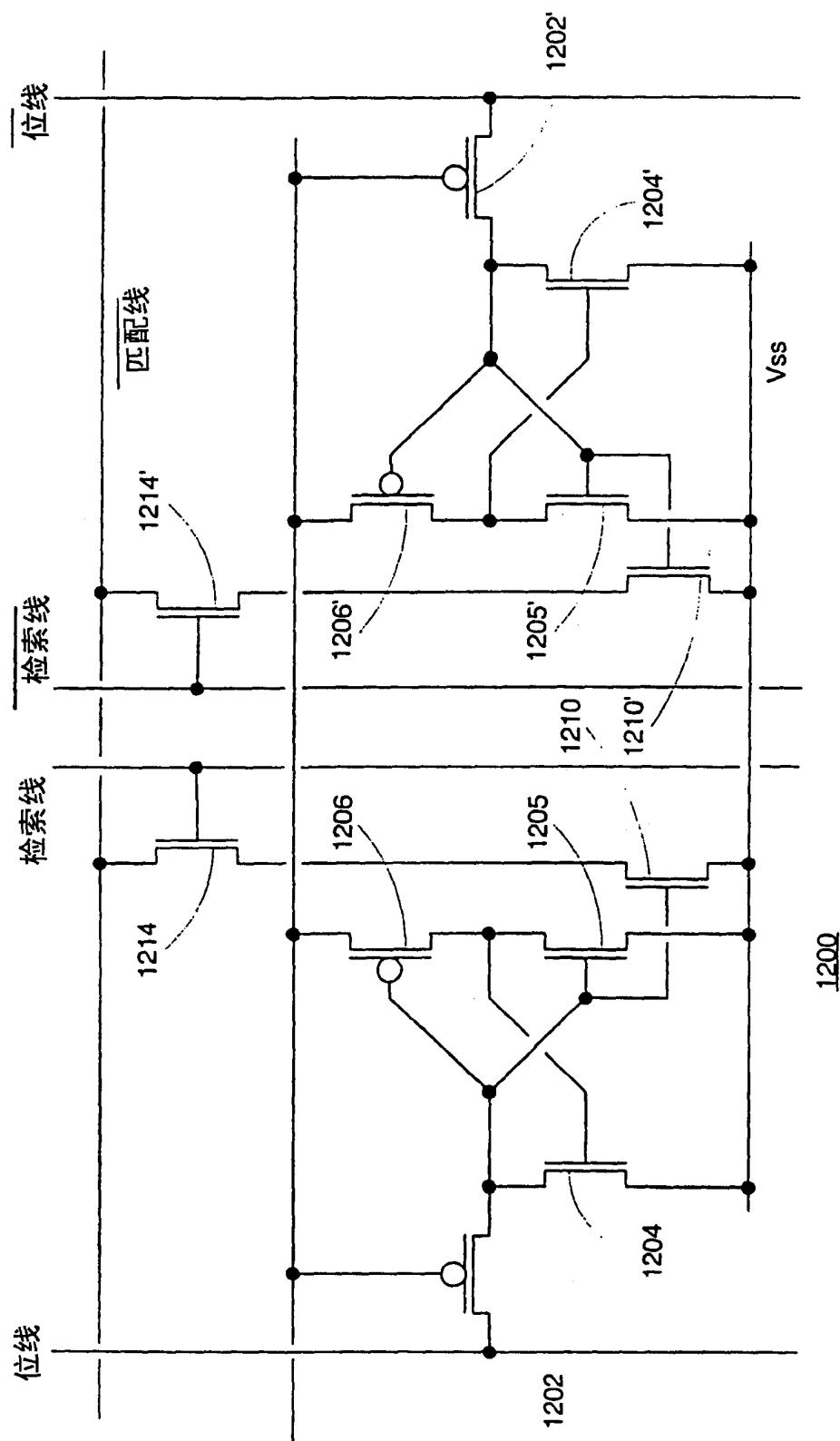


图 12

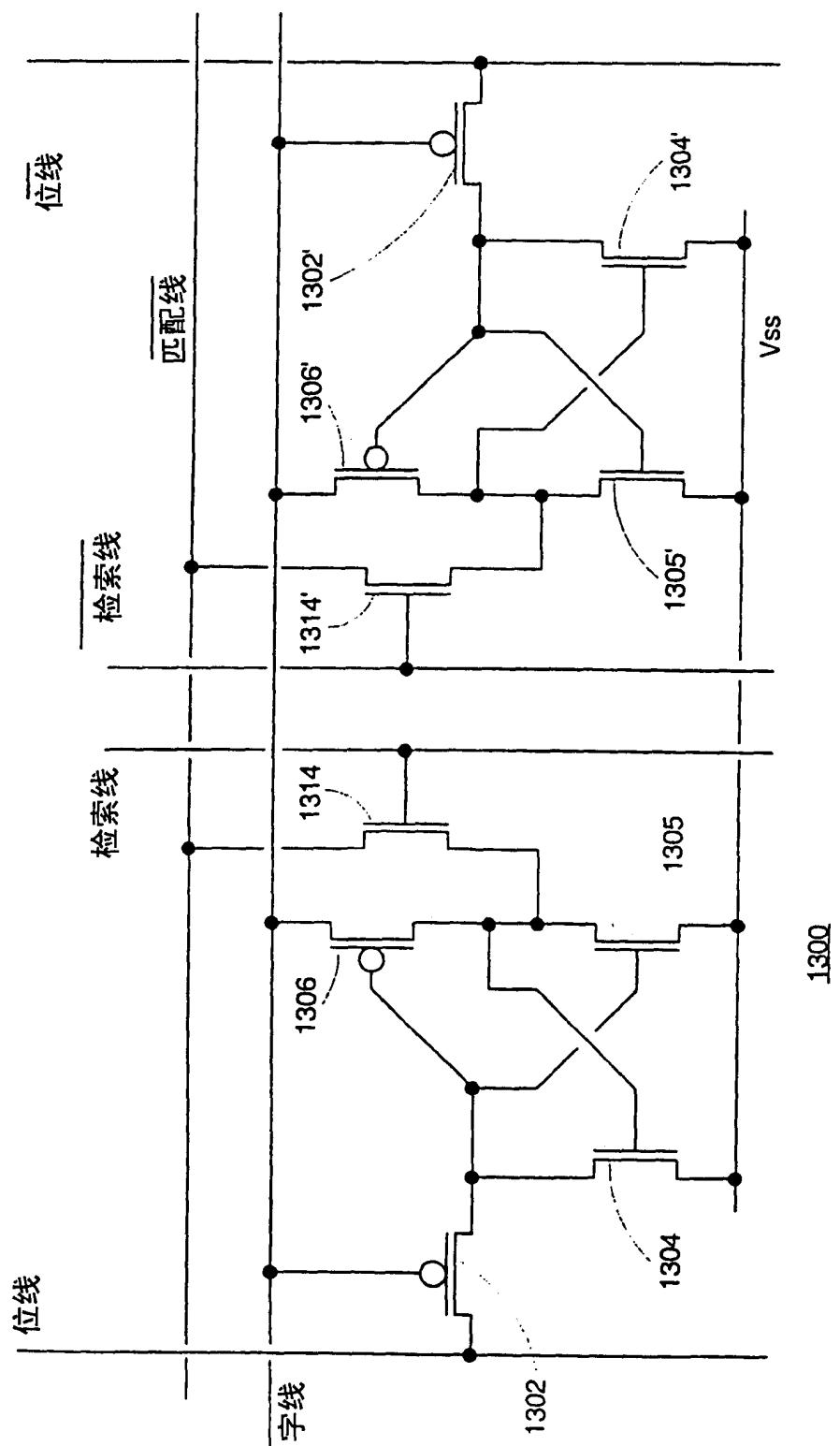
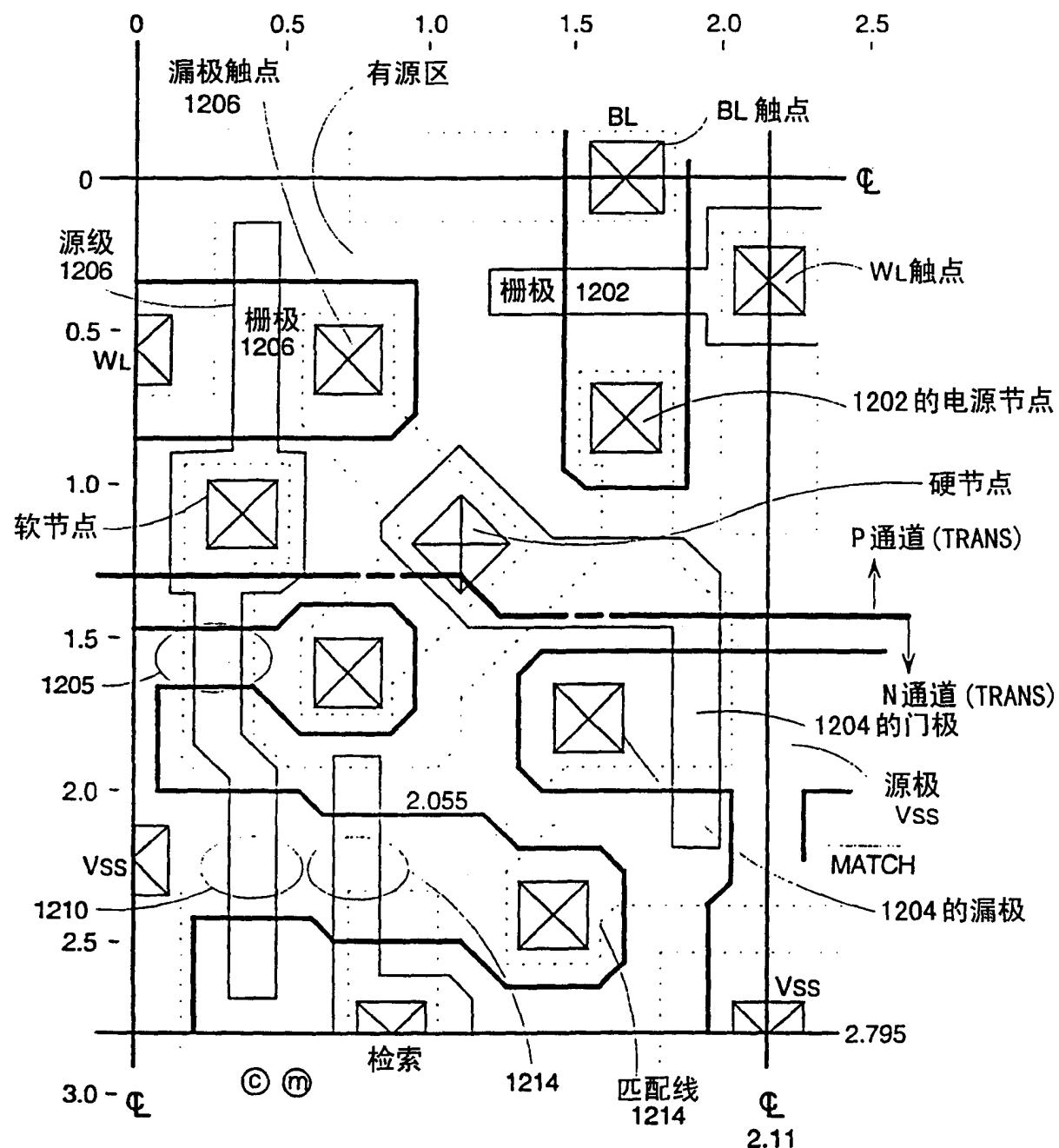


图 13



冬 14