



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년04월12일
 (11) 등록번호 10-1611908
 (24) 등록일자 2016년04월06일

(51) 국제특허분류(Int. Cl.)
 H01L 29/786 (2006.01) G02F 1/1333 (2006.01)
 H01L 51/52 (2006.01)
 (21) 출원번호 10-2009-0108813
 (22) 출원일자 2009년11월11일
 심사청구일자 2014년10월31일
 (65) 공개번호 10-2011-0051973
 (43) 공개일자 2011년05월18일
 (56) 선행기술조사문헌
 KR100787464 B1*
 KR1020080077846 A*
 KR1020040053636 A*
 KR1020060084589 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
 오금미
 서울특별시 서대문구 세무서2가길 47 (홍제동)
 (74) 대리인
 박영복

전체 청구항 수 : 총 16 항

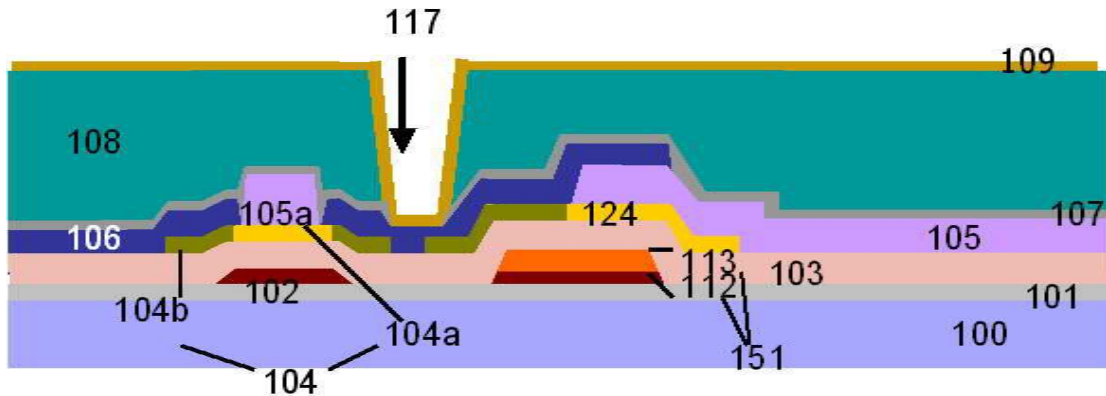
심사관 : 류정현

(54) 발명의 명칭 **박막 트랜지스터 어레이 기판 및 이의 제조 방법**

(57) 요약

본 발명은 바텀 게이트 구조를 적용한 구조에서, 마스크 수를 저감하여 공정을 줄이고, 수율을 향상시킨 박막 트랜지스터 어레이 기판 및 이의 제조 방법에 관한 것으로, 본 발명의 박막 트랜지스터 어레이 기판의 제조 방법은 기판 상에, 게이트 라인 및 이로부터 돌출되는 게이트 전극을 형성하는 단계;와, 상기 게이트 라인 및 게이트 전 (뒷면에 계속)

대표도 - 도4



극을 포함한 기판 상에 게이트 절연막을 형성하는 단계;와, 상기 게이트 전극을 덮는 형상으로 폴리실리콘으로 이루어진 액티브층을 형성하는 단계;와, 상기 액티브층을 포함한 기판 상에 제 1 감광막 패턴을 형성하는 단계;와, 상기 제 1 감광막 패턴을 마스크로 하여, 상기 액티브층에 불순물을 주입하여 도핑영역을 정의하는 단계;와, 상기 제 1 감광막 패턴 및 상기 액티브층을 포함한 상기 기판상에 데이터 금속층을 형성하는 단계;와, 상기 제 1 감광막 패턴과 그 상부에 데이터 금속층을 리프트오프하여 제거하며, 상기 액티브층 상의 남아있는 데이터 금속층을 소오스 전극과 드레인 전극으로 정의하고 상기 소오스 전극과 연결되며, 상기 게이트 라인과 교차된 방향의 데이터 라인을 정의하는 단계;와, 상기 데이터 라인, 소오스 전극, 드레인 전극 및 액티브층을 포함한 기판 상에 보호막을 형성하고, 상기 드레인 전극 일부를 노출하는 콘택홀을 형성하는 단계; 및 상기 콘택홀 내부 및 상기 보호막 상에 화소 전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

명세서

청구범위

청구항 1

기관 상에, 서로 다른 식각 선택비를 갖는 제 1 금속층과 제 2 금속층이 적층된 게이트 라인 및 이로부터 돌출되며 상기 제 1 금속층으로만 이루어진 게이트 전극을 형성하는 단계;

상기 게이트 라인 및 게이트 전극을 포함한 기관 상에 게이트 절연막을 형성하는 단계;

상기 게이트 전극을 덮는 형상으로 폴리실리콘으로 이루어진 액티브층을 형성하는 단계;

상기 액티브층을 포함한 기관 상에 제 1 감광막 패턴을 형성하는 단계;

상기 제 1 감광막 패턴을 마스크로 하여, 상기 액티브층에 불순물을 주입하여 도핑영역을 정의하는 단계;

상기 제 1 감광막 패턴 및 상기 액티브층을 포함한 상기 기관상에 데이터 금속층을 형성하는 단계;

상기 제 1 감광막 패턴과 그 상부에 데이터 금속층을 리프트오프하여 제거하며, 상기 액티브층 상의 남아있는 데이터 금속층을 소오스 전극과 드레인 전극으로 정의하고 상기 소오스 전극과 연결되며, 상기 게이트 라인과 교차된 방향의 데이터 라인을 정의하는 단계;

상기 데이터 라인, 소오스 전극, 드레인 전극 및 액티브층을 포함한 기관 상에 보호막을 형성하고, 상기 드레인 전극 일부를 노출하는 콘택홀을 형성하는 단계; 및

상기 콘택홀 내부 및 상기 보호막 상에 화소 전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 박막 트랜지스터 어레이 기관의 제조 방법.

청구항 2

제 1항에 있어서,

상기 게이트 라인 및 게이트 전극을 형성하는 단계에서, 상기 게이트 라인과 평행한 공통 라인을 더 형성하는 것을 특징으로 하는 박막 트랜지스터 어레이 기관의 제조 방법.

청구항 3

제 2항에 있어서,

상기 게이트 라인, 게이트 전극 및 공통 라인을 형성하는 단계는,

상기 제 1 금속층, 제 2 금속층을 상기 기관 전면에 차례로 형성하는 단계;

상기 제 2 금속층 상에 제 2 감광막을 도포한 후, 게이트 라인, 공통 라인의 대응부에는 제 1 두께이며, 상기 게이트 전극 대응부에는 제 1 두께보다 낮은 제 2 두께를 갖는 제 2 감광막 패턴을 형성하는 단계;

상기 제 2 감광막 패턴을 이용하여 상기 제 2 금속층 및 제 1 금속층을 제거하여 게이트 라인 및 공통 라인을 형성하는 단계;

상기 게이트 전극부에 대응되는 제 2 두께가 제거되도록 상기 제 2 감광막 패턴을 애싱하는 단계; 및

상기 애싱된 제 2 감광막 패턴을 이용하여, 노출된 제 2 금속층을 제거하여 게이트 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 박막 트랜지스터 어레이 기관의 제조 방법.

청구항 4

제 3항에 있어서,

상기 제 2 금속층은 상기 제 1 금속층에 비해 식각 선택비가 큰 것을 특징으로 하는 박막 트랜지스터 어레이 기관의 제조 방법.

청구항 5

제 1항에 있어서,

상기 제 1 감광막 패턴을 형성하는 단계에 있어서, 상기 제 1 감광막 패턴이 형성되지 않는 부위는 데이터 라인과, 소오스 전극 및 드레인 전극의 형성 부위로 정의되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 6

제 5항에 있어서,

상기 액티브층의 형성 후, 층간 절연막을 형성하는 단계를 더 포함한 것을 특징으로 하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 7

제 6항에 있어서,

상기 제 1 감광막 패턴은,

상기 데이터 라인과 오버랩되는 부위에서 상대적으로 얇은 제 3 두께로 형성되고, 나머지 부위에서 제 4 두께로 형성된 것을 특징으로 하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 8

제 7항에 있어서,

상기 제 1 감광막 패턴을 이용하여 상기 층간 절연막을 식각하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 9

제 1항에 있어서,

상기 보호막을 형성하는 단계는

무기 보호막을 증착하고, 이에 수소화 공정을 진행한 후, 유기 보호막을 증착하여 이루어진 것을 특징으로 하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 10

제 1항에 있어서,

상기 화소 전극 상의 일부에 반사 전극을 더 형성하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 11

제 10항에 있어서,

상기 반사 전극은,

상기 화소 전극을 형성하는 마스크와 동일 마스크로 정의되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 12

제 9항에 있어서,

상기 유기 보호막 상의 반사 전극 대응부는 요철을 갖는 것을 특징으로 하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 13

제 12항에 있어서,

상기 반사 전극 대응부의 요철은 상기 유기 보호막의 콘택홀 형성시 함께 정의되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 14

기판 상에 서로 다른 식각 선택비를 갖는 제 1 금속층과 제 2 금속층이 적층하여 이루어진 게이트 라인 및 상기 게이트 라인으로부터 돌출되며, 상기 제 1 금속층으로만 이루어진 게이트 전극;

상기 게이트 라인 및 게이트 전극을 덮도록 형성된 게이트 절연막;

상기 게이트 전극을 덮는 형상으로 폴리실리콘으로 이루어지며 양측에 도핑영역이 정의된 액티브층;

상기 액티브층의 양측과 콘택되어 형성된 소오스 전극 및 드레인 전극과, 상기 소오스 전극과 연결되며 상기 게이트 라인과 교차하는 방향의 데이터 라인;

상기 데이터 라인, 소오스 전극, 드레인 전극 및 액티브층을 포함한 기판 상에 형성되며, 상기 드레인 전극 일부를 노출하는 콘택홀을 갖는 보호막; 및

상기 콘택홀 내부 및 상기 보호막 상에 형성된 화소 전극을 포함하여 이루어진 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 15

제 14항에 있어서,

상기 제 2 금속층은 상기 제 1 금속층에 비해 식각 선택비가 큰 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 16

기판 상에 서로 다른 식각 선택비를 갖는 제 1 금속층과 제 2 금속층이 적층하여 이루어진 게이트 라인 및 상기 게이트 라인으로부터 돌출되며, 상기 제 1 금속층으로만 이루어진 게이트 전극;

상기 게이트 라인 및 게이트 전극을 덮도록 형성된 게이트 절연막;

상기 게이트 전극을 덮는 형상으로 폴리실리콘으로 이루어지며 양측에 도핑영역이 정의된 액티브층;

상기 액티브층의 양측과 콘택되어 형성된 소오스 전극 및 드레인 전극과, 상기 소오스 전극과 연결되며 상기 게이트 라인과 교차하는 방향의 데이터 라인;

상기 데이터 라인, 소오스 전극, 드레인 전극 및 액티브층을 포함한 기판 상에 형성되며, 상기 드레인 전극 일부를 노출하는 콘택홀을 갖고, 표면 일부에 요철을 갖는 반사부가 정의된 보호막;

상기 콘택홀 내부 및 상기 보호막 상에 형성된 화소 전극; 및

상기 반사부에 대응된 상기 화소 전극 상의 반사 전극을 포함하여 이루어진 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로 특히, 바텀 게이트 구조를 적용한 구조에서, 마스크 수를 저감하여 공정을 줄이고, 수율을 향상시킨 박막 트랜지스터 어레이 기판 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근에 AMLCD(active matrix liquid crystal display device) 및 AMOLED(active matrix organic light emitting diode) 등의 디스플레이장치의 구동소자로서 저온 폴리실리콘 박막트랜지스터의 수요가 커지고 있다.

[0003] 디스플레이 장치를 구동하는 스위칭 소자로 박막트랜지스터(Thin Film Transistor, TFT)가 주로 사용되는데, 상

기 박막 트랜지스터의 액티브층으로 비정질 실리콘을 주로 사용한다.

- [0004] 특히, 전계에 따라 일정한 방향으로 배열되는 액정을 디스플레이 장치의 구성요소로 사용하는 액정표시장치는 스위칭 소자로 박막 트랜지스터가 채용되는데, 오늘날에는 고속의 응답속도 및 저 소비전력을 구현하기 위해 박막 트랜지스터의 액티브층으로 폴리실리콘을 사용하는 연구가 활발히 진행되고 있다.
- [0005] 한편, 폴리실리콘을 채널로 사용하는 액정표시소자를 제조하는 공정은 통상, 비정질의 실리콘을 유리등의 기판 상에 플라즈마 화학기상증착 방법(PECVD)방법에 의해 형성하고 증착된 상기 비정질 실리콘을 결정화하는 공정으로 진행된다.
- [0006] 상기 비정질 실리콘을 결정화하는 방법으로는 고온의 퍼니스(furnace)에서 장시간 비정질 실리콘을 가열 및 냉각하는 과정을 통해 결정화하는 고온 가열방법과, 고강도의 레이저 에너지를 순간적으로 조사하여 가열하고 냉각시켜 결정화하는 상대적으로 저온 공정인 레이저 어닐링 방법 등이 사용된다.
- [0007] 상기 결정화 방법 중 고온 가열방법은 유리 전이 온도 이상의 고온에서 비정질 실리콘층이 가열되므로 유리 등을 기판으로 사용하는 액정표시소자에 적용하기에 적합하지 않기 때문에 저온에서 비정질 실리콘을 결정화할 수 있는 다양한 방법들이 연구되었다.
- [0008] 이하, 첨부된 도면을 참조하여 종래의 저온 결정화 방법으로 형성되는 박막 트랜지스터 제조 방법을 설명하면 다음과 같다.
- [0009] 도 1은 종래의 투과모드의 박막트랜지스터 어레이 기판의 제조 방법을 나타낸 순서도이다.
- [0010] 도 1과 같이, 종래의 투과모드의 박막 트랜지스터 어레이 기판의 제조 방법은, 먼저, 기판 상에 액티브층을 형성하기 전 기판의 하부에서 상기 액티브층에 광이 전달되어, 광전류가 흐르는 것을 방지하기 위해 액티브층의 채널이 형성될 부분에 대응하여 차광층을 형성한다(S5).
- [0011] 이어, 상기 차광층을 포함한 기판 상에 버퍼층을 형성한다.
- [0012] 이어, 상기 버퍼층 상에 버퍼층 상에 폴리 실리콘으로 이루어진 액티브층을 패터닝하여 형성한다(S10).
- [0013] 이어, 상기 액티브층을 포함한 상기 버퍼층 전면에 게이트 절연막을 형성한다.
- [0014] 이어, 상기 게이트 절연막 상에, 일 방향으로 게이트 라인을 형성하고, 상기 게이트 라인에서 연장되어 상기 액티브층의 중앙에 상부에 대응하여 게이트 전극을 형성한다(S20).
- [0015] 이어, 상기 게이트 전극의 양측의 상기 액티브층에 불순물을 도핑하여 상기 액티브층의 소오스 영역과 드레인 영역을 형성하고, 상기 게이트 전극으로 가려진 상기 액티브층의 부위에 채널을 정의한다.
- [0016] 이어, 상기 게이트 전극 및 이와 동일층의 공통 라인, 게이트 라인을 포함한 상기 게이트 절연막 전면에 층간 절연막을 형성한다.
- [0017] 이어, 상기 층간 절연막 및 게이트 절연막을 선택적으로 제거하여 상기 액티브층의 소오스 영역과 드레인 영역의 일부분이 노출되도록 콘택홀을 형성하는 콘택 공정(S30)을 진행한다.
- [0018] 이어, 상기 콘택홀을 매립하며 상기 층간 절연막 전면에 금속을 증착하고 이를 선택적으로 제거하여, 상기 게이트 라인에 교차하는 방향으로 데이터 라인을 형성하고, 상기 데이터 라인으로부터 돌출된 소오스 전극과 이와 이격된 드레인 전극을 형성한다(S40).
- [0019] 이어, 상기 소오스/드레인 전극을 포함한 층간 절연막 전면에 유기 보호막을 전면 증착한 후, 상기 드레인 전극을 일부 노출하는 콘택홀을 형성한다(S50).
- [0020] 이어, 상기 콘택홀의 내부 표면과 상기 유기 보호막 표면을 지나도록 투명 전극을 형성한 후, 이를 패터닝하여 화소 전극을 형성한다(S60).
- [0021] 이와 같이, 종래의 투과모드의 박막 트랜지스터 어레이 기판의 제조 방법은, 상기 도 1의 각 공정들(S5~60S)에서 각각 하나씩의 마스크가 소요되어, 7 마스크 공정이 적용되고 있다.
- [0022] 도 2는 종래의 반투과모드의 박막 트랜지스터 어레이 기판의 제조 방법을 나타낸 순서도이다.

[0023] 도 2와 같이, 종래의 반투과모드의 박막 트랜지스터 어레이 기관의 제조 방법은, 앞서 설명한 투과 모드와 비교하여, 상기 보호막 형성시 그 표면에 울퉁 불퉁한 처리를 한 엠보(embossing) 구조를 정의한 점과, 상기 화소 전극 형성 후 반사 전극을 더 형성한 점에서 차이를 갖는 것으로, 이에 따라 마스크가 투과 모드에 비해 1개 또는 2개 이상 소요된다.

[0024] 즉, 상기 종래의 반투과모드의 박막 트랜지스터 어레이기관의 제조 방법은, 차례대로, 차광층의 형성(S70S), 액티브층 형성(S71)과, 게이트 라인 및 게이트 전극 형성(S72), 액티브층의 소오스/드레인 영역 노출을 위한 콘택 공정(S73)과, 데이터 라인 및 소오스/드레인 전극 형성 공정(S74)과, 보호막 및 그 표면의 엠보싱 구조 형성 공정(S75)과, 화소 전극 형성 공정(S76)과, 반사 전극 형성 공정(S77)의 순으로 이루어진다. 이 경우, 각각 나누어진 공정들에서 서로 다른 마스크가 소요되며, 여기서, 상기 보호막의 형성과 엠보싱 구조는 2개의 마스크를 이용하여 형성될 수도 있다. 따라서, 종래의 반투과 모드의 박막 트랜지스터 어레이 기관은 8마스크 또는 9 마스크 공정이 소요될 수 있다.

발명의 내용

해결 하고자하는 과제

[0025] 그러나, 상기와 같은 종래의 박막 트랜지스터 어레이 기관 및 이의 제조 방법은 다음과 같은 문제점이 있다.

[0026] 종래의 바텀 게이트 방식의 박막 트랜지스터 제조시 적어도 투과모드에서는 7마스크가, 반투과모드에서 8마스크 이상이 소요되고 있다.

[0027] 실제 공정을 적용할 때, 노광 공정에 이용되는 마스크 적용시, 서로 다른 마스크를 적용하는 층간 사이에는 이전 층의 패터닝 후, 다음 층의 패터닝 전에 층간 정렬이 요구되는데, 마스크 공정이 누적될수록 오정렬의 정도가 늘기 때문에, 마스크 수가 많아질수록 제조된 장치의 수율을 상대적으로 떨어뜨리게 한다. 따라서, 이러한 수율에서의 치명적인 문제 때문에 마스크 수를 줄이고자 하는 노력이 활발히 제기되고 있다.

[0028] 또한, 종래의 박막 트랜지스터 어레이 기관의 형성 공정에 있어서는, 게이트 라인의 형성과 데이터 라인의 형성이 별개의 다른 공정으로 형성되고, 또한, 이들은 액티브층의 형성 및 도핑 공정과도 다른 공정에서 형성되는 것으로, 반드시 게이트 절연막 외에 게이트 라인과 데이터 라인 사이의 층간에 층간 절연막이 요구된다. 더불어, 상기 층간 절연막의 구비시 추가적으로 데이터 라인과 동일층의 소오스/드레인 전극과 그 하부에 위치한 반도체층과의 콘택을 위한 공정이 소요되어 공정이 복잡하고, 해당 마스크가 소요되어 수율면에서도 불리하다.

[0029] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 바텀 게이트 구조를 적용한 구조에서, 마스크 수를 저감하여 공정을 줄이고, 수율을 향상시킨 박막 트랜지스터 어레이 기관 및 이의 제조 방법을 제공하는 데, 그 목적이 있다.

과제 해결수단

[0030] 상기와 같은 목적을 달성하기 위한 본 발명의 박막 트랜지스터 어레이 기관의 제조 방법은 기관 상에, 게이트 라인 및 이로부터 돌출되는 게이트 전극을 형성하는 단계;와, 상기 게이트 라인 및 게이트 전극을 포함한 기관 상에 게이트 절연막을 형성하는 단계;와, 상기 게이트 전극을 덮는 형상으로 폴리실리컨으로 이루어진 액티브층을 형성하는 단계;와, 상기 액티브층을 포함한 기관 상에 제 1 감광막 패턴을 형성하는 단계;와, 상기 제 1 감광막 패턴을 마스크로 하여, 상기 액티브층에 불순물을 주입하여 도핑영역을 정의하는 단계;와, 상기 제 1 감광막 패턴 및 상기 액티브층을 포함한 상기 기관상에 데이터 금속층을 형성하는 단계;와, 상기 제 1 감광막 패턴과 그 상부에 데이터 금속층을 리프트오프하여 제거하며, 상기 액티브층 상의 남아있는 데이터 금속층을 소오스 전극과 드레인 전극으로 정의하고 상기 소오스 전극과 연결되며, 상기 게이트 라인과 교차된 방향의 데이터 라인을 정의하는 단계;와, 상기 데이터 라인, 소오스 전극, 드레인 전극 및 액티브층을 포함한 기관 상에 보호막을 형성하고, 상기 드레인 전극 일부를 노출하는 콘택홀을 형성하는 단계; 및 상기 콘택홀 내부 및 상기 보호막 상에 화소 전극을 형성하는 단계를 포함하여 이루어진 것에 그 특징이 있다.

[0031] 여기서, 상기 게이트 라인 및 게이트 전극을 형성하는 단계에서, 상기 게이트 라인과 평행한 공통 라인을 더 형성하는 것이 바람직하다.

[0032] 그리고, 상기 게이트 라인, 게이트 전극 및 공통 라인을 형성하는 단계는, 상기 제 1 금속층, 제 2 금속층을 상기 기관 전면에서 형성하는 단계;와, 상기 제 2 금속층 상에 제 2 감광막을 도포한 후, 게이트 라인, 공통 라인의

대응부에는 제 1 두께이며, 상기 게이트 전극 대응부에는 제 1 두께보다 낮은 제 2 두께를 갖는 제 2 감광막 패턴을 형성하는 단계;와, 상기 제 2 감광막 패턴을 이용하여 상기 제 2 금속층 및 제 1 금속층을 제거하여 게이트 라인 및 공통 라인을 형성하는 단계;와, 상기 게이트 전극부에 대응되는 제 2 두께가 제거되도록 상기 제 2 감광막 패턴을 애싱하는 단계; 및 상기 애싱된 제 2 감광막 패턴을 이용하여, 노출된 제 2 금속층을 제거하여 게이트 전극을 형성하는 단계를 포함하여 이루어질 수 있다.

- [0033] 상기 제 2 금속층은 상기 제 1 금속층에 비해 식각 선택비가 큰 것이 바람직하다.
- [0034] 또한, 상기 제 1 감광막 패턴을 형성하는 단계에 있어서, 상기 제 1 감광막 패턴이 형성되지 않는 부위는 데이터 라인과, 소오스 전극 및 드레인 전극의 형성 부위로 정의된다. 이 때, 상기 액티브층의 형성 후, 층간 절연막을 형성하는 단계를 더 포함한 것이 바람직하다. 그리고, 상기 제 1 감광막 패턴은, 상기 데이터 라인과 오버랩되는 부위에서 상대적으로 얇은 제 3 두께로 형성되고, 나머지 부위에서 제 4 두께로 형성되는 것이 바람직하다.
- [0035] 상기 제 1 감광막 패턴을 이용하여 상기 층간 절연막을 식각하는 단계를 더 포함할 수 있다.
- [0036] 그리고, 상기 보호막을 형성하는 단계는 무기 보호막을 증착하고, 이에 수소화 공정을 진행한 후, 유기 보호막을 증착하여 이루어진다.
- [0037] 상기 화소 전극 상의 일부에 반사 전극을 더 형성할 수 있다.
- [0038] 상기 반사 전극은, 상기 화소 전극을 형성하는 마스크와 동일 마스크로 정의되는 것이 바람직하다. 이 때, 상기 유기 보호막 상의 반사 전극 대응부는 요철을 갖는다.
- [0039] 또한, 상기 반사 전극 대응부의 요철은 상기 유기 보호막의 콘택홀 형성시 함께 정의될 수 있다.
- [0040] 동일한 목적을 달성하기 위한 본 발명의 박막 트랜지스터 어레이 기판은, 기판 상에 형성된 게이트 라인 및 상기 게이트 라인으로부터 돌출된 게이트 전극;과, 상기 게이트 라인 및 게이트 전극을 덮도록 형성된 게이트 절연막;과, 상기 게이트 전극을 덮는 형상으로 폴리실리컨으로 이루어지며 양측에 도핑영역이 정의된 액티브층;과, 상기 액티브층의 양측과 콘택되어 형성된 소오스 전극 및 드레인 전극과, 상기 소오스 전극과 연결되며 상기 게이트 라인과 교차하는 방향의 데이터 라인;과, 상기 데이터 라인, 소오스 전극, 드레인 전극 및 액티브층을 포함한 기판 상에 형성되며, 상기 드레인 전극 일부를 노출하는 콘택홀을 갖는 보호막; 및 상기 콘택홀 내부 및 상기 보호막 상에 형성된 화소 전극을 포함하여 이루어진 것에 그 특징이 있다.
- [0041] 또한, 동일한 목적을 달성하기 위한 본 발명의 박막 트랜지스터 어레이 기판은, 기판 상에 형성된 게이트 라인 및 상기 게이트 라인으로부터 돌출된 게이트 전극;과, 상기 게이트 라인 및 게이트 전극을 덮도록 형성된 게이트 절연막;과, 상기 게이트 전극을 덮는 형상으로 폴리실리컨으로 이루어지며 양측에 도핑영역이 정의된 액티브층;과, 상기 액티브층의 양측과 콘택되어 형성된 소오스 전극 및 드레인 전극과, 상기 소오스 전극과 연결되며 상기 게이트 라인과 교차하는 방향의 데이터 라인; 과, 상기 데이터 라인, 소오스 전극, 드레인 전극 및 액티브층을 포함한 기판 상에 형성되며, 상기 드레인 전극 일부를 노출하는 콘택홀을 갖고, 표면 일부에 요철을 갖는 반사부가 정의된 보호막;과, 상기 콘택홀 내부 및 상기 보호막 상에 형성된 화소 전극; 및 상기 반사부에 대응된 상기 화소 전극 상의 반사 전극을 포함하여 이루어진 것에 또 다른 특징이 있다.

효 과

- [0042] 상기와 같은 본 발명의 박막 트랜지스터 어레이 기판 및 이의 제조 방법은 다음과 같은 효과가 있다.
- [0043] 이와 같이, 본 발명의 박막 트랜지스터 어레이 기판의 제조에 있어서는, 바텀 게이트 구조를 적용하여, 액티브층 하부에 게이트 전극을 배치하여 백라이트의 발광으로 인한 광전류 발생 문제를 해결함과 동시에, 액티브층에 도핑하기 위한 영역을 정의하는 감광막에 의해 소오스 전극/드레인 전극을 형성하여, 마스크를 2개 이상 저감함으로써, 종래 구조 대비 7~9마스크에서 5마스크로 마스크 수의 저감이 가능하다.
- [0044] 그리고, 특히 반사 전극과 엠보싱 구조가 더 적용되는 반투과모드의 박막 트랜지스터 어레이 기판의 제조에 있어서는, 엠보싱 구조와 보호막의 콘택홀 형성 공정을 동일 마스크로 진행하여, 5마스크 공정만으로 공정 진행이 가능하여, 투과 모드와 유사한 수준으로 수율 개선이 가능하다.
- [0045] 또한, 하나의 마스크 공정에서 적게는 4 스텝에서 많게는 12~20 스텝까지 소요되는 것으로, 투과모드에 있어서는 종래 제조방법으로는 65 스텝이상 소요됨에 비해 본 발명의 제조 방법에 있어서는 45스텝이 소요되는 것으로 20% 이상 공정 저감의 효과가 있으며, 반투과모드에 있어서는 종래 제조방법으로는 69스텝 이상 소요됨에 비해

본 발명의 제조방법에 있어서는 52스텝까지 저감이 가능한 것으로, 25% 이상 공정 저감의 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0046] 이하, 첨부된 도면을 참조하여 본 발명의 박막 트랜지스터 어레이 기관 및 이의 제조 방법을 상세히 설명하면 다음과 같다.
- [0047] 도 3은 본 발명의 투과모드의 박막 트랜지스터 어레이 기관의 제조 방법을 나타낸 순서도이며, 도 4는 도 3의 제조 방법으로 형성된 투과모드의 박막 트랜지스터 어레이 기관을 나타낸 단면도이다.
- [0048] 도 3 및 도 4와 같이, 먼저, 투명 기관(100) 상에 버퍼층(101)을 전면 형성한다.
- [0049] 이어, 제 1 마스크(미도시)를 이용하여, 상기 버퍼층(101) 상의 소정 부위에 게이트 라인(미도시)과 상기 게이트 라인에서 돌출된 게이트 전극(102)을 형성한다(S101). 여기서, 상기 게이트 라인의 형성시 동일층에 공통 라인(도 5a의 151 참조)을 더 형성할 수 있다.
- [0050] 이어, 상기 게이트 라인, 게이트 전극(102) 및 공통 라인(151)을 포함한 전면에 게이트 절연막(103)을 형성한다.
- [0051] 이어, 상기 게이트 절연막(103) 상에 폴리 실리콘으로 이루어진 층을 전면 형성한 후, 이를 제 2 마스크(미도시)를 이용하여 패터닝하여, 상기 게이트 전극(102)을 덮는 부위와, 상기 공통 라인(151)에 오버랩하는 부위에 액티브층(104)을 형성한다(S102).
- [0052] 이어, 상기 액티브층(104)을 포함한 전면에 층간 절연막(105)을 형성한다.
- [0053] 이어, 제 3 마스크를 이용하여 상기 층간 절연막(105)을 선택적으로 제거하여, 상기 액티브층(104)의 도핑 영역과 데이터 라인 형성부를 정의한다.
- [0054] 이어, 상기 패터닝된 층간 절연막(105)을 이용하여 불순물을 주입하여 도핑영역(소오스 영역 및 드레인 영역)(104b)을 정의한다. 층간 절연막(105)은 상기 도핑 영역을 제외한 영역은 가려주는 것으로, 데이터 라인 형성 부위를 함께 정의하는 형상이다. 여기서, 상기 액티브층(104)에 있어서는 도핑되지 않은 소오스 영역과 드레인 영역(104b) 사이의 영역은 채널 영역(104a)으로 기능한다.
- [0055] 이어, 층간 절연막(105)에 의해 가려지지 않는 부위에 금속층을 증착하여 데이터 라인(106)과 상기 데이터 라인에서 돌출되며 상기 액티브층(104)의 소오스 영역과 콘택되는 소오스 전극(106a) 및 이와 이격되는 드레인 전극(106b)을 형성한다(S103).
- [0056] 이어, 데이터 라인(106), 소오스 전극(106a), 드레인 전극(106b) 및 층간 절연막(105)을 포함한 전면에 무기 보호막(107)을 형성한다.
- [0057] 이어, 무기 보호막(107) 상에 유기 보호막(108)을 형성한다.
- [0058] 이어, 상기 유기 보호막(108), 무기 보호막(107)을 제 4 마스크(미도시)를 이용하여 패터닝하여 상기 드레인 전극(106b)의 일부가 노출하는 콘택홀(117)을 형성한다(S104). 이때, 상기 무기 보호막(107)은 경우에 따라 생략도 가능하다.
- [0059] 이어, 상기 콘택홀(117)을 내부 표면과 상기 유기 보호막(108)의 표면을 덮도록 투명 전극을 증착한 후, 제 5 마스크(미도시)를 이용하여 이를 선택적으로 제거하여 화소 전극(109)을 형성한다(S105).
- [0060] 이와 같이, 본 발명의 박막 트랜지스터 어레이 기관의 제조에 있어서는, 액티브층(104) 상에 도핑 영역의 정의와, 이와 콘택되는 소오스 전극/드레인 전극(106a/106b)을 형성을 동일 마스크에 의해 수행하고, 게이트 전극의 위치를 상기 액티브층(104) 하부에 위치시켜 채널에 광전류가 흐름을 구조적으로 차단하는 것으로, 이러한 구조 적용에 의해 채널에 대응되어 차광층을 생략할 수 있어, 종래 구조 대비 2 마스크 공정 이상의 저감이 가능하다.
- [0061] 이하, 구체적으로 실시예별로 투과 모드의 박막 트랜지스터 어레이 기관의 제조 방법을 살펴보면 다음과 같다.
- [0062] - 제 1 실시예 -
- [0063] 도 5a 내지 도 5h는 본 발명의 제 1 실시예에 따른 박막 트랜지스터 어레이 기관의 제조 방법을 나타낸 공정 평면도이며, 도 6a 내지도 6i는 본 발명의 제 1 실시예에 따른 박막 트랜지스터 어레이 기관의 제조 방법을 나타

낸 공정 단면도이다.

- [0064] 본 발명의 제 1 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법은 다음과 같다.
- [0065] 도 6a와 같이, 먼저, 투명 기판(100) 상에 버퍼층(101), 제 1 금속층(112)/ 제 2 금속층(113)을 차례로 적층한다. 이 때, 상기 제 1 금속층(112)으로는 몰리브덴(MoTi)이 제 2 금속층으로는 Mo 등이 사용될 수 있다. 상기 제 1, 제 2 금속층(112, 113)으로 사용되는 금속은 이에 한정되는 것은 아니고, 식각 선택비가 상이한 두 금속에서 선택하며, 바람직하게는 상부층의 제 2 금속층(113)의 식각 선택비가 제 1 금속층(112)보다 좋게 하여 해당 금속들을 선택한다. 예를 들어, Mo과 MoTi는 그 식각 선택비가 약 20:1 정도로, 동일 에천트에 대해 Mo 층의 식각량이 크다.
- [0066] 이어, 상기 제 2 금속층(113) 상에 감광막을 도포한 후 이를 회절 노광 마스크인 제 1 마스크(미도시)를 이용하여 노광 및 현상하여 제 1 감광막 패턴(111)을 형성한다. 여기서, 상기 제 1 감광막 패턴(131)은 제 1 두께의 게이트 전극 정의용 제 1 패턴(131a)과 상기 제 1 두께보다 큰 제 2 두께의 게이트 라인 및 공통 라인 정의용 제 2 패턴(131b)을 포함하여 이루어진다. 상기 제 1 감광막 패턴(131)을 형성하기 위한 제 1 마스크는, 상기 제 1 감광막 패턴(131)을 이루는 물질이 파지티브 감광막일 때, 상기 제 1 패턴(131a)에 대응된 부위가 반투과부이며, 제 2 패턴(131b)에 대응된 부위에 차광부이며, 나머지 부위는 개구부로 정의되어 있다. 만일 상기 제 1 감광막 패턴(131)을 이루는 물질이 네거티브 감광막일 때는, 상기 제 1 마스크의 개구부와 차광부를 반전시켜 배치하여 동일 효과를 얻을 수 있다.
- [0067] 상기 제 1 감광막 패턴(131)을 이용하여, 오픈된 영역의 제 2 금속층(113) 및 제 1 금속층(112)의 식각을 진행하여, 제 1 금속층(112) 및 제 2 금속층(113)이 적층된 게이트 라인(150)과 공통 라인(151)을 형성한다. 이 때, 게이트 전극(102) 형성부위도 동일 금속층들에 의해 정의된다.
- [0068] 이어, 상기 제 1 두께의 제 1 패턴(131a)이 모두 제거될 정도로 애싱을 진행하여, 제 2 패턴(131b)층의 제 1 감광막 패턴만 남긴 후, 제 1 패턴(131a) 대응부위에서 제 1 금속층(112)과 제 2 금속층(113)간의 식각 선택비를 이용하여 2차 식각을 진행하여 도 5a 및 도 6b와 같이, 상기 게이트 전극(102)을 형성한다. 이 경우, 상기 게이트 전극(102)은 제 2 금속층(113)을 모두 제거하고 제 1 금속층(112)만 남긴 것이다.
- [0069] 이어, 남아있는 제 1 감광막 패턴을 스트립하여 제거한다.
- [0070] 도 6c와 같이, 상기 게이트 전극(102), 게이트 라인(150) 및 공통 라인(151)을 포함한 전면에 게이트 절연막(103)을 형성한다.
- [0071] 이어, 도 5b와 같이, 게이트 전극(102)을 덮고, 그 양측에 게이트 라인(150)의 일부와 상기 공통 라인(151)에 걸쳐지도록 폴리실리콘층(124)을 형성한다.
- [0072] 여기서, 상기 폴리실리콘층(124)은 비정질 실리콘층을 증착한 후, 이에 탈수소화 공정을 진행하고 결정화 공정을 진행하여 폴리 실리콘화한 후 그 상부에 제 2 감광막(미도시)을 도포하고 이를 제 2 마스크에 의해 패터닝하여, 이를 이용하여 식각하여 형성된 것이다. 식각 공정 후, 상기 제 2 감광막은 제거한다.
- [0073] 도 5c 및 도 6d와 같이, 상기 폴리실리콘층(124)을 포함한 게이트 절연막(103) 상부에 층간 절연막(125)을 전면 증착한다.
- [0074] 이어, 상기 층간 절연막 상에 제 3 감광막을 도포한 후, 하프톤 마스크 또는 회절 노광 마스크로서의 제 3 마스크(미도시)에 의해 패터닝하여 제 3 감광막 패턴(126)을 형성한다.
- [0075] 제 3 감광막 패턴(126)은 영역별 그 두께를 달리하는데, 데이터 라인 형성부 중 상기 게이트 라인(150) 및 공통 라인(151)과 오버랩되는 부위는 상대적으로 낮은 제 3 두께로 형성하여 가리며, 도핑이 이루어지는 도핑 영역과 나머지 데이터 라인 형성부에 대응하여서는 완전히 제거하여 오픈하며, 폴리실리콘층(124)의 채널 대응부를 포함한 나머지 영역들에서는 상대적으로 두꺼운 제 4 두께로 형성하여 가린다. 즉, 제 3 감광막 패턴(126)은 제 3 두께의 제 3 패턴(126a)과 제 4 두께의 제 4 패턴(126b)를 포함한다. 이 때, 상기 제 3 감광막 패턴(126)을 정의하는 제 3 마스크는, 상기 제 3 감광막 패턴(126)이 파지티브 감광막일 때, 상기 제 3 패턴(126a)에 대응되는 부분이 반투과부이며, 제 4 패턴(126b)에 대응되는 부위가 차광부가 정의되고, 나머지 부위가 개구부로 정의되어 배치된 하프톤 마스크 또는 회절 노광 마스크이다.
- [0076] 여기서, 데이터 라인과 게이트 라인/공통 라인과 오버랩되는 부위에서 상기 제 3 감광막 패턴(126)이 제 3 두께를 갖는 것은, 이후의 식각 공정에서, 상기 층간 절연막(125)을 남기도록 하여, 데이터 라인과 게이트 라인/공

통 라인 사이에서 발생하는 기생 캐패시턴스를 줄이기 위함이다.

- [0077] 이어, 상기 제 3 감광막 패턴(126)을 이용하여 일차 식각 공정을 진행하여, 오픈된 부위의 상기 층간 절연막(125)을 식각한다. 여기서, 상기 게이트 라인(150) 및 공통 라인(151)와 교차하는 방향으로 형성될 데이터 라인과의 오버랩된 부위의 폴리실리콘층(124)에 대해서는 상기 제 3 감광막 패턴(126)이 가리고 있기 때문에, 층간 절연막(125)이 남아있게 되며, 또한 상기 채널 대응부에도 층간 절연막(105a)이 남아있다.
- [0078] 이어, 도 5d 및 도 6e와 같이, 상기 제 3 감광막 패턴(126)이 오픈하는 상기 폴리실리콘층(124)에 p+ 또는 n+의 불순물을 주입하여 소오스 영역과 드레인 영역으로 기능하는 도핑 영역(104b)을 형성한다. 이 때, 상기 도핑되지 않은 영역 중 게이트 전극(102) 상의 부위는 이후 형성되는 박막 트랜지스터의 채널 영역(104a)으로 기능한다. 또한, 이 공정에서, 상기 층간 절연막(125)이 오픈된 부위의 폴리실리콘층(124)에는 함께 도핑이 이루어져 도핑 영역(104b)이 되며, 이 부위는 스토리지 캐패시터 형성 부위에 상당한다. 그리고, 데이터 라인의 형성부위에서는 층간 절연막(125) 및 제 3 감광막 패턴(126)이 가리는 부위가 되어, 불순물 주입이 차단되어 불순물의 주입이 없는 진성 영역의 폴리실리콘층(124)으로 남아있게 된다.
- [0079] 여기서, 박막 트랜지스터 형성 부위의 상기 채널 영역(104a)과 그 양측의 도핑 영역(104b)을 함께 포함하여 액티브층(104) 이라고 한다.
- [0080] 이어, 도 5e와 같이, 상기 제 3 패턴(126a)의 두께가 모두 제거될 정도로 상기 제 3 감광막 패턴(126)의 애싱(ashing)하여 제 3 감광막 2차 패턴(126x)을 형성한다. 이에 따라, 도핑이 이루어진 도핑 영역(104b)이 오픈되며, 상기 데이터 라인 형성부에 오버랩되는 게이트 라인(150) 및 공통 라인(151) 상의 층간 절연막(105)이 노출된다.
- [0081] 도 6f와 같이, 상기 제 3 감광막 2차 패턴(126x)을 포함한 노출된 상기 액티브층의 도핑 영역(104b) 상에 데이터 금속층(127)을 증착한다.
- [0082] 여기서, 남아있는 상기 제 3 감광막 2차 패턴(126x)은 적어도 3.5 μ m 이상의 두께이기 때문에, 이러한 데이터 금속층(127)의 증착 과정에서, 경사 부위에는 많은 양이 남지 않게 되며, 또한, 층간 절연막 패턴(105a) 상의 제 3 감광막 2차 패턴(126x)은 상대적으로 넓은 폭이 남아있게 되어, 상기 제 3 감광막 2차 패턴(126x) 상의 금속층(127)과 층간 절연막(105) 혹은 도핑 영역(104b) 상의 데이터 금속층(127)과는 서로 분리된 상태를 유지한다.
- [0083] 이어, 도 5f 및 도 6g과 같이, 상기 제 3 감광막 2차 패턴(126x) 및 그 상부의 데이터 금속층(127)을 리프트 오프(lift off)하여 제거한다.
- [0084] 이에 따라, 남아있는 데이터 금속층(127)은 상기 게이트 라인(150)과 교차하는 방향의 데이터 라인(106)과 이와 연결된 소오스 전극(106a) 및 이와 이격된 드레인 전극(106b)이 된다.
- [0085] 이어, 도 5g 및 도 6h와 같이, 데이터 라인(106), 소오스 전극(106a), 드레인 전극(106b) 및 층간 절연막(125)을 포함한 전면에 무기 보호막(107)을 형성한다.
- [0086] 이어, 무기 보호막(107) 상에 유기 보호막(108)을 형성한다.
- [0087] 이어, 상기 유기 보호막(108), 무기 보호막(107)을 제 4 마스크(미도시)를 이용하여 패터닝하여 상기 드레인 전극(106b)의 일부가 노출하는 콘택홀(117)을 형성한다(S104). 이때, 상기 무기 보호막(107)은 경우에 따라 생략도 가능하다. 그리고, 이 경우, 상기 제 4 마스크를 이용한 패터닝 공정시, 상기 유기 보호막(108)이 감광성의 재료일 때, 별도의 감광막을 이용하지 않고 패터닝이 가능하다. 경우에 따라 상기 콘택홀(117)을 정의하기 위해 별도의 감광막이 요구될 수도 있다.
- [0088] 이어, 상기 콘택홀(117)을 내부 표면과 상기 유기 보호막(108)의 표면을 덮도록 투명 전극을 증착한 후, 제 4 감광막(미도시)을 도포 후 제 5 마스크(미도시)를 이용하여 이를 노광 및 현상하여 제 4 감광막 패턴(미도시)을 형성하고, 상기 제 4 감광막 패턴을 이용하여 도 5h 및 도 6i와 같이, 상기 투명 전극을 선택적으로 제거하여 화소 전극(109)을 형성한다.
- [0089] 이와 같이, 본 발명의 박막 트랜지스터 어레이 기관의 제조에 있어서는, 액티브층(104) 하부에 게이트 전극(102)을 배치하여 광전류의 발생을 구조적으로 방지하여 차광층을 생략할 수 있어, 마스크 저감이 가능하고, 또한, 액티브층(104) 상에 도핑 영역의 정의와, 이와 콘택되는 소오스 전극/드레인 전극(106a/106b)을 형성을 동일 마스크에 의해 수행하는 것에 의해 또한 마스크 저감이 가능하여, 종래 구조 대비 2 마스크 공정 이상의 저감이 가능하다.

- [0090] - 제 2 실시예 -
- [0091] 도 7a 내지 도 7c는 본 발명의 제 2 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법을 나타낸 공정 평면도이며, 도 8a 내지 도 8f는 본 발명의 제 2 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법을 나타낸 공정 단면도이다.
- [0092] 본 발명의 제 2 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법은, 상술한 제 1 실시예와 비교하여, 제 3 마스크를 적용함에 있어, 하프톤마스크나 회절 노광 마스크를 이용하지 않고, 일반적인 개구부와 차광부만을 구비한 마스크를 이용한 예를 나타낸 것으로, 게이트 라인/공통 라인과 데이터 라인의 오버랩 구간에서 층간 절연막을 더 구비한 제 1 실시예와 차이를 보인다.
- [0093] 제 1 실시예와 비교하여 본 발명의 제 2 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법에서는 제 1, 제 2 마스크 공정을 동일한 것으로 이하 동일한 공정에 대해서는 간략히 생략하여, 제 3 마스크 공정부터 설명하면 다음과 같다.
- [0094] 도 7a 및 도 8a와 같이, 상기 폴리실리콘층(124)을 포함한 게이트 절연막(103) 상부에 제 3 감광막을 도포한 후, 도핑 영역 및 데이터 라인 형성부만을 오픈시키는 제 3 마스크(미도시)를 이용하여 노광 및 현상하여 패터닝하여 제 3 감광막 패턴(131)을 형성한다.
- [0095] 이어, 상기 제 3 감광막 패턴(131)을 이용하여, 상기 제 3 감광막 패턴(131)이 오픈하는 상기 폴리실리콘층(124)에 도 7b 및 도 8b와 같이, p+ 또는 n+의 불순물을 주입하여 소오스 영역과 드레인 영역으로 기능하는 도핑 영역(104b)을 형성한다. 이 때, 상기 도핑되지 않은 영역 중 게이트 전극(102) 상의 부위는 이후 형성되는 박막 트랜지스터의 채널 영역(104a)으로 기능한다. 또한, 이 공정에서, 상기 게이트 라인(150)이나 공통 라인(151) 상부의 폴리실리콘층(124)에 함께 도핑이 이루어져 도핑 영역(104b)이 되며, 이 부위는 스토리지 캐패시터 형성 부위에 상당한다.
- [0096] 여기서, 상기 채널 영역(104a)과 그 양측의 도핑 영역(104b)을 함께 포함하여 액티브층(104) 이라고 한다.
- [0097] 이어, 도 8c와 같이, 상기 제 3 감광막 패턴(131)을 포함한 노출된 상기 액티브층의 도핑 영역(104b)과 게이트 절연막(103) 상에 데이터 금속층(132)을 증착한다.
- [0098] 이어, 도 7c 및 도 8d와 같이, 상기 제 3 감광막 패턴(131) 및 그 상부의 데이터 금속층(132)을 리프트 오프(lift off)하여 제거한다.
- [0099] 이에 따라, 남아있는 데이터 금속층(132)은 상기 게이트 라인(150)과 교차하는 방향의 데이터 라인(106)과 이와 연결된 소오스 전극(106a) 및 이와 이격된 드레인 전극(106b)이 된다.
- [0100] 이어, 도 8e와 같이, 데이터 라인(106), 소오스 전극(106a), 드레인 전극(106b) 및 게이트 절연막(103)을 포함한 전면에 무기 보호막(107)을 형성한다.
- [0101] 이어, 무기 보호막(107) 상에 유기 보호막(108)을 형성한다.
- [0102] 이어, 상기 유기 보호막(108), 무기 보호막(107)을 제 4 마스크(미도시)를 이용하여 패터닝하여 상기 드레인 전극(106b)의 일부가 노출하는 콘택홀(117)을 형성한다. 이때, 상기 무기 보호막(107)은 경우에 따라 생략도 가능하다. 그리고, 이 경우, 상기 제 4 마스크를 이용한 패터닝 공정시, 상기 유기 보호막(108)이 감광성의 재료일 때, 별도의 감광막을 이용하지 않고 패터닝이 가능하다. 경우에 따라 상기 콘택홀(117)을 정의하기 위해 별도의 감광막이 요구될 수도 있다.
- [0103] 이어, 상기 콘택홀(117)을 내부 표면과 상기 유기 보호막(108)의 표면을 덮도록 투명 전극을 증착한 후, 제 4 감광막(미도시)을 도포 후 제 5 마스크(미도시)를 이용하여 이를 노광 및 현상하여 제 4 감광막 패턴(미도시)을 형성하고, 상기 제 4 감광막 패턴을 이용하여 도 8f와 같이, 상기 투명 전극을 선택적으로 제거하여 화소 전극(109)을 형성한다.
- [0104] 이하, 구체적으로 실시예별로 반투과 모드의 박막 트랜지스터 어레이 기판의 제조 방법을 살펴보면 다음과 같다.

- [0105] 도 9는 본 발명의 반투과모드의 박막 트랜지스터 어레이 기관의 제조 방법을 나타낸 순서도이며, 도 10은 도 9의 방법을 형성된 본 발명의 반투과모드의 박막 트랜지스터 어레이 기관을 나타낸 단면도이다.
- [0106] 도 9 및 도 10과 같이, 먼저, 투명 기관(200) 상에 버퍼층(201)을 전면 형성한다.
- [0107] 이어, 제 1 마스크(미도시)를 이용하여, 상기 버퍼층(201) 상의 소정 부위에 게이트 라인(미도시)과 상기 게이트 라인에서 돌출된 게이트 전극(202)을 형성한다(S111). 여기서, 상기 게이트 라인의 형성시 동일층에 공통 라인(도 11a의 251 참조)을 더 형성할 수 있다.
- [0108] 이어, 상기 게이트 라인, 게이트 전극(202) 및 공통 라인(251)을 포함한 전면에 게이트 절연막(203)을 형성한다.
- [0109] 이어, 상기 게이트 절연막(203) 상에 폴리 실리콘으로 이루어진 층을 전면 형성한 후, 이를 제 2 마스크(미도시)를 이용하여 패터닝하여, 상기 게이트 전극(202)을 덮는 부위와, 상기 공통 라인(251)에 오버랩하는 부위에 액티브층(204)을 형성한다(S112).
- [0110] 이어, 상기 액티브층(204)을 포함한 전면에 층간 절연막(205)을 형성한다.
- [0111] 이어, 제 3 마스크를 이용하여 상기 층간 절연막(205)을 선택적으로 제거하여, 상기 액티브층(204)의 도핑 영역과 데이터 라인 형성부를 정의한다.
- [0112] 이어, 상기 패터닝된 층간 절연막(205)을 이용하여 불순물을 주입하여 도핑영역(소오스 영역 및 드레인 영역)(204b)을 정의한다. 층간 절연막(205)은 상기 도핑 영역을 제외한 영역은 가려주는 것으로, 데이터 라인 형성 부위를 함께 정의하는 형상이다. 여기서, 상기 액티브층(204)에 있어서는 도핑되지 않은 소오스 영역과 드레인 영역(204b) 사이의 영역은 채널 영역(204a)으로 기능한다.
- [0113] 이어, 층간 절연막(205)에 의해 가려지지 않는 부위에 금속층을 증착하여 데이터 라인(206)과 상기 데이터 라인에서 돌출되며 상기 액티브층(204)의 소오스 영역과 콘택되는 소오스 전극(206a) 및 이와 이격되는 드레인 전극(206b)을 형성한다(S113).
- [0114] 이어, 상기 데이터 라인, 소오스 전극(206a) 및 드레인 전극(206b)을 포함한 전면에 무기 보호막(207), 유기 보호막(208)을 차례로 형성한다.
- [0115] 이어, 상기 유기 보호막(208), 무기 보호막(207)을 제 4 마스크(미도시)를 이용하여 반사부(R)에 상당한 상기 유기 보호막(208) 상부를 처리하여 엠보싱 구조를 형성함과 동시에, 상기 드레인 전극(206b)의 일부가 노출하는 콘택홀(217)을 형성한다(S114). 이때, 상기 무기 보호막(207)은 경우에 따라 생략도 가능하다.
- [0116] 이어, 상기 콘택홀(217)을 내부 표면과 상기 유기 보호막(208)의 표면을 덮도록 투명 전극, 반사성 금속을 차례로 증착한 후, 회절 노광 마스크로서 제 5 마스크(미도시)를 이용하여 상기 반사성 금속과 투명 전극을 선택적으로 제거하여 화소 전극(209) 및 상기 반사부(R) 상에 반사 전극(210)을 형성한다(S115).
- [0117] 이와 같이, 본 발명의 반투과 모드의 박막 트랜지스터 어레이 기관의 제조에 있어서는, 게이트 전극을 액티브층(204)의 채널부 하부에 대응하여 형성하여 차광층의 형성을 생략하였으며, 또한, 액티브층(204)에 도핑 영역을 정의하는 마스크와 동일 마스크로 데이터 라인 및 소오스 전극/드레인 전극(203a/203b)을 형성하였으며, 또한, 엠보싱 구조와 보호막의 콘택홀을 동일한 마스크에 의해 정의하여 마스크 수를 3개 이상 저감한 것으로, 종래의 반투과 구조 대비 마스크 수의 저감 효과가 상당히 크다.
- [0118] 이하, 본 발명의 반투과모드의 박막 트랜지스터 어레이 기관의 제조 공정을 구체적으로 살펴보면 다음과 같다.
- [0119] - 제 3 실시예 -
- [0120] 도 11a 내지 도 11h는 본 발명의 제 3 실시예에 따른 박막 트랜지스터 어레이 기관의 제조 방법을 나타낸 공정 평면도이며, 도 12a 내지 도 12i는 본 발명의 제 3 실시예에 따른 박막 트랜지스터 어레이 기관의 제조 방법을 나타낸 공정 단면도이다.
- [0121] 본 발명의 제 3 실시예에 따른 박막 트랜지스터 어레이 기관의 제조 방법은 다음과 같다.
- [0122] 도 12a와 같이, 먼저, 투명 기관(200) 상에 버퍼층(201), 제 1 금속층(212)/ 제 2 금속층(213)을 차례로 적층한다. 이 때, 상기 제 1 금속층(212)으로는 몰리브덴(MoTi)이 제 2 금속층(213)으로는 Mo 등이 사용될 수 있다.

상기 제 1, 제 2 금속층(212, 213)으로 사용되는 금속은 이에 한정되는 것은 아니고, 식각 선택비가 상이한 두 금속에서 선택하며, 바람직하게는 상부층의 제 2 금속층(213)의 식각 선택비가 제 1 금속층(212)보다 좋게 하여 해당 금속들을 선택한다. 예를 들어, Mo과 MoTi는 그 식각 선택비가 약 20:1 정도로, 동일 에천트에 대해 Mo 층의 식각량이 크다.

- [0123] 이어, 상기 제 2 금속층(213) 상에 감광막을 도포한 후 이를 회절 노광 마스크인 제 1 마스크(미도시)를 이용하여 노광 및 현상하여 제 1 감광막 패턴(231)을 형성한다. 여기서, 상기 제 1 감광막 패턴(231)은 제 1 두께의 게이트 전극 정의용 제 1 패턴(231a)과 상기 제 1 두께보다 큰 제 2 두께의 게이트 라인 및 공통 라인 정의용 제 2 패턴(231b)을 포함하여 이루어진다. 상기 제 1 감광막 패턴(231)을 형성하기 위한 제 1 마스크는, 상기 제 1 감광막 패턴(231)을 이루는 물질이 파지티브 감광막일 때, 상기 제 1 패턴(231a)에 대응된 부위가 반투과부이며, 제 2 패턴(231b)에 대응된 부위에 차광부이며, 나머지 부위는 개구부로 정의되어 있다. 만일 상기 제 1 감광막 패턴(231)을 이루는 물질이 네거티브 감광막일 때는, 상기 제 1 마스크의 개구부와 차광부를 반전시켜 배치하여 동일 효과를 얻을 수 있다.
- [0124] 상기 제 1 감광막 패턴(231)을 이용하여, 오픈된 영역의 제 2 금속층(213) 및 제 1 금속층(212)의 식각을 진행하여, 제 1 금속층(212) 및 제 2 금속층(213)이 적층된 게이트 라인(250)과 공통 라인(251)을 형성한다. 이 때, 게이트 전극 형성부위도 동일 금속층들에 의해 정의된다.
- [0125] 이어, 상기 제 1 두께의 제 1 패턴(231a)이 모두 제거될 정도로 애싱을 진행하여, 제 2 패턴(231b)측의 제 1 감광막 패턴만 남긴 후, 제 1 패턴(231a) 대응부위에서 제 1 금속층(212)과 제 2 금속층(213)간의 식각 선택비를 이용하여 2차 식각을 진행하여 도 11a 및 도 12b와 같이, 상기 게이트 전극(202)을 형성한다. 이 경우, 상기 게이트 전극(202)은 제 2 금속층(213)을 모두 제거하고 제 1 금속층(212)만 남긴 것이다.
- [0126] 이어, 남아있는 제 1 감광막 패턴을 스트립하여 제거한다.
- [0127] 도 12c와 같이, 상기 게이트 전극(202), 게이트 라인(250) 및 공통 라인(251)을 포함한 전면에 게이트 절연막(203)을 형성한다.
- [0128] 이어, 도 11b와 같이, 게이트 전극(202)을 덮고, 그 양측에 게이트 라인(250)의 일부와 상기 공통 라인(251)에 걸쳐지도록 폴리실리콘층(224)을 형성한다.
- [0129] 여기서, 상기 폴리실리콘층(224)은 비정질 실리콘층을 증착한 후, 이에 탈수소화 공정을 진행하고 결정화 공정을 진행하여 폴리 실리콘화한 후 그 상부에 제 2 감광막(미도시)을 도포하고 이를 제 2 마스크에 의해 패터닝하여, 이를 이용하여 식각하여 형성된 것이다. 식각 공정 후, 상기 제 2 감광막은 제거한다.
- [0130] 도 12d와 같이, 상기 폴리실리콘층(224)을 포함한 게이트 절연막(203) 상부에 층간 절연막(225)을 전면 증착한다.
- [0131] 이어, 상기 층간 절연막 상에 제 3 감광막을 도포한 후, 하프톤 마스크 또는 회절 노광 마스크로서의 제 3 마스크(미도시)에 의해 패터닝하여 도 11c 및 도 12d와 같이, 제 3 감광막 패턴(226)을 형성한다.
- [0132] 제 3 감광막 패턴(226)은 영역별 그 두께를 달리하는데, 데이터 라인 형성부 중 상기 게이트 라인(250) 및 공통 라인(251)과 오버랩되는 부위는 상대적으로 낮은 제 3 두께로 형성하여 가리며, 도핑이 이루어지는 도핑 영역과 나머지 데이터 라인 형성부에 대응하여서는 완전히 제거하여 오픈하며, 폴리실리콘층(224)의 채널 대응부(226a)를 포함한 나머지 영역들에서는 상대적으로 두꺼운 제 4 두께로 형성하여 가린다. 즉, 제 3 감광막 패턴(226)은 제 3 두께의 제 3 패턴(226a)과 제 4 두께의 제 4 패턴(226b)을 포함한다. 이 때, 상기 제 3 감광막 패턴(226)을 정의하는 제 3 마스크는, 상기 제 3 감광막 패턴(226)이 파지티브 감광막일 때, 상기 제 3 패턴(226a)에 대응되는 부분이 반투과부이며, 제 4 패턴(226b)에 대응되는 부위가 차광부가 정의되고, 나머지 부위가 개구부로 정의되어 배치된 하프톤 마스크 또는 회절 노광 마스크이다.
- [0133] 이어, 상기 제 3 감광막 패턴(226)을 이용하여 일차 식각 공정을 진행하여, 오픈된 부위의 상기 층간 절연막(225)을 식각한다. 여기서, 상기 게이트 라인(250) 및 공통 라인(251)와 교차하는 방향으로 형성될 데이터 라인과의 오버랩된 부위의 폴리실리콘층(224)에 대해서는 상기 제 3 감광막 패턴(226)이 가리고 있기 때문에, 층간 절연막(225)이 남아있게 되며, 또한 상기 채널 대응부에도 층간 절연막(205a)이 남아있다.
- [0134] 이어, 상기 제 3 감광막 패턴(226)이 오픈하는 상기 폴리실리콘층(224)에 p+ 또는 n+의 불순물을 주입하여 도 11d 및 도 12e와 같이, 소오스 영역과 드레인 영역으로 기능하는 도핑 영역(204b)을 형성한다. 이 때, 상기 도핑되지 않은 영역 중 게이트 전극(202) 상의 부위는 이후 형성되는 박막 트랜지스터의 채널 영역(204a)으로 기

능한다. 또한, 이 공정에서, 상기 층간 절연막(225)이 오픈된 부위의 폴리실리콘층(224)에는 함께 도핑이 이루어져 도핑 영역(204b)이 되며, 이 부위는 스토리지 캐패시터 형성 부위에 상당한다. 그리고, 데이터 라인의 형성부위에서는 층간 절연막(225) 및 제 3 감광막 패턴(226)이 가리는 부위가 되어, 불순물 주입이 차단되어 불순물의 주입이 없는 진성 영역의 폴리실리콘층(224)으로 남아있게 된다.

- [0135] 여기서, 박막 트랜지스터 형성 부위의 상기 채널 영역(204a)과 그 양측의 도핑 영역(204b)을 함께 포함하여 액티브층(204)이라고 한다.
- [0136] 이어, 도 11e와 같이, 상기 제 3 패턴(226a)의 두께가 모두 제거될 정도로 상기 제 3 감광막 패턴(226)의 애싱(ashing)하여 제 3 감광막 2차 패턴(226x)을 형성한다. 이에 따라, 도핑이 이루어진 도핑 영역(204b)이 오픈되며, 상기 데이터 라인 형성부에 오버랩되는 게이트 라인(250) 및 공통 라인(251) 상의 패터닝된 층간 절연막(205)이 노출된다.
- [0137] 도 12f와 같이, 상기 제 3 감광막 2차 패턴(226x)을 포함한 노출된 상기 액티브층의 도핑 영역(204b) 상에 데이터 금속층(227)을 증착한다.
- [0138] 여기서, 남아있는 상기 제 3 감광막 2차 패턴(226x)은 적어도 3.5 μ m 이상의 두께이기 때문에, 이러한 데이터 금속층(227)의 증착 과정에서, 경사 부위에는 많은 양이 남지 않게 되며, 또한, 층간 절연막 패턴(205a) 상의 제 3 감광막 2차 패턴(226x)은 상대적으로 넓은 폭이 남아있게 되어, 상기 제 3 감광막 2차 패턴(226x) 상의 금속층(227)과 층간 절연막(205) 혹은 도핑 영역(204b) 상의 데이터 금속층(227)과는 서로 분리된 상태를 유지한다.
- [0139] 이어, 도 11f 및 도 12h과 같이, 상기 제 3 감광막 2차 패턴(226x) 및 그 상부의 데이터 금속층(227)을 리프트 오프(lift off)하여 제거한다.
- [0140] 이에 따라, 남아있는 데이터 금속층(227)은 상기 게이트 라인(250)과 교차하는 방향의 데이터 라인(206)과 이와 연결된 소오스 전극(206a) 및 이와 이격된 드레인 전극(206b)이 된다.
- [0141] 이어, 도 11g 및 도 12i와 같이, 데이터 라인(206), 소오스 전극(206a), 드레인 전극(206b) 및 층간 절연막(225)을 포함한 전면에 무기 보호막(207)을 형성한다.
- [0142] 이어, 무기 보호막(207) 상에 유기 보호막(208)을 형성한다.
- [0143] 이어, 상기 유기 보호막(208), 무기 보호막(207)을 제 4 마스크(미도시)를 이용하여 패터닝하여 상기 드레인 전극(206b)의 일부가 노출하는 콘택홀(217)을 형성함과 동시에, 반사부(R)에 대응된 상기 유기 보호막(207) 상에 요철부를 정의한다. 여기서, 상기 제 4 마스크는 일종의 하프톤 마스크로, 상기 콘택홀(217)에 대응된 부위는 개구부로, 상기 반사부(R)에 대응된 부위는 요철 정의부로, 나머지 부위는 차광부에 대응된 것으로, 반투과부에 대응하여, 상기 콘택홀(217) 정의시, 상기 유기 보호막(208)의 일부 두께를 부분적으로 제거한 후, 해당 반사부(R)의 요철부를 정의할 수 있다.
- [0144] 이 경우, 제 4 마스크를 이용하여 상기 유기 보호막(208)의 패터닝 후, 반사부(R) 표면의 요철의 엠보싱 구조를 부드럽게 하기 위해, 리플로우(reflow) 하는 공정을 추가할 수 있다.
- [0145] 이어, 상기 콘택홀(217)을 내부 표면과 상기 유기 보호막(208)의 표면을 덮도록 투명 전극, 반사성 금속을 차례로 증착한 후, 상기 반사성 금속 상에 감광막(미도시)을 도포한 후, 회절 마스크로서 제 5 마스크(미도시)를 이용하여 패터닝하여 감광막 패턴을 형성한 후, 상기 감광막 패턴을 이용하여 도 11h 및 도 12i와 같이, 상기 반사성 금속과 투명 전극을 선택적으로 제거하여 반사 전극(210) 및 화소 전극(210)을 형성한다.
- [0146] 여기서, 상기 제 5 마스크는 회절 노광 마스크로, 상기 반사부(R)에 대응된 부위가 차광부로 정의되며, 상기 반사부(R)를 제외한 나머지 화소 전극(209)이 남아있는 부분이 반투과부로 정의되고, 상기 화소 전극과 반사 전극이 형성되지 않는 부위가 차광부로 정의되는 것이다.
- [0147] 이에 따라, 상기 제 5 마스크를 이용하여 상기 감광막 패턴을 노광 및 현상하여 차광부를 전 두께 남기고, 반투과부에서는 이보다 낮은 두께로 남기며, 투과부는 전두께 제거하는 형상으로 형성한다. 따라서, 일차적으로 상기 감광막 패턴을 마스크로 하여 상기 반사성 금속과 투명 전극을 함께 패터닝하여 화소 전극(209)을 형성한 후, 이어, 감광막 패턴을 애싱하여 상기 반투과부에 대응된 부분의 감광막 패턴의 두께를 제거하고, 나머지 차광부에 대응된 감광막 패턴만을 남겨 상기 반사성 금속을 식각을 진행하여 상기 반사부(R)에 대응된 부분에만 반사 전극(210)을 형성한다.

- [0148] - 제 4 실시예 -
- [0149] 도 13a 내지 도 13c는 본 발명의 제 4 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법을 나타낸 공정 평면도이며, 도 14a 내지 도 14f는 본 발명의 제 4 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법을 나타낸 공정 단면도이다.
- [0150] 본 발명의 제 4 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법은, 상술한 제 3 실시예와 비교하여, 제 3 마스크를 적용함에 있어, 하프톤마스크나 회절 노광 마스크를 이용하지 않고, 일반적인 개구부와 차광부만을 구비한 마스크를 이용한 예를 나타낸 것으로, 게이트 라인/공통 라인과 데이터 라인의 오버랩 구간에서 층간 절연막을 더 구비한 제 3 실시예와 차이를 보인다.
- [0151] 본 발명의 제 4 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법에서는, 제 1, 제 2 마스크 공정이 제 1 실시예와 동일한 것으로 이하 동일한 공정에 대해서는 간략히 생략하여, 제 3 마스크 공정부터 설명하면 다음과 같다.
- [0152] 도 13a 및 도 14a와 같이, 상기 폴리실리콘층(224)을 포함한 게이트 절연막(203) 상부에 제 3 감광막을 도포한 후, 도핑 영역 및 데이터 라인 형성부만을 오픈시키는 제 3 마스크(미도시)를 이용하여 노광 및 현상하여 패터닝하여 제 3 감광막 패턴(231)을 형성한다.
- [0153] 이어, 상기 제 3 감광막 패턴(226)을 이용하여 상기 제 3 감광막 패턴(231)이 오픈하는 상기 폴리실리콘층(224)에 p+ 또는 n+의 불순물을 주입하여 도 13b 및 도 14b와 같이, 소오스 영역과 드레인 영역으로 기능하는 도핑 영역(204b)을 형성한다. 이 때, 상기 도핑되지 않은 영역 중 게이트 전극(202) 상의 부위는 이후 형성되는 박막 트랜지스터의 채널 영역(204a)으로 기능한다. 또한, 이 공정에서, 상기 박막 트랜지스터 영역 외에도 상기 게이트 라인(250)이나 공통 라인(251) 상부의 폴리실리콘층(224)에 함께 도핑이 이루어져 도핑 영역(204b)이 되며, 이 부위는 스토리지 캐패시터 형성 부위에 상당한다.
- [0154] 여기서, 상기 채널 영역(204a)과 그 양측의 도핑 영역(204b)을 함께 포함하여 액티브층(204) 이라고 한다.
- [0155] 이어, 도 14c와 같이, 상기 제 3 감광막 패턴(231)을 포함한 노출된 상기 액티브층의 도핑 영역(204b)과 게이트 절연막(203) 상에 데이터 금속층(232)을 증착한다.
- [0156] 이어, 도 13c 및 도 14d와 같이, 상기 제 3 감광막 패턴(231) 및 그 상부의 데이터 금속층(232)을 리프트 오프(lift off)하여 제거한다.
- [0157] 이에 따라, 남아있는 데이터 금속층(232)은 상기 게이트 라인(250)과 교차하는 방향의 데이터 라인(206)과 이와 연결된 소오스 전극(206a) 및 이와 이격된 드레인 전극(206b)이 된다.
- [0158] 이어, 도 14e와 같이, 데이터 라인(206), 소오스 전극(206a), 드레인 전극(206b) 및 게이트 절연막(203)을 포함한 전면에 무기 보호막(207)을 형성한다.
- [0159] 이어, 무기 보호막(207) 상에 유기 보호막(208)을 형성한다.
- [0160] 이어, 상기 유기 보호막(208), 무기 보호막(207)을 제 4 마스크(미도시)를 이용하여 패터닝하여 상기 드레인 전극(206b)의 일부가 노출하는 콘택홀(217)을 형성함과 동시에, 반사부(R)에 대응된 상기 유기 보호막(207) 상에 요철부를 정의한다. 여기서, 상기 제 4 마스크는 일종의 하프톤 마스크로, 상기 콘택홀(217)에 대응된 부위는 개구부로, 상기 반사부(R)에 대응된 부위는 요철 정의부로, 나머지 부위는 차광부에 대응된 것으로, 반투과부에 대응하여, 상기 콘택홀(217) 정의시, 상기 유기 보호막(208)의 일부 두께를 부분적으로 제거한 후, 해당 반사부(R)의 요철부를 정의할 수 있다.
- [0161] 이 경우, 제 4 마스크를 이용하여 상기 유기 보호막(208)의 패터닝 후, 반사부(R) 표면의 요철의 엠보싱 구조를 부드럽게 하기 위해, 리플로우(reflow) 하는 공정을 추가할 수 있다.
- [0162] 이어, 상기 콘택홀(217)을 내부 표면과 상기 유기 보호막(208)의 표면을 덮도록 투명 전극, 반사성 금속을 차례로 증착한 후, 상기 반사성 금속 상에 감광막(미도시)을 도포한 후, 회절 마스크로서 제 5 마스크(미도시)를 이용하여 패터닝하여 감광막 패턴을 형성한 후, 상기 감광막 패턴을 이용하여 도 14f와 같이, 상기 반사성 금속과 투명 전극을 선택적으로 제거하여 반사 전극(210) 및 화소 전극(210)을 형성한다.
- [0163] 여기서, 상기 제 5 마스크는 회절 노광 마스크로, 상기 반사부(R)에 대응된 부위가 차광부로 정의되며, 상기 반사부(R)를 제외한 나머지 화소 전극(209)이 남아있는 부분이 반투과부로 정의되고, 상기 화소 전극과 반사 전극

이 형성되지 않는 부위가 차광부로 정의되는 것이다.

- [0164] 이에 따라, 상기 제 5 마스크를 이용하여 상기 감광막 패턴을 노광 및 현상하여 차광부를 전 두께 남기고, 반투과부에서는 이보다 낮은 두께로 남기며, 투과부는 전두께 제거하는 형상으로 형성한다. 따라서, 일차적으로 상기 감광막 패턴을 마스크로 하여 상기 반사성 금속과 투명 전극을 함께 패터닝하여 화소 전극(209)을 형성한 후, 이어, 감광막 패턴을 에칭하여 상기 반투과부에 대응된 부분의 감광막 패턴의 두께를 제거하고, 나머지 차광부에 대응된 감광막 패턴만을 남겨 상기 반사성 금속을 식각을 진행하여 상기 반사부(R)에 대응된 부분에만 반사 전극(210)을 형성한다.
- [0165] 삭제
- [0166] 삭제
- [0167] 삭제
- [0168] 삭제
- [0169] 삭제
- [0170] 삭제
- [0171] 삭제
- [0172] 삭제
- [0173] 삭제
- [0174] 삭제
- [0175] 삭제
- [0176] 삭제
- [0177] 삭제
- [0178] 삭제

- [0179] 삭제
- [0180] 삭제
- [0181] 삭제
- [0182] 삭제
- [0183] 삭제
- [0184] 삭제
- [0185] 삭제
- [0186] 삭제
- [0187] 삭제
- [0188] 삭제
- [0189] 삭제
- [0190] 삭제
- [0191] 삭제
- [0192] 삭제
- [0193] 삭제
- [0194] 삭제
- [0195] 삭제

- [0196] 삭제
- [0197] 삭제
- [0198] 삭제
- [0199] 삭제
- [0200] 삭제
- [0201] 삭제
- [0202] 삭제
- [0203] 삭제
- [0204] 삭제
- [0205] 삭제
- [0206] 삭제
- [0207] 삭제
- [0208] 삭제
- [0209] 삭제
- [0210] 삭제
- [0211] 삭제
- [0212] 삭제

- [0213] 삭제
- [0214] 삭제
- [0215] 삭제
- [0216] 삭제
- [0217] 삭제
- [0218] 삭제
- [0219] 삭제
- [0220] 삭제
- [0221] 삭제
- [0222] 삭제
- [0223] 삭제
- [0224] 삭제
- [0225] 삭제
- [0226] 삭제
- [0227] 삭제
- [0228] 삭제
- [0229] 삭제

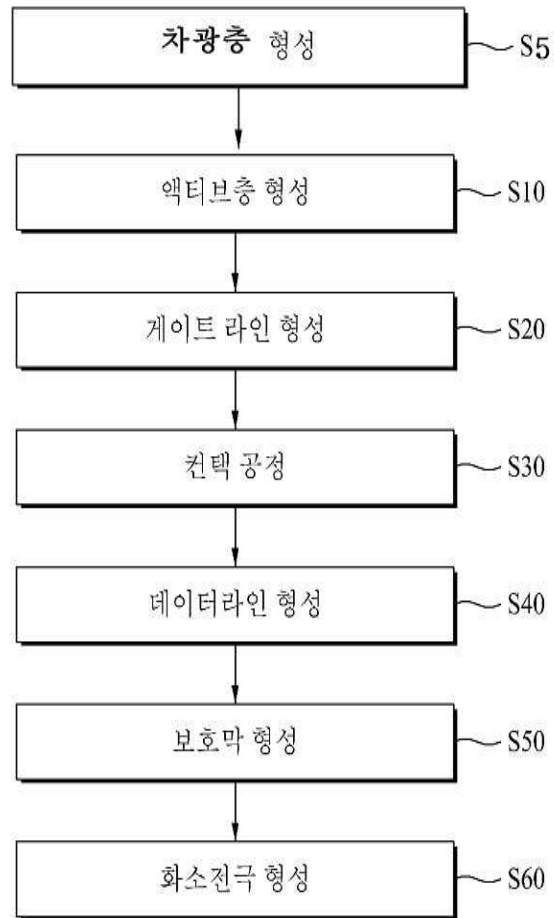
- [0230] 삭제
- [0231] 삭제
- [0232] 삭제
- [0233] 삭제
- [0234] 삭제
- [0235] 삭제
- [0236] 삭제
- [0237] 삭제
- [0238] 삭제
- [0239] 삭제
- [0240] 삭제
- [0241] 삭제
- [0242] 삭제
- [0243] 삭제
- [0244] 삭제
- [0245] 삭제
- [0246] 삭제

- [0247] 삭제
- [0248] 삭제
- [0249] 삭제
- [0250] 삭제
- [0251] 삭제
- [0252] 삭제
- [0253] 삭제
- [0254] 삭제
- [0255] 삭제
- [0256] 삭제
- [0257] 삭제
- [0258] 삭제
- [0259] 삭제
- [0260] 삭제
- [0261] 삭제
- [0262] 삭제

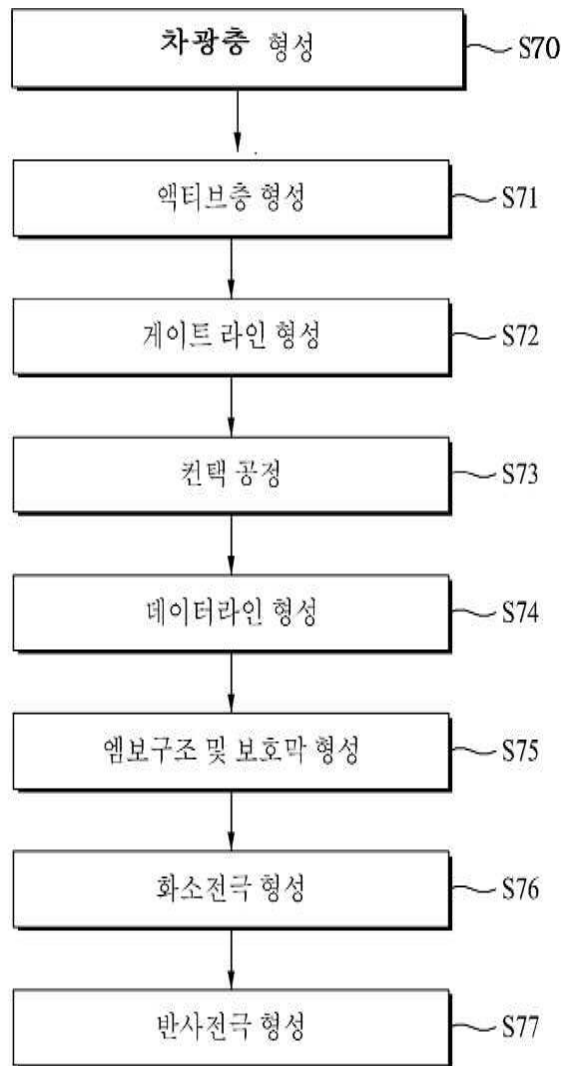
[0263] 이와 같이, 본 발명의 박막 트랜지스터 어레이 기판의 제조 방법은 마스크 수를 저감하여 하나의 마스크 공정에 소요되는 감광막의 도포 공정, 이의 노광 및 현상 공정, 식각 공정, 세정 공정, 정렬 공정 등에 소요되는 적게는 4스텝에서 12 스텝을 생략할 수 있고, 이를 통해 수율 향상을 꾀할 수 있는 것이다.

도면

도면1



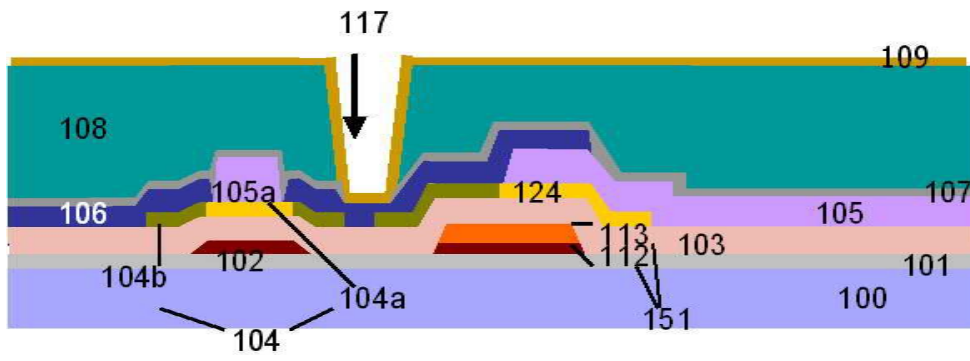
도면2



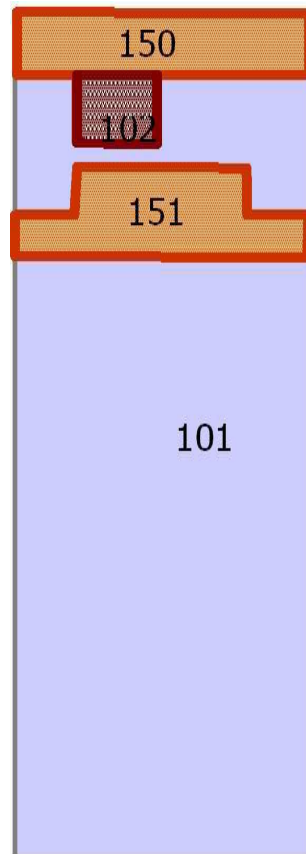
도면3



도면4



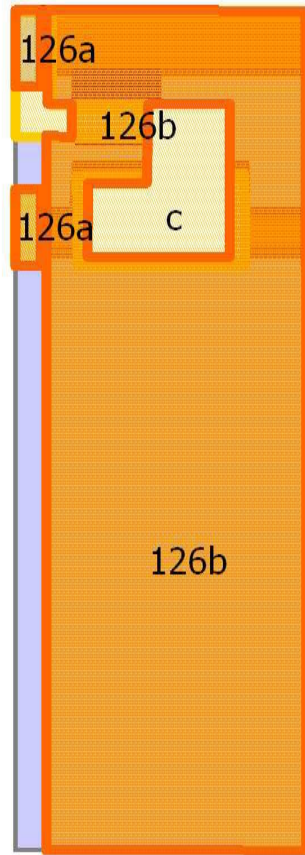
도면5a



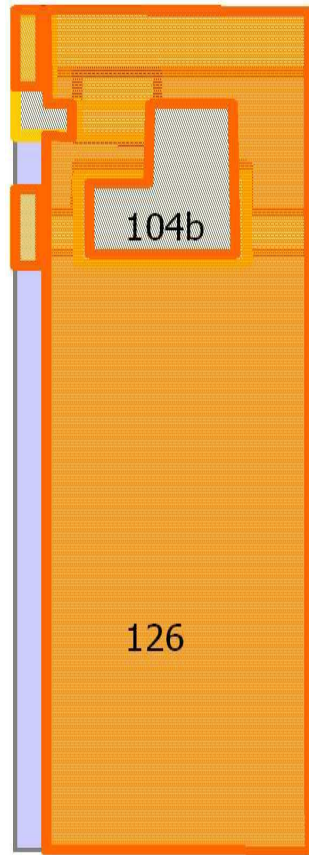
도면5b



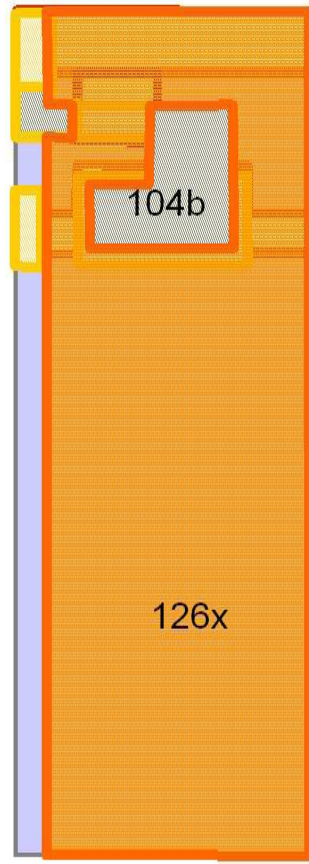
도면5c



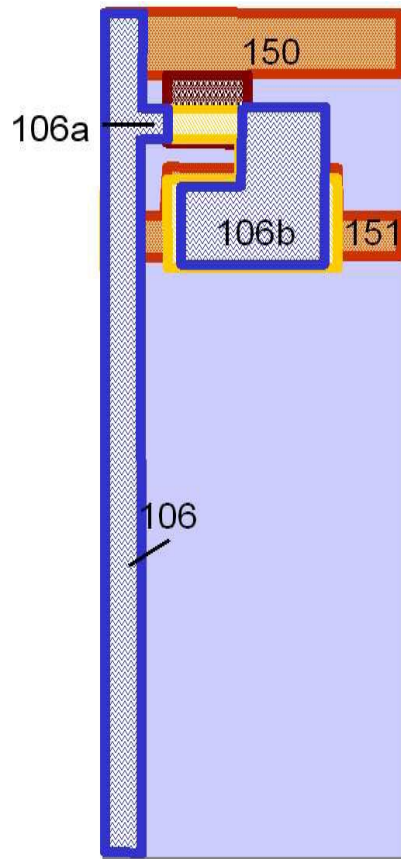
도면5d



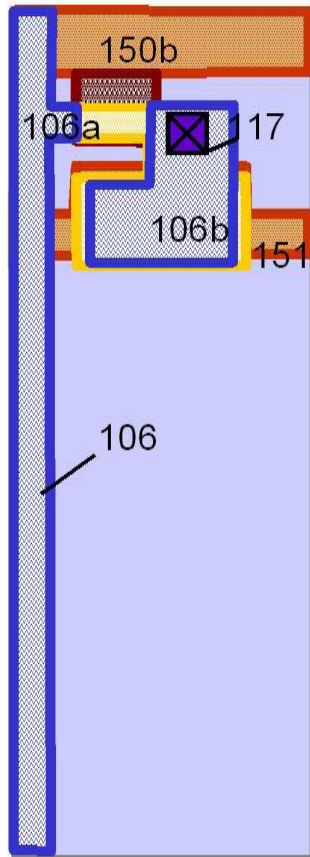
도면5e



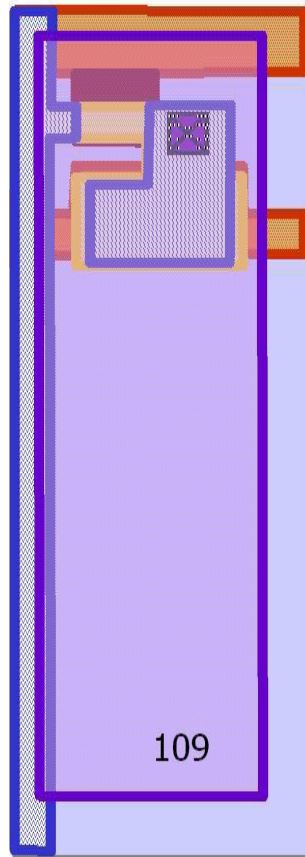
도면5f



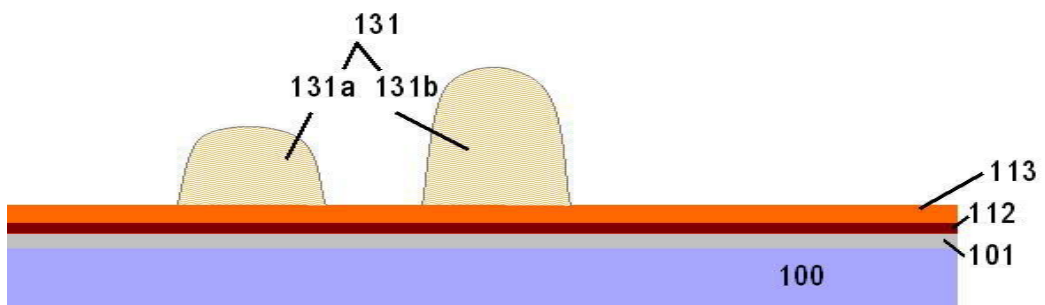
도면5g



도면5h



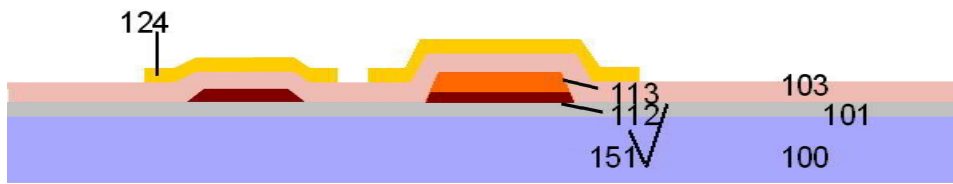
도면6a



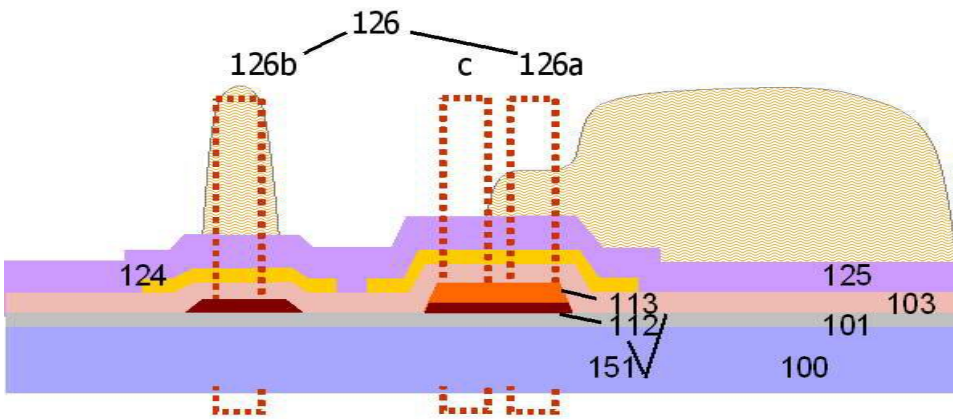
도면6b



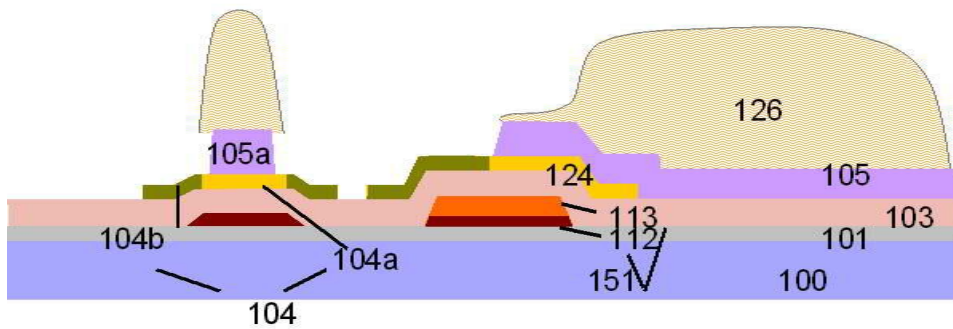
도면6c



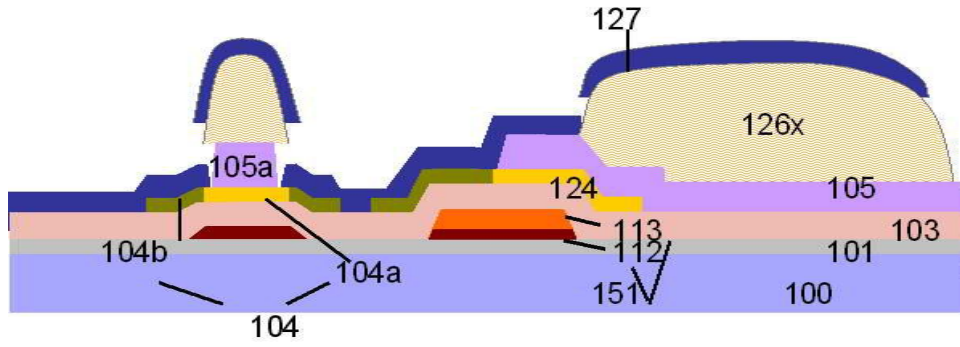
도면6d



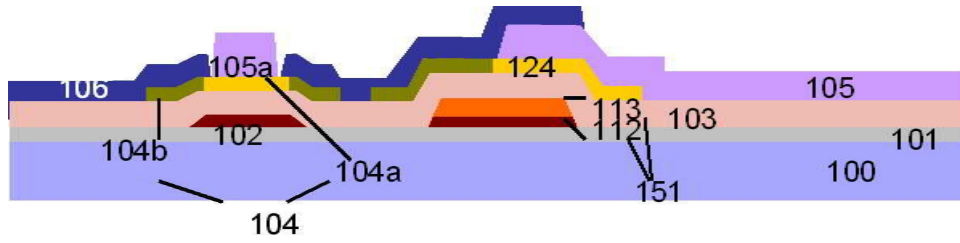
도면6e



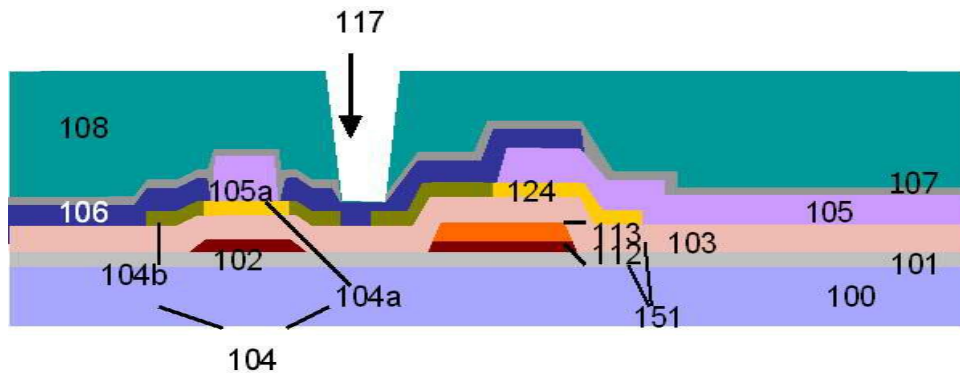
도면6f



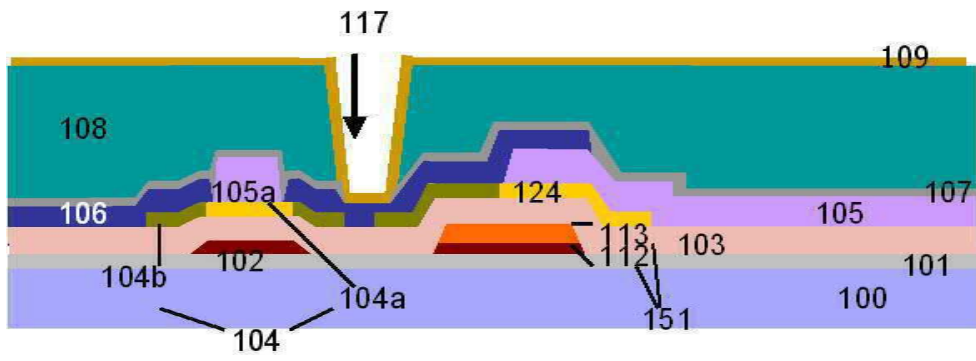
도면6g



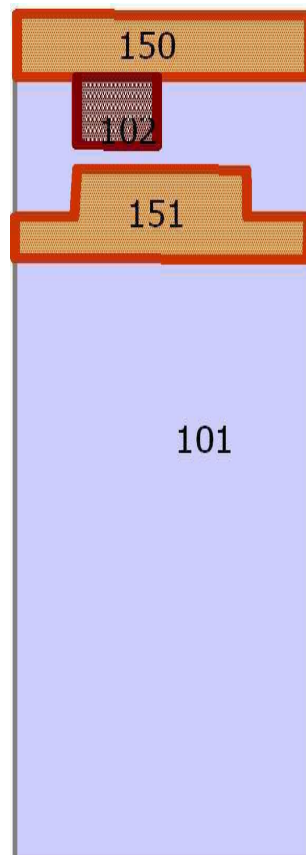
도면6h



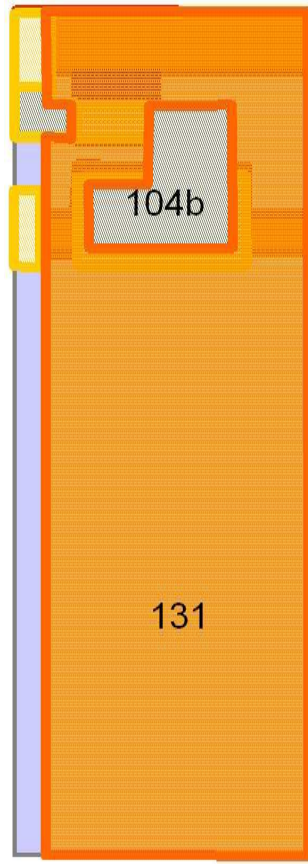
도면6i



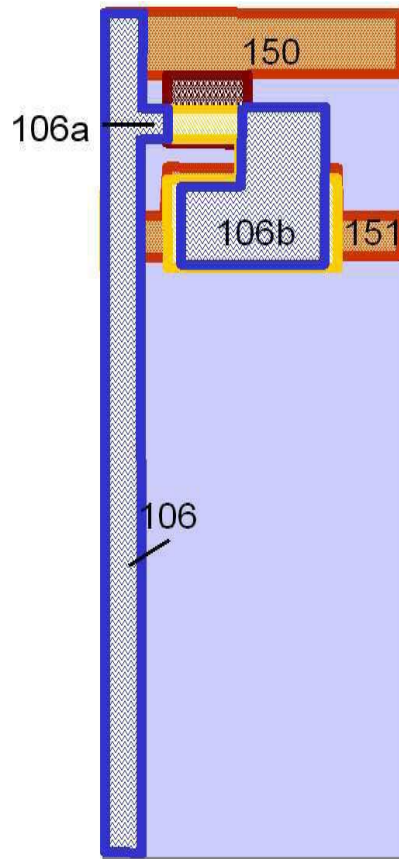
도면7a



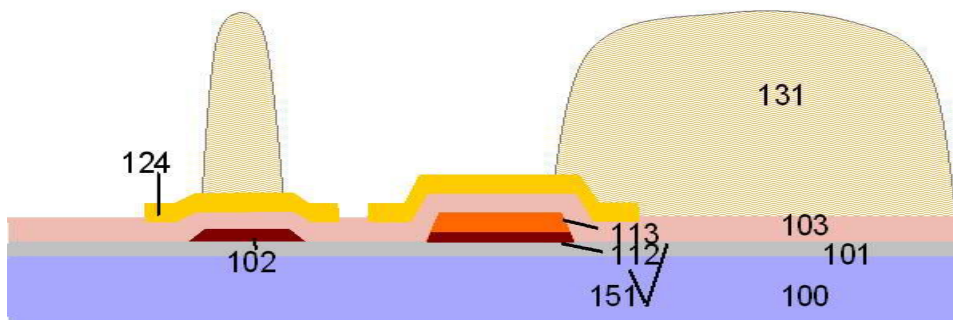
도면7b



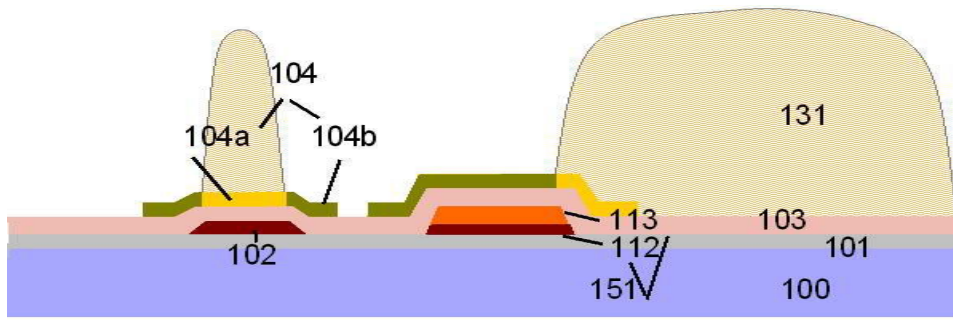
도면7c



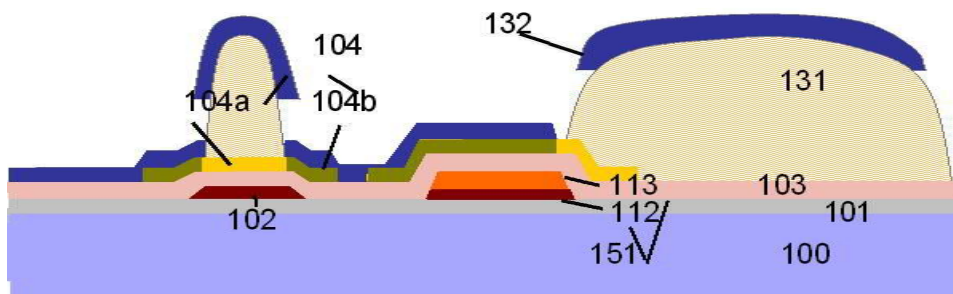
도면8a



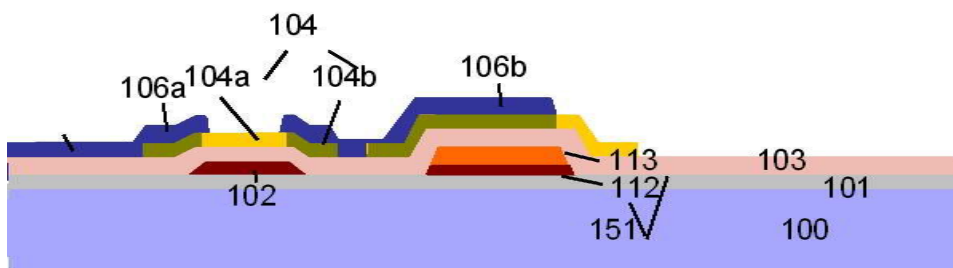
도면8b



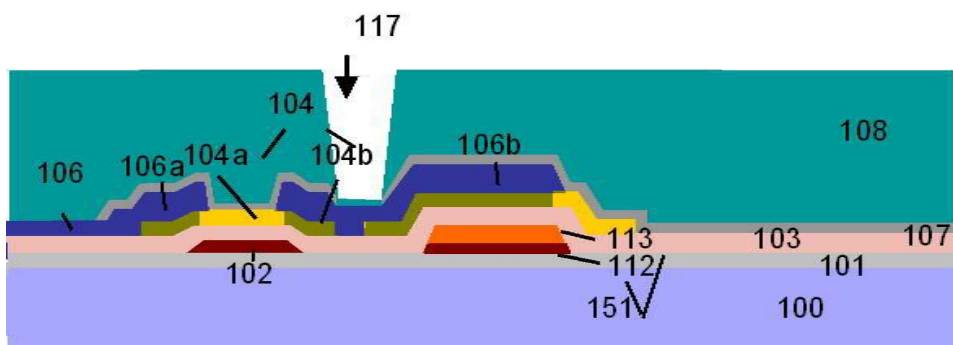
도면8c



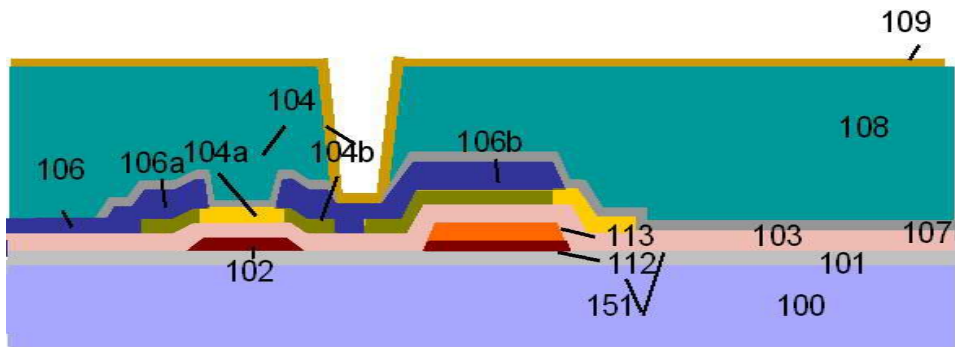
도면8d



도면8e



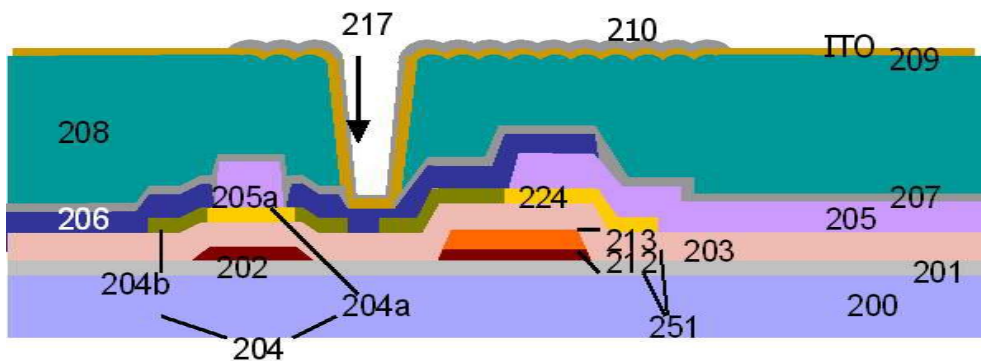
도면8f



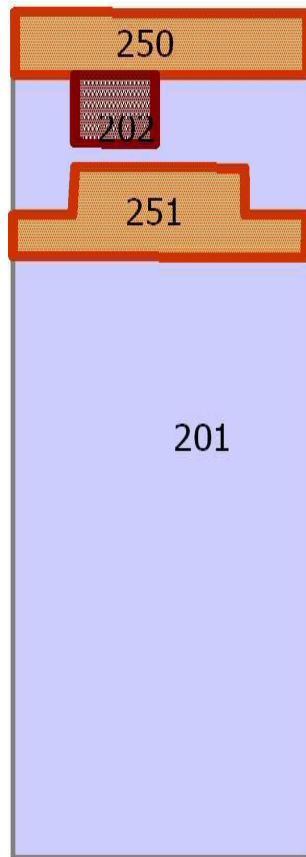
도면9

- 게이트형성(S111)
- 액티브층형성(S112)
- 도핑 및 데이터형성(S113)
- 엠보 및 보호막 형성(S114)
- 화소 및 반사전극(S115)

도면10



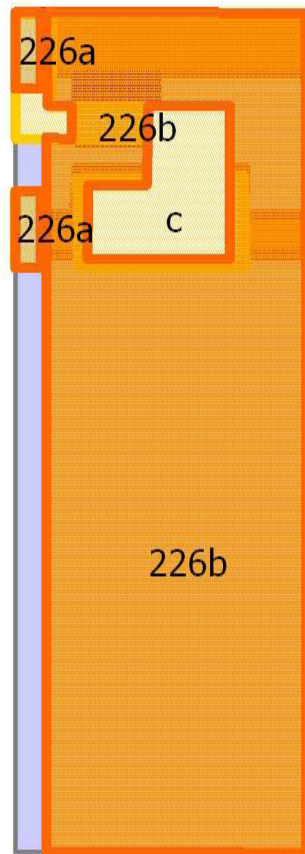
도면11a



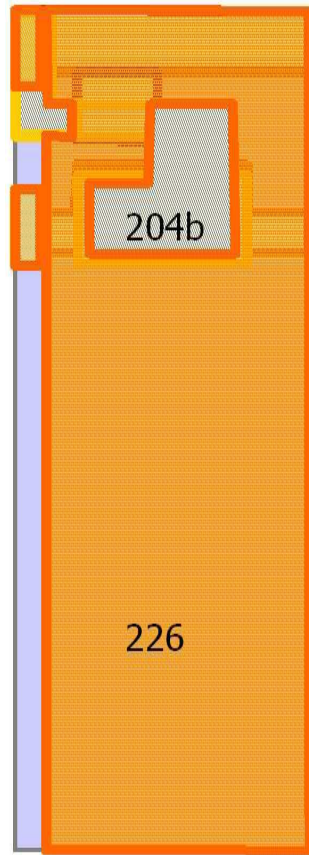
도면11b



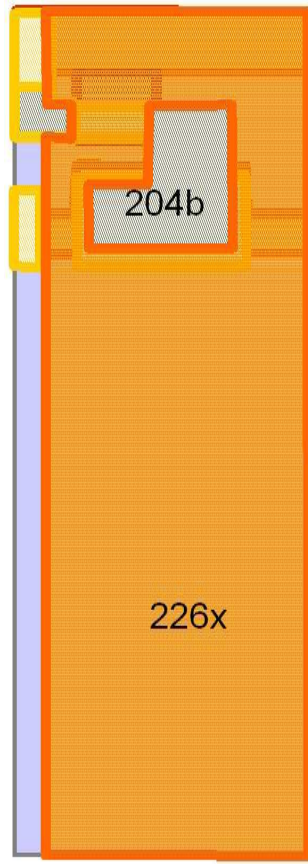
도면11c



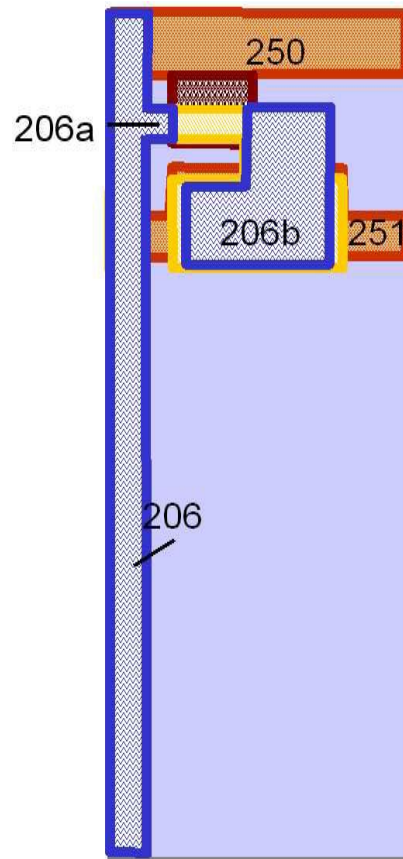
도면11d



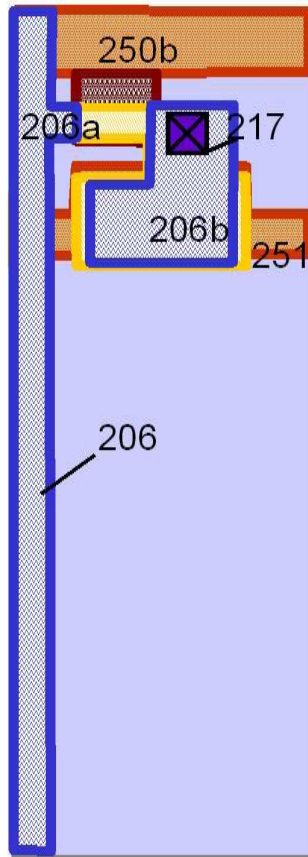
도면11e



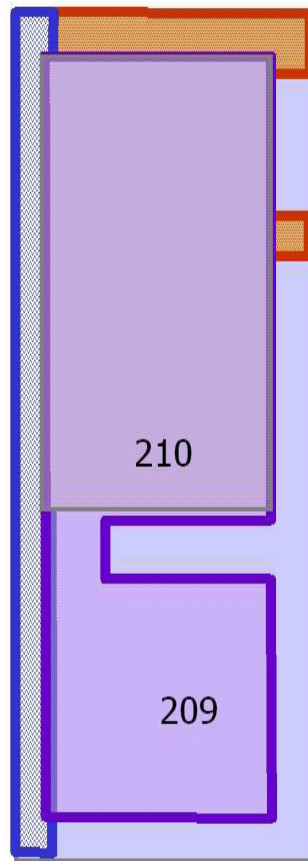
도면11f



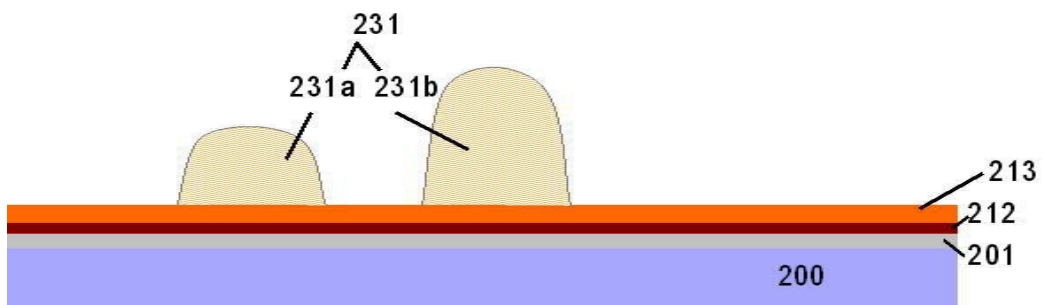
도면11g



도면11h



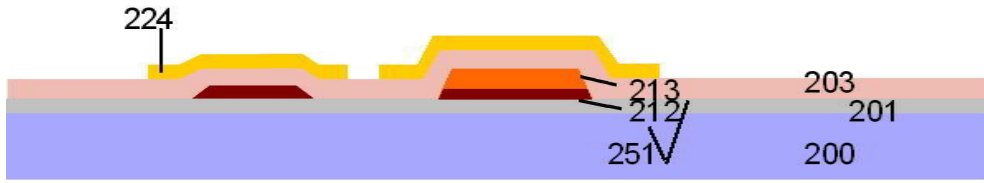
도면12a



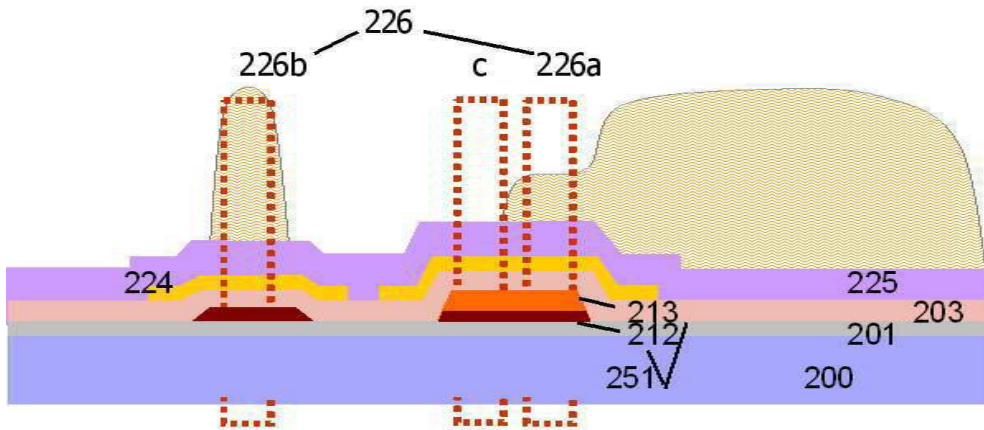
도면12b



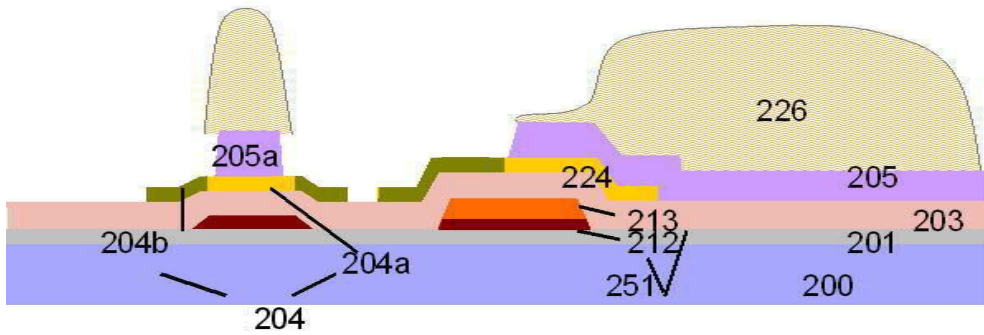
도면12c



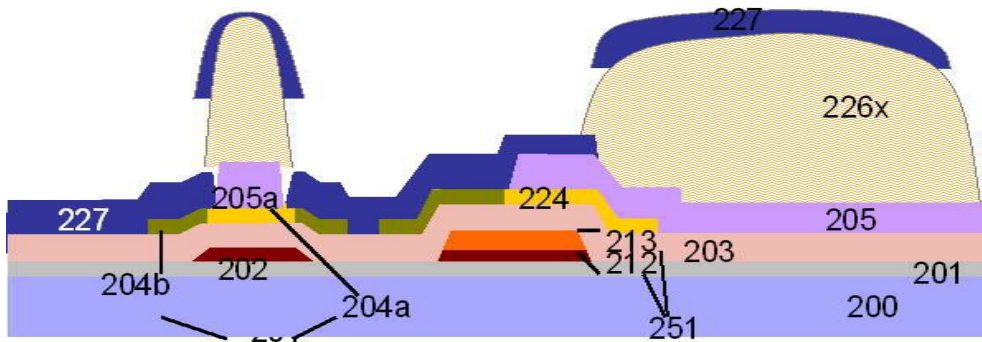
도면12d



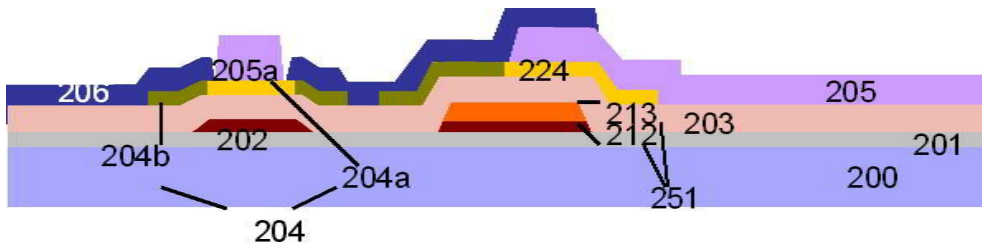
도면12e



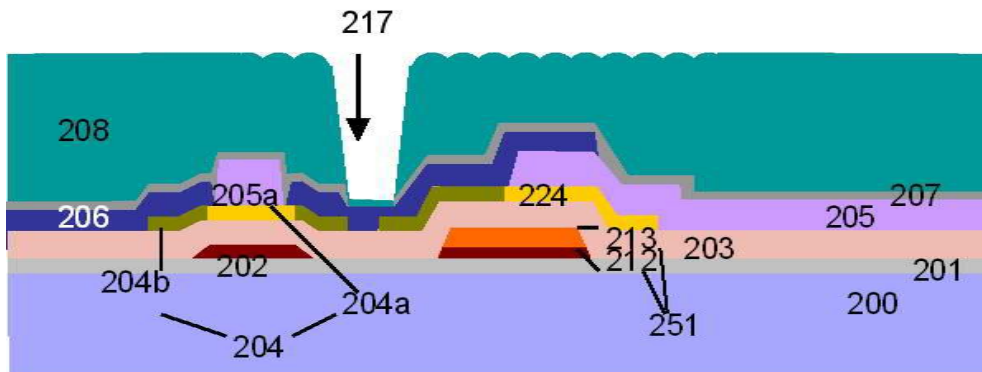
도면12f



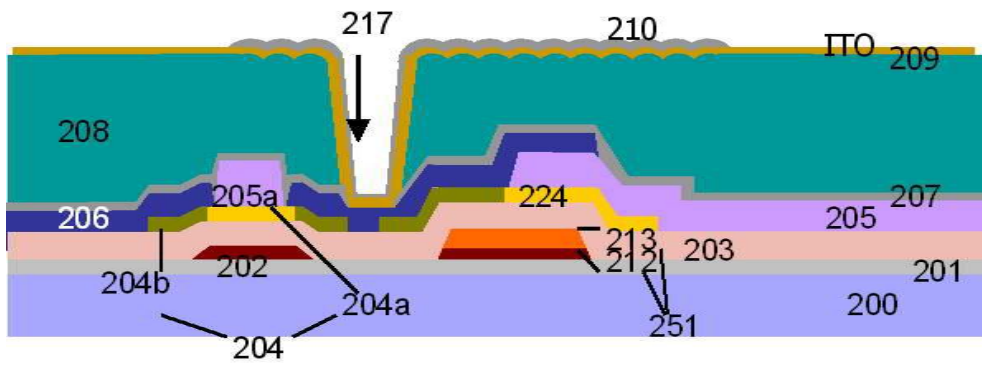
도면12g



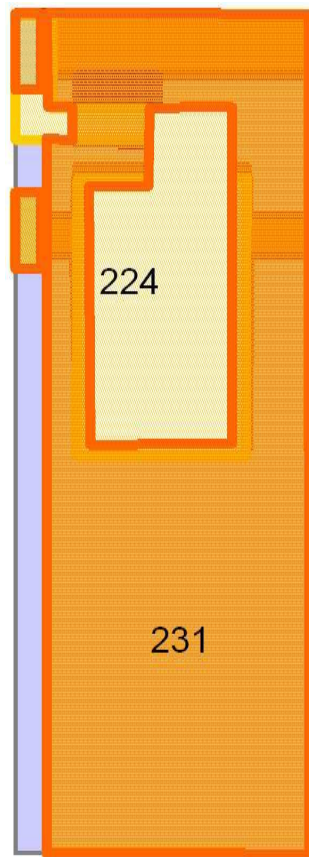
도면12h



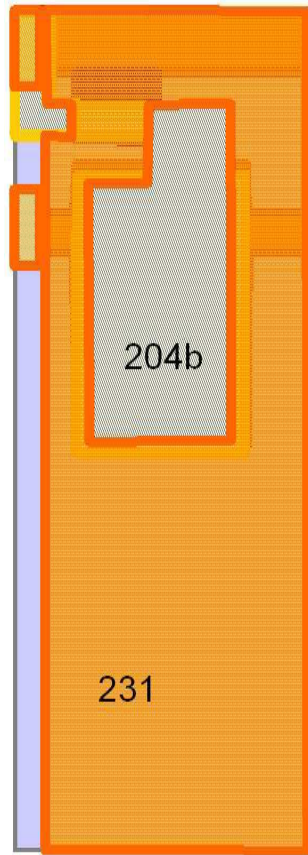
도면12i



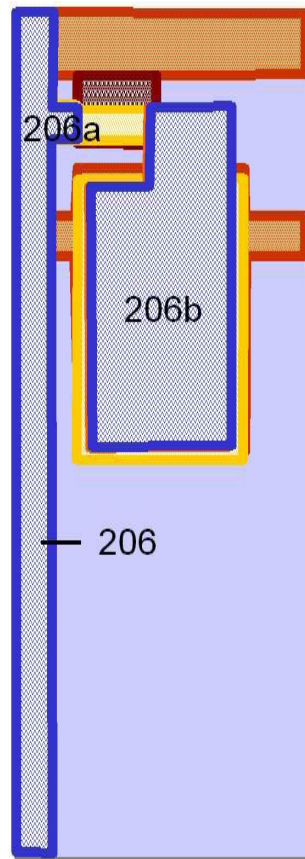
도면13a



도면13b



도면13c



도면14a

