

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成 17 年 6 月 9 日 (2005.6.9)

【公開番号】特開 2001-306265 (P2001-306265A)  
 【公開日】平成 13 年 11 月 2 日 (2001.11.2)  
 【出願番号】特願 2000-127255 (P2000-127255)  
 【国際特許分類第 7 版】

G 0 6 F 3/06  
 G 0 6 F 12/00  
 G 0 6 F 12/08  
 G 0 6 F 13/12

【F I】

G 0 6 F 3/06 3 0 2 A  
 G 0 6 F 3/06 5 4 0  
 G 0 6 F 12/00 5 7 1 A  
 G 0 6 F 12/08 H  
 G 0 6 F 12/08 F  
 G 0 6 F 12/08 Q  
 G 0 6 F 12/08 3 2 0  
 G 0 6 F 13/12 3 3 0 T

【手続補正書】  
 【提出日】平成 16 年 8 月 25 日 (2004.8.25)  
 【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

上位装置および記憶装置との間における情報の授受を制御する複数の第 1 のプロセッサと、前記上位装置と前記記憶装置との間で授受される第 1 の情報および前記第 1 のプロセッサにて使用される第 2 の情報が格納される共有メモリを備えた共有メモリ部と、を含む記憶制御装置であって、前記共有メモリ部には、前記第 1 のプロセッサの前記共有メモリへのアクセスを制御する第 2 のプロセッサを備えたことを特徴とする記憶制御装置。

【請求項 2】

請求項 1 記載の記憶制御装置において、前記第 2 のプロセッサは、前記第 1 のプロセッサと前記共有メモリとの間で授受される前記第 1 および第 2 の情報が一時的に格納されるデータキャッシュと、前記共有メモリに格納された前記第 1 および第 2 の情報の前記データキャッシュへの先読み制御を行う制御論理と、を備えたことを特徴とする記憶制御装置。

【請求項 3】

請求項 1 または 2 記載の記憶制御装置において、前記第 1 のプロセッサと前記共有メモリ部との間には、前記第 1 のプロセッサから前記共有メモリに対する前記第 1 および第 2 の情報の書き込みを実行する第 1 のコマンド手段と、前記共有メモリから前記第 1 のプロセッサに前記第 1 および第 2 の情報の読み出しを実行する第 2 のコマンド手段と、前記第 1 のプロセッサが前記共有メモリにおける前記第 1 および第 2 の情報の有無を調べる操作を前記第 2 のプロセッサに代行させる第 3 のコマンド手段と、が設けられていることを特徴とする記憶制御装置。

## 【請求項 4】

上位装置および記憶装置との間における情報の授受を制御する複数の第 1 のプロセッサと、前記上位装置と前記記憶装置との間で授受される第 1 の情報および前記第 1 のプロセッサにて使用される第 2 の情報が格納される共有メモリを備えた共有メモリ部と、を含む記憶制御装置の制御方法であって、前記共有メモリ部に、前記第 1 のプロセッサと前記共有メモリとの間で授受される前記第 1 および第 2 の情報が一時的に格納されるデータキャッシュを備えた第 2 のプロセッサを配置し、前記第 1 のプロセッサの前記共有メモリ内の前記第 1 および第 2 の情報のアクセス要求には、可能な限り前記データキャッシュを経由して応答することの特徴とする記憶制御装置の制御方法。

## 【請求項 5】

請求項 4 記載の記憶制御装置の制御方法において、前記第 2 のプロセッサが、前記第 1 のプロセッサの代わりに、前記共有メモリにおける前記第 1 および第 2 の情報の有無を調べる処理を代行することの特徴とする記憶制御装置の制御方法。

## 【請求項 6】

上位装置および記憶装置との間における情報の授受を制御する複数の第 1 のプロセッサと、前記上位装置と前記記憶装置との間で授受される第 1 の情報および前記第 1 のプロセッサにて使用される第 2 の情報が格納される共有メモリを備えた共有メモリ部と、を含む記憶制御装置であって、

前記共有メモリ部には、前記第 1 のプロセッサの前記共有メモリへのアクセスを制御する第 2 のプロセッサを備え、

前記第 2 のプロセッサは、前記第 1 のプロセッサと前記共有メモリとの間で授受される前記第 1 および第 2 の情報が一時的に格納されるデータキャッシュと、前記共有メモリに格納された前記第 1 および第 2 の情報の前記データキャッシュへの先読み制御を行う制御論理と、を備え、

前記第 1 のプロセッサと前記共有メモリ部との間には、前記第 1 のプロセッサから前記共有メモリに対する前記第 1 および第 2 の情報の書き込みを実行する第 1 のコマンド手段と、前記共有メモリから前記第 1 のプロセッサに前記第 1 および第 2 の情報の読み出しを実行する第 2 のコマンド手段と、前記第 1 のプロセッサが前記共有メモリにおける前記第 1 および第 2 の情報の有無を調べる操作を前記第 2 のプロセッサに代行させる第 3 のコマンド手段と、が設けられ、

前記第 2 のプロセッサは、前記第 1 のプロセッサの識別番号を認識して、前回アクセスしたアドレスを先読みする手段と、アクセスアドレスの周辺アドレスを先読みする手段と、実行されるアクセス処理を認識し、次のアドレスを予想する先読み手段とを有することを特徴とする記憶制御装置。

## 【請求項 7】

上位装置および記憶装置との間における情報の授受を制御する複数の第 1 のプロセッサと、前記上位装置と前記記憶装置との間で授受される第 1 の情報および前記第 1 のプロセッサにて使用される第 2 の情報が格納される共有メモリを備えた共有メモリ部と、を含む記憶制御装置の制御方法であって、前記共有メモリ部に、前記第 1 のプロセッサと前記共有メモリとの間で授受される前記第 1 および第 2 の情報が一時的に格納されるデータキャッシュを備えた第 2 のプロセッサを配置し、前記第 1 のプロセッサの前記共有メモリ内の前記第 1 および第 2 の情報のアクセス要求には、可能な限り前記データキャッシュを経由して応答し、

前記第 2 のプロセッサは、前記第 1 のプロセッサの代わりに、前記共有メモリにおける前記第 1 および第 2 の情報の有無を調べる処理を代行し、

前記第 2 のプロセッサは、前記第 1 のプロセッサによる前記共有メモリへのアクセスアドレスを認識し、高速に応答すべきアドレスと低速に応答してもいいアドレスを判断する手段を有し、高速に応答すべきアドレスを優先的にアクセスすることの特徴とする記憶制御装置の制御方法。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】変更

【補正の内容】

【0082】

< 8 > 項目< 1 >記載のディスクアレイ制御装置において、前記第2のプロセッサ（共有メモリ部搭載プロセッサ）は、電源投入時、または周期的にメンテナンス用の前記外部プロセッサの構成情報に基づき前記共有メモリ部の診断を実施することを特徴とするディスクアレイ制御装置。