



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년03월25일

(11) 등록번호 10-1603800

(24) 등록일자 2016년03월09일

(51) 국제특허분류(Int. Cl.)

H01L 21/336 (2006.01) *H01L 29/78* (2006.01)

(21) 출원번호 10-2010-7015942

(22) 출원일자(국제) 2008년12월16일

심사청구일자 2013년12월04일

(85) 번역문제출일자 2010년07월16일

(65) 공개번호 10-2010-0113087

(43) 공개일자 2010년10월20일

(86) 국제출원번호 PCT/US2008/087029

(87) 국제공개번호 WO 2009/079517

국제공개일자 2009년06월25일

(30) 우선권주장

11/959,409 2007년12월18일 미국(US)

(56) 선행기술조사문헌

JP2002208646 A

JP2007273859 A

US07298004 B2

(73) 특허권자

마이크론 테크놀로지, 임크.

미국, 아이디호, 보이세, 사우스 페더럴 웨이
8000

(72) 발명자

트랜, 류안, 씨.

미국 83642 아이디호주 메리디안 웨스트 샌디 코
트 1125

(74) 대리인

양영준, 백만기

전체 청구항 수 : 총 25 항

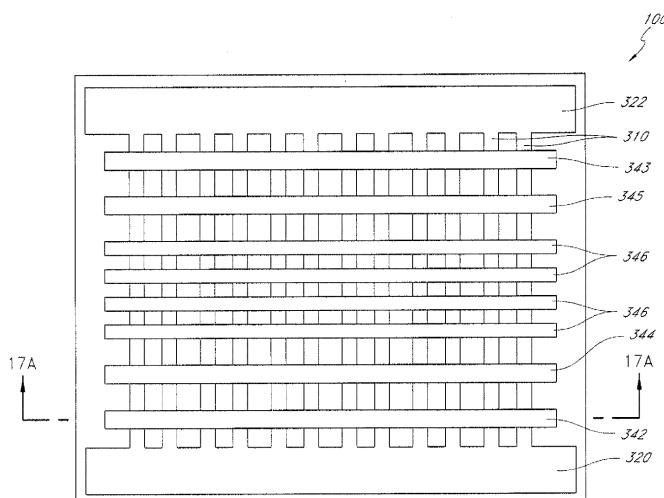
심사관 : 김한수

(54) 발명의 명칭 집적 회로, 집적 회로를 포함하는 전기 장치 및 집적 회로를 형성하는 방법

(57) 요 약

반도체 재료의 연속 루프의 상이한 부분들은 서로 전기적으로 분리된다. 일부 실시예에서, 루프의 단부는 루프의 중간 부분과 전기적으로 분리된다. 일부 실시예에서, 2개의 레그가 단부에서 함께 접속되어 있는 반도체 재료의 루프는 스페이서의 루프가 맨드릴의 측벽 상에 형성되는 퍼치 배가 프로세스에 의해 형성된다. 맨드릴은

(뒷면에 계속)

대 표 도

제거되고, 마스킹 재료의 블록은 스페이서 루프의 적어도 하나의 단부 상에 놓인다. 일부 실시예에서, 마스킹 재료의 블록은 스페이서 루프의 각 단부 위에 놓인다. 스페이서 및 블록에 의해 정의된 패턴은 반도체 재료 층에 전사된다. 블록은 모든 루프를 함께 전기적으로 접속시킨다. 선택 게이트는 루프들의 각각의 레그를 따라 형성된다. 블록은 소스/드레인으로서 작용한다. 선택 게이트는 루프 레그의 중간 부분에서 블록으로의 전류 흐름을 방지하기 위해 오프 상태로 바이어싱됨으로써, 중간 부분을 루프의 단부와 전기적으로 분리시키고, 또한 루프의 상이한 레그들을 서로 전기적으로 분리시킨다.

명세서

청구범위

청구항 1

집적 회로를 제조하기 위한 방법으로서,

스페이서들에 의해 정의되는 반도체 재료로 형성된 복수의 루프를 갖는 기판을 제공하는 단계 - 각각의 루프는 각각의 루프의 제1 단부 및 제2 대향 단부에서 연결된 제1 및 제2의 가늘고 긴 부분들에 의해 정의됨 - ; 및

각각의 루프의 각각의 제1의 가늘고 긴 부분을 따라 제1 쌍의 트랜지스터의 각각을 제공하는 단계 - 상기 제1 쌍의 트랜지스터의 하나의 트랜지스터는 상기 루프들의 제1 단부에 위치하고 상기 제1 쌍의 트랜지스터의 또하나의 트랜지스터는 상기 루프들의 제2 단부에 위치하고, 각각의 루프는 상기 제1 쌍의 트랜지스터의 각각의 트랜지스터의 활성 영역을 형성하고,

상기 제1 쌍의 트랜지스터의 각각의 트랜지스터를 제공하는 단계는,

소스/드레인 영역들을 형성하기 위해 상기 트랜지스터의 활성 영역의 양측을 도핑하는 단계, 및

상기 활성 영역을 형성하는 상기 루프의 바로 위에 트랜지스터 게이트를 형성하는 단계 - 상기 게이트는 그 아래에 상기 활성 영역을 정의함 - 를 포함하고,

상기 루프들의 제1 단부는 소스/드레인 영역임 -; 및

상기 루프들의 제1 단부를 상기 제1 쌍의 트랜지스터들의 게이트들과 직접 접속하는 전기적 상호접속을 제공함으로써, 상기 소스/드레인 영역 및 상기 게이트를 함께 전기적으로 분로(shunt)시키는 단계

를 포함하는 방법.

청구항 2

제1항에 있어서, 상기 하나의 트랜지스터는 상기 제1의 가늘고 긴 부분을 따라 배치되고, 상기 루프의 일부분은 상기 또하나의 트랜지스터의 활성 영역을 형성하고, 상기 하나의 트랜지스터와 상기 또하나의 트랜지스터는 상기 루프의 단부에 배치되는 방법.

청구항 3

제1항에 있어서, 상기 루프를 갖는 기판을 제공하는 단계는 피치 배가(pitch multiplication)를 수행하여 상기 루프를 형성하는 단계를 포함하고, 피치 배가를 수행하는 단계는,

상기 기판 위에 맨드릴(mandrel)을 형성하는 단계;

상기 맨드릴의 측벽들 상에 스페이서(spacer)를 형성하는 단계;

프리스탠딩(free-standing) 스페이서들의 패턴을 남기기 위해 상기 맨드릴을 제거하는 단계; 및

상기 프리스탠딩 스페이서들에 의해 정의된 패턴을 상기 반도체 재료를 포함하는 층 내로 에칭하는 단계
를 포함하는 방법.

청구항 4

제1항에 있어서,

상기 복수의 루프를 갖는 기판을 제공하는 단계 이후에, 그리고 상기 제1 쌍의 트랜지스터의 각각을 제공하는 단계 이전에,

상기 루프들 위에 반도체 재료의 층을 형성하는 단계;

상기 반도체 재료의 층 위에 마스크 재료의 층을 형성하는 단계;

상기 루프들의 각각을 따라 연장되는 마스킹 재료의 하나 이상의 스트립을 형성하기 위해 상기 마스크 재료의

층을 패터닝하는 단계; 및

반도체 재료 스트립들을 형성하기 위해 상기 스트립들에 의해 정의된 패턴을 상기 반도체 재료의 층에 전사하는 단계

를 더 포함하는 방법.

청구항 5

집적 회로를 형성하는 방법으로서,

기판 위에 놓이는 복수의 맨드릴을 제공하는 단계;

상기 맨드릴들의 측벽들에 스페이서들을 제공하는 단계;

상기 스페이서들에 대해 상기 맨드릴들을 선택적으로 제거하는 단계;

상기 스페이서들 위에 마스크 재료의 층을 퇴적하는 단계;

상기 마스크 재료의 제1 및 제2 측방 분리 블록들을 형성하기 위해 상기 마스크 재료의 층을 패터닝하는 단계 -
상기 제1 측방 분리 블록은 각각의 스페이서의 제1 단부에 접촉하고, 상기 제2 측방 분리 블록은 각각의 스페이서의 제2 단부에 접촉함 - ;

상기 스페이서들 및 상기 제1 및 제2 측방 분리 블록들에 의해 정의된 제1 패턴을 상기 기판에 전사함으로써,
상기 기판 내에 피치 배가된 라인들 및 블록을 형성하는 단계 - 상기 피치 배가된 라인들 각각은 상기 블록에
접촉하고, 상기 제1 및 제2 측방 분리 블록들과 접촉하는 루프들을 형성함 -;

상기 제1 측방 분리 블록들에 인접하여 제1 트랜지스터 게이트들을 형성하고 상기 제2 측방 분리 블록들에 인접
하여 제2 트랜지스터 게이트들을 형성하는 단계; 및

상기 제1 트랜지스터 게이트들을 상기 제1 측방 분리 블록들과 직접 접속하고 상기 제2 트랜지스터 게이트들을
상기 제2 측방 분리 블록들과 접속하는 전기적 상호접속들을 제공함으로써, 상기 제1 트랜지스터 게이트들을 상
기 제1 측방 분리 블록들과 함께 전기적으로 분리시키고 상기 제2 트랜지스터 게이트들을 상기 제2 측방 분리
블록과 함께 전기적으로 분리시키는 단계 - 상기 트랜지스터 게이트들은 상기 루프들의 가늘고 긴 부분들을 전
기적으로 분리시키도록 구성됨 -

를 포함하는 방법.

청구항 6

제5항에 있어서, 상기 복수의 맨드릴을 제공하는 단계는,

상기 기판 위에 놓이는 포토레지스트 층을 제공하는 단계;

포토레지스트 피처들(features)을 형성하기 위해 상기 포토레지스트 층을 패터닝하는 단계; 및

상기 포토레지스트 피처들을 트리밍(trimming)하는 단계

를 포함하고, 상기 트리밍된 포토레지스트 피처들은 상기 맨드릴들을 형성하는 방법.

청구항 7

제5항에 있어서, 상기 맨드릴들의 측벽들에 스페이서들을 제공하는 단계는,

포토레지스트 피처들 위에 스페이서 재료 층을 블랭킷(blanket) 퇴적하는 단계; 및

상기 포토레지스트 피처들의 측벽들 상에 스페이서들을 정의하기 위해 상기 스페이서 재료를 수평 표면들로부터
제거하는 단계

를 포함하는 방법.

청구항 8

제5항에 있어서, 상기 스페이서들 및 상기 제1 및 제2 측방 분리 블록들에 의해 정의된 제1 패턴을 상기 기판에

전사하는 단계는,

상기 스페이서들 및 상기 제1 및 제2 측방 분리 블록들에 의해 정의된 제1 패턴을 하드 마스크 층에 전사하는 단계; 및

상기 제1 패턴을 상기 하드 마스크 층에서 상기 기판에 전사하는 단계

를 포함하는 방법.

청구항 9

제8항에 있어서,

상기 스페이서들과 상기 하드 마스크 층 사이의 레벨 상에 하나 이상의 추가 하드 마스크 층을 제공하는 단계; 및

상기 제1 패턴을 상기 하드 마스크 층에 전사하기 전에 상기 제1 패턴을 상기 하나 이상의 추가 하드 마스크 층에 전사하는 단계

를 더 포함하는 방법.

청구항 10

제8항에 있어서, 상기 하드 마스크 층은 비정질 탄소로 형성되는 방법.

청구항 11

집적 회로를 형성하는 방법으로서,

기판 위에 놓이는 제1 마스크 재료의 복수의 가늘고 긴 루프를 제공하는 단계;

상기 루프들 위에 제2 마스크 재료의 층을 제공하는 단계;

각각의 루프의 단부에 접촉하는 상기 제2 마스크 재료의 블록을 형성하기 위해 상기 층을 패터닝하는 단계;

상기 루프들 및 상기 블록에 의해 정의된 제1 패턴을 상기 기판에 전사하는 단계;

이어서 상기 기판 위에 반도체 재료의 층을 형성하는 단계;

상기 반도체 재료 위에 마스크 재료의 다른 층을 형성하는 단계;

각각의 루프를 따라 연장하고 각각의 루프에 접촉하는 마스킹 재료의 하나 이상의 스트립을 형성하기 위해 상기 다른 층을 패터닝하는 단계;

반도체 재료 스트립들을 형성하기 위해 상기 스트립들에 의해 정의된 제2 패턴을 상기 반도체 재료의 층에 전사하는 단계; 및

상기 제2 마스크 재료의 블록에 의해 정의된 기판 피처들과 상기 반도체 재료 스트립들을 전기적으로 접속시키는 단계

를 포함하며,

상기 반도체 재료 스트립들을 전기적으로 접속시키는 단계는 상기 반도체 재료 스트립들 위에 트랜지스터 게이트를 형성하고, 소스/드레인 영역들을 형성하기 위해 상기 트랜지스터 게이트의 양측을 도핑하는 단계를 포함하고,

상기 제2 마스크 재료의 블록에 의해 정의된 기판 피처들은 소스 영역이며, 상기 반도체 재료 스트립들을 전기적으로 접속시키는 단계는 상기 소스 영역 및 상기 트랜지스터 게이트를 함께 전기적으로 분리시키는 단계를 포함하는 방법.

청구항 12

제11항에 있어서, 상기 제2 패턴을 상기 반도체 재료의 층에 전사하는 단계는 트랜지스터의 게이트를 정의하고, 상기 제1 패턴을 상기 기판에 전사하는 단계는 상기 트랜지스터의 소스/드레인 영역을 정의하는 방법.

청구항 13

제11항에 있어서, 상기 제1 패턴을 상기 기판에 전사하는 단계는 메모리 장치의 비트 라인들을 정의하는 방법.

청구항 14

제13항에 있어서, 상기 제2 패턴을 상기 반도체 재료의 층에 전사하는 단계는 상기 메모리 장치의 워드 라인들을 정의하는 방법.

청구항 15

제11항에 있어서, 상기 접적 회로는 플래시 메모리 회로이고, 상기 제1 패턴을 상기 기판에 전사하는 단계 및 상기 제2 패턴을 상기 반도체 재료의 층에 전사하는 단계는 상기 플래시 메모리 회로의 어레이 영역 내의 플로팅 게이트 트랜지스터들을 정의하는 방법.

청구항 16

제11항에 있어서, 상기 층을 패터닝하는 단계는 플래시 메모리 회로의 주변 영역 내의 피처들을 정의하는 방법.

청구항 17

반도체 재료를 포함하는 복수의 이격된 가늘고 긴 스트립;

상기 가늘고 긴 스트립들과 동일한 레벨 상에 있고, 각각의 가늘고 긴 스트립의 제1 단부에 접촉하는 상기 반도체 재료를 포함하는 제1 블록;

상기 가늘고 긴 스트립들의 제1 단부들에 위치하는 제1의 복수의 트랜지스터 게이트 - 상기 트랜지스터 게이트 들 각각은 상기 가늘고 긴 스트립들 중 하나의 가늘고 긴 스트립과 연관되며, 상기 가늘고 긴 스트립 각각의 부분은 연관된 제1 트랜지스터 게이트의 활성 영역을 형성함 -; 및

상기 제1 트랜지스터 게이트들이 상기 제1 블록에 대해 전기적으로 분리되도록, 상기 제1의 복수의 트랜지스터 게이트를 상기 제1 블록과 접속하는 전기적 상호접속

을 포함하는 접적 회로.

청구항 18

제17항에 있어서, 각각의 가늘고 긴 스트립은 상기 가늘고 긴 스트립 상의 선택 트랜지스터를 더 포함하고, 상기 선택 트랜지스터는 상기 제1 단부로부터 상기 제1 트랜지스터 게이트의 대향 측면 상에 있는 접적 회로.

청구항 19

제17항에 있어서,

상기 가늘고 긴 스트립들과 동일한 레벨 상에 있고, 상기 가늘고 긴 스트립들의 제2 단부에 접촉하는 상기 반도체 재료를 포함하는 제2 블록; 및

상기 가늘고 긴 스트립들의 제2 단부들에 위치하는 제2의 복수의 트랜지스터 게이트 - 상기 제2의 복수의 트랜지스터 게이트들 각각은 상기 가늘고 긴 스트립들 중 하나의 가늘고 긴 스트립과 연관되며, 상기 가늘고 긴 스트립 각각의 부분은 연관된 제2 트랜지스터 게이트의 활성 영역을 형성함 -; 및

상기 제2 트랜지스터 게이트들이 상기 제2 블록에 대해 전기적으로 분리되도록, 상기 제2의 복수의 트랜지스터 게이트를 상기 제1 블록과 접속하는 전기적 상호접속

을 더 포함하는 접적 회로.

청구항 20

제19항에 있어서, 상기 제1 블록은 상기 제1의 복수의 트랜지스터 게이트를 위한 제1 소스/드레인을 형성하고, 상기 제2 블록은 상기 제2의 복수의 트랜지스터 게이트를 위한 제2 소스/드레인을 형성하는 접적 회로.

청구항 21

제17항에 있어서, 상기 반도체 재료의 가늘고 긴 스트립들은 메모리 장치의 비트 라인들을 구성하고, 상기 제1의 복수의 트랜지스터 게이트는 메모리 장치의 워드 라인들의 일부를 구성하는 접적 회로.

청구항 22

접적 회로를 포함하는 전기 장치로서,

상기 접적 회로는,

반도체 재료의 이격된 라인의 복수의 쌍 - 상기 라인들의 각각의 쌍은 제1 단부에서, 그리고 상기 라인들의 쌍들의 대향 단부에서 전기적으로 상호접속됨 - ; 및

상기 라인들의 쌍들의 상기 제1 단부들에 위치하는 트랜지스터들 - 상기 트랜지스터들은 상기 라인들 위에 트랜지스터 게이트들을 포함하며, 상기 라인들은 상기 트랜지스터들의 활성 영역들을 형성함 -

을 포함하고,

상기 라인들의 쌍들의 제1 단부들은 상기 트랜지스터들의 소스/드레인 영역들을 형성하고,

상기 제1 단부들 및 상기 소스/드레인 영역들이 함께 분로되도록, 상기 트랜지스터 게이트들 및 상기 소스/드레인 영역들은 적어도 하나의 전기적 상호접속에 의해 접속되는 전기 장치.

청구항 23

제22항에 있어서, 상기 라인들 각각은 상기 라인들 상에 선택 트랜지스터를 포함하고, 상기 선택 트랜지스터는 상기 제1 단부로부터 상기 트랜지스터 게이트들의 대향 측면 상에 있는 전기 장치.

청구항 24

제22항에 있어서, 상기 라인들은 메모리 어레이 내의 메모리 셀들을 정의하는 전기 장치.

청구항 25

제22항에 있어서,

상기 라인들의 쌍들의 제2 단부들에 위치하는 제2 트랜지스터들을 더 포함하며,

상기 라인들의 쌍들의 제2 단부들은 상기 제2 트랜지스터들의 제2 소스/드레인 영역들을 형성하고,

상기 제2 트랜지스터들의 게이트들과 상기 제2 소스/드레인 영역들이 함께 분로되도록, 상기 제2 트랜지스터들 및 상기 제2 소스/드레인 영역들은 또하나의 전기적 상호접속에 의해 접속되는 전기 장치.

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

발명의 설명

기술 분야

관련 출원 참조

[0001] 본원은 다음의 특허 출원들에 관련되고, 다음의 특허 출원들을 참조로 원용한다: 2004년 9월 2일자로 출원된 Abatchev 등의 U.S. 특허 출원 제10/934,778호(대리인 사건 번호 MICRON.294A); 2004년 8월 31일자로 출원된 Tran 등의 U.S. 특허 출원 제10/931,771호(대리인 사건 번호 MICRON.295A); 2005년 8월 31일자로 출원된 Tran 등의 U.S. 특허 출원 제11/216,477호(대리인 사건 번호 MICRON.314A); 및 2005년 8월 29일자로 출원된 Tran 등의 U.S. 특허 출원 제11/214,544호(대리인 사건 번호 MICRON.316A).

발명의 분야

[0002] 본 발명은 일반적으로 집적 회로 및 전자 장치의 제조에 관한 것으로, 더욱 구체적으로는 제조 방법 및 관련 구조물에 관한 것이다.

배경 기술

[0003] 휴대성, 컴퓨팅 능력, 메모리 용량 및 에너지 효율의 증가에 대한 요구를 포함하는 여러 요인의 결과로서, 집적 회로는 끊임없이 크기가 축소되고 있다. 집적 회로, 예를 들어, 전기 장치 및 상호접속 라인을 형성하는 구성 피쳐(consituent feature)의 크기도 또한 그러한 크기 축소를 용이하게 하도록 끊임없이 축소되고 있다.

[0004] 피쳐 크기의 감소 추세는 예를 들어, 동적 랜덤 액세스 메모리(DRAM), 플래시 메모리, 정적 랜덤 액세스 메모리(SRAM), 강유전체(FE) 메모리 등의 메모리 회로 또는 장치에서 뚜렷하다. 한 예를 들면, DRAM은 통상적으로, 메모리 셀로 알려져 있는 수백만개 또는 수십억개의 동일한 회로 소자를 포함한다. 메모리 셀은 통상적으로 2 가지 전기 장치: 저장 커패시터와 액세스 전계 효과 트랜지스터로 구성된다. 각 메모리 셀은 데이터의 1 비트(바이너리 디지트)를 저장할 수 있는 어드레스 지정 가능한 위치이다. 비트는 트랜지스터를 통해 셀에 기입될 수 있고, 커패시터 내의 전하를 감지함으로써 판독될 수 있다.

[0005] 다른 예에서, 플래시 메모리는 통상적으로 전하를 보유할 수 있는 플로팅 게이트 전계 효과 트랜지스터를 포함하는 수십억개의 플래시 메모리 셀을 포함한다. 플로팅 게이트 내의 전하의 존재 또는 부재는 메모리 셀의 논리 상태를 결정한다. 비트는 셀에 전하를 주입하거나 셀로부터 전하를 제거함으로써 셀에 기입될 수 있다. 플래시 메모리 셀은 비트를 판독하는 상이한 방식을 각각 갖는 상이한 아키텍처 구성으로 접속될 수 있다. "NOR" 아키텍처 구성에서, 각 메모리 셀은 비트 라인에 결합되고, 개별적으로 판독될 수 있다. "NAND" 아키텍처 구성에서, 메모리 셀은 셀들의 "열(string)"로 정렬되고, 셀들의 열 중의 한 셀 내의 데이터에 액세스하기 위해서는 전체 비트 라인이 활성화된다.

[0006] 일반적으로, 메모리 셀을 구성하는 전기 장치의 크기와 메모리 셀에 액세스하는 전도성 라인의 크기를 감소시킴으로써, 메모리 장치는 더 작아질 수 있다. 게다가, 저장 용량은 메모리 장치 내의 주어진 영역 상에 더 많은 메모리 셀을 형성함으로써 증가될 수 있다.

[0007] 피치(pitch)의 개념은 메모리 장치와 같은 집적 회로에서 피쳐의 크기의 한 양상을 설명하기 위해 사용될 수 있다. 피치는 통상적으로 반복 패턴으로 배열되는 어레이 내의 피쳐들과 같은 2개의 이웃 피쳐 내의 동일 지점들 사이의 거리로서 정의된다. 이들 피쳐는 통상적으로 인접한 피쳐들 사이의 공간에 의해 정의되는데, 이 공간은 통상적으로 절연체와 같은 재료에 의해 채워진다. 결과적으로, 피치는 한 피쳐의 폭과, 그 피쳐를 이웃 피쳐와 분리시키는 피쳐의 한쪽 공간의 폭의 합으로 간주될 수 있다. 공간과 라인과 같은 피쳐는 통상적으로 스페이서와 피쳐의 반복 패턴을 형성하도록 반복된다는 것을 알 수 있을 것이다.

[0010] 임계 치수(CD)는 피처의 크기를 설명하기 위해 사용되는 또 다른 용어이다. 임계 치수는 특정 회로 또는 마스킹 방식에서 피처의 최소 크기이다. 접적 회로 제조 동안에 얇은 트렌치 분리(STI) 구조와 같은 소정 구조의 CD를 제어하는 것은 예를 들어, 예측가능한 회로 성능을 보장함으로써, 연속된 접적 회로 크기 축소를 용이하게 하도록 돋는다.

[0011] 피처 크기의 연속적인 축소는 피처를 형성하기 위해 사용되는 기술에 훨씬 더 요구된다. 예를 들어, 포토리소그래피는 일반적으로 접적 회로 제조시에 전도성 라인과 같은 피처를 패터닝하기 위해 사용된다. 그러나, 광학적 특성, 광 또는 복사 과정, 사용 가능한 포토레지스트 재료 등의 요인으로 인해, 포토리소그래피 기술은 각각 최소 피치 또는 임계 치수를 가질 수 있는데, 이러한 최소 피치 또는 임계 치수 이하에서는 특정 포토리소그래픽 기술로는 피처를 신뢰성 있게 형성할 수 없다. 그러므로, 포토리소그래픽 기술의 고유한 제한은 연속된 피쳐 크기 축소를 막는 걸림돌이다.

[0012] "피치 더블링(pitch doubling)" 또는 "피치 배가(pitch multiplication)"는 포토리소그래픽 기술의 능력을 그 최소 피치를 넘게 확장하는 한가지 제안 방법이다. 피치 배가 방법은 도 1A-1F에 도시되고, Lowrey 등에게 허여된 U.S. 특허 제5,328,810호에 기재되어 있는데, 그것은 본원에 참조로 원용된다. 도 1A를 참조하면, 라인(10)의 패턴은 기판(30) 위에 놓인 확장가능 재료 층(20) 위에 놓인 포토레지스트 층 내에 포토리소그래피 기술로 형성된다. 도 1B에 도시된 바와 같이, 포토레지스트 층 내의 패턴은 층(20)에 전사됨으로써, 플레이스홀더(holder) 또는 맨드릴(mandrel)(40)을 형성한다. 도 1C에 도시된 바와 같이, 포토레지스트 라인(10)은 제거되고, 맨드릴(40)은 이웃하는 맨드릴(40) 사이의 거리를 증가시키기 위해 에칭된다. 도 1D에 도시된 바와 같이, 그 후 스페이서 재료 층(50)이 맨드릴(40) 위에 퇴적된다. 그 다음, 스페이서(60)가 맨드릴(40)의 측면에 형성된다. 스페이서 형성은 도 1E에 도시된 바와 같이, 수평 표면(70 및 80)으로부터 스페이서 재료를 우선적으로 에칭함으로써 탈성된다. 그 다음, 도 1F에 도시된 바와 같이, 나머지 맨드릴(40)이 제거되고, 스페이서(60)만 남게 되는데, 이들 스페이서는 함께 패터닝을 위한 마스크로서 작용한다. 그러므로, 주어진 피치가 이전에 하나의 피치 및 하나의 공간을 정의하는 패턴을 포함한 경우에, 이와 동일한 폭은 이제는 2개의 피치 및 2개의 공간을 포함하는데, 그 공간은 스페이서(60)에 의해 정의된다.

[0013] 상기 예에서는 피치가 실제로는 절반으로 되지만, 이러한 피치 축소를 종래에는 피치 "더블링" 또는 더 일반적으로는 피치 "배가"라고 한다. 그러므로, 종래에, 소정의 인수만큼의 피치의 "배가"는 실제로 그 인수만큼의 피치의 축소를 수반한다. 종래의 용어는 여기에서 계속 사용된다.

[0014] 더 작은 임계 치수 및 피치를 고려할 수 있지만, 피치 배가는 접적 회로 제조의 요건이 변함에 따라, 새로운 도전과제가 생기기 때문에 지속적인 개발에 직면한다. 따라서, 작은 피처를 형성하는 방법 및 구조가 끊임없이 요구된다.

도면의 간단한 설명

[0015] 도 1A-1F는 종래의 피치 더블링 방법에 따른, 전도성 라인을 형성하기 위한 일련의 마스킹 패턴의 개략적인 횡단면 측면도.

도 2는 본 발명의 실시예에 따른, 부분 형성 접적 회로의 개략적인 상면도.

도 3A 및 3B는 본 발명의 실시예에 따른, 도 2의 부분 형성 접적 회로의 개략적인 횡단면 측면도 및 상면도.

도 4A 및 4B는 본 발명의 실시예에 따른, 접적 회로의 어레이 영역 내의 포토레지스트 층 내에 라인을 형성한 후의 도 3A 및 3B의 부분 형성 접적 회로의 개략적인 횡단면 측면도 및 상면도.

도 5A 및 5B는 본 발명의 실시예에 따른, 포토레지스트 층 내의 라인들 사이의 공간을 넓힌 후의 도 4A 및 4B의 부분 형성 접적 회로의 개략적인 횡단면 측면도 및 상면도.

도 6은 본 발명의 실시예에 따른, 스페이서 재료 층을 퇴적시킨 후의 도 5A 및 5B의 부분 형성 접적 회로의 개략적인 횡단면 측면도.

도 7A 및 7B는 본 발명의 실시예에 따른, 스페이서 에칭 후의 도 6의 부분 형성 접적 회로의 개략적인 횡단면 측면도 및 상면도.

도 8A 및 8B는 본 발명의 실시예에 따른, 접적 회로의 어레이 영역 내에 스페이서의 패턴을 남겨두기 위해 임시 층의 나머지 부분을 제거한 후의 도 7A 및 7B의 부분 형성 접적 회로의 개략적인 횡단면 측면도 및 상면도.

도 9A 및 9B는 본 발명의 실시예에 따른, 스페이서들의 사이와 위에 포토레지스트를 퇴적시킨 후의 도 8A 및 8B의 부분 형성 접적 회로의 개략적인 횡단면 측면도 및 상면도.

도 10A 및 10B는 본 발명의 실시예에 따른, 포토레지스트 내에 패턴을 형성한 후의 도 9A 및 9B의 부분 형성 접적 회로의 개략적인 횡단면 측면도 및 상면도.

도 11은 본 발명의 실시예에 따른, 패터닝된 포토레지스트 및 스페이서에 의해 정의된 결합 패턴을 하부 하드 마스크 층으로 전사한 후의 도 10A 및 10B의 부분 형성 접적 회로의 개략적인 횡단면 측면도.

도 12는 본 발명의 실시예에 따른, 결합 패턴을 제1 마스크 층으로 전사한 후의 도 11의 부분 형성 접적 회로의 개략적인 횡단면 측면도.

도 13은 본 발명의 실시예에 따른, 결합 패턴을 하부 기판으로 전사한 후의 도 12의 부분 형성 접적 회로의 개략적인 획단면 측면도.

도 14A 및 도 14B는 본 발명의 실시예에 따른, 패턴을 기판으로 전사하고, 기판 위에 놓인 하드 마스크 층을 제거한 후의 도 13의 부분 형성 접적 회로의 개략적인 획단면 측면도 및 상면도.

도 15는 본 발명의 실시예에 따른, 유전체로 트렌치를 채우고, 게이트 스택에 대응하는 일련의 층을 형성한 후의 도 14A 및 14B의 부분 형성 접적 회로의 개략적인 획단면 측면도.

도 16A, 16B 및 16C는 본 발명의 실시예에 따른, 포토레지스트 층을 퇴적시키고 패터닝한 후의 도 15의 부분 형성 접적 회로의 개략적인 획단면 측면도 및 상면도.

도 17A 및 17B는 본 발명의 실시예에 따른, 패턴을 포토레지스트 층에서 일련의 게이트 스택 층으로 전사한 후의 도 16A 및 16B의 부분 형성 접적 회로의 개략적인 획단면 측면도 및 상면도.

도 18은 본 발명의 실시예에 따른, NAND 플래시 메모리 장치의 메모리 셀 어레이의 개략도.

도 19는 본 발명의 실시예에 따른, 메모리 장치를 포함하는 전자 장치를 도시한 시스템 블록도.

발명을 실시하기 위한 구체적인 내용

[0016] 피치 배가(multiplication)는 스페이서에 의해 형성된 마스크를 사용하여 라인을 패터닝함으로써 밀접한 간격의 라인을 형성하는 능력이 있다. 스페이서가 맨드릴의 측벽에 형성되기 때문에, 스페이서는 통상적으로 연속적인 루프를 형성한다. 기판을 패터닝하기 위한 이들 연속적인 루프의 사용은 기판에 재료의 연속적인 루프를 형성할 수 있다. 그러나, 분리된 라인은 통상적으로 메모리 장치 내의 비트 라인 또는 워드 라인과 같은 다양한 용례에 사용하기에 바람직하다. 그러므로, 스페이서 루프를 사용하여 패터닝된 밀접한 간격의 라인 쌍을 이용하기 위해, 루프의 단부는 통상적으로 루프의 상이한 레그(leg)를 서로 물리적으로, 전기적으로 분리시키기 위해 에칭된다. 이러한 에칭(루프 에칭이라 함)을 위한 방법 및 구조물은 U.S. 특허 제7,151,040호에 기재되어 있는데, 그것은 본원에 참조로 원용된다.

[0017] 루프 에칭의 경우, 보호 재료가 통상적으로 루프의 주위와 위에 퇴적된다. 그 다음, 보호 재료는 루프 단부를 노출하기 위해 패터닝된다. 노출된 루프는 에칭에 노출되어 제거된다. 그 후, 보호 재료가 제거되어, 물리적으로 분리된 라인을 남긴다. 그러므로, 루프 단부 에칭은 퇴적, 패터닝 및 재료 제거 단계를 포함할 수 있다. 패터닝 단계는 마스크를 통한 보호 재료의 포토리소그래피 및 노광을 실행하는 것을 포함할 수 있다는 것을 알 수 있을 것이다. 이들 단계를 실행하는데 필요한 시간 및, 어쩌면, 이들 단계를 실행하기 위한 처리 장비들 사이에서 기판을 운반하는데 필요한 시간으로 인해, 루프 에칭은 예를 들어, 피치 배가를 사용한 접적 회로의 제조에 관련된 시간 및 복잡도를 바람직하지 않게 늘릴 수 있다.

[0018] 바람직하게는, 본 발명의 일부 실시예에 따르면, 반도체 루프의 상이한 레그는 루프 에칭을 실행하지 않아도 전기적으로 분리된다. 오히려, 분리 트랜ジ스터가 루프 내에 형성되어 상이한 레그를 서로 전기적으로 분리시킨다. 게이트는 반도체 재료의 루프 위에 형성되고, 게이트 근처의 루프 영역은 소스 및 드레인 영역을 형성하기 위해 도핑된다. 게이트 바로 아래의 루프 영역은 활성 영역으로서 기능을 한다. 게이트는 활성 영역을 통해 전류가 흐르지 못하게 하기 위해 오프 상태로 바이어싱되고, 이로 인해 게이트의 양측에 놓여 있는 루프의 부분을 서로 전기적으로 분리시킨다. 일부 실시예에서, 분리 트랜ジ스터는 루프의 각 레그의 단부에 형성되는데, 루프 당 총 4개의 이러한 트랜ジ스터가 형성된다. 분리 트랜ジ스터는 각 트랜지스터 쌍 사이에 반도체 재료의 2개의 전기적으로 분리된 레그를 정의한다.

[0019]

일부 실시예에서, 반도체 재료, 예를 들어 도핑된 반도체 재료의 루프는 피치 배가 프로세스에 의해 형성된다. 스페이서 루프는 기판 위의 레벨 상에 형성된다. 마스킹 재료의 블록은 각 루프의 구간 위에 놓이는데, 예를 들어 마스킹 재료의 상이한 블록은 루프가 그 단부에서 함께 연결된 재료의 실질적으로 평행한 라인인 실시예에서 루프의 각 단부 위에 놓인다. 스페이서 루프 및 마스킹 재료의 블록에 의해 정의된 패턴은 기판으로 전사되고, 이로 인해 반도체 재료의 블록에서 끝나고 그러한 블록과 접촉하는 반도체 재료의 라인을 형성한다. 트랜지스터 게이트는 반도체 재료의 각 라인 상에 그리고 반도체 재료의 각 블록에 인접하여 형성된다. 반도체 재료의 블록 및 이 블록 맞은 편의 게이트 측 상의 라인의 일부는 소스/드레인 영역을 형성하기 위해 도핑된다. 블록 및 게이트는 전기적으로 함께 연결되고, 반도체 재료의 라인을 블록과 전기적으로 분리시키기 위해 오프 상태로 바이어싱된다. 그러므로, 블록들 사이에 배치된 각 라인은 루프 에칭을 실행하지 않아도 다른 라인과 전기적으로 분리된다.

[0020]

바람직하게는, 분리 트랜지스터를 형성하는 단계는 통상적으로, 이미, 그외 다른 트랜지스터를 형성하는 프로세스 흐름의 일부이고, 예를 들어 분리 트랜지스터는 메모리 장치 내의 플로팅 게이트 트랜지스터 및 선택 게이트를 형성하기 위해 사용된 동일한 패터닝, 도핑 및 퇴적 단계를 사용하여 형성될 수 있다는 것을 알 수 있을 것이다. 결과적으로, 여러 실시예에서, 분리 트랜지스터의 형성은 프로세스 흐름에 어떤 추가 단계도 끌어들이지 않는다. 더구나, 루프 에칭을 제거함으로써, 루프 에칭에 관련된 프로세스 단계가 생략될 수 있다. 그러므로, 프로세스 흐름은 단순화되고, 프로세스 처리율은 증가된다.

[0021]

게다가, 일부 실시예에서, 라인은 여기에 도시된 다양한 포토레지스트 층을 패터닝하기 위해 사용된 포토리소그래피 방법의 최소 피치 이하의 피치를 갖고 형성될 수 있다. 바람직하게는, 본 발명의 실시예는 약 100 nm 이하 또는 약 50 nm 이하의 피치를 갖는 라인을 형성할 수 있게 한다.

[0022]

이제 도면을 참조하게 되는데, 도면 전반에 걸쳐 동일한 참조번호는 동일한 부분을 나타낸다. 이들 도면은 반드시 일정한 비율로 그려진 것은 아니라는 것을 알 수 있을 것이다. 더구나, 설명 및 도시를 용이하게 위해, 비트 라인, 워드 라인, 스페이서 및 메모리 블록과 같은 마스크 피치 및 에칭된 피치를 포함하여 제한된 수의 피치만이 도시되었다는 것을 알 수 있을 것이다. 추가 개수의 이러한 피치가 일부 실시예에서 제공될 수 있다.

[0023]

본 발명의 일부 실시예의 제1 단계에서, 마스크 피치가 피치 배가에 의해 형성된다.

[0024]

도 2는 부분적으로 제조된 집적 회로(100)의 일부를 도시한 상면도이다. 본 발명의 실시예가 임의의 집적 회로를 형성하기 위해 사용될 수 있고, 다양한 기판을 패터닝하기 위한 마스크를 형성하기 위해 적용될 수 있지만, 이들은 특히 바람직하게는 DRAM, ROM 또는 플래시 메모리(NAND 또는 NOR 플래시 메모리를 포함)와 같은 휘발성 및 비휘발성 메모리 장치를 위한 메모리 셀 어레이를 포함하는 전기 장치의 어레이를 갖는 장치, 또는 로직 또는 게이트 어레이를 갖는 집적 회로를 형성하기 위해 적용될 수 있다. 예를 들어, 로직 어레이는 메모리 어레이와 유사한 코어 어레이와, 지원 로직이 있는 주변부를 갖는 FPGA(field programmable gate array)일 수 있다. 따라서, 집적 회로(100)는 예를 들어, 메모리 칩 또는 프로세서일 수 있는데, 이것은 로직 어레이와 내장 메모리 둘다를 포함할 수 있고, 또는 로직 또는 게이트 어레이를 갖는 임의의 다른 집적 회로를 포함할 수 있다.

[0025]

도 2를 계속 참조하면, "어레이"인 중앙 영역(102)은 "주변부"인 주변 영역(104)에 의해 둘러싸인다. 완전히 형성된 집적 회로에서, 어레이(102)에는 통상적으로 트랜지스터 및/또는 커페시터를 포함하는 전기 전도성 라인 및 전기 장치가 조밀하게 배치될 것이라는 것을 알 수 있을 것이다. 메모리 장치에서, 전기 장치는 워드 라인과 비트 라인의 교차 지점에서 규칙적인 격자 패턴으로 배열될 수 있는 복수의 메모리 셀을 형성한다. 바람직하게, 피치 배가는 여기에 설명된 바와 같이, 어레이(102) 내에 트랜지스터 및/또는 커페시터의 행/열과 같은 피치를 형성하기 위해 사용될 수 있다. 한편, 주변부(104)는 통상적으로 어레이(102) 내의 것들보다 큰 피치를 포함한다. 주변부(104)에 위치한 논리 회로의 기하학적 복잡도가 피치 배가의 사용을 어렵게 하기 때문에, 피치 배가보다는 오히려, 종래의 포토리소그래피는 바람직하게는 주변부(104) 내에 논리 회로와 같은 피치를 패터닝하기 위해 사용되고, 그 반면에, 어레이 패턴의 통상적인 규칙적인 격자는 피치 배가의 사용을 가능하게 한다. 게다가, 주변부 내의 몇몇 장치는 전기 제한으로 인해 더 큰 기하학적 구조를 필요로 하여, 피치 배가가 이러한 장치를 위한 종래의 포토리소그래피보다 덜 유리하게 한다. 몇몇 경우에, 주변부(104)는 종래의 리소그래피 및 피치 배가에 의해 정의된 패턴/회로를 포함할 수 있다. 상대적인 규모의 가능한 차이 외에, 숙련된 기술자라면, 부분적으로 제조된 집적 회로(100) 내의 주변부(104) 및 어레이(102) 영역의 상대 위치, 및 그 수는 도시된 것과 다를 수 있다는 것을 알 수 있을 것이다.

[0026]

도 3A는 부분적으로 형성된 집적 회로(100)의 횡단면 측면도를 도시한 것이다. 다양한 마스킹 층(120-140)이

기판(110) 위에 제공된다. 층(120-140)은 아래에 설명된 바와 같이, 기판(110)을 패터닝하는 마스크를 형성하기 위해 예칭될 것이다. 도시된 실시예에서, 선택적으로 정의가능한 층(120)은 마스크를 통해 처리(예를 들어, 예칭)되기 위해 기판(110) 위에 놓인 제1 마스크 층(140)의 위에 놓인 하드 마스크 또는 예칭 정지 층(130) 위에 놓인다.

[0027] 기판(110) 위에 놓이는 층(120-140)의 재료는 여기에 설명된 다양한 패턴 형성 및 패턴 전사 단계를 위한 화학 특성 및 프로세스 조건의 고려에 기초하여 선택된다. 가장 위에 있는 선택적으로 정의가능한 층(120)과 기판(110) 사이의 층들이 선택적으로 정의가능한 층(120)에서 얻어진 패턴을 기판(110)으로 전사하는 기능을 하기 때문에, 선택적으로 정의가능한 층(120)과 기판(110) 사이의 층(130-140)은 이들 층이 그외 다른 노출된 재료에 대해 선택적으로 예칭될 수 있도록 선택된다. 재료는 그 재료의 예칭 속도가 주위 재료의 예칭 속도보다 적어도 약 2-3배 더 를 때, 적어도 약 10배 더 를 때, 적어도 약 20배 더 를 때, 또는 적어도 약 40배 더 를 때, 선택적으로 고려되거나 우선적으로 예칭된다는 것을 알 수 있을 것이다. 제1 하드 마스크 층(140) 위에 놓인 층(120-130)의 목적은 잘 정의된 패턴이 그 층(140) 내에 형성될 수 있게 하는 것이기 때문에, 하나 이상의 층(120-130)은 적합한 그외 다른 재료, 화학적 특성 및/또는 프로세스 조건이 사용되는 경우에 생략되거나 대체될 수 있다는 것을 알 수 있을 것이다. 예를 들어, 기판이 비교적 단순하고, 하드 마스크 층(130)에 대해 선택적으로 예칭될 수 있는 경우에, 제1 하드 마스크 층(140)은 생략될 수 있고, 패턴은 하드 마스크 층(130)을 사용하여 기판에 직접 전사될 수 있다.

[0028] 도 3A를 계속 참조하면, 선택적으로 정의가능한 층(120)은 광으로 정의가능(photodefinable)한데, 예를 들어 본 분야에 공지된 임의의 포토레지스트를 포함하여, 즉 임의의 포지티브 또는 네거티브 포토레지스트를 포함하여, 포토레지스트로 형성된다. 예를 들어, 포토레지스트는 157 nm, 193 nm, 248 nm 또는 365 nm 파장 시스템, 193 nm 파장 이며전(immersion) 시스템, 극자외선 시스템(13.7 nm 파장 시스템을 포함) 또는 전자빔 리소그래피 시스템에 적합한 임의의 포토레지스트일 수 있다. 게다가, 마스크 없는 리소그래피 또는 마스크 없는 포토리소그래피는 선택적으로 정의가능한 층(120)을 정의하기 위해 사용될 수 있다. 포토레지스트 재료의 예는 ArF(argon fluoride) 감광성 포토레지스트, 즉 ArF 광원에서 사용하기 적합한 포토레지스트, 및 KrF(krypton fluoride) 감광성 포토레지스트, 즉 KrF 광원에서 사용하기 적합한 포토레지스트를 포함한다. ArF 포토레지스트는 비교적 짧은 파장 광, 예를 들어 193 nm 파장 광을 이용하는 포토리소그래피 시스템에서 사용된다. KrF 포토레지스트는 더 긴 파장 포토리소그래피 시스템, 이를테면 248 nm 시스템에서 사용된다. 그외 다른 실시예에서, 층(120) 및 임의의 후속 레지스트 층은 예를 들어, 레지스트를 패터닝하기 위해 몰드 또는 기계적 힘을 사용함으로써, 나노-임프린트(nano-imprint) 리소그래피에 의해 패터닝될 수 있는 레지스트로 형성될 수 있다.

[0029] 일부 실시예에서, 하드 마스크 층(130)을 위한 재료는 무기 재료를 포함한다. 하드 마스크 층(130)을 위한 재료는 실리콘 산화물(SiO_2), 실리콘 또는 반사 방지 코팅(ARC), 이를테면 실리콘-풍부 실리콘 산질화물(silicon-rich silicon oxynitride), 실리콘-풍부 질화물, 또는 스페이서(175) 또는 기타 노출 재료(도 7A)에 대해 선택적으로 원하는 예칭을 하는 막을 포함한다. 하드 마스크 층(130)은 또한 재료 층들의 조합, 예를 들어 유전체 반사 방지 코팅(DARC) 위의 하부 반사 방지 코팅(BARC)을 포함할 수 있다. 설명을 용이하게 하기 위해, 도시된 실시예에서, 하드 마스크 층(130)은 DARC와 같은 반사 방지 코팅이다. 하드 마스크 층(130)을 위한 ARC의 사용은 포토리소그래피 기술의 해상도 한계 근처의 피치를 갖는 패턴을 형성하는데 특히 유리할 수 있다는 것을 알 수 있을 것이다. ARC는 광 반사를 최소화함으로써 해상도를 향상시킬 수 있으므로, 포토리소그래피가 패턴의 에지를 정의할 수 있는 정밀도를 증가시킬 수 있다.

[0030] 도 3A를 계속 참조하면, 본 발명의 실시예는 기판으로의 패턴 전사를 용이하게 하기 위해 제1 마스크 층을 이용할 수 있다. 위에서 명시된 바와 같이, 패턴을 전사하는 일반적인 방법에서, 마스크 및 하부 기판은 예칭제에 노출되는데, 예칭제는 패턴 전사가 완료되기 전에 마스크를 부식시킬 수 있다. 이들 어려움은 기판이 예칭될 다수의 상이한 재료를 포함하는 경우에 악화된다. 산화물, 질화물 및 실리콘을 포함하는 여러 가지 재료에 대한 우수한 예칭 선택성으로 인해, 제1 마스킹 층은 비정질 탄소로 형성될 수 있다.

[0031] 비정질 탄소층은 탄소 전구체로서, 탄화수소 화합물 또는 이러한 화합물의 혼합물을 사용하여 화학 기상 증착(CVD)에 의해 형성될 수 있다. 탄소 전구체는 프로필렌, 프로핀, 프로판, 부탄, 부틸렌, 부타디엔 및 아세틸린을 포함할 수 있다. 비정질 탄소층을 형성하는 방법은 2003년 6월 3일자로 Fairbairn 등에게 허여된 U.S. 특허 번호 6,573,030 B1에 개시되어 있는데, 그것은 본원에 참조로 원용된다. 일부 실시예에서, 비정질 탄소는 광 매우 투명한 비정질 탄소의 형태인데, 이러한 형태는 광 정렬(photo alignment)을 위해 사용된 광의 파장에 투명하게 됨으로써 광 정렬을 위한 추가 개선을 제공한다. 이러한 투명 탄소를 형성하는 퇴적 기술은 A.

Helmbold, D. Meissner, Thin Solid Films, 283(1996), 196-203에서 찾아볼 수 있는데, 그것은 본원에 참조로 원용된다. 게다가, 비정질 탄소는 도핑될 수 있다. 도핑된 비정질 탄소를 형성하기 적합한 방법은 Yin 등의 U.S. 특허 출원 제10/652,174호에 개시되어 있는데, 그것은 본원에 참조로 원용된다.

[0032] 패턴이 전사되는 "기판"은 단일 재료의 층, 상이한 재료의 복수의 층, 그 안에 상이한 재료 또는 구조의 영역을 갖는 층 또는 층들 등을 포함할 수 있다는 것을 알 수 있을 것이다. 이들 재료는 반도체, 절연체, 도체 또는 그 조합을 포함할 수 있다. 도시된 실시예에서, 기판은 도핑된 반도체 재료, 예를 들어 p형 도편트를 함유하는 반도체 재료로 이루어진다.

[0033] 도 4A 및 4B를 참조하면, 광 정의가능 재료 피처(124)에 의해 경계가 정해지는 공간 또는 트렌치(122)를 포함하는 패턴은 광 정의가능 층(120) 내에 형성된다. 트렌치(122)는 예를 들어 층(120)이 레티클을 통해 방사선에 노출된 다음에 현상되는 248 nm 또는 193 nm 광으로 포토리소그래피에 의해 형성될 수 있다. 현상된 후, 도시된 실시예에서 나머지 광 정의가능 재료인 포토레지스트는 도시된 라인(124)(횡단면으로만 도시됨)과 같은 마스크 피처를 형성한다.

[0034] 결과적으로 생긴 라인(124)의 피치는 라인(124)의 폭과 이웃 공간(122)의 폭의 합과 동일하다. 라인(124) 및 공간(122)의 이러한 패턴을 사용하여 형성된 피처의 임계 치수를 최소화하기 위해, 피치는 광 정의가능 층(120)을 패터닝하기 위해 사용된 포토리소그래픽 기술의 한계치이거나 또는 그 값에 가까울 수 있다. 예를 들어, 248 nm 광을 이용하는 포토리소그래피의 경우에, 라인(124)의 피치는 약 100 nm일 수 있다. 그러므로, 피치는 포토리소그래픽 기술의 최소 피치일 수 있고, 아래에 설명된 스페이서 패턴은 바람직하게는, 포토리소그래픽 기술의 최소 피치 이하의 피치를 가질 수 있다. 대안적으로, 위치 및 피처 크기에 대한 오차 범위는 통상적으로 포토리소그래픽 기술의 한계치에 가까워짐에 따라 증가하기 때문에, 라인(124)은 라인(124)의 위치 및 크기의 오차를 최소화하기 위해 더 큰 피처 크기, 예를 들어 200 nm 이상을 갖고 형성될 수 있다.

[0035] 도 5A 및 5B에 도시된 바와 같이, 공간(122)은 수정된 공간(122a) 및 라인(124a)을 형성하기 위해, 포토레지스트 라인(124)을 에칭함으로써 넓어진다. 포토레지스트 라인(124)은 이들 피처를 "축소"시키거나 트리밍(trimming)하기 위해 등방성 에칭을 사용하여 에칭된다. 적합한 에칭은 산소 함유 플라즈마, 예를 들어 SO₂/O₂/N₂/Ar 플라즈마, Cl₂/O₂/He 플라즈마 또는 HBr/O₂/N₂ 플라즈마를 사용하는 에칭을 포함한다. 에칭의 범위는 아래의 설명에서 알게 되는 바와 같이, 라인(124a)의 폭이 나중에 형성된 스페이서(175)(도 7) 사이의 원하는 간격과 실질적으로 동일하도록 선택된다. 예를 들어, 라인(124)의 폭은 약 80-120 nm에서 약 30-70 nm 또는 약 50-70 nm로 감소될 수 있다. 바람직하게는, 폭 감소 에칭은 달리 광 정의가능 층(120)을 패터닝하기 위해 사용된 포토리소그래픽 기술을 사용하여 가능한 것보다 라인(124a)을 더 좁힐 수 있다. 라인(124a)의 임계 치수가 포토리소그래픽 기술의 해상도 한계치 이하로 에칭될 수 있지만, 이들 피처 내의 동일한 지점들 사이의 거리가 여전히 동일하기 때문에, 이 에칭은 공간(122a) 및 라인(124a)의 피치를 변경하지 않는다.

[0036] 다음에, 도 6을 참조하면, 스페이서 재료 층(170)은 하드 마스크 층(150) 및 임시 층(140)의 상부와 측벽을 포함하는 노출된 표면 위에 등각으로 퇴적된 블랭킷(blanket)이다. 스페이서 재료는 하부 하드 마스크 층(130)에 패턴을 전사하는 마스크로서 작용할 수 있는 임의의 재료일 수 있다. 스페이서 재료는 실리콘, 실리콘 산화물 및 실리콘 질화물일 수 있는데, 이에 제한되는 것은 아니다. 도시된 실시예에서, 스페이서 재료는 마스킹 스택의 기타 선택된 재료와 조합하여 특정 장점을 제공하는 실리콘 산화물이다.

[0037] 스페이서 재료 퇴적을 위한 방법은 예를 들어, 실리콘 전구체를 이용한 자기-제한 퇴적, 및 각각 실리콘 산화물 및 질화물을 형성하기 위한 산소 또는 질소 전구체에의 후속 노출을 사용하는 원자 층 퇴적을 포함한다. 일부 실시예에서, 실리콘 산화물을 형성하기 위해, 실리콘 할로겐 화합물, 이를테면 실리콘 혼사클로로디실란(HCD)은 H₂O와 같은 산소 전구체와 교호 펠스로 유입된다. ALD는 비교적 낮은 온도, 예를 들어 약 200 °C 이하 또는 약 100 °C 이하에서 실행될 수 있는데, 이것은 포토레지스트 및 비정질 탄소층과 같은 하부 탄소 기반 재료에 대한 열 변형을 방지하는 장점이 있다. 그외 다른 실시예에서, 화학 기상 증착은 실리콘 산화물을 형성하기 위해, 예를 들어 O₃ 및 TEOS를 사용하여 스페이서 재료를 퇴적시키기 위해 사용된다.

[0038] 층(170)의 두께는 스페이서(175)(도 7A)의 원하는 폭에 기초하여 결정된다. 예를 들어, 일부 실시예에서, 층(170)은 대략 유사한 폭의 스페이서를 형성하기 위해 약 20-80 nm 또는 약 40-60 nm의 두께로 퇴적된다. 스텝 커버리지는 약 80% 이상 및/또는 약 90% 이상이다.

[0039] 도 7A 및 7B를 참조하면, 실리콘 산화물 스페이서 층(170)은 부분적으로 형성된 집적 회로(100)의 수평 표면

(180)으로부터 스페이서 재료를 제거하기 위해 이방성 에칭을 받게 된다.

[0040] 도 8A 및 8B를 참조하면, 선택적으로 정의 가능한 층(120)이 다음에 제거되어, 프리스탠딩(freestanding) 스페이서(175)를 남긴다. 선택적으로 정의 가능한 층(120)은 유기 스트립 프로세스를 사용하여 선택적으로 제거될 수 있다.

[0041] 그러므로, 피치-배가된 마스크 피처가 형성되었다. 도시된 실시예에서, 스페이서(175)는 가늘고 긴 루프를 형성하고, 그 단부에서 연결되는 실질적으로 평행한 레그를 갖는다. 스페이서(175)의 피치는 포토리소그래피에 의해 처음에 형성된 포토레지스트 라인(124) 및 공간(122)(도 4A 및 4B)의 피치의 대략 절반이다. 포토레지스트 라인(124)이 약 200 nm의 피치를 갖는 경우에, 약 100 nm 이하의 피치를 스페이서(175)가 형성될 수 있다. 스페이서(175)는 피처 또는 라인(124b)의 측벽 상에 형성되고, 스페이서(175)는 일반적으로, 수정된 광 정의 가능한 층(120a) 내의 피처 또는 라인(124a)의 패턴의 윤곽을 따르므로, 라인(124a) 사이의 공간(122a) 내에 폐루프를 형성한다는 것을 알 수 있을 것이다.

[0042] 다음에, 본 발명의 일부 실시예에 따른 방법의 제2 단계에서, 마스크 재료의 블록은 스페이서(175)의 위에 놓이고, 결과적으로 생긴 패턴은 기판(110)에 전사된다.

[0043] 도 9A 및 9B를 참조하면, 마스크 재료, 예를 들어 포토레지스트 층(200)은 스페이서(175)의 사이와 위에 퇴적된다. 포토레지스트 층(200)은 포지티브 또는 네거티브 레지스트로 형성될 수 있다.

[0044] 도 10A 및 10B를 참조하면, 광 정의 가능 층(200)은 스페이서(175)의 루프의 단부에서, 마스킹 재료 블록(210, 212)을 형성하기 위해 포토리소그래피에 의해 패터닝된다. 블록(210, 212)은 스페이서(175)에 가로질러 걸쳐있고, 스페이서(175)의 대향 단부에 접촉한다. 바람직하게는, 블록(210, 212)은 피치 배가를 실행하지 않고 포토리소그래피로 패터닝될 만큼 충분히 큰 치수를 갖는다. 그러므로, 피치 배가된 마스크 피처와 피치 배가되지 않은 마스크 피처로 형성된 혼합 패턴(177)이 형성될 수 있다. 블록(210, 212)은 부분적으로 제조된 접적 회로(100)의 주변 영역에 형성된 그외 다른 비교적 큰 피처와 동시에 패터닝될 수 있다. 피치 배가된 피처와 피치 배가되지 않은 피처를 결합하는 방법은 U.S. 특허 제7,115,525호 및 제7,253,118호, 및 2007년 7월 31일자로 출원된 Luan C. Tran의 U.S. 특허 출원 제11/831,012호에 개시된다. 이들은 본원에 참조로 원용된다.

[0045] 도 11을 참조하면, 블록(210, 212) 및 스페이서(175)에 의해 정의된 패턴(177)은 하드 마스크 층(130)에 전사된다. 패턴 전사는 예를 들어, 하드 마스크 층(130)을 이방성으로 에칭함으로써 달성될 수 있다.

[0046] 도 12를 참조하면, 패턴(177)은 제1 마스크 층(140)으로 전사된다. 패턴 전사는 예를 들어, 제1 마스크 층(140)을 이방성으로 에칭함으로써 달성될 수 있다. 도 13을 참조하면, 패턴(177)은 에칭을 위한 마스크로서 작용하는 층(140)으로 이방성 에칭을 사용하여 기판(110)에 전사된다.

[0047] 도 14A 및 14B를 참조하면, 기판(110) 위에 놓인 스페이서(175) 및 마스크 층(130 및 140)이 제거된다. 피치 배가된 라인(310)은 기판(110)에서 형성된다. 각각의 그 단부에서, 라인(310)은 측방 분리 블록(320, 322)에 접촉한다.

[0048] 도 15를 참조하면, 라인(310) 및 블록(320, 322)에 의해 정의된 트렌치는 얇은 트렌치 분리 적용을 위해 절연 재료(330), 예를 들어 실리콘 산화물로 채워진다. 플래시 메모리용과 같은 메모리 셀 활성 영역은 트렌치 사이에 정의될 수 있고, 플로팅 및 제어 게이트는 활성 영역 위에 형성될 수 있다.

[0049] 플로팅 및 제어 게이트의 형성의 일부로서, 플로팅 및 제어 게이트를 형성하는 층들(340)의 스택은 그 후에 라인(310), 절연 재료(330) 및 블록(320, 322)(도 14B) 위에 형성된다. 층들(340)의 조성은 부분적으로 제조된 접적 회로(100)에 걸쳐 변할 수 있다는 것을 알 수 있을 것이다. 예를 들어, 플로팅 및 제어 게이트가 요구되는 몇몇 영역에서, 층들(340)은 이들 게이트에 형성에 적절한 층들을 포함할 수 있다. 예를 들어, 선택 게이트만이 요구되는 그외 다른 영역에서, 층들(340)은 선택 게이트의 형성에 적절한, 보다 적은 수의 층들을 포함할 수 있다. 예를 들어, 선택 게이트를 형성하기 위해, 층들(340)은 폴리실리콘 층 위에 놓이는 산화물-질화물-산화물(ONO) 복합 층의 위에 놓이는 폴리실리콘 층 위의 규화물 층을 포함할 수 있다.

[0050] 도 16A를 참조하면, 마스크 층(350)은 층들(340)의 스택 위에 형성된다. 마스크 층(350)은 예를 들어, 포토리스스트로 형성된 선택적 정의 가능한 층(350)일 수 있다. 도 16B 및 16C를 참조하면, 층(350)은 그 후에 패터닝됨으로써, 가늘고 긴 스트립(352-356)을 형성한다. 패터닝된 가늘고 긴 스트립(352-356)은 메모리 장치 내에 다양한 피처를 형성하기 위해 사용될 수 있다. 예를 들어, 스트립(352-355)은 활성 영역을 형성하는 라인(310)을 따라 형성된 메모리 셀의 판독 및 그 메모리 셀의 기입을 조절하는 선택 게이트를 형성하기 위해 사용될 수

있다. 스트립(356)은 워드 라인, 및 플로팅 및 제어 게이트를 정의하기 위해 사용될 수 있다.

[0051] 스트립(352-356)은 단일 단계에서, 예를 들어 포토리소그래피에 의해, 또는 다수의 분리된 단계에서 형성될 수 있다. 예를 들어, 밀도를 증가시키기 위해, 스트립(356)은 피치 배가에 의해 형성될 수 있다. 이와 같이, 도 3A 및 3B를 참조하여 여기에서 설명된 마스킹 층들의 스택은 층들(340)의 위에 형성될 수 있다. 그 다음, 마스킹 층들의 스택은 도 3A-8B를 참조하여 여기에서 설명된 바와 같은 처리일 수 있다. 그 다음, 결과적으로 생긴 스페이서 루프는 루프 에칭을 반음으로써, 스트립(356)을 형성할 수 있다. 마스크 층(350)(도 16A)은 그 후에 스페이서(175)의 사이와 위에 퇴적될 수 있다. 그 다음, 마스크 층(350)은 마스크 층(350)이 포토레지스트로 형성되는 경우에, 예를 들어 포토리소그래피에 의해 패터닝되고, 이로 인해 스트립(352-355)(도 16B 및 16C)을 형성한다. 설명을 용이하게 하기 위해 도시되지는 않았지만, 여기에서 설명된 바와 같이, 하나 이상의 추가 마스킹 층은 층(340)으로의 패턴 전사를 용이하게 하기 위해 마스크 층(350) 사이에 제공될 수 있다. 예를 들어, ARC 층은 마스크 층(350) 아래에 직접 제공될 수 있고, 비정질 탄소층은 ARC 층과 층(340) 사이에 제공될 수 있다. 이러한 일련의 층들은 장점을 제공할 수 있고, 층들(130 및 140)(도 3A-13)에 대해 위에서 명시된 바와 같이 이용될 수 있다.

[0052] 도 17A 및 17B를 참조하면, 마스크 층(350) 내의 패턴은 그 다음에 층(340)으로 전사됨으로써, 그들 층 내에 스트립(342-346)을 형성한다. 스트립(342-346)은 그들 층 내의 워드 라인, 플로팅 게이트, 제어 게이트 및 선택 게이트에 대응할 수 있다.

[0053] 반도체 재료의 라인(310) 및 블록(320, 322)의 노출된 부분은 스트립(342-346)의 양측에서 라인(310) 및 블록(320, 322) 내에 소스/드레인 영역을 형성하기 위해 (예를 들어, n형 도편트로) 도핑된다는 것을 알 수 있을 것이다. 일부 실시예에서, 피처(320)는 소스를 형성하고, 피처(342)는 라인(310)의 각각에 대해 분리 트랜지스터의 게이트를 형성한다. 이와 유사하게, 라인(310)의 대향 단부에서, 피처(322)는 소스를 형성하고, 피처(343)는 라인(310)의 각각에 대해 추가 분리 트랜지스터의 게이트를 형성한다.

[0054] 후속 처리 단계에서, 접촉은 다양한 비트 및 워드 라인에 대해 이루어지고, 비트 및 워드 라인은 메모리 장치를 형성하기 위해 다양한 보조 회로에 접속된다. 일부 실시예에서, 접촉은 비트 및 워드 라인 위의 레벨로부터 이루어진다. 게다가, 소스 영역(320, 322)으로의 접촉은 여기에 설명된 바와 같이, 분리 트랜지스터의 게이트 및 소스가 동작의 단순화 및 신뢰성을 위해 함께 연결되도록, 각각 게이트(342, 343)에 전기적으로 접속된다.

[0055] 도 18은 본 발명의 실시예에 따른 메모리 장치(400) 내의 NAND 플래시 메모리 어레이의 블록을 도시한 것이다. 도시된 플래시 메모리 어레이에는 비트 라인(BL0 내지 BLM) 및 워드 라인(WL0 내지 WLN)을 포함한다. 비트 라인(BL0 내지 BLM)은 열 방향으로 서로 평행하게 연장된다. 워드 라인(WL0 내지 WLN)은 행 방향으로 서로 평행하게 연장된다. NAND 플래시 메모리 어레이에는 또한 비트 라인을 선택하기 위해 사용된 선택 트랜지스터(402, 404)를 포함한다. 보조 로직 및 기타 회로(도시 생략)는 비트 라인 접촉부(406)를 사용하여 비트 라인에 접속한다. 선택 트랜지스터(402, 404) 행의 게이트는 피처(344, 345)(도 17B)에 대응한다.

[0056] 각 비트 라인은 직렬로 소스-드레인 결합된 플로팅 게이트 트랜지스터의 열을 포함한다. 예를 들어, 제2 비트 라인(BL1)은 직렬로 접속된 플로팅 게이트 트랜지스터(110)를 포함한다. 동일한 행 내의 셀의 플로팅 게이트 트랜지스터(110)의 제어 게이트는 동일한 워드 라인에 결합된다. 각각의 플로팅 게이트 트랜지스터(110)는 전하를 저장하는(또는 전하가 없는) 메모리 셀을 형성하는데, 저장된 전하의 양은 예를 들어, 하나 이상의 상태를 나타내기 위해 사용되고, 하나 이상의 상태는 데이터의 하나 이상의 숫자(예를 들어, 비트)를 나타낼 수 있다. 비트는 전하의 부재 또는 존재를 검출함으로써 판독된다.

[0057] 도 18을 계속 참조하면, 비트 라인(BL0 내지 BLM)은 그 단부에서 함께 분로(shunt)된다. 분리 또는 선택 트랜지스터(412, 414)는 비트 라인의 분로된 단부로의 전류 흐름을 방지함으로써 개별 비트 라인을 서로 전기적으로 분리시킨다. 분로된 단부는 블록(320 및 322)(도 17B)에 대응하고, 선택 트랜지스터(412, 414)의 게이트는 피처(342, 343)(도 17B)에 대응한다.

[0058] 또한 반도체 재료의 루프로 생각될 수 있는 비트 라인들의 각 쌍은 총 4개의 분리 트랜지스터를 포함할 수 있다는 것을 알 수 있을 것이다. 예를 들어, 분리 트랜지스터(412a 및 412b)는 루프의 한 단부의 근처에 제1 및 제2 분리 트랜지스터를 구성하고, 분리 트랜지스터(414a 및 414b)는 루프의 대향 단부의 근처에 제3 및 제4 분리 트랜지스터를 구성한다. 그러므로, 한 쌍의 분리 트랜지스터는 루프의 실질적으로 평행하고 수평으로 가늘고 긴 부분에 의해 형성되는 단일 비트 라인을 전기적으로 분리시키기 위해 이용될 수 있다. 분리 트랜지스터는 이러한 가늘고 긴 부분들 중의 한 부분의 연장 부분을 이러한 가늘고 긴 부분들 중의 다른 부분의 연장 부분으

로부터 분리시킨다.

[0059] 도 18에 도시된 바와 같이, 선택 트랜지스터(412, 414)의 소스/드레인 영역은 이들 트랜지스터의 게이트에 전기적으로 연결되거나 접속되고, 오프 상태로 바이어싱된다. 판독 및 기입 주기 동안에, 게이트 및 연결된 소스/드레인은 플로팅 상태로 남게 되거나 또는 접지(OV)에 접속됨으로써, 분리 트랜지스터(412, 414)에 접속된 모든 비트 라인을 전기적으로 분리시킬 수 있다. 소거 동작 동안에, 트랜지스터(412, 414)는 "온(on)" 상태로 있을 수 있다. 그러나, 모든 메모리 셀이 동시에 소거되기 때문에, 트랜지스터(412, 414)의 상태는 관계없고; 동일한 동작이 NAND 플래시 메모리 블록의 모든 셀에서 실행되기 때문에, 개별 비트 라인을 분리시킬 필요가 없다.

[0060] 위에서 명시된 바와 같이, 도 19를 참조하면, 부분적으로 제조된 접적 회로(100)부터 형성된 완전히 형성된 접적 회로(101)는 다양한 시스템 또는 장치에 통합될 수 있다. 예를 들어, 접적 회로(101)는 컴퓨터 프로세서(103), 사용자 인터페이스(104) 및 전원(105)을 갖는 전자 장치(102) 내에 데이터를 저장하는 메모리로서 이용될 수 있다. 이러한 전자 장치의 예는 음악, 사진 및/또는 비디오 장치를 포함하는 데이터 저장 및 검색 장치와 같이, 메모리 회로를 이용하는 임의의 장치를 포함하는 컴퓨터화 장치를 포함한다.

[0061] 도시된 실시예의 다양한 수정이 가능하다는 것을 알 수 있을 것이다. 예를 들어, 재료의 루프를 함께 분로시키는 재료의 블록이 도시되었지만, 블록은 일부 실시예에서 생략될 수 있다. 이들 실시예에서는, 개별 루프 단부로의 접촉이 이루어진다.

[0062] 그러나, 블록은 바람직하게는, 분리 트랜지스터의 동작을 단순화하고, 프로세스 결과를 개선하기 위한 것이다. 모든 루프를 함께 연결함으로써, 루프로의 개별 액세스가 제거되고, 이로 인해 분리 트랜지스터의 제조 및 동작을 단순화한다. 더구나, 블록은 트렌치(312)(도 14B) 내로의 유전체의 퇴적을 용이하게 함으로써 프로세스 결과를 개선할 수 있다. 피치 배가된 루프의 단부는 루프의 중간 부분에 비해 비교적 얇게 될 수 있다는 것을 알았다. 또한, 이러한 비교적 얇은 단부로의 유전체의 퇴적은 어려울 수 있고, 형성되지 않게 하기 쉽다는 것을 알았다. 마스킹 재료의 블록을 단부 위에 놓아서 이를 단부를 제거함으로써, 트렌치의 충전이 개선되어, 접적 회로가 개선된 신뢰성을 갖게 할 수 있다는 것을 알았다.

[0063] 일부 실시예에서, 분리 트랜지스터는 재료 루프의 한 단부에서 생략될 수 있다. 예를 들어, 재료가 다른 이유로 함께 분로되는 경우에, 예를 들어 루프를 형성하는 라인이 한 단부에서 모두 접지에 연결되는 경우에, 접지에 연결된 단부 상의 라인을 전기적으로 분리시키기 위해 분리 트랜지스터를 형성할 필요가 없을 수 있다. 그러나, 위에서 명시된 바와 같이, 루프 단부에서의 재료 블록의 형성은 라인에 의해 정의된 트렌치의 충전을 개선하는 이점을 갖는다. 결과적으로, 전기적 분리가 한 단부에서 필요하지 않은 경우라도, 양쪽 루프 단부에서 블록을 형성하는 것이 바람직할 수 있다.

[0064] 여기에서 사용된 바와 같이, 재료의 "라인"은 "라인"의 전체 범위를 통해 단일 방향으로만 연장될 필요는 없다는 것을 알 수 있을 것이다. 오히려, 재료의 "라인"은 재료의 가늘고 길게 뻗은 부분이고, 구부러질 수도 있고, 또는 그 밖에 재료 라인의 연장 부분 위에서 방향이 바뀔 수도 있다.

[0065] 게다가, 여기에서 설명된 임의의 단계에서, 상부 레벨에서 하부 레벨로의 패턴의 전사는 일반적으로 상부 레벨에서의 피처에 대응하는 하부 레벨에서의 피처를 형성하는 단계를 포함한다. 예를 들어, 하부 레벨에서의 라인의 경로는 일반적으로 상부 레벨에서의 라인의 경로를 따를 것이고, 하부 레벨에서의 기타 피처의 위치는 상부 레벨에서의 유사한 피처의 위치에 대응할 것이다. 그러나, 피처의 정밀한 모양 및 크기는 상부 레벨과 하부 레벨에서 서로 다를 수 있다. 예를 들어, 예칭 화학특성 및 조건에 의존하여, 전사된 패턴을 형성하는 피처의 크기 및 피처 사이의 상대 간격은 아래에 설명된 실시예에서 제1 레지스트 마스크를 축소시키는 예로부터 알 수 있는 바와 같이, 동일한 초기 "패턴"과 여전히 유사하면서, 상부 레벨에서의 패턴에 비해 확대되거나 축소될 수 있다. 그러므로, 피처 치수의 일부 변경이 있더라도, 전사된 패턴은 여전히 초기 패턴과 동일한 패턴으로 간주된다. 이에 반해, 마스크 피처 주위의 스페이서의 형성은 패턴을 변화시킬 수 있다.

[0066] 따라서, 여기의 설명으로부터, 본 발명은 다양한 실시예를 포함한다는 것을 알 수 있을 것이다. 예를 들어, 본 발명의 실시예에 따르면, 한 방법이 제공된다. 이 방법은 반도체 재료로 형성된 루프를 갖는 기판을 제공하는 단계를 포함한다. 루프는 적어도 하나의 루프 단부에서 연결된 한 쌍의 실질적으로 평행하고 수평으로 가늘고 긴 부분에 의해 정의된다. 루프를 따르는 제1 트랜지스터는 제1의 가늘고 긴 부분의 연장 부분을 제2의 가늘고 긴 부분의 연장 부분으로부터 전기적으로 분리시키기 위해 형성된다. 루프의 일부분은 제1 트랜지스터의 활성 영역을 형성한다.

[0067] 본 발명의 다른 실시예에 따르면, 접적 회로를 형성하는 프로세스가 제공된다. 프로세스는 기판 위에 놓이는

복수의 맨드릴을 제공하는 단계를 포함한다. 스페이서는 맨드릴의 측벽에 제공된다. 맨드릴은 스페이서에 대해 선택적으로 제거된다. 마스크 재료 층은 스페이서 위에 퇴적된다. 마스크 재료 층은 마스크 재료의 제1 및 제2 측방 분리 블록을 형성하기 위해 패터닝되는데, 제1 블록은 각 스페이서의 제1 단부에 접촉하고, 제2 블록은 각 스페이서의 제2 단부에 접촉한다. 스페이서 및 제1과 제2 블록에 의해 정의된 제1 패턴은 기판에 전사된다.

[0068] 본 발명의 또 다른 실시예에 따르면, 접적 회로를 형성하는 프로세스가 제공된다. 프로세스는 기판 위에 놓이는 제1 마스크 재료의 복수의 가늘고 긴 루프를 제공하는 단계를 포함한다. 제2 마스크 재료 층은 루프 위에 제공된다. 층은 제2 마스크 재료의 블록을 형성하기 위해 패터닝되는데, 블록은 각 루프의 단부에 접촉한다. 루프 및 블록에 의해 정의된 제1 패턴은 기판에 전사된다. 반도체 재료 층은 그 후에 기판 위에 형성된다. 다른 마스크 재료 층은 반도체 재료 위에 형성된다. 다른 층은 각 루프를 가로질러 걸쳐있고 각 루프에 접촉하는 마스킹 재료의 하나 이상의 스트립을 형성하기 위해 패터닝된다. 스트립에 의해 정의된 제2 패턴은 반도체 재료의 스트립을 형성하기 위해 반도체 재료 층에 전사된다. 반도체 재료의 스트립은 제2 마스크 재료의 블록에 의해 정의된 기판 표면에 전기적으로 접속된다.

[0069] 본 발명의 다른 실시예에 따르면, 접적 회로가 제공된다. 접적 회로는 반도체 재료의 복수의 이격된 라인을 포함한다. 반도체 재료의 제1 블록은 반도체 재료의 라인과 동일한 레벨 상에 퇴적되고, 각각의 가늘고 긴 스트립의 제1 단부에 접촉한다. 제1의 복수의 트랜지스터 게이트는 반도체 재료의 라인을 따라 배치된다. 제1의 복수의 트랜지스터 게이트는 제1 블록에 전기적으로 접속된다.

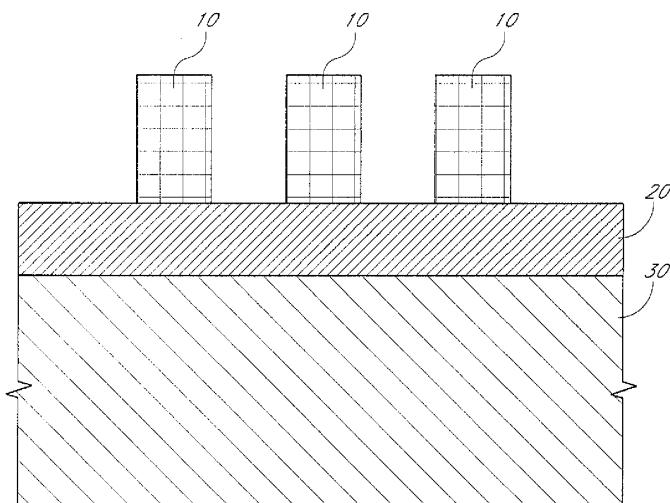
[0070] 본 발명의 또 다른 실시예에 따르면, 접적 회로를 포함하는 전기 장치가 제공된다. 접적 회로는 반도체 재료의 복수의 이격된 라인을 포함한다. 라인들의 모든 제1 단부는 전기적으로 상호 접속되고, 라인들의 모든 대향 단부는 전기적으로 상호 접속된다. 라인의 중간 부분에서 제1 단부로의 전류 흐름을 방지하는 수단이 제공된다.

[0071] 본 분야에 숙련된 기술자들이라면, 본 발명의 범위를 벗어나지 않고서 위에 설명된 방법 및 구조에 다양한 생략, 추가 및 수정이 이루어질 수 있다는 것을 또한 알 수 있을 것이다. 이러한 모든 수정 및 변경은 첨부된 청구범위에 의해 정의된 바와 같은 본 발명의 범위에 포함되기 위한 것이다.

도면

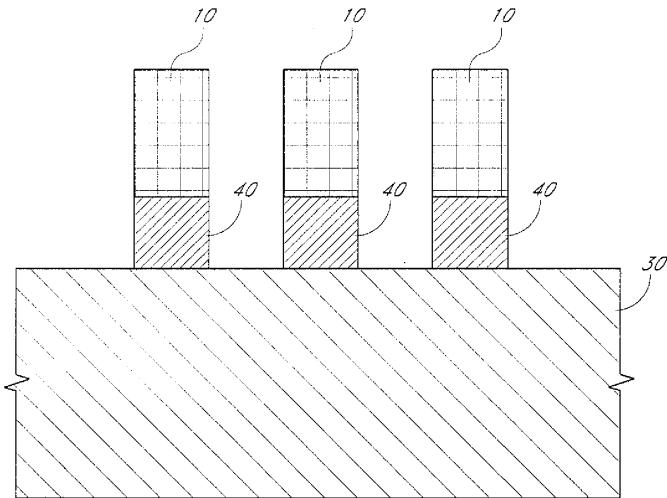
도면1a

종래 기술



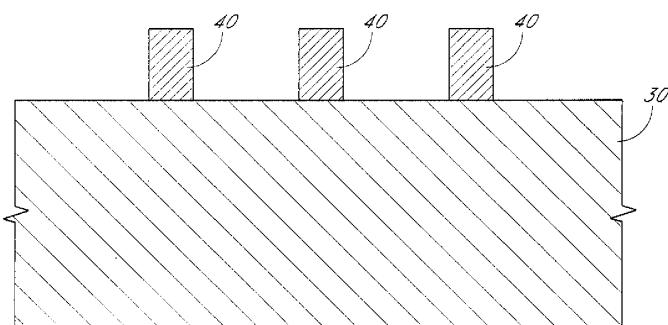
도면1b

종래 기술



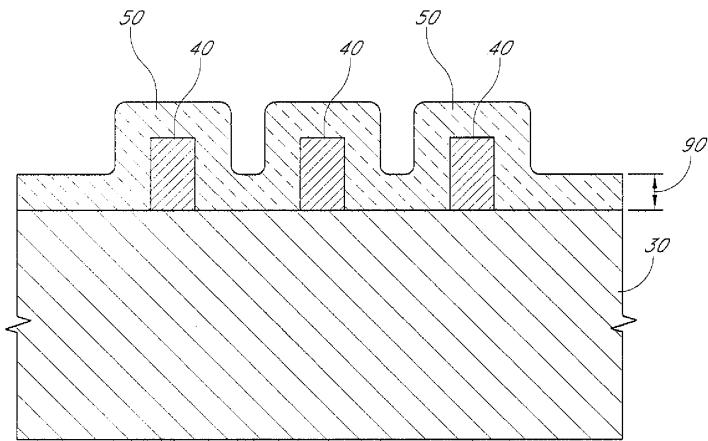
도면1c

종래 기술



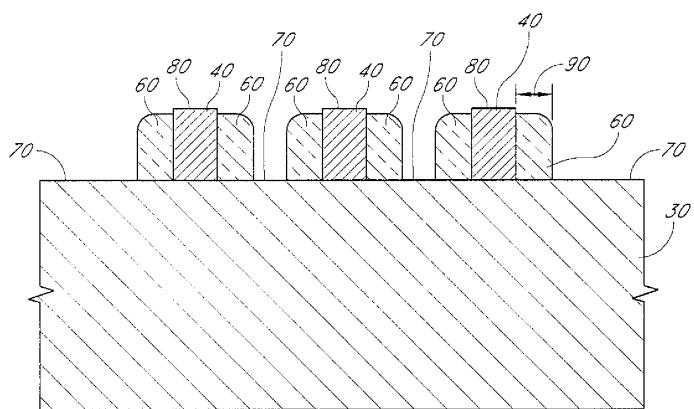
도면1d

종래 기술



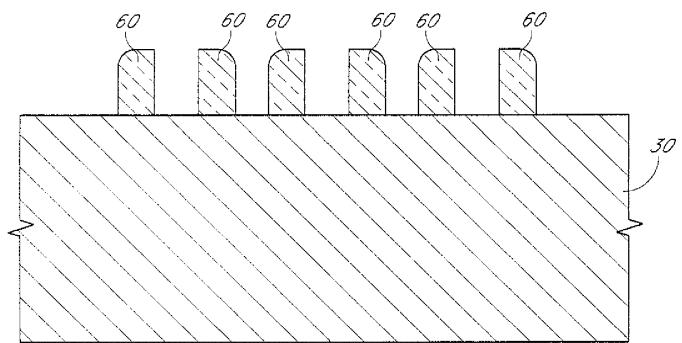
도면1e

종래 기술

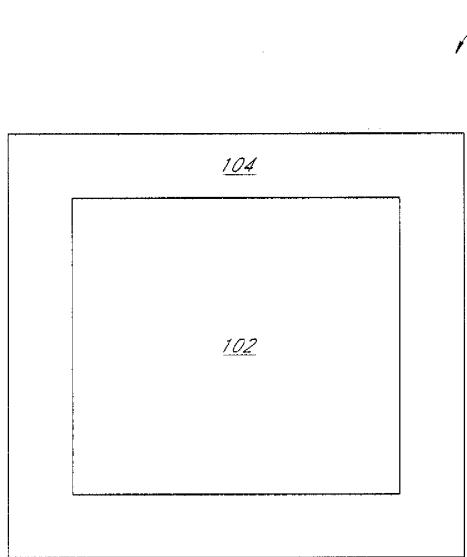


도면1f

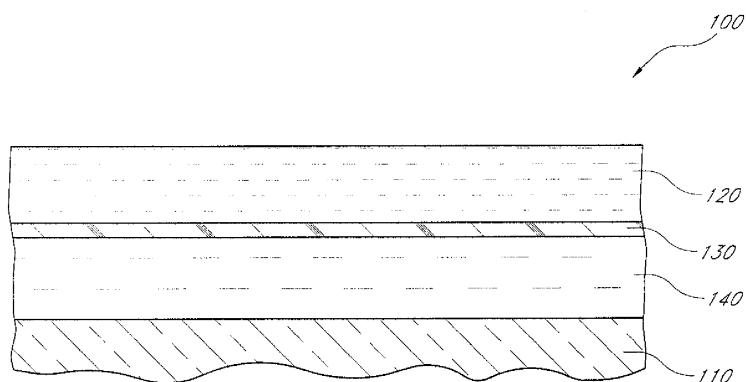
종래 기술



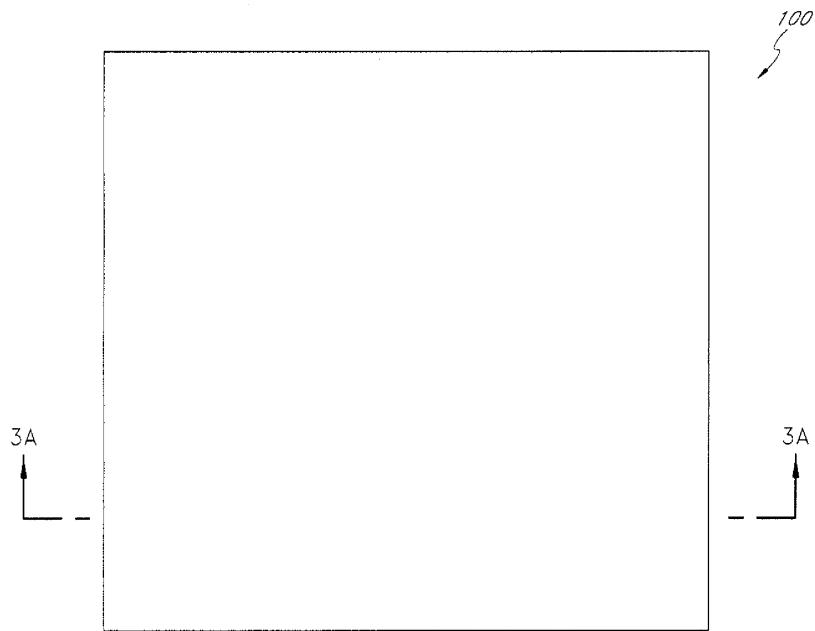
도면2



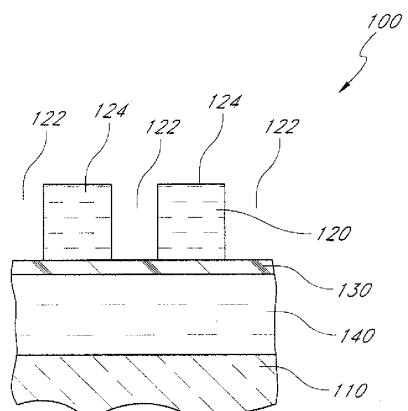
도면3a



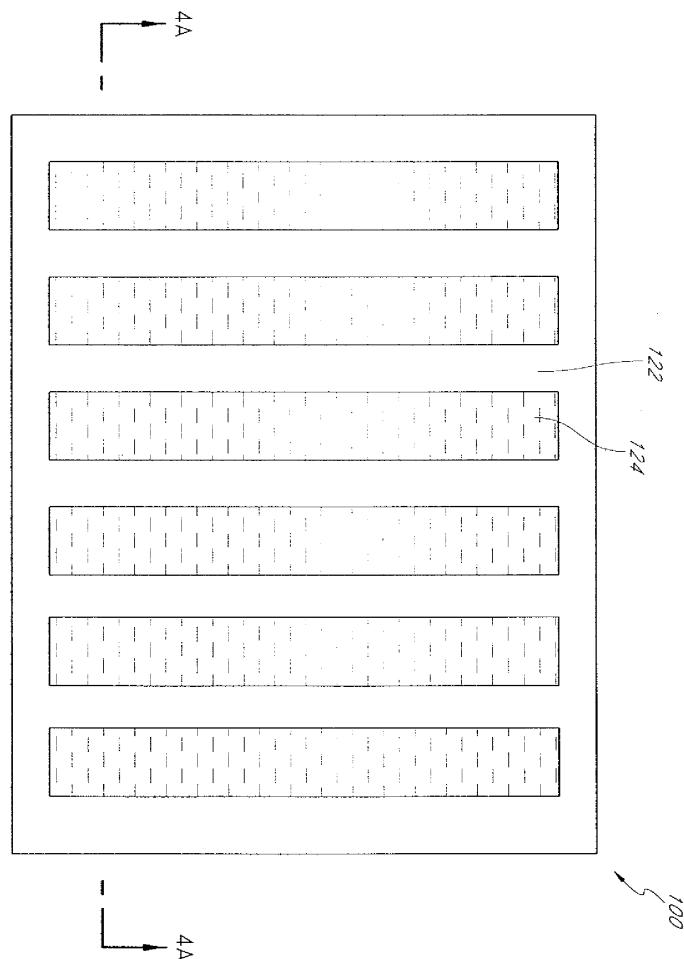
도면3b



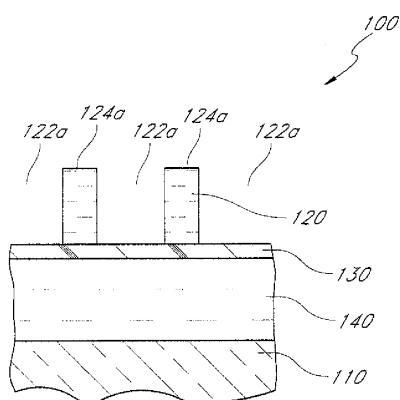
도면4a



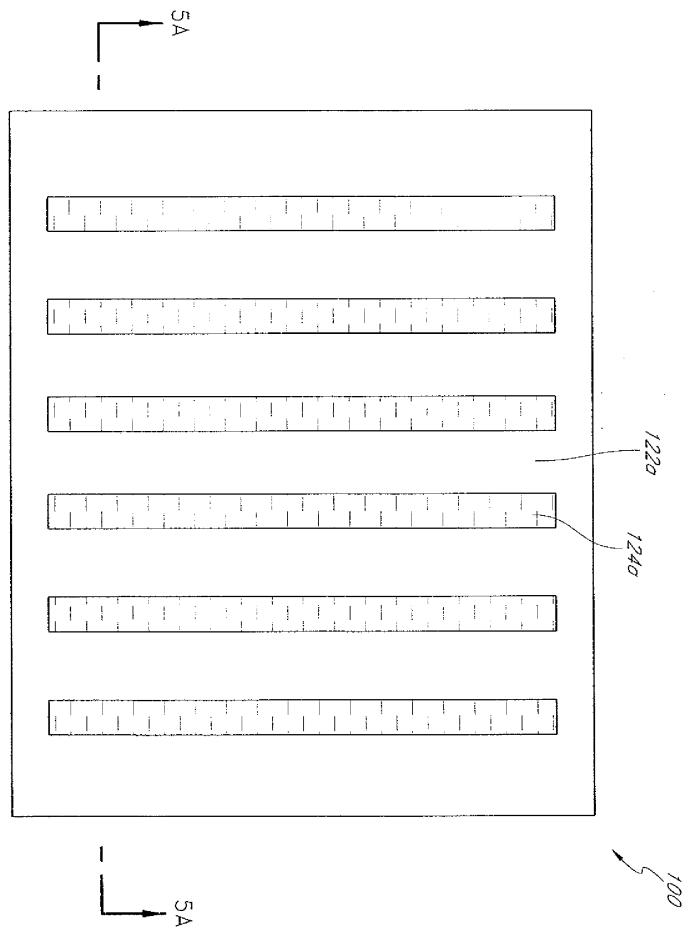
도면4b



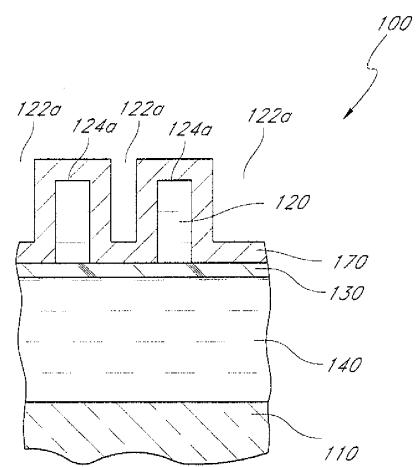
도면5a



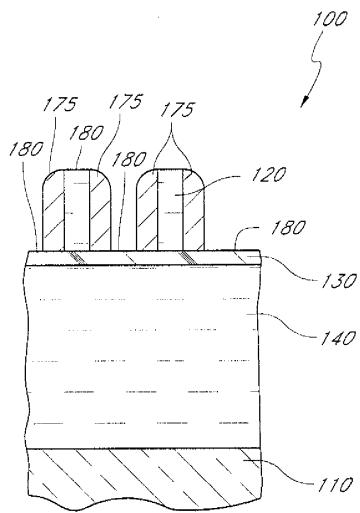
도면5b



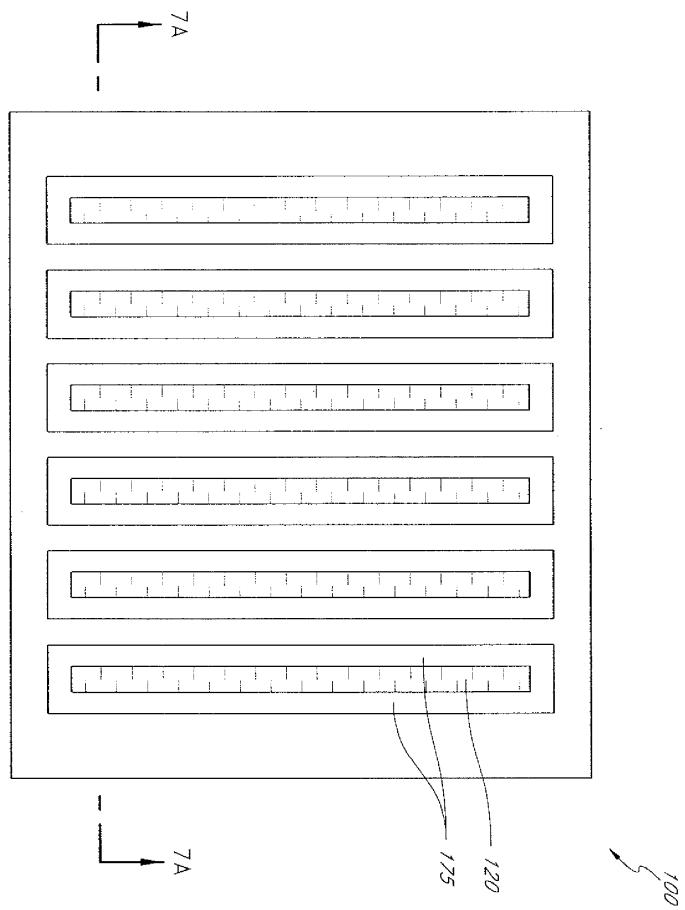
도면6



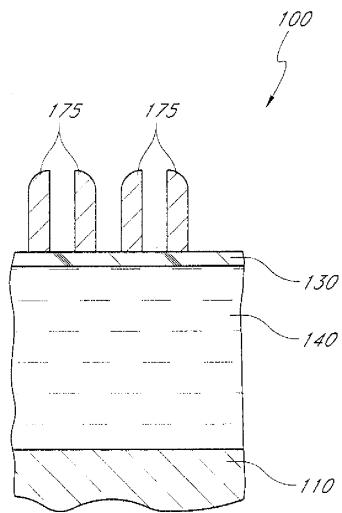
도면7a



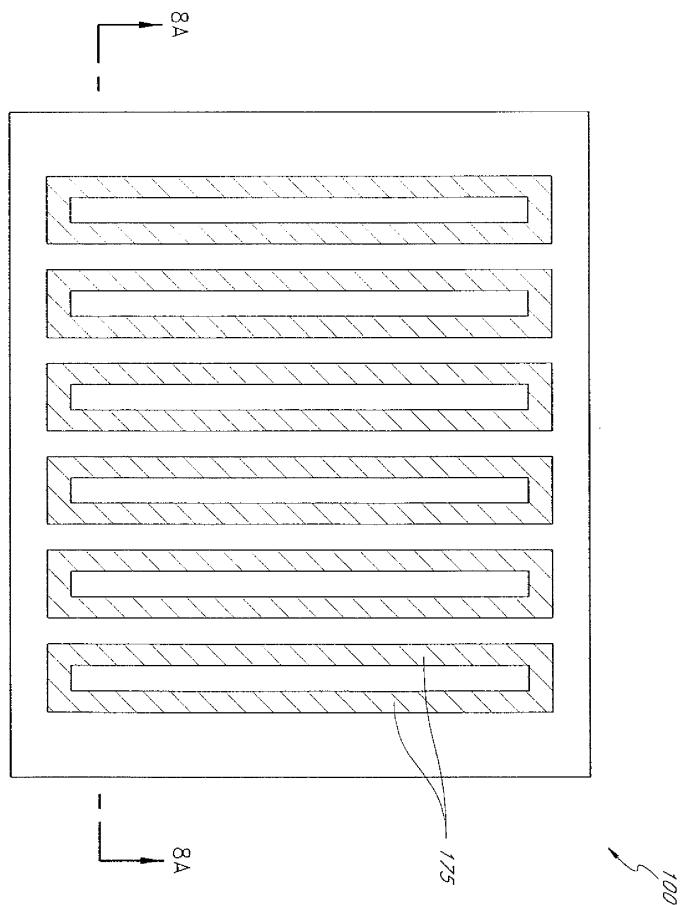
도면7b



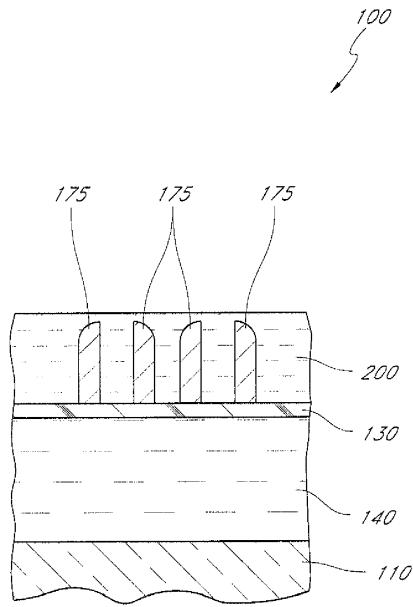
도면8a



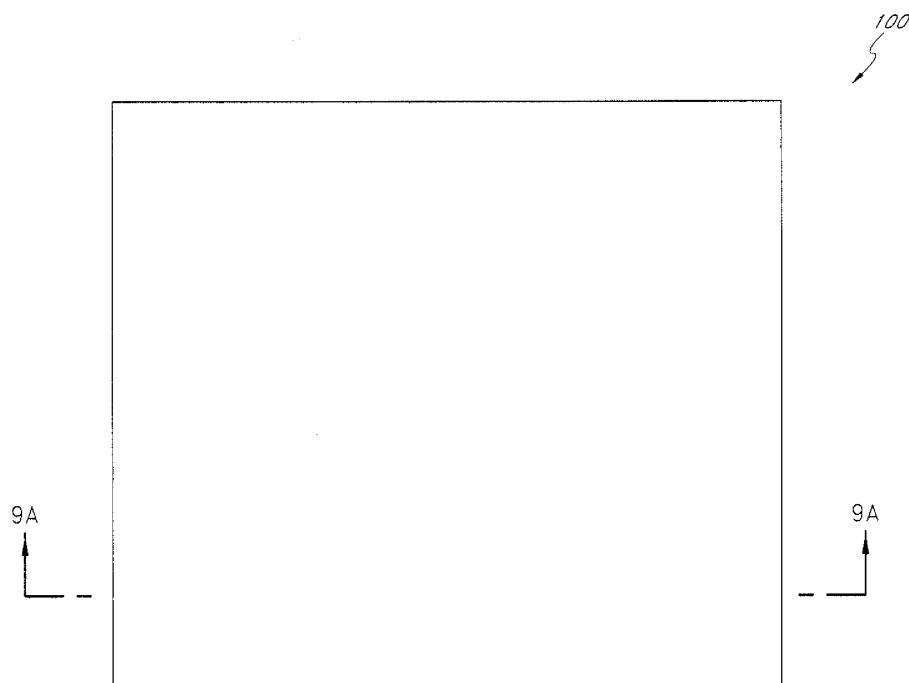
도면8b



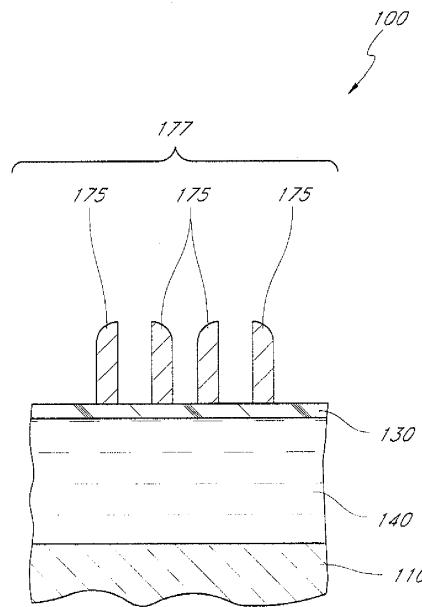
도면9a



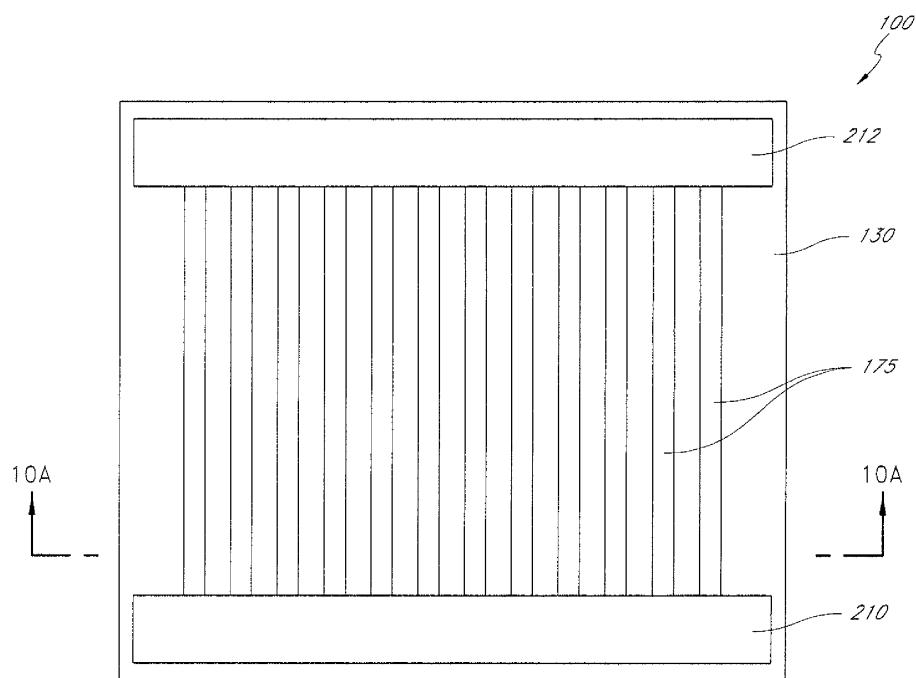
도면9b



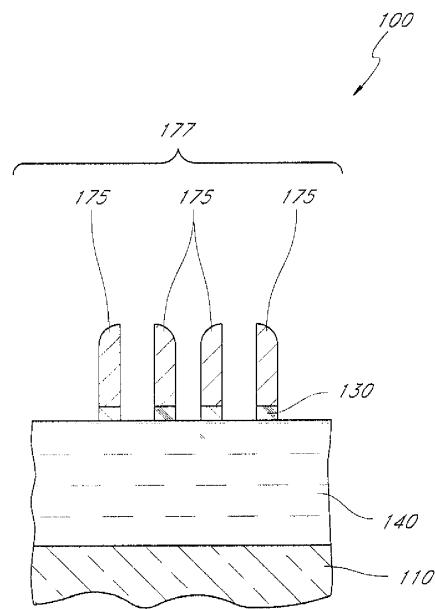
도면10a



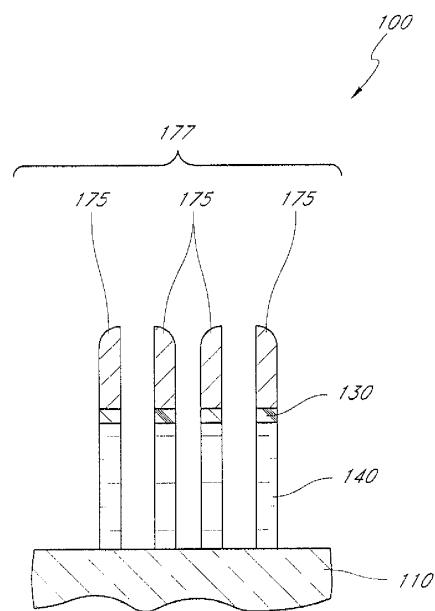
도면10b



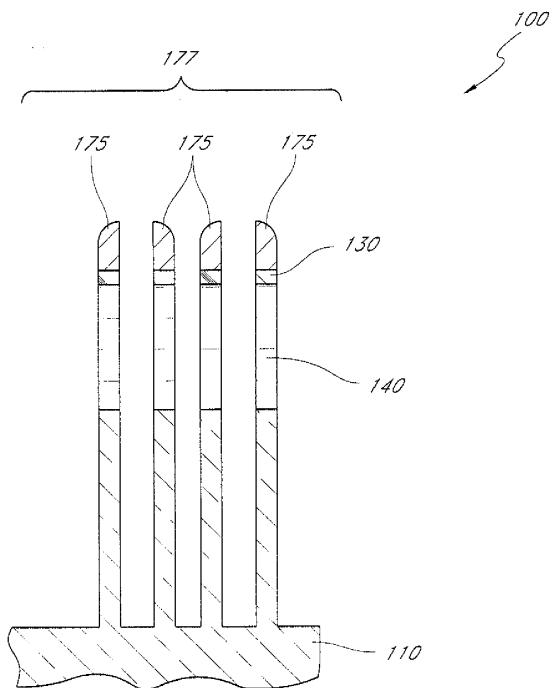
도면11



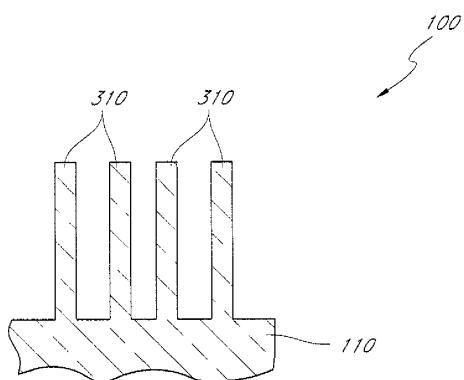
도면12



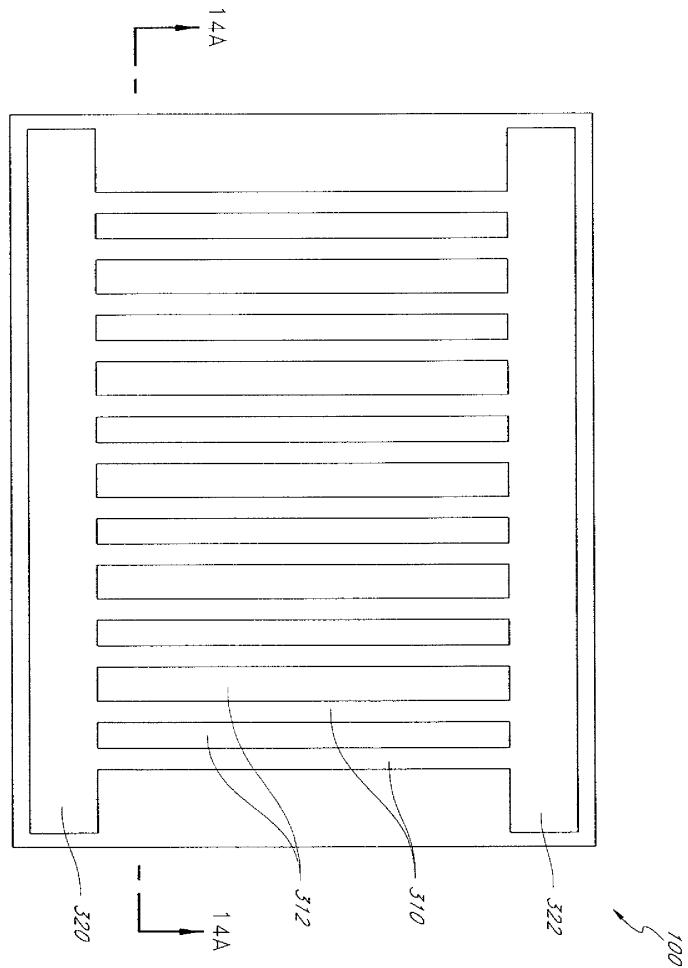
도면13



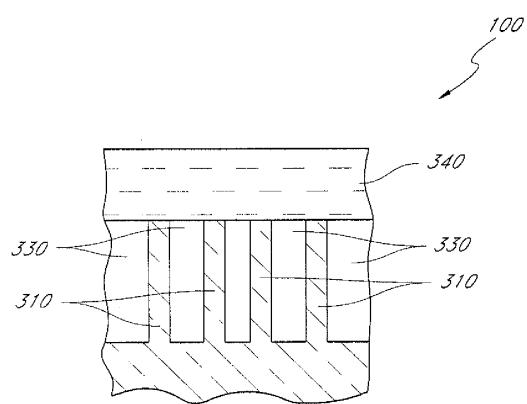
도면14a



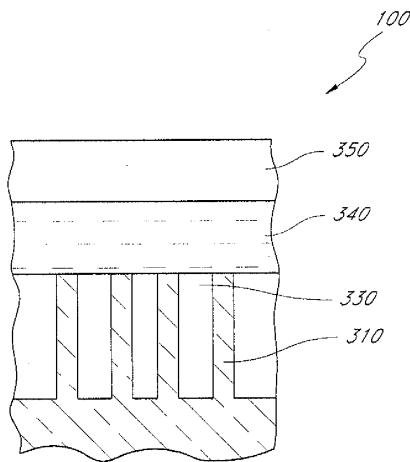
도면14b



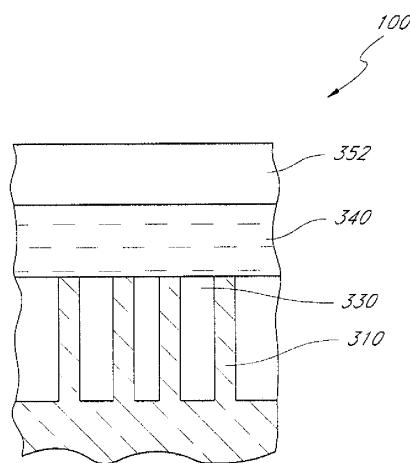
도면15



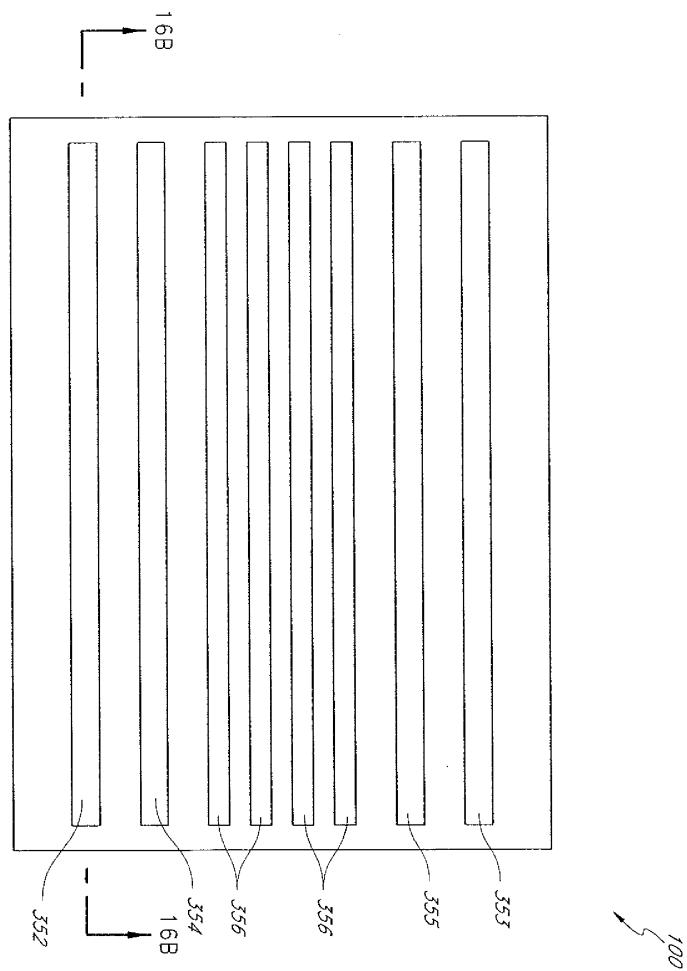
도면16a



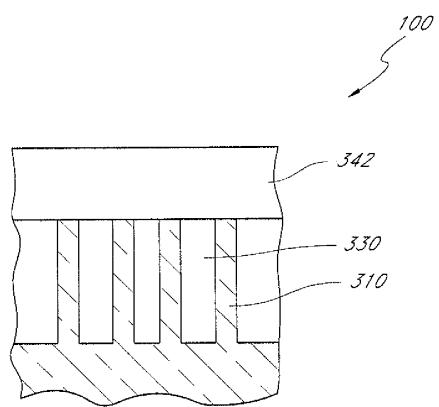
도면16b



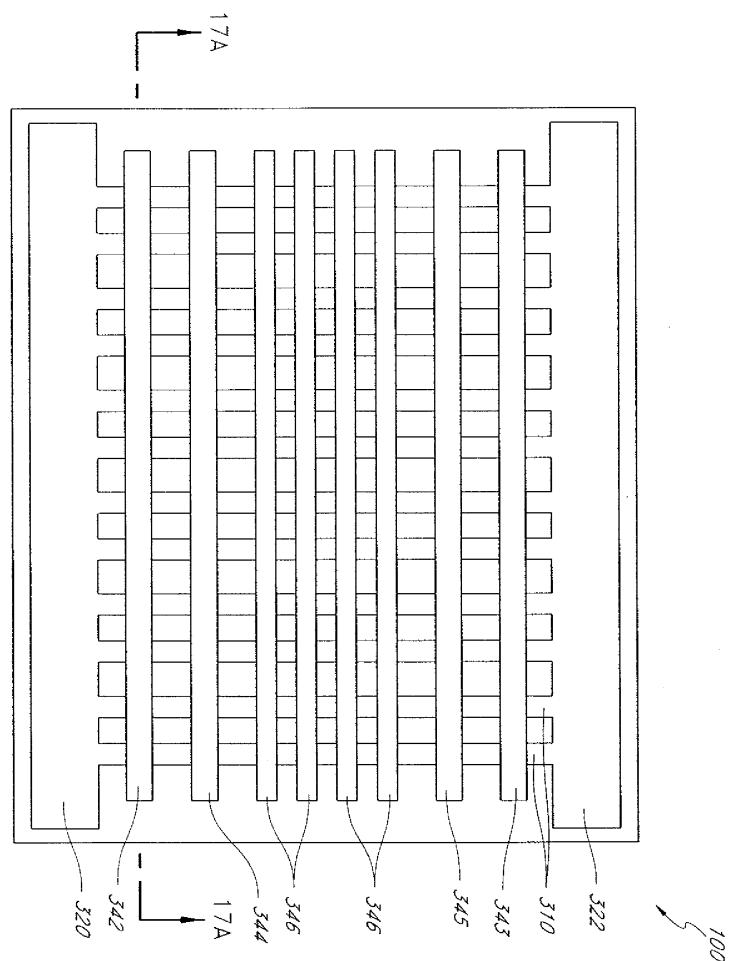
도면16c



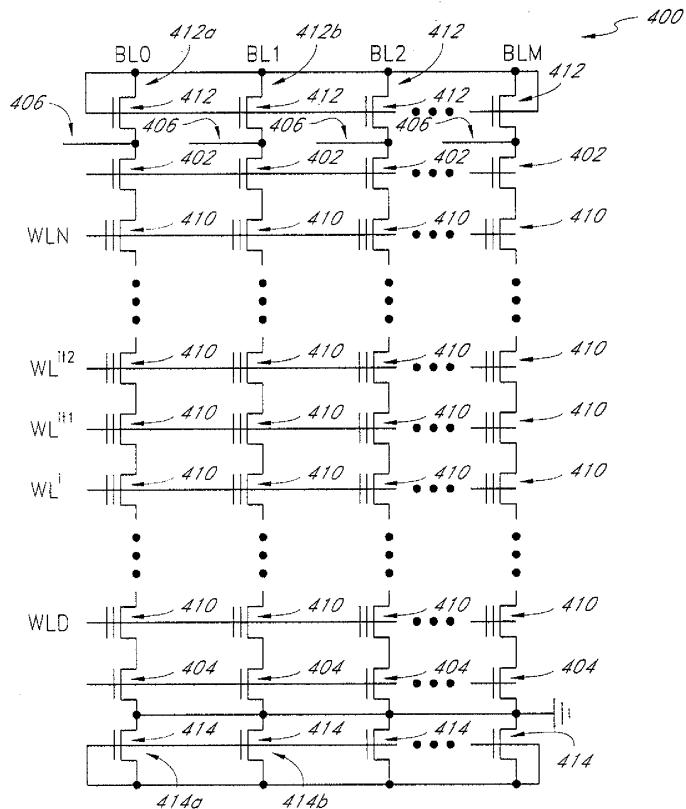
도면17a



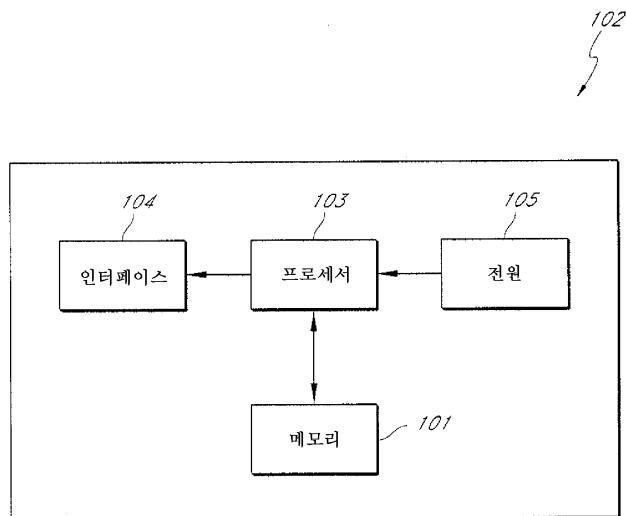
도면17b



도면18



도면19



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 제17항 9번째 줄

【변경전】

상기 제1 복수의 트랜지스터 게이트를

【변경후】

상기 제1의 복수의 트랜지스터 게이트를