

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 6 月 29 日 (29.06.2017)



(10) 国际公布号
WO 2017/107294 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2016/072849
- (22) 国际申请日: 2016 年 1 月 29 日 (29.01.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510980037.X 2015 年 12 月 23 日 (23.12.2015) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 赵莽 (ZHAO, Mang); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: GOA CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 发明名称: GOA 电路及液晶显示装置

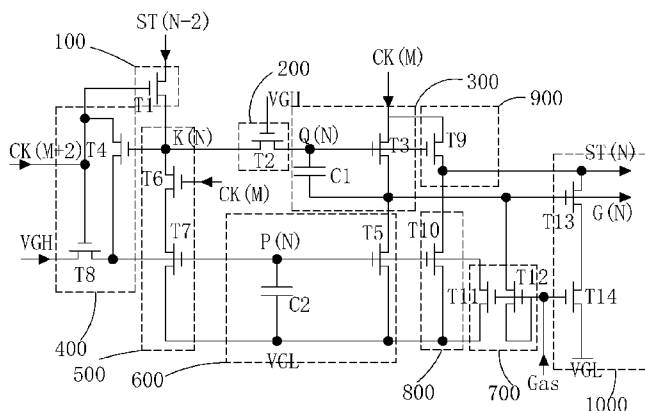


图3

(57) Abstract: A GOA circuit and liquid crystal display device, the GOA circuit adds a stage transfer unit (900) and a stage transfer pull-down unit (800) to improve an overall controller support unit (1000). An output signal of a stage transfer terminal (ST(N)) of the stage transfer unit (900) different from a scan driver signal is used as a stage transfer signal. While output terminals of all GOA units (G(N)) simultaneously output the scan driver signal, the overall controller support unit (1000) stabilizes an electric potential at the ST(N) to make the electric potential of the ST(N) output signal the opposite of an electric potential of the scan driver signal. Once an overall control function of the simultaneous output at the output terminals of all GOA units G(N) is completed, the invention is able to avoid circuit failures in existing technology caused by using the scan driver signal output from the GOA unit as the stage transfer signal, thereby eliminating a redundant pulse in the GOA circuit during the stage transfer process, ensuring proper operation of the GOA circuit and improving operational stability of a liquid crystal display device.

(57) 摘要:

[见续页]

WO 2017/107294 A1



一种 GOA 电路及液晶显示装置，该 GOA 电路通过增设级传单元(900)和级传下拉单元(800)，并对全局控制辅助单元(1000)进行改进，采用级传单元(900)的级传端(ST(N))输出的不同于扫描驱动信号的信号作为级传信号，采用全局控制辅助单元(1000)在全部 GOA 单元的输出端(G(N))同时输出扫描驱动信号的期间稳定级传端(ST(N))的电位，使得级传端(ST(N))输出的信号与扫描驱动信号的电位相反，在完成全局控制全部 GOA 单元的输出端(G(N))同时输出的功能后，能够避免现有技术中以 GOA 单元输出的扫描驱动信号作为级传信号所导致的电路失效问题，消除 GOA 电路级传过程中的冗余脉冲，保证 GOA 电路正常工作，提升液晶显示装置的工作稳定性。

GOA 电路及液晶显示装置

技术领域

本发明涉及显示技术领域，尤其涉及一种 GOA 电路及液晶显示装置。

5

背景技术

液晶显示装置 (Liquid Crystal Display, LCD) 具有机身薄、省电、无辐射等众多优点，得到了广泛的应用。如：液晶电视、移动电话、个人数字助理 (PDA)、数字相机、计算机屏幕或笔记本电脑屏幕等，在平板显示领域中占主导地位。

10

GOA 技术 (Gate Driver on Array) 即阵列基板行驱动技术，是运用液晶显示面板的原有阵列制程将水平扫描线的驱动电路制作在显示区周围的基板上，使之能替代外接集成电路板 ((Integrated Circuit, IC) 来完成水平扫描线的驱动。GOA 技术能减少外接 IC 的焊接 (bonding) 工序，有机会提升产能并降低产品成本，而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

15

随着低温多晶硅 (Low Temperature Poly-silicon, LTPS) 半导体薄膜晶体管的发展，LTPS-TFT 液晶显示装置也越来越受关注，LTPS-TFT 液晶显示装置具有高分辨率、反应速度快、高亮度、高开口率等优点。由于低温多晶硅较非晶硅 (a-Si) 的排列有次序，低温多晶硅半导体本身具有超高的电子迁移率，比非晶硅半导体相对高 100 倍以上，可以采用 GOA 技术将栅极驱动器制作在薄膜晶体管阵列基板上，达到系统整合的目标、节省空间及驱动 IC 的成本。

20

图 1 所示为一种现有的用于 LTPS 液晶显示装置的 GOA 电路，包括级联的多级 GOA 单元，该现有的 GOA 电路除了具备基本的扫描驱动功能与移位寄存功能以外，还带有使各级扫描驱动信号全部同时输出 (All Gate On) 的功能。每一级 GOA 单元均包括：控制输入单元 100、稳压单元 200、控制输出单元 300、第二节点控制单元 400、第一节点下拉单元 500、下拉维持单元 600、全局控制单元 700、及全局控制辅助单元 800。

25

设 N 为正整数，除第一级与第二级 GOA 单元外，在第 N 级 GOA 单元中：

30

所述控制输入单元 100 包括：第一薄膜晶体管 T1，所述第一薄膜晶体管 T1 的栅极电性连接于第 M+2 条时钟信号 CK(M+2)，源极电性连接于上

两级第 N-2 级 GOA 单元的输出端 G(N-2), 漏极电性连接于第三节点 K(N), 上两级第 N-2 级 GOA 单元的输出端 G(N-2) 输出的第 N-2 级 GOA 单元的扫描驱动信号作为级传信号;

所述稳压单元 200 包括: 第二薄膜晶体管 T2, 所述第二薄膜晶体管 T2 的栅极电性连接于恒压高电位 VGH, 源极电性连接于第三节点 K(N), 漏极电性连接于第一节点 Q(N);

所述输出单元 300 包括: 第三薄膜晶体管 T3, 所述第三薄膜晶体管 T3 的栅极电性连接于第一节点 Q(N), 源极电性连接于第 M 条时钟信号 CK(M), 漏极电性连接于输出端 G(N); 以及第一电容 C1, 所述第一电容 C1 的一端电性连接于第一节点 Q(N), 另一端电性连接于输出端 G(N);

所述第二节点控制单元 400 包括: 第四薄膜晶体管 T4, 所述第四薄膜晶体管 T4 的栅极电性连接于第三节点 K(N), 源极电性连接于第 M+2 条时钟信号 CK(M+2), 漏极电性连接于第二节点 P(N); 以及第八薄膜晶体管 T8, 所述第八薄膜晶体管 T8 的栅极电性连接于第 M+2 条时钟信号 CK(M+2), 源极电性连接于恒压高电位 VGH, 漏极电性连接于第二节点 P(N);

所述第一节点下拉单元 500 包括: 第六薄膜晶体管 T6, 所述第六薄膜晶体管 T6 的栅极电性连接于第 M 条时钟信号 CK(M), 源极电性连接于第七薄膜晶体管 T7 的漏极, 漏极电性连接于第三节点 K(N); 以及第七薄膜晶体管 T7, 所述第七薄膜晶体管 T7 的栅极电性连接于第二节点 P(N), 源极电性连接于恒压低电位 VGL;

所述下拉维持单元 600 包括: 第五薄膜晶体管 T5, 所述第五薄膜晶体管 T5 的栅极电性连接于第二节点 P(N), 源极电性连接于恒压低电位 VGL, 漏极电性连接于输出端 G(N); 以及第二电容 C2, 所述第二电容 C2 的一端电性连接于第二节点 P(N), 另一端电性连接于恒压低电位 VGL;

所述全局控制单元 700 包括: 第十薄膜晶体管 T10, 所述第十薄膜晶体管 T10 的栅极和源极均电性连接于全局控制信号 Gas, 漏极电性连接于输出端 G(N); 以及第九薄膜晶体管 T9, 所述第九薄膜晶体管 T9 的栅极电性连接于全局控制信号 Gas, 源极电性连接于恒压低电位 VGL, 漏极电性连接于第二节点 P(N);

所述全局控制辅助单元 800 包括: 第十一薄膜晶体管 T11, 所述第十一薄膜晶体管 T11 的栅极电性连接于全局控制信号 Gas, 源极电性连接于恒压低电位 VGL, 漏极电性连接于第三节点 K(N)。

请结合图 2, 图 1 所示的现有的 GOA 电路的工作过程主要分为两个部

分: 一个部分是全局控制信号 Gas 控制全部 GOA 单元的输出端同时输出高电位, 另一个部分是在完成 All Gate On 功能之后, 进行各级 GOA 单元的驱动。该现有的 GOA 电路存在着一个不可避免的风险点, 这个风险点的存在会直接导致整个电路的失效: 由于输出端 G(N) 上第一电容 C1 的存在, 当全局控制信号 Gas 提供高电位, 完成 All Gate On 功能之后, 所有 GOA 单元的输出端 G(N) 都会一直保持全局控制信号 Gas 的高电平, 如果输出端 G(N) 上的高电平不能在第 M 条时钟信号 CK(M) 的高电平来临之前放电至低电平, 将会影响 GOA 电路的正常工作。

以级联的第一级 GOA 单元与第三级 GOA 单元为例进行说明: 其中第一级 GOA 单元中的第三薄膜晶体管 T3 的源极和第三级 GOA 单元中的第一薄膜晶体管 T1 的栅极均电性连接第一条时钟信号 CK(1), 第三级 GOA 单元中的第三薄膜晶体管 T3 的源极和第一级 GOA 单元中的第一薄膜晶体管 T1 的栅极均电性连接第三条时钟信号 CK(3)。由于第一级 GOA 单元的级传信号是 STV, 所以第一级的 GOA 单元驱动正常 (正常工作从第三条时钟信号 CK(3) 产生第一个脉冲开始), 不会产生冗余的脉冲信号。而第三级 GOA 单元输入的级传信号是第一级 GOA 单元的输出端 G(1) 输出的扫描驱动信号, 第一级 GOA 单元的输出端 G(1) 输出的扫描驱动信号会影响第三级 GOA 单元的工作状态。这是因为在完成全局控制全部 GOA 单元的输出端同时输出高电位后, 第一级 GOA 单元的输出端 G(1) 被第一电容 C1 保持在高电平, 此时, 第三级 GOA 单元中的第一薄膜晶体管 T1 受到第一条时钟信号 CK(1) 的控制, 当第一条时钟信号 CK(1) 的第一个高电平到来时, 将第一级 GOA 单元的输出端 G(1) 的高电平传输到第三级 GOA 单元的第一节点 Q(3), 导致第三级 GOA 单元先于第一级 GOA 单元工作, 并使得第三级 GOA 单元的输出端 G(3) 多输出了一个冗余的脉冲, 这个冗余的脉冲会一直跟随着输出的扫描驱动信号向下级传, 进而影响下一级的扫描驱动信号。不仅如此, 所有受第一条时钟信号 CK(1) 控制输入的 GOA 级数, 即第一薄膜晶体管 T1 的栅极电性连接于第一条时钟信号 CK(1) 的 GOA 单元的输出端 G(3)、G(7)、G(11) 等都会产生冗余的脉冲信号, 最终导致整个 GOA 电路失效。

发明内容

本发明的目的在于提供一种 GOA 电路, 在保留全局控制全部 GOA 单元的输出端同时输出功能的前提下, 避免现有技术中以 GOA 单元输出的扫描驱动信号作为级传信号所导致的电路失效问题, 消除 GOA 电路级传过程

中的冗余脉冲, 保证 GOA 电路正常工作, 提升液晶显示装置的工作稳定性。

本发明的目的还在于提供一种液晶显示装置, 具有良好的工作稳定性。

为实现上述目的, 本发明提供了一种 GOA 电路, 包括级联的多级 GOA 单元, 每一级 GOA 单元均包括: 控制输入单元、稳压单元、输出单元、第二节点控制单元、第一节点下拉单元、下拉维持单元、全局控制单元、级传下拉单元、级传单元、及全局控制辅助单元;

设 N 为正整数, 除第一级与第二级 GOA 单元外, 在第 N 级 GOA 单元中:

所述控制输入单元包括: 第一薄膜晶体管, 所述第一薄膜晶体管的栅极电性连接于第 $M+2$ 条时钟信号, 源极电性连接于上两级第 $N-2$ 级 GOA 单元的级传端, 漏极电性连接于第三节点;

所述稳压单元包括: 第二薄膜晶体管, 所述第二薄膜晶体管的栅极电性连接于第一恒压电位, 源极电性连接于第三节点, 漏极电性连接于第一节点;

所述输出单元包括: 第三薄膜晶体管, 所述第三薄膜晶体管的栅极电性连接于第一节点, 源极电性连接于第 M 条时钟信号, 漏极电性连接于输出端; 以及第一电容, 所述第一电容的一端电性连接于第一节点, 另一端电性连接于输出端;

所述第二节点控制单元包括: 第四薄膜晶体管, 所述第四薄膜晶体管的栅极电性连接于第三节点, 源极电性连接于第 $M+2$ 条时钟信号, 漏极电性连接于第二节点; 以及第八薄膜晶体管, 所述第八薄膜晶体管的栅极电性连接于第 $M+2$ 条时钟信号, 源极电性连接于第一恒压电位, 漏极电性连接于第二节点;

所述第一节点下拉单元包括: 第六薄膜晶体管, 所述第六薄膜晶体管的栅极电性连接于第 M 条时钟信号, 源极电性连接于第七薄膜晶体管的漏极, 漏极电性连接于第三节点; 以及第七薄膜晶体管, 所述第七薄膜晶体管的栅极电性连接于第二节点, 源极电性连接于第二恒压电位;

所述下拉维持单元包括: 第五薄膜晶体管, 所述第五薄膜晶体管的栅极电性连接于第二节点, 源极电性连接于第二恒压电位, 漏极电性连接于输出端; 以及第二电容, 所述第二电容的一端电性连接于第二节点, 另一端电性连接于第二恒压电位;

所述全局控制单元包括: 第十一薄膜晶体管, 所述第十一薄膜晶体管的栅极电性连接于全局控制信号, 源极电性连接于第二恒压电位, 漏极电性连接于第二节点; 以及第十二薄膜晶体管, 所述第十二薄膜晶体管的栅

极与源极均电性连接于全局控制信号，漏极电性连接于输出端；

所述级传下拉单元包括：第十薄膜晶体管，所述第十薄膜晶体管的栅极电性连接于第二节点，源极电性连接于第二恒压电位，漏极电性连接于级传端；

- 5 所述级传单元包括：第九薄膜晶体管，所述第九薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第 M 条时钟信号，漏极电性连接于级传端；

- 10 所述全局控制辅助单元包括：第十三薄膜晶体管，所述第十三薄膜晶体管的栅极电性连接于输出端，源极电性连接于第十四薄膜晶体管的漏极，漏极电性连接于级传端；以及第十四薄膜晶体管，所述第十四薄膜晶体管的栅极电性连接于全局控制信号，源极电性连接于第二恒压电位。

可选的，各个薄膜晶体管均为 N 型低温多晶硅半导体薄膜晶体管，所述第一恒压电位为恒压高电位，第二恒压电位为恒压低电位。

- 15 所述全局控制信号提供高电位时，所有 GOA 单元的输出端同时输出高电位，同时所有 GOA 单元的级传端同时输出低电位。

可选的，各个薄膜晶体管均为 P 型低温多晶硅半导体薄膜晶体管，所述第一恒压电位为恒压低电位，第二恒压电位为恒压高电位。

所述全局控制信号提供低电位时，所有 GOA 单元的输出端同时输出低电位，同时所有 GOA 单元的级传端同时输出高电位。

- 20 在第一级 GOA 单元和第二级 GOA 单元中，所述第一薄膜晶体管 T1 的源极均电性连接于电路的起始信号 STV。

- 25 所述 GOA 电路包括四条时钟信号：第一、第二、第三、及第四条时钟信号；当所述第 M 条时钟信号为第三条时钟信号时，第 M+2 条时钟信号为第一条时钟信号；当所述第 M 条时钟信号为第四条时钟信号时，第 M+2 条时钟信号为第二条时钟信号。

- 30 所述第一、第二、第三、及第四条时钟信号脉冲周期相同，所述第一条时钟信号的第一个脉冲信号首先产生，所述第一条时钟信号的第一个脉冲信号结束的同时所述第二条时钟信号的第一个脉冲信号产生，所述第二条时钟信号的第一个脉冲信号结束的同时所述第三条时钟信号的第一个脉冲信号产生，所述第三条时钟信号的第一个脉冲信号结束的同时所述第四条时钟信号的第一个脉冲信号产生，所述第四条时钟信号的第一个脉冲信号结束的同时所述第一条时钟信号的第二个脉冲信号产生。

本发明还提供一种液晶显示装置，包括上述 GOA 电路。

本发明的有益效果：本发明提供一种 GOA 电路，通过增设级传单元

和级传下拉单元，并对全局控制辅助单元进行改进，采用级传单元的级传端输出的不同于扫描驱动信号的信号作为级传信号，采用全局控制辅助单元在全部 GOA 单元的输出端同时输出扫描驱动信号的期间稳定级传端的电位，使得级传端输出的信号与扫描驱动信号的电位相反，在完成全局控制全部 GOA 单元的输出端同时输出的功能后，能够避免现有技术中以 GOA 单元输出的扫描驱动信号作为级传信号所导致的电路失效问题，消除 GOA 电路级传过程中的冗余脉冲，保证 GOA 电路正常工作，提升液晶显示装置的工作稳定性。本发明的液晶显示装置包括上述 GOA 电路，具有良好的工作稳定性。

附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为现有的一种 GOA 电路的电路图；

图 2 为图 1 所示 GOA 电路的时序图；

图 3 为本发明的 GOA 电路的第一实施例的电路图；

图 4 为图 3 所示 GOA 电路的时序图；

图 5 为图 3 所示 GOA 电路的第一级 GOA 单元的电路图；

图 6 为图 3 所示 GOA 电路的第二级 GOA 单元的电路图；

图 7 为本发明的 GOA 电路的第二实施例的电路图；

图 8 为图 7 所示 GOA 电路的第一级 GOA 单元的电路图；

图 9 为图 7 所示 GOA 电路的第二级 GOA 单元的电路图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 3 或图 7，本发明首先提供一种 GOA 电路，包括级联的多级 GOA 单元，每一级 GOA 单元均包括：控制输入单元 100、稳压单元 200、输出单元 300、第二节点控制单元 400、第一节点下拉单元 500、下拉维持单元 600、全局控制单元 700、级传下拉单元 800、级传单元 900、及全局控制辅助单元 1000。

设 N 为正整数，除第一级与第二级 GOA 单元外，在第 N 级 GOA 单元

中:

所述控制输入单元 100 包括: 第一薄膜晶体管 T1, 所述第一薄膜晶体管 T1 的栅极电性连接于第 M+2 条时钟信号 CK(M+2), 源极电性连接于上两级第 N-2 级 GOA 单元的级传端 ST(N-2), 漏极电性连接于第三节点 K(N);

5 所述稳压单元 200 包括: 第二薄膜晶体管 T2, 所述第二薄膜晶体管 T2 的栅极电性连接于第一恒压电位, 源极电性连接于第三节点 K(N), 漏极电性连接于第一节点 Q(N);

所述输出单元 300 包括: 第三薄膜晶体管 T3, 所述第三薄膜晶体管 T3 的栅极电性连接于第一节点 Q(N), 源极电性连接于第 M 条时钟信号 CK(M), 漏极电性连接于输出端 G(N); 以及第一电容 C1, 所述第一电容 C1 的一端电性连接于第一节点 Q(N), 另一端电性连接于输出端 G(N);

所述第二节点控制单元 400 包括: 第四薄膜晶体管 T4, 所述第四薄膜晶体管 T4 的栅极电性连接于第三节点 K(N), 源极电性连接于第 M+2 条时钟信号 CK(M+2), 漏极电性连接于第二节点 P(N); 以及第八薄膜晶体管 T8, 所述第八薄膜晶体管 T8 的栅极电性连接于第 M+2 条时钟信号 CK(M+2), 源极电性连接于第一恒压电位, 漏极电性连接于第二节点 P(N);

15 所述第一节点下拉单元 500 包括: 第六薄膜晶体管 T6, 所述第六薄膜晶体管 T6 的栅极电性连接于第 M 条时钟信号 CK(M), 源极电性连接于第七薄膜晶体管 T7 的漏极, 漏极电性连接于第三节点 K(N); 以及第七薄膜晶体管 T7, 所述第七薄膜晶体管 T7 的栅极电性连接于第二节点 P(N), 源极电性连接于第二恒压电位;

所述下拉维持单元 600 包括: 第五薄膜晶体管 T5, 所述第五薄膜晶体管 T5 的栅极电性连接于第二节点 P(N), 源极电性连接于第二恒压电位, 漏极电性连接于输出端 G(N); 以及第二电容 C2, 所述第二电容 C2 的一端电性连接于第二节点 P(N), 另一端电性连接于第二恒压电位;

25 所述全局控制单元 700 包括: 第十一薄膜晶体管 T11, 所述第十一薄膜晶体管 T11 的栅极电性连接于全局控制信号 Gas, 源极电性连接于第二恒压电位, 漏极电性连接于第二节点 P(N); 以及第十二薄膜晶体管 T12, 所述第十二薄膜晶体管 T12 的栅极与源极均电性连接于全局控制信号 Gas, 漏极电性连接于输出端 G(N);

30 所述级传下拉单元 800 包括: 第十薄膜晶体管 T10, 所述第十薄膜晶体管 T10 的栅极电性连接于第二节点 P(N), 源极电性连接于第二恒压电位, 漏极电性连接于级传端 ST(N);

所述级传单元 900 包括: 第九薄膜晶体管 T9, 所述第九薄膜晶体管 T9

的栅极电性连接于第一节点 $Q(N)$ ，源极电性连接于第 M 条时钟信号 $CK(M)$ ，漏极电性连接于级传端 $ST(N)$ ；

所述全局控制辅助单元 1000 包括：第十三薄膜晶体管 $T13$ ，所述第十三薄膜晶体管 $T13$ 的栅极电性连接于输出端 $G(N)$ ，源极电性连接于第十四薄膜晶体管 $T14$ 的漏极，漏极电性连接于级传端 $ST(N)$ ；以及第十四薄膜晶体管 $T14$ ，所述第十四薄膜晶体管 $T14$ 的栅极电性连接于全局控制信号 Gas ，源极电性连接于第二恒压电位。

可选的，请参阅图 3 并结合图 4，在本发明的第一实施例中：各个薄膜晶体管均为 N 型低温多晶硅半导体薄膜晶体管；所述第一恒压电位为恒压高电位 VGH ，第二恒压电位为恒压低电位 VGL ；所述全局控制信号 Gas 提供高电位时，所有 GOA 单元的输出端同时输出高电位，同时所有 GOA 单元的级传端同时输出低电位。本发明的第一实施例包括四条提供高电位脉冲的时钟信号：第一、第二、第三、及第四条时钟信号 $CK(1)$ 、 $CK(2)$ 、 $CK(3)$ 、 $CK(4)$ ；当所述第 M 条时钟信号 $CK(M)$ 为第三条时钟信号 $CK(3)$ 时，第 $M+2$ 条时钟信号 $CK(M+2)$ 为第一条时钟信号 $CK(1)$ ；当所述第 M 条时钟信号 $CK(M)$ 为第四条时钟信号 $CK(4)$ 时，第 $M+2$ 条时钟信号 $CK(M+2)$ 为第二条时钟信号 $CK(2)$ 。所述第一、第二、第三、及第四条时钟信号 $CK(1)$ 、 $CK(2)$ 、 $CK(3)$ 、 $CK(4)$ 的脉冲周期相同，所述第一条时钟信号 $CK(1)$ 的第一个脉冲信号首先产生，所述第一时钟信号 $CK(1)$ 的第一个脉冲信号结束的同时所述第二条时钟信号 $CK(2)$ 的第一个脉冲信号产生，所述第二条时钟信号 $CK(2)$ 的第一个脉冲信号结束的同时所述第三条时钟信号 $CK(3)$ 的第一个脉冲信号产生，所述第三条时钟信号 $CK(3)$ 的第一个脉冲信号结束的同时所述第四条时钟信号 $CK(4)$ 的第一个脉冲信号产生，所述第四条时钟信号 $CK(4)$ 的第一个脉冲信号结束的同时所述第一条时钟信号 $CK(1)$ 的第二个脉冲信号产生。

可选的，请参阅图 7，在本发明的第二实施例中，各个薄膜晶体管均为 P 型低温多晶硅半导体薄膜晶体管；所述第一恒压电位为恒压低电位 VGL ，第二恒压电位为恒压高电位 VGH ；所述全局控制信号 Gas 提供低电位时，所有 GOA 单元的输出端同时输出低电位，同时所有 GOA 单元的级传端同时输出高电位。本发明的第二实施例包括四条提供低电位脉冲信号的时钟信号：第一、第二、第三、及第四条时钟信号 $CK(1)$ 、 $CK(2)$ 、 $CK(3)$ 、 $CK(4)$ ；当所述第 M 条时钟信号 $CK(M)$ 为第三条时钟信号 $CK(3)$ 时，第 $M+2$ 条时钟信号 $CK(M+2)$ 为第一条时钟信号 $CK(1)$ ；当所述第 M 条时钟信号 $CK(M)$ 为第四条时钟信号 $CK(4)$ 时，第 $M+2$ 条时钟信号 $CK(M+2)$ 为第二条时钟信

号 CK(2)。所述第一、第二、第三、及第四条时钟信号 CK(1)、CK(2)、CK(3)、CK(4)的脉冲周期相同，所述第一条时钟信号 CK(1)的第一个脉冲信号首先产生，所述第一时钟信号 CK(1)的第一个脉冲信号结束的同时所述第二条时钟信号 CK(2)的第一个脉冲信号产生，所述第二条时钟信号 CK(2)的第一个脉冲信号结束的同时所述第三条时钟信号 CK(3)的第一个脉冲信号产生，所述第三条时钟信号 CK(3)的第一个脉冲信号结束的同时所述第四条时钟信号 CK(4)的第一个脉冲信号产生，所述第四条时钟信号 CK(4)的第一个脉冲信号结束的同时所述第一条时钟信号 CK(1)的第二个脉冲信号产生。

特别地，请参阅图 5 和图 6、或图 8 和图 9，在本发明的 GOA 电路的第一级 GOA 单元中，所述第一薄膜晶体管 T1 的源极电性连接于电路的起始信号 STV，第一薄膜晶体管 T1 的栅极电性连接于第三条时钟信号 CK(3)，第三薄膜晶体管 T3 的源极电性连接于第一条时钟信号 CK(1)；第二级 GOA 单元中，所述第一薄膜晶体管 T1 的源极电性连接于电路的起始信号 STV，第一薄膜晶体管 T1 的栅极电性连接于第四条时钟信号 CK(4)，第三薄膜晶体管 T3 的源极电性连接于第二条时钟信号 CK(2)。

具体地，请参阅图 3 并结合图 4，本发明的 GOA 电路采用隔行扫描的方式进行扫描，第一级 GOA 单元产生的级传信号传递给第三级 GOA 单元，第二级 GOA 单元产生的级传信号传递给第四级 GOA 单元，第三级 GOA 单元产生的级传信号传递给第五级 GOA 单元，第四级 GOA 单元产生的级传信号传递给第六级 GOA 单元，依次类推。下面以本发明的第一实施例为例，说明本发明的 GOA 电路的工作过程：

首先，全局控制信号 Gas 提供高电位，所有 GOA 单元的第十一、第十二、及第十四薄膜晶体管 T11、T12、T14 均打开，所有 GOA 单元中的第十二薄膜晶体管 T12 使得输出端 G(N)输出的扫描驱动信号为全局控制信号 Gas 提供的高电位，第十一薄膜晶体管 T11 下拉第二节点 P(N)至恒压低电位 VGL，同时，受输出端 G(N)控制的第十三薄膜晶体管 T13 打开，与第十四薄膜晶体管 T14 共同作用下拉级传端 ST(N)至恒压低电位 VGL，各级 GOA 单元的级传端 ST(N)输出的级传信号均为低电位；

随后，全局控制信号 Gas 提供低电位，所有 GOA 单元的输出端 G(N)受第一电容 C1 的作用保持高电位，级传端 ST(N)仍为低电位；

接下来，第一条时钟信号 CK(1)提供高电位，第一级 GOA 单元的级传端 ST(1)保持低电位，在第三级 GOA 单元中：第一薄膜晶体管 T1 和第八薄膜晶体管 T8 打开，第一节点 Q(3)为低电位，第二节点 P(3)充电至高电位，第五薄膜晶体管 T5 打开，第三薄膜晶体管 T3 关闭，输出端 G(3)放电至恒

压低电位 VGL;

然后, 第三条时钟信号 CK(3)和电路的起始信号 STV 提供高电位, 在第一级 GOA 单元中: 第一薄膜晶体管 T1 打开, 第一级 GOA 单元的第一节点 Q(1)充电至高电位, 第八薄膜晶体管 T8 打开, 第二节点 P(1)充电至高电位, 第五薄膜晶体管 T5 打开, 拉低输出端 G(1)至恒压低电位 VGL; 在第三级 GOA 单元中: 第一节点 Q(3)保持低电位, 第三薄膜晶体管 T3 关闭, 输出端 G(3)保持低电位, 不会产生冗余脉冲;

紧接着, 第三条时钟信号 CK(3)与电路的起始信号 STV 提供低电位, 第一级 GOA 单元中的第一薄膜晶体管 T1 关闭, 第四薄膜晶体管 T4 受第三节点 K(1) (电位与第一节点 Q(1)相同) 控制打开, 拉低第二节点 P(1)为低电位;

再然后, 第一条时钟信号 CK(1)再次提供高电位, 在第一级 GOA 单元中: 第三、和第九薄膜晶体管 T3、T9 受第一节点 Q(1)的控制打开, 级传端 ST(1)和输出端 G(1)均输出第一条时钟信号 CK(1)提供的高电位作为级传信号和扫描驱动信号的高电位, 第一节点 Q(1)受第一电容 C1 的作用抬升至更高电位; 在第三级 GOA 单元中: 第一薄膜晶体管 T1 打开, 第一节点 Q(3)保持充电至高电位, 第二节点 P(3)保持高电位, 输出端 G(3)保持低电位;

最后, 第三条时钟信号 CK(3)再次提供高电位, 在第一级 GOA 单元中, 第一和第八薄膜晶体管 T8 打开, 第二节点 P(1)被充电至高电位, 第一节点 Q(1)降低为低电位, 受第二节点控制的第五和第十薄膜晶体管 T5、T10 打开, 分别拉低输出端 G(1)和级传端 ST(1)的电位至恒压低电位 VGL, 作为扫描驱动信号和级传信号的低电位; 在第三级 GOA 单元中, 第三和第九薄膜晶体管 T3、T9 受第一节点 Q(3)的控制打开, 级传端 ST(3)和输出端 G(3)输出第三条时钟信号 CK(3)提供的高电位作为级传信号和扫描驱动信号的高电位, 第一节点 Q(3)受第一电容 C1 的作用抬升至更高电位。

依次类推。

上述 GOA 电路在整个工作过程中不产生冗余脉冲, GOA 电路正常进行扫描驱动, 提升了液晶显示装置的工作稳定性。。

图 7 所示的第二实施例与上述第一实施例的具体工作过程类似, 仅需要将各信号、节点的电位高低进行调换即可, 此处不再赘述。

本发明还提供一种液晶显示装置, 包括上述 GOA 电路, 从而具有良好的工作稳定性。

综上所述, 本发明的 GOA 电路, 通过增设级传单元和级传下拉单元, 并对全局控制辅助单元进行改进, 采用级传单元的级传端输出的不同于扫

描驱动信号的信号作为级传信号，采用全局控制辅助单元在全部 GOA 单元的输出端同时输出扫描驱动信号的期间稳定级传端的电位，使得级传端输出的信号与扫描驱动信号的电位相反，在完成全局控制全部 GOA 单元的输出端同时输出的功能后，能够避免现有技术中以 GOA 单元输出的扫描驱动信号作为级传信号所导致的电路失效问题，消除 GOA 电路级传过程中的冗余脉冲，保证 GOA 电路正常工作，提升液晶显示装置的工作稳定性。本发明的液晶显示装置包括上述 GOA 电路，具有良好的工作稳定性。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种 GOA 电路，包括级联的多级 GOA 单元，每一级 GOA 单元均包括：控制输入单元、稳压单元、输出单元、第二节点控制单元、第一节点下拉单元、下拉维持单元、全局控制单元、级传下拉单元、级传单元、及全局控制辅助单元；

设 N 为正整数，除第一级与第二级 GOA 单元外，在第 N 级 GOA 单元中：

所述控制输入单元包括：第一薄膜晶体管，所述第一薄膜晶体管的栅极电性连接于第 M+2 条时钟信号，源极电性连接于上两级第 N-2 级 GOA 单元的级传端，漏极电性连接于第三节点；

所述稳压单元包括：第二薄膜晶体管，所述第二薄膜晶体管的栅极电性连接于第一恒压电位，源极电性连接于第三节点，漏极电性连接于第一节点；

所述输出单元包括：第三薄膜晶体管，所述第三薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第 M 条时钟信号，漏极电性连接于输出端；以及第一电容，所述第一电容的一端电性连接于第一节点，另一端电性连接于输出端；

所述第二节点控制单元包括：第四薄膜晶体管，所述第四薄膜晶体管的栅极电性连接于第三节点，源极电性连接于第 M+2 条时钟信号，漏极电性连接于第二节点；以及第八薄膜晶体管，所述第八薄膜晶体管的栅极电性连接于第 M+2 条时钟信号，源极电性连接于第一恒压电位，漏极电性连接于第二节点；

所述第一节点下拉单元包括：第六薄膜晶体管，所述第六薄膜晶体管的栅极电性连接于第 M 条时钟信号，源极电性连接于第七薄膜晶体管的漏极，漏极电性连接于第三节点；以及第七薄膜晶体管，所述第七薄膜晶体管的栅极电性连接于第二节点，源极电性连接于第二恒压电位；

所述下拉维持单元包括：第五薄膜晶体管，所述第五薄膜晶体管的栅极电性连接于第二节点，源极电性连接于第二恒压电位，漏极电性连接于输出端；以及第二电容，所述第二电容的一端电性连接于第二节点，另一端电性连接于第二恒压电位；

所述全局控制单元包括：第十一薄膜晶体管，所述第十一薄膜晶体管的栅极电性连接于全局控制信号，源极电性连接于第二恒压电位，漏极电

性连接于第二节点；以及第十二薄膜晶体管，所述第十二薄膜晶体管的栅极与源极均电性连接于全局控制信号，漏极电性连接于输出端；

所述级传下拉单元包括：第十薄膜晶体管，所述第十薄膜晶体管的栅极电性连接于第二节点，源极电性连接于第二恒压电位，漏极电性连接于级传端；

所述级传单元包括：第九薄膜晶体管，所述第九薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第 M 条时钟信号，漏极电性连接于级传端；

所述全局控制辅助单元包括：第十三薄膜晶体管，所述第十三薄膜晶体管的栅极电性连接于输出端，源极电性连接于第十四薄膜晶体管的漏极，漏极电性连接于级传端；以及第十四薄膜晶体管，所述第十四薄膜晶体管的栅极电性连接于全局控制信号，源极电性连接于第二恒压电位。

2、如权利要求 1 所述的 GOA 电路，其中，各个薄膜晶体管均为 N 型低温多晶硅半导体薄膜晶体管，所述第一恒压电位为恒压高电位，第二恒压电位为恒压低电位。

3、如权利要求 2 所述的 GOA 电路，其中，所述全局控制信号提供高电位时，所有 GOA 单元的输出端同时输出高电位，同时所有 GOA 单元的级传端同时输出低电位。

4、如权利要求 1 所述的 GOA 电路，其中，各个薄膜晶体管均为 P 型低温多晶硅半导体薄膜晶体管，所述第一恒压电位为恒压低电位，第二恒压电位为恒压高电位。

5、如权利要求 4 所述的 GOA 电路，其中，所述全局控制信号提供低电位时，所有 GOA 单元的输出端同时输出低电位，同时所有 GOA 单元的级传端同时输出高电位。

6、如权利要求 1 所述的 GOA 电路，其中，在第一级 GOA 单元和第二级 GOA 单元中，所述第一薄膜晶体管的源极均电性连接于电路的起始信号。

7、如权利要求 1 所述的 GOA 电路，其中，包括四条时钟信号：第一、第二、第三、及第四条时钟信号；当所述第 M 条时钟信号为第三条时钟信号时，第 M+2 条时钟信号为第一条时钟信号；当所述第 M 条时钟信号为第四条时钟信号时，第 M+2 条时钟信号为第二条时钟信号。

8、如权利要求 7 所述的 GOA 电路，其中，所述第一、第二、第三、及第四条时钟信号的脉冲周期相同，所述第一条时钟信号的第一个脉冲信号首先产生，所述第一时钟信号的第一个脉冲信号结束的同时所述第二条

时钟信号的第一个脉冲信号产生，所述第二条时钟信号的第一个脉冲信号结束的同时所述第三条时钟信号的第一个脉冲信号产生，所述第三条时钟信号的第一个脉冲信号结束的同时所述第四条时钟信号的第一个脉冲信号产生，所述第四条时钟信号的第一个脉冲信号结束的同时所述第一条时钟信号的第二个脉冲信号产生。

9、一种液晶显示装置，包括 GOA 电路；所述 GOA 电路包括级联的多级 GOA 单元，每一级 GOA 单元均包括：控制输入单元、稳压单元、输出单元、第二节点控制单元、第一节点下拉单元、下拉维持单元、全局控制单元、级传下拉单元、级传单元、及全局控制辅助单元；

10 设 N 为正整数，除第一级与第二级 GOA 单元外，在第 N 级 GOA 单元中：

所述控制输入单元包括：第一薄膜晶体管，所述第一薄膜晶体管的栅极电性连接于第 $M+2$ 条时钟信号，源极电性连接于上两级第 $N-2$ 级 GOA 单元的级传端，漏极电性连接于第三节点；

15 所述稳压单元包括：第二薄膜晶体管，所述第二薄膜晶体管的栅极电性连接于第一恒压电位，源极电性连接于第三节点，漏极电性连接于第一节点；

所述输出单元包括：第三薄膜晶体管，所述第三薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第 M 条时钟信号，漏极电性连接于输出端；以及第一电容，所述第一电容的一端电性连接于第一节点，另一端电性连接于输出端；

所述第二节点控制单元包括：第四薄膜晶体管，所述第四薄膜晶体管的栅极电性连接于第三节点，源极电性连接于第 $M+2$ 条时钟信号，漏极电性连接于第二节点；以及第八薄膜晶体管，所述第八薄膜晶体管的栅极电性连接于第 $M+2$ 条时钟信号，源极电性连接于第一恒压电位，漏极电性连接于第二节点；

所述第一节点下拉单元包括：第六薄膜晶体管，所述第六薄膜晶体管的栅极电性连接于第 M 条时钟信号，源极电性连接于第七薄膜晶体管的漏极，漏极电性连接于第三节点；以及第七薄膜晶体管，所述第七薄膜晶体管的栅极电性连接于第二节点，源极电性连接于第二恒压电位；

30 所述下拉维持单元包括：第五薄膜晶体管，所述第五薄膜晶体管的栅极电性连接于第二节点，源极电性连接于第二恒压电位，漏极电性连接于输出端；以及第二电容，所述第二电容的一端电性连接于第二节点，另一端电性连接于第二恒压电位；

所述全局控制单元包括：第十一薄膜晶体管，所述第十一薄膜晶体管的栅极电性连接于全局控制信号，源极电性连接于第二恒压电位，漏极电性连接于第二节点；以及第十二薄膜晶体管，所述第十二薄膜晶体管的栅极与源极均电性连接于全局控制信号，漏极电性连接于输出端；

5 所述级传下拉单元包括：第十薄膜晶体管，所述第十薄膜晶体管的栅极电性连接于第二节点，源极电性连接于第二恒压电位，漏极电性连接于级传端；

所述级传单元包括：第九薄膜晶体管，所述第九薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第 M 条时钟信号，漏极电性连接于级
10 传端；

所述全局控制辅助单元包括：第十三薄膜晶体管，所述第十三薄膜晶体管的栅极电性连接于输出端，源极电性连接于第十四薄膜晶体管的漏极，漏极电性连接于级传端；以及第十四薄膜晶体管，所述第十四薄膜晶体管的栅极电性连接于全局控制信号，源极电性连接于第二恒压电位。

15 10、如权利要求 9 所述的液晶显示装置，其中，各个薄膜晶体管均为 N 型低温多晶硅半导体薄膜晶体管，所述第一恒压电位为恒压高电位，第二恒压电位为恒压低电位。

11、如权利要求 10 所述的液晶显示装置，其中，所述全局控制信号提供高电位时，所有 GOA 单元的输出端同时输出高电位，同时所有 GOA 单
20 元的级传端同时输出低电位。

12、如权利要求 9 所述的液晶显示装置，其中，各个薄膜晶体管均为 P 型低温多晶硅半导体薄膜晶体管，所述第一恒压电位为恒压低电位，第二恒压电位为恒压高电位。

13、如权利要求 12 所述的液晶显示装置，其中，所述全局控制信号提供低电位时，所有 GOA 单元的输出端同时输出低电位，同时所有 GOA 单
25 元的级传端同时输出高电位。

14、如权利要求 9 所述的液晶显示装置，其中，在第一级 GOA 单元和第二级 GOA 单元中，所述第一薄膜晶体管的源极均电性连接于电路的起始信号。

30 15、如权利要求 9 所述的液晶显示装置，其中，包括四条时钟信号：第一、第二、第三、及第四条时钟信号；当所述第 M 条时钟信号为第三条时钟信号时，第 M+2 条时钟信号为第一条时钟信号；当所述第 M 条时钟信号为第四条时钟信号时，第 M+2 条时钟信号为第二条时钟信号。

16、如权利要求 15 所述的液晶显示装置，其中，所述第一、第二、第

- 三、及第四条时钟信号的脉冲周期相同，所述第一条时钟信号的第一个脉冲信号首先产生，所述第一时钟信号的第一个脉冲信号结束的同时所述第二条时钟信号的第一个脉冲信号产生，所述第二条时钟信号的第一个脉冲信号结束的同时所述第三条时钟信号的第一个脉冲信号产生，所述第三条时钟信号的第一个脉冲信号结束的同时所述第四条时钟信号的第一个脉冲信号产生，所述第四条时钟信号的第一个脉冲信号结束的同时所述第一条时钟信号的第二个脉冲信号产生。
- 5

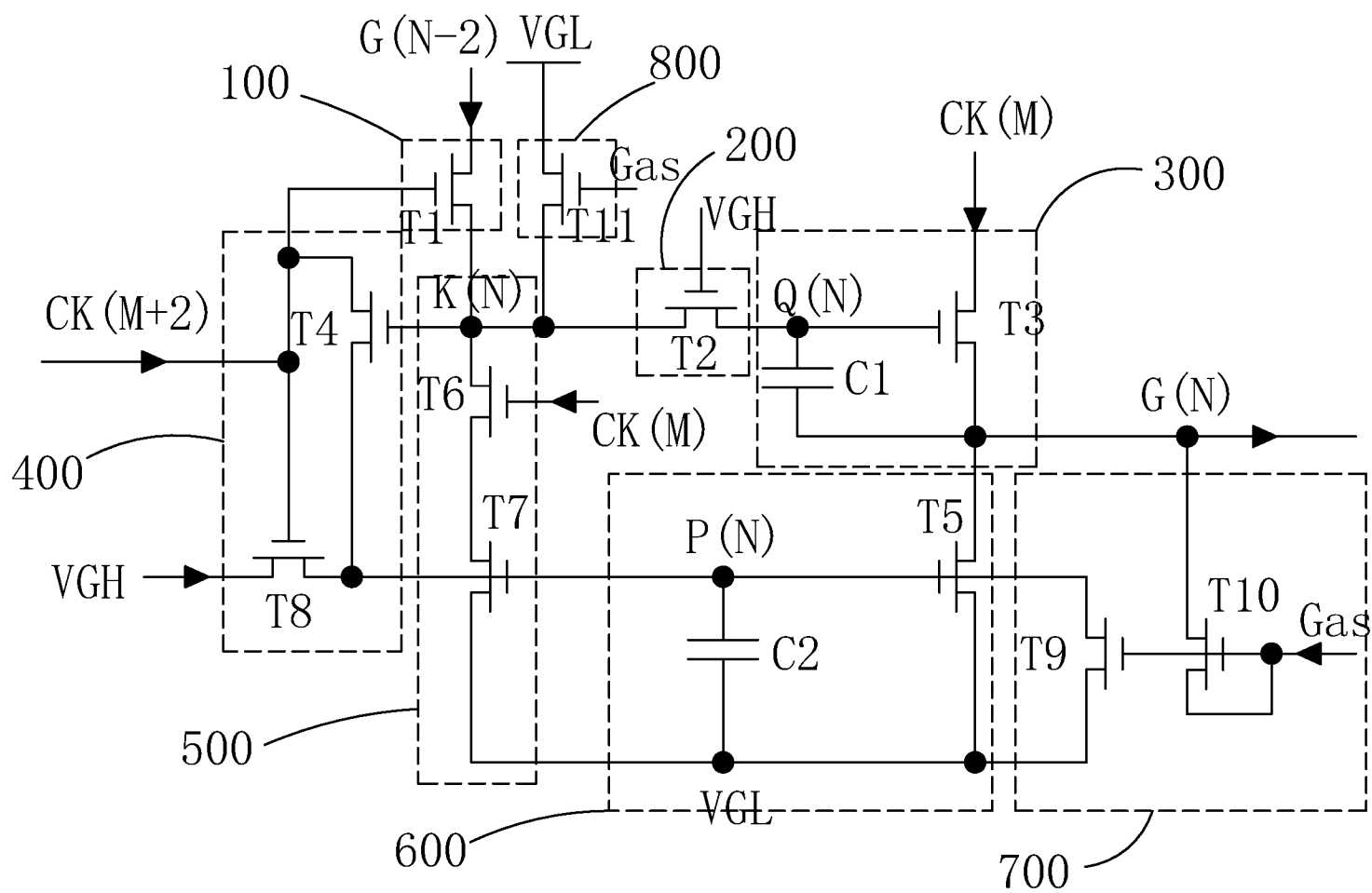


图1

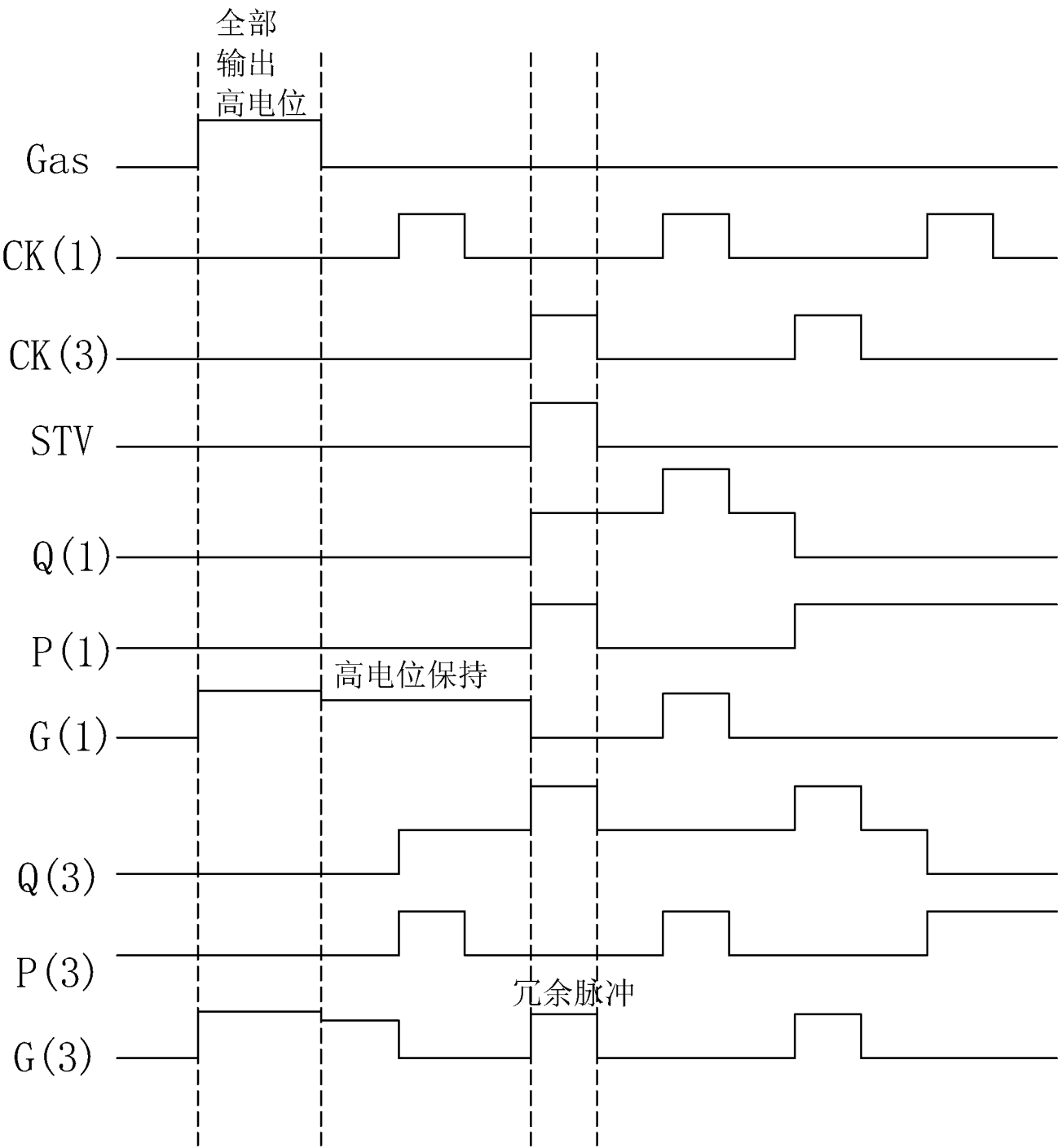


图2

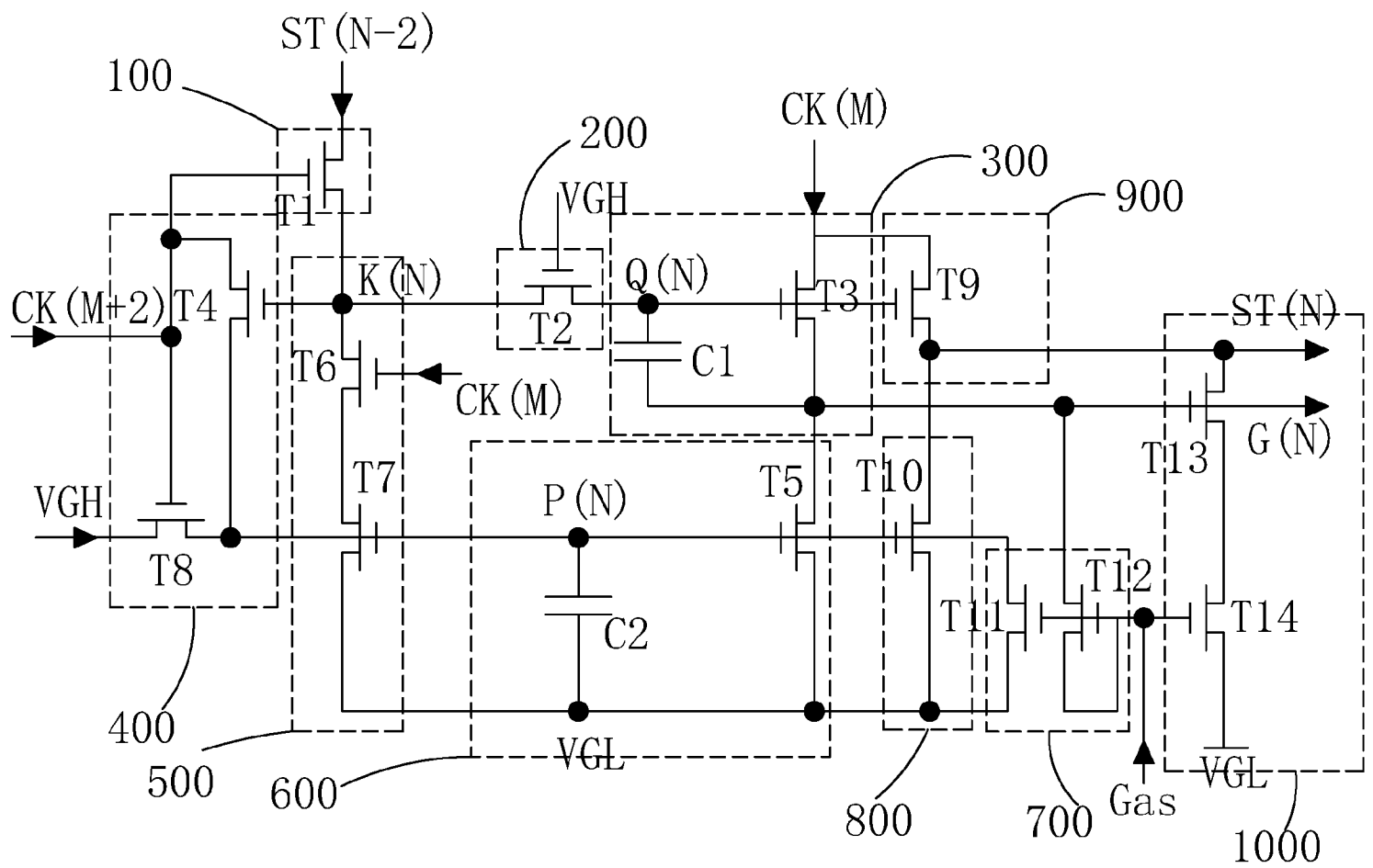


图3

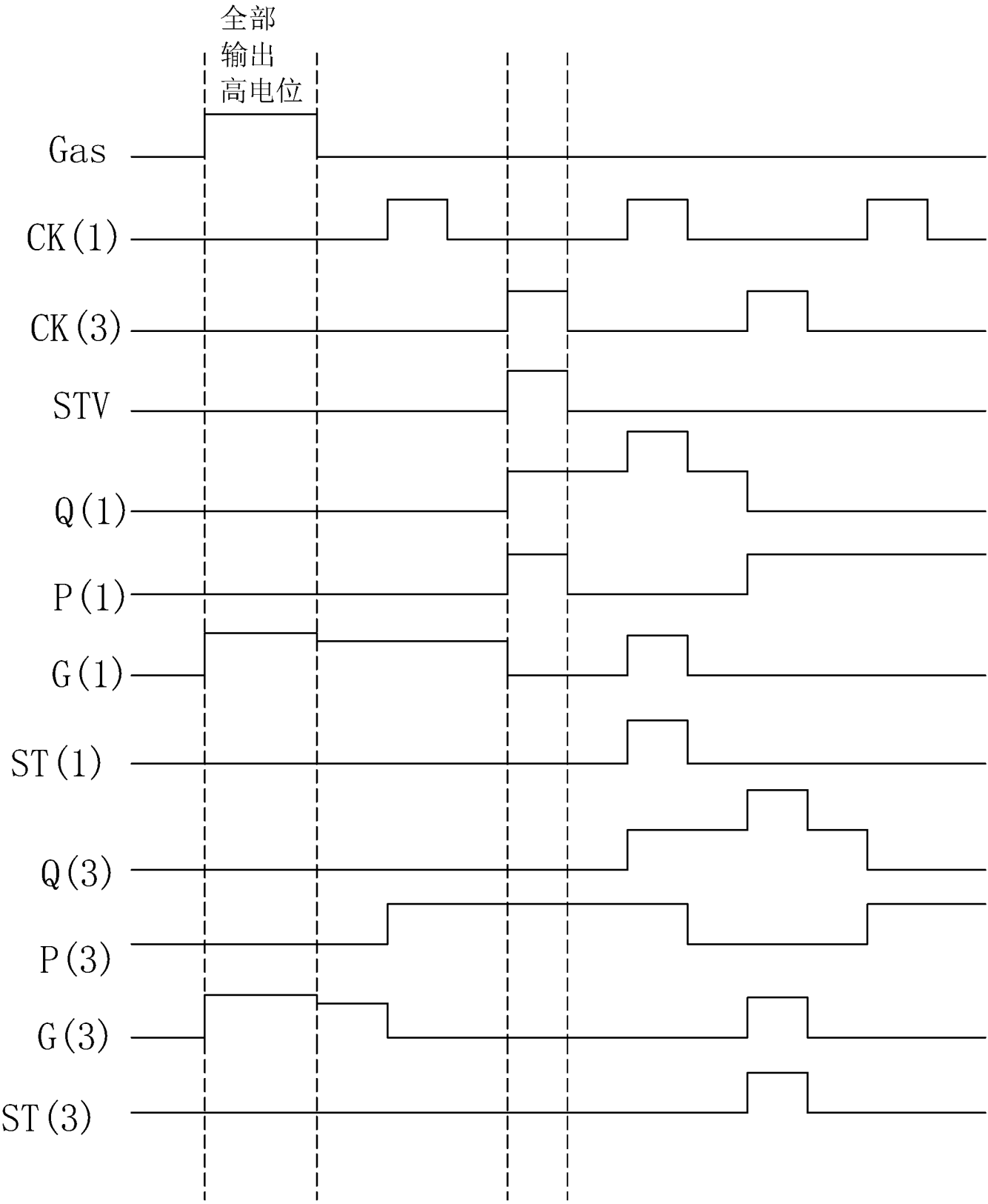


图4

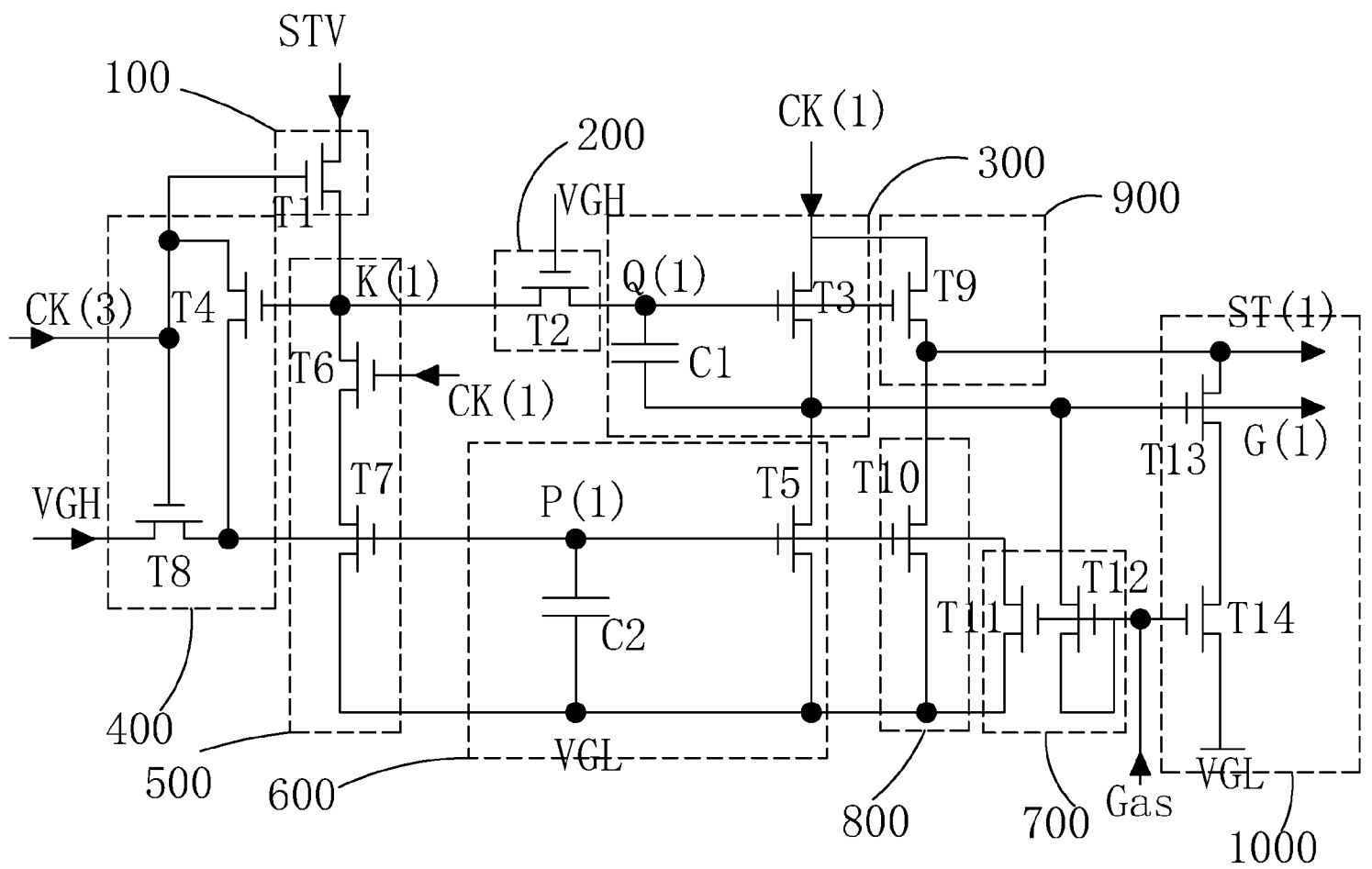


图5

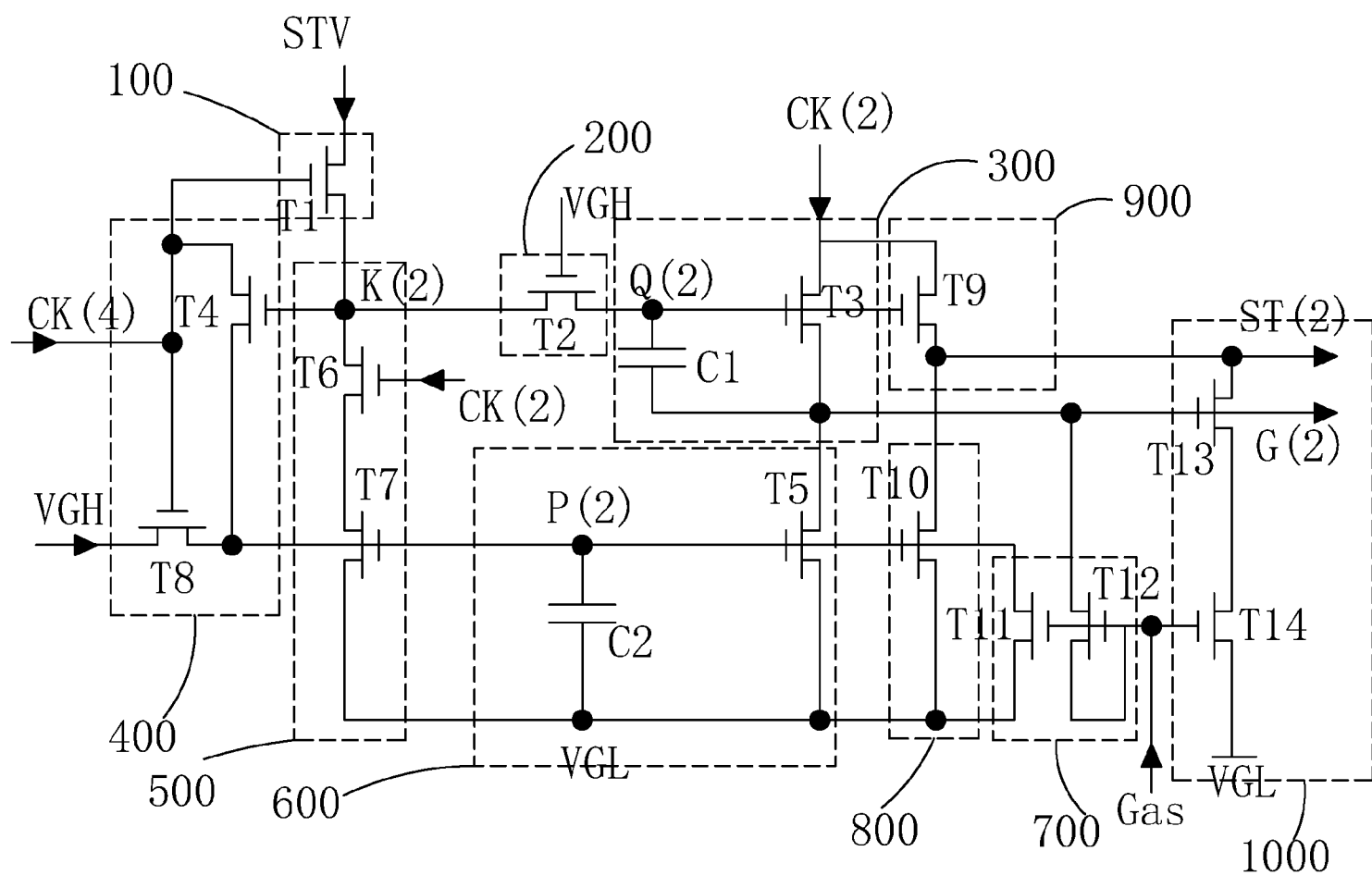


图6

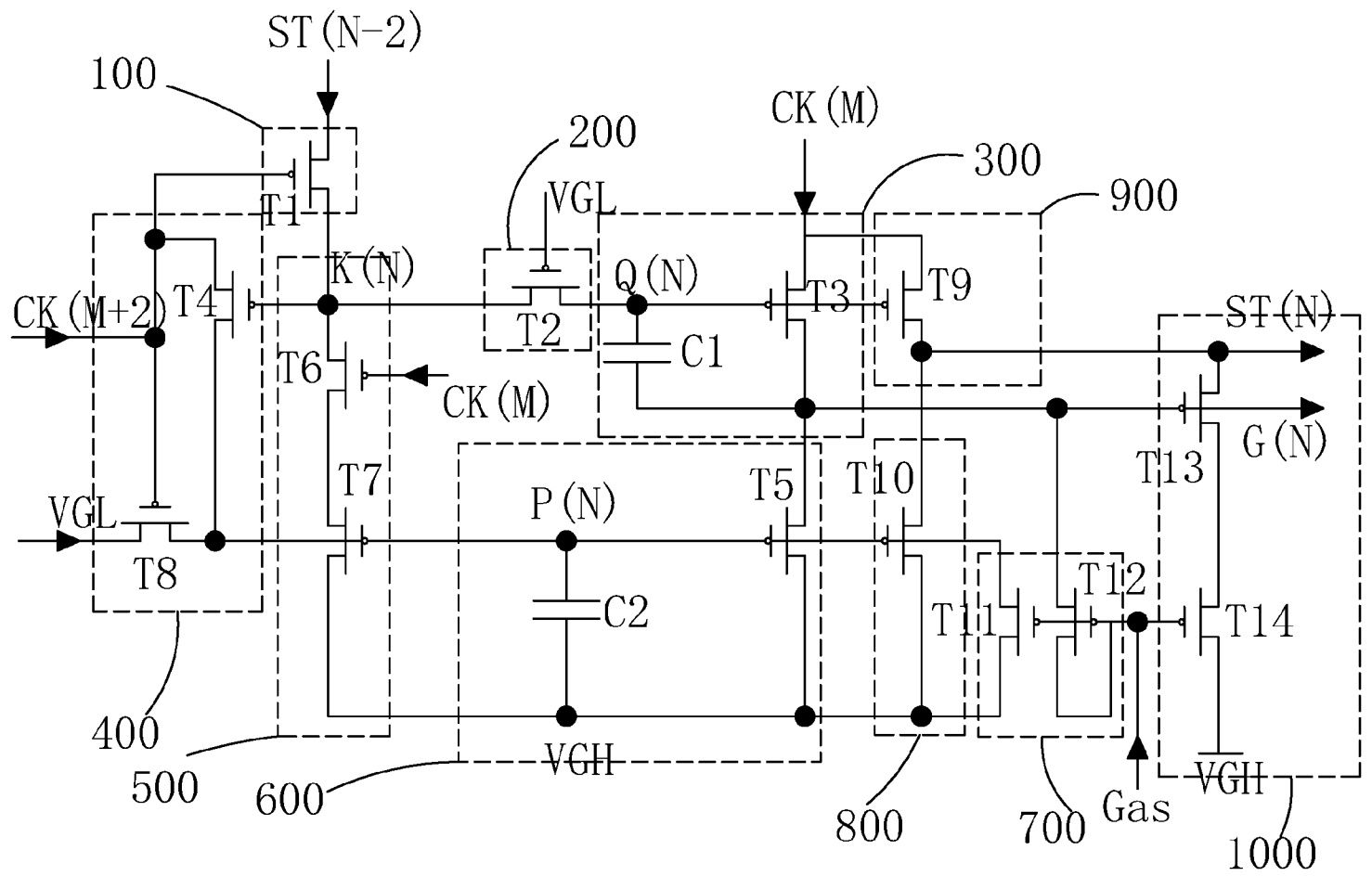


图7

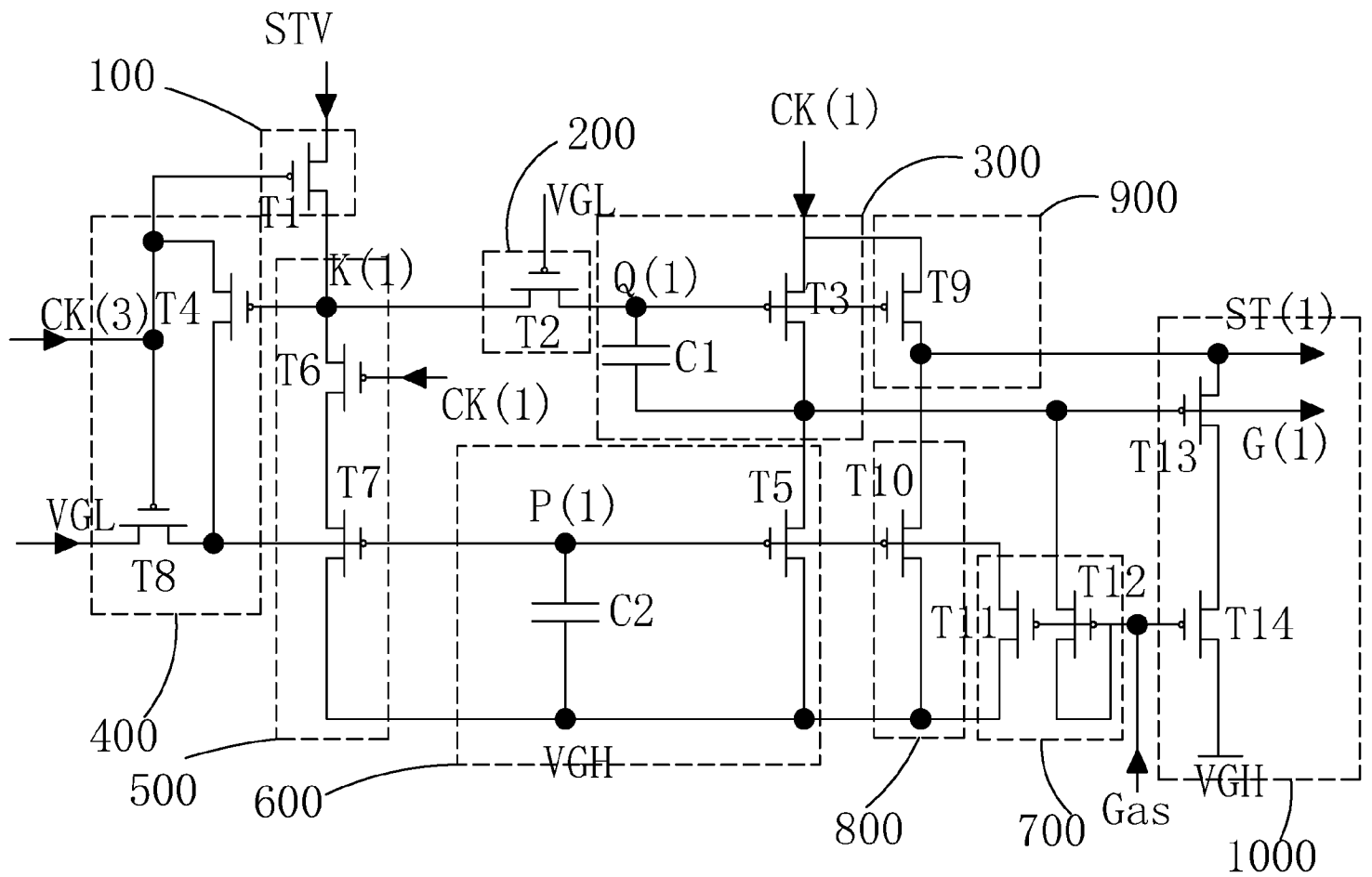


图8

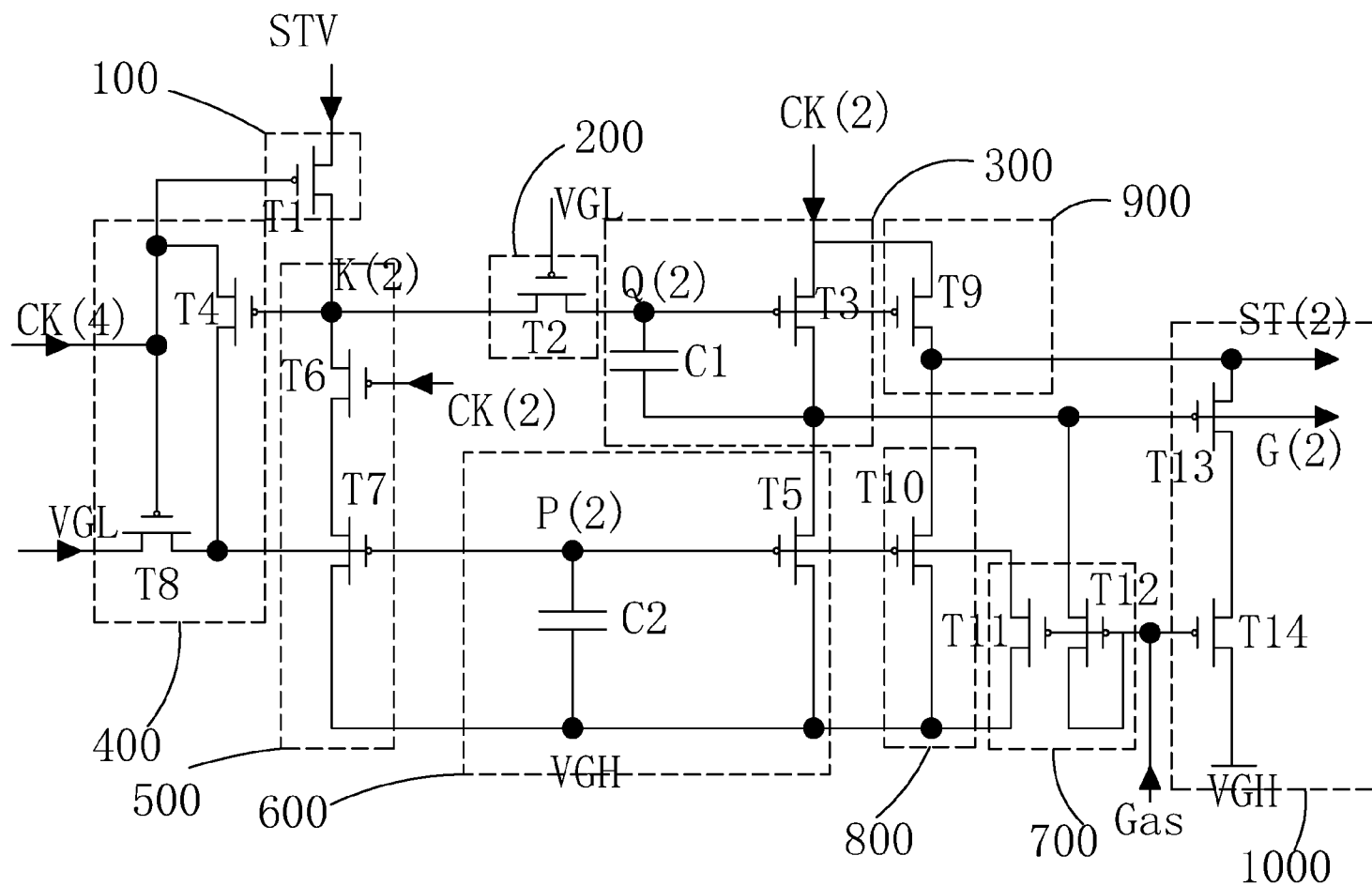


图9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/072849

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, IEEE, CNKI: GOA, GATE, DRIVE, GAS, CONTROL, SHIFT, REGISTER, IN, OUT, PULL, DOWN, AUXILIARY, GLOBAL CONTROL, chin star, control input, zhao mang, gate drive, output unit, global control auxiliary unit, PBGA, redundant pulse, array substrate, pull down maintain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105139820 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 09 December 2015 (09.12.2015) description, paragraphs [0002] and [0031]-[0041], and figure 2	1-16
A	CN 104464658 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 25 March 2015 (25.03.2015) the whole document	1-16
A	CN 102629461 A (BOE TECHNOLOGY GROUP CO., LTD.) 08 August 2012 (08.08.2012) the whole document	1-16
A	CN 104795034 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 22 July 2015 (22.07.2015) the whole document	1-16
A	CN 105047174 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 11 November 2015 (11.11.2015) the whole document	1-16
A	CN 104537992 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 April 2015 (22.04.2015) the whole document	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&” document member of the same patent family

Date of the actual completion of the international search 27 June 2016	Date of mailing of the international search report 26 July 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LU, Ran Telephone No. (86-10) 62414059

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/072849

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105139820 A	09 December 2015	None	
CN 104464658 A	25 March 2015	WO 2016070507 A1	12 May 2016
		US 2016126947 A1	05 May 2016
CN 102629461 A	08 August 2012	WO 2013123808 A1	29 August 2013
CN 104795034 A	22 July 2015	None	
CN 105047174 A	11 November 2015	None	
CN 104537992 A	22 April 2015	None	

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, WPI, EPODOC, IEEE, CNKI: 稳压单元, 阵列基板, 全局控制, 华星, 输出单元, 全局控制辅助单元, 控制输入, 移位寄存器, 赵莽, 下拉, 下拉维持, 冗余脉冲, 输入控制, 栅极驱动, GOA, GATE, DRIVE, GAS, CONTROL, SHIFT REGISTER, IN, OUT, PULL DOWN, AUXILIARY, GLOBAL CONTROL		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 105139820 A (深圳市华星光电技术有限公司 等) 2015年 12月 9日 (2015 - 12 - 09) 说明书第[0002], [0031]-[0041]段、附图2	1-16
A	CN 104464658 A (深圳市华星光电技术有限公司) 2015年 3月 25日 (2015 - 03 - 25) 全文	1-16
A	CN 102629461 A (北京京东方光电科技有限公司) 2012年 8月 8日 (2012 - 08 - 08) 全文	1-16
A	CN 104795034 A (深圳市华星光电技术有限公司 等) 2015年 7月 22日 (2015 - 07 - 22) 全文	1-16
A	CN 105047174 A (京东方科技集团股份有限公司 等) 2015年 11月 11日 (2015 - 11 - 11) 全文	1-16
A	CN 104537992 A (深圳市华星光电技术有限公司) 2015年 4月 22日 (2015 - 04 - 22) 全文	1-16
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2016年 6月 27日		国际检索报告邮寄日期 2016年 7月 26日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 陆然 电话号码 (86-10) 62414059

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/072849

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105139820	A	2015年 12月 9日	无			
CN	104464658	A	2015年 3月 25日	WO	2016070507	A1	2016年 5月 12日
				US	2016126947	A1	2016年 5月 5日
CN	102629461	A	2012年 8月 8日	WO	2013123808	A1	2013年 8月 29日
CN	104795034	A	2015年 7月 22日	无			
CN	105047174	A	2015年 11月 11日	无			
CN	104537992	A	2015年 4月 22日	无			