



# [12] 发明专利申请公布说明书

[21] 申请号 200680041998.3

[43] 公开日 2008年11月19日

[11] 公开号 CN 101310338A

[22] 申请日 2006.9.21

[21] 申请号 200680041998.3

[30] 优先权

[32] 2005.9.26 [33] US [31] 11/236,401

[86] 国际申请 PCT/US2006/036894 2006.9.21

[87] 国际公布 WO2007/038225 英 2007.4.5

[85] 进入国家阶段日期 2008.5.9

[71] 申请人 拉姆伯斯公司

地址 美国加利福尼亚州

[72] 发明人 E·特塞恩

[74] 专利代理机构 北京市金杜律师事务所

代理人 王茂华

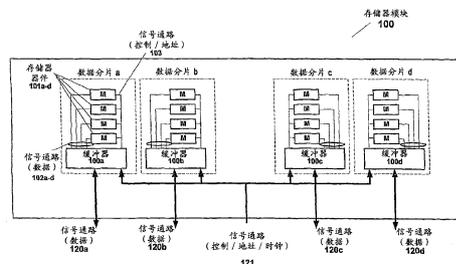
权利要求书 8 页 说明书 29 页 附图 18 页

## [54] 发明名称

在矩阵拓扑中包括多个集成电路存储器器件和多个缓冲器器件的存储器模块

## [57] 摘要

一种存储器模块，包括从多个相应的集成电路缓冲器器件向存储器模块连接器接口提供数据的多个数据通路，所述集成电路缓冲器器件访问来自相关联的多个集成电路存储器器件的数据。该存储器模块形成多个“数据分片”或者耦合至相应的集成电路缓冲器器件的存储器模块数据总线的多个部分。每个集成电路缓冲器器件还耦合至提供控制信息的总线，所述控制信息指定对至少一个集成电路存储器器件的访问。根据实施方式，SPD 器件存储关于存储器模块的配置信息的信息。在实施方式中，至少一个集成电路缓冲器器件访问存储在 SPD 器件中的信息。在封装实施方式中，封装容纳集成电路缓冲器裸片和多个集成电路存储器裸片。



1. 一种存储器模块, 包括:

连接器接口;

耦合至所述连接器接口的第一信号通路;

第一集成电路存储器裸片;

耦合至所述第一信号通路的第一集成电路缓冲器裸片, 所述第一集成电路缓冲器裸片用以从所述第一信号通路接收控制信息, 其中, 所述控制信息指定对所述第一集成电路存储器裸片的访问, 从而使所述第一集成电路存储器裸片响应于所述控制信息而向所述第一集成电路缓冲器裸片提供第一数据;

第二集成电路存储器裸片; 以及

耦合至所述第一信号通路的第二集成电路缓冲器裸片, 所述第二集成电路缓冲器裸片用以从所述第一信号通路接收控制信息, 其中, 所述控制信息指定对所述第二集成电路存储器裸片的访问, 从而使所述第二集成电路存储器裸片响应于所述控制信息而向所述第二集成电路缓冲器裸片提供第二数据。

2. 根据权利要求1所述的存储器模块, 还包括:

耦合至所述第一集成电路存储器裸片和第一集成电路缓冲器器件的第二信号通路, 其中, 所述第二信号通路专用于在所述第一集成电路存储器裸片和所述第一集成电路缓冲器器件之间携带所述第一数据;

耦合至所述第二集成电路存储器裸片和第二集成电路缓冲器器件的第三信号通路, 其中, 所述第三信号通路专用于在所述第二集成电路存储器裸片和第二集成电路缓冲器器件之间携带所述第二数据;

耦合至所述第一集成电路缓冲器器件和所述连接器接口的第四信号通路, 其中, 所述第四信号通路专用于在所述第一集成电路缓冲器器件和所述连接器接口之间携带所述第一数据; 以及

耦合至所述第二集成电路缓冲器器件和所述连接器接口的第五

信号通路，其中，所述第五信号通路专用于在所述第二集成电路缓冲器器件和所述连接器接口之间携带所述第二数据。

3. 根据权利要求1所述的存储器模块，其中，所述第一信号通路包括向所述第一集成电路缓冲器裸片和所述第二集成电路缓冲器裸片提供时钟信号的信号线。

4. 根据权利要求3所述的存储器模块，其中

所述第一集成电路缓冲器裸片使用第一时钟信号产生第二时钟信号，并将所述第二时钟信号提供给所述第一集成电路存储器裸片；以及

所述第二集成电路缓冲器裸片使用所述第一时钟信号产生第三时钟信号，并将所述第三时钟信号提供给所述第二集成电路存储器裸片。

5. 根据权利要求1所述的存储器模块，其中，所述第一信号通路包括第一信号线，用于向所述第一集成电路缓冲器裸片提供第一时钟信号、并向所述第二集成电路缓冲器裸片提供第二时钟信号。

6. 根据权利要求1所述的存储器模块，其中，所述第一集成电路缓冲器裸片部署在第一封装中，并且所述第一集成电路存储器裸片部署在第二封装中，并且其中，所述第二集成电路缓冲器裸片部署在第三封装中，并且所述第二集成电路存储器裸片部署在第四封装中。

7. 根据权利要求6所述的存储器模块，其中，所述第一封装堆叠在所述第二封装上。

8. 根据权利要求6所述的存储器模块，其中，第五封装包括第三集成电路存储器裸片，并且其中，所述第五封装堆叠在所述第一封装上。

9. 根据权利要求6所述的存储器模块，其中，所述第一封装堆叠在所述第二封装上，并且其中，第五封装包括第三集成电路存储器裸片，并且其中，所述第五封装堆叠在所述第一封装上。

10. 根据权利要求1所述的存储器模块，其中，所述第一集成电路缓冲器裸片和所述第一集成电路存储器裸片部署在第一公共封装

中，并且其中，所述第二集成电路缓冲器裸片和所述第二集成电路存储器裸片部署在第二公共封装中。

11. 根据权利要求1所述的存储器模块，包括：

所述第一信号通路中的信号线，用以将时钟信号从所述第一集成电路缓冲器裸片提供给所述连接器接口；以及

耦合至第一集成电路缓冲器器件和所述连接器接口的第二信号通路，所述第二信号通路用以在所述第一集成电路缓冲器器件和所述连接器接口之间携带所述第一数据，其中，所述第一数据按照与时钟信号的时间关系进行传播。

12. 根据权利要求1所述的存储器模块，包括：

耦合至第一集成电路缓冲器器件和所述连接器接口的第二信号通路，所述第二信号通路用以在所述第一集成电路缓冲器器件和所述连接器接口之间携带所述第一数据，其中，所述第一数据按照与时钟信号的时间关系进行传播；以及

所述第二信号通路中的第一信号线，用以提供所述时钟信号。

13. 根据权利要求1所述的存储器模块，包括：

耦合至第一集成电路缓冲器器件和所述连接器接口的第二信号通路，所述第二信号通路用以在所述第一集成电路缓冲器器件和所述连接器接口之间携带所述第一数据，其中，所述第一数据按照与选通信号的时间关系进行传播；以及

所述第二信号通路中的第一信号线，用以提供所述选通信号。

14. 根据权利要求13所述的存储器模块，其中，所述选通信号是双向的。

15. 根据权利要求13所述的存储器模块，其中，所述选通信号是单向的。

16. 根据权利要求1所述的存储器模块，包括：

所述第一信号通路中的信号线，用以将时钟信号从所述连接器接口提供给所述第一集成电路缓冲器裸片；

耦合至第一集成电路缓冲器器件和所述连接器接口的第二信号

通路；以及

所述第二信号通路中的信号线，用以通过所述第一集成电路缓冲器裸片提供将要在所述第一集成电路存储器裸片中存储的写入数据，其中，所述写入数据与所述时钟信号具有时间关系。

17. 根据权利要求 1 所述的存储器模块，包括：

耦合至第一集成电路缓冲器器件和所述连接器接口的第二信号通路；

所述第二信号通路中的信号线，用以将时钟信号从所述连接器接口提供给所述第一集成电路缓冲器裸片；以及

所述第二信号通路中的信号线，用以通过所述第一集成电路缓冲器裸片从所述连接器接口提供将要存储到所述第一集成电路存储器裸片中的写入数据，其中，所述写入数据与所述时钟信号具有时间关系。

18. 根据权利要求 1 所述的存储器模块，包括：

耦合至第一集成电路缓冲器器件和所述连接器接口的第二信号通路；

所述第二信号通路中的信号线，用以将选通信号从所述连接器接口提供给所述第一集成电路缓冲器裸片；以及

所述第二信号通路中的信号线，用以通过所述第一集成电路缓冲器裸片从所述连接器接口提供将要存储在所述第一集成电路存储器裸片中的写入数据，其中，所述写入数据与所述选通信号具有时间关系。

19. 根据权利要求 18 所述的存储器模块，其中，所述选通信号是双向的。

20. 根据权利要求 18 所述的存储器模块，其中，所述选通信号是单向的。

21. 根据权利要求 1 所述的存储器模块，还包括：

耦合至所述第一信号通路的终端器。

22. 根据权利要求 21 所述的存储器模块，其中，所述终端器部署

在所述存储器模块上。

23. 根据权利要求 21 所述的存储器模块, 其中, 所述终端器部署在所述第一集成电路缓冲器裸片上。

24. 根据权利要求 21 所述的存储器模块, 其中, 所述终端器部署在容纳所述第一集成电路缓冲器裸片的封装中。

25. 根据权利要求 1 所述的存储器模块, 还包括:

耦合至所述第一集成电路存储器裸片和第一集成电路缓冲器器件的第二信号通路, 所述第二信号通路用于在所述第一集成电路存储器裸片和所述第一集成电路缓冲器器件之间携带所述第一数据;

耦合至所述第二集成电路存储器裸片和第二集成电路缓冲器器件的第三信号通路, 所述第三信号通路用以在所述第二集成电路存储器裸片和第二集成电路缓冲器器件之间携带所述第二数据;

耦合至所述第二信号通路的第一终端器; 以及

耦合至所述第三信号通路的第二终端器。

26. 根据权利要求 25 所述的存储器模块, 其中, 所述第一终端器部署在所述存储器模块上, 并且所述第二终端器部署在所述存储器模块上。

27. 根据权利要求 25 所述的存储器模块, 其中, 所述第一终端器部署在所述第一集成电路缓冲器裸片上, 并且所述第二终端器部署在所述第二集成电路缓冲器裸片上。

28. 根据权利要求 25 所述的存储器模块, 其中, 所述第一终端器部署在容纳所述第一集成电路缓冲器裸片的封装上, 并且所述第二终端器部署在容纳所述第二集成电路缓冲器裸片的封装上。

29. 根据权利要求 1 所述的存储器模块, 其中, 所述第一集成电路缓冲器裸片部署在第一封装中, 并且所述第一集成电路存储器裸片部署在第二封装中,

其中, 所述第二集成电路缓冲器裸片部署在第三封装中, 并且所述第二集成电路存储器裸片部署在第四封装中,

其中, 所述第一封装和第二封装部署在所述存储器模块的第一侧

上, 以及

其中, 所述第三封装和第四封装部署在所述存储器模块的第二侧上。

30. 根据权利要求1所述的存储器模块, 其中, 所述第一集成电路存储器裸片包括具有第一类型存储单元的存储器阵列, 并且所述第二集成电路存储器裸片包括具有第二类型存储单元的存储器阵列, 其中, 所述第一类型存储单元不同于所述第二类型存储单元。

31. 根据权利要求1所述的存储器模块, 其中:

所述第一集成电路缓冲器裸片和所述第二集成电路缓冲器裸片接收 DDR3 格式的控制信息;

所述第一集成电路缓冲器裸片提供与所述第一集成电路缓冲器裸片的所述控制信息相对应的 DDR2 控制信号; 以及所述第二集成电路缓冲器裸片提供与所述第二集成电路存储器裸片的所述控制信息相对应的 DDR2 控制信号。

32. 根据权利要求1所述的存储器模块, 其中所述第一集成电路缓冲器裸片和所述第二集成电路缓冲器裸片接收第一信号类型形式的控制信息, 并且向相应的第一集成电路存储器裸片和第二集成电路存储器裸片提供第二信号类型形式的控制信号, 其中, 所述第一信号类型不同于所述第二信号类型。

33. 根据权利要求1所述的存储器模块, 其中, 所述第一集成电路缓冲器裸片和所述第二集成电路缓冲器裸片接收第一协议格式的第一控制信息和第二控制信息, 并且向所述第一集成电路存储器裸片和所述第二集成电路存储器裸片提供第二协议格式的控制信号, 其中, 所述第一协议格式不同于所述第二协议格式。

34. 根据权利要求1所述的存储器模块, 其中, 所述第一集成电路缓冲器裸片和所述第二集成电路缓冲器裸片包括对所述第一存储器裸片和所述第二存储器裸片进行仿真的逻辑。

35. 根据权利要求1所述的存储器模块, 还包括:

至少一个非易失性存储位置, 用以存储关于所述存储器模块的配

置的信息。

36. 一种存储器模块，包括：

接口；

第一封装，包括缓冲器和具有存储器阵列的集成电路存储器器件，其中，所述第一封装的所述缓冲器耦合至所述接口；

第二封装，包括缓冲器和具有存储器阵列的集成电路存储器器件，其中，所述第二封装的所述缓冲器耦合至所述接口；以及

至少第一非易失性存储位置，用以存储关于所述存储器模块的配置的信息。

37. 根据权利要求 36 所述的存储器模块，其中，所述至少第一非易失性存储位置是串行存在检测器件，并且所述信息至少包括所述存储器模块中包含的集成电路存储器器件的数目以及所述集成电路存储器器件的定时信息。

38. 根据权利要求 36 所述的存储器模块，其中所述至少第一非易失性存储位置包括在所述第一封装中，并且包含所述信息的至少第二非易失性存储位置包括在所述第二封装中。

39. 根据权利要求 36 所述的存储器模块，其中，所述至少第一非易失性存储位置包括在所述第一封装中。

40. 根据权利要求 36 所述的存储器模块，其中，所述至少第一非易失性存储位置包括在部署在所述存储器模块上的第三封装中。

41. 根据权利要求 36 所述的存储器模块，其中，所述信息至少包括用以修复所述第一封装的所述集成电路存储器器件的信息。

42. 根据权利要求 36 所述的存储器模块，其中，所述第一封装的所述缓冲器读取存储在所述至少第一非易失性存储位置中的所述信息。

43. 根据权利要求 36 的存储器模块，其中，所述第一封装的所述缓冲器写入存储在所述至少第一非易失性存储位置中的所述信息。

44. 根据权利要求 36 所述的存储器模块，其中，所述信息在所述接口和所述至少第一非易失性存储位置之间传送。

45. 一种存储器模块，包括：

连接器接口；

耦合至所述连接器接口的第一信号通路；

第一集成电路存储器裸片；

第二集成电路存储器裸片；

耦合至所述第一信号通路的第一集成电路缓冲器裸片，所述第一集成电路缓冲器裸片用以从所述第一信号通路接收第一控制信息，其中，所述第一控制信息指定对所述第一集成电路存储器裸片的访问；

耦合至所述第一信号通路的第二集成电路缓冲器裸片，所述第二集成电路缓冲器裸片用以从所述第一信号通路接收第二控制信息，其中，所述第二控制信息指定对所述第二集成电路存储器裸片的访问；  
以及

信号线，用以向所述第一集成电路缓冲器裸片和所述第二集成电路缓冲器裸片提供第一时钟信号，其中：

所述第一集成电路缓冲器裸片使用所述第一时钟信号产生第二时钟信号，并且将所述第二时钟信号提供给所述第一集成电路存储器裸片；以及

所述第二集成电路缓冲器裸片使用所述第一时钟信号产生第三时钟信号，并将所述第三时钟信号提供给所述第一集成电路存储器裸片。

## 在矩阵拓扑中包括多个集成电路存储器器件 和多个缓冲器器件的存储器模块

### 技术领域

本发明总体涉及集成电路器件、这种器件的高速信号、存储器器件以及存储器系统。

### 背景技术

一些当代的趋势预言：处理器，诸如通用微处理器和图形处理器，将继续增大对系统存储和数据带宽的要求。通过在使用中使用诸如多核处理器架构和多图形流水线的并行机制，处理器应当能够以被预测为在未来 10 年里每 3 年增大一倍的速度拉动系统带宽的增长。动态随机访问存储器（“DRAM”）中存在若干主要趋势，这些趋势可能使 DRAM 出奇昂贵并且对跟上增长的数据带宽要求和系统存储要求提出挑战。例如，相对于给定 DRAM 技术节点中特征尺寸改进的晶体管速度，以及使 DRAM 技术适应给定 DRAM 裸片的更大存储密度所需的增大的成本都对 DRAM 技术跟上增大的数据带宽要求和系统容量要求的速度产生不利影响。

### 附图说明

在附图中通过示例而非限制的方式对实施方式进行了描述，在附图中，类似的附图标记表示类似的元件，其中：

图 1 示出了包括多个集成电路存储器器件和多个集成电路缓冲器器件的存储器模块拓扑；

图 2 示出了具有分离的多分支控制/地址总线的存储器模块拓扑；

图 3 示出了具有单个多分支控制/地址总线的存储器模块拓扑；

图 4 示出了在每个集成电路缓冲器器件和存储器模块连接器接口

之间提供数据的存储器模块拓扑；

图 5 示出了包括多个集成电路存储器器件和多个集成电路缓冲器器件的、具有用于控制和地址信息的集成电路缓冲器器件的存储器模块拓扑；

图 6 示出了图 5 存储器模块拓扑中控制/地址信号通路的终端器 (termination)；

图 7 示出了图 5 存储器模块拓扑中数据信号通路的终端器；

图 8 示出了图 5 存储器模块系统中分离的控制/地址信号通路的终端器；

图 9A 示出了包括多个集成电路存储器器件和多个集成电路缓冲器器件的存储器模块拓扑顶视图；

图 9B 示出了包括多个集成电路存储器器件和多个集成电路缓冲器器件的存储器模块拓扑侧视图；

图 9C 示出了包括多个集成电路存储器器件和多个集成电路缓冲器器件的存储器模块拓扑底视图；

图 10 是示出了具有多个集成电路存储器裸片和集成电路缓冲器裸片的器件拓扑框图；

图 11 示出了具有多个集成电路存储器裸片和集成电路缓冲器裸片的多芯片封装 (“MCP”) 器件；

图 12 示出了具有多个集成电路存储器裸片的封装器件和具有缓冲器裸片的另一个封装器件；两个封装在单个堆叠封装 (“POP”) 器件中被堆叠并容纳在一起；

图 13 示出了具有多个集成电路存储器器件和部署在柔性带上的缓冲器器件的器件；

图 14 示出了具有并排布置并容纳在封装中的多个集成电路存储器裸片和缓冲器裸片的器件；

图 15 示出了具有容纳在单独封装中、并被一起集成到更大的 POP 器件中的多个集成电路存储器裸片和缓冲器裸片的器件；

图 16 示出了包括串行存在检测设备 (“SPD”) 的存储器模块拓

扑;

图 17 示出了每个数据分片 (data slice) 都具有 SPD 的存储器模块拓扑;

图 18 是集成电路缓冲器裸片的框图;

图 19 是存储器器件的框图。

### 具体实施方式

根据实施方式, 存储器模块包括从多个相应的集成电路缓冲器器件 (或裸片) 向存储器模块连接器提供数据的多个信号通路, 所述集成电路缓冲器器件 (或裸片) 从相关的多个集成电路存储器器件 (或裸片) 访问数据。在具体实施方式中, 每个集成电路缓冲器器件还与提供控制和/或地址信息的母线信号通路耦合, 所述信息指定对至少一个与各自集成电路缓冲器器件相关联的集成电路存储器器件进行访问。

根据实施方式, 存储器模块连接器包括控制/地址接口部分和数据接口部分。控制/地址总线将多个集成电路缓冲器器件耦合至控制/地址接口部分。多个数据信号通路将多个相应的集成电路缓冲器器件耦合至数据接口部分。每个集成电路缓冲器器件包括: 1) 与至少一个集成电路存储器器件耦合的接口, 2) 耦合至控制/地址总线的接口, 以及 3) 耦合至多个数据信号通路中的数据信号通路的接口。

根据实施方式, 存储器模块可以包括非易失性存储器位置, 例如使用电可擦可编程只读存储器 (“EEPROM”) (也公知为串行存在检测 (“SPD”) 设备), 以便存储关于存储器模块的参数和配置的信息。在实施方式中, 至少一个集成电路缓冲器器件访问存储在 SPD 器件中的信息。

在封装实施方式中, 封装容纳集成电路缓冲器裸片和多个集成电路存储器裸片。在封装中, 多个信号通路在集成电路缓冲器裸片和多个集成电路存储器裸片之间传送数据 (读出数据和/或写入数据)。集成电路缓冲器裸片从封装的接口向多个集成电路存储器裸片提供控

制信号。响应于控制信号，通过集成电路缓冲器裸片将存储在多个集成电路存储器裸片的存储器阵列中的数据提供给部署在存储器模块上的信号通路。在实施方式中，封装可以是多芯片封装（“MCP”）。在实施方式中，可以将多个集成电路存储器裸片容纳在公共的或单独的封装中。在下面描述的实施方式中，存储器模块可以包括堆叠在彼此顶部并通过信号通路耦合的一系列集成电路裸片（即，存储器裸片和缓冲器裸片）。

这里描述的集成电路缓冲器器件也称为缓冲器或者缓冲器器件。同样，集成电路存储器器件也称为存储器器件。

在实施方式中，集成电路存储器器件和存储器裸片是不同的，因为：存储器裸片是由半导体材料形成的、用于存储和/或取回数据或其他存储器功能的单片式集成电路，而集成电路存储器器件是至少具有允许访问存储器裸片的接口或某种封装形式的存储器裸片。

同样，在实施方式中，集成电路缓冲器器件与缓冲器裸片是不同的，因为：缓冲器裸片是由半导体材料形成的、并至少执行在此描述的一个或多个功能的单片式集成电路，而集成电路缓冲器器件是至少具有允许与缓冲器裸片通信的接口或某种封装形式的缓冲器裸片。

在以下更加详细描述的实施方式中，图 1-图 8 示出了包括具有位于存储器模块上的多个集成电路存储器器件（或裸片）和多个集成电路缓冲器器件（或裸片）的控制/地址和数据信号通路拓扑。此外，图 10、图 18 和图 19 还示出了包括位于存储器模块上的集成电路存储器器件（或裸片）和集成电路缓冲器器件（或裸片）的信号通路拓扑，并且示出了集成电路缓冲器器件（或裸片）和存储器器件（或裸片）在实施方式中的操作。

图 1 示出了具有多个集成电路存储器器件和多个相关联的集成电路缓冲器器件的存储器模块拓扑。在实施方式中，存储器模块 100 包括耦合至公共地址/控制信号通路 121 的多个缓冲器器件 100a-100d。多个缓冲器器件 100a-100d 中的每个缓冲器器件都提供了经由信号通路 102a-102d 和 103 对多个相应的集成电路存储器器件 101a-101d 的

访问。在实施方式中，相应的数据分片 a-d 由缓冲器 100a-100d 之一以及存储器器件 101a-101d 的集合形成。缓冲器器件 100a-100d 分别耦合至信号通路 120a-120d，这些信号通路在缓冲器器件 100a-100d 和存储器模块连接器接口之间传送数据（读出数据和写入数据）。在实施方式中，分别使用信号通路 120a-120d 将掩蔽信息从存储器模块连接器接口传送到缓冲器器件 100a-100d。

在实施方式中，数据分片是耦合至各自集成电路缓冲器器件的存储器模块数据信号通路（或总线）的一部分。数据分片可以包括去往和来自部署在存储器模块上的单个存储器器件的全部数据通路或者部分数据通路。

可以将集成电路存储器器件视作具有多个存储单元的集成电路器件的公共类，统称为存储器阵列。存储器器件存储与例如作为写入或读出命令的一部分提供的具体地址相关联的数据（该数据可被取回）。存储器器件类型的示例包括：动态随机访问存储器（“DRAM”），包括单倍数据速率和双倍数据速率同步 DRAM；静态随机访问存储器（“SRAM”）；以及闪存。存储器器件通常包括请求或命令解码以及阵列访问逻辑，该存储器器件除了其他功能之外还对请求和地址信息进行解码，并控制存储器阵列和信号通路之间的存储传送。存储器器件可以包括传输器电路，用以例如关于（例如，存储器器件中的双倍数据速率类型的）时钟信号的上升沿或下降沿同步地输出数据。类似地，在一种实施方式中，存储器器件可以包括接收器电路，用以例如关于时钟信号的上升沿或下降沿同步地接收数据，或者关于与时钟信号具有时间关系的输出数据同步地接收数据。还可以包括关于时钟信号的上升沿或下降沿同步接收控制信息的接收器电路。在实施方式中，传播至或来自于存储器器件的数据可以伴有选通信号，并且器件（例如，存储器器件或缓冲器，或控制器）可以使用选通信号来捕获该数据。

在实施方式中，集成电路缓冲器器件是在存储器模块连接器接口与至少一个集成电路存储器器件之间充当接口的集成电路。在实施方

式中，缓冲器器件可以将数据、控制信息、地址信息和/或时钟信号存储到和/或路由到可以容纳在公共或单独封装中的至少一个集成电路存储器器件。在实施方式中，缓冲器对多个存储器器件和存储器模块连接器接口之间的数据、控制信号和时钟信号中的一种或其组合进行隔离、路由和/或转换。存储器模块连接器接口的实施方式在下文描述，并在图 9A-图 9C 中示出。

如图 1 所示，在各种实施方式中，至少一个信号通路 121 部署在存储器模块 100 上，该信号通路 121 在至少一个缓冲器器件 100a-100d 和存储器模块连接器接口之间传送控制和/或地址（控制/地址）信息。在实施方式中，信号通路 121 是多分支总线。如图 2-图 8 所示以及下文描述，在可选实施方式中可以使用在一个或多个缓冲器器件 100a-100d 和存储器模块连接器接口之间传送控制/地址信息、数据信号和时钟信号的可选拓扑。例如，可以使用分离的多分支控制/地址总线、分段的多分支控制/地址总线，以及点对点和/或菊花链拓扑。

在实施方式中，时钟信号和/或时钟信息可以在信号通路 121 中的至少一个信号线上传送。这些时钟信号提供具有已知频率和/或相位的一个或多个时钟信号。在实施方式中，时钟信号与控制/地址信息同步或随同其一起传送。在实施方式中，时钟信号沿与代表控制/地址信息的控制/地址信号沿具有时间关系。在实施方式中，时钟信号由时钟源、主控器（master）器件（例如，控制器器件）和/或缓冲器器件产生。

在实施方式中，时钟信号和/或时钟信息可以在各自的信号通路 120a-120d 中的至少一个信号线上传送。缓冲器器件 100a-100d 可以接收和/或传输信号通路 120a-120b 上的时钟信号和数据。在实施方式中，将写入数据在信号通路 120a-120d 上提供给缓冲器器件 100a-100d，并且将时钟信号随同写入数据一起提供在信号通路 120a-120d 上。在实施方式中，将来自缓冲器器件 100a-100d 的时钟信号（诸如，时钟-到-主控器（“CTM”））随同信号通路 120a-120d 上的读出数据一起提供在信号通路 120a-120d 上。在实施方式中，时钟信号与写入和/或读出数据同步或随同其一起传送。时钟信号沿与代表

写入和/或读出数据的数据信号沿具有时间关系或与之对齐。时钟信息可以嵌入在数据中，从而不必使用与数据信号相伴的单独的时钟信号。

在实施方式中，读出、写入和/或双向选通信号可以在各个信号通路 120a-120d 中的至少一个信号线上传送。缓冲器器件 100a-100d 可以接收和/或传输信号通路 120a-120b 的选通信号和数据。在实施方式中，将写入数据在信号通路 120a-120d 上提供给缓冲器器件 100a-100d，并且将选通信号随同写入数据一起提供在信号通路 120a-120d 上。在实施方式中，将来自缓冲器器件 100a-100d 的选通信号随同信号通路 120a-120d 上的读出信号一起提供在信号通路 120a-120d 上。在实施方式中，选通信号与写入和/或读出数据同步或随同其一起传送。选通信号沿与代表写入和/或读出数据的数据信号沿具有时间关系或与之对齐。

在实施方式中，从存储器模块连接器接口在信号通路 121 上提供用于访问具体集成电路存储器器件中具体存储器位置的地址（例如，行和/或列地址）和/或命令。在实施方式中，命令与具体集成电路存储器器件的存储器操作相关。例如，命令可以包括将写入数据存储在具体集成电路存储器器件中的具体存储器位置的写入命令，和/或用于从具体集成电路存储器器件取回存储在具体存储器位置的读出数据的读出命令。而且，可以同时访问不同数据分片中的多个存储器器件。在实施方式中，命令可以包括行命令、诸如读出或写入的列命令、掩蔽信息、预充电和/或感测命令。在实施方式中，通过公共线路集合将控制信息在信号通路 121 上以时分复用分组形式来传送，其中，分组中的特定字段用于包括命令操作码和/或地址。同样，可以将读出数据分组从集成电路存储器器件经过缓冲器 100a-100d 在各自的信号通路 120a-120d 上传送给存储器模块连接器接口。在实施方式中，分组代表在具体位窗口（或时间间隔）处断言的、用于在具体信号线上断言信号的一个或多个信号。

在实施方式中，存储器模块 100（通过存储器模块连接器接口）

与主控制器器件（例如，处理器或者控制器）通信。

图 2 示出了具有分离的多分支控制/地址/时钟总线的存储器模块拓扑的实施方式。具体地，存储器模块 200 包括与缓冲器 100a-100d 和存储器模块连接器接口相耦合的分离的多分支控制/地址总线 221。参考图 2，总线 221 的第一部分终结于终端器 230，并且总线 221 的第二部分终结于终端器 231。在实施方式中，终端器 230 的阻抗与耦合至缓冲器 100c-100d 的总线 221 的第一部分的阻抗（ $Z_0$ ）相匹配，并且终端器 231 的阻抗与耦合至缓冲器 100a-100b 的总线 221 的第二部分的阻抗（ $Z_1$ ）相匹配。在实施方式中，阻抗  $Z_0$  等于阻抗  $Z_1$ 。在实施方式中，终端器 230 和 231 单独地或结合地部署在存储器模块 100 上、缓冲器器件 100a 和 100d 上、或用以容纳器件 100a 和 100d 的封装上。

图 3 示出了具有由终端器 330 终结的单个多分支控制/地址/时钟总线的存储器模块拓扑。在实施方式中，终端器 330 的阻抗与信号通路 121（或者控制/地址/时钟总线）的阻抗相匹配。在实施方式中，终端器 330 单独地或结合地部署在存储器模块 300 上或缓冲器器件 100d 上。

图 4 示出了在每个集成电路缓冲器器件和存储器模块连接器接口之间提供数据的存储器模块拓扑。在实施方式中，每个信号通路 120a-120d 分别终结于相关联的终端器 420a-420d。在实施方式中，终端器 420a-420d 具有与信号通路 120a-120d 的每个的阻抗  $Z_0$  相匹配的相应的阻抗。在实施方式中，终端器 420a-420d 单独地或结合地部署在存储器模块 400 上、每个缓冲器器件 100a-100d 上、或者容纳缓冲器器件 100a-100d 的封装上。

参考图 1，信号通路 121 和信号通路 103 的控制/地址信号比率可以是 2:1（或者其他倍数，诸如 4:1、8:1 等），使存储器模块连接器接口能够按照指定的速度操作，而同时存储器器件 101a-101d 可以以一半（四分之一、八分之一等）的数据信令速率进行操作，从而可以使用相对较低成本的存储器器件。

图 5 示出了包括多个集成电路存储器器件和多个集成电路缓冲器器件的、具有用于控制地址和/或时钟信息的集成电路缓冲器器件 501 的存储器模块拓扑。存储器模块 500 类似于存储器模块 100，除了缓冲器器件 501 耦合至信号通路 121 和 121a-121b 之外。缓冲器器件 501 在信号通路 121a 上将控制、地址和/或时钟信息输出至缓冲器器件 100a-100b，并在信号通路 121b 上将控制、地址和/或时钟信息输出至缓冲器器件 100c-100d。在实施方式中，缓冲器器件 501 复制在信号通路 121 上接收到的控制、地址和/或时钟信息，并在信号通路 121a-121b 上重复控制、地址和/或时钟信息。在实施方式中，缓冲器器件 501 是时钟缓冲器器件，其提供与信号通路 121a-121b 上所提供的控制和地址信息的时间关系。在实施方式中，信号通路 121a-121b 包括提供时钟信号和/或时钟信息的至少一个信号线。在实施方式中，缓冲器器件 501 包括如图 18 所示的时钟电路 1870。在实施方式中，缓冲器器件 501 接收指定对至少一个集成电路存储器器件 101a-101d 的访问的控制信息，诸如分组请求，并将对应的控制信号（在信号通路 121a 和/或 121b 上）输出至指定的集成电路存储器器件。

图 6 示出了除了终端器 601 耦合至存储器模块 600 上的信号通路 121 以外，与图 5 中所示存储器模块拓扑类似的存储器模块拓扑。在实施方式中，终端器 601 的阻抗与信号通路 121 的阻抗  $Z_0$  相匹配。在实施方式中，终端器 601 部署在存储器模块 600、缓冲器器件 501，或者用来容纳缓冲器器件 501 的封装上。

图 7 示出了提供发往和/或来自耦合至信号通路的每个集成电路缓冲器器件和终端器的数据的存储器模块拓扑。在实施方式中，每个信号通路 120a-120d 分别终结于相关联的终端器 701a-701d。在实施方式中，终端器 701a-701d 具有与每个信号通路 120a-120d 的阻抗  $Z_0$  相匹配的阻抗。在实施方式中，终端器 701a-701d 单独地或结合地部署在存储器模块 700 上、缓冲器器件 100a-100d 上、或者用来容纳缓冲器器件 100a-100d 的封装上。

图 8 示出了在用于控制、地址和/或时钟信息的缓冲器器件与多个

缓冲器器件之间具有分离的多分支信号通路的存储器模块拓扑。具体地，存储器模块 800 包括耦合至缓冲器 100a-100d 和缓冲器器件 501 的分离的多分支控制/地址总线 121a-121b。在实施方式中，总线的第一部分 121a 终结于终端器 801，并且总线的第二部分 121b 终结于终端器 802。在实施方式中，终端器 801 的阻抗与第一段的阻抗 ( $Z_0$ ) 相匹配，并且终端器 802 的阻抗与第二段的阻抗 ( $Z_1$ ) 相匹配。在实施方式中，阻抗  $Z_0$  等于阻抗  $Z_1$ 。在实施方式中，终端器 801 和 802 单独地或结合地部署在存储器模块 800 上、缓冲器器件 100a 和 100d 上、或者用来容纳缓冲器器件 100a 和 100d 的封装上。

参考图 5，信号通路 121 与信号通路 121a (或者 121b) 及信号通路 103 的控制/地址信号比率可以是 2:1:1 (或者是其他倍数，诸如 4:1:1、8:1:1 等)，从而使得使用信号通路 121a (或者 121b) 和信号通路 103 的其他多分支总线拓扑实施方式不必一定按照如图 1 中所示使用信号通路 121 的实施方式一样高的信号速率来进行操作。而且类似于图 1，信号通路 121 与信号通路 103 的控制/地址信号比率可以是 2:1 (或者其他倍数，诸如 4:1、8:1 等)，使得存储器模块连接器接口能够按照指定的速度操作，而同时存储器器件 101a-101d 可以以一半 (或者四分之一、八分之一等) 的控制/地址信令速率进行操作，从而可以使用相对较低成本的存储器器件。类似地，信号通路 102a-102d 中的一个与信号通路 120a-120d 中的一个的数据信号比率可以是 2:1 (或者其他倍数，诸如 4:1、8:1 等)，使得存储器模块连接器接口能够按照指定的信令速率操作，而同时存储器器件 101a-101d 可以以一半 (或者四分之一、八分之一等) 的数据信令比率进行操作，从而可以使用相对较低成本的存储器器件。

图 9A 示出了包括多个集成电路存储器器件和耦合至连接器接口的多个集成电路缓冲器器件的存储器模块拓扑的顶视图。在实施方式中，存储器模块 900 包括衬底 910，该衬底 910 具有标准双列直插式存储器模块 (“DIMM”) 形状系数或者其他模块形状系数标准，例如小轮廓 DIMM (“SO-DIMM”) 和半高式 DIMM (“VLP-DIMM”)。

在可选实施方式中，衬底 910 可以是但不限于：晶圆、印刷电路板（“PCB”）、例如 BT 环氧树脂的封装衬底、软板（flex）、母板、子板或背板中之一或其结合。

在实施方式中，存储器模块 900 包括部署在衬底 910 第一侧的一对存储器器件 101a-101b 和缓冲器器件 100a-d。在可选实施方式中，更多或更少的存储器器件和缓冲器器件可以使用。在实施方式中，还将一对存储器器件 101c-101d 部署在存储器模块 900 的第二侧，如图 9B 和图 9C 中所示的存储器模块 900 的侧视图和底视图中所示。在实施方式中，每个存储器器件和缓冲器器件被容纳在独立的封装中。在可选实施方式中，可以将存储器器件和缓冲器器件容纳在这里所描述的 MCP 封装实施方式中。

存储器模块 900 包括连接器接口 920，其具有用于传送数据和控制/地址/时钟信号的不同接口部分。例如，存储器模块 900 的第一侧包括用以传送数据信号的连接器接口部分 920a-920d，以及用以传送控制/地址信号的连接器接口部分 930a。在实施方式中，连接器接口部分 930a 还传送时钟信号和/或时钟信息。在实施方式中，包括连接器接口部分 920e-920h 的存储器模块 900 的第二侧用来传送数据信号，并且连接器接口部分 930b 用来传送控制/地址信号。在实施方式中，连接器接口部分 930b 还传送时钟信号和/或时钟信息。

在实施方式中，连接器接口 920 部署在衬底 910 的边缘上。在实施方式中，存储器模块 900 插入部署在衬底 950 上的插槽 940 中。在实施方式中，衬底 950 是主板或者 PCB，其具有用于在衬底 950 上传送信号的信号通路 960a-960b。在实施方式中，信号通路 960a 和 960b 是信号迹线或者电线。在实施方式中，信号路径 960a 和 960b 耦合至部署在衬底 950 上的、可以将其他存储器模块插入和/或耦合至主控器的其他插槽。

在实施方式中，连接器接口部分包括至少一个接触或导电元件，诸如金属表面，以用于输入和/或输出电信号。在可选实施方式中，接触的形式可以是以下之一或其结合的形式：球、插槽、表面、信号迹

线、电线、正极或负极掺杂型半导体区域和/或引脚。在实施方式中，如在此描述的连接器接口，诸如连接器接口 920，不限于其中凸型（male）连接器或接口与凹型（female）连接器（或插槽 940）或接口啮合的物理可分接口。连接器接口还包括任意类型的物理接口或链接，诸如在系统级封装（“SIP”）中使用的接口，其将来自存储器模块的焊接球或连接焊接至电路板。

在可选实施方式中，存储器模块 900 包括在嵌入式存储器子系统中，诸如包括在计算机图形卡、视频游戏控制台或打印机中。在可选实施方式中，存储器模块 900 位于个人计算机或服务器中。

在实施方式中，主控器与图 1-图 9 和图 16-图 17 中所示的存储器模块通信。主控器可以将信号传输至图 1-图 9 和图 16-图 17 中所示的存储器模块和/或从其接收信号。主控器可以是存储器控制器、对等设备或从设备。在实施方式中，主控器是存储器控制器，其可以是包括其他接口或功能的集成电路设备，例如，芯片组的北桥芯片。主控器可以集成在微处理器或图形处理器单元（“GPU”）或可视处理单元（“VPU”）上。主控器可以实现为现场可编程门阵列（“FPGA”）。存储器模块、信号通路和主控器可以包括在各种系统或子系统中，诸如个人计算机、图形卡、机顶盒、有线调制解调器、手机、游戏控制台、数字电视机（例如，高清电视（“HDTV”））、传真机、有线调制解调器、数字通用盘（“DVD”）播放器或者网络路由器。

在实施方式中，主控器、存储器模块和信号通路位于部署在公共封装或者单独封装中的一个或多个集成单片式电路中。

图 10 是示出了具有多个集成电路存储器器件 101a-101d 和缓冲器 100a 的器件 1000 的实施方式的框图。这里，数据（读出和/或写入）可以通过信号通路 1006(数据)在多个集成电路存储器器件 101a-101d 和缓冲器 100a 之间传送。信号通路 1006 位于器件 1000 内部的信号通路，对应于图 11 中所示的 1113a-d 和 1114。信号路径 1006 是在多个集成电路存储器器件 101a-101d 和缓冲器 100a 之间提供双向数据信号的总线。双向数据信号的示例包括从一个或多个集成电路存储器器

件 101a-101d 传送到缓冲器 100a 的信号，还包括从缓冲器 100a 传送到一个或多个集成电路存储器器件 101a-101d 的信号。信号路径 1005 是器件 1000 内部的信号路径，对应于图 11 中所示的信号路径 1116a-d 和 1117。信号路径 1005 是用于将单向控制/地址/时钟信号从缓冲器 100a 提供到多个集成电路存储器器件 101a-101d 的总线。在单向总线的示例中，信号只在一个方向上传送，也即，在这种情况下，信号仅从缓冲器 100a 传送到一个或多个集成电路存储器器件 101a-101d。信号通路 1005 包括单独的控制信号线和地址信号线，其中控制信号线例如是行地址选通线、列地址选通线等。信号通路 1005 可以包括 fly-by（飞）时钟线，以将时钟信号从缓冲器 100a 传送到集成电路存储器器件 101a-101d。信号通路 1005 可以将时钟信号从一个或多个集成电路存储器器件 101a-101d 传送到缓冲器 100a。

在实施方式中，缓冲器 100a 与 SPD 通信，以存储和取回关于器件 1000 和/或存储器模块 900 的参数和配置信息。在实施方式中，SPD 1002 是非易失性存储器件。信号通路 1004 将 SPD 1002 耦合至缓冲器 100a。在实施方式中，信号通路 1004 是用于在 SPD 1002 和缓冲器 100a 之间提供双向信号的内部信号通路。

在实施方式中，SPD 1002 是 EEPROM 器件。然而，其他类型的 SPD 1002 也是可行的，包括但不限于：手动跳线或切换设置，诸如与特定逻辑级别（高或者低）联系的负载电阻或下拉电阻网络，其可以在存储器模块添加到系统或从系统中移除时改变状态。

在实施方式中，SPD 1002 是包括寄存器的存储器器件，该寄存器存储在系统操作期间可以通过软件容易地改变的信息，从而允许高度的灵活性，并进行对最终用户透明的配置操作。

在图 18 中所示的实施方式中，可以使用寄存器集合，诸如配置寄存器组 1881，将上述 SPD 的功能集成到缓冲器器件 100a 中。参考图 18，SPD 逻辑和接口 1820c 可以通过关于缓冲器和连接至缓冲器的存储器器件的信息进行预配置，或者可以存储仅关于存储器器件或缓冲器器件 100a 之一的信息。对缓冲器的控制输入可以确定寄存器组

内的存储节点何时将对信息进行采样，以预装载或预配置 SPD 逻辑和接口 1820c。术语“寄存器”既可以适用于单位宽寄存器，也可以适用于多位宽寄存器。

在图 10 所示的实施方式中，SPD 1002 存储关于存储器模块 900 配置信息的信息。例如，配置信息可以包括修复和冗余信息，以便修复有缺陷的存储器器件、存储器器件上有缺陷的存储器单元或外围电路、和/或信号通路。在实施方式中，SPD 配置信息包括存储器模块群拓扑，诸如封装中和/或存储器模块上的存储器器件的数目、位置和类型，或者等级（如果存在的话）。在实施方式中，SPD 配置信息包括用于缓冲器中的接口的串行化比率和/或关于配置缓冲器宽度的信息。在实施方式中，SPD 配置信息包括第一值和第二值，所述第一值代表缓冲器器件 100a 的预期宽度或者包括代表缓冲器器件 100a 的可能宽度范围的范围，所述第二值代表如图 18 中所示的接口 1820b 的预期宽度。

在实施方式中，SPD 配置信息包括用于访问存储器器件的定时信息或参数，诸如访问存储器器件的行的时间、访问存储器器件的列的时间、行访问和列访问之间的时间、行访问和预充电操作之间的时间、应用于第一组存储器阵列的行传感和应用用于第二组存储器阵列的行传感之间的时间、和/或应用于第一组存储器阵列的预充电操作和应用用于第二组存储器阵列的预充电操作之间的时间。

在实施方式中，所存储的定时信息可以按照时间单元表示，其中，值的表将具体时间单元映射到具体二进制编码。在初始化或校准序列期间，主控制器或缓冲器可以读取 SPD 配置信息并确定针对一个或多个存储器器件的适当定时信息。例如，主控制器还可以从 SPD 1002 读取代表时钟信号的时钟频率的信息，并通过时钟信号的时钟周期来划分所取回的定时信息。（时钟信号的时钟周期是时钟信号的时钟频率的倒数）。可以将该划分的任何剩余部分舍入时钟信号的下一个整数时钟周期。

如图 10 所示，信号通路 120a 和 121 都耦合至缓冲器 100a。在实

施方式中，信号通路 120a 向缓冲器 100a 传送单向控制/地址/时钟信号。在实施方式中，信号通路 121 传送去往和来自缓冲器 100a 的双向或单向数据信号。在可选实施方式中也可以将其他互连或外部连接拓扑用于器件 1000。例如，缓冲器 100a 可以耦合至单个多分支控制总线、分离的多分支控制总线、或者分段的多分支总线。

在实施方式中，器件 1000 具有两个分离的电源。电源 V1 向存储器模块 900 上的一个或多个存储器器件（存储器器件 101a-101d）供电。电源 V2 向存储器模块 900 上的一个或多个缓冲器（缓冲器 100a）供电。在实施方式中，缓冲器 100a 具有内部功率调节电路，以向存储器器件 101a-101d 供电。

图 11 示出了根据实施方式的、包括多个集成电路存储器裸片 1101a-d 和容纳在公共封装 1110 内的或之上的缓冲器裸片 1101a 的器件 1100。如这里在其他实施方式中描述并在图 12-图 15 中示出的，多个集成电路存储器裸片 1101a-d 和缓冲器 1100a 部署在多个封装类型的实施方式中。例如，多个集成电路存储器裸片 1101a-d 和缓冲器裸片 1100a 可以堆叠在柔性带上、并排、或是位于器件衬底上的分离封装中。缓冲器裸片 1100a 用以在多个集成电路存储器裸片 1101a-d 与包括接触 1104a-f 的器件接口 1111 之间提供包括控制/地址/时钟信息和数据的信号。在实施方式中，一个或多个接触 1104a-f 类似于连接器接口 920 的接触。在实施方式中，接触 1104a-f 用以将器件 1100 耦合至存储器模块 100 的衬底 910，并且更具体地耦合至信号通路 120a 和 121。器件接口 1111 还包括信号通路 1118 和 1115，以通过缓冲器接口 1103 在接触 1104a-f 和缓冲器 100a 之间传送信号。信号继而通过缓冲器接口 1103 以及信号通路 1117（部署在器件接口 1111 中）和 1116a-d 以及信号通路 1114（部署在器件接口 1111 中）和 1113a-d 在多个存储器裸片 1101a-d 和缓冲器裸片 1100a 之间传送。在实施方式中，垫片 1102a-c 位于集成电路存储器裸片 1101a-d 之间。在实施方式中，垫片 1102a-c 被设置以便散热。类似地，缓冲器裸片 1100a 被部署在远离多个集成电路存储器裸片 1101a-d 的位置，以减

轻存储器器件附近的散热。在实施方式中，通过焊接球或焊接结构将信号通路彼此耦合并耦合至集成电路存储器裸片 1101a-d。

图 12 示出了具有封装 1210 和分离的封装 1290 的堆叠式封装器件 1200，其中封装 1210 包含多个集成电路存储器裸片 1101a-d，封装 1290 具有缓冲器裸片 1100a。封装 1210 和 1290 两者都被堆叠和容纳，以制造器件 1200。在实施方式中，多个集成电路存储器裸片具有独立封装并且堆叠在封装 1290 上。器件 1200 具有与图 11 中所示相类似的组件。缓冲器裸片 1100a 与在此描述的多个集成电路存储器裸片 1101a-d 通信。器件 1200 具有堆叠在缓冲器裸片 1100a 上、并由接触 1201a-d 隔开的存储器裸片 1101a-d。在实施方式中，接触 1201a-d 是焊接球，其将信号通路 1117 和 1114 耦合至与缓冲器接口 1103 相耦合的信号通路 1202 和 1203。

图 13 示出了根据实施方式的、具有部署在柔性带 1302 上的多个集成电路存储器器件 101a-b（器件 1301 中的 101a-c）和缓冲器器件 100a 的器件 1300 和 1301。缓冲器器件 100a 与在此描述的多个集成电路存储器器件通信。部署在柔性带 1302 之上或之中的信号通路 1305 在多个集成电路存储器器件 101a-c 和缓冲器 100a 之间传送信号。在实施方式中，诸如球栅阵列 1304 之类的接触将多个集成电路存储器器件 101a-c 中的每个集成电路存储器器件以及缓冲器 100a 耦合至柔性带 1302 中的信号通路 1305。在实施方式中，可以使用粘合剂 1303 将多个集成电路存储器器件 101a-c 相互耦合并耦合至缓冲器 100a。在实施方式中，器件 1300 和 1301 部署在公共封装中。

图 14 示出了具有并排布置并容纳在封装 1410 中的多个集成电路存储器裸片 1101a-d 和 1401a-d 以及缓冲器裸片 1100a 的器件 1400。器件 1400 具有类似于图 11 中所示组件的组件。缓冲器裸片 1100a 与在此描述的多个集成电路存储器裸片 1101a-d 和 1401a-d 通信。在实施方式中，多个集成电路存储器裸片 1101a-d 和 1401a-d 以及缓冲器裸片 1100a 并排部署在与器件接口 1411 耦合的衬底 1450 上。多个集成电路存储器裸片 1401a-d 由垫片 1402a-c 隔开。在实施方式中，单

个集成电路存储器裸片 1101d 和单个集成电路存储器裸片 1401d 与缓冲器裸片 1100a 并排部署。器件接口 1411 包括接触 1104a-f。信号通过信号通路 1418 和 1415 在缓冲器接口 1103 和接触 1104a-f 之间传送。信号通过信号通路 1417 在缓冲器接口 1103 和信号通路 1116a-d (或者集成电路存储器裸片 1101a-d) 之间传送。类似地, 信号通过信号通路 1414 在缓冲器接口 1103 和信号通路 1113a-d (或者集成电路存储器裸片 1401a-d) 之间传送。

图 15 示出了具有分别容纳在独立封装 1501、1505 和 1520 中的多个集成电路存储器裸片 1101a-b 和缓冲器裸片 1100a 的器件 1500。器件 1500 具有类似于图 11 中所示组件的组件。缓冲器裸片 1100a 与在此描述的集成电路存储器裸片 1101a-b 通信。集成电路存储器裸片 1101a-b 和缓冲器裸片 1100a 部署在包括信号通路 1504、1509、1515 和 1518 的衬底 1530 上。集成电路存储器裸片 1101a 包括具有接触 1508 的存储器接口 1507。集成电路存储器裸片 1101b 包括具有接触 1541 的存储器接口 1503。缓冲器裸片 1100a 包括具有接触 1560 的缓冲器接口 1103。信号通过信号通路 1515 和 1518 在缓冲器接口 1103 和接触 1104a-f 之间传送。信号经由存储器接口 1507 和接触 1508 通过信号通路 1509 在缓冲器接口 1103 和集成电路存储器裸片 1101a 之间传送。类似地, 信号经由存储器接口 1503 和接触 1541 通过信号通路 1504 在缓冲器接口 1103 和集成电路存储器裸片 1101b 之间传送。如在此所述, 器件 1500 经由接触 1104a-f 耦合至存储器模块 900。

图 16 示出了根据实施方式的、具有 SPD 1603 的存储器模块。存储器模块 1610 包括与 SPD 1603 一起部署在衬底 930 上的多个集成电路存储器器件 (或者裸片) 和缓冲器器件 (或者裸片)。图 16 示出了具有单个 SPD 1603 的存储器模块 1610, 位于衬底 930 上的每个缓冲器器件 100a-b 可以访问 SPD 1603。信号通路 1601 允许从连接器接口 920 以及一个或多个缓冲器 100a-b 访问 SPD 1603。在实施方式中, 信号通路 1601 是总线。SPD 1603 可以具有配置和/或参数信息, 这些信息可以由主控器通过连接器接口 920 和信号通路 1601 的方式写入

或读取。同样，缓冲器 100a-b 可以通过信号通路 1601 向 SPD 1603 写入或从其读取。

图 17 示出了根据实施方式的存储器模块 1710，其中每个器件 1711a-b 或者数据分片 a-b 都具有相关联的 SPD 1720a-b、缓冲器器件（或者裸片）100a-b 以及至少一个集成电路存储器器件 101a（或者裸片）。多个缓冲器 100a-b 和相关联的多个 SPD 1720a-b 部署在衬底 930 上。可以使用与连接器接口 920 和每个 SPD 1720a-b 相耦合的信号通路 1701 从 SPD 1720a-b 处访问配置和/或参数信息。具体地，信号通路 1701 将器件 1711a-b 的 SPD 1720a-b 耦合至连接器接口 920。在实施方式中，信号通路 1701 是总线。在可选实施方式中，信号通路 1701 将 SPD 1720a 和 SPD 1720b 耦合在菊花链或串行拓扑中。在实施方式中，器件 1711a-b 的一个或多个缓冲器器件 100a-b 可以访问（读出和/或写入）相应的 SPD 1720a-b。同样，主控器可以使用信号通路 1701 来访问（读出和/或写入）相应的 SPD 1720a-b。在实施方式中，使用报头字段或者其他标识符来传送配置和/或参数信息，从而使耦合在菊花链中的 SPD 可以将 SPD 信息转发至希望的目的地 SPD。

图 18 示出了根据实施方式的缓冲器器件 100a（或者裸片，诸如缓冲器裸片 1100a）的框图。缓冲器 100a 包括：缓冲器接口 1103a、接口 1820a-c、冗余和修复电路 1883、多路复用器 1830、请求和地址逻辑电路 1840、数据缓存和标记电路 1860、计算电路 1865、配置寄存器组 1881 以及时钟电路 1870 之一或其结合。

在存储器读操作实施方式中，缓冲器 100a 在信号通路 121 上从主控器接收可以是分组格式的控制信息（包括地址信息），并且作为响应，缓冲器 100a 在一个或多个信号通路 1005 上向一个或多个或全部存储器器件 101a-d 传输对应的信号。一个或多个存储器器件 101a-d 可以通过将数据传输给缓冲器 100a 来进行响应，缓冲器 100a 通过一个或多个信号通路 1006 接收数据，并且作为响应，缓冲器 100a 向主控器（或其他缓冲器）传输对应的信号。主控器通过一个或多个信号通路 121 传输控制信息，并通过一个或多个信号通路 120a 接收数据。

通过将控制和地址信息绑定在分组中,存储器器件 101a-d 通信所需的协议独立于物理的控制/地址接口实现。

在存储器写操作实施方式中,缓冲器 100a 在信号通路 121 上从主控制器接收可以是分组格式的控制信息(包括地址信息),并在信号通路 120a 上从主控制器接收可以是分组形式的、针对一个或多个存储器器件 101a-d 的写入数据。缓冲器 100a 继而在一个或多个信号通路 1006 上向一个或多个或全部存储器器件 101a-d 传输对应的信号,从而可以存储写入数据。

主控制器通过一个或多个信号通路 121 传输控制/地址/时钟信息,并通过一个或多个信号通路 120a 传输写入数据。

在实施方式中,针对存储器器件 101a-d 中的不同存储器器件可以进行同时的写入和/或读出操作。

在实施方式中,提供给缓冲器 100a 的控制信息导致一个或多个存储器器件 100a-d 的一个或多个存储器操作(例如读出和/或写入操作),同时可以将相同的控制信息提供给缓冲器 100b,其导致与缓冲器 100b 相关联的一个或多个存储器器件 100a-d 的相同存储器操作。在其他实施方式中,可以将相同的控制信息提供给缓冲器 100a 和缓冲器 100b,而针对与每个缓冲器 100a-b 相关联的一个或多个存储器器件 100a-d 进行不同的存储器操作。

在实施方式中,缓冲器接口 1103a 将信号通路 121 和 120a 耦合至图 10 中所示的缓冲器 100a。在实施方式中,缓冲器接口 1103a 对应于图 11、图 12、图 14 和图 15 中所示的缓冲器接口 1103。在实施方式中,缓冲器接口 1103a 包括耦合至信号通路 120a 的、用以传输和接收数据的至少一个收发器 1875(即,传输和接收电路),以及耦合至信号通路 121 的、用以接收控制/地址/时钟信息的至少一个接收器电路 1892。在实施方式中,信号通路 121 和 120a 包括点对点链路。缓冲器接口 1103a 包括具有至少一个收发器 1875 的、与点对点链路连接的端口。在实施方式中,点对点链路包括一个或多个信号线,每个信号线具有不多于 2 个的收发器连接点。在缓冲器接口 1103a 上包

括 2 个收发器连接点之一。缓冲器接口 1103a 可以包括附加端口，以便耦合缓冲器 100a 与其他器件和/或存储器模块上的其他缓冲器器件之间的附加点对点链路。这些附加端口可以用来扩展存储能力，如下文将详细描述。缓冲器 100a 可以起到点对点链路与其他点对点链路之间的收发器的作用。在实施方式中，缓冲器接口 1103a 包括重复数据、控制信息和/或时钟信号的中继器电路 1899。在实施方式中，缓冲器接口 1103a 包括在连接器接口部分之间传递信号的旁路电路 1898。

在实施方式中，终端器 1880 部署在缓冲器 100a 上并且与收发器 1875 和信号通路 120a 连接。在这个实施方式中，收发器 1875 包括输出驱动和接收器。终端器 1880 可以驱散从收发器 1875 反射的信号能量（即，电压反射）。终端器 1880 以及在此描述的其他终端器可以是单个电阻器或电容器或电感器或其串联/并联组合。在可选实施方式中，终端器 1880 可以在缓冲器 100a 外部。例如，终端器 1880 可以部署在存储器模块 900 的衬底 910 上或用以容纳缓冲器 100a 的封装上。

接口 1820a 包括耦合至信号通路 1005 的至少一个传输器电路 1893，用以将控制/地址/时钟信息传输到一个或多个存储器器件。在实施方式中，接口 1820a 包括收发器，该收发器可以在部署于公共存储器模块或者不同存储器模块上的缓冲器之间传送控制/地址/时钟信息。

接口 1820b 包括耦合至信号通路 1006 的收发器 1894，用以在图 10 中所示的缓冲器 100a 和一个或多个存储器器件 101a-d 之间传送数据。SPD 逻辑和接口 1820c 包括耦合至信号通路 1004 的收发器 1896，用以在图 10 中所示的缓冲器 100a 和 SPD 1002 之间传送配置和/或参数信息。在实施方式中，接口 1820c 用以传送如图 16 和图 17 所示的配置和/或参数信息。

根据实施方式，多路复用器 1830 可以在缓冲器接口 100a 和接口 1820b 之间执行带宽集中操作，以及路由来自适当源的数据（即，以

来自存储器器件、内部数据、缓存或者写缓冲器的数据子集为目标)。带宽集中的概念涉及:在多数数据信号通路实施方式中,将耦合至存储器器件的每个数据通路的(较小)带宽合并,以便匹配缓冲器接口 1103a 所使用的(较高)总体带宽。在实施方式中,在可以耦合至接口 1820b 和缓冲器接口 1103a 的多个信号通路之间使用吞吐量的多路复用和解多路复用。在实施方式中,缓冲器 101a 使用耦合至接口 1820b 的多个数据通路的合并带宽,以匹配接口缓冲器接口 1103a 的带宽。

在实施方式中,数据缓存和标记电路 1860 (或者缓存 1860) 可以提供最频繁参考的数据的存储以及访问延迟特性低于多个存储器器件的关联标记地址,从而改进存储器访问。在实施方式中,缓存 1860 包括写缓冲器,其可以在外部信号通路上使用可用的数据传输窗口来接收写入数据和地址/掩蔽信息,从而改善接口连接效率。一旦被接收,该信息临时存储在写缓冲器中,直到准备好将其通过接口 1820b 传送到至少一个存储器器件。

计算电路 1865 可以包括处理器或者控制器单元、压缩/解压缩引擎等,以进一步增强缓冲器 100a 的性能和/或功能。在实施方式中,计算电路 1865 控制缓冲器接口 1103a 和接口 1820a-c 之间的控制/地址/时钟信息以及数据的传送。

时钟电路 1870 可以包括时钟产生器电路(例如, Direct Rambus<sup>®</sup> 时钟产生器),可以将其包含在缓冲器 101a 中并由此消除对独立时钟产生器件的需要。

在可选实施方式中,时钟电路 1870 包括针对外部时钟信号调节内部时钟信号的相位或延迟时钟对齐电路,诸如锁相环(“PLL”)电路或者迟延锁定环(“DLL”)电路。时钟对齐电路可以使用来自已有外部时钟产生器的外部时钟或者使用内部时钟产生器来提供内部时钟,以产生与所接收和传输的数据和/或控制信息具有预定时间关系的内部同步时钟信号。

在实施方式中,时钟电路 1870 通过信号通路 121 接收具有第一

频率的第一时钟信号，并使用第一时钟信号产生（经由接口 1820a）到存储器器件 101a 的第二时钟信号，并且还使用第一时钟信号产生（经由接口 1820a）到存储器器件 101b 的第三时钟信号。在实施方式中，第二和第三时钟信号与第一时钟信号具有预定的时间（相位或延迟）关系。

在实施方式中，传输电路（诸如图 18 中所示的收发器 1875、1896 和 1894 中的）传输包括已编码时钟信息的差分信号，并且接收器电路（诸如收发器 1875、1896 和 1894 中的）接收包括已编码时钟信息的差分信号。在这个实施方式中，包括时钟和数据恢复电路（诸如时钟电路 1870），以提取与接收器电路所接收的数据一起编码的时钟信息。同样，时钟信息可以与传输电路所传输的数据一起编码。例如，可以通过确保在给定数目的数据位中发生最小数目的信号跃迁来将时钟信息编码在数据信号上。

在实施方式中，收发器 1875 传输和接收第一类型的信号（例如，具有指定电压水平和时间的信号），而收发器 1894（和/或传输电路 1893）传输和接收第二类型的信号。例如，收发器 1875 可以传输和接收针对 DDR2 存储器器件的信号，并且收发器 1894 可以传输和接收针对 DDR3 存储器器件的信号。

在实施方式中，（通过信号通路 121 和 120 的方式）提供给缓冲器 100a 的控制信息和/或数据与从缓冲器 100a 提供给一个或多个存储器器件 100a-d 的控制信息和/或数据可以是不同的协议格式或者具有不同的协议特征。缓冲器 100a 中的逻辑（例如，计算电路 1865）执行所接收的控制信息和/或数据和传输的控制信息和/或数据之间的该协议转换。在实施方式中，不同电子的/信令和/控制/数据协议构成了接口标准。缓冲器 100a 可以起到不同接口标准—一个针对存储器模块接口（例如，连接器接口 920），另一个针对一个或多个存储器器件 100a-d—之间的转换器的作用。例如，一个存储器模块接口标准可以要求读取部署在存储器模块上的特定存储器器件中的特定寄存器。然而，存储器器件可能组装有不包括存储器模块接口标准所需的寄存

器的存储器器件。在实施方式中，缓冲器 100a 可以仿真存储器模块接口标准所需的寄存器，并由此允许在不同的接口标准下进行操作的存储器器件 100a-d 的使用。使用具有不同接口标准的存储器器件时，该缓冲器功能连同模块拓扑和架构使存储器模块成为与一个接口标准兼容的插槽。

在实施方式中，缓冲器 100a 包括冗余和修复电路 1883，用以检测和修复存储器单元、存储器器件的行或组、整个存储器器件（或者外围电路），和/或缓冲器 100a 和存储器器件 101a-d 之间的信号通路的功能。在实施方式中，在校准操作期间和/或初始化期间，冗余和修复电路 1883 周期性地测试一个或多个存储器器件 101a-d，这是通过使用所选的数据通路将预定的多个值写入所选存储器器件的存储位置（例如，使用收发器 1894 和存储预定值的查找表）并继而使用所选的数据通路从所选的存储器器件读出所存储的预定的多个值。在实施方式中，当从所选存储器器件的存储位置读出的值与写到该存储位置的值不匹配时，冗余和修复电路 1883 使缓冲器 100a 不能访问所选存储器器件和/或所选信号通路。在实施方式中，可以选择到不同存储器器件的不同信号通路，并且可以再次执行该测试功能。如果选择不同的信号通路导致所读取的预定值与冗余和修复电路 1883 中预定值的准确对照（或者通过了检测），则此后选择或映射在其他存储器器件中或到其他存储器器件的不同存储位置的不同存储地址。因此，将不会发生对有缺陷的存储位置的其他写入和/或读取操作。

在实施方式中，通过缓冲器接口 1103a 来接收以耦合至缓冲器 100a 的存储器器件 101a-d 为目标的控制信息（包括地址信息）和数据的任何多路复用组合，缓冲器接口 1103a 例如可以从数据中提取地址和控制信息。例如，控制信息和地址信息可以被解码并与信号通路 120a 上的多路复用数据分离开，并且可以在信号通路 1895 上将控制信息和地址信息从缓冲器接口 1103a 提供给请求和地址逻辑电路 1840。继而可以将数据提供给可配置串行化/解串行化电路 1891。请求和地址逻辑电路 1840 产生给传输器电路 1893 的一个或多个控制信

号。

在实施方式中,接口 1820a 和 1820b 包括可编程特征。缓冲器 100a 和存储器器件 101a-d 之间的多个控制信号线和/或数据信号线是可编程的,以便适应不同数目的存储器器件。因此,存储器器件的数目增加时,可以使用更多专用的控制信号线。使用可编程专用控制线和/或数据线避免了使用总线在存储器器件和缓冲器 100a 之间传送控制信号时可能出现的任何可能的负载问题。在另一实施方式中,在接口 1820 处可以对针对每个存储器器件的每个字节的附加数据选通信号进行编程,以适应不同类型的存储器器件,诸如需要这种信号的联想存储器器件。在又一实施方式中,接口 1820a 和 1820b 是可编程的,以访问不同的存储器器件宽度。例如,接口 1820a 和 1820b 可被编程为与 16“×4”宽度的存储器器件、8“×8”宽度的存储器器件或者 4“×16”宽度的存储器器件连接。同样,缓冲器接口 1103a 具有针对信号通路 120a 的可编程宽度。

可配置的串行化/解串行化电路 1891 根据所存储的串行化比率来执行串行化和解串行化功能。由于从存储器器件的最大值中减去了其访问宽度,因此存储器器件访问粒度(通过数据量测量)等量地减小,并且可以使用访问交错或者多路复用方案来确保可以访问存储器器件 101a-d 中的所有存储位置。当存储器器件访问宽度改变时,可以增加和较少信号通路 1006 的数目。可以将信号通路 1006 细分为若干可寻址的子集。事务的地址将确定信号通路 1006 的哪个目标子集将被用于该事务的数据传送部分。此外,可以根据希望的串行化比率来配置包括在接口 1820a 和 1820b 中、用来与一个或多个存储器器件 101a-d 进行通信的收发器电路、传输器电路和/或接收器电路的数目。通常,可以允许或禁止在一个或多个存储器器件 101a-d 和缓冲器接口 1103a 之间的给定传送中有多少收发器是活动的,以此来完成收发器的配置。在实施方式中,在缓冲器接口 1103a 处传送数据的数据速率是在耦合至存储器器件 101a-d 的一个或多个信号通路 1006 上传送数据的数据率的倍数或比例。

缓冲器 100a 提供高度的系统灵活性。可以通过修改缓冲器 100a 来逐步引入存储器器件的新接口标准，以便与支持较旧标准的主控器或存储器系统结合操作。在实施方式中，可以使用较旧的存储器模块接口或插槽来插入存储器模块，同时可以在该存储器模块上部署较新发展阶段的存储器器件。可以保留与现有发展阶段的存储器器件的向后兼容性。类似地，可以逐步引入新生代的主控器或控制器，以利用新生代存储器器件的特征，而同时维持与现有发展阶段的存储器器件的向后兼容性。类似地，在针对特定应用的单个公共封装中可以包括具有不同价格、功率需求和访问时间的不同类型存储器器件。

图 19 示出了实施方式中的集成电路存储器器件 1900（或者存储器裸片）。集成电路存储器器件 1900 对应于实施方式中的一个或多个集成电路存储器器件 101a-d。集成电路存储器器件 1900 包括存储器内核 1900b 和存储器接口 1900a。信号通路 1950a-b、1951a-b、1952 和 1953 耦合至存储器接口 1900a。信号通路 1950a-b 传送读出和写入数据。信号通路 1951a-b 传送地址信息，诸如分别在分组中传送行地址和列地址。信号通路 1952 传送控制信息。信号通路 1953 传送一个或多个时钟信号。在实施方式中，信号通路 1950a-b 对应于图 10 中所示的信号通路 120a，并且信号通路 1951a-b、1952 和 1953 对应于图 10 中所示的信号通路 121。

存储器接口 1900a 包括至少一个传输器和/或接收器，以用于在存储器器件 1900 与信号通路 1950a-b、1951a-b、1952 和 1953 之间传送信号。写解多路复用器（“Demux”）1920 和读多路复用器（“Mux”）1922 耦合至信号通路 1950a，而写 Demux 1921 和读 Mux 1923 耦合至信号通路 1950b。写 Demux 1920-21 将写入数据从信号通路 1950a-b 提供到存储器内核 1900b（具体地，提供到感测放大器 0-2a 和 0-2b）。读 Mux 1922-23 将读出数据从存储器内核 1900b 提供到信号通路 1950a-b（具体地，提供到感测放大器 Na 和 Nb）。

Demux 和行分组解码器 1910 耦合至信号通路 1951a，并且 Demux 和列分组解码器 1913 耦合至信号通路 1951b。Demux 和行分

组解码器 1910 对分组解码, 并将行地址提供到行解码器 1914。Demux 和列分组解码器 1913 将列地址和掩蔽信息提供给列和掩蔽解码器 1915。

控制寄存器耦合至信号通路 1952, 并响应于寄存器的值而将控制信号提供给行编码器 1914 以及列和掩蔽解码器 1915。

时钟电路耦合至信号通路 1953, 以响应于信号通路 1953 上传送的一个或多个时钟信号来提供传输时钟信号 TCLK 和接收时钟信号 RCLK。在实施方式中, 响应于接收时钟信号 RCLK 沿, 写 Demux 1920 和 1921 将写入数据从信号通路 1950a-b 提供给存储器内核 1900b。在实施方式中, 响应于传输时钟信号 TCLK 沿, 读 Mux 1922 核 1923 将读出数据从存储器内核 1900b 提供给信号通路 1950a-b。在实施方式中, 时钟电路产生信号通路 1953 上的 (或者到缓冲器器件的) 时钟信号, 其与输出到信号通路 1950a-b 上的读出数据具有时间关系。

行解码器 1914 与列和掩蔽解码器 1915 向存储器内核 1900b 提供控制信号。例如, 响应于行命令, 使用感测放大器对存储在存储器组中的多个存储单元的数据进行感测。待感测的行由从 Demux 和行分组解码器 1910 提供给行解码器 1914 的行地址标识。响应于由 Demux 和列分组解码器 1913 提供的列地址 (以及可能的掩蔽信息), 选择感测放大器所感测的数据子集。

存储器内核 1900b 的存储器组 0-N 中的存储器组包括具有双向存储单元阵列的存储器阵列。在实施方式中, 存储器组 0-N 包括存储单元, 其可以是 DRAM 单元、SRAM 单元、FLASH 单元、铁电 RAM (FRAM) 单元、磁阻或磁性 RAM (MRAM) 单元, 或者其他等价类型的存储器存储单元。在实施方式中, 集成电路存储器器件 1900 是 DDR 集成电路存储器器件或更近代存储器器件 (例如, DDR2 或者 DDR3)。在可选实施方式中, 集成电路存储器器件 1900 是 XDR™ DRAM 集成电路存储器器件或者 Direct® DRAM (“DRDRAM”) 存储器器件。在实施方式中, 集成电路存储器器件 1900 包括容纳在公

共封装中的具有不同类型存储单元的存储器器件。

在此描述的信号可以使用信号通路在器件/电路之间和之内传输或接收，并可使用任意数目的信令技术来产生，信令技术包括但不限于调制电信号的电压或电流水平。信号可以代表任意类型的控制和定时信息（例如，命令、地址值、时钟信号以及配置/参数信息）以及数据。在实施方式中，在此描述的信号可以是光信号。

多种多样的信号可以在这里描述的信号通路上传送。例如，信号类型包括差分（在一对信号线上的）、不归零（“NRZ”）、多级脉冲振幅调制（“PAM”）、相移键控、延迟或时间调制、正交振幅调制（“QAM”）和 Trellis 编码。

在使用多级 PAM 信令的实施方式中，可以使用多个电压水平对连续数字值或符号的唯一集合进行编码，从而在没有增加系统时钟频率或信号线数目的情况下提高数据速率。换言之，可以将连续数字符号的每个唯一组合分配给唯一的电压水平，例如，4 级 PAM 方案可以使用 4 个不同的电压范围来区分一对连续数字值或符号，诸如 00、01、10 和 11。这里，每个电压范围将对应于连续符号的唯一配对之一。

在实施方式中，时钟信号用以在存储器模块和/或器件中对事件进行同步，诸如对接收和传输数据和/或控制信息进行同步。在实施方式中，使用全局同步时钟（即，将单个时钟频率源分发给存储器模块/系统中的各种器件）。在实施方式中，使用源同步时钟（即，数据与时钟信号一起从源传递到目的地，使得时钟信号和数据变为可容许偏差（skew-tolerant））。在实施方式中，使用编码数据和时钟信号。在可选实施方式中，使用在此描述的时钟或同步的结合。

在实施方式中，在此描述的信号通路单独地或组合地包括一个或多个导电元件，诸如多个电线、金属迹线（内部的或外部的）、掺杂区域（正极或负极增强的），以及一个或多个光纤或者光路径。在实施方式中，多个信号通路可以替代图中所示的单个信号通路，并且单个信号通路可以替代图中所示的多个信号通路。在实施方式中，信

号通路可以包括总线和/或点对点连接。在实施方式中,信号通路包括用于传送控制和数据信号的信号通路。在可选实施方式中,信号通路仅包括用于传送数据信号的信号通路或者仅包括用于传送控制信号的信号通路。在又一实施方式中,信号通路传送单向信号(在一个方向上传送的信号)或者双向信号(在两个方向上传送的信号)或单向和双向信号两者的组合。

应当指出,按照其行为、寄存器传送、逻辑组件、晶体管、布局几何和/或其他特性,可以使用计算机辅助设计工具来描述在此公开的各种电路,并将其表达(和表示)为在包含在各种计算机可读介质中的数据和/或指令。可以实现这些电路表示的文件和其他对象的格式包括但不限于:支持诸如 C、Verilog 和 HDL 的行为语言的格式;支持例如 RTL 的寄存器级描述语言的格式;支持例如 GDSII、GDSIII、GDSIV、CIF、MEBES 的几何描述语言的格式;以及任何其他适当的格式和语言。可以包含这些格式化的数据和/或指令的计算机可读介质包括但不限于:各种形式的非易失性存储介质(例如,光、磁或半导体存储介质)以及可以用来通过无线、光的或者有线的信令介质或其任意组合来传送这种格式化数据和/或指令的载波。通过载波对这种格式化数据和/或指令的传送包括但不限于:通过一个或多个数据传送协议(例如,HTTP、FTP、SMTP 等)在互联网和/或其他计算机网络上的传送(上传、下载、电子邮件等)。在通过一个或多个计算机可读介质在计算机系统内被接收时,可以由计算机系统内的处理实体(例如,一个或多个处理器)来处理上述电路的这种基于数据和/指令的表示,并与一个或多个其他计算机程序(非限制性地包括:网表产生程序、放置和路由程序之类的)的执行相结合,以产生这些电路的物理表现形式的表示或图像。这些表示或图像此后可以在器件制造中使用,例如,通过在器件制造过程中允许产生用以形成电路的各种组件的一个或多个掩模。

出于说明和描述的目的,已经提供了对若干实施方式的上述描述。这并非意在详尽或是将实施方式限制为所公开的精确形式。对于

---

本领域的技术人员而言，修改和变形将是显然的。挑选和描述实施方式是为了解释发明原理和实践应用，由此使本领域的技术人员理解各种实施方式以及具有适合特定预期使用的各种修改。本发明范围意在由所附权利要求及其等价项限定。

存储器模块  
100

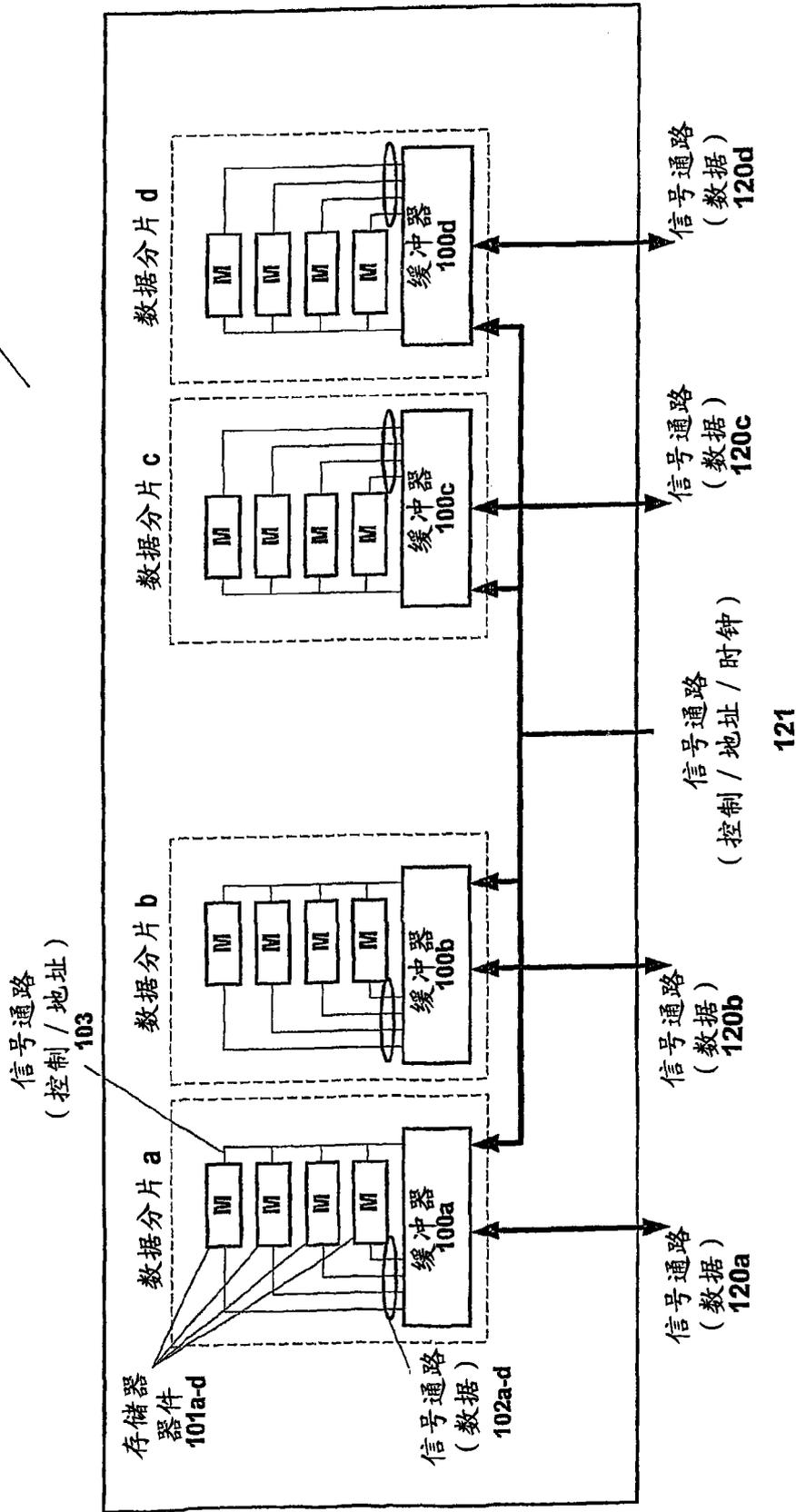
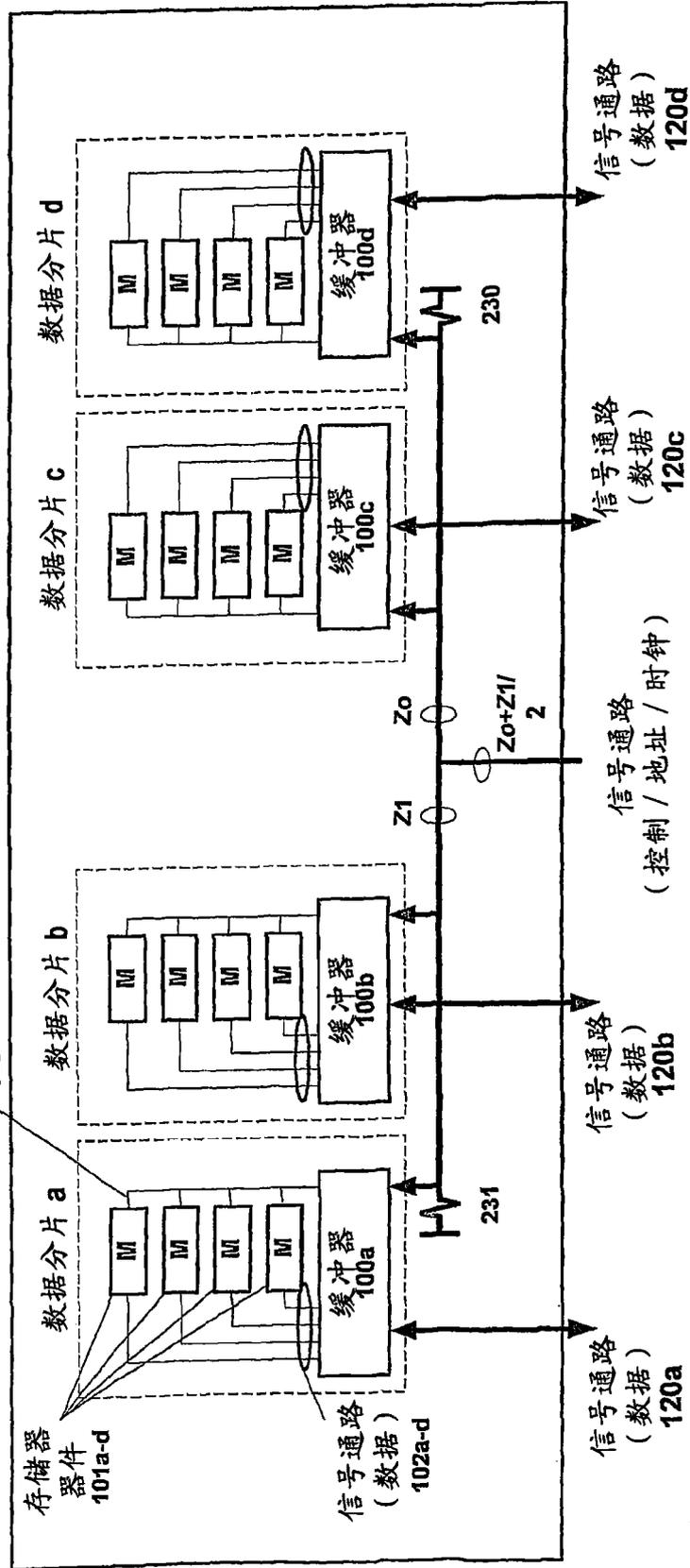


图 1

存储器模块  
200

信号通路  
(控制 / 地址)  
103



221

图 2

存储器模块  
300

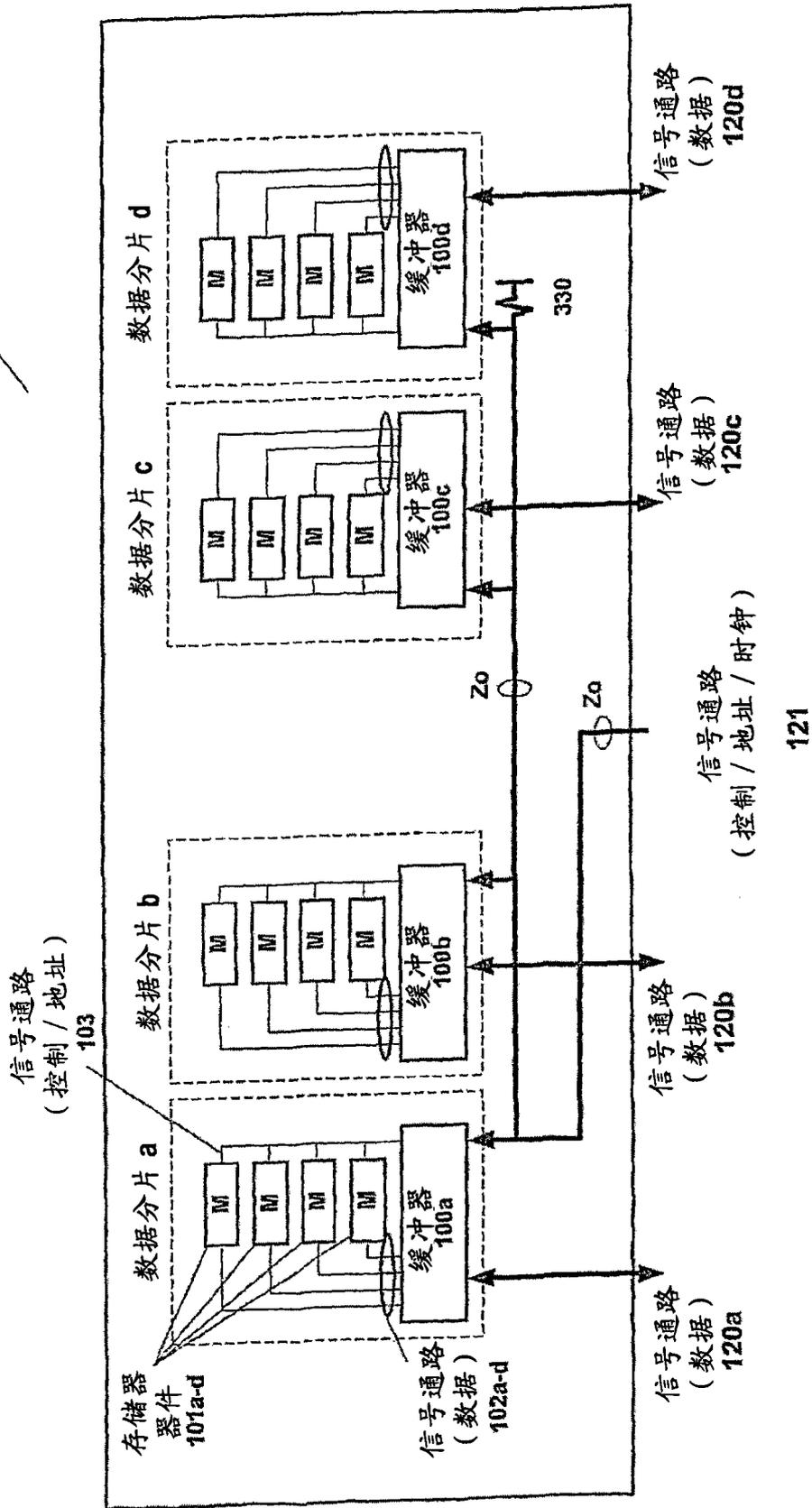
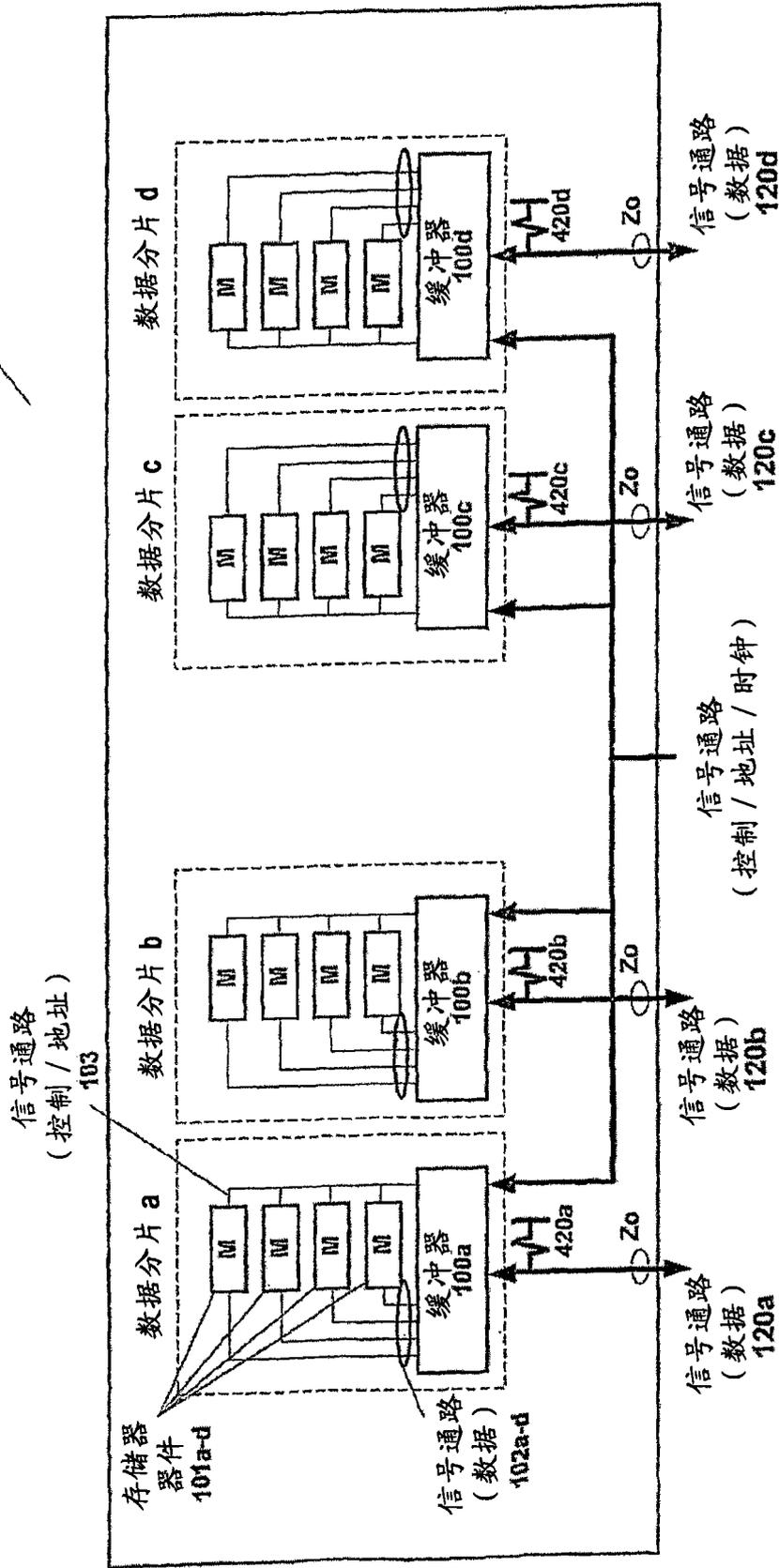


图 3

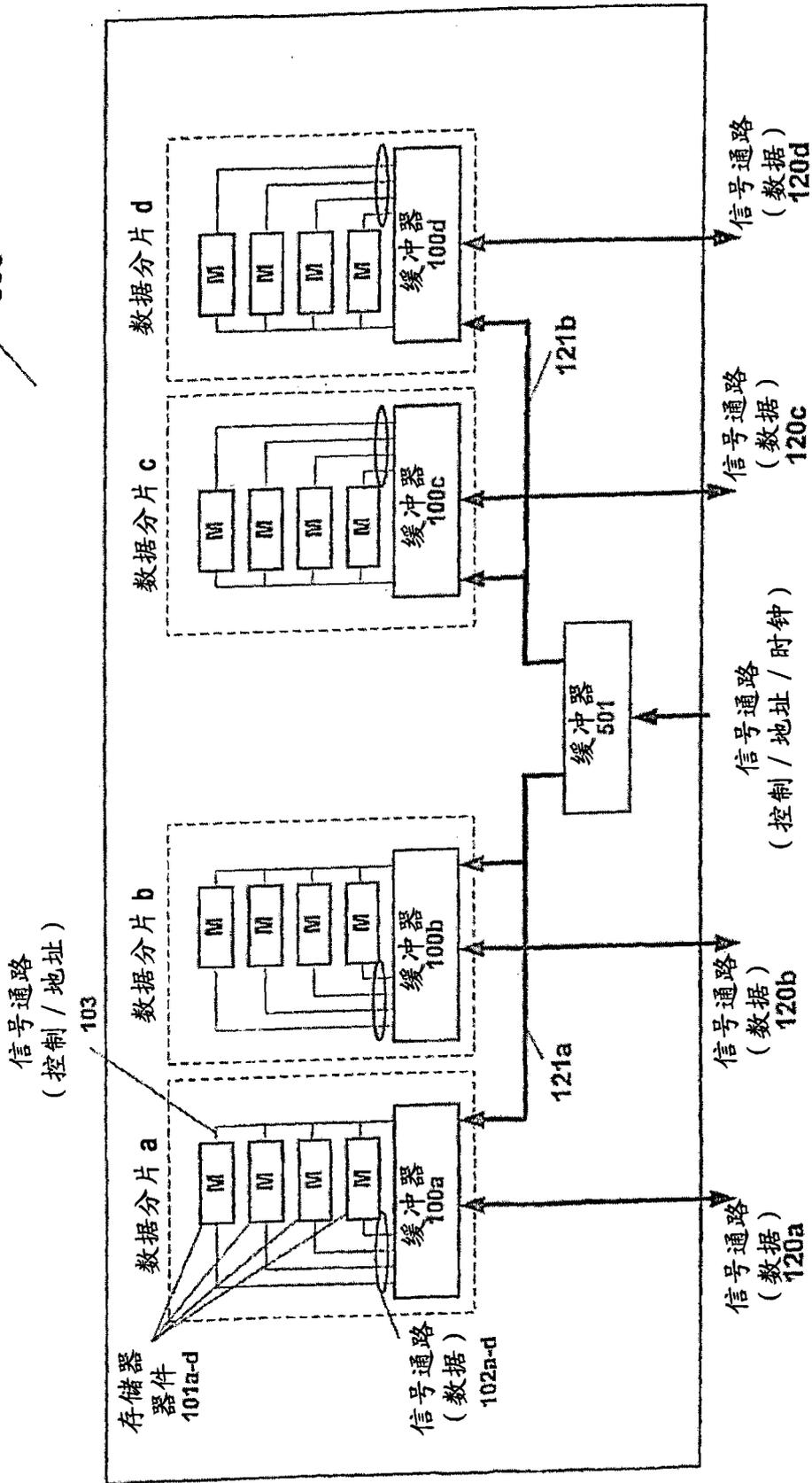
存储器模块  
400



121

图 4

存储器模块  
500

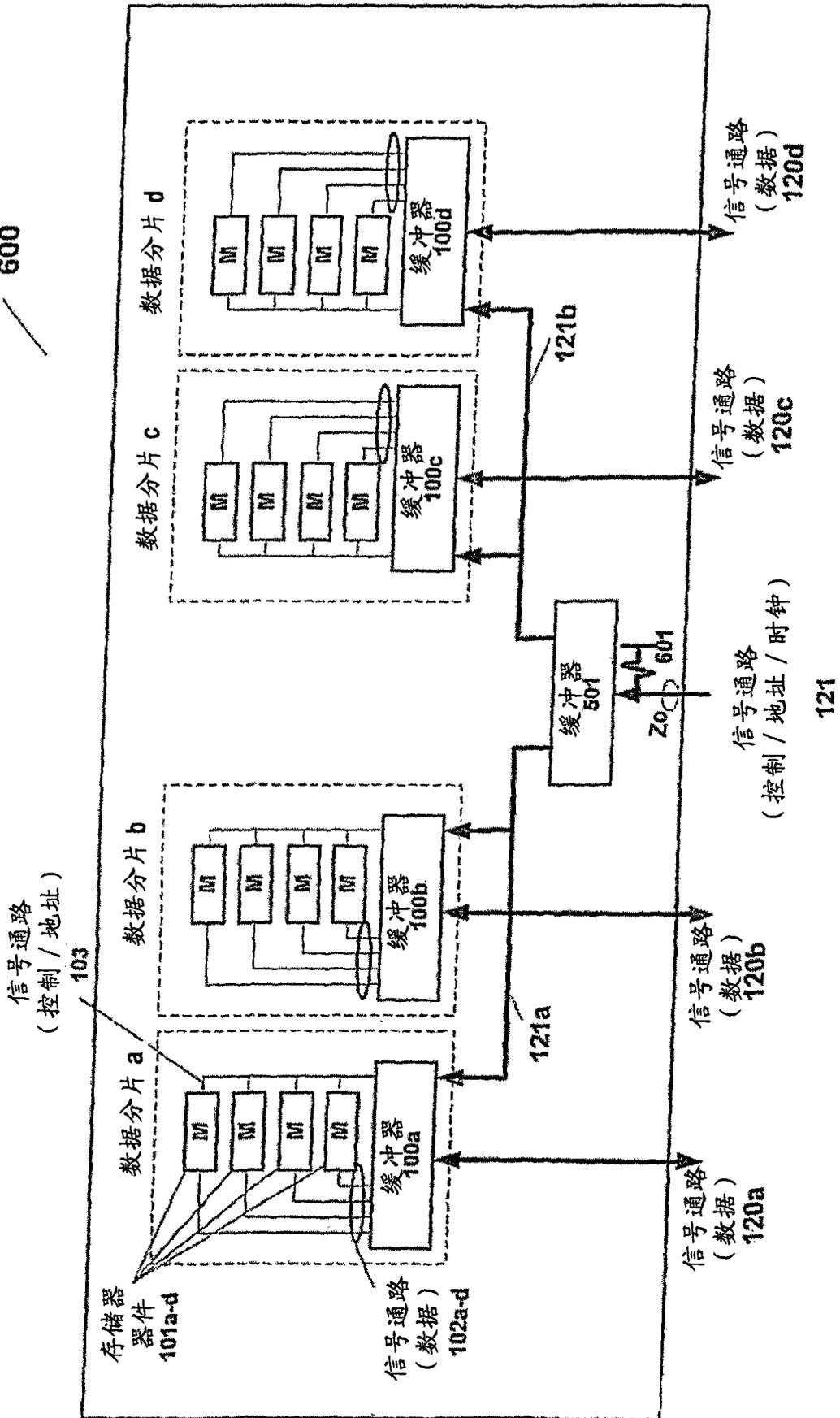


121

图 5

存储器模块

600



121

图 6

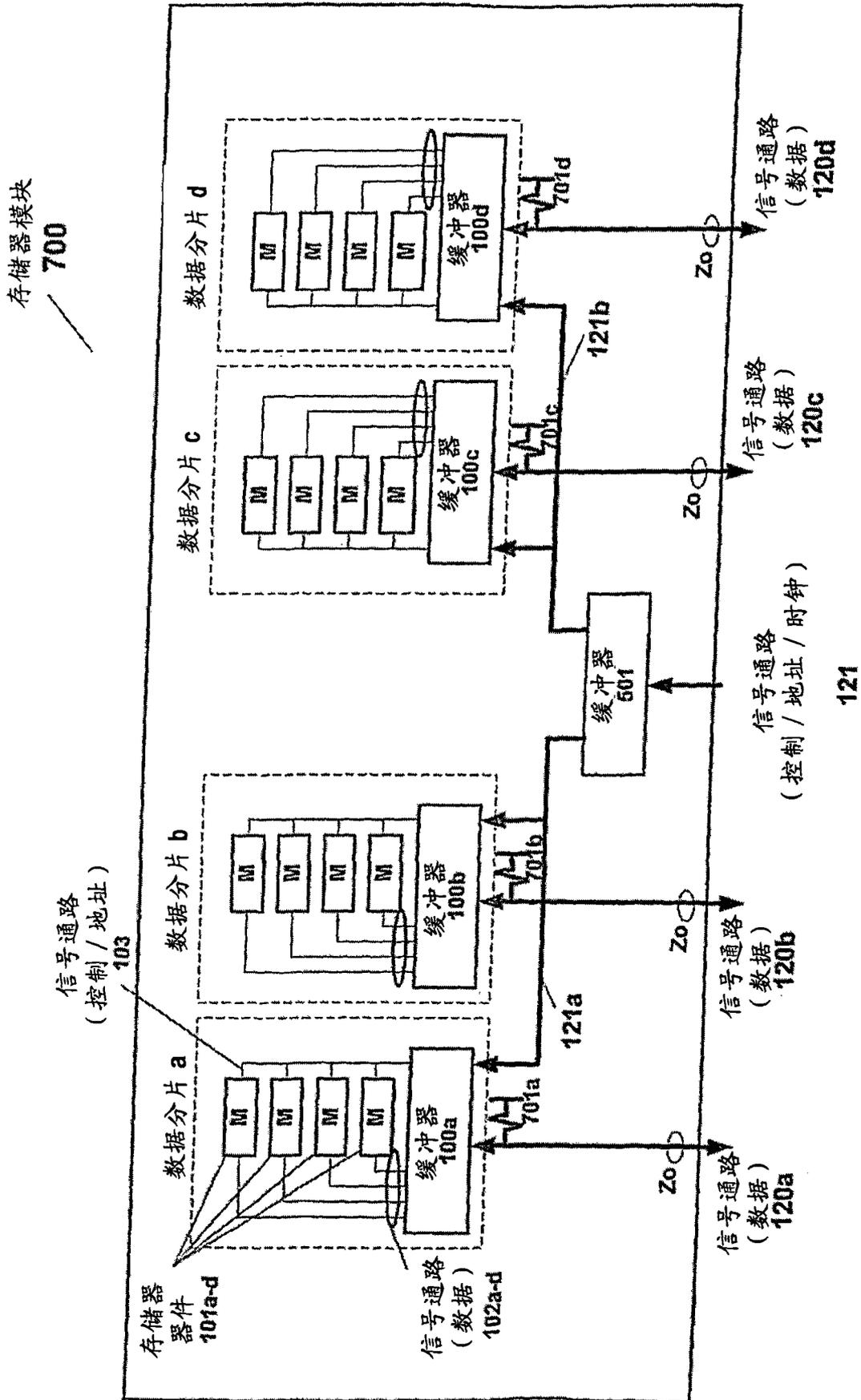
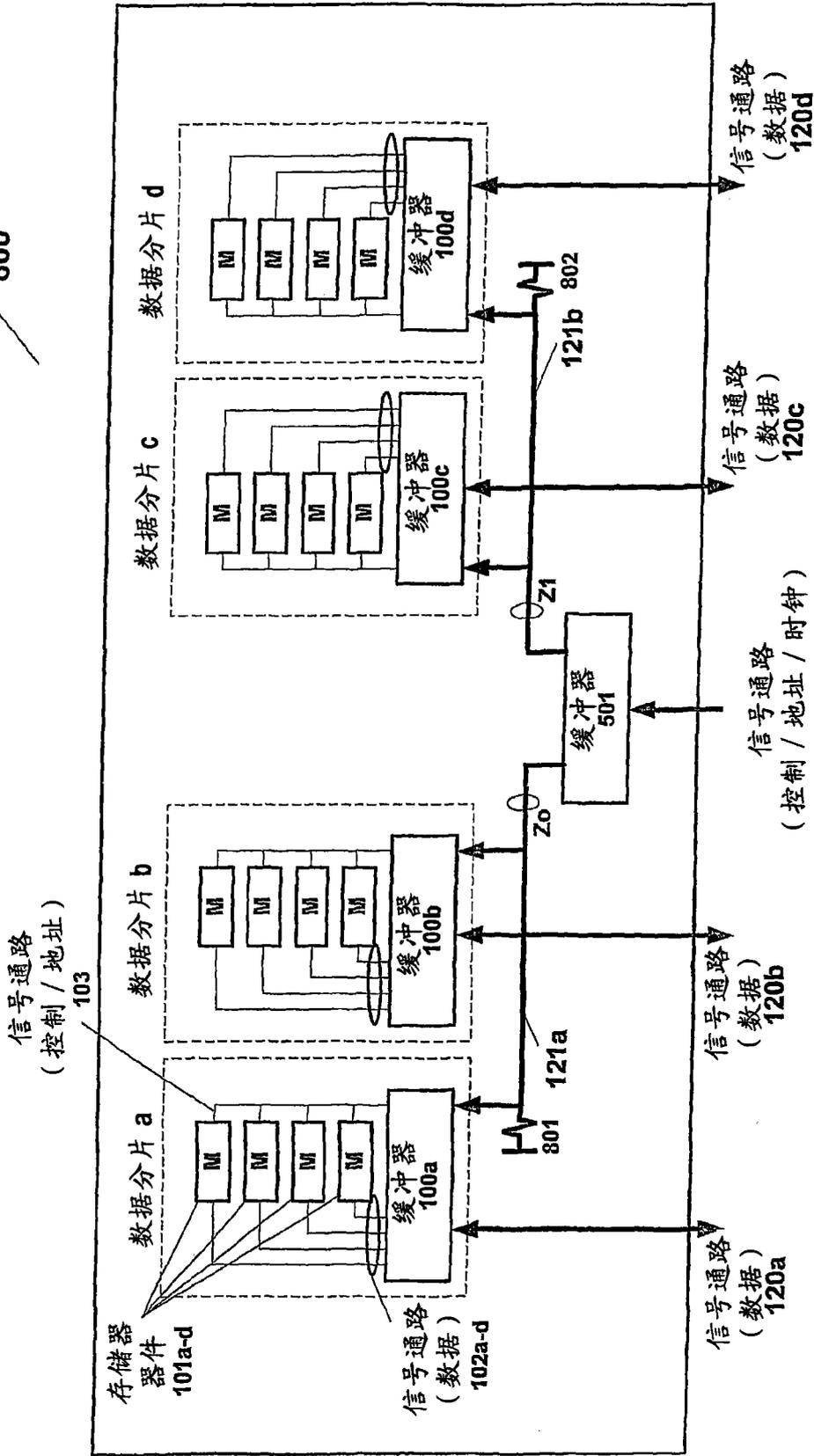


图 7

存储器模块  
800



121

图 8

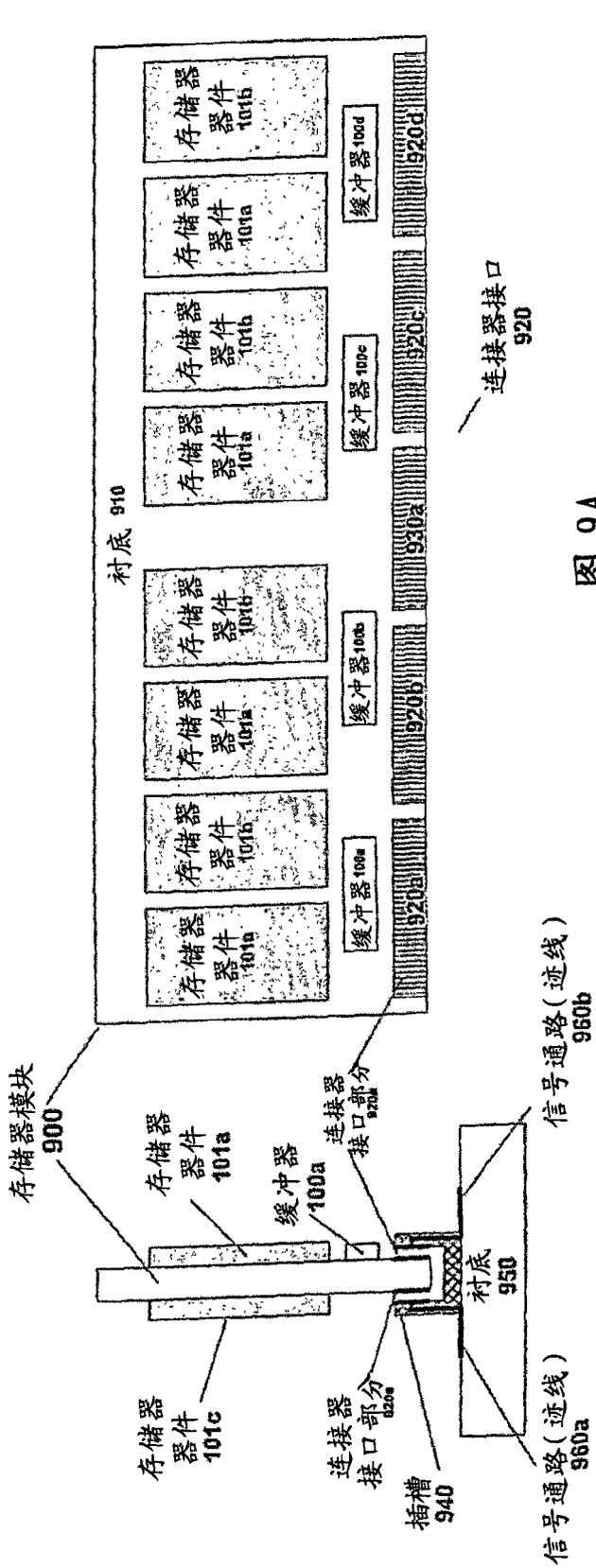


图 9A

图 9B

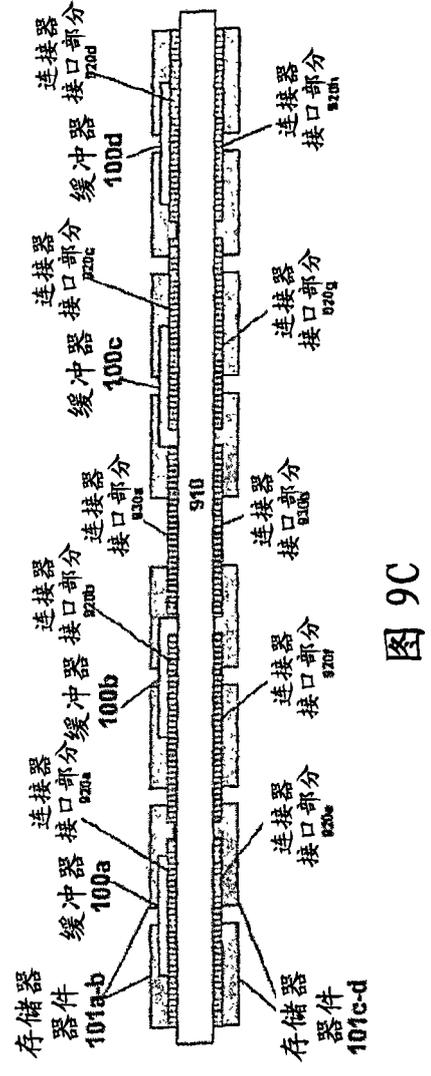


图 9C

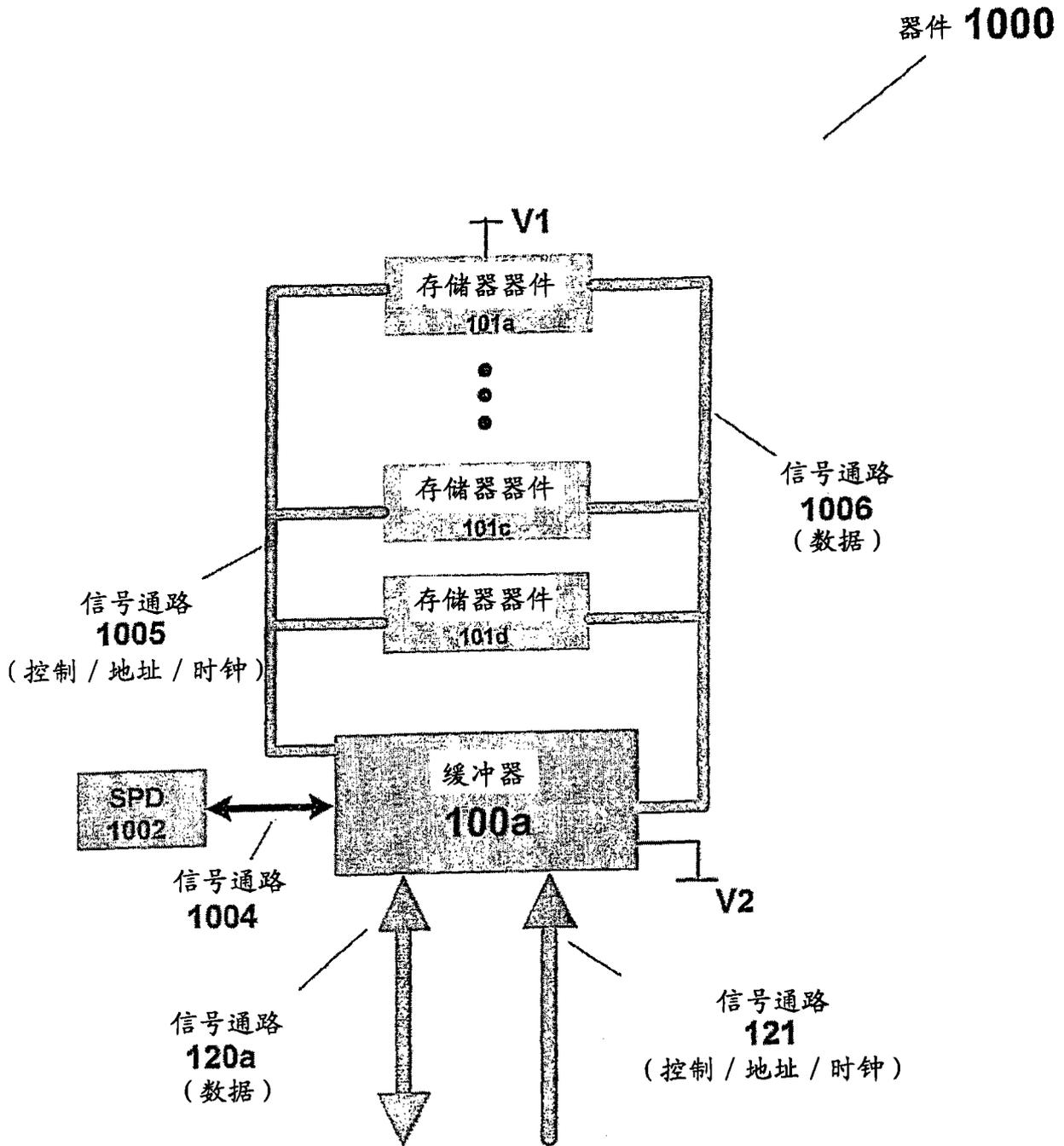


图 10

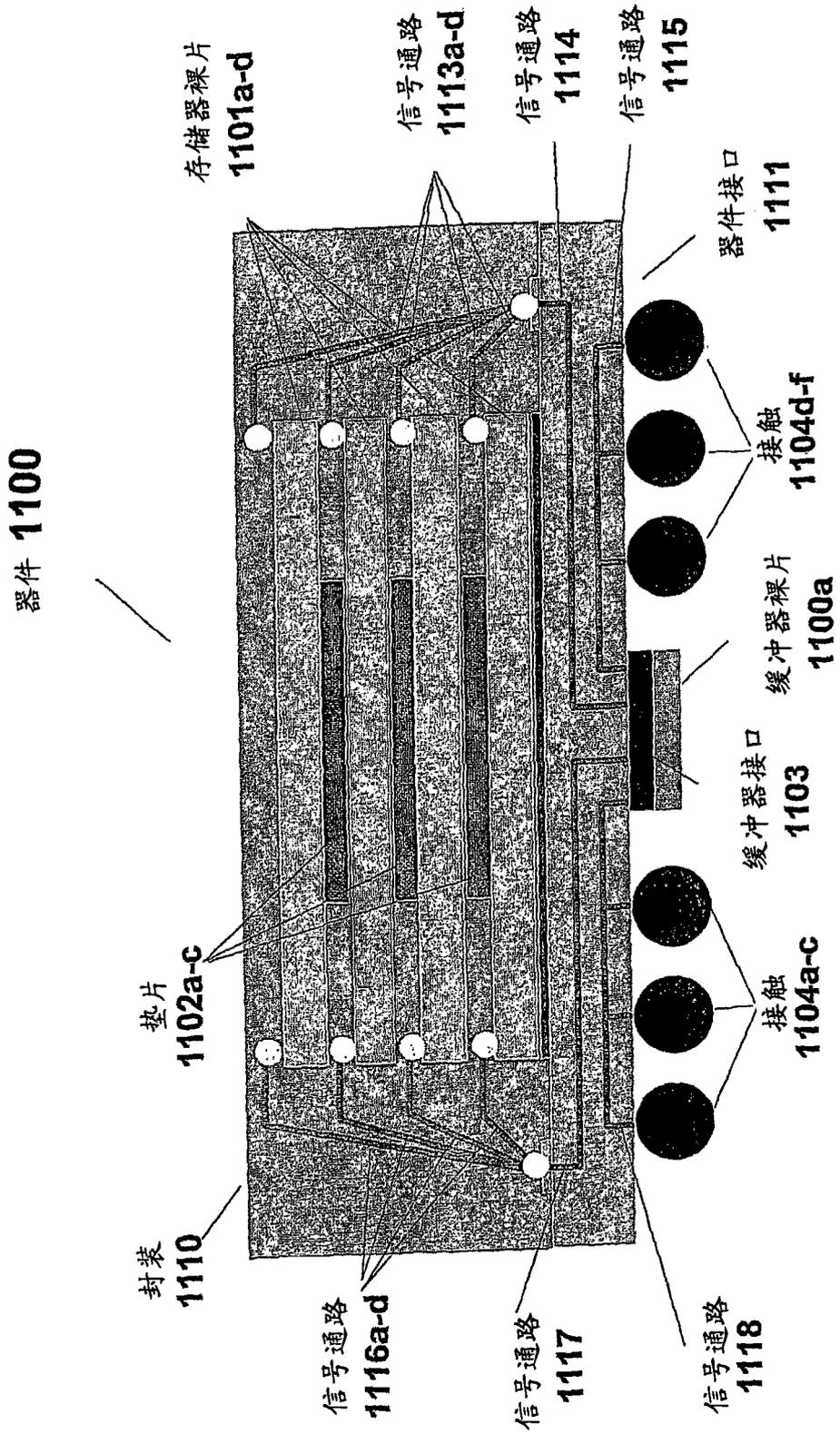


图 11

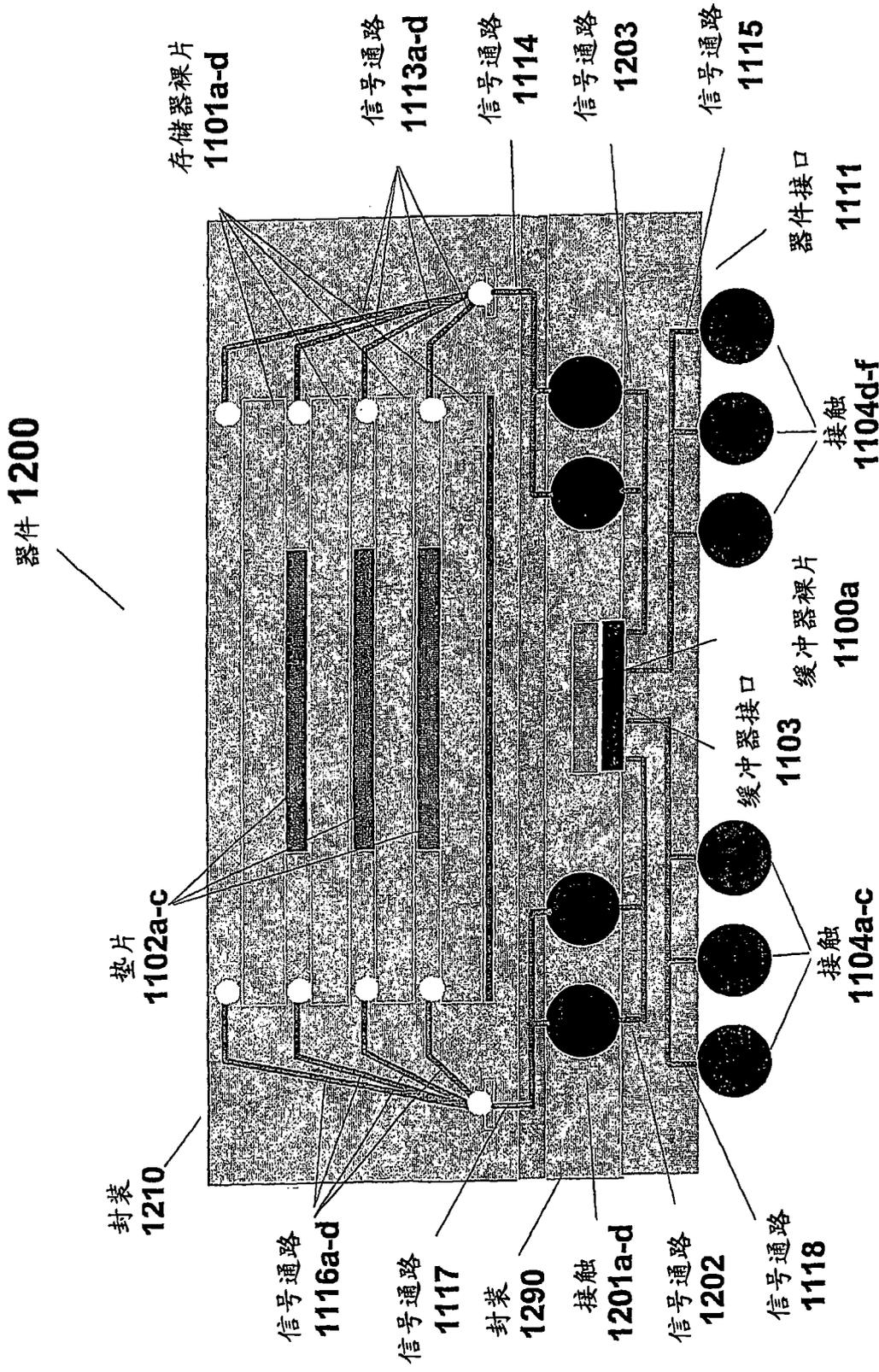


图 12

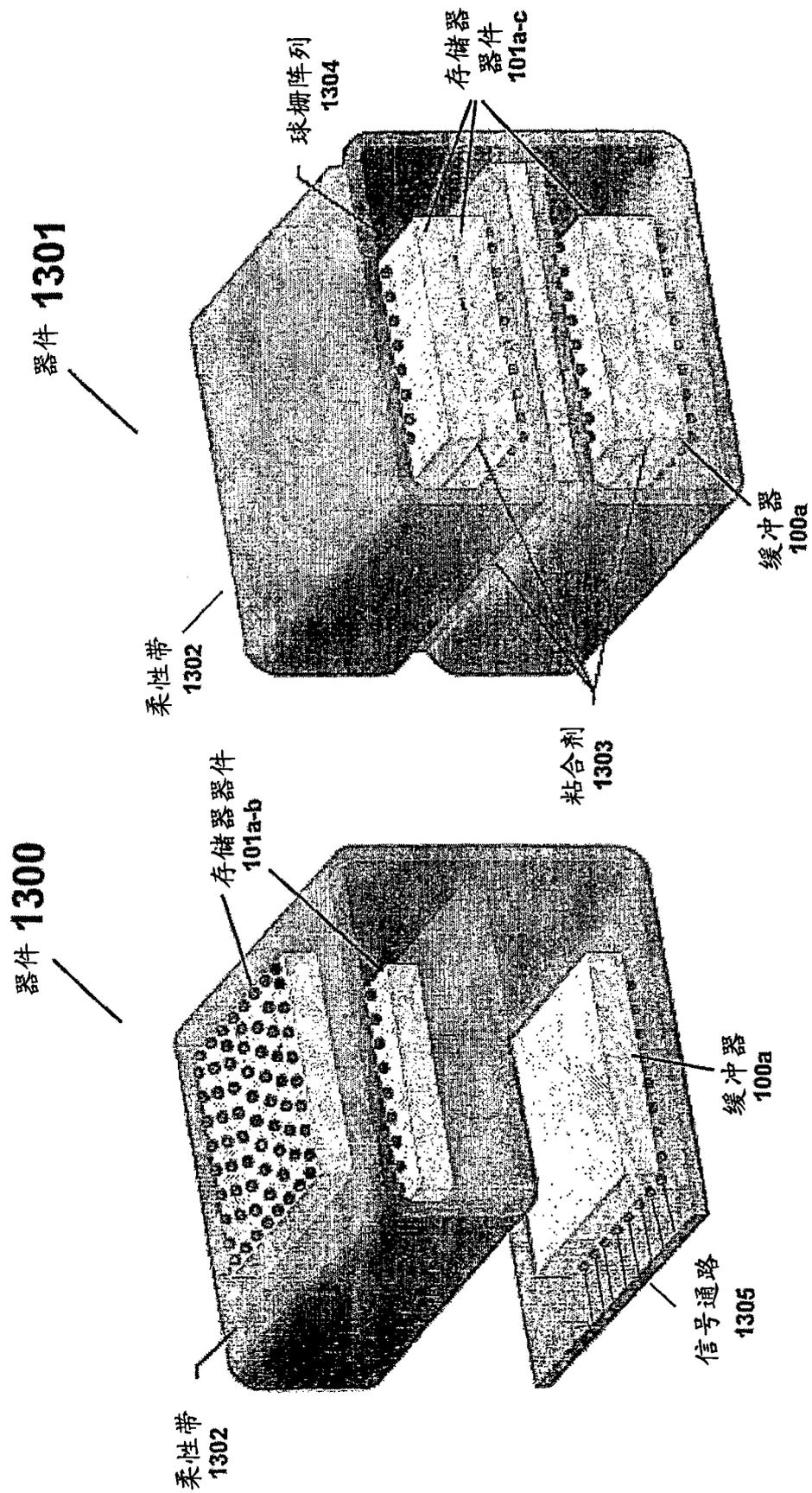


图 13

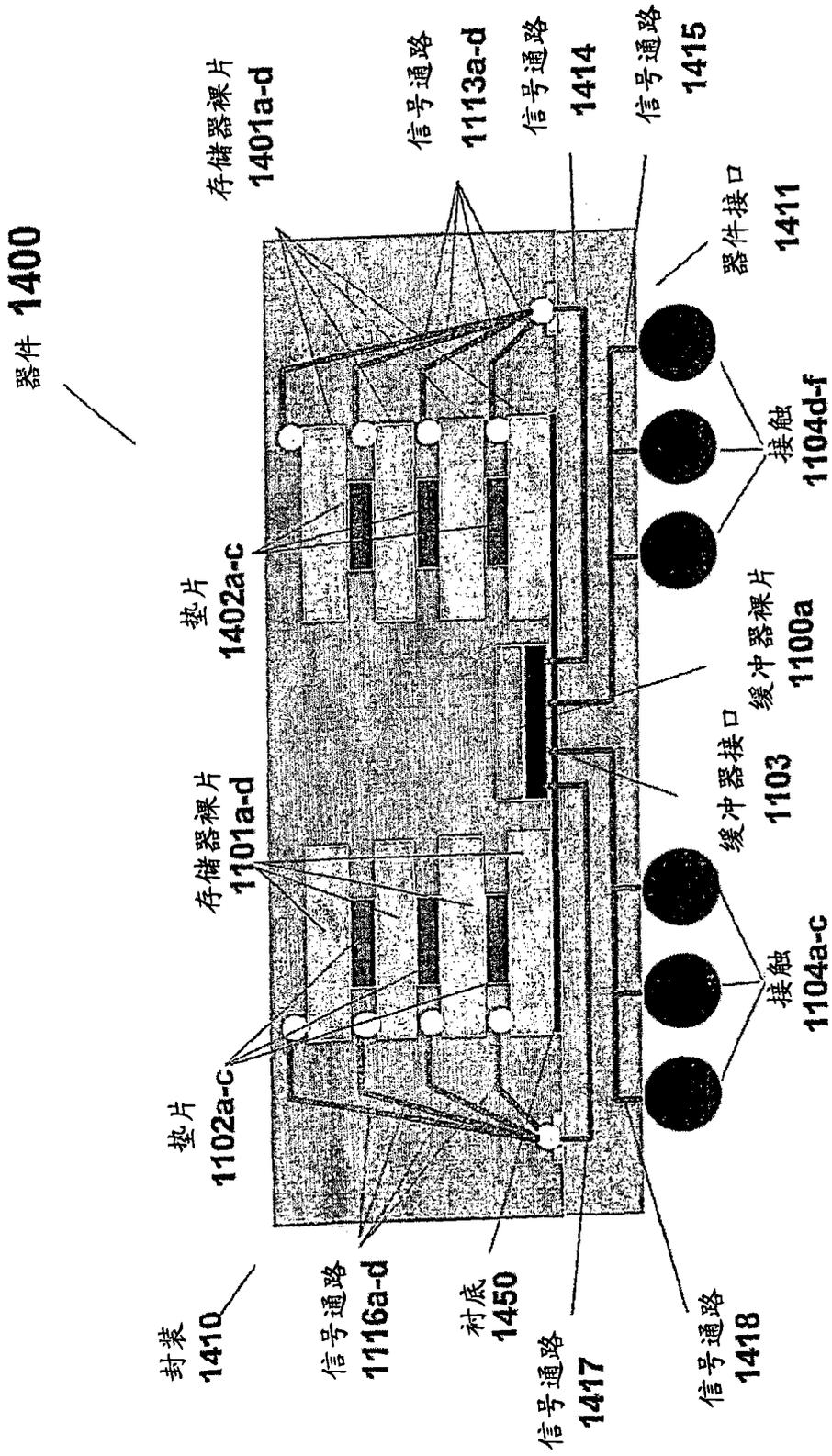


图 14

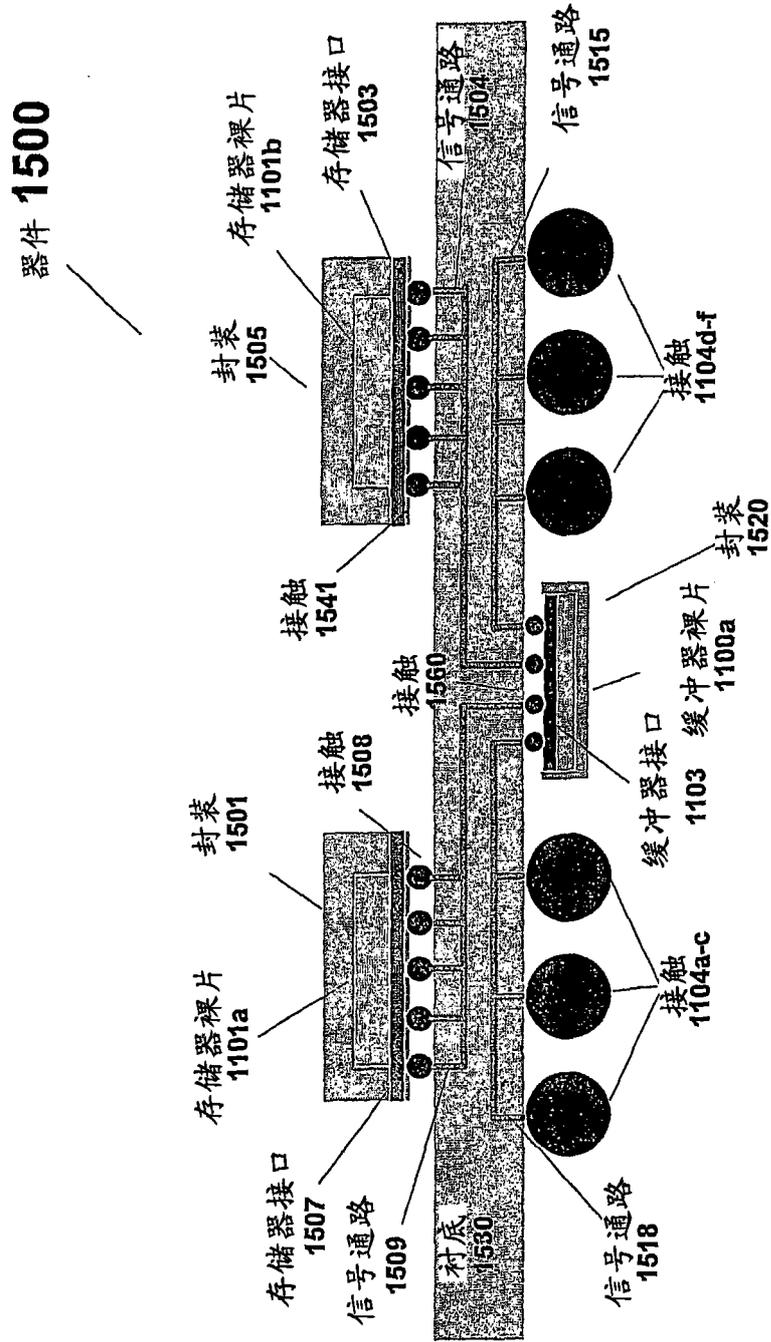


图 15

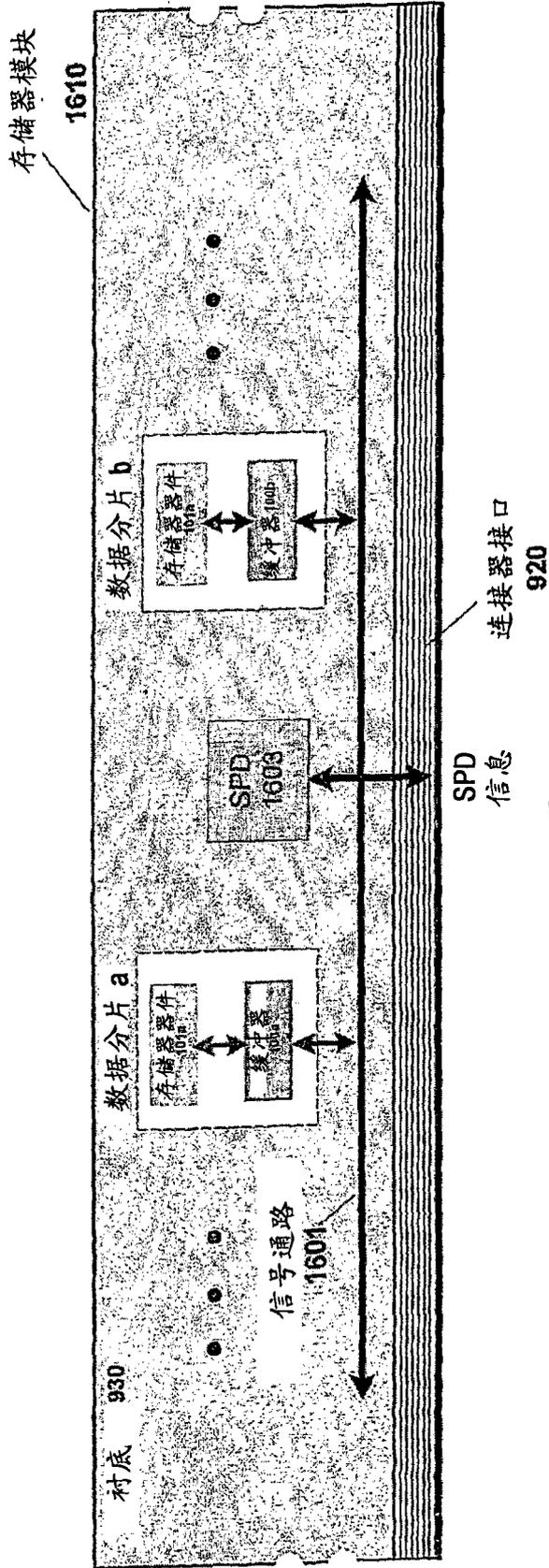


图 16

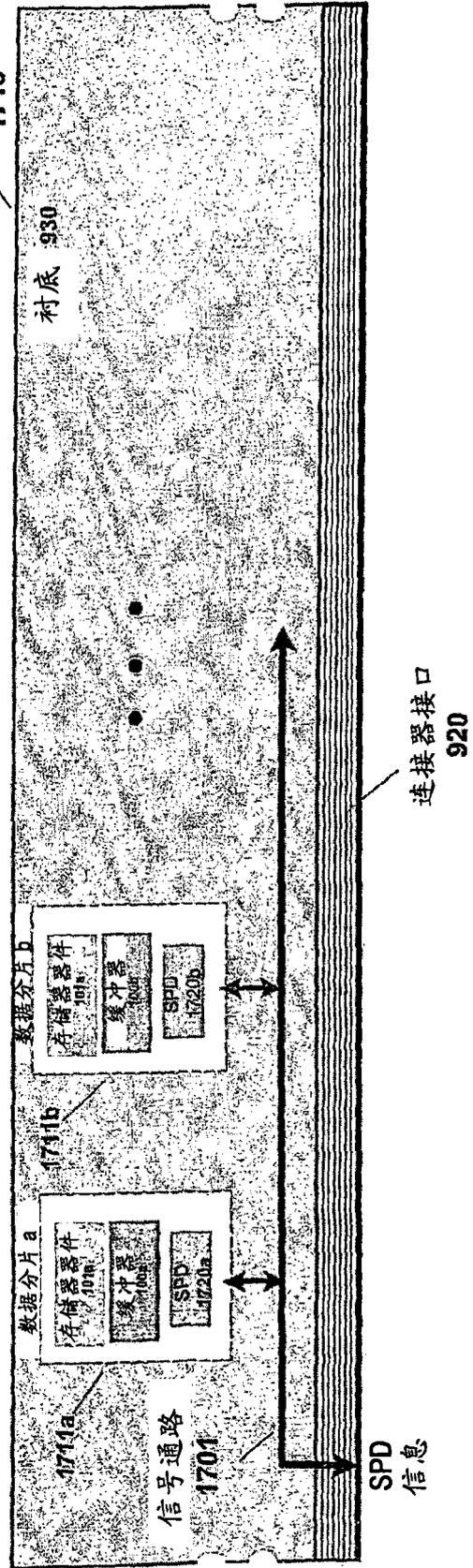


图 17

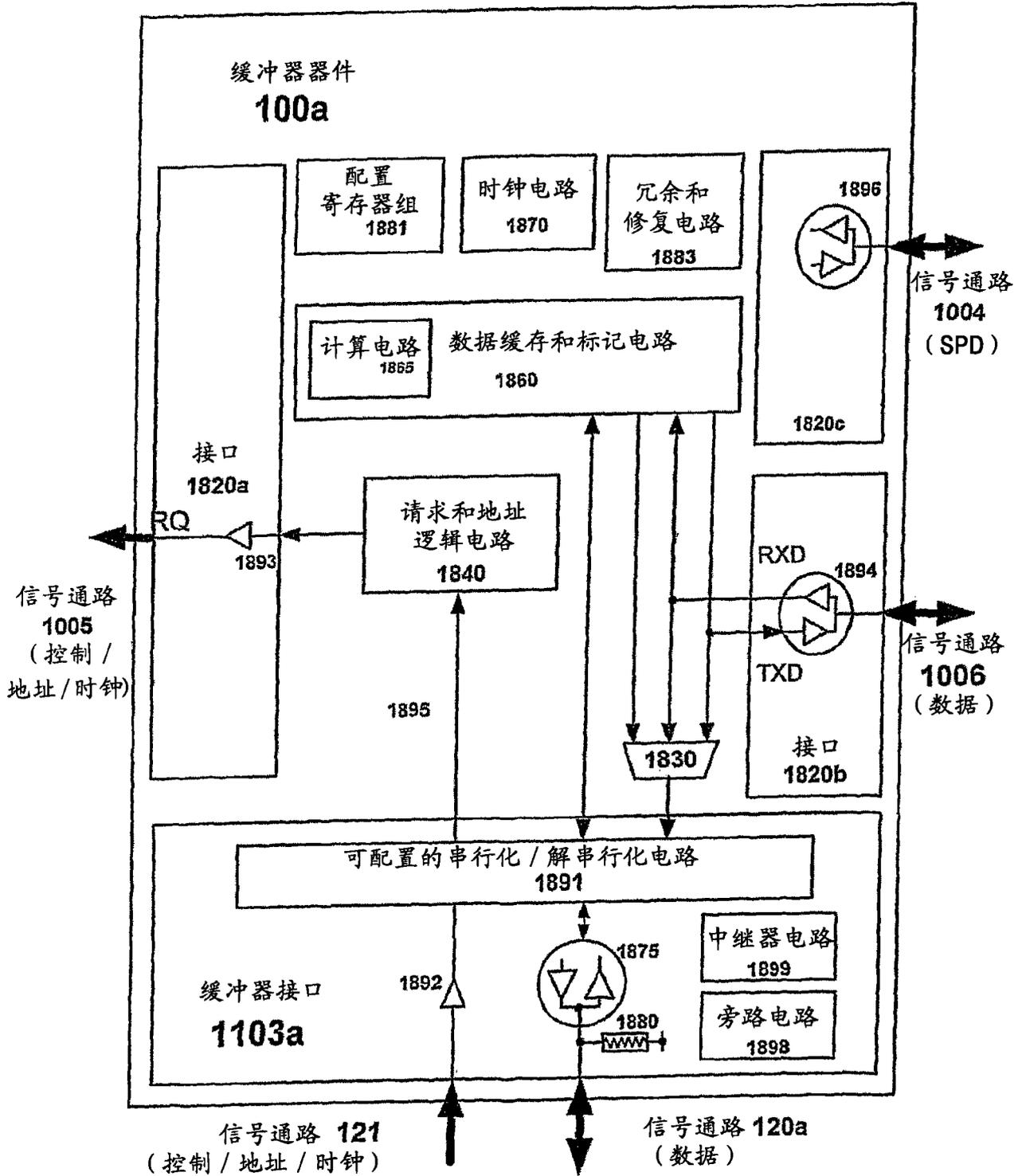


图 18

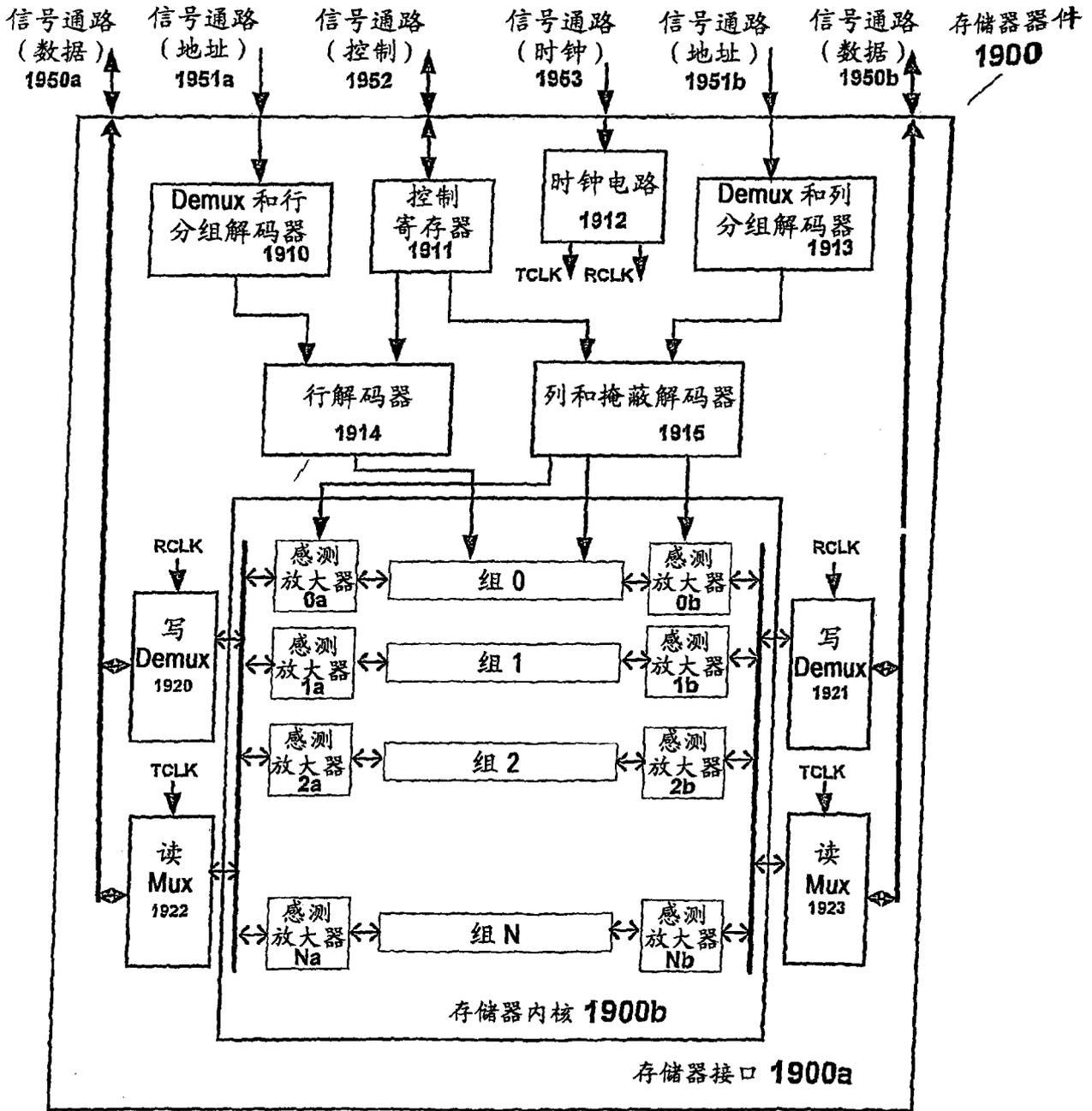


图 19