

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2017-147637
(P2017-147637A)

(43) 公開日 平成29年8月24日 (2017.8.24)

(51) Int.Cl.

F I

テーマコード (参考)

H O 3 M 1 / 0 8 (2 0 0 6 . 0 1) H O 3 M 1 / 0 8 A 5 J 0 2 2

H O 3 M 1 / 1 2 (2 0 0 6 . 0 1) H O 3 M 1 / 1 2 C

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号	特願2016-28818 (P2016-28818)	(71) 出願人	000232483
(22) 出願日	平成28年2月18日 (2016.2.18)		日本電波工業株式会社
		(74) 代理人	100166006
			弁理士 泉 通博
		(72) 発明者	依田 友也
			北海道千歳市柏台南1丁目3番1号 千歳
			アルカディア・プラザ 日本電波工業株式
			会社内
		(72) 発明者	大西 直樹
			北海道千歳市柏台南1丁目3番1号 千歳
			アルカディア・プラザ 日本電波工業株式
			会社内
		Fターム(参考)	5J022 AA01 BA02

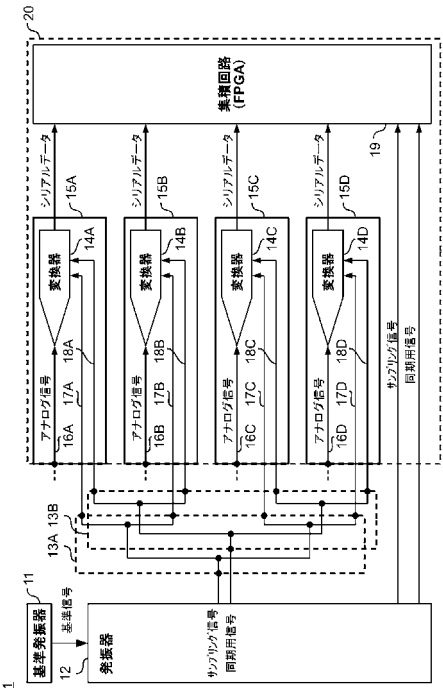
(54) 【発明の名称】 信号処理装置

(57) 【要約】

【課題】 複数のA/D変換部の間の干渉を最小限に抑える。

【解決手段】 信号処理装置1は、クロック信号に基づいて、アナログ信号をデジタル信号に変換して出力する複数の変換器14と、基準信号に基づいて、クロック信号を生成する発振器12と、生成されたクロック信号を、複数の変換器14に分配する分配器13と、複数の変換器14のそれぞれに割り当てられた領域のみを通り、アナログ信号を変換器14に供給する第1線路16と、領域のみを通り、分配されたクロック信号を変換器14に供給する第2線路17、18とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

クロック信号に基づいて、アナログ信号をデジタル信号に変換して出力する複数の変換部と、

基準信号に基づいて、前記クロック信号を生成する生成部と、

生成された前記クロック信号を、複数の前記変換部に分配する分配部と、

複数の前記変換部のそれぞれに割り当てられた領域のみを通り、前記アナログ信号を前記変換部に供給する第 1 線路と、

前記領域のみを通り、分配された前記クロック信号を前記変換部に供給する第 2 線路と

、

を備える信号処理装置。

【請求項 2】

複数の前記領域のそれぞれに、当該領域に配置される前記変換部と、他の前記領域に配置される前記変換部に入力する信号とが干渉することを防ぐ遮蔽部をさらに備える、

請求項 1 に記載の信号処理装置。

【請求項 3】

複数の前記領域のそれぞれの前記第 2 線路の線路長が等しい、

請求項 1 又は 2 に記載の信号処理装置。

【請求項 4】

前記分配部において、生成された前記クロック信号が入力される入力部から、複数の前記変換部のそれぞれに前記クロック信号を出力する複数の出力部のそれぞれまでの線路長が等しい、

請求項 1 から 3 のいずれか 1 項に記載の信号処理装置。

【請求項 5】

前記分配部において、前記入力部から前記出力部までの配線パターンがツリー状である、

請求項 4 に記載の信号処理装置。

【請求項 6】

前記生成部は、前記クロック信号として、複数の前記変換部の同期をとるためのサンプリング信号と、前記変換する際に用いられる同期用信号とを生成し、

前記分配部は、前記サンプリング信号と、前記同期用信号とを、それぞれ異なる基板上で分配する、

請求項 1 から 5 のいずれか 1 項に記載の信号処理装置。

【請求項 7】

前記生成部は、前記クロック信号として、複数の前記変換部の同期をとるためのサンプリング信号と、前記変換する際に用いられる同期用信号とを生成し、

前記分配部は、前記サンプリング信号を一の基板の第 1 の面で分配し、前記同期用信号を、前記基板の第 1 の面と反対側の第 2 の面で分配する、

請求項 1 から 6 のいずれか 1 項に記載の信号処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログ信号をデジタル信号に変換する処理を行う信号処理装置に関する。

【背景技術】

【0002】

高速シリアルインターフェースの標準規格として、米国の標準化団体 J E D E C が策定した J E S D 2 0 4 B がある。J E S D 2 0 4 B では、特許文献 1 に示すように、アナログ信号をデジタル信号に変換する複数の変換部を並列に並べ、複数のアナログ信号を同時にデジタル信号に変換して出力することが可能である。J E S D 2 0 4 B を用いれば、基板上の配線を大幅に削減できることから、通信機器や計測機器等の分野での需要が増加し

10

20

30

40

50

ている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-239847号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、アナログ信号をデジタル信号に変換する複数の変換部を並列に並べ、複数のアナログ信号をデジタル信号に変換する場合、一の変換部に入力されるクロック信号が、他の変換部や、他の変換部に入力されるアナログ信号の線路の近傍を通り、クロック信号の線路を介してアナログ信号が干渉してしまうという問題がある。

10

【0005】

図2は、従来の信号処理装置の構成の一例を示す図である。図2に示すように、従来の信号処理装置100は、プリント基板101上に、複数のAD変換部102と、クロック信号を分配するクロック分配IC103とが設けられている。そして、クロック分配IC103は、複数の変換部102に、クロック信号として、複数の変換部の同期をとるための同期用信号と、AD変換時に用いられるサンプリング信号とを供給している。プリント基板101上に、クロック分配IC103が存在する場合には、複数の変換部102の近傍に、クロック信号を供給するための線路が配置されることとなり、当該線路を介して、隣接する変換部102に供給されるアナログ信号の干渉が発生してしまうという問題がある。

20

【0006】

そこで、本発明はこれらの点に鑑みてなされたものであり、複数のAD変換部の間の干渉を抑えることができる信号処理装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の第1の態様に係る信号処理装置は、クロック信号に基づいて、アナログ信号をデジタル信号に変換して出力する複数の変換部と、基準信号に基づいて、前記クロック信号を生成する生成部と、生成された前記クロック信号を、複数の前記変換部に分配する分配部と、複数の前記変換部のそれぞれに割り当てられた領域のみを通り、前記アナログ信号を前記変換部に供給する第1線路と、前記領域のみを通り、分配された前記クロック信号を前記変換部に供給する第2線路と、を備える。

30

【0008】

前記信号処理装置は、複数の前記領域のそれぞれに、当該領域に配置される前記変換部と、他の前記領域に配置される前記変換部に入力する信号とが干渉することを防ぐ遮蔽部をさらに備えてもよい。

前記信号処理装置は、複数の前記領域のそれぞれの前記第2線路の線路長が等しくてもよい。

【0009】

40

前記信号処理装置は、前記分配部において、生成された前記クロック信号が入力される入力部から、複数の前記変換部のそれぞれに前記クロック信号を出力する複数の出力部のそれぞれまでの線路長が等しくてもよい。

前記信号処理装置は、前記分配部において、前記入力部から前記出力部までの配線パターンがツリー状であってもよい。

【0010】

前記生成部は、前記クロック信号として、複数の前記変換部の同期をとるためのサンプリング信号と、前記変換する際に用いられる同期用信号とを生成し、前記分配部は、前記サンプリング信号と、前記同期用信号とを、それぞれ異なる基板上で分配してもよい。

前記生成部は、前記クロック信号として、複数の前記変換部の同期をとるためのサンプリング

50

リング信号と、前記変換する際に用いられる同期用信号とを生成し、前記分配部は、前記サンプリング信号を一の基板の第1の面で分配し、前記同期用信号を、前記基板の第1の面と反対側の第2の面で分配してもよい。

【発明の効果】

【0011】

本発明によれば、複数のA/D変換部の間の干渉を最小限に抑えることができるという効果を奏する。

【図面の簡単な説明】

【0012】

【図1】本実施形態に係る信号処理装置の構成を示す図である。

10

【図2】従来の信号処理装置の構成の一例を示す図である。

【発明を実施するための形態】

【0013】

図1は、本実施形態に係る信号処理装置1の構成を示す図である。信号処理装置1は、基準発振器11と、発振器12と、分配器13と、変換器14と、シールドケース15と、第1線路16と、第2線路17及び18と、集積回路19と、基板20とを備える。

【0014】

基準発振器11は、例えば水晶発振器であり、所定周波数の基準信号を生成して発振器12に出力する。

発振器12は、例えばPLL(Phase Locked Loop)回路等によって構成されている。発振器12は、生成部として機能し、基準発振器11から入力された基準信号に基づいて、クロック信号として、複数の変換器14の同期をとるための同期用信号と、複数の変換器14において、アナログ信号をデジタル信号に変換する際に用いられるサンプリング信号とを生成する。例えば、サンプリング信号の周波数は、3.6GHzである。また、同期用信号は、サンプリング信号の分周信号であり、同期用信号の周波数は22.5MHzである。発振器12は、サンプリング信号を分配器13A及び集積回路19に出力するとともに、同期用信号を分配器13B及び集積回路19に出力する。

20

【0015】

分配器13は、発振器12において生成されたクロック信号を、複数の変換器14に分配する。分配器13は、発振器12から出力されたサンプリング信号と、同期用信号とを、それぞれ異なる基板上に形成されている分配器13A及び分配器13Bで分配する。

30

【0016】

分配器13Aは、例えば基板上に形成された分配回路であり、発振器12によって生成されたサンプリング信号を複数の変換器14に分配して出力する。分配器13Aは、生成されたサンプリング信号が入力される入力部としての一の入力端子と、分配されたサンプリング信号を出力する出力部としての複数の出力端子とを備えている。本実施形態において、分配器13Aの出力端子は、変換器14の個数に対応して4つ設けられている。図1に示すように、分配器13Aにおいて、入力端子から4つの出力端子までの配線パターンはツリー状であり、入力端子から4つの出力端子のそれぞれまでの線路長は等しい。

分配器13Aは、分配されたサンプリング信号を、第2線路17を介して、複数の変換器14に出力する。

40

【0017】

分配器13Bは、例えば、分配器13Aとは異なる基板上に形成された分配回路であり、発振器12によって生成された同期用信号を複数の変換器14に分配して出力する。分配器13Bも、分配器13Aと同様に、生成された同期用信号が入力される入力部としての一の入力端子と、分配された同期用信号を出力する出力部としての複数の出力端子とを備えている。本実施形態において、分配器13Bの出力端子は、変換器14の個数に対応して4つ設けられている。

【0018】

分配器13Bにおいて、入力端子から4つの出力端子までの配線パターンはツリー状で

50

あり、入力端子から4つの出力端子のそれぞれまでの線路長は等しい。ツリー状とは、1本の配線が複数本に分岐し、分岐後の各配線が、さらに複数本に分岐する態様である。図1においては、1本の配線が2本に分岐している例を示しているが、1本の配線が3本以上に分岐してもよい。

分配器13Bは、分配された同期用信号を、第2線路18を介して、複数の変換器14に出力する。

【0019】

このように、信号処理装置1においては、サンプリング信号と、同期用信号とを異なる基板上で分配し、変換器14に入力するので、基板20上における、サンプリング信号に対応する線路の配線、及び同期用信号に対応する線路の配線を容易にすることができる。また、分配器13A、13B上で、入力端子から複数の出力端子のそれぞれまでの距離を等しくすることにより、分配する信号の位相が線路長の相違に伴って異なってしまうことを防止することができる。また、分配器13A、13Bにおける配線パターンをツリー状とすることにより、発振器12から複数の変換器14のそれぞれへの配線を等長配線にしやすくできる。

【0020】

なお、本実施形態において、分配器13は、サンプリング信号と、同期用信号とをそれぞれ異なる基板上で分配することとしたが、これに限らない。分配器13は、サンプリング信号を一の基板の第1の面で分配し、同期用信号を、当該基板における第1の面と反対側の第2の面で分配してもよい。このようにすることで、分配器13を小型化することができる。

【0021】

変換器14、シールドケース15、第1線路16、第2線路17、18、及び集積回路19は、一の基板20上に配置されている。

複数の変換器14は、分配器13から出力されたクロック信号に基づいて、アナログ信号をデジタル信号に変換し、当該デジタル信号をシリアルデータとして集積回路19に出力するAD変換器である。本実施形態において、信号処理装置1には、複数の変換器14として、図1に示すように、変換器14A～14Dが設けられている。

【0022】

変換器14A～14Dのそれぞれには、アナログ信号及びクロック信号の配線用の領域が割り当てられている。ここで、変換器14A～14Dのそれぞれに割り当てられている配線用の領域は、当該領域内の変換器14と接続される線路のみが配置され、他の領域内の変換器14と接続される線路が配置されない領域である。この領域を設けることにより、当該領域内の変換器14に接続される線路と、当該領域とは異なる領域内の変換器14に接続される線路とが、交差したり近接したりすることを抑制することができる。これにより、信号処理装置1は、それぞれの変換器14に入力されるアナログ信号が、クロック信号を供給する線路を介して、他の変換器14に入力されるアナログ信号と干渉することを抑制することができる。

【0023】

変換器14A～14Dのそれぞれには、自身に割り当てられている配線用の領域のみを通り、アナログ信号を変換器14に供給する第1線路16と、当該領域のみを通り、サンプリング信号を変換器14に供給する第2線路17と、当該領域のみを通り、同期用信号を変換器14に供給する第2線路18とが接続されている。

【0024】

例えば、変換器14Aには、第1線路16Aと、第2線路17A、18Aとが接続されている。ここで、それぞれの変換器14に接続される第1線路16A～16Dと、第2線路17A～17D、18A～18Dとは、それぞれが交差しないように配置されている。また、第1線路16A～16Dの線路長も等しく、同様に、第2線路17A～17Dの線路長、第2線路18A～18Dの線路長も等しい。このようにすることで、それぞれの信号の位相が線路長の相違に伴って異なってしまうことを防止することができる。

【0025】

なお、第2線路17、18は、一の基板20上に設けられることとしたが、これに限らない。例えば、2つの基板のそれぞれに、第2線路17、18を配線し、変換器14に接続されるようにしてもよい。

【0026】

変換器14A～14Dのそれぞれは、第2線路18A～18Dによって供給される同期用信号に基づいてそれぞれ同期をとり、第2線路17A～17Dによって供給されるサンプリング信号に基づいて、第1線路16A～16Dによって供給されるアナログ信号をデジタル信号に変換する。複数の変換器14A～14Dのそれぞれは、変換されたデジタル信号を、シリアルデータとして集積回路19に出力する。

10

【0027】

また、変換器14A～14Dのそれぞれに割り当てられている配線用の領域には、当該領域に配置される変換器14に入力する信号と、当該領域とは異なる他の配線用の領域に配置される他の変換器14に入力する信号とが干渉することを防ぐ遮蔽部としてのシールドケース15が設けられている。このようにすることで、隣接する変換器14の間で信号が干渉することをさらに抑制することができる。

【0028】

集積回路19は、例えば、FPGA (Field-Programmable Gate Array) であり、発振器12から出力されたサンプリング信号及び同期用信号に基づいて、複数の変換器14から出力された複数のシリアルデータを取得し、取得したシリアルデータに基づいて所定の演算処理を行う。

20

【0029】

[本実施形態の効果]

以上説明したように、本実施形態に係る信号処理装置1は、クロック信号に基づいて、アナログ信号をデジタル信号に変換して出力する複数の変換器14と、クロック信号を、複数の変換器14に分配する分配器13と、複数の変換器14のそれぞれに割り当てられた領域のみを通り、アナログ信号を変換器14に供給する第1線路16と、当該領域のみを通り、分配されたクロック信号を変換器14に供給する第2線路17、18とを備える。このようにすることで、領域内の変換器14に接続される線路と、当該領域とは異なる領域内の変換器14に接続される線路とが、交差したり近接したりすることを抑制することができる。これにより、信号処理装置1は、それぞれの変換器14に入力されるアナログ信号が、クロック信号を供給する線路を介して、他の変換器14に入力されるアナログ信号と干渉することを抑制することができる。

30

【0030】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。そのような変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。例えば、上述の実施形態では、4つの変換器14A～14Dが用いられる例について説明したが、これに限らず、複数の変換器14が設けられていればよい。

40

【符号の説明】

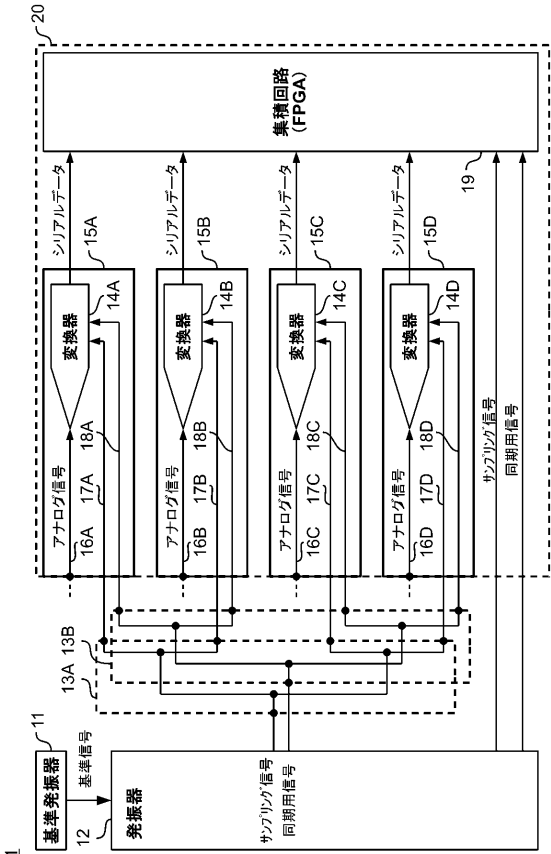
【0031】

- 1 信号処理装置
- 11 基準発振器
- 12 発振器
- 13 分配器
- 14 変換器
- 15 シールドケース
- 16 第1線路
- 17、18 第2線路

50

1 9 集積回路
2 0 基板

【図 1】



【図 2】

