



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0009072
(43) 공개일자 2025년01월17일

(51) 국제특허분류(Int. Cl.)
H04L 25/06 (2006.01) H04L 25/49 (2006.01)
(52) CPC특허분류
H04L 25/061 (2013.01)
H04L 25/4917 (2013.01)
(21) 출원번호 10-2023-0088860
(22) 출원일자 2023년07월10일
심사청구일자 2023년07월10일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
최종혁
경기도 수원시 영통구 삼성로 11(신동, 래미안 영
통마크원2단지)
(74) 대리인
특허법인주연케이알피

전체 청구항 수 : 총 10 항

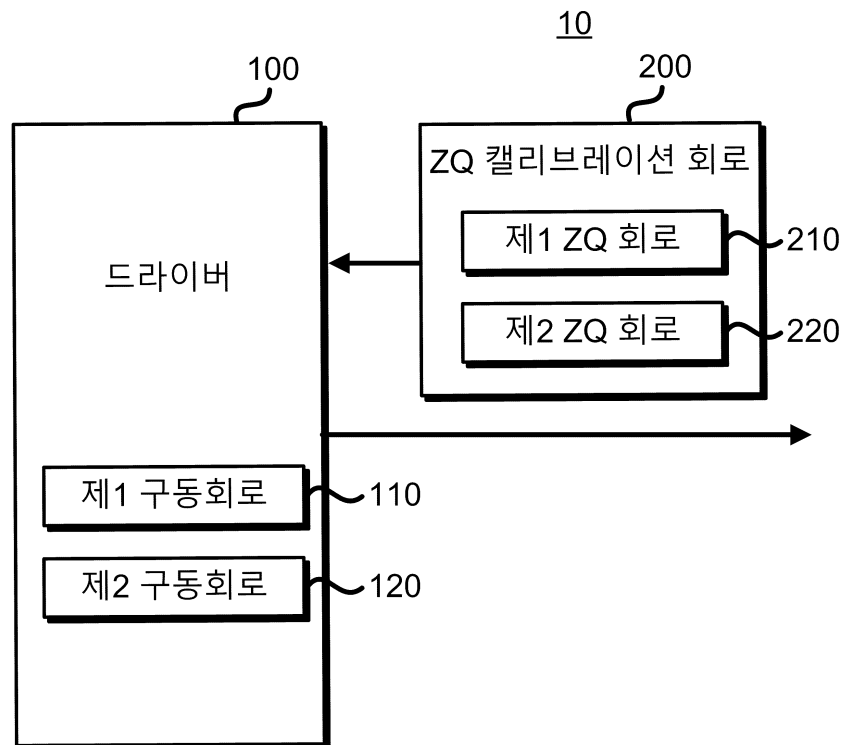
(54) 발명의 명칭 바이어스 전압 레벨을 조정하여 임피던스를 보정하는 PAM-3 송신기 및 그 동작 방법

(57) 요약

본 발명은 PAM-3 송신기에 관한 것이다. 본 발명의 일 실시 예에 따른 PAM-3 송신기는 제1 내지 제3 비트신호에 응답하여 PAM-3 전압 레벨에 대응하는 출력 신호를 출력하고, 제1 내지 제3 바이어스 전압 중 적어도 하나 이상의 전압에 응답하여 상기 출력 신호의 임피던스를 매칭하는 드라이버; 및 조정 전압을 기준 전압의 전압 레벨과

(뒷면에 계속)

대표도 - 도1



동일하도록 조정하여 상기 제1 내지 제3 바이어스 전압의 레벨을 조정하는 ZQ 캘리브레이션 회로를 포함하고, 상기 드라이버는: 상기 제1 비트신호 및 상기 제1 바이어스 전압을 각각 수신하는 제1 및 제2 트랜지스터를 포함하고, 상기 제1 바이어스 전압을 이용하여 상기 출력 신호의 임피던스를 보정하는 제1 구동회로; 및 상기 제2 비트신호 및 상기 제2 바이어스 전압을 각각 수신하는 제3 및 제4 트랜지스터를 포함하고, 상기 제3 비트신호 및 상기 제3 바이어스 전압을 각각 수신하는 제5 및 제6 트랜지스터를 포함하고, 상기 제2 및 제3 바이어스 전압 또는 상기 제3 바이어스 전압을 이용하여 상기 출력 신호의 임피던스를 보정하는 제2 구동회로를 포함할 수 있다.

(72) 발명자

이선빈

서울특별시 송파구 풍성로26길 47 (풍납동, 송파해모로아파트)

심창민

서울특별시 동대문구 약령시로3길 22-9(제기동)

박승우

서울특별시 마포구 마포대로 195(아현동, 마포 래미안 푸르지오)

신화석

서울특별시 동작구 동작대로39길 22(동작동, 이수힐스테이트)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711193394
과제번호	2022-0-01171-002
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	PIM인공지능반도체핵심기술개발
연구과제명	PIM 고속 데이터 송수신을 위한 지능형 PHY 인터페이스기술 개발
기 여 율	1/1
과제수행기관명	고려대학교산학협력단
연구기간	2023.01.01 ~ 2023.12.31

명세서

청구범위

청구항 1

제1 내지 제3 비트신호에 응답하여 PAM-3 전압 레벨에 대응하는 출력 신호를 출력하고, 제1 내지 제3 바이어스 전압 중 적어도 하나 이상의 전압에 응답하여 상기 출력 신호의 임피던스를 매칭하는 드라이버; 및

조정 전압을 기준 전압의 전압 레벨과 동일하도록 조정하여 상기 제1 내지 제3 바이어스 전압의 레벨을 조정하는 ZQ 캘리브레이션 회로를 포함하고,

상기 드라이버는:

상기 제1 비트신호 및 상기 제1 바이어스 전압을 각각 수신하는 제1 및 제2 트랜지스터를 포함하고, 상기 제1 바이어스 전압을 이용하여 상기 출력 신호의 임피던스를 보정하는 제1 구동회로; 및

상기 제2 비트신호 및 상기 제2 바이어스 전압을 각각 수신하는 제3 및 제4 트랜지스터를 포함하고, 상기 제3 비트신호 및 상기 제3 바이어스 전압을 각각 수신하는 제5 및 제6 트랜지스터를 포함하고, 상기 제2 및 제3 바이어스 전압 또는 상기 제3 바이어스 전압을 이용하여 상기 출력 신호의 임피던스를 보정하는 제2 구동회로를 포함하는 PAM-3 송신기.

청구항 2

제1항에 있어서,

상기 드라이버는,

상기 제1 비트신호가 1인 경우 상기 제1 구동회로가 상기 출력 신호를 출력하고, 상기 제2 및 제3 비트신호 또는 상기 제3 비트신호가 1인 경우 상기 제2 구동회로가 상기 출력 신호를 출력하는 PAM-3 송신기.

청구항 3

제1항에 있어서,

상기 ZQ 캘리브레이션 회로는:

상기 조정 전압과 상기 기준 전압을 비교하여 상기 제1 내지 제3 바이어스 전압을 출력하는 비교기; 및

상기 조정 전압과 상기 기준 전압의 차이만큼 상기 제1 내지 제3 바이어스 전압을 증가 또는 감소시키고, 상기 제1 내지 제3 바이어스 전압을 상기 비교기에 상기 기준 전압으로 입력하는 복사 구동회로; 및

중단 저항에 대응하여 상기 제1 내지 제3 바이어스 전압의 레벨을 보정하는 저항기를 포함하는 PAM-3 송신기.

청구항 4

제3항에 있어서,

상기 복사 구동회로는,

상기 제1 및 제2 구동회로 중 적어도 하나의 복사 회로인 PAM-3 송신기.

청구항 5

제1항에 있어서,

상기 PAM-3 송신기는,

상기 드라이버의 현재 출력 신호인 제1 출력 신호와 이전 출력 신호인 제2 출력 신호에 응답하여 상기 출력 신호의 전압 레벨을 증가시키고, 상기 출력 신호의 전압 레벨 간격을 유지시키는 피드포워드 등화기를 더 포함하는 PAM-3 송신기.

청구항 6

제5항에 있어서,

상기 피드포워드 등화기는,

무한대 저항을 가지는 병렬 회로를 이용하여 상기 드라이버의 임피던스를 종단 저항과 매칭하는 PAM-3 송신기.

청구항 7

PAM-3 송신기의 동작 방법에 있어서,

제1 내지 제3 비트신호에 응답하여 PAM-3 전압 레벨에 대응하는 출력 신호를 출력하고, 제1 내지 제3 바이어스 전압 중 적어도 하나 이상의 전압에 응답하여 상기 출력 신호의 임피던스를 매칭하는 단계; 및

조정 전압을 기준 전압의 전압 레벨과 동일하도록 조정하여 상기 제1 내지 제3 바이어스 전압의 레벨을 조정하는 단계를 포함하고,

상기 출력 신호의 임피던스를 매칭하는 단계는:

상기 제1 비트신호 및 상기 제1 바이어스 전압을 각각 수신하는 제1 및 제2 트랜지스터를 포함하고, 상기 제1 바이어스 전압을 이용하여 상기 출력 신호의 임피던스를 보정하는 단계; 및

상기 제2 비트신호 및 상기 제2 바이어스 전압을 각각 수신하는 제3 및 제4 트랜지스터를 포함하고, 상기 제3 비트신호 및 상기 제3 바이어스 전압을 각각 수신하는 제5 및 제6 트랜지스터를 포함하고, 상기 제2 및 제3 바이어스 전압 또는 상기 제3 바이어스 전압을 이용하여 상기 출력 신호의 임피던스를 보정하는 단계를 포함하는 PAM-3 송신기의 동작 방법.

청구항 8

제7항에 있어서,

상기 제1 내지 제3 바이어스 전압의 레벨을 조정하는 단계는:

상기 조정 전압과 상기 기준 전압을 비교하여 상기 제1 내지 제3 바이어스 전압을 출력하는 단계; 및

상기 조정 전압과 상기 기준 전압의 차이만큼 상기 제1 내지 제3 바이어스 전압을 증가 또는 감소시키고, 상기 제1 내지 제3 바이어스 전압을 상기 제1 내지 제3 바이어스 전압을 출력하는 단계에 상기 기준 전압으로 입력하는 단계; 및

종단 저항에 대응하여 상기 제1 내지 제3 바이어스 전압의 레벨을 보정하는 단계를 포함하는 PAM-3 송신기의 동작 방법.

청구항 9

제7항에 있어서,

상기 PAM-3 송신기의 동작 방법은,

상기 출력 신호의 임피던스를 매칭하는 단계의 현재 출력 신호인 제1 출력 신호와 이전 출력 신호인 제2 출력 신호에 응답하여 상기 출력 신호의 전압 레벨을 증가시키고, 상기 출력 신호의 전압 레벨 간격을 유지시키는 단계를 더 포함하는 PAM-3 송신기의 동작 방법.

청구항 10

제9항에 있어서,

상기 출력 신호의 전압 레벨 간격을 유지시키는 단계는,

무한대 저항을 가지는 병렬 회로를 이용하여 상기 출력 신호의 임피던스를 매칭하는 단계의 임피던스를 종단 저항과 매칭하는 PAM-3 송신기의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 바이어스 전압 레벨을 조정하여 임피던스를 보정하는 PAM-3 송신기 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 모바일 장치의 급속한 공급과 인터넷 접속량의 급격한 증가에 따라 고용량 및 고속 데이터 전송에 대한 요구가 날로 증가하고 있다. 하지만, NRZ(Non-Return to Zero) 타입의 인코딩을 기반으로 하는 신호 변조 방식으로는 이러한 고용량 및 고속의 데이터 전송 요구를 만족시키기 어려운 실정이다. 최근에는 펄스 진폭 변조(Pulse Amplitude Modulation; PAM) 방식이 고용량과 고속 데이터 전송을 위한 신호 방식의 대안으로 활발하게 연구되고 있다.

[0003] 한편, 펄스 진폭 변조 방식의 데이터 전송 방식은 한정된 대역폭으로 인해 신호에 노이즈가 발생하게 되어 보상 회로가 필요하게 된다. 종래의 ZQ 캘리브레이션(ZQ Calibration)과 피드포워드 등화기(Feed-Forward Equalizer)는 드라이버의 출력 신호를 증가시키고 임피던스를 매칭할 수 있지만, 임피던스를 매칭하는 과정이 필요하고 동작 중 편차(Variation)으로 인해 임피던스가 바뀌어도 탭의 수를 조절할 수 없다는 한계점이 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 대한민국 등록특허 제 10-2405741호

발명의 내용

해결하려는 과제

[0005] 본 발명은 상술한 과제를 해결하기 위한 것으로서, 본 발명의 목적은 바이어스 전압 레벨을 조정하여 임피던스를 보정하는 PAM-3 송신기 및 그 동작 방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명은 제1 내지 제3 비트신호에 응답하여 PAM-3 전압 레벨에 대응하는 출력 신호를 출력하고, 제1 내지 제3 바이어스 전압 중 적어도 하나 이상의 전압에 응답하여 상기 출력 신호의 임피던스를 매칭하는 드라이버; 및 조정 전압을 기준 전압의 전압 레벨과 동일하도록 조정하여 상기 제1 내지 제3 바이어스 전압의 레벨을 조정하는 ZQ 캘리브레이션 회로를 포함하고, 상기 드라이버는: 상기 제1 비트신호 및 상기 제1 바이어스 전압을 각각 수신하는 제1 및 제2 트랜지스터를 포함하고, 상기 제1 바이어스 전압을 이용하여 상기 출력 신호의 임피던스를 보정하는 제1 구동회로; 및 상기 제2 비트신호 및 상기 제2 바이어스 전압을 각각 수신하는 제3 및 제4 트랜지스터를 포함하고, 상기 제3 비트신호 및 상기 제3 바이어스 전압을 각각 수신하는 제5 및 제6 트랜지스터를 포함하고, 상기 제2 및 제3 바이어스 전압 또는 상기 제3 바이어스 전압을 이용하여 상기 출력 신호의 임피던스를 보정하는 제2 구동회로를 포함할 수 있다.

[0007] 본 발명의 일 실시 예에 있어서, 제1항에 있어서, 상기 드라이버는, 상기 제1 비트신호가 1인 경우 상기 제1 구동회로가 상기 출력 신호를 출력하고, 상기 제2 및 제3 비트신호 또는 상기 제3 비트신호가 1인 경우 상기 제2 구동회로가 상기 출력 신호를 출력할 수 있다.

[0008] 본 발명의 일 실시 예에 있어서, 상기 ZQ 캘리브레이션 회로는: 상기 조정 전압과 상기 기준 전압을 비교하여 상기 제1 내지 제3 바이어스 전압을 출력하는 비교기; 및 상기 조정 전압과 상기 기준 전압의 차이만큼 상기 제1 내지 제3 바이어스 전압을 증가 또는 감소시키고, 상기 제1 내지 제3 바이어스 전압을 상기 비교기에 상기 기준 전압으로 입력하는 복사 구동회로; 및 중단 저항에 대응하여 상기 제1 내지 제3 바이어스 전압의 레벨을 보정하는 저항기를 포함할 수 있다.

[0009] 본 발명의 일 실시 예에 있어서, 상기 복사 구동회로는, 상기 제1 및 제2 구동회로 중 적어도 하나의 복사 회로

일 수 있다.

- [0010] 본 발명의 일 실시 예에 있어서, 상기 PAM-3 송신기는, 상기 드라이버의 현재 출력 신호인 제1 출력 신호와 이전 출력 신호인 제2 출력 신호에 응답하여 상기 출력 신호의 전압 레벨을 증가시키고, 상기 출력 신호의 전압 레벨 간격을 유지시키는 피드포워드 등화기를 더 포함할 수 있다.
- [0011] 본 발명의 일 실시 예에 있어서, 상기 피드포워드 등화기는, 무한대 저항을 가지는 병렬 회로를 이용하여 상기 드라이버의 임피던스를 종단 저항과 매칭할 수 있다.
- [0012] 본 발명은 PAM-3 송신기의 동작 방법에 있어서, 제1 내지 제3 비트신호에 응답하여 PAM-3 전압 레벨에 대응하는 출력 신호를 출력하고, 제1 내지 제3 바이어스 전압 중 적어도 하나 이상의 전압에 응답하여 상기 출력 신호의 임피던스를 매칭하는 단계; 및 조정 전압을 기준 전압의 전압 레벨과 동일하도록 조정하여 상기 제1 내지 제3 바이어스 전압의 레벨을 조정하는 단계를 포함하고, 상기 출력 신호의 임피던스를 매칭하는 단계는: 상기 제1 비트신호 및 상기 제1 바이어스 전압을 각각 수신하는 제1 및 제2 트랜지스터를 포함하고, 상기 제1 바이어스 전압을 이용하여 상기 출력 신호의 임피던스를 보정하는 단계; 및 상기 제2 비트신호 및 상기 제2 바이어스 전압을 각각 수신하는 제3 및 제4 트랜지스터를 포함하고, 상기 제3 비트신호 및 상기 제3 바이어스 전압을 각각 수신하는 제5 및 제6 트랜지스터를 포함하고, 상기 제2 및 제3 바이어스 전압 또는 상기 제3 바이어스 전압을 이용하여 상기 출력 신호의 임피던스를 보정하는 단계를 포함할 수 있다.
- [0013] 본 발명의 일 실시 예에 있어서, 상기 제1 내지 제3 바이어스 전압의 레벨을 조정하는 단계는: 상기 조정 전압과 상기 기준 전압을 비교하여 상기 제1 내지 제3 바이어스 전압을 출력하는 단계; 및 상기 조정 전압과 상기 기준 전압의 차이만큼 상기 제1 내지 제3 바이어스 전압을 증가 또는 감소시키고, 상기 제1 내지 제3 바이어스 전압을 상기 제1 내지 제3 바이어스 전압을 출력하는 단계에 상기 기준 전압으로 입력하는 단계; 및 종단 저항에 대응하여 상기 제1 내지 제3 바이어스 전압의 레벨을 보정하는 단계를 포함할 수 있다.
- [0014] 본 발명의 일 실시 예에 있어서, 상기 PAM-3 송신기의 동작 방법은, 상기 출력 신호의 임피던스를 매칭하는 단계의 현재 출력 신호인 제1 출력 신호와 이전 출력 신호인 제2 출력 신호에 응답하여 상기 출력 신호의 전압 레벨을 증가시키고, 상기 출력 신호의 전압 레벨 간격을 유지시키는 단계를 더 포함할 수 있다.
- [0015] 본 발명의 일 실시 예에 있어서, 상기 출력 신호의 전압 레벨 간격을 유지시키는 단계는, 무한대 저항을 가지는 병렬 회로를 이용하여 상기 출력 신호의 임피던스를 매칭하는 단계의 임피던스를 종단 저항과 매칭할 수 있다.

발명의 효과

- [0016] 본 발명에 따른 바이어스 전압 레벨을 조정하여 임피던스를 보정하는 PAM-3 송신기는 임피던스를 매칭하는 과정이 필요하지 않아 임피던스의 변화를 빠르게 추적할 수 있으며, 트랜지스터의 개수를 최소화하여 용량성 부하(Capacitance Load)를 최소화할 수 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 실시 예에 따른 PAM-3 송신기를 나타내는 블록도이다.
- 도 2는 본 발명의 실시 예에 따른 드라이버의 회로도이다.
- 도 3a 및 도 3b는 본 발명의 실시 예에 따른 ZQ 캘리브레이션 회로의 회로도이다.
- 도 4는 PAM-3 송신기의 다른 실시 예를 보여주는 블록도이다.
- 도 5는 도 4의 피드포워드 등화기 회로도이다.
- 도 6a 및 도 6b는 피드포워드 등화기의 결과를 보여주는 도면이다.
- 도 7은 본 발명의 다른 실시 예에 따른 PAM-3 송신기가 포함된 송신 시스템의 일 예를 보여주는 도면이다.
- 도 8은 본 발명의 실시 예에 따른 PAM-3 송신기 동작의 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.

- [0019] 도 1은 본 발명의 실시 예에 따른 PAM-3 송신기를 나타내는 블록도이다.
- [0020] 본 발명의 실시 예에 따른 PAM-3(3-Level Pulse Amplitude Modulation) 송신기(10)는 PAM-3 신호를 송신하는 송신 장치에 구현될 수 있다. 예를 들어, PAM-3 송신기(10)는 데스크톱 컴퓨터, 랩톱 컴퓨터, 태블릿 컴퓨터, 스마트 폰, 웨어러블(Wearable) 장치, 비디오 게임기, 가전기기, 의료기기 등과 같은 다양한 장치의 송신 장치에 구현될 수 있다.
- [0021] 도 1을 참조하여 좀더 자세히 설명하면, 본 발명의 실시 예에 따른 PAM-3 송신기(10)는 드라이버(100) 및 ZQ 캘리브레이션 회로(200)를 포함한다.
- [0022] 드라이버(100)는 제1 내지 제3 비트신호에 응답하여 PAM-3 전압 레벨에 대응하는 출력 신호를 출력하고, 제1 내지 제3 바이어스 전압 중 적어도 하나 이상의 신호에 응답하여 출력 신호의 임피던스를 매칭할 수 있다. 이를 위해 드라이버(100)는 제1 구동회로(110) 및 제2 구동회로(120)를 포함한다.
- [0023] 제1 구동회로(110)는 제1 비트신호 및 제1 바이어스 전압을 각각 수신하는 복수의 트랜지스터를 포함할 수 있다. 이에 따라, 드라이버(100)가 각각 (1, 0, 0)인 제1 내지 제3 비트신호를 수신할 경우, 제1 구동회로(110)는 복수의 트랜지스터를 턴온하여 PAM-3 전압 레벨 중 가장 높은 하이(High) 레벨의 전압을 출력할 수 있다.
- [0024] 제2 구동회로(120)는 제2 비트신호 및 제2 바이어스 전압을 각각 수신하는 복수의 트랜지스터를 포함하고, 제3 비트신호 및 제3 바이어스 전압을 각각 수신하는 복수의 트랜지스터를 포함할 수 있다. 이에 따라, 드라이버(100)가 각각 (0, 1, 1)인 제1 내지 제3 비트신호를 수신할 경우, 제2 구동회로(120)는 복수의 트랜지스터를 턴온하여 PAM-3 전압 레벨 중 미드(Mid) 레벨의 전압을 출력할 수 있다. 또한, 드라이버(100)가 각각 (0, 0, 1)인 제1 내지 제3 비트신호를 수신할 경우, 제2 구동회로(120)는 복수의 트랜지스터를 턴온하여 PAM-3 전압 레벨 중 가장 낮은 로우(Low) 레벨의 전압을 출력할 수 있다.
- [0025] ZQ 캘리브레이션 회로(200)는 조정 전압을 기준 전압의 전압 레벨과 동일하도록 조정하여 제1 내지 제3 바이어스 전압의 레벨을 조정할 수 있다. 이를 위해, ZQ 캘리브레이션 회로(200)는 제1 ZQ 회로(210) 및 제2 ZQ 회로(220)를 포함한다.
- [0026] 제1 ZQ 회로(210)는 제1 구동회로(110)를 복사한 복사 구동회로를 이용하여 캘리브레이션 루프 회로를 구현할 수 있다. 이에 따라, 제1 ZQ 회로(210)는 하이 레벨인 출력 신호의 임피던스를 보정할 수 있는 제1 바이어스 전압을 출력할 수 있다.
- [0027] 제2 ZQ 회로(220)는 제2 구동회로(120)를 복사한 복사 구동회로를 이용하여 캘리브레이션 루프 회로를 구현할 수 있다. 이에 따라, 제2 ZQ 회로(220)는 미드 레벨인 출력 신호의 임피던스를 보정할 수 있는 제2 및 제3 바이어스 전압을 출력할 수 있다. 또한, 제2 ZQ 회로(220)는 로우 레벨인 출력 신호의 임피던스를 보정할 수 있는 제3 바이어스 전압을 출력할 수 있다.
- [0028] 이상에서 살펴본 바와 같이, 본 발명의 실시 예에 따른 PAM-3 송신기(10)는 제1 및 제2 구동회로의 복사 구동회로를 이용하여 드라이버(100) 동작 중에도 임피던스를 추적하여 출력 신호의 임피던스를 매칭시킬 수 있다.
- [0030] 도 2는 본 발명의 실시 예에 따른 드라이버의 회로도이다.
- [0031] 도 2를 참조하면, 제1 구동회로(110)는 제1 및 제2 트랜지스터(TR1, TR2)를 포함하고, 제2 구동회로(120)는 제3 내지 제6 트랜지스터(TR3, TR4, TR5, TR6)를 포함할 수 있다.
- [0032] 제1 구동회로(110)의 제1 트랜지스터(TR1)는 제1 비트신호(DRV_H)를 수신하고, 제2 트랜지스터(TR2)는 제1 바이어스 전압(VBIAS_H)을 수신할 수 있다. 이에 따라, 제1 구동회로(110)는 드라이버(100)에 (1, 0, 0)인 제1 내지 제3 비트신호(DRV_H, DRV_M, DRV_L)가 입력될 경우, 제1 구동회로(110)의 제1 트랜지스터(TR1)가 턴온되어 하이 레벨의 출력 신호를 출력할 수 있다. 또한, 제1 구동회로(110)는 제1 ZQ 회로(210)의 제1 바이어스 전압(VBIAS_H)을 통해 제2 트랜지스터(TR2)가 턴온되어 출력 신호의 임피던스를 보정할 수 있다.
- [0033] 제2 구동회로(120)의 제3 트랜지스터(TR3)는 제2 비트신호(DRV_M)를 수신하고, 제4 트랜지스터(TR4)는 제2 바이어스 전압(VBIAS_M)을 수신할 수 있다. 또한, 제2 구동회로(120)의 제5 트랜지스터(TR5)는 제3 비트신호(DRV_L)를 수신하고, 제6 트랜지스터(TR6)는 제3 바이어스 전압(VBIAS_L)을 수신할 수 있다. 이에 따라, 제2 구동회로(120)는 드라이버(100)에 (0, 1, 1)인 제1 내지 제3 비트신호(DRV_H, DRV_M, DRV_L)가 입력될 경우, 제2 구동회로(120)의 제3 및 제5 트랜지스터(TR3, TR5)가 턴온되어 미드 레벨의 출력 신호를 출력할 수 있다. 또한,

제2 구동회로(120)는 제2 ZQ 회로(220)의 제2 및 제3 바이어스 전압(VBIAS_M, VBIAS_L)을 통해 제4 및 제6 트랜지스터(TR4, TR6)가 턴온되어 출력 신호의 임피던스를 보정할 수 있다.

[0034] 또한, 제2 구동회로는 드라이버(100)에 (0, 0, 1)인 제1 내지 제3 비트신호(DRV_H, DRV_M, DRV_L)가 입력될 경우, 제2 구동회로(120)의 제5 트랜지스터(TR5)가 턴온되어 로우 레벨의 출력 신호를 출력할 수 있다. 또한, 제2 구동회로(120)는 제2 ZQ 회로(220)의 제3 바이어스 전압(VBIAS_L)을 통해 제6 트랜지스터(TR6)가 턴온되어 출력 신호의 임피던스를 보정할 수 있다.

[0035] 이상에서 살펴본 바와 같이, 본 발명의 실시 예에 따른 드라이버(100)는 풀-업(Pull-Up) 또는 풀-다운(Pull-Down)으로 동작하는 트랜지스터의 개수를 최소화하여 전체적인 회로의 용량성 부하(Capacitance Load)를 최소화할 수 있다.

[0037] 도 3a 및 도 3b는 본 발명의 실시 예에 따른 ZQ 캘리브레이션 회로의 회로도이다. 보다 상세하게, 도 3a는 제1 ZQ 회로(210)의 회로도이고, 도 3b는 제2 ZQ 회로(220)의 회로도이다.

[0038] 도 3a를 참조하면, 제1 ZQ 회로(210)는 제1 비교기(211), 제1 복사 구동회로(212) 및 제1 저항기(213)를 포함한다. 예를 들어, 제1 구동회로(110)의 제1 트랜지스터(TR1)이 턴온될 경우, 제1 ZQ 회로(210)는 제1 비교기(211)를 통해 조정 전압(VX)과 기준 전압(VREF)을 비교하여 제1 바이어스 전압(VBIAS_H)을 출력할 수 있다. 출력된 제1 바이어스 전압(VBIAS_H)은 제1 구동회로(110)를 복사한 제1 복사 구동회로(212)의 제2 트랜지스터(TR2)에 입력되고, 조정 전압(VX)과 기준 전압(VREF)의 차이만큼 제1 바이어스 전압(VBIAS_H)이 증가 또는 감소되어 제1 비교기(211)에 조정 전압(VX)으로 입력될 수 있다. 즉, 제1 ZQ 회로(210)는 캘리브레이션 루프 회로를 통해 조정 전압(VX)을 기준 전압(VREF)의 전압 레벨과 동일하도록 조정하여 제1 바이어스 전압(VBIAS_H) 레벨을 조정하고, 제1 바이어스 전압(VBIAS_H)을 제1 구동회로(110)에 입력할 수 있다. 또한, 제1 저항기(213)는 수신기의 종단 저항과 동일한 것으로, 제1 ZQ 회로(210)의 임피던스를 조정하기 위한 기준 저항으로서의 역할을 수행할 수 있다.

[0040] 도 3b를 참조하면, 제2 ZQ 회로(220)는 제2 및 제3 비교기(221, 224), 제2 및 제3 복사 구동회로(222, 225), 제2 및 제3 저항기(223, 226)를 포함한다. 예를 들어, 제2 구동회로(120)의 제3 및 제5 트랜지스터(TR3, TR5)가 턴온될 경우, 제2 ZQ 회로(220)는 제2 비교기(221)를 통해 조정 전압(VX)과 기준 전압(VREF)을 비교하여 제2 바이어스 전압(VBIAS_M)을 출력할 수 있다. 출력된 제2 바이어스 전압(VBIAS_M)은 제2 구동회로(120)를 복사한 제2 복사 구동회로(222)의 제4 트랜지스터(TR4)에 입력되고, 조정 전압(VX)과 기준 전압(VREF)의 차이만큼 제2 바이어스 전압(VBIAS_M)이 증가 또는 감소되어 제2 비교기(221)에 조정 전압(VX)으로 입력될 수 있다.

[0041] 또한, 제3 내지 제5 트랜지스터(TR3, TR4, TR5)가 턴온될 경우, 제2 ZQ 회로(220)는 제3 비교기(224)를 통해 조정 전압(VX)과 기준 전압(VREF)을 비교하여 제3 바이어스 전압(VBIAS_L)을 출력할 수 있다. 출력된 제3 바이어스 전압(VBIAS_L)은 제2 구동회로(120)를 복사한 제3 복사 구동회로(225)의 제6 트랜지스터(TR6)에 입력되고, 조정 전압(VX)과 기준 전압(VREF)의 차이만큼 제3 바이어스 전압(VBIAS_L)이 증가 또는 감소되어 제3 비교기(224)에 조정 전압(VX)으로 입력될 수 있다. 즉, 제2 ZQ 회로(220)는 캘리브레이션 루프 회로를 통해 조정 전압(VX)을 기준 전압(VREF)의 전압 레벨과 동일하도록 조정하여 제2 및 제3 바이어스 전압(VBIAS_M, VBIAS_L) 레벨을 조정하고, 제2 및 제3 바이어스 전압(VBIAS_M, VBIAS_L)을 제2 구동회로(120)에 입력할 수 있다. 또한, 제2 및 제3 저항기(223, 226)는 수신기의 종단 저항과 동일한 것으로 제2 ZQ 회로(220)의 임피던스를 조정하기 위한 기준 저항으로서의 역할을 수행할 수 있다.

[0042] 한편, ZQ 캘리브레이션 회로(200)는 제1 및 제2 ZQ 회로(210, 220)에 포함된 제1 내지 제6 트랜지스터(TR1, TR2, TR3, TR4, TR5, TR6)와 제1 내지 제3 저항기(213, 223, 226)의 크기를 기 설정한 크기로 정의할 수 있다. 예를 들어, ZQ 캘리브레이션 회로(200)는 제1 내지 제3 복사 구동회로(212, 222, 225)의 크기를 제1 및 제2 구동회로(110, 120)의 크기보다 임의의 값으로 축소시킬 수 있으며, 제1 내지 제3 저항기(213, 223, 226)의 크기를 수신기의 저항보다 임의의 값으로 증가시킬 수 있다. 한편, 구동회로의 크기와 저항기의 크기는 예시일 뿐 이에 한정되는 것은 아니다.

[0043] 이상에서 살펴본 바와 같이, 본 발명의 실시 예에 따른 ZQ 캘리브레이션 회로(200)는 복사 구동회로를 통해 드라이버(100)와 동시에 동작하여 임피던스의 변화를 빠르게 추적할 수 있으며, 캘리브레이션의 시간을 최소화할 수 있다. 또한, ZQ 캘리브레이션 회로(200)는 복사 구동회로와 저항기의 크기를 변경하여 PAM-3 송신기(10)의

정적(Static) 전류를 최소화할 수 있다.

- [0045] 도 4는 PAM-3 송신기의 다른 실시 예를 보여주는 블록도이다.
- [0046] 구체적으로, 도 4에서는 피드포워드 등화기(300)를 더 포함하는 일 예가 도시되어 있다. 상술한 구성 이외의 도 4의 구성은 도 1과 유사하다. 따라서, 동일하거나 유사한 구성 요소는 동일하거나 유사한 참조 부호로 표시되며, 중복되는 설명은 이하 생략될 것이다.
- [0047] 도 4를 참조하면, PAM-3 송신기(10A)는 피드포워드 등화기(300)를 더 포함할 수 있다.
- [0048] 피드포워드 등화기(300)는 드라이버(100)의 현재 출력 신호인 제1 출력 신호와 이전 출력 신호인 제2 출력 신호에 응답하여 출력 신호의 전압 레벨을 증가시킬 수 있다. 예를 들어, 피드포워드 등화기(300)는 제1 출력 신호와 제2 출력 신호에 따라 전류가 인가되는 병렬 회로를 구현할 수 있다.
- [0049] 이에 따라, 피드포워드 등화기(300)는 전류의 계수에 따라 출력 신호의 전압 레벨을 증가시킬 수 있으며, 무한대 저항을 가지는 병렬 회로를 통해 드라이버(100)의 임피던스를 수신기의 저항과 매칭할 수 있다.
- [0051] 도 5는 도 4의 피드포워드 등화기 회로도이다.
- [0052] 도 5를 참조하면, 피드포워드 등화기(300)는 전원(VDD)의 전류원 및 제7 내지 제10 트랜지스터(TR7, TR8, TR9, TR10)를 포함한다. 피드포워드 등화기(300)는 드라이버(100)에 출력되는 출력 신호에 병렬로 연결되어 제1 출력 신호와 제2 출력 신호에 따라 출력 신호의 전압 레벨을 증가시킬 수 있다. 예를 들어, 제1 출력 신호가 로우 레벨일 경우, 피드포워드 등화기(300)는 제7 및 제8 트랜지스터(TR7, TR8)를 턴온하여 전류원의 계수만큼 출력 신호의 전압 레벨을 증가시킬 수 있다. 또한, 제1 출력 신호가 미드 레벨일 경우, 피드포워드 등화기(300)는 제7 및 제8 트랜지스터(TR7, TR8)중 어느 하나를 턴온하여 전류원의 계수에 절반만큼 출력 신호의 전압 레벨을 증가시킬 수 있다.
- [0053] 제1 출력 신호가 로우 레벨이고 제2 출력 신호가 로우 레벨인 경우, 피드포워드 등화기(300)는 제9 및 제10 트랜지스터(TR9, TR10)를 턴온하여 전류원의 계수만큼 출력 신호의 전압 레벨을 증가시킬 수 있다. 또한, 제1 출력 신호가 로우 레벨이고 제2 출력 신호가 미드 레벨인 경우, 피드포워드 등화기(300)는 제9 및 제10 트랜지스터(TR9, TR10)중 어느 하나를 턴온하여 전류원의 계수에 절반만큼 출력 신호의 전압 레벨을 증가시킬 수 있다.
- [0054] 이상에서 상술한 바와 같이, 본 발명의 다른 실시 예에 따른 PAM-3 송신기(10A)는 피드포워드 등화기(300)를 이용하여 드라이버(100)의 출력 신호를 증가시킬 수 있으며, 출력 신호의 전압 레벨 간격을 일정하게 유지할 수 있다. 또한, 피드포워드 등화기(300)는 무한대 저항을 통해 드라이버(100)의 임피던스를 수신기의 종단 저항과 매칭할 수 있다.
- [0056] 도 6a 및 도 6b는 피드포워드 등화기의 결과를 보여주는 도면이다. 구체적으로, 도 6a는 종래의 피드 포워드 등화기 동작 결과를 나타내는 도면이고, 도 6b는 본 발명의 실시 예에 따른 피드포워드 등화기(300) 동작 결과를 나타내는 도면이다.
- [0057] 도 6a를 참조하면, 종래의 피드포워드 등화기는 로우 레벨의 출력 신호와 미드 레벨의 출력 신호의 증가량이 일정하지 않아 위쪽 아이(Eye)와 아래쪽 아이의 크기가 불균형한 것을 확인할 수 있다. 이에 따라, 종래의 피드포워드 등화기는 정확한 레벨을 출력하지 못하여, 출력 신호가 중첩되는 신호 왜곡을 초래할 수 있다.
- [0059] 도 6b를 참조하면, 본 발명의 다른 실시 예에 따른 PAM-3 송신기(10A)는 피드포워드 등화기(300)를 통해 무한대 저항을 가지는 병렬 회로를 구현함으로써, 전류원의 계수만큼 일정하게 출력 신호를 증가시킬 수 있다. 이에 따라, 본 발명의 다른 실시 예에 따른 PAM-3 송신기(10A)는 각 전압 레벨 사이에 아이 오픈닝(Eye Opening)된 것을 확인할 수 있다.
- [0061] 도 7은 본 발명의 다른 실시 예에 따른 PAM-3 송신기가 포함된 송신 시스템의 일 예를 보여주는 도면이다. 구체

적으로, 도 7의 송신 시스템(1000)은 PAM-3 송신기(10A)를 포함하는 일 예가 도시되어 있다. 상술한 PAM-3 송신기(10A)의 구성은 도 4와 유사하다. 따라서, 동일하거나 유사한 구성 요소는 동일하거나 유사한 참조 부호로 표시되며, 중복되는 설명은 이하 생략될 것이다.

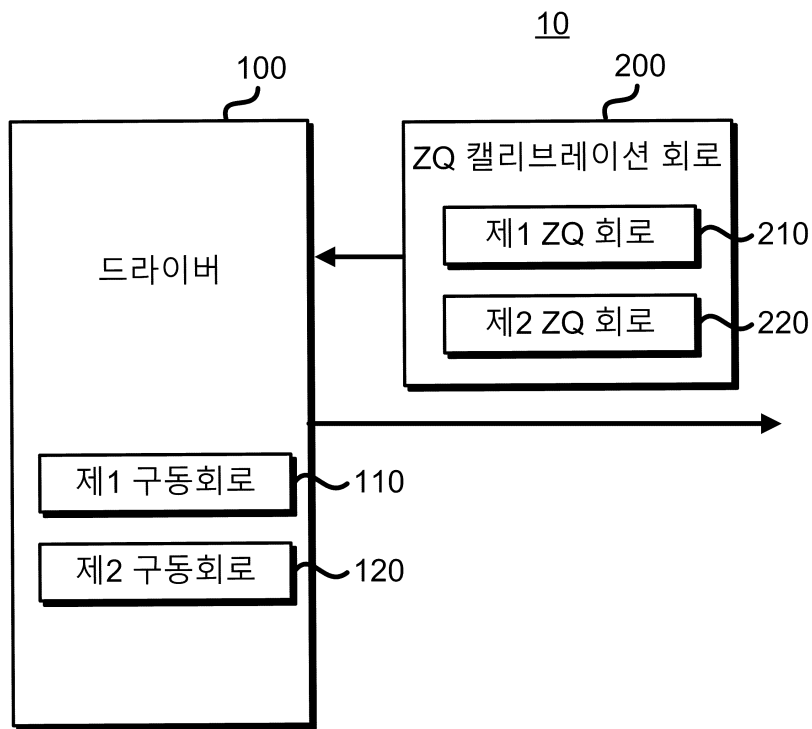
- [0062] 도 7을 참조하면, 송신 시스템(1000)은 디지털 로직부(1100), 프리 드라이버(1200) 및 PAM-3 송신기(10A)를 포함한다.
- [0063] 디지털 로직부(1100)는 PAM-3 로직(1110) 및 피드포워드 로직(1120)을 포함한다.
- [0064] PAM-3 로직(1110)은 전송될 입력 데이터(Data_IN[0], Data_IN[1], Data_IN[2])를 연속된 데이터열 형태의 직렬 데이터로 변환하고, 2-비트 단위로 부호화할 수 있다. 예를 들어, PAM-3 로직(1110)은 직렬 데이터를 2-비트 단위로 구분하고, 논리값에 따른 제1 내지 제3 비트신호(DRV_H, DRV_L, DRV_M)로 변환할 수 있다.
- [0065] 피드포워드 로직(1120)은 제1 내지 제3 비트신호(DRV_H, DRV_L, DRV_M)를 수신하여 피드포워드 등화기(300)을 동작하기 위한 구동신호를 생성할 수 있다. 예를 들어, 피드포워드 로직(1120)은 제1 내지 제3 비트신호(DRV_H, DRV_L, DRV_M)를 수신하여 제1 출력 신호의 전압 레벨과 제2 출력 신호의 전압 레벨을 판단하여 피드포워드 등화기(300)의 제7 내지 제10 트랜지스터(TR7, TR8, TR9, TR10)를 턴온 또는 턴오프 하기위한 구동신호를 생성할 수 있다.
- [0066] 프리 드라이버(1200)는 디지털 로직부(1100)로부터 제1 내지 제3 비트신호(DRV_H, DRV_L, DRV_M) 및 구동신호를 수신하여 송신 시스템(1000)에서 요구되는 전압 레벨에 따라 출력 신호의 전압을 조절할 수 있다.
- [0067] 이상에서 상술한 바와 같이, 송신 시스템(1000)은 디지털 신호 처리의 초기 단계에 작동하며, 디지털 신호를 아날로그 도메인으로 변환하여 송신할 수 있다. 이를 통해, 송신 시스템(1000)은 적절한 전압 레벨로 신호를 전달하고, 채널을 통해 수신기로 신호를 안정적으로 전송할 수 있다.
- [0069] 도 8은 본 발명의 실시 예에 따른 PAM-3 송신기 동작의 순서도이다.
- [0070] 도 8을 참조하면, S110 단계에서, 드라이버(100)는 제1 내지 제3 비트신호(DRV_H, DRV_L, DRV_M)에 응답하여 PAM-3 출력 신호의 전압 레벨에 대응하는 출력 신호를 출력할 수 있다.
- [0071] S120 단계에서, ZQ 캘리브레이션 회로(200)는 복사 구동회로를 통해 드라이버(100)와 동일하게 동작할 수 있으며, 캘리브레이션 루프를 구현하여 제1 내지 제3 바이어스 전압(VBIAS_H, VBIAS_M, VBIAS_L)을 출력할 수 있다.
- [0072] S130 단계에서, 드라이버(100)는 제1 내지 제3 바이어스 전압(VBIAS_H, VBIAS_M, VBIAS_L)을 수신하여 출력 신호의 임피던스를 보정할 수 있다.
- [0073] 상술한 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술한 실시 예들 이외에도, 단순히 설계 변경되거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술한 실시 예들에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

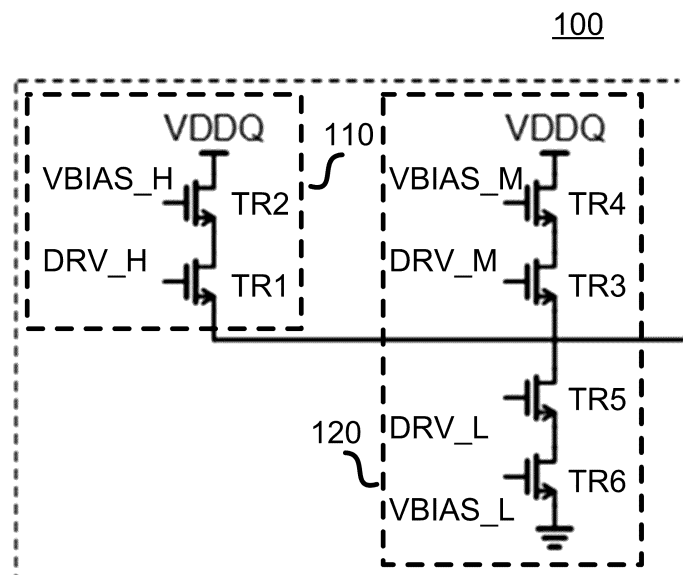
- [0074] 10 : PAM-3 송신기
- 100 : 드라이버 110 : 제1 구동회로
- 200 : ZQ 캘리브레이션 회로 120 : 제2 구동회로
- 300 : 피드포워드 등화기 210 : 제1 ZQ 회로
- 1000 : 송신 시스템 220 : 제2 ZQ 회로

도면

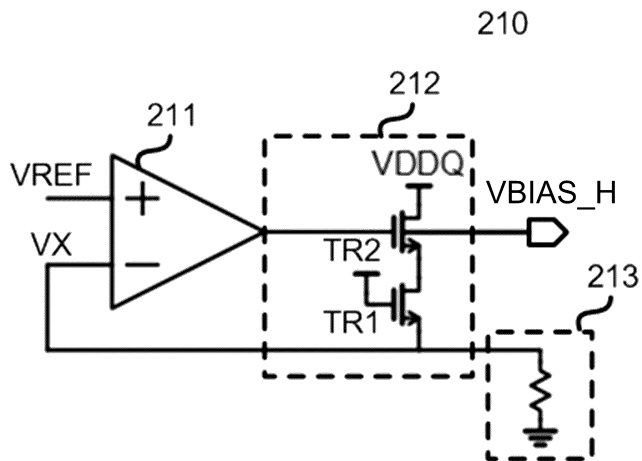
도면1



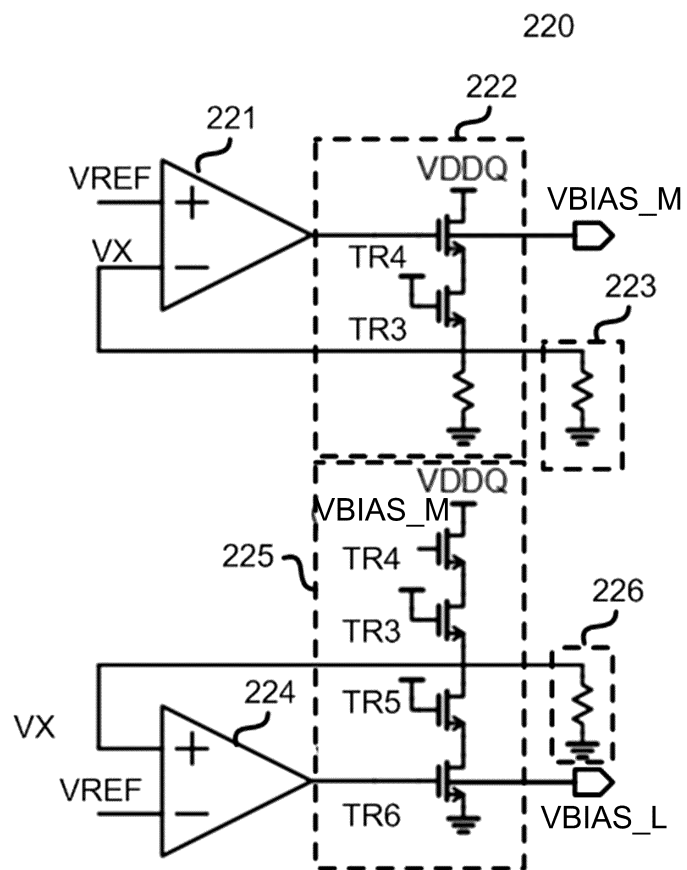
도면2



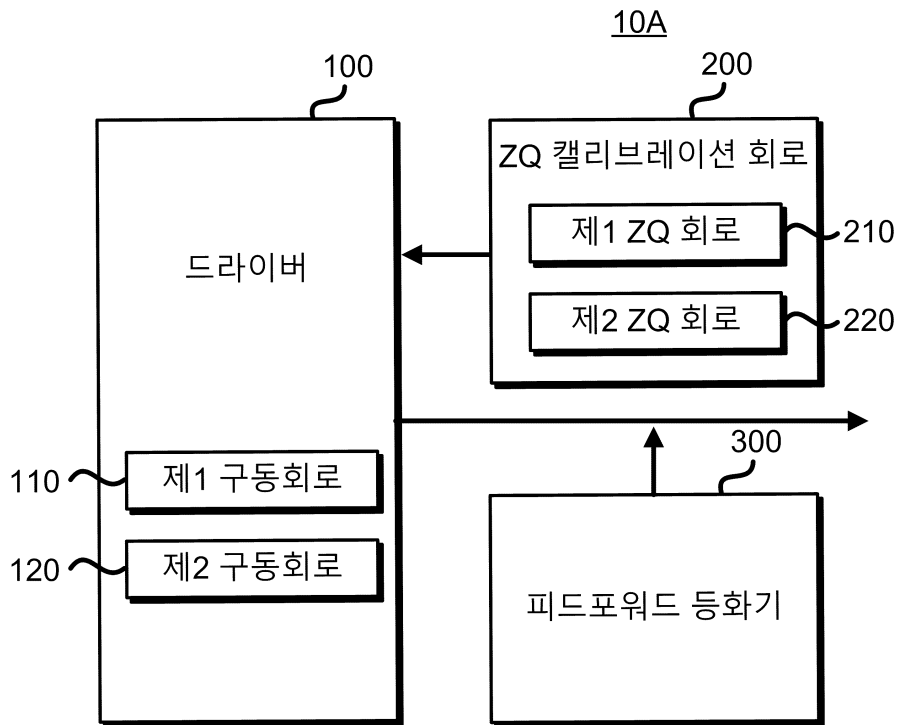
도면3a



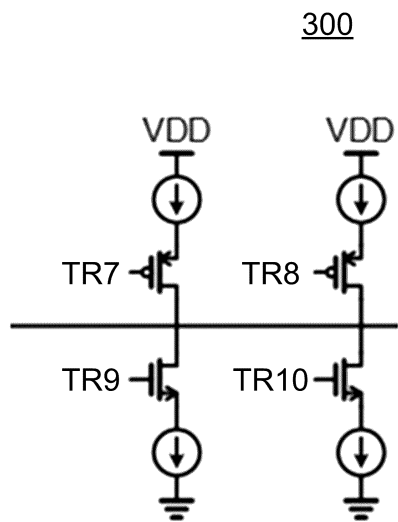
도면3b



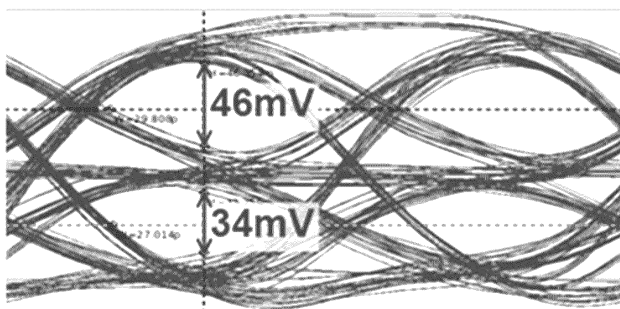
도면4



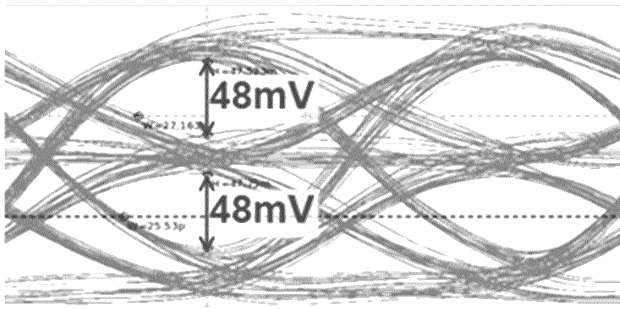
도면5



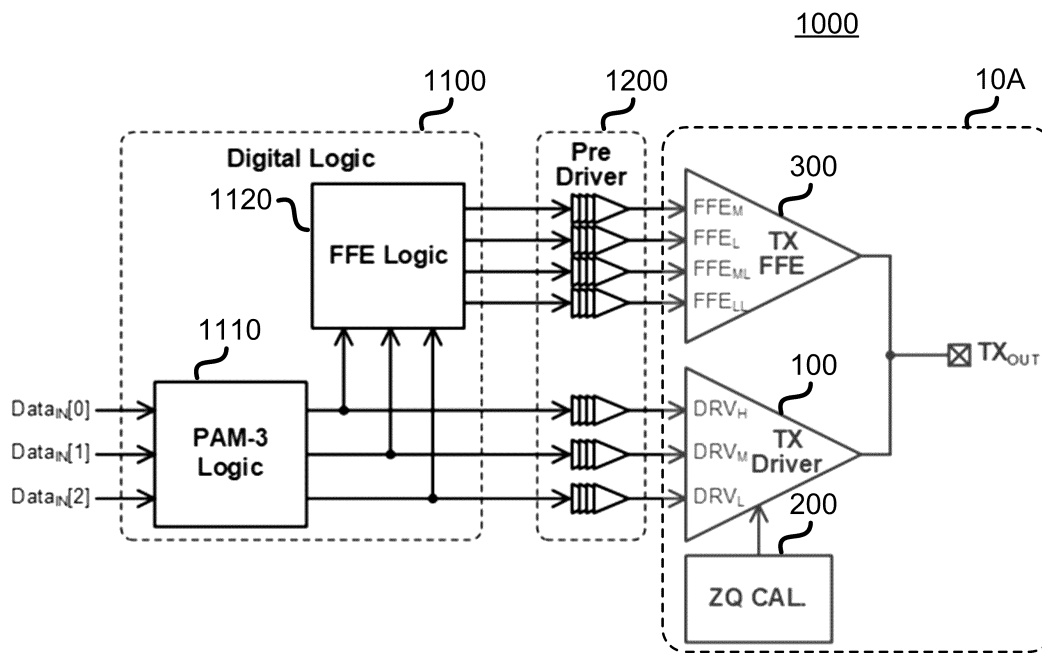
도면6a



도면6b



도면7



도면8

